

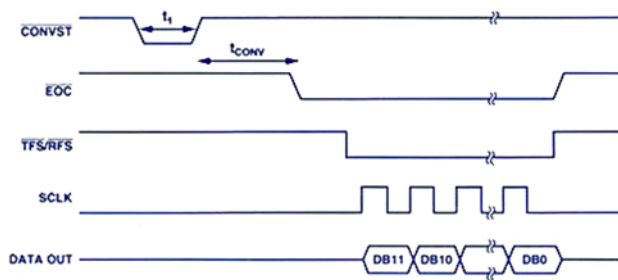
应用工程师问答 — 20

与串行转换器接口 — II

作者: Eamon Nash

问: 在上一期最后的讨论中, 我在ADC与微控制器之间建立通信时遇到了问题。您是否还记得, 无论模拟输入端为何电压, 该微控制器读取的转换结果似乎始终是FFFHEX。导致这一问题的原因可能是什么?

答: 出错有多个与时序有关的可能原因。要解决这一问题, 首先可以将所有时序信号与逻辑分析仪或多通道示波器(至少需要三个通道才能同时查看所有信号)相连。屏幕上所示与下面的时序图相似。首先务必确保产生一个“开始转换”命令(CONVST, 来自微控制器或独立振荡器)。一个常见的错误是施加极性错误的CONVST信号。虽然仍会执行转换, 但不是在您预期的时间执行。另外还必须记住, 对CONVST信号通常有最小脉冲宽度要求(典型值约为50 ns)。来自快速微处理器的标准读写脉冲可能不满足这一要求。如果太短, 可以插入软件“等待”状态以延长脉冲宽度。



还需要确保微控制器在读取周期开始之前, 进入等待转换完成的状态。您的软件应计算好转换所需的时间, 或者等待ADC的“转换结束”(EOC)指示符, 以便在微控制器中产生中断。同时请确保EOC信号的极性正确, 否则ADC将在转换进行过程中引起中断。如果微控制器不响应中断, 则应检查软件中的中断配置。

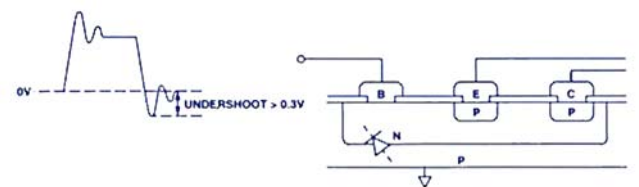
当转换器不能处理串行时钟线路(SCLK)的时序时, 还必须考虑SCLK的状态。正如我在以前的讨论中所述, 采用连续串行时钟时, 一些DAC和ADC不能正常工作。此外, 有些器件要求SCLK信号始终停留在某一特定状态。

问: 好, 我已经发现并纠正了软件中的一些错误, 情况似乎有所改善。我改变输入电压时, 转换器的输出数据随之变化, 但转换结果格式似乎不可识别。

答: 同样, 出错可能有多种原因。ADC以标准二进制或二进制补码格式输出转换结果(BCD数据转换器不再广泛使用)。请检查微控制器是否已配置为可接受相应的格式。

如果微控制器无法配置为可直接接受二进制补码格式, 则可以用二进制100 ... 00对数据执行异或运算, 将数据转换为标准二进制)。

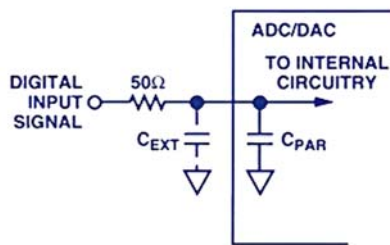
通常, 串行时钟的前沿(上升或下降)使ADC输出数据至数据总线。然后, 后沿将数据写入微控制器。确保微控制器与ADC按相同规则工作, 并且满足所有设置和保持时间要求。如果转换结果恰好为预期值的一半或两倍, 则表明数据(尤其是MSB)是在错误的时钟沿上读取或写入。对于串行DAC, 这一问题可能表现为输出电压为预期值的一半或两倍。



驱动转换器的数字信号应当干净。过冲或欠冲除了可能对器件造成长期损害之外, 还可能导致转换和通信错误。图中显示一个驱动单电源转换器时钟输入的信号, 它具有很大的过冲尖峰。本例中, 时钟输入驱动一个PNP晶体管的基极。与通常做法一样, 器件的P型衬底与最低负电位内部相连, 本例中为地。SCLK线只要偏移地以下0.3 V以上, 就足以接通N型基极与P型衬底之间的寄生二极管。如果长期频繁出现这种现象, 就可能损害器件。

短期内虽然不会造成损害, 但给一般惰性衬底加电会影响器件中的其它晶体管, 并且可能导致下述现象: 对于所施加的每个脉冲, 会检测到多个时钟脉冲。由此产生的抖动对于串行转换器是一个严重问题, 但对于并行转换器则并不严重, 因为读写周期一般取决于所施加的第一个脉冲, 后续脉冲会被忽略。但是, 如果转换期间存在这种信号, 则串行转换器和并行转换器的噪声性能均会大受影响。

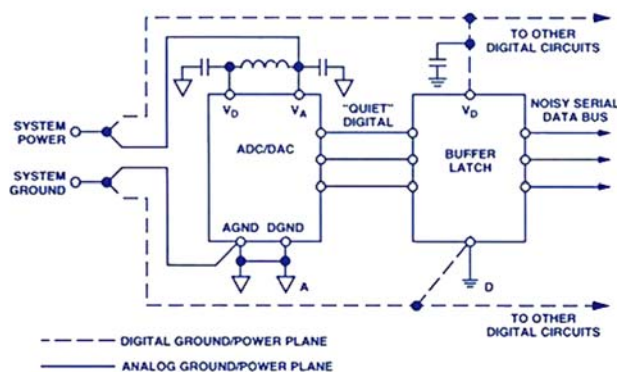
图中显示如何轻松减小过冲。一个小电阻与引起问题的数字线路串联。此电阻结合数字输入端的寄生电容C_{pars}, 构成一个低通滤波器, 它应能消除接收信号上的任何响铃振荡。通常建议使用50 Ω电阻, 但可能需要做一些实验。如果数字输入端的内部电容不够, 则可能还需要在输入端与地之间增加一个外部电容。同样, 需做一些实验, 但从10 pF开始比较好。



问：您提到时钟过冲可能会降低转换器的噪声性能。从接口角度讲，还有什么方法可以获得良好的信噪比？

答：您的系统在混合信号环境(即模拟和数字)中工作，因此接地方案是关键。想必您知道，由于数字电路的噪声较高，模拟地与数字地应分开，仅在一个点上汇合。此连接点通常是在电源处。事实上，如果模拟器件与数字器件共用电源，+5 V或+3.3 V单电源系统就可能是这种情况，则将地接回电源是唯一选择。但转换器的数据手册很可能要求将AGND和DGND引脚在器件上直接连接！因此，如果将模拟地和数字地连接在两个地方，如何才能避免形成接地环路呢？

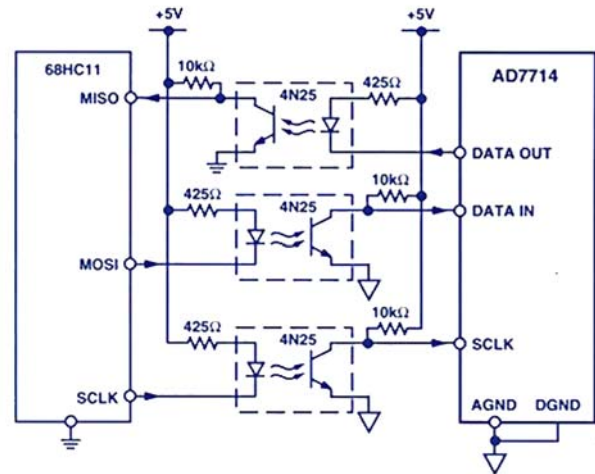
下图显示了如何解决这一两难问题。关键在于，转换器引脚上的AGND和DGND标签指的是这些引脚所连接的转换器部分。器件整体应视为具“模拟”性。因此，将AGND引脚与DGND引脚相连后，与系统模拟地的连接应当只有一个。不错，这会导致转换器的数字电流流入模拟地层，但与转换器的DGND引脚暴露于高噪声数字地层相比，其危害一般较小。本例还显示了一个以数字地为基准的数字缓冲器，用来将转换器的串行数据引脚与高噪声串行总线隔离。如果转换器与微控制器以点对点方式连接，则不必使用此缓冲器。



图中还显示如何应对这一日益多见的挑战：用单电源为混合信号系统供电。像接地一样，电路的模拟部分和数字部分别有各自的电源线(最好是电源层)。我们将转换器的数字电源引脚视为具模拟性。但以电感形式将其与模拟电源引脚进行一定程度的隔离较为适当。记住，转换器的两个电源引脚应具有各自的去耦电容。数据手册会给出适当的电容推荐值，但按经验一般是0.1 μF。如果空间允许，每个器件的电源管脚还应配一个10 μF电容。

问：我想使用光隔离器设计一个ADC与微控制器之间的隔离串行接口。使用这些器件时应当注意些什么？

答：光隔离器(也称为“光耦合器”)可用来创建简单而价廉的高压隔离栅。如果转换器与微控制器之间存在电流隔离栅，则不再需要将模拟系统地与数字系统地相连。如图所示，只需使用3个光隔离器，便可实现精密ADC AD7714与颇受欢迎的微控制器68HC11之间的隔离串行接口。



但设计人员应注意，上升和下降时间相对较慢的光隔离器配合CMOS转换器使用时，即使以低速进行串行通信，也可能会发生问题。

CMOS逻辑输入要求用确定的逻辑0或逻辑1驱动。这些状态下，输出电流和流入的电流最低。但是，当输入电压在逻辑0与逻辑1之间变换时(0.8 V至2.0 V)，栅极将消耗更多电流。如果所用光隔离器的上升和下降时间相对较慢，耗费在死区的时间量将非常大，导致栅极自发热。这种自发热往往会使逻辑门的阈值电压上移，致使转换器将单时钟沿误认为多时钟脉冲。为防止阈值抖动，应利用施密特触发器电路来缓冲光隔离器的线路，以便向转换器提供快速、陡峭的边沿。