



乘法 DAC 常见问题解答

编写	CAC(P)
时间	2014/05/07
版本	V1.0

声明

Analog Devices 公司拥有本文档及本文档中描述内容的完整知识产权 (IP)。Analog Devices 公司有权在不通知读者的情况下更改本文档中的任何描述。如果读者需要任何技术帮助, 请通过 china.support@analog.com 或免费热线电话 4006-100-006 联系亚洲技术支持中心团队。其他技术支持资料以及相关活动请访问以下技术支持中心网页 http://www.analog.com/zh/content/ADI_CIC_index/fca.html

Analog Devices, Inc.

版本历史

版本	日期	作者	描述
1.0	2014/5/7	CAC(P)	文档建立

目录

版本历史	II
目录	III
第 1 章 简介	4
1.1 产品简介	4
1.2 参考资料	5
第 2 章 原理简介	6
2.1 原理	6
2.2 参数	7
第 3 章 常见应用问题解答	10
3.1 二象限乘法 DAC 和四象限乘法 DAC 的区别?	10
3.2 在向 AD5453 输入非连续的 SCLK 时钟信号时, 是否会影响功能?	10
3.3 如何计算串行和并行的输出更新速率?	11
3.4 在使用 AD5453 的过程中, 如果在第 16 个时钟之前就拉高 SYNC 信号, 输出如何变化?	12
3.5 当 SYNC 在超过 16 个时钟之后拉高, 输出会发生什么变化?	12
3.6 AD5443 的输出波形发生了失真, 如何改善输出信号?	12
3.7 对于 AD5428, 电源电压 3.3V 的情况下, 是否可以接 5V 的基准源?	13
3.8 在多片 AD5443 使用时, 是否可以将 AD5443 的 SYNC 信号当做片选信号?	13
3.9 在 AD5452 与不同的运放组合后, 发现 ADA4841 的 3 次谐波比 AD8065 的高很多?	14
3.10 AD5443 在电流模式下, I_{out2} 上的偏置电压有什么限制?	14
3.11 乘法 DAC 外接的运放如何选择?	15
3.12 在选择乘法 DAC 时, 有的是电压输出, 有的是电流输出, 它们之间有什么区别?	16
3.13 如何找到合适的 DAC	17
3.14 DAC 在线仿真工具	18

第1章 简介

1.1 产品简介

ADI 公司提供种类齐全的 8/10/12/14/16 位乘法数模转换器系列产品。这些 DAC 采用 CMOS 亚微米工艺制造，能够提供出色的四象限乘法特性。乘法 DAC 产品灵活而简单，因而成为各种固定和可变输入参考电压应用中的理想构建模块。

尽管采用 2.5 V 至 5.5 V 单电源供电，这些乘法 DAC 器件仍能处理最高达 ± 18 V 的参考电压输入。与外部电流至电压精密放大器配合使用时，集成的反馈电阻(RFB)可提供温度跟踪和满量程电压输出。

ADI 公司现已更新高分辨率 14/16 位电流输出产品系列，包括：

- 线性度提高 (± 1 LSB INL)
- 针对可变参考电压乘法应用，改进模拟 THD、乘法馈通性能及更高的乘法带宽
- 针对固定参考电压乘法应用，提高数字 THD、中间电平突波和数字馈通性能

随着改进型 AD55xx 产品的推出，ADI 公司的高性能 8/10/12 位 AD54xx 产品系列又增加了电流输出 DAC。利用这些更新的电流输出 DAC 产品，模拟设计人员可以满足更广泛的固定和可变参考电压乘法应用需要。

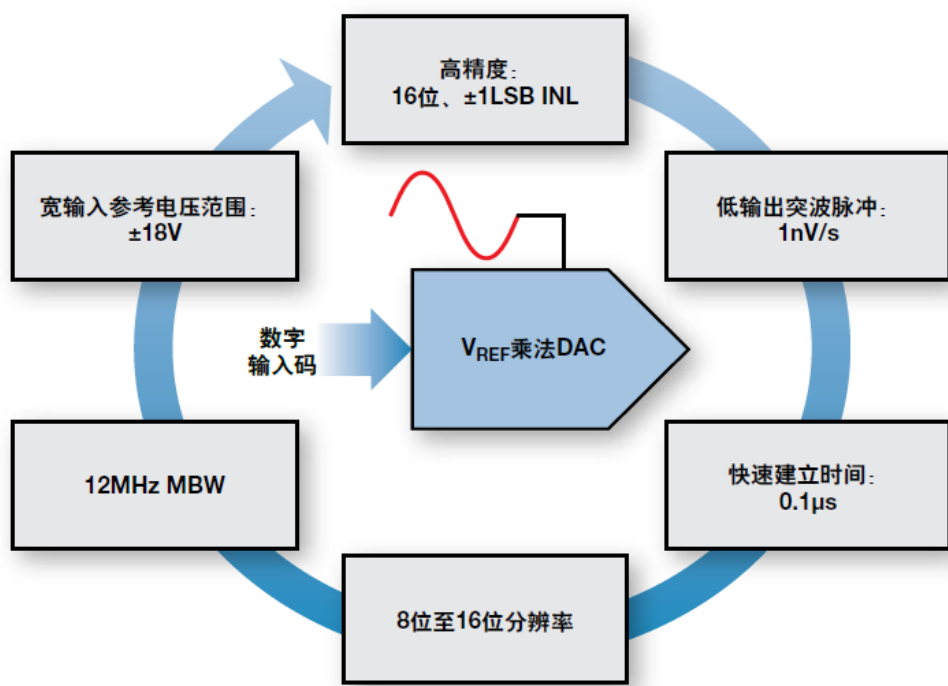


图 1-1 乘法 DAC 的特性

1.2 参考资料

参考资料:

MT-015 DAC 基本架构 II: 二进制 DAC: http://www.analog.com/static/imported-files/zh/tutorials/MT-015_cn.pdf

AN-1094 乘法 DAC—固定参考信号的波形发生应用:
http://www.analog.com/static/imported-files/zh/application_notes/AN-1094_cn.pdf

AN-1085 乘法 DAC — 交流 / 任意基准电压应用 :
http://www.analog.com/static/imported-files/zh/application_notes/AN-1085_cn.pdf

AN-1107 使用双通道乘法 DAC 和单 I/V 转换器控制交流信号失调和幅度:
http://www.analog.com/static/imported-files/zh/application_notes/AN-1107_cn.pdf

AN-1212 在反向模式下利用电流输出 DAC 构建单电源、低噪声 LED 电流源驱动器:
http://www.analog.com/static/imported-files/zh/application_notes/AN-1212_cn.pdf

CN0026: 利用 AD5547/AD5557 DAC 实现精密、单极性、反向转换:
<http://www.analog.com/zh/circuits-from-the-lab/CN0026/vc.html>

CN0151 使用 DAC、运算放大器和 MOSFET 晶体管的多功能高精度可编程电流源:
<http://www.analog.com/zh/circuits-from-the-lab/CN0151/vc.html>

乘法 DAC: <http://www.analog.com/static/imported-files/overviews/AnalogMultiplyingDACs.pdf>

CN0055 利用 AD5450-AD5451/AD5452/AD5453 电流输出 DAC 系列的可编程增益元件: <http://www.analog.com/zh/circuits-from-the-lab/CN0055/vc.html>

CN0037 利用 AD5426/AD5432/AD5443 电流输出 DAC 进行交流信号处理:
http://www.analog.com/static/imported-files/zh/circuit_notes/CN0037.pdf

第2章 原理简介

所有数模转换器(DAC)都提供与数字设置增益和所施加基准电压之积成比例的输出。乘法 DAC 与固定基准电压 DAC 不同,因为它可以将高分辨率数字设置增益应用施加到可变带宽模拟信号上。

2.1 原理

从 1974 年 ADI 公司推出世界首款(10 位)CMOS IC 乘法 DAC 以来,ADI 公司就一直是乘法 DAC 设计与生产的领先者。它们采用一个具有适当带宽的放大器,利用一个切换式 R-2R 梯和一个片内反馈电阻实现了调整交流增益或可变直流基准电压输入信号增益的简单方法,从而用 DAC 取代了典型反相运算放大器级的输入和反馈电阻(图 2-1)。数字调整电阻梯和片内反馈电阻一起,提供与数字输入成比例的增益($D/2^n$),使 RDAC 起到了可变输入电阻的作用。

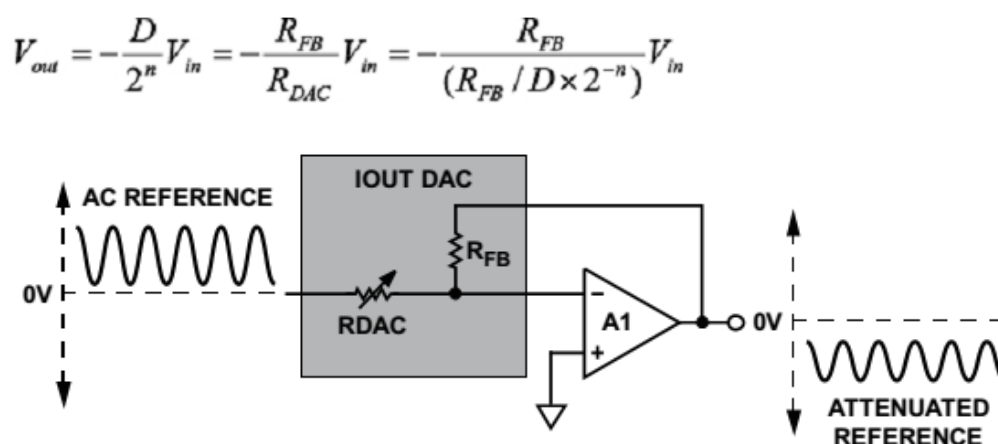
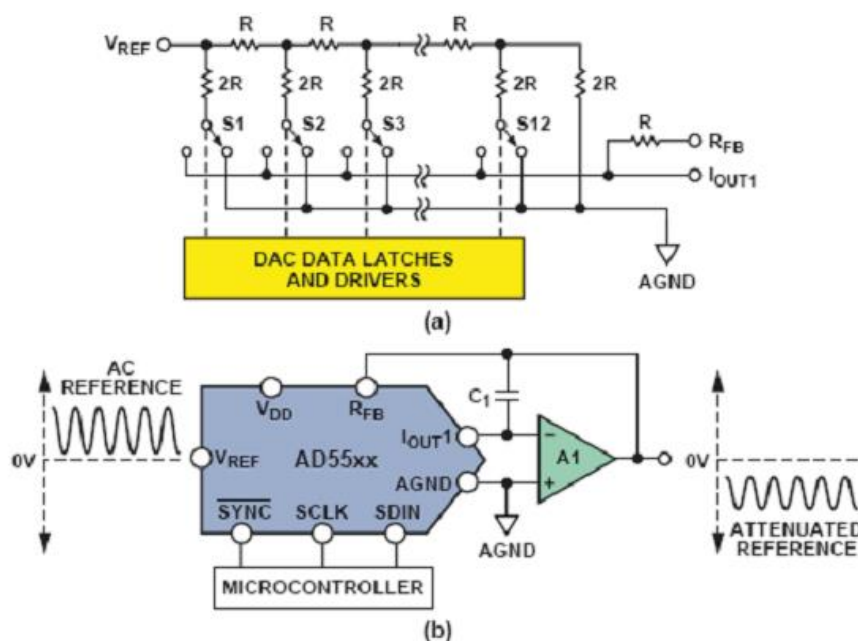


图 2-1 乘法 DAC 基本的反向增益控制

乘法 DAC 提供一种将任意或交流电压信号相乘的理想模块。缓冲电流输出 DAC 架构基于同相增益放大器结构。乘法 DAC 使用一种 R-2R 架构来实现图 2-1 中所示可变 RDAC 电阻的相同功能。 V_{REF} 引脚的 DAC 输入阻抗是固定的,而输出阻抗则根据代码提供同等可变的 RDAC 值。

电阻(R-2R)梯用于运算放大器反馈电路,提供数字控制电流,电流经 R_{FB} 转换成输出电压。放大器以低阻抗提供此输出。基准电压输入具有恒定的对地电阻 R 。图 2-2 显示了该工作原理。图 2-2a 中,源电流 V_{REF}/R 的一半由开关 S_1 导引连接至放大器负输入(虚地侧)的 I_{OUT1} 或导引至地(一般称 I_{OUT2})。同理,剩余电流的一半由开关 S_2 导引……如此类推。如果开关由一个数字字 D (S_1 是 MSB)激活,则流经 $R_{FB}(=R)$ 的 I_{OUT1} 端电流之和为 $D \times 2^{-n} \times V_{REF}/R$ 。此配置的重要优势包括:可最大程度地降低瞬态,因为开关在地和虚地之间切换; R_{FB} 与梯形电阻片内匹配,具备出色的温度跟踪性能。

图 2-2 a) R-2R 梯原理; b) 乘法 DAC, $V_{OUT} = 0$ 至 $-V_{REF}$

2.2 参数

下面介绍有关芯片的重要参数。

乘法带宽：乘法带宽指增益为 -3 dB 时的基准输入频率。对于给定器件，它与幅度和选择的补偿电容呈函数关系。图 2-3 所示为可以使用最高 12 MHz 的信号相乘的电流输出 DAC AD5544、AD5554 或 AD545x 的乘法带宽坐标图。配套的低功耗运算放大器 AD8038 具备 350 MHz 带宽，可确保该运算放大器在此范围内不会引起明显的动态误差。

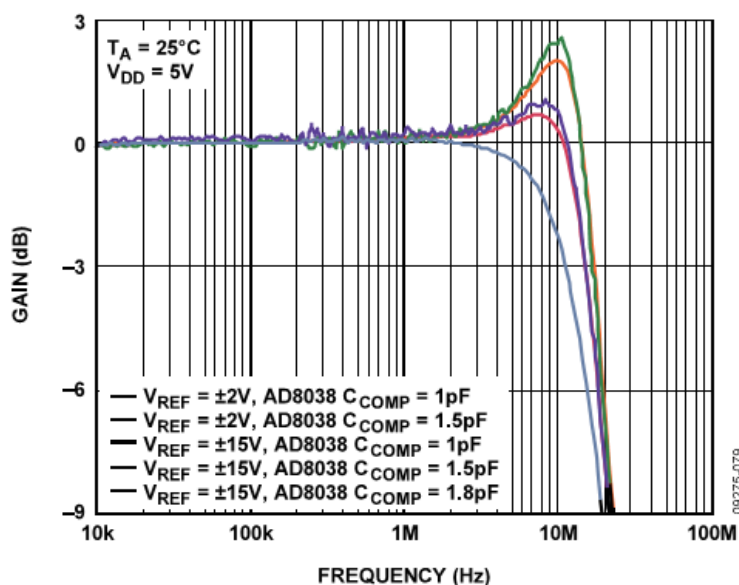


图 2-3 乘法带宽

模拟总谐波失真：模拟总谐波失真是乘法波形信号中谐波成分的数学表达。它等于 DAC 输出的谐波（V2、V3、V4 和 V5）之均方根和与基波值 V1 比的对数。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

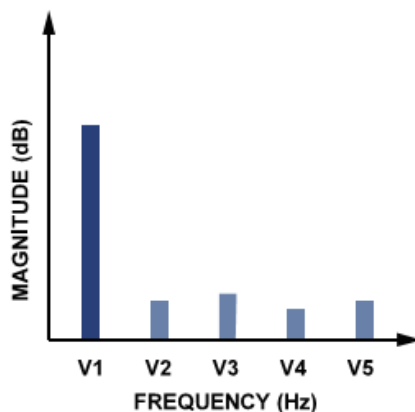


图 2-4 总谐波失真

乘法馈通误差：乘法馈通误差定义为载入 DAC 的数字全部为 0 时，由基准电压输入至 DAC 输出的容性馈通所致的误差。在理想情况下，每下降一位，延伸至 DB0 的增益内产生 6 dB 损耗（见图 8）。但是，对于较低位，乘法馈通会影响器件的增益。这在图 8 中显示为较低位尾部上翘的平坦曲线。例如，DB2 处，对于 1 MHz 下的 14 位 DAC，误差为 72 dB，但由于馈通，误差实际为 66 dB。

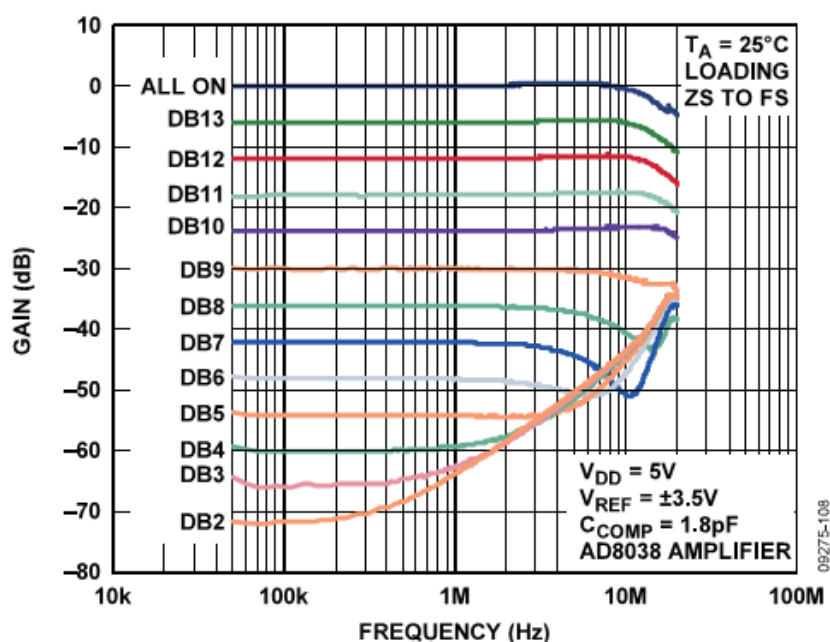


图 2-5 乘法馈通误差

中间电平毛刺：对于 R-2R 结构，代码变化引起的主要毛刺出现在围绕中间电平发生 1 LSB 变化时。在一个 12 位系统中（如 AD5444），中间电平变化是从 7FFH 至 800H 或从 800H 至 7FFH 的代码变化。如果毛刺很严重，可能会给电机/阀门/执行器控制应用带来不利影响。当乘法 DAC 试图从 7FFH 变为 800H 时，DAC 的 MSB 切换速度低于其它位的切换速度。因此，在 MSB 切换至 1 前的几纳秒内，DAC 看到的是 000H。图 2-6 中的黄色曲线显示的就是这种情况；在 MSB 切换并将 DAC 输出拉回 800H 之前，输出朝 0 V 变化。

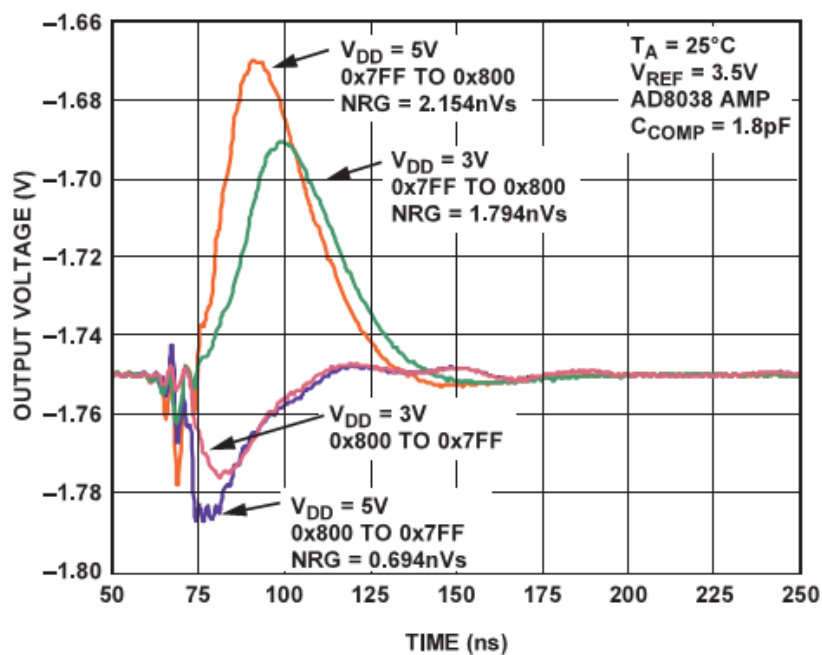


图 2-6 中间电平毛刺

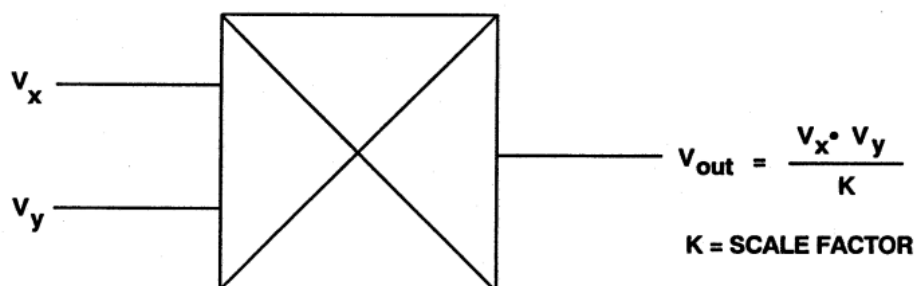
第3章 常见应用问题解答

下面按顺序对 FAQ 进行详细的叙述。其中标题为问题的叙述，标题以下的正文为问题的详细解答。

3.1 二象限乘法 DAC 和四象限乘法 DAC 的区别？

所有的 DAC 的输出是将输入数字量与基准电压的乘积，从这个意义上讲，所有的 DAC 都是乘法器（乘法 DAC）。但是乘法 DAC 与固定基准电压 DAC 不同，因为它的基准电压是可变的。实际上由于乘法 DAC 也是一个乘法器，所以二、四象限概念的区别也来自于乘法器（请参照 [MT-079](#) 查找更多的信息）。

二象限乘法 DAC 和四象限乘法 DAC 的区别在于基准电压源的极性。如果这个可变的基准源是单极性的，那么它就是二象限乘法 DAC；如果这个可变的基准源是双极性的，那么它就是四象限乘法 DAC。



Type	V_x	V_y	V_{out}
Single Quadrant	Unipolar	Unipolar	Unipolar
Two Quadrant	Bipolar	Unipolar	Bipolar
Four Quadrant	Bipolar	Bipolar	Bipolar

图 3-1 基础模拟乘法器与乘法器象限的定义

3.2 在向 AD5453 输入非连续的 SCLK 时钟信号时，是否会影响功能？

只要在 SYNC 的低电平和高电平之间有 16 个时钟就不会有任何问题。

3.3 如何计算串行和并行的输出更新速率？

输出信号的更新速率需要考虑数字信号的更新时间，同时还要考虑在数字信号更新之后，模拟信号的建立时间。

对于串行数据的接口，以 AD5443 做为例子：

Table 2.

Parameter	2.5 V to 5.5 V	4.5 V to 5.5 V	Unit	Test Conditions/Comments
f_{SCLK}	50	50	MHz max	Max clock frequency
t_1	20	20	ns min	SCLK cycle time
t_2	8	8	ns min	SCLK high time
t_3	8	8	ns min	SCLK low time
t_4^1	13	13	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK active edge setup time
t_5	5	5	ns min	Data setup time
t_6	3	3	ns min	Data hold time
t_7	5	5	ns min	$\overline{\text{SYNC}}$ rising edge to SCLK active edge
t_8	30	30	ns min	Minimum SYNC high time
$t_9^{2,3}$	80	45	ns typ	SCLK active edge to SDO valid
	120	65	ns max	

其最大时钟频率=50MHz，对于 16Bit 的数据输入，需要时间为 $(20\text{nS} \times 16) = 320\text{nS}$

SYNC 的上升沿时间 $t_7=5\text{nS}$

SYNC 的高电平时间 $t_8=30\text{nS}$

模拟信号的建立时间=50nS

总的延迟时间=320+5+30+50=405nS，相当于 2.467MSPS

对于并行数据接口，可以参考 AD5428：

Table 2.

Parameter ¹	Limit at T_{MIN} , T_{MAX}	Unit	Conditions/Comments
Write Mode			
t_1	0	ns min	$R/\overline{W}$ to $\overline{\text{CS}}$ setup time
t_2	0	ns min	$R/\overline{W}$ to $\overline{\text{CS}}$ hold time
t_3	10	ns min	$\overline{\text{CS}}$ low time
t_4	10	ns min	Address setup time
t_5	0	ns min	Address hold time
t_6	6	ns min	Data setup time
t_7	0	ns min	Data hold time
t_8	5	ns min	$R/\overline{W}$ high to $\overline{\text{CS}}$ low
t_9	7	ns min	$\overline{\text{CS}}$ min high time
Data Readback Mode			
t_{10}	0	ns typ	Address setup time
t_{11}	0	ns typ	Address hold time
t_{12}	5	ns typ	Data access time
	25	ns max	
t_{13}	5	ns typ	Bus relinquish time
	10	ns max	
Update Rate	21.3	MSPS	Consists of $\overline{\text{CS}}$ min high time, $\overline{\text{CS}}$ low time, and output voltage settling time

CS 最低的高电平时间 $t_9=7\text{nS}$

CS 最低的低电平时间 $t_3=10\text{nS}$

输出信号的建立时间=30nS

总的延迟时间=47nS，相当于 21.3MSPS

3.4 在使用 AD5453 的过程中，如果在第 16 个时钟之前就拉高 SYNC 信号，输出如何变化？

用下面表格中的数据进行一下说明，第一次写 0x3FFF，第二次写 0x1AAA，第三次写 0x0555，假设在第三次写的过程中，SYNC 在第 13 个时钟之后就拉高了，那么输出就会得到非预期的结果。

写入移位寄存器的数据	期望的操作	传递给芯片的数据	实现的操作
0x3FFF	载入并且更新 0x3FFF 0011 1111 1111 1111	0x3FFF	载入并且更新 0x3FFF 0011 1111 1111 1111
0x1AAA	载入并且更新 0x1AAA 0001 1010 1010 1010	0x1AAA	载入并且更新 0x1AAA 0001 1010 1010 1010
0x0555	载入并且更新 0x0555 0000 0101 0101 0101	0x4555	保留 – 不变 0100 0101 0101 0101

在第三次写操作中，只写进了 13 个 bit，为了填满移位寄存器，之前一次写操作的 3 位 LSB 数据被用来填充第三次操作的 3 位 MSB 数据。添加的 3 位数据将会激活保留功能，因此输出信号不发生变化。

3.5 当 SYNC 在超过 16 个时钟之后拉高，输出会发生什么变化？

如果在 16 个时钟之后拉高 SYNC 信号，那么多余的 MSBs 将会移出寄存器，16 位 LSBs 信号将会在 SYNC 拉高之后得到锁存。例如：输入了 20 个时钟，输入数据 D19-D0，那么 D19-D16 移除寄存器，拉高 SYNC 之后，D15-D0 将会被锁存。

3.6 AD5443 的输出波形发生了失真，如何改善输出信号？

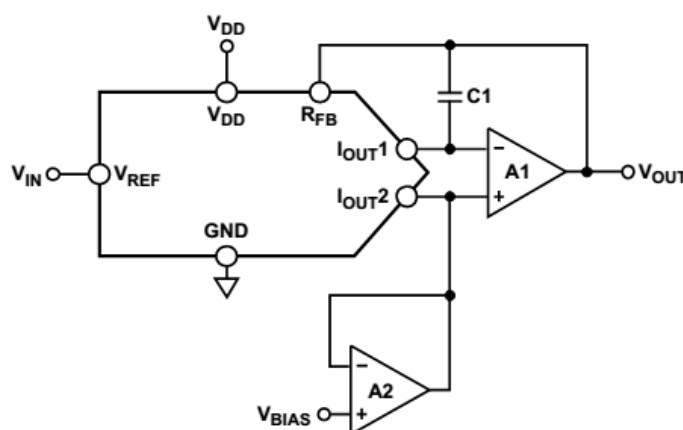
DAC 的内部输出电容在开环响应中引入一个极点，它可能会在闭环(ramp profiling)电路中引起响铃振荡或不稳定。为了补偿这一点，通常将一个外部反馈电容 C1 与 DAC 的内部 RFB 并联（参见图 3-2）。如果 C1 值过小，它可能会在输出端产生响铃振荡，而过大则可能会对系统的建立时间带来不利影响。DAC 的内部输出电容随代码而变化，因此 C1 很

3.9 在 AD5452 与不同的运放组合后，发现 ADA4841 的 3 次谐波比 AD8065 的高很多？

在同样的负载情况下，AD5452+ADA4841 的三次谐波为 -45dBc，而 AD5452+AD8065 的三次谐波为 -75dBc。造成这种结果的原因在于运放的输出压摆率影响了三次谐波。如果看一下 AD8065 的数据手册就会发现它的压摆率为 180V/μs，而 ADA4841-1 的压摆率为 12V/μs。压摆率的不同导致了以上的现象。所以在选择运放时，必须考虑运算放大器的压摆率规格，以限制高频大信号的失真。对于 AD54xx 和 AD55xx 系列，压摆率为 100 V/μs 的运算放大器一般就够了。

3.10 AD5443 在电流模式下， I_{out2} 上的偏置电压有什么限制？

下图为 AD5443 的电流模式配置， I_{out2} 在偏置电压大于 1.2V 之后，AD5443 的线性显著下降，因此一般情况下建议最大的偏置电压应小于 1.2V。



数据手册上的测试图 15-20 可以很好的帮助我们理解偏置电压与线性的关系。对于大多数 AD54XX 系列芯片来说，都没有这种偏置。

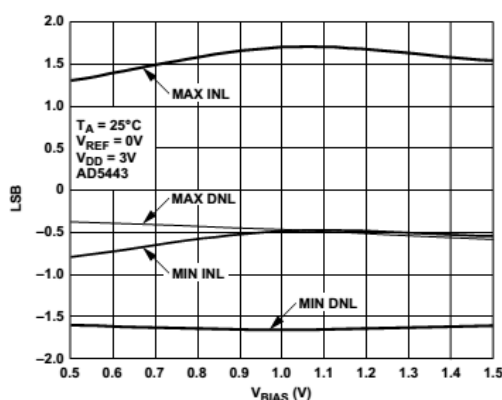


Figure 15. Linearity vs. VBIAS Voltage Applied to IOUT2

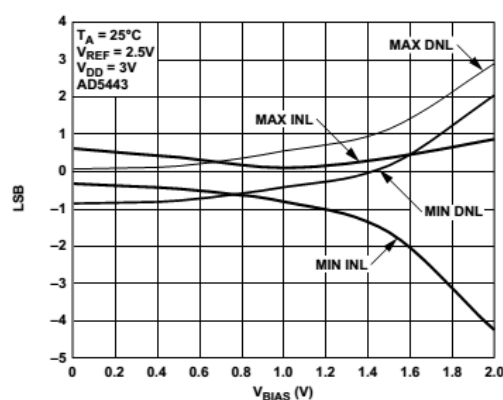


Figure 16. Linearity vs. VBIAS Voltage Applied to IOUT2

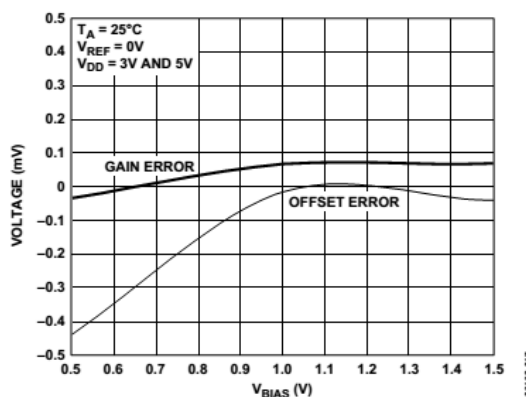


Figure 17. Gain and Offset Errors vs. VBIAS Voltage Applied to IOUT2

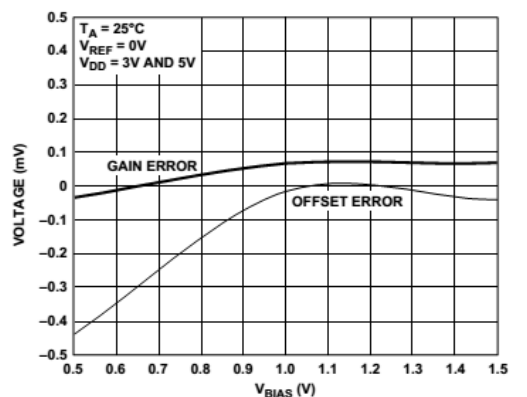


Figure 17. Gain and Offset Errors vs. VBIAS Voltage Applied to IOUT2

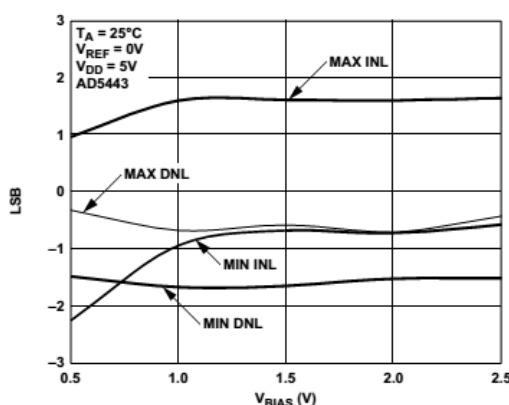


Figure 19. Linearity vs. VBIAS Voltage Applied to IOUT2

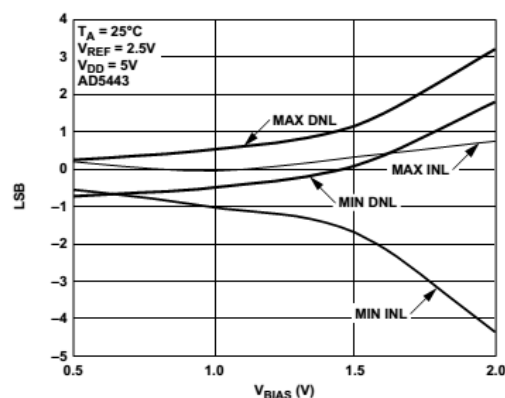


Figure 20. Linearity vs. VBIAS Voltage Applied to IOUT2

图 3-3 AD5443 的偏置电压对性能影响的测绘图

3.11 乘法 DAC 外接的运放如何选择？

乘法 DAC 电路性能非常依赖于所选运算放大器的能力。要实现最佳的直流精度，重要的是要选择具有低失调电压和偏置电流的运算放大器，以保持误差与 DAC 的分辨率相当。运算放大器的输入失调电压要乘以电路的可变增益(由于存在 DAC 的代码相关输出电阻)。此输出电压与两个代码间所需的输出变化相叠加，引起差分线性误差；如果该误差足够大，可能会导致 DAC 非单调。一般而言，为了确保沿各代码步进时保持单调性，输入失调电压应小于 $1/4$ LSB。

运算放大器的输入偏置电流也会在电压输出上产生失调，其原因是偏置电流会流经反馈电阻 RFB。大多数运算放大器的输入偏置电流都足够低，以防止 12 位应用中的误差过大。

对于基准电压输入为较高速信号的应用，需要一个带宽较宽、压摆率较高的运算放大器，以免削弱信号。一个运算放大器路的增益-带宽受反馈网络的阻抗水平和增益配置限制。要确定所需的 GBW，一种可行的方式是选择 -3 dB 带宽（10 倍于基准信号频率）的运算

放大器。必须考虑运算放大器的压摆率规格，以限制高频大信号的失真。图 3-4 列出了可供乘法应用选择的运算放大器。

产品型号	电源电压 (V)	ACL 时带宽 (MHz)	压摆率 (V/ μ s)	V _{os} 最大值 (μ V)	I _s 最大值 (nA)	封装
AD8065	5 至 24	145	180	1500	0.006	SOIC-8、SOT-23-5
AD8066	5 至 24	145	180	1500	0.006	SOIC-8、MSOP-8
AD8021	5 至 24	490	120	1000	10,500	SOIC-8、MSOP-8
AD8038	3 至 12	350	425	3000	750	SOIC-8, SC70-5, SOT-23-5
ADA4899	5 至 12	600	310	35	100	LFCSP-8、SOIC-8
AD8057	3 至 12	325	850	5000	500	SOT-23-5、SOIC-8
AD8058	3 至 12	325	850	5000	500	SOIC-8、MSOP-8
AD8061	2.7 至 8	320	650	6000	350	SOT-23-5、SOIC-8
AD8062	2.7 至 8	320	650	6000	350	SOIC-8、MSOP-8
AD9631	± 3 至 ± 6	320	1300	10,000	7000	SOIC-8、PDIP-8

图 3-4 运放选型表

3.12 在选择乘法 DAC 时，有的是电压输出，有的是电流输出，它们之间有什么区别？

乘法 DAC 的输出信号类型与 DAC 内部结构有关。最常见的 DAC 构建模块结构之一是 R-2R 梯形电阻网络。有两种方法可以将 R-2R 梯形电阻网络用作 DAC，分别称为“电压模式”和“电流模式”，有时也分别称为“正常”模式和“反相”模式。

图 3-5 所示为电压模式 R-2R 梯形电阻 DAC，电阻梯的“横档”或臂在 VREF 与地之间切换，输出从电阻梯的末端获得。输出可以是一个电压，但由于输出阻抗与代码无关，因此输出也可以是一个流入虚拟地的电流。

电压输出是这种模式的一个优势，恒定的输出阻抗是另一个优势，后者使得连接到输出节点的任何放大器都更容易稳定。此外，开关使电阻梯的臂在低阻抗 VREF 连接与同样是低阻抗的地之间切换，因此电容毛刺电流一般不会流到负载。但另一方面，开关必须在宽电压范围(VREF 至地)内工作，这给设计和制造都带来难题，而且基准电压输入阻抗随着代码而大幅改变，因此基准电压输入必须通过一个非常低的阻抗驱动。此外，DAC 的增益无法通过与 VREF 引脚串联的电阻进行调整。

图 3-6 所示为电流模式 R-2R 梯形电阻 DAC，DAC 的增益可以通过 VREF 引脚上的串联电阻进行调整，这是因为在电流模式中，电阻梯的末端(具有与代码无关的阻抗)用作 VREF 引脚，臂的末端在地(有时是处于地电位的“反相输出”)与输出线(必须保持地电位)之间切换。电流模式梯形电阻网络的输出一般连接到一个配置为电流电压(I/V)转换器的运算放大器，但由于 DAC 输出阻抗随着数字代码而变化，该运算放大器的稳定机制变得较为复杂。如前所述，有时将这种架构称为“反相 R-2R”DAC。

以电流模式工作时，开关直接连接到输出线，因此其开关毛刺大于电压模式下的开关毛刺。然而，由于电流模式梯形电阻网络的开关始终处于地电位，因此其设计要求较低，具体来说，其电压额定值不影响基准电压额定值。如果使用能够承载任一方向电流的开关

(如 CMOS 器件), 则基准电压可以具有任一种极性, 甚至可以是交流电压。这种结构是乘法 DAC 最常用的一种结构。

一般来说, 绝大部分乘法 DAC 采用反相 R-2R 结构, 如果芯片内部集成了运放, 一般为电压型输出, 如果没有集成运放, 一般为电流型输出。

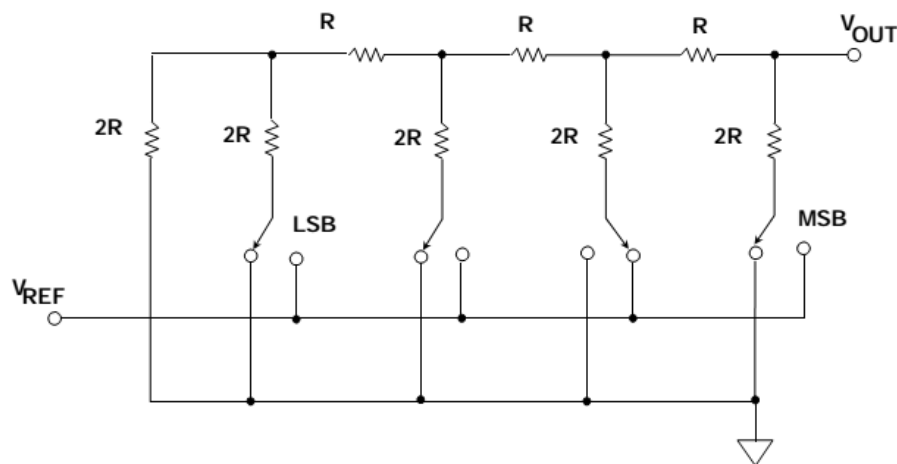


图 3-5 电压模式 R-2R 梯形电阻网络 DAC

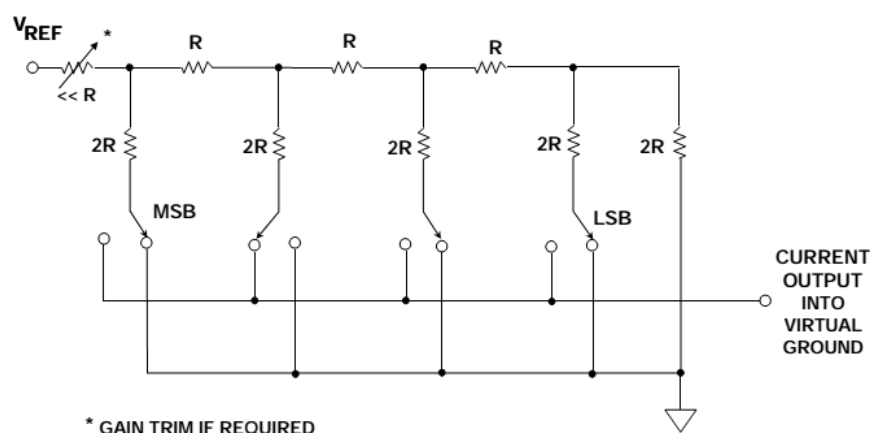


图 3-6 电流模式 R-2R 梯形电阻网络 DAC 常用于乘法 DAC

3.13 如何找到合适的 DAC

欲了解更多的乘法 DAC 的产品, 可以查看 M-DAC 的数模转换器产品选型表, 请访问 <http://www.analog.com/parametricsearch/zh/10166#10166?p4387=4>

乘法 DAC 的型号主要集中在 AD54XX 与 AD55XX。

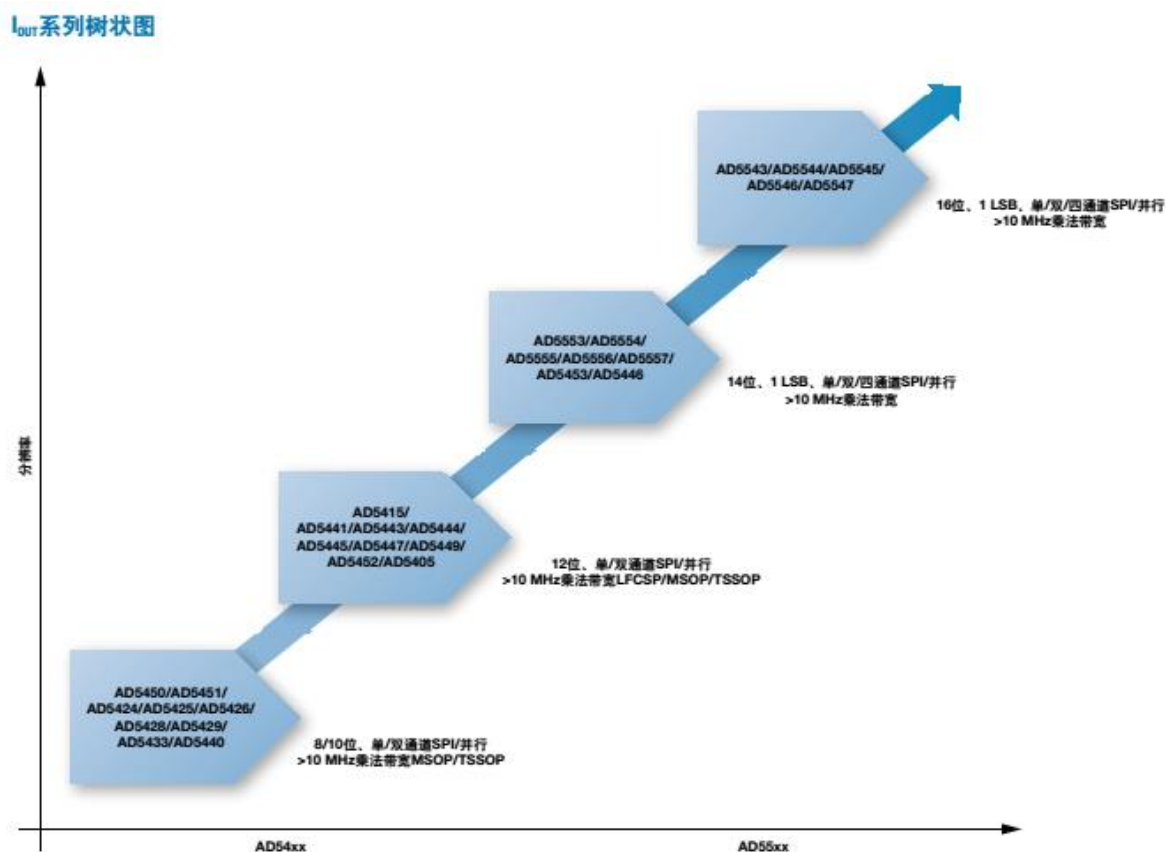


图 3-7 乘法 DAC 电流输出系列树状图

3.14 DAC 在线仿真工具

ADIsimDAC 是一款用来帮助用户查找 DAC 以及 DAC 应用方案的在线工具。用户根据输入的典型参数挑选和查找 DAC 以及合适的解决方案。其网址如下：

<http://designtools.analog.com/dtSimDACWeb/dtSimDACMain.aspx>。

[以下链接为 ADIsimDAC 的教学视频，可以帮助您快速掌握工具。](#)

<http://videos.analog.com/video/chinese/3522539099001/ADIsimDAC/>