



AD779x仪表转换器 常见问题解答

一般常见问题

Σ - Δ 型ADC有哪些优缺点？

利用 Σ - Δ 技术实现高分辨率的代价是速度。硬件必须以远大于最高信号带宽的过采样速率工作，因而需要非常复杂的数字电路。由于这一限制， Σ - Δ 型转换器传统上只能用于高分辨率、极低频率应用，最近才开始出现在语音、音频和中等速度(100 kHz至1 MHz)应用中。

数字滤波器导致从采样周期开始到第一个有效数字输出之间有很长的延时；同样，之后在数字输出与对应的采样时间之间也有明显的迟滞。这些特性会降低多路复用系统中的输出速率，因为从一个通道切换到另一个通道之后，数字滤波器需要许多时钟周期才能建立。

Σ - Δ 型转换器中的多数电路都是数字电路，因此这些转换器可以采用各种IC工艺制造。这意味着，其性能不会随时间和温度的变化而发生显著漂移。这种转换器本身具有单调性(即数字输出的变化始终与模拟输入的变化斜率相同)，这在闭环控制系统中尤为重要，因为如果误判所测量变量的变化方向，系统可能会变得不稳定。此外，这种转换器本身还具有线性度，差分非线性度很小。调制器中的模数转换具有高输入采样速率和低精度特性，因此无需外部采样保持电路(这些器件本身具有自采样保持功能)。对模拟抗混叠滤波器的要求极低，大多数情况下，只需要一个简单的单极点RC滤波器，因为目标带宽明显低于约在调制器频率出现的第一镜像。相比之下，采用其它(非过采样)技术的中高分辨率应用所要求的滤波器则非常复杂，难以设计，并且尺寸较大、成本高昂。

主要应用有哪些？

这些器件可提供完整的模拟前端，适合低频测量应用，包括便携式仪器、过程控制、智能发射器、电子秤、基于传感器的应用以及温度和压力测量系统。例如，在压力和温度测量系统中，系统设计人员面对的任务是测量压力传感器、RTD(电阻式温度检测器)或热电偶所产生的小信号，并将其解析至16位或更高的分辨率。主要设计任务包括：对传感器的输出信

号进行信号调理，处理信号以达到所需的分辨率和精度，以及确保便携式应用的功耗足够低。该系列 Σ - Δ 型转换器均为全集成式解决方案，在单芯片上整合了必需的信号调理、滤波和模数转换器，可以直接与传感器进行接口，而无需前端信号调理。AD779x系列由16位和24位分辨率ADC组成，典型功耗为2 mW，因而是便携式数据采集应用的理想选择。

传统的模拟前端解决方案是什么？ Σ - Δ 解决方案如何克服其不足？

测量传感器信号的传统方法是使用高分辨率模数转换器(ADC)作为测量过程的核心元件。一般使用集成ADC或电压频率转换器(VFC)，为低输入带宽信号提供高分辨率。这类ADC周围必须有大量模拟信号调理电路，以放大传感器输出信号，从而可利用这些转换器的全部动态范围来实现所需的性能。系统能否准确测量小信号，常常是由信号调理电路的性能决定的，而不是高分辨率转换器。设计增益级时，必须考虑多种因素。首先最关键的因素是噪声，包括测量环境中的噪声和构成高增益级的器件中的噪声。电路设计环境中的噪声通常源于频率噪声和电源噪声。其它需要关注的事项包括增益级的共模抑制能力，因为传感器输出可能具有较高的直流信号，所以须将差分输入信号转换为单端输出。放大器失调和漂移性能会严重损害电路性能，因而不得不使用昂贵的斩波稳定放大器。这些系统很难把可编程性能设计进去，并且校准主要利用系统微控制器进行，因此这就需要外部存储器来存储校准系数。

随着设计的进步，可以开发出低成本、低功耗、高精度、集成式解决方案，进而解决数据采集应用中低功耗设计的实际问题。集成解决方案带给系统设计人员的好处包括能够在片内集成直接与传感器接口的信号调理电路，它可大大减少模拟电路的设计工作，并降低了布局复杂度。与分立解决方案相比，集成解决方案还能更好地控制规格特性和误差预算。 Σ - Δ 型转换器可提供足够的动态范围，允许直接与传感器对接，因而无需在ADC之前放置高增益信号调理级。

数据手册中提到：如果输入端与地之间的外部电容较大，可能会影响非缓冲模式下的测量精度。能否解释为什么会这样？它只影响交流输入信号还是也会影响直流输入信号？

如果在非缓冲模式下使用ADC，则输入端的较大RC常数会与内部采样电容交互作用，使采样电容无法得到充电电流，这将在ADC中引起增益误差。解决办法是使用缓冲模式，或者确保遵循数据手册中给出的最大RC值要求。

参考输入也是非缓冲型，因此与非缓冲模式下使用模拟输入一样，参考输入端的RC载荷必须足够低，以免将误差引入转换过程。

AD7792/AD7793/AD7794可以使用外部时钟。外部时钟的频率范围是多少？

虽然多数客户使用64 kHz片内时钟，但AD7792/AD7793/AD7794也能够采用外部时钟驱动。这些器件可以使用60 kHz至70 kHz的外部时钟，并且仍能达到数据手册中的额定性能。如果外部时钟频率超出该范围，虽然器件可以继续工作，但不能保证达到额定性能。

当AD7792/AD7793/AD7794采用非64 kHz的主时钟频率时，输出数据更新速率是多少？

上述器件在4.17 Hz至470 Hz范围内有16种输出速率可选，这些值均由内部时钟确定。主时钟频率发生改变时，输出数据速率将随时钟按比例变化。例如，当主时钟为64 kHz时，默认输出数据速率为16.7 Hz；如果主时钟频率降至60 kHz，输出数据速率将降至 $(60/64) \times 16.7 = 15.66$ Hz。

改变输出数据速率也会影响滤波器陷波频率。当输出数据速率为16.7 Hz时，陷波点位于50 Hz和60 Hz。如果主时钟频率降至60 kHz，50 Hz陷波频率将移至46.87 Hz，60 Hz陷波频率将移至56.25 Hz。

在应用中ADC出现过压。如何保护ADC免受过压影响？

模拟输入引脚可以耐受 $GND - 0.3$ V到 $AVDD + 0.3$ V之间的电压。从各模拟输入到AVDD以及到GND均连有ESD保护二极管。如果模拟输入端出现过压(超出供电轨范围500 mV的电压)，这些二极管就会导通。这些ESD二极管提供低阻抗路径，因而可控制过压使之远离ADC的调制器。但是，这些ESD二极管只能耐受10 mA以下的连续电流。所以，为避免ADC受损，需用一些外部电阻，将电流限制在10 mA以下。

利用外部限流电阻可以防止ADC受损。但是，外部过压可能会破坏片内寄存器。

为避免内部寄存器遭破坏，需要控制过压使之远离ADC。可以采用将肖特基二极管连接在各模拟输入与AVDD及GND之间的方

法。肖特基二极管必须具有300 mV的导通电压，这可确保外部二极管在ADC内部二极管之前导通，从而控制过压使之远离ADC。由于ADC不会承受任何过压，因此片内寄存器将完好无损。

关于这些产品，需考虑采用什么ESD保护建议方案吗？

这些转换器采用标准CMOS工艺制造，因此，像所有其它CMOS器件一样，所有标准做法和保护方案均适用于这些器件。所有输入端均具有ESD保护二极管，用来保护器件免遭搬运和生产过程中可能造成的ESD损害。这些ESD保护二极管的作用是将任何引脚上的电压箝位到与电源电压相差0.5 V的范围内。虽然能承载相当高的电流，但只能维持很短的时间，因此可以保护IC免受持续时间较短的大脉冲影响(总能量仍然很低)。所有引脚上的闭锁电流典型值均为100 mA。

这些保护二极管能承受的最大直流电流为10 mA。因此，任何输入端上可以施加的最大电流为10 mA。如果因为过压，可能有超过10 mA的电流施加于引脚上，则需要提供外部保护。可用的保护方案包括在电源线路上配置Transzorb二极管，在数字输入线路上配置串联电阻，以及在模拟输入端配置电阻和二极管。例如，可以通过与输入引脚串联的电阻提供外部保护，将流入引脚的电流限制在10 mA以下。如果引脚上的最大过压为5 V，则在每条线路上串联一个1 k Ω 电阻可将电流限制在5 mA。

关于这一问题，有许多应用笔记和研讨会资料可供参考。下面是ADI公司网站www.analog.com上提供的资源：

- 应用笔记AN-202：IC放大器用户指南：去耦、接地以及随机应变。
www.analog.com/static/imported-files/application_notes/135208865AN-202.pdf
- 应用笔记AN-311：如何切实有效地保护CMOS电路不受电源过压影响。
http://www.analog.com/static/imported-files/application_notes/2915025627482692953221605948252614692AN311.pdf
- 应用笔记AN-397：标准线性集成电路的电导致的损坏。
www.analog.com/static/imported-files/application_notes/262799190AN-397.pdf
- “过压对模拟IC的影响”。
http://www.analog.com/static/imported-files/seminars_webcasts/36900313320057Section7.pdf

这些器件对传导和辐射电磁噪声敏感吗？

任何 Σ - Δ 型ADC都易受到进入输入端、电源引脚或基准电压源中传导射频(RF)的影响。原因在于杂散RF信号及其谐波可能会被 Σ - Δ 调制器求平均值，而表现为直流失调电压或本底噪声增加。辐射RF更复杂一点，但也可能发生类似的问题，而且在

某些情况下，需要对系统中的 Σ - Δ 型ADC进行屏蔽，使之不受系统内局部产生的较大RF场的影响。

所需的保护程度取决于本地场的强度。设计EMC兼容性时，并不存在一成不变的规则，因为每个系统都不相同。但是，仍有一些通用指导原则可以遵循。

- 考虑输入端、基准电压源和电源引脚，确保每条线路均根据所需的最大频率进行适当的滤波。
- 电源上使用去耦电容，尽量靠近IC；可能的话，在模拟电源与数字电源之间连接一个小电感。
- 基准电压源和输入端上的滤波也很重要。
- 采用实心低阻抗接地层，并将模拟地与数字地分离，以及让地平面对位于整个IC下方等，这些都是很好的常用做法。评估板可以作为很好的参考。

有时候，如果器件的工作环境存在高电磁场，例如靠近电源、继电器或RF发射机等，则需要为ADC提供法拉第屏蔽，但这只是特例。

作为器件制造商，ADI公司通常不执行EMC测试，因为EMC是一个系统级特性，而不是一个器件特性。确保电路中的敏感器件不受杂散信号影响，是PCB设计人员的责任。我们并没有无懈可击的EMC设计可提供给客户，但是，如果客户使用评估板并遵循关于布局、接地和去耦的标准做法，则可能不需要付出太大努力便可设计出达到甚至超过CE认证要求的系统。我们所有研讨会书籍的最后一章都专门介绍硬件设计技术，讨论接地、去耦、寄生热电偶和良好的PCB设计等问题。 www.analog.com/static/imported-files/seminars_webcasts/173574898sscsect10.pdf

模拟性能常见问题解答

如何实现可编程增益功能？

当增益设置范围为4到128时，AD779x使用仪表放大器来实现增益级。若增益为2，器件利用电容实现该增益(调制器中的参考电容减半)。较高增益使用仪表放大器的原因是其功耗比容性PGA要低。

数据手册中提到：不使用缓冲时，ADC的模拟输入可以接受以0 V为中心的 ± 30 mV双极性输入。这些采用3 V/5 V单电源供电的器件真有这样的能力吗？

确实如此！每路模拟输入在引脚与AVDD以及与GND之间均配有ESD保护二极管。输入级为真差分结构，理论上它可以接受负输入电压。但是，ESD保护二极管的泄漏会限制它处理负电压的能力。当二极管上的电压约为300 mV时，二极管便会开启。此开启电压与温度相关。二极管泄漏会增加输入端的噪声，从而降低整体分辨率。ADI公司保证：当增益为1或2且禁用缓冲时，在整个额定温度范围内，对于 ± 30 mV模拟输入，器件完全能够达到数据手册所述的性能。

模拟输入引脚的电压规格是多少？

当增益为1或2且禁用缓冲时，模拟输入引脚可以耐受GND - 30 mV至AVDD + 30 mV范围内的电压。启用缓冲时，缓冲本身需要一定的裕量。模拟输入引脚上的绝对电压必须在GND + 100 mV至AVDD - 100 mV范围内。超出此范围，缓冲将呈非线性，因此器件将无法达到数据手册所述的额定性能。启用仪表放大器时(增益为4或更高)，仪表放大器本身需要一定的裕量。因此，模拟输入引脚上的绝对电压必须限制在GND + 300 mV至AVDD - 1.1 V范围内。如果模拟输入超出此范围，ADC仍将工作，但因为仪表放大器靠近供电轨时呈非线性，所以器件将无法达到数据手册所述的额定性能。

在应用中ADC出现过压。如何保护ADC免受过压影响？

模拟输入引脚可以耐受GND - 0.3 V与AVDD + 0.3 V之间的电压。从各模拟输入到AVDD以及到GND均连有ESD保护二极管。如果模拟输入端出现过压(超出供电轨范围500 mV的电压)，这些二极管就会导通。这些ESD二极管提供低阻抗路径，因而可控制过压使之远离ADC的调制器。但是，这些ESD二极管只能耐受10 mA以下的连续电流。为避免ADC受损，需用一些外部电阻，将电流限制在10 mA以下。

利用外部限流电阻可以防止ADC受损。但是，外部过压可能会破坏片内寄存器。

为避免内部寄存器遭破坏，需要控制过压使之远离ADC。可以采用将肖特基二极管连接在各模拟输入与AVDD及GND之间的方法。肖特基二极管必须具有300 mV的导通电压，这可确保外部二极管在ADC内部二极管之前导通，从而控制过压使之远离ADC。由于ADC不会承受任何过压，因此片内寄存器将完好无损。

ADC在输入端短路的情况下工作时，当器件以缓冲模式或非缓冲模式工作，可以获得不同的输出码。这是正常现象吗？

当有或没有缓冲时，如果执行内部失调和增益校准，则在器件的噪声限制内，无论缓冲模式还是非缓冲模式，都将从ADC获得同样的输出码。如果未执行校准，则对于相同的输入电压，在缓冲模式和非缓冲模式下，很可能看到不同的输出码。缓冲与运算放大器相似，因此也会有失调电压。当用户在缓冲与非缓冲模式之间切换时，必须执行校准以消除该失调电压。必须牢记，只要更改了滤波器字、输入范围或缓冲模式，就必须执行校准。数据手册含有噪声表，其中列出了不同工作条件下的噪声和数字码分布情况。

我在非缓冲模式下测量输入泄漏电流，发现它明显高于数据手册中的额定值。为什么会这样？

数据手册中规定的是静态泄漏电流。数据手册并未规定动态泄漏电流(当ADC处在转换状态时的泄漏电流)。如果让ADC以非缓冲模式工作，并测量输入电流，观察到的将会是泄漏电流与采样电容充放电动态电流的组合。如果动态充电电流给应用带来问题(例如当源阻抗很高时)，可以使用片内缓冲将输入与这些动态充电电流隔离。不过，这将会导致输入共模电压减小。缓冲输入共模范围为VDD以下1.1 V和AGND以上 300 mV，而非缓冲模式下的共模范围则为VDD以上30 mV和AGND以下30 mV。

数据手册中提到：如果输入与接地之间的外部电容较大，可能会影响非缓冲模式下的测量精度。能否解释为什么会这样？它只影响交流输入信号还是也会影响直流输入信号？

如果在非缓冲模式下使用ADC，则输入端的较大RC常数会与内部采样电容交互作用，使采样电容无法得到充电电流。这将在ADC中引起增益误差。解决办法是使用缓冲模式，或者参考数据手册中给出的对RC值的要求。参考输入也是非缓冲型；与非缓冲模式下使用模拟输入一样，参考输入端的RC负载必须足够低，以免将误差引入转换过程。

通道间切换对吞吐量有何影响？

数据手册中所列的输出数据速率是指在单一通道上执行连续转换时转换结果有效的速率。当用户切换到另一通道时，建立 Σ - Δ 调制器和数字滤波器还额外需要些时间。与这些转换器相关的建立时间是指通道变更之后输出数据反映输入电压所需的时间。通道变更之后，为精确反映模拟输入，必须清除数字滤波器中与前一模拟输入相关的全部数据。对于AD779x器件，由于存在斩波，清除滤波器需要两倍的输出数据速率(转换时间)。例如，如果输出数据速率为16.6 Hz，则通道切换之后产生有效转换所需的时间为 $[1/(2 \times 16.6 \text{ Hz})]$ 。

发生通道改变时，数字滤波器和调制器自动复位，DRDY变为高电平，并将一直保持高电平，直到新模拟输入通道可以提供有效的转换为止。因此，通道变更之后，DRDY将保持高电

平，直到数字滤波器计算出一个有效的转换为止(即它将在2个转换周期中保持高电平)。

发生步进改变时(在所转换的模拟输入通道上)，ADC不会复位。ADC继续输出转换结果，并且当转换有效时，DRDY继续发出脉冲。不过，因为数字滤波器需要2个转换周期才能产生与改变后的模拟输入相关的数字字，所以转换将无效。如果在转换周期开始时发生步进改变，ADC将在2个转换周期之后输出有效字。不过，如果步进改变是发生在转换当中，则ADC需要完成当前转换，然后再执行2次转换，才能为新模拟输入产生有效输出。因此，从发生步进改变那一刻到获得有效转换结果那一刻总共可能需要3个转换周期。

总之，通道切换速度为数据输出速率的一半。因此，在数据采集系统等切换应用中，必须明白，获得转换结果的速率要比对单一通道连续采样时可达到的输出数据速率低两倍。

对于AD7794和AD7795，可以禁用斩波，此时建立时间等于转换时间，ADC以零延时工作。因此，在切换通道时，转换结果可以在通道改变之后以1/输出数据速率获得。

AD779x的ESD额定值是多少？

AD779x通过了1.5 kV人体模型测试和250 V FICDM模型测试。

关于这些产品，需考虑采用什么ESD保护建议方案吗？

这些转换器采用标准CMOS工艺制造；因此，像所有其它CMOS器件一样，所有标准的做法和保护方案均适用于这些器件。转换器输入端均具有ESD保护二极管，用来保护器件免遭搬运和生产过程中可能造成的ESD损害。ESD保护二极管的作用是将任何引脚上的电压箝位在电源电压0.5 V范围内。虽然能承载相当高的电流，但只能维持很短的时间，因此可以保护IC免受持续时间较短的大脉冲影响(总能量仍然相当低)。所有引脚上的闭锁电流典型值均为100 mA。

这些保护二极管能承受的最大直流电流为10 mA。因此，任何输入端上可以施加的最大电流为10 mA。如果因为过压，可能有超过10 mA的电流施加于引脚上，则需要提供外部保护。可用的保护方案包括在电源线路上配置固态变阻器，在数字输入线路上配置串联电阻，以及在模拟输入端配置电阻和二极管。例如，可以通过与输入引脚串联的电阻提供外部保护，将流入引脚的电流限制在10 mA以下。如果引脚上的最大过压为5 V，则在每条线路上串联一个1 k Ω 电阻可将电流限制在 5 mA。

关于这一问题，有许多应用笔记和研讨会资料可供参考。下面是ADI公司网站www.analog.com上提供的资源：

- 应用笔记AN-202：IC放大器用户指南：去耦、接地以及随机应变。
www.analog.com/static/imported-files/application_notes/135208865-AN-202.pdf

- 应用笔记AN-311: 如何切实有效地保护CMOS电路不受电源过压影响。
http://www.analog.com/static/imported-files/application_notes/2915025627482692953221605948252614692AN311.pdf
- 应用笔记AN-397: 标准线性集成电路的电导致的损坏。
www.analog.com/static/imported-files/application_notes/262799190AN-397.pdf
- “过压对模拟IC的影响”。
http://www.analog.com/static/imported-files/seminars_webcasts/36900313320057Section7.pdf

这些器件对传导和辐射电磁噪声敏感吗?

任何 Σ - Δ 型ADC都易受到进入输入端、电源引脚或基准电压源中传导射频(RF)的影响。原因在于杂散RF信号及其谐波可能会被 Σ - Δ 调制器求平均值,而表现为直流失调电压或本底噪声增加。辐射RF更复杂一点,但也可能发生类似的问题,而且在某些情况下,需要对系统中的 Σ - Δ 型ADC进行屏蔽,使之不受系统内局部产生的较大RF场的影响。

所需的保护程度取决于本地场的强度。设计EMC兼容性时,并不存在一成不变的规则,因为每个系统都不相同。但是,仍有一些通用指导原则可以遵循。

- 考虑输入端、基准电压源和电源引脚,确保每条线路均根据所需的最大频率进行适当的滤波。
- 电源上使用去耦电容,尽量靠近IC;可能的话,在模拟电源与数字电源之间连接一个小电感。
- 基准电压源和输入端上的滤波也很重要。
- 采用实心低阻抗接地层,并将模拟地与数字地分离,以及让地平面对位于整个IC下方等,这些都是很好的常用做法。评估板可以作为很好的参考。

有时候,如果器件的工作环境存在高电磁场,例如靠近电源、继电器或RF发射机等,则需要为ADC提供法拉第屏蔽,但这只是特例。

作为器件制造商,ADI公司通常不执行EMC测试,因为EMC是一个系统级特性,而不是一个器件特性。确保电路中的敏感器件不受杂散信号影响,是PCB设计人员的责任。我们并没有无懈可击的EMC设计可提供给客户,但是,如果客户使用评估板并遵循关于布局、接地和去耦的标准做法,则可能不需要付出太大努力便可设计出达到甚至超过CE认证要求的系统。我们所有研讨会书籍的最后一章都专门介绍硬件设计技术,讨论接地、去耦、寄生热电偶和良好的PCB设计等问题。www.analog.com/static/imported-files/seminars_webcasts/173574898sscsect10.pdf

请就数据手册中的噪声表说明转换器噪声及其来源。

数据手册中的噪声表列出了器件可选输出数据速率下的输出均方根噪声。所提供的数值是针对双极性输入范围以及所用的额定基准电压和VDD电源而言。这些噪声数值为典型值,是在模拟输入电压为0 V、以额定输出数据速率工作、基于1000次转换结果而产生的。均方根噪声数值还被转换为以位数表示的有效分辨率。这些数值可以表示为均方根位数或峰峰值位数的有效分辨率。均方根位数的有效分辨率定义为输出均方根噪声相对于输入满量程的大小($2 \times V_{REF}/增益$)。必须注意,峰峰值表示无码闪烁情况下的分辨率,它不是基于均方根噪声,而是基于峰峰值噪声计算的。

$$\text{峰峰值噪声} = 6.6 \times \text{均方根噪声}$$

$$\text{位数(峰峰值)} = \text{有效位数(均方根值)} - 2.5$$

所提供的数值是针对双极性输入范围而言。对于单极性范围,均方根噪声数值与双极性范围相同,但峰峰分辨率是基于一半的信号范围,因此有效分辨率会丧失1位。

输出噪声有两个来源。第一个来源是调制器所用半导体器件的电噪声(器件噪声)。第二个来源是模拟输入转换到数字域中时所增加的量化噪声。器件噪声比较小,且与频率无关。量化噪声在开始时很低,但随着频率增加会迅速上升,而成为主要噪声源。

例如,考虑这种情况:AD7794以4.17 Hz输出数据速率、5 V电源和2.5 V基准电压工作。当增益为128时,均方根噪声为数据手册中提供的值:41 nV。

在双极性模式下工作时,满量程模拟输入为 $5 \text{ V}/128 = 39 \text{ mV}$ 。峰峰值噪声为 $6.6 \times 41 \text{ nV} = 270.6 \text{ nV}$ (峰峰值)。因此,满量程输入与峰峰值噪声的比值为 $39 \text{ mV}/270.6 \text{ nV} = 144124$,这是以采样数表示的分辨率。将其转换为峰峰值位数并四舍五入到最接近的0.5位: $\log(144124)/\log(2) = 17.5$ 位(峰峰值)。

如果ADC与产生0 mV到15 mV模拟输出的传感器接口,那么峰峰分辨率是多少?

如果AD7794以5 V电源、2.5 V基准电压和4.17 Hz输出数据速率工作,则当增益等于128时,均方根噪声为41 nV(单极性模式下,满量程范围为0 mV至20 mV)。由于传感器的模拟输出范围为0 mV至15 mV,因此该应用的峰峰分辨率为 $15 \text{ mV}/6.6 \times 41 \text{ nV} = 55432$ 采样数,相当于15.76位(峰峰值)。因此,ADC的数字输出能够保证15位的精度。

AD779x的带宽是多少?

-3 dB带宽等于 $0.24 \times f_{ADC}$,其中 f_{ADC} 为所选的输出数据速率。

对来自转换器的数据进行后置滤波有何好处？

使用后置滤波可以改善噪声性能。当 f_{CLKIN} 为64 kHz时，这些转换器的片内调制器以64 kHz的速率向数字滤波器提供采样数据。片内数字滤波器对这些样本进行抽取，以滤波器的输出速率相对应的输出速率提供数据。由于输出数据速率高于奈奎斯特准则(它要求输出数据速率必须至少为带宽的两倍)，因此如果给定带宽，那么输出速率将满足大部分应用的要求。但是，对于给定带宽和噪声性能，有些应用可能要求更高的数据速率。这些应用要求在数字滤波器之后进行后置滤波。

例如，如果所需带宽为7.86 Hz，但所需输出数据速率为50 Hz，则可以用50 Hz速率从转换器获得数据，而此时-3dB带宽为12 Hz。这样就可以进行后置滤波，将带宽和输出噪声降至7.86 Hz带宽水平，同时维持50 Hz的输出速率。

对于1 Hz以下的带宽，可以利用后置滤波来降低器件的输出噪声。增益为128、带宽为1 Hz时，输出均方根噪声为41 nV。这主要是器件噪声(或称白噪声)，其频率响应基本上是平坦的。将带宽降至1 Hz以下，可以降低通带的噪声。带宽降低一倍，输出均方根噪声将降低约1/。但要注意附加滤波会降低系统吞吐量。

单极性和双极性模式下使用何种输出编码？

在单极性模式下，输出编码为标准二进制制；在双极性模式下，输出编码为偏移二进制制。

单极性模式(二进制编码)：模拟输入电压为0 V时，输出码为0x000000(24位器件)或0x0000(16位器件)。模拟输入电压为 $V_{REF}/$ 增益时，输出码为0xFFFF(24位器件)或0xFFFF(16位器件)。任意模拟输入电压的输出码可以表示为下式：

$$\text{输出码} = (\text{AIN} \times \text{增益} \times 2n) / V_{REF}$$

其中AIN为模拟输入电压， $n = 16$ (16位器件)或24(24位器件)。

双极性模式(偏移二进制编码)：模拟输入电压为 $(-V_{REF}/$ 增益)时，输出码为0x000000(24位器件)或0x0000(16位器件)。模拟输入电压为0 V时，输出码为0x800000(24位器件)或0x8000(16位器件)。模拟输入电压为 $(+V_{REF}/$ 增益)时，输出码为0xFFFF(24位器件)或0xFFFF(16位器件)。请注意，模拟输入为伪双极性输入，绝对模拟输入电压必须始终在共模输入范围内。任意模拟输入电压的输出码可以表示为下式：

$$\text{输出码} = 2n - 1 \times [(AIN \times I.C. / V_{REF}) + 1]$$

其中AIN为模拟输入电压， $n = 16$ (16位器件)或24(24位器件)。

基准电压输入的建议共模输入范围是多少？

基准电压输入的共模范围为GND至AVDD。基准电压输入是非缓冲型，因此共模输入范围包括电源电压。

如何设置输入范围？

输入范围取决于基准电压、单极性/双极性模式选择以及所选的增益设置。在单极性模式下，输入范围可表示为 $[V_{REF}(+) - V_{REF}(-)]/$ 增益。双极性模式下，输入范围可表示为 $\pm[V_{REF}(+) - V_{REF}(-)]/$ 增益。PGA的增益设置采用配置寄存器中的G2、G1和G0位设置。基准电压标称值为2.5 V，但AD779x可以采用0.1 V至AVDD范围内的基准电压工作。器件在全差分模式下使用时，共模电压可以改变，但用户必须确保正负模拟输入引脚上的绝对电压值在额定范围以内。

可以使用与数据手册中的额定值不同的模拟输入范围吗？

是的，模拟输入范围可以改变。方法有两种：

1. 可以执行系统校准，在校准过程中，用户将自定义的零电平和满量程电压应用于ADC。对于指定操作，用户必须确保所用的满量程值在 $(0.8 V_{REF}/$ 增益)至 $(1.05 V_{REF}/$ 增益)范围内。这样，ADC的输出性能将仍然符合数据手册针对原始电压范围给出的噪声值。例如，AD7794以16.7 Hz输出数据速率、2.5 V外部基准电压和增益1工作，所以在单极性模式下，信号范围为0 V至2.5 V，这时均方根噪声值为1.55 μ V。如果新的满量程值在 0.8×2.5 V至 1.05×2.5 V范围内，均方根噪声仍为1.55 μ V。
2. 可以改变基准电压。例如，如果要求模拟输入范围为0 V至1.5 V，则使用1.5 V基准电压时，模拟输入0 V将产生输出码0x000000，模拟输入1.5 V将产生输出码0xFFFF。利用ADC的1.5 V基准电压进行自校准之后，均方根噪声将与数据手册中针对2.5 V基准电压给出的均方根噪声相同。借用上例，AD7794以16.7 Hz输出数据速率、2.5 V基准电压和增益1工作时，均方根噪声为1.55 μ V。如果基准电压变为1.5 V，并执行自校准，假设输出数据速率、增益等保持不变，则均方根噪声仍为1.55 μ V。采用2.5 V基准电压工作时，峰峰分辨率为19位。采用1.5 V基准电压时，峰峰分辨率为： $\log(2 V/6.6 \times 1.55 \mu V) / \log(2) = 18.5$ 。峰峰分辨率降低的原因是输入信号范围缩小。

ADI公司推荐 Σ - Δ 型ADC使用何种晶体？哪些参数比较重要？

AD779x应当使用低漂移、高精度晶体。对于任何 Σ - Δ 型ADC，输出数据速率和-3 dB点均与主时钟频率直接相关。初始精度决定输出数据速率，由于滤波器陷波频率与输出数据速率相关，因而也决定了陷波频率的位置。低漂移可以确保输出数据速率保持稳定，因而滤波器陷波频率的位置不会偏离理想位置太远。例如，输出数据速率为16.7 Hz时，AD779x的陷波频率为50 Hz和60 Hz，因此可以抑制主电源引入的噪声。如果晶体频率改变，这些陷波频率将会移动，50 Hz/60 Hz抑制性能可能也会降低。CMAC等公司生产低漂移、高初始精度的晶体。

我在系统中使用AD779x。当我查看ADC输出时，没有获得全分辨率，有几个LSB在跳动。为什么会这样？

虽然AD779x具有24位或16位分辨率，但器件的精度会随着输出数据速率和增益的改变而变化。数据手册列出了不同输出数据速率和增益时的均方根噪声及可达到的精度。例如，当增益为1(使用2.5 V基准电压源时模拟输入范围为±2.5 V)、输出数据速率为16.7 Hz、以双极性模式工作时，AD7794的峰峰值分辨率为19位。如果输出数据速率变为470 Hz，峰峰值分辨率将降至16位。如果增益再变为128(±20 mV输入范围)，峰峰值分辨率将降至13.5位。

ADC的精度由有效值分辨率或峰峰值分辨率表示。有效值分辨率利用数据手册中提供的均方根噪声来计算，等于 $\log(\text{输入范围}/\text{均方根噪声})/\text{Log}(2)$ 。峰峰值分辨率是指无跳动的位数，用峰峰值噪声(等于均方根噪声的6.6倍)来计算。因此，峰峰值噪声等于 $\log(\text{输入范围}/(6.6 \times \text{均方根噪声}))/\text{Log}(2)$ 。

数据手册中的均方根噪声值是利用所选的一个模拟输入通道，将其对AVDD/2等某一电压短路(该模拟输入通道的两个引脚均连接至AVDD/2)而测得。因此，用户应当使用相似的方法，将系统电路板上的模拟输入短路，以确保器件发挥最佳性能。执行校准后，开始转换操作。使用数千采样点可以计算出均方根噪声，然后由此确定峰峰值分辨率。所获得的值应与数据手册中提供的值相比较。如果没有获得数据手册中规定的精度，则说明电路板上的噪声有问题，请采取措施降低噪声，例如：确保不存在接地环路；在每个电源到地之间使用10 μF钽电容与0.1 μF陶瓷电容并联，以确保电源充分去耦。电容应尽可能靠近ADC的引脚。

直流输入恒定，但ADC的输出随温度而漂移。为什么？

任何ADC的性能都会随温度而变化。当在某一温度执行校准时，失调电压误差和增益误差在校准时的温度下最小。但是，失调电压误差和增益误差会随温度而变化。例如，如果将模拟输入对某一电压(例如基准电压)短路并执行校准，则应当能达到数据手册中针对特定输出数据速率和增益给出的峰峰值分辨率。如果温度发生改变，ADC输出也会改变，因为失调电压误差和增益误差会随温度而漂移。数据手册中规定了这些漂移特性。

信号链的其余部分也会发生漂移。例如，基准电压也会随着温度而变化。基准电压源数据手册对这种变化也做了规定。电阻值也会随着温度而变化。因此，必须使用低漂移的精密基准电压源和容差很小的电阻。电路板上的焊点也具有热特性。每个焊点均连接着两种不同金属，从而产生一个小的热电偶。因此，模拟输入等模拟信号的信号路径应保持完全相同，以确保温度变化对ADC之外的模拟输入线路的影响能够匹配，从而作为共模效应可以予以消除。

积分非线性表示为满量程的百分比。该值在何种增益设置下有效？

积分非线性(INL)特性对于所有增益设置均有效。

数据手册中提供的随机转换噪声、峰峰值噪声和均方根噪声之间有何关系？

假设噪声确实具有随机性，并用正态分布来描述(白噪声)：

$$V_{\text{NOISE}}(\text{峰峰值}) = V_{\text{NOISE}}(\text{均方根}) \times 6.6 (\text{概率为99.9\%})$$

欲了解详细信息，请参考应用笔记AN-615“峰峰值分辨率与有效值分辨率”：www.analog.com/static/imported-files/application_notes/483455032911909735055330198351486AN-615_0.pdf。

Σ-Δ型转换器需要使用抗混叠滤波器吗？

是的，需要使用抗混叠滤波器。不过，由于Σ-Δ型转换器对模拟输入进行过采样，因此与以奈奎斯特频率(最大信号带宽 × 2)采样的ADC相比，抗混叠滤波器的设计明显简化。

AD779x使用数字滤波器，所以频率响应在采样频率(64 kHz)附近折回。这意味着，在频率为采样频率的整数倍时，滤波器将提供0 dB衰减。因此，模拟域中需要抗混叠滤波器，以便充分衰减这些频率。通常，单极点(也可能双极点)RC滤波器便足以符合要求。当模拟输入通道采用缓冲时，建议将一个1 kΩ电阻与各模拟输入串联，在AIN(+)至AIN(-)之间连接一个0.1 μF电容，并在各模拟输入引脚与GND之间连接一个0.01 μF电容。

当Σ-Δ型转换器在非缓冲模式下工作时，输入直接进入调制器的采样电容。调制器对采样电容连续充电和放电。如果抗混叠滤波器的时间常数太大，调制器可能无法使采样电容完全充电，从而导致增益误差。为防止R-C组合引入误差，各ADC的数据手册均针对非缓冲模式下的不同增益设置，规定了可以使用的最大容许R值和C值。

AD779x应使用何种基准电压源？

为使ADC发挥最佳性能，需要使用低噪声基准电压源。一些AD779x器件内置1.17 V基准电压源，其漂移为15 ppm/°C。合适的外部基准电压源包括ADR391和ADR381。建议对这些基准电压源的输出进行去耦，以进一步降低噪声电平。

在压力测量系统或电子秤等应用中，也可以利用电桥的激励电压来获得ADC的基准电压。如果激励电压等于或小于AVDD，由于AD779x可以接受最高达AVDD的基准电压，因此可以将激励电压直接与AD779x器件的基准电压引脚相连。这些应用是比率式应用，因此激励电压中的噪声影响会得到消除。

内部温度传感器如何工作?

使用温度传感器并选择双极性模式时, 如果温度为0 K, 器件应返回0x800000码。为使传感器发挥最佳性能, 需要执行单点校准。因此, 应将ADC加热到某一已知温度。利用该点以及0 K点, 可以算出误差。校准之后, 灵敏度典型值为0.81 mV/°C。温度传感器的计算公式为:

$$\text{温度(K)} = (\text{转换结果} - 0x800000) \times V_{\text{REF}}/2^{23} \text{ K}$$

$$\text{温度(°C)} = \text{温度(K)} - 273$$

$$\text{其中 } V_{\text{REF}} = 1.17 \text{ V}$$

例如, 器件在室温时返回0x9A1F77码, 这相当于0.238 V。因此, 温度为0.238 V/0.81 mV = 295 K, 即295 - 273 = 22 °C。

我用内部偏置电压发生器来偏置信号。但是, 该发生器会将噪声引入转换结果。为什么?

偏置电压AVDD/2通过衰减电源电压AVDD而产生, 它是衰减信号的缓冲形式。电源中的所有噪声都会出现在偏置电压中。偏置电压可从AIN(-)获得。如果AIN(+)和AIN(-)上没有外部滤波, AIN(+)和AIN(-)上的电压将相同, 这样转换将不受偏置电压噪声的影响(表现为共模信号)。在热电偶等应用中, 可能会使用大量外部滤波。AIN(-)引脚上的偏置电压不受这些滤波器影响。但是, AIN(+)引脚上会出现经过滤波的偏置信号。由于AIN(+)上的信号不再与AIN(-)上的信号匹配, ADC将察觉到这两个信号之间的差异, 这种差异会影响ADC内部的转换。为此, 需要改变偏置电压的施加方式。偏置电压要施加于AIN(+)和AIN(-)的相同点上, 例如: 可以将偏置电压施加于外部滤波器, 以便AIN(+)和AIN(-)均获得经过滤波的偏置电压。因此, 可以将一个外部偏置电压施加于AIN(+)和AIN(-)。或者, 如果ADC有未用的通道, 则可以在该通道上提供偏置电压, 然后将其施加于AIN(+)和AIN(-)。

串行接口常见问题解答

串行接口如何工作?

该系列转换器上的串行接口可实施为状态机, 串口是通过计算各数据传输的时钟周期来工作的。因此, 如果要对ADC的一个16位寄存器执行写操作, 则必须提供给ADC16个SCLK周期, 转换器将在16个SCLK周期内传送给DIN线路16位数据。当该操作完成时, 器件返回到一种状态, 在该状态中, 器件预期下一个操作是对通信寄存器的写操作, 无论上次访问的是哪个寄存器, 而且无论进行的是读操作还是写操作。ADC知道写入或读出特定寄存器的数据应有多少时钟周期, 因而知道传输何时完成。

通信寄存器的第一位是选通位, 必须将其设置为0才能访问通信寄存器。当器件期待对该位进行写操作时, 如果DIN线路是一个1, 则器件将有效地进行环绕式处理, 以监控该位; 如果此时DIN线路是一个0, 则器件将在后续7个SCLK周期内加载通信寄存器的后续7位。

这些转换器上的串行接口包含四个信号: $\overline{\text{CS}}$ 、SCLK、DIN、DOUT/ $\overline{\text{RDY}}$ 。DIN线路用于将数据传输至片内寄存器中, DOUT/ $\overline{\text{RDY}}$ 线路则用于从片内寄存器中获取数据。SCLK是器件的串行时钟输入, 所有数据传输(无论是DIN上还是DOUT/ $\overline{\text{RDY}}$ 上)均相对于该SCLK信号进行。DOUT/ $\overline{\text{RDY}}$ 引脚也可用作数据就绪信号; 当输出寄存器中有新数字可用时, 该线路变为低电平。对数据寄存器的读操作完成时, 该线路复位为高电平。在输出寄存器更新之前, 该线路也会变为高电平, 以指示此时不要读取器件。这是为了确保寄存器正在更新时, 不会尝试读取数据。 $\overline{\text{CS}}$ 用来选择器件, 在多个转换器与串行总线相连的系统中, 可以用它对个别器件进行解码。

将 $\overline{\text{CS}}$ 输入与低电平相连时, 串行接口可以在三线式模式下工作。此时, SCLK、DIN和DOUT/ $\overline{\text{RDY}}$ 线路用来与转换器通信。这种方案适合与微控制器进行接口。如果 $\overline{\text{CS}}$ 需要用作解码信号, 可以用一个端口位产生该信号。对于微控制器接口, 建议SCLK在数据传输之间为空闲高电平状态。

$\overline{\text{CS}}$ 也可以用作帧同步信号。这种方案适用于DSP接口。此时, 由于在DSP中, $\overline{\text{CS}}$ 一般出现在SCLK的下降沿之后, 因此第一位(MSB)会被 $\overline{\text{CS}}$ 有效地送出。只要遵守时序数要求, SCLK便可在数据转换之间继续运行。

AD779x的建议初始化顺序是什么?

上电时, 建议将32个1写入AD779x, 进行复位。这会复位串行接口, 同时会将片内寄存器复位到默认状况。虽然器件具有上电复位功能, 但上电期间的任何毛刺电压可能会破坏寄存器, 因此建议在初始化程序中执行复位。

复位之后, 便可针对应用配置器件。应用中要使用的每个通道应依次选择, 选择该通道的工作条件并对该通道执行校准。

需对模式寄存器执行写操作，以设置输出数据速率和时钟源，配置电源开关，并设置工作模式。需对配置寄存器执行写操作，以选择通道、基准电压源并设置增益。然后便可以启动校准程序。

为使接口更加稳定，需要采取什么防范措施吗？

这些转换器上的接口基本上是一个状态机，它对时钟脉冲计数，完成一个操作后回到默认状态，等待对通信寄存器的写操作。当写入通信寄存器时，例如对模式寄存器执行一个写操作，ADC即知道需要16个时钟周期来写入数据。接口上的杂散时钟脉冲会使接口失去同步，导致寄存器寻址错误，从而破坏接口。在写操作之间将DIN设置为高电平，可以防止无效数据写入ADC。

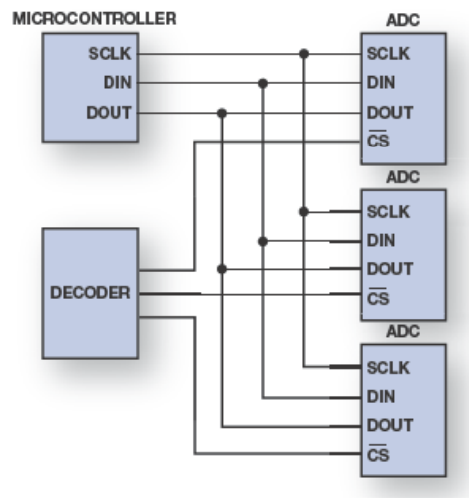
对通信寄存器写操作的第一位是门控位，必须为0才能使其余7位写入寄存器中，以指定下一个操作。为避免因杂散时钟脉冲产生接口问题，建议每次对转换器完成写操作后，立即将DIN线路置为逻辑高电平。由于这些转换器的默认状态为等待对通信寄存器的写操作，因此在完成一个序列之后将DIN置为高电平可以防止无效数据写入通信寄存器，避免受杂散时钟脉冲影响。此时，只有DIN上出现0，ADC才会允许下一个数据写入寄存器。如果将器件设置为在DIN高电平时写入通信寄存器，器件将完全不受杂散串行时钟脉冲影响，但这不能防止写操作期间接收到的杂散时钟脉冲破坏接口。

如果接口确实遭到破坏，如何重新恢复对ADC的控制？

向接口写入32个1可以将串行接口复位到一个已知状态，即ADC等待对通信寄存器进行写操作，这会吧接口及其所有内部寄存器均复位为上电复位值。

如何通过同一串行接口与多个ADC实现接口？

可以使用单个微控制器/DSP与数个AD779x器件通信。ADC的 \overline{CS} 输入可以用来使能或禁用ADC的串行接口。通过利用解码器来控制ADC的 \overline{CS} 输入，微控制器/DSP可以与各ADC单独或同时通信。下图显示一个微处理器与数个ADC之间的接口。各ADC的 \overline{CS} 输入与解码器相连。利用解码器，微处理器可以选择所需的ADC来传输数据/指令。当 \overline{CS} 为高电平时，ADC的串行接口禁用，ADC将忽略数据总线上的任何活动。要与其通信，可以将其 \overline{CS} 线路置为低电平。这样，ADC将能访问其自身与微处理器之间的数据总线。关于时序规格，请参考数据手册。



多个ADC与单个微控制器实现接口

在读取AD779x时，只有上电之后的第一次读操作成功，随后的读取结果全部无效，这是怎么回事？

很可能是数字接口在第一次读操作之后进入了异常状态。使用AD779x的数字接口读取或写入控制寄存器时，必须提供正确的时钟周期数。如果额外多提供一个时钟周期，然后尝试执行写操作，则器件将进入异常状态。类似地，读取一个16位寄存器时，如果提供的时钟周期数少于16个，接口将丧失同步特性。

另一个可能的原因是SCLK线路上存在杂散时钟脉冲。对通信寄存器进行任何写操作的第一位均为0。ADC在接收到0之前，会忽略所有总线活动。如果执行读操作之后，DIN仍为低电平状态，则SCLK线路上的杂散时钟脉冲就会将一位数据写入通信寄存器。下一次将8位数据写入通信寄存器时，只会加载前7位数据，第8位数据将被认为是下一个写操作的第一位。在每次写操作之后将DIN拉高，可以避免这一问题。

如果 \overline{CS} 线路用作帧同步信号，请确保在正确的时间将该线路拉高。另外，请确保在 \overline{CS} 变为高电平之前，已出现正确数量的时钟脉冲。

如果接口确实丧失同步特性，将32个1写入器件会使接口和片内寄存器复位至其上电值。

AD779x进行通道切换时，操作的顺序是怎样的？

该转换器的每个操作均以对通信寄存器的写操作开始，以便指定下一个操作。AD779x通道切换操作的顺序说明如下（使用通道AIN1(+)-AIN1(-)和AIN2(+)-AIN2(-)）。两个通道的工作条件均为：增益为1，缓冲开启，双极性模式，REFIN1(+)-REFIN1(-)之间施加的外部基准电压源为ADC的基准电压源。AD779x为24位器件。该转换器的每个操作均以对通信寄存器的写操作开始，以便指定要执行的下一个操作。当指定的操作完成时，接口进入默认状态，等待下一个指令。

将0x10写入通信寄存器：指定下一个操作为写入配置寄存器。

将0x0010写入配置寄存器：根据上述增益、极性和基准电压源配置AD779x，并选择通道AIN1(+)-AIN1(-)。

将0x58写入通信寄存器：指定下一个操作为写入数据寄存器。

轮询DOUT/RDY：轮询DOUT/RDY引脚，确定数据寄存器中是否存在有效数据。当DOUT/RDY变为低电平时，应用24个串行时钟周期，以读取ADC中的数据。当DOUT/RDY为高电平时，不应启动读操作。

将0x10写入通信寄存器：指定下一个操作为写入配置寄存器。

将0x0011写入配置寄存器：根据上述增益、极性和基准电压源配置AD779x，并选择通道AIN2(+)-AIN2(-)。

将0x58写入通信寄存器：指定下一个操作为写入数据寄存器。

轮询DOUT/RDY：轮询DOUT/RDY引脚，确定数据寄存器中是否存在有效数据。当DOUT/RDY变为低电平时，应用24个串行时钟周期，以读取ADC中的数据。当DOUT/RDY为高电平时，不应启动读操作。

循环执行这些操作将能够连续从各通道读取数据。

切换通道时的吞吐量是多少？

对于AD7794/AD7795，使能斩波时，吞吐时间为编程输出数据速率的1/2，禁用斩波时，吞吐时间与输出数据速率相等。

对于AD779x系列的其它器件，吞吐时间为编程更新速率的1/2。

如果前一次转换未读取，而后一次转换已完成，则DOUT/RDY保持高电平的时间有多长？

DOUT/RDY引脚保持高电平的时间约为0.8 ms。在此期间，新转换数据会更新数据寄存器，因此用户不应尝试读取数据寄存器。

使用单次转换模式时，CS可以在单次转换启动之后变为高电平吗？

串行接口独立于采样过程。因此，单次转换一旦启动，AD779x就会上电并执行单次转换，而与CS的极性无关。所以，用户可以将CS置为低电平，启动单次转换，再将CS置为高电平。转换完成时，可以将CS置为低电平，以读取转换结果，而且如果需要，可以再次启动单次转换。

当CS变为高电平时，DOUT/RDY引脚为三态。因此，DOUT/RDY引脚不会指示转换已结束。用户可以通过读取状态寄存器来判断转换是否结束。或者，也可以通过微控制器时钟确定转换

是否超时。

从ADC读取信息(片内寄存器中的转换数据或信息)时，LSB回读结果始终为1。为什么？

DOUT和RDY功能共用AD779x上的一个引脚。每次转换完成时，该引脚变为低电平，指示微处理器可以获得一个有效的转换结果。当用户请求读取数据寄存器时，DOUT/RDY引脚充当DOUT引脚。向SCLK引脚施加脉冲时，数据就置于DOUT引脚上。数据在SCLK下降沿之后从AD779x输出，在SCLK上升沿有效。当数据的LSB输出时，DOUT/RDY引脚又用作RDY引脚。从DOUT功能到RDY功能的转变发生在最后一个SCLK上升沿。微处理器在SCLK上升沿锁存数据位。如果微处理器速度较慢，则微处理器锁存LSB时，DOUT/RDY引脚用作RDY引脚。因此，微处理器读取RDY引脚的值，而不是LSB，导致LSB为1。为了避免这种现象，必须使用速度较快的微处理器。或者，也可以用微处理器的通用输入/输出引脚来实现串行接口。通过位触发(bit-banging)，用户可以更好地控制读取时刻。在SCLK为低电平时读取DOUT引脚上的值，而不是在SCLK上升沿锁存数据，那么读取的所有数据位都将有效。

校准常见问题解答

如何对AD779x实施自校准？

为进行校准，无论所选通道上使用何种校准模式，ADC的片内微控制器都必须记录两种不同模拟输入条件下的调制器输出：“零电平”点和“满量程”点。利用这些转换结果，微控制器可以计算转换器的输入到输出传递函数的增益斜率。器件在内部利用33位分辨率来测定16位或24位转换结果。

在自校准模式下，ADC确定ADC内部的校准点。用来确定校准系数的零电平点是将两路输入在ADC内部短路(即AIN(+)=AIN(-)=AVDD/增益)。与器件的模拟输入引脚相连的信号只要是在输入的共模范围内，就不会影响校准程序。满量程系数通过对调制器输入施加AVDD/增益的电压而确定。

AD779x的自校准模式可通过写入模式寄存器中的模式位(MD2、MD1和MD0位)而激活。

在这种校准模式中，先将短路输入节点切换到调制器，并执行一次转换。然后切换AVDD/增益节点，再执行一次转换。可以用DRDY确定校准何时完成，并在输出端获得与模拟输入相关的新数据。DRDY在校准启动时变为高电平，直到获得外部模拟输入的相关转换结果时才变回低电平。

什么是系统校准？如何实施系统校准？

通过系统校准，转换器不仅可以补偿外部系统增益和失调电压误差，也可以补偿自身的内部误差。校准基本上是在两个特定输入电压上执行转换过程(零电平或失调电压校准以及满量程校准)，由此确定失调电压误差系数和满量程误差系数。对于系统校准，必须由用户将零电平电压和满量程电压施加于ADC。

系统校准分两步来执行。首先必须将零电平点提供给转换器。该电压在零电平系统校准步骤开始之前施加于转换器的模拟输入，并且必须保持稳定，直到该步骤完成为止。系统校准通过向模式寄存器的MD2、MD1和MD0位写入适当的值而启动。各器件的DRDY输出指示该步骤何时完成(变为低电平)，或者可以通过软件监控模式位；当校准完成时，它将返回到空闲模式。校准零电平点之后，输入满量程点，再次通过向MD位写入适当的码来启动满量程系统校准过程。满量程电压必须在校准开始之前建立好，并且必须在整个校准过程中保持稳定。在第二步结束时，DRDY变为低电平，指示系统校准已完成。

校准程序与工作模式(单极性或双极性模式)有关。在单极性模式下，系统校准在传递函数的两个端点之间进行，而在双极性模式下，系统校准则在中间电平与正满量程之间进行。

执行系统校准时，必须将零电平电压和满量程电压切换至ADC的模拟输入通道中，这可以利用具有低导通电阻(R_{on})的SPDT(单刀双掷)CMOS开关来实现。其中一个开关输入可以与代表满量程值的模拟输入相连，另一个输入可以与零电平电压相连。使用这种开关可以确保零电平校准和满量程校准的模拟输入信号链完全相同。这样，系统零电平校准将会补偿开关的插入损耗。ADG736是一款双通道SPDT开关，导通电阻(R_{on})低于 $4\ \Omega$ ，匹配度优于 $0.4\ \Omega$ 。

AD779x系列 Σ - Δ 型ADC应何时执行校准?

当出现下列情况时，必须执行校准：

- 增益改变
- 极性改变
- 温度改变(在共用系数寄存器但工作条件不同的两个通道之间切换时)

增益一旦改变，增益范围之间便会出现匹配误差，因此需要通过校准来予以消除。

漂移误差是由温度变化引起的。利用校准可以有效地消除与温度漂移相关的任何误差。自校准可以消除ADC本身的温度漂移效应。系统校准既可以消除ADC本身的漂移误差，也可以消除与前端信号调理电路相关的漂移误差。斩波会持续消除失调和失调漂移；因此，如果启用斩波，则不需要执行内部零电平校准。如果禁用斩波，则需要执行零电平校准。

共用校准寄存器对。因此，如果两个通道的工作条件(增益和极性)不同，则在这两个通道之间切换时，必须执行校准。如果两个通道的配置完全相同，并且执行了自校准，则在切换通道时无需执行校准。然而，如果执行的是系统校准，由于不同通道所施加的模拟输入电平可能不同，因此切换通道时应执行校准。

系统应多久实施一次校准?

要确定系统的校准频次，需考虑

- 转换器的精度要求是多少?
- ADC的漂移性能如何影响工作性能?
- 系统的工作温度范围是多少?

考虑这三个问题，就会明确多久需要校准一次。确定校准频率时，还应考虑其它系统参数。这些参数均与电路的温度灵敏度相关，具体如下：

- 寄生热电偶效应
- 基准电压源温度系数引起的增益漂移
- 转换器外部的漂移源

一般而言，精度要求越高，校准也应越频繁，以便维持系统精度。经过校准后，AD779x等高分辨率转换器会有一些相关的失调和增益漂移。温度引起的AD779x失调漂移典型值为 $10\ \text{nV}/^\circ\text{C}$ ，增益漂移典型值为 $1\ \text{ppm}/^\circ\text{C}$ (满量程范围)。

在评估温度对精度的全部影响时，还需要考虑寄生热电偶引起的温度效应以及转换器外部的漂移源。

如果执行了工厂系统校准，那么在工作现场不执行其它系统校准就可以消除ADC的温度漂移误差吗?

系统校准很容易作为工厂校准的一部分来实施，但由于校准期间必须对模拟输入施加系统零电平和系统满量程电压，而这些输入电压在工作现场可能并不容易获得，因此在工作现场实施要困难得多。虽然执行了工厂系统校准，但用户在工作现场仍需要消除温度变化引起的ADC漂移误差。下面分两部分概要说明解决这一问题的方法：首先是系统工厂校准，其次是工作现场校准。

工厂校准

- 以所需工作增益和输出数据速率执行自校准。
- 读取并存储校准寄存器的内容。失调 = Z0。增益 = G0。
- 跟以前一样，以所需工作增益和输出数据速率执行系统校准。
- 读取并存储校准寄存器的内容。失调 = ZS。增益 = GS。系统校准系数已载入ADC，系统可以交付现场使用。如果环境温度发生变化，需要按照工作现场校准程序消除系统的失调和增益漂移误差。

工作现场校准

- 以所需工作增益和输出数据速率执行自校准。增益和输出数据速率必须与原来的自校准和系统校准保持一致。
- 读取校准寄存器的内容。失调 = Z1。增益 = G1。
- 计算新的校准系数。 $ZN = ZS + (Z1 - Z0)$ 。 $GN = GS \times (G1/G0)$ 。
- 将ZN和GN写入校准寄存器。



该程序保留原始系统校准，但调整了校准系数，以消除ADC中因温度漂移引起的误差。它只能消除ADC引起的漂移误差，而不能消除模拟前端信号链引起的漂移误差。

可以手动更改校准系数，以适应标称范围之外的输入范围吗？

如果用户需要与标称范围不同的特定输入范围，但由于校准期间无法提供零电平和满量程电压而无法实施系统校准时，便会出现这种情况。下面说明如何更改校准系数，以适应0 V至 $V_{REF}/增益$ 和 $\pm V_{REF}/增益$ 之外的输入范围。首先必须使用自校准程序，选择适当的增益、输入范围、输出数据速率和双极性/单极性输入范围，对器件进行校准。用自校准程序所产生的系数来生成新系数。

例如，如果所需输入电压 V_{IN} 表示为：

$$V_{IN} = A \times V_{REF} + B$$

其中B为失调电压， $A \times V_{REF}$ 为输入范围。

在自校准过程中，执行零电平校准时输入短路，执行满量程校准时则采用 V_{REF} 电压，因此 $A = 1$ 且 $B = 0$ 。为适应0 V至 V_{REF} 或 $\pm V_{REF}$ 标称范围之外的输入范围，可以实施以下程序。减去失调电压B，使得模拟输入电压为B时，输出码为零。将范围调整至 $A \times V_{REF}$ ，因此，该满量程电压将输出满量程码。

- 执行自校准，回读校准系数。
- 令 $Z_0 =$ 零电平系数。
- 令 $F_0 =$ 满量程系数。

利用以下公式产生新系数 Z_N 和 F_N ，然后用新系数修改上述系数以适应新输入范围

$$Z_N = Z_0 + (B \times 220 / (SPAN \times F_0 / 224))$$

$$F_N = F_0 / A$$

其中SPAN为标称条件下的满量程电压跨度，单极性模式下等于 $V_{REF}/增益$ ，双极性模式下等于 $2 V_{REF}/增益$ 。B为失调电压(单位为V)，A为应用于标称跨度的比例因子。为保证器件达到额定性能，A的值必须在0.8至1.05之间。

- 将 Z_N 和 F_N 写入ADC校准寄存器，以适应新的输入范围。例如，假设在单极性模式下执行自校准后，ADC的零电平系数为2,165,373，满量程系数为5,416,211。由于使用单极性模式，因此用于校准的范围为0 V至 V_{REF} ， V_{REF} 通常等于2.5 V。如果用户要

求模拟输入范围为0.2 V至2.6 V，则B等于0.2，A等于 $(2.6 - 0.2) / 2.5 = 0.96$ 。新的零电平系数 Z_N 为：

$$Z_N = 2,165,373 + (0.2 \times 220 / (2.5 \times 5,416,211 / 224)) = 2,425,218$$

$$F_N = 5,416,211 / 0.96 = 5,641,886。$$

采用这种方案的前提条件是：用户知道所需输入范围的确切上下限，以及实际输入范围与标称输入范围的比率。

使用该方法时，如果用户能确保变量A在0.8至1.05之间，则ADC的性能仍将符合数据手册中提供的噪声特性。例如，AD7794以16.7 Hz输出数据速率和增益1工作时，均方根噪声值为1.55 μV ，这导致单极性模式下的信号范围为0 V至2.5 V。如果更改输入范围，像上例一样在0.2 V至2.5 V之间变化，则在工作条件(输出数据速率、增益等)不变的情况下，噪声仍为1.55 μV 。对于原始范围，峰峰分辨率为： $\log(2.5 V / 6.6 \times 1.55 \mu V) / \log(2) = 18$ 位(四舍五入到最接近的0.5位)。对于更改后的范围，峰峰分辨率同样等于： $\log(2.4 V / 6.6 \times 1.55 \mu V) / \log(2) = 18$ 位(四舍五入到最接近的0.5位)。

Analog Devices, Inc.
Worldwide Headquarters
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

Analog Devices Korea
6F Hibrand Living Tower
215 Yangjae-Dong Seocho-Gu
Seoul 137-924 Korea
Tel: (82 2) 2155 4208
Fax: (82 2) 2155 4290

Analog Devices Taiwan Ltd.
5F-1, No.408 Rui Guang Rd., Neihou,
Taipei, 114, Taiwan
Tel: (886 2) 2650 2888
Fax: (886 2) 2650 2899

亚太区总部
上海市卢湾区湖滨路222号
企业天地大厦22层
邮编: 200021
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田区益田路
与福华三路交汇处
深圳国际商会中心4205-4210室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区
上地东路5-2号京蒙高科大厦5层
邮编: 100085
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

中国技术支持中心
免费热线电话: 4006 100 006
电子邮箱:
模拟集成电路:
china.support@analog.com
嵌入式处理及
数字信号处理器(DSP):
processor.china@analog.com