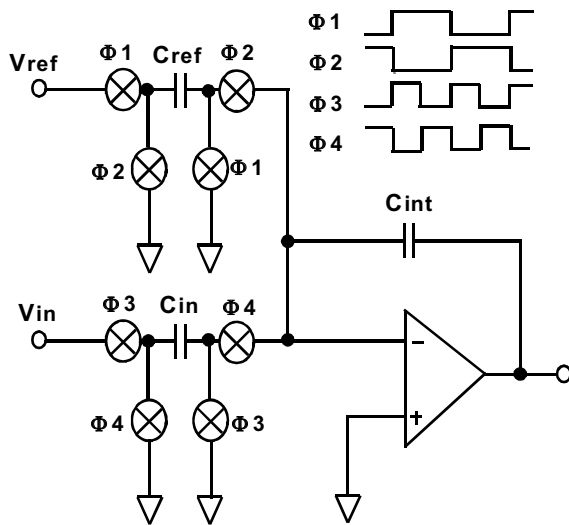


如何实现可编程增益功能?

可编程增益通过在每个调制器周期进行多重输入采样，同时调整基准电容与输入电容的比值来实现。实现可编程增益需使用开关电容技术，通过改变模拟调制器中输入电容的采样速率来实现。此技术如图3所示。



可编程增益的实现

在该电路中，基准电容 C_{ref} 使用非重叠时钟 ϕ_1 和 ϕ_2 ，以调制器采样频率 f_{mod} 对基准电压 V_{ref} 进行采样。同样地，输入电容 C_{in} 使用非重叠时钟 ϕ_3 和 ϕ_4 ，以采样频率 f_{in} 对模拟输入电压也进行采样。如果 f_{mod} 等于 f_{in} ，则所实现的增益等于 C_{in} 与 C_{ref} 之比。采用图3所示的时序时， $f_{in} = 2f_{mod}$ ，因此当 $C_{in} = C_{ref}$ 时，增益为2。

数据手册中提到：不使用缓冲时，ADC的模拟输入(AD7705/AD7706的所有模拟输入以及AD7707的通道AIN1和AIN2)可以接受以0 V为中心的 ± 30 mV双极性输入。这些采用3/5 V单电源供电的器件真有这样的能力吗?

确实如此！AD7705/AD7706数据手册的图11和AD7707数据手册的图12给出了模拟输入通道的基本结构。图中未显示ESD保护二极管，这些二极管从各模拟输入端连接到供电轨(VDD和GND)。输入级为真差分结构，因此理论上它可以接受负输入电压。但是，ESD保护二极管的泄漏会限制它处理负电压的能力。这些二极管是肖特基型，当其两端电压约为300 mV时便会开启。此开启电压与温度相关。二极管泄漏的影响是输入端的噪声会增加，从而降低整体分辨率。

ADI公司保证：在整个工业温度范围内，对于 ± 30 mV模拟输入，器件完全能够达到数据手册所述的性能；在25°C时，对于 ± 200 mV模拟输入，器件也能达到额定性能。

当ADC在输入端短路的情况下工作时，当器件以缓冲模式或非缓冲模式工作，可以获得不同的输出码。这是正常现象吗?

当有或没有缓冲时，如果执行内部失调电压和增益校准，则在器件的噪声限制内，无论缓冲模式还是非缓冲模式，都将从ADC获得同样的输出码。如果未执行校准，则对于相同的输入电压，在缓冲模式和非缓冲模式下，很可能看到不同的输出码。缓冲与运放相似，因此也会有失调电压。当用户在缓冲与非缓冲模式之间切换时，必须执行校准以消除该失调电压。

必须牢记，只要更改了滤波器字、输入范围或缓冲模式，就必须执行校准。数据手册含有噪声表，其中列出了不同工作条件下的噪声和数字码分布情况。

我在非缓冲模式下测量输入泄漏电流，发现它明显高于数据手册所列的1 nA典型值。为什么会这样？

数据手册中规定的是静态泄漏电流。当ADC处在空闲状态时，无论是缓冲模式还是非缓冲模式，泄漏电流的典型值均为1 nA。数据手册并未规定动态泄漏电流(当ADC处在转换状态时的泄漏电流)。

如果让ADC以非缓冲模式工作，并测量输入电流，观察到的将会是泄漏电流与采样电容充放电动态电流的组合。如果动态充电电流可能会给应用带来问题，例如当源阻抗很高时，则可以使用片内缓冲将输入与这些动态充电电流隔离。不过，这将会导致输入共模电压减小。缓冲输入共模范围为VDD以下1.5 V和AGND以上50 mV，而非缓冲模式下的共模范围则为VDD以上30 mV和AGND以下30 mV。

数据手册中提到：如果输入与地之间的外部电容较大，可能会影响非缓冲模式下的测量精度。能否解释为什么会这样？它只影响交流输入信号还是也会影响直流输入信号？

如果在非缓冲模式下使用ADC，则输入端的较大RC常数会与内部采样电容交互作用，使采样电容无法得到充电电流。这将在ADC中引起增益误差。解决办法是使用缓冲模式，或者参考AD7705/06数据手册第16页和AD7707数据手册第20页上表XIV给出的对RC值的要求。

基准输入也是非缓冲型，因此与在非缓冲模式下使用模拟输入一样，基准输入端的RC负载必须足够低，以免将误差引入转换过程。

AD7705/06/07的通道间切换对吞吐量有何影响？

数据手册中所列的输出数据速率是指在单一通道上执行连续转换时转换结果有效的速率。当用户切换到另一通道时， Σ - Δ 调制器和数字滤波器的建立需要额外的时间。与这些转换器相关的建立时间是指通道变更之后输出数据反映输入电压所需的时间。通道变更之后，为精确反映模拟输入，必须清除数字滤波器中与前一模拟输入相关的全部数据。这些转换器上的数字滤波器为 sinc^3 滤波器。因此，要清除滤波器，需要三倍的更新速率(转换时间)。例如，如果输出数据速率为50 Hz，则在通道切换之后产生有效转换所需的时间为 $(3/(50 \text{ Hz}))$ 。

发生通道改变时，数字滤波器和调制器自动复位，DRDY变为高电平，并将一直保持高电平，直到“新”模拟输入通道可以提供有效的转换为止。因此，通道变更之后，DRDY将保持高电平，直到数字滤波器计算出一个有效的转换为止，即它将在3个转换周期中保持高电平。

发生步进改变时(在所转换的模拟输入通道上)，ADC不会复位。ADC继续输出转换结果，并且当转换有效时，DRDY继续发出脉冲。不过，因为数字滤波器需要3个转换周期才能产生与改变后的模拟输入相关的数字字，所以转换将无效。如果在转换周期开始时发生步进改变，ADC将在3个转换周期之后输出有效字。不过，如果步进改变是发生在转换当中，则ADC需要完成当前转换，然后再执行3次转换，才能为“新”模拟输入产生有效输出。因此，从发生步进改变那一刻到获得有效转换结果那一刻总共可能需要4个转换周期。

总之，通道切换速度为数据输出速率的三分之一。因此，在数据采集系统等切换应用中，必须明白，获得转换结果的速率要比对单一通道连续采样时可达到的转换速率低三倍。

关于这些产品，需考虑采用什么ESD保护建议方案吗？

这些转换器采用标准CMOS工艺制造，因此，像所有其它CMOS器件一样，所有标准的做法和保护方案均适用于这些器件。转换器输入端均具有ESD保护二极管，用来保护器件免遭搬运和生产过程中可能造成的ESD损害。ESD保护二极管的作用是将任何引脚上的电压箝位在电源电压0.5 V范围内。虽然能承载相当高的电流，但只能维持很短的时间，因此可以保护IC免受持续时间较短的大脉冲影响(总能量仍然相当低)。所有引脚上的闩锁电流典型值均为100 mA。

这些保护二极管能承受的最大直流电流为10 mA。因此，任何输入端上可以施加的最大电流为10 mA。如果因为过压，可能有超过10 mA的电流施加于引脚上，则需要提供外部保护。可以应用的保护方案包括在电源线路上使用Transorb二极管，在数字输入线路上使用串联电阻，以及在模拟输入端使用电阻和二极管。例如，外部保护可以是与输入引脚串联的一个电阻，用来将流入引脚的电流限制在10 mA以下。如果引脚上的最大过压为5 V，则在每条线路上串联一个1 k Ω 电阻可将电流限制在5 mA。

关于这一问题，有许多应用笔记和研讨会资料等可供参考。下面是ADI公司网站上提供的资源：

- 1) AN-202：IC放大器用户指南：去耦、接地以及其它一些要点
http://www.analog.com/UploadedFiles/Application_Notes/135208865AN-202.pdf
- 2) AN-311：如何切实有效地保护CMOS电路不受电源过压影响
http://www.analog.com/UploadedFiles/Application_Notes/52614692AN311.pdf
- 3) AN-397：标准线性集成电路的电导致的损坏
<http://www.analog.com/library/applicationNotes/designTech/AN-397.pdf>
- 4) 过压对模拟IC的影响
http://www.analog.com/UploadedFiles/Associated_Docs/334653243Section7.pdf

这些器件对传导和辐射电磁噪声敏感吗？

任何 Σ - Δ 型ADC都易受到进入输入端、电源引脚或基准电压源中传导射频(RF)的影响。原因是杂散RF信号及其谐波可能会被 Σ - Δ 调制器求平均值，而表现为直流失调电压或本底噪声的增加。辐射RF稍微复杂一点，但也可能发生类似的问题，而且在某些情况下，需要对系统中的 Σ - Δ 型ADC进行屏蔽，使之不受系统内局部产生的较大RF场的影响。

所需的保护程度取决于场的强度。设计EMC兼容性时，并不存在一成不变的规则，因为每个系统都不相同，但仍有一些通用指导原则可以遵循。分别考虑输入端、基准电压源和电源引脚，确保每条线路均根据所需的最大频率进行适当的滤波。电源上使用去耦电容，离IC要近；可能的话，在模拟电源与数字电源之间连接一个小电感；以及基准电压源和输入端上的滤波等等，这些也很重要。采用低阻抗接地层，将模拟地与数字地分离，以及让接地层位于整个IC最下方等等，都是不错的做法。评估板可以作为很好的参考。

有时候，如果器件的工作环境中存在高电磁场，例如靠近电源、继电器或RF发射机等，则需要为ADC提供法拉第屏蔽，但这只是特例。

作为器件制造商，ADI公司通常不执行EMC测试，因为EMC是一个系统级特性，而不是一个器件特性。确保电路中的敏感器件不受杂散信号影响，是PCB设计人员的责任。我们并没有无懈可击的EMC设计可提供给客户，但是，如果客户使用评估板并遵循关于布局、接地和去耦的标准做法，则有可能不需要付出太大努力便可设计出达到甚至超过CE认证要求的系统。我们所有研讨会书籍的最后一章都专门介绍硬件设计技术，讨论接地、去耦、寄生热电偶和良好的PCB设计等问题。

http://www.analog.com/UploadedFiles/Associated_Docs/116618369Fsect10.PDF

请就数据手册中的噪声表说明转换器噪声以及噪声来源。

数据手册中的噪声表列出了不同陷波频率和输出数据速率下的输出均方根噪声。所提供的数值是针对双极性输入范围以及所用的额定基准电压和VDD电源而言。这些噪声数值为典型值，是在模拟输入电压为0 V、以额定更新速率工作、基于1000次转换结果而产生的。均方根噪声数值还被转换为以位数表示的有效分辨率。这些数值可以表示为均方根位数或峰峰位数的有效分辨率。均方根位数的有效分辨率定义为输出均方根噪声相对于输入满量程的大小($2 \times V_{ref}/\text{增益}$)。必须注意，峰峰值表示无码闪烁情况下的分辨率，它不是基于均方根噪声，而是基于峰峰值噪声计算的。峰峰值噪声为均方根噪声的6.6*倍。位数(峰峰值)=有效位数(均方根值)-2.5。

所提供的数值是针对双极性输入范围而言。对于单极性范围，均方根噪声数值与双极性范围相同，但峰峰分辨率此时是基于一半的信号范围，因此有效分辨率会丧失1位。

输出噪声有两个来源。第一个来源是调制器所用半导体器件的电噪声(器件噪声)。第二个来源是模拟输入转换到数字域中时所增加的量化噪声。器件噪声比较小，且与频率无关。量化噪声在开始时很低，但随着频率增加会迅速上升，而成为主要噪声源。

例如，考虑这种情况：AD7705以50 Hz更新速率、5 V电源和2.5 V基准电压工作。当增益为128时，均方根噪声为数据手册中提供的值：0.6 μV 。

在双极性模式下工作时，满量程模拟输入为 $5 \text{ V}/128 = 39 \text{ mV}$ 。峰峰值噪声为 $6.6 * 0.6 \mu\text{V} = 3.96 \mu\text{V}$ (峰峰值)。因此，满量程输入与峰峰值噪声的比值为 $39 \text{ mV} / 3.96 \mu\text{V} = 9848$ ，这是以采样数表示的分辨率。将其转换为峰峰位数并四舍五入到最近的0.5位： $\log(9848) / \log 2 = 13.5$ 位(峰到峰)。

如果ADC与产生0到15 mV模拟输出的传感器接口，那么峰峰分辨率是多少？

如果AD7705以5 V电源、2.5 V基准电压和50 Hz输出数据速率工作，则当增益等于128时，均方根噪声为0.6 μV (在单极性模式下，满量程范围为0至20 mV)。由于传感器的模拟输出范围为0至15 mV，因此该应用的峰峰分辨率为 $15 \text{ mV} / 6.6 * 0.6 \mu\text{V} = 3788$ 采样数，相当于12位峰峰分辨率。因此，ADC的数字输出能保证12位的精度。

对来自转换器的数据进行后置滤波有何好处？

使用后置滤波可以改善噪声性能。当fCLK IN为2.4576 MHz时，这些转换器的片内调制器以19.2 kHz的速率向数字滤波器提供采样数据。片内数字滤波器对这些样本进行抽取，以滤波器的输出速率相对应的输出速率提供数据。由于输出数据速率高于奈奎斯特准则(它要求输出数据速率必须至少为带宽的两倍)，因此如果给定带宽，那么输出速率将满足大部分应用的要求。但是，对于给定带宽和噪声性能，有些应用可能要求更高的数据速率。这些应用会要求在数字滤波器之后进行后置滤波。

例如，如果所需带宽为7.86 Hz，但所需更新速率为100 Hz，则数据可以用100 Hz速率从转换器获得，而此时-3dB带宽为26.2 Hz。这样就可以应用后置滤波，将带宽和输出噪声降至7.86 Hz带宽水平，同时维持100 Hz的输出速率。

对于13.1 Hz以下的带宽，可以利用后置滤波来降低器件的输出噪声。使用AD7705转换器时，如果增益为128且带宽为13.1 Hz，输出均方根噪声将为0.6 μV 。这主要是器件噪声(或称白噪声)，其频率响应基本上是平坦的。通过将带宽降至13.1 Hz以下，可以降低通带的噪声。带宽降低一倍，输出均方根噪声将降低到原来的大约 $1/\sqrt{2}$ 。但要注意附加滤波会降低系统吞吐量。

单极性和双极性模式下使用何种输出编码？

在单极性模式下，输出编码为标准二进制制；在双极性模式下，输出编码为偏移二进制码。

单极性模式(二进制编码)：模拟输入电压为0 V时，输出码为0000(十六进制)。

模拟输入电压为(Vref/增益)时，输出码为FFFF(十六进制)。

任意模拟输入电压的输出码可以表示为下式：

$$\text{输出码} = (\text{AIN} * \text{增益} * 2^n) / \text{Vref}$$

其中AIN为模拟输入电压，n = 16。

双极性模式(偏移二进制编码)：模拟输入电压为(-Vref/增益)时，输出码为0000(十六进制)。

模拟输入电压为0 V时，输出码为8000(十六进制)。

模拟输入电压为(+Vref/增益)时，输出码为FFFF(十六进制)。

请注意，模拟输入为伪双极性输入，绝对模拟输入电压必须始终在共模输入范围内。

任意模拟输入电压的输出码可以表示为下式：

$$\text{输出码} = 2^{n-1} * [(\text{AIN} * \text{增益} / \text{Vref}) + 1]$$

其中AIN为模拟输入电压，n = 16。

全差分操作与伪差分操作有何区别？

AD7705的模拟输入是全差分输入。采用全差分输入时，独立输入通道是AIN1(+)/AIN1(-)和AIN2(+)/AIN2(-)。输入信号由代表输入通道的两个输入引脚之间的差值表示。共模电压可以位于ADC范围内的任意位置，转换器将转换两路输入之间呈现的信号。例如，如果AD7705要转换采用5 V电压激励的桥式传感器所提供的信号，则共模电压通常为2.5 V，偏移电压一般是以此为基础的几mV。该器件将只转换差分电压，而不会处理共模电压。通道AIN1(+)/AIN1(-)和AIN2(+)/AIN2(-)可以具有不同的共模电压，AD7705只会转换两个输入节点之间的差值。

AD7706有三路伪差分输入。采用此配置时，三个输入通道AIN1、AIN2和AIN3均以共同输入AINCOM为基准。所有通道均以差分方式工作，但由于全都以一个公共点为基准，因此必须以相同的共模电压工作。

AD7707有两路低电平模拟输入AIN1和AIN2，均为伪差分输入。采用此配置时，AIN1和AIN2均以共同输入LOCOM为基准。两个通道均以差分方式工作，但由于都以一个公共点为基准，因此必须以相同的共模电压工作。

AD7707上的高电平输入AIN3以HICOM为基准，可以接受最高达±10 V的输入电压。

用户必须确保模拟输入电压在ADC的共模输入范围内。

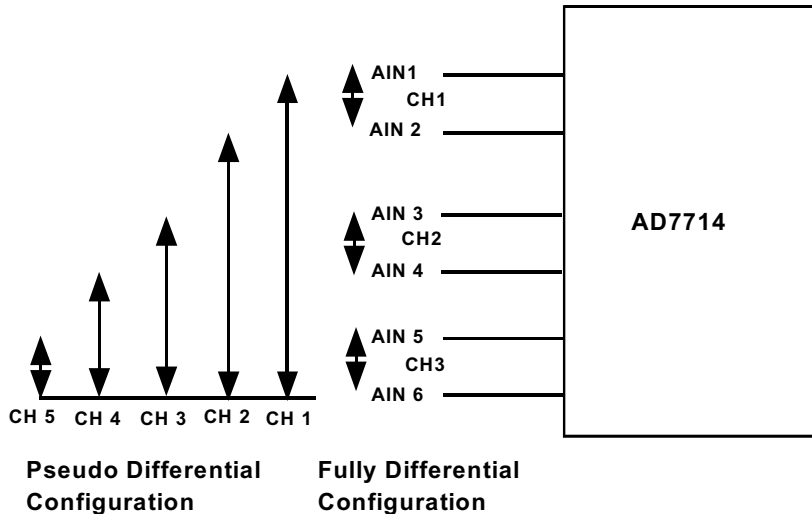


图1. 伪差分输入配置与全差分输入配置

模拟输入和基准电压输入的建议共模输入范围是多少？

基准电压输入的共模范围为GND至VDD。基准电压输入是非缓冲型，因此共模输入范围包括电源电压。当器件采用5 V电源供电时，建议基准电压为2.5 V；当器件采用3 V电源供电时，建议基准电压为1.225 V。如果REFIN(+)为5 V且REFIN(-)为GND，这些ADC将不工作。

对于模拟输入，非缓冲模式下的共模范围为GND - 30 mV至VDD + 30 mV。在缓冲模式下，由于输入缓冲的限制，最大和最小输入电压也有限制，绝对共模输入电压范围为GND + 50 mV至VDD - 1.5 V。

采用5 V电源供电且Vref等于2.5 V时，AD7707高电平模拟输入的共模范围为-10 V至+10 V；当采用3 V电源供电且Vref等于1.225 V时，共模范围为-5 V至+5 V。

如何设置低电平模拟输入的输入范围？

输入范围取决于基准电压、单极性/双极性模式选择以及所选的增益设置。

在单极性模式下，输入范围可表示为 $[V_{ref(+)} - V_{ref(-)}] / \text{增益}$ 。

在双极性模式下，输入范围可表示为 $+ [V_{ref(+)} - V_{ref(-)}] / \text{增益}$ 。

对于AD7706(AD7707)，输入AINCOM (LOCOM)为公共模拟输入，输入AIN1至AIN3(AIN1和AIN2)上的电压以AINCOM (LOCOM)上的电压为基准。同样，只要各通道的满量程和零电平电压保持在绝对输入电压(之间)以内，就可以改变共模电压。

可以使用与数据手册中的额定值不同的模拟输入范围吗？

是的，可以改变模拟输入范围。方法有两种：

可以执行系统校准，在校准过程中，用户将自定义的零电平和满量程电压应用于ADC。对于指定操作，用户必须确保所用的满量程值在 $(0.8V_{REF}/\text{增益})$ 至 $(1.05V_{REF}/\text{增益})$ 范围内。这样，ADC将仍然符合数据手册针对原始电压范围给出的噪声值。例如，AD7705以5 V电源、50 Hz更新速率和增益1工作，所以在单极性模式下，信号范围为0至2.5 V，这时均方根噪声值为4.1 μV 。如果新的满量程值在 $0.8 * 2.5 \text{ V}$ 至 $1.05 * 2.5 \text{ V}$ 范围内，均方根噪声仍为4.1 μV 。

2) 可以改变基准电压。例如，如果要求模拟输入范围为0至1.5 V，则使用1.5 V基准电压时，模拟输入0将产生输出码

0000(十六进制)，模拟输入1.5 V将产生输出码FFFF(十六进制)。利用ADC的1.5 V基准电压进行自校准之后，均方根噪声将与数据手册中针对2.5 V基准电压给出的均方根噪声相同。借用上例，AD7705以50 Hz更新速率、5 V电源和2.5 V基准电压工作时，均方根噪声为4.1 μ V。如果基准电压变为1.5 V，并执行自校准，假设更新速率、电源等保持不变，则均方根噪声仍为4.1 μ V。采用2.5 V基准电压时，峰峰分辨率为16位。采用1.5 V基准电压时，峰峰分辨率为： $\log(1.5V / 6.6 * 4.1\mu V) / \log 2 = 15.7$ 。峰峰分辨率降低的原因是输入信号范围缩小。

我查看ADC输出时，没有获得全部分辨率，有几个LSB在闪烁。为什么会这样？

虽然ADC具有16位分辨率，但器件的精度会随着更新速率和增益的改变而变化。数据手册列出了不同更新速率和增益时的均方根噪声及可达到的精度。例如，当增益为1(模拟输入范围+VREF)、更新速率为50 Hz、以双极性模式工作时，AD7705的峰峰分辨率为16位。如果更新速率变为250 Hz，峰峰分辨率将降至13位。如果此时增益变为128(+20 mV输入范围)，峰峰分辨率将降至12位。

ADC的精度规定为有效分辨率或峰峰分辨率。有效分辨率利用数据手册中提供的均方根噪声来计算，等于 $\log(\text{输入范围}/\text{均方根噪声}) / \log 2$ 。峰峰分辨率是指不闪烁的位数，用峰峰噪声(等于均方根噪声的6.6倍)来计算。因此，峰峰噪声等于 $\log(\text{输入范围} / (6.6 * \text{均方根噪声})) / \log 2$ 。

数据手册中的均方根噪声值是利用所选的一个模拟输入通道，将其对VREF等某一电压短路(该模拟输入通道的两个引脚均连接至VREF)而测得的。因此，用户应当使用相似的方法，将系统电路板上的模拟输入短路，以确保器件发挥最佳性能。执行校准后，开始转换操作。使用数千采样点可以计算出均方根噪声，然后由此确定峰峰分辨率。所获得的值应与数据手册中提供的值相比较。如果没有获得数据手册中规定的精度，则说明电路板上的噪声有问题，请采取办法降低噪声，例如：确保不存在接地环路；在每个电源连至相应的地之间使用10 μ F钽电容与0.1 μ F陶瓷电容并联，以确保电源充分去耦。这些电容应尽可能靠近ADC的引脚。

直流输入恒定，但ADC的输出随温度而漂移。为什么？

任何ADC的性能都会随温度而变化。当在某一温度执行校准时，失调电压误差和增益误差在校准时的温度下最小。但是，失调电压误差和增益误差会随温度而变化。例如，如果将模拟输入对某一电压(例如基准电压)短路并执行校准，则应当能达到数据手册中针对特定更新速率和增益给出的峰峰分辨率。如果温度发生改变，ADC输出也会改变，因为失调电压误差和增益误差会随温度而漂移。数据手册中规定了这些漂移特性。

信号链的其余部分也会发生漂移。例如，基准电压也会随着温度而变化。基准电压源数据手册中对这种变化也做了规定。电阻值也会随着温度而变化。因此，必须使用低漂移的精密基准电压源和容差很小的电阻。

电路板上的焊点也具有热特性。每个焊点均连接着两种不同金属，从而产生一个小的热电偶。因此，模拟输入等模拟信号的信号路径应保持完全相同，以确保温度变化对ADC之外的模拟输入线路的影响能够匹配，从而作为共模影响予以消除。

积分非线性表示为满量程的百分比。该值在何种增益设置下有效？

积分非线性(INL)特性仅适用于ADC(不适用于PGA)，因此该值假设增益为1。

ADI公司推荐 Σ - Δ 型ADC使用何种晶体？哪些参数比较重要？

这些ADC应当使用低漂移、高精度晶体。对于任何 Σ - Δ 型ADC，输出数据速率和-3 dB点均与主时钟频率直接相关。初始精度决定输出数据速率，因而也决定了陷波频率的位置，因为滤波器陷波频率为输出数据速率的整数倍。低漂移可以确保输出数据速率保持稳定，因而滤波器陷波频率的位置不会偏离理想位置太远。CMAC等公司可制造低漂移、高初始精度晶体。

可以使用陶瓷谐振器驱动 Σ - Δ 型ADC吗？

可以使用谐振器，但它们远不如晶体。谐振器的频率精度和温度漂移非常差。另外，滤波器的所有陷波频率均与主时钟频率成比例。因此，如果某一陷波频率为50 Hz，并且主时钟频率随温度而变化，则该陷波频率也会随温度而变化。

不过，有些客户能够接受这种较差的漂移性能，则可以将ADI公司的 Σ - Δ 型转换器与陶瓷谐振器配合使用。

数据手册中提供的随机转换噪声、峰峰值噪声和均方根噪声之间有何关系？

假设噪声具有真正的随机性，并用正态分布来描述(白噪声)，那么：

峰峰值噪声 = 均方根噪声 x 6.6(概率为99.9%)

欲了解详细信息，请参考技术笔记“峰峰值噪声与有效分辨率”：

http://www.analog.com/UploadedFiles/Technical_Notes/236133016AN-615_0.pdf

Σ - Δ 型转换器需要使用抗混叠滤波器吗？

是的，需要使用抗混叠滤波器。不过，由于 Σ - Δ 型转换器对模拟输入进行过采样，因此与以奈奎斯特频率(最大信号带宽 * 2)采样的ADC相比，抗混叠滤波器设计明显简化。

例如，当增益为1时，AD7705的调制器以(主时钟频率/64)的频率对模拟输入进行采样。如果主时钟频率为2.4576 MHz，则采样频率为38.4 kHz(请参考AD7705数据手册中的表XV)。

这些ADC具有可编程低通数字滤波器。AD7705/6数据手册中的图12显示了输出数据速率为60 Hz时的频率响应。由于这是数字滤波器，因此频率响应在采样频率附近折回。这意味着，在频率为采样频率的整数倍时，滤波器将提供0 dB衰减。因此，模拟域中需要抗混叠滤波器，以便充分衰减这些频率。通常，单极点(也可能双极点)RC滤波器便足以满足要求。例如，如果AD7714的3 dB带宽设置为10 Hz，采样频率为10 kHz，则单极点RC滤波器可在采样频率时提供60 dB的衰减。

当 Σ - Δ 型转换器在非缓冲模式下工作时，输入直接进入调制器的采样电容。调制器对采样电容连续充电和放电。如果抗混叠滤波器的时间常数太大，调制器可能无法给采样电容完全充电，从而导致增益误差。为防止R-C组合引入误差，各ADC的数据手册均针对非缓冲模式下的不同增益设置，规定了可以使用的最大容许R值和C值。

ADC应使用何种基准电压源？

为使ADC发挥最佳性能，需要使用低噪声基准电压源。当ADC采用5 V电源供电时，合适的基准电压源包括AD780、ADR421、ADR381、ADR291、REF43和REF192。当ADC工作在3V模式时，AD589或AD1580是合适的基准电压源。建议对这些基准电压源的输出进行去耦，以进一步降低噪声电平。

在压力测量系统或电子秤等应用中，也可以利用电桥的激励电压来获得ADC的基准电压。激励电压可以用电阻网络分压，以产生2.5 V或1.225 V基准电压。这些应用是比率式应用，因此激励电压中的噪声影响会得到消除。