



低消費電力のハイファイ・ステレオ オーディオアンプ集積回路

データシート

SSM6322

特長

すべてのデジタル/アナログ・コンバータ (DAC) とインターフェース可能な柔軟なアーキテクチャ
差動型の電流入力または電圧入力に対応 (シングルエンド電圧出力)

高出力の電流駆動能力

出力電流: 100 mA rms 以上

重負荷 (16 Ω ~ 32 Ω) への音楽過渡大信号を高精度に再生

優れたオーディオ忠実度

全高調波歪み + ノイズ (THD + N) : -121 dB (1 kHz 時)、出力: 2 V rms (±5 V 電源、32 Ω 負荷)

低出力積分ノイズ (10 Hz ~ 22 kHz) : 1.8 μV rms (A 重み付けフィルタを用いた場合)

電源電圧範囲: ±3.3 V ~ ±6 V (代表値)

低消費電力動作

イネーブル時: 60 mW、V_{CC} = +5 V、V_{EE} = -5 V

ディスエーブル/音声選択時: 30 μA 未満

高出カインピーダンスの低消費電力ディスエーブル・モード
パワーダウン・モード時に高インピーダンスなることにより、ハイファイ・パスから音声モード・スイッチを除去

電源電圧変動除去比 (PSRR) : 87 dB 以上 (20 kHz 時)

抵抗で設定可能なリファレンス電圧で入力共通モード電圧を調整可能

外付け部品なしで 1.45 V (代表値)

2つの単極ローパス・フィルタを直列に接続可能

最大入力コンデンサ 2.2 nF

GAINx ピンと FILTx ピン間に 2 番目のフィルタ

ポップ/クリック・ノイズ抑制回路

シグナル・チェーン統合によりプリント基板 (PCB) の面積を縮小

コンパクトな 4 mm × 4 mm の LFCSP パッケージ

アプリケーション

ハイファイ・ヘッドフォン・ドライバ

携帯電話

Bluetooth 用のスピーカーとヘッドフォン

ゲーミング・ノートブックとタブレット

A/V レシーバー

業務用オーディオ機器

オーディオ試験装置

車載インフォテインメント・システム

機能ブロック図

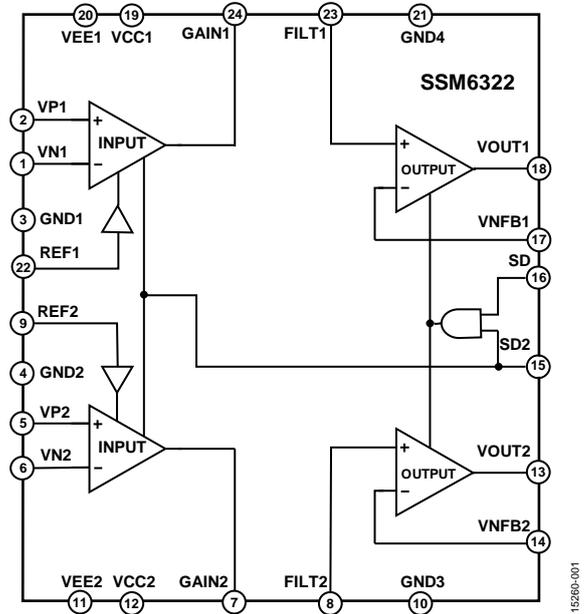


図 1.

概要

SSM6322 はオーディオ DAC/CODEC と直接インターフェースし、ハイファイ・オーディオ・シグナル・チェーンの忠実度を最大限に高めた、デュアル・チャンネルの高集積オーディオ・アンプ・ソリューションです。SSM6322 の高効率設計により消費電力を最小に抑え、携帯用アプリケーションでのバッテリー寿命を最長にするとともに、優れたオーディオ性能を發揮します。

SSM6322 は 1 kHz 時の THD + N 特性が -121 dB であり、20 Hz ~ 20 kHz の出力ノイズを非常に低く抑えています。低消費電力動作、高ピーク出力電流、高 PSRR により、SSM6322 はハイファイ・オーディオ、高ダイナミック・レンジ、高精度、低消費電力を必要とするアプリケーションに最適な製品候補となります。この高集積化されたドライブ・ソリューションにより、開発時間が短縮するとともに、基板スペースが低減され、外付け部品を最小限に抑えられます。

SSM6322 は 24 ピン LFCSP パッケージを採用しています。SSM6322 は、工業用温度範囲 -40 °C ~ +85 °C で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	テスト回路.....	14
機能ブロック図.....	1	動作原理.....	15
概要.....	1	アプリケーション情報.....	16
改訂履歴.....	2	携帯電話のヘッドフォン・ドライバ.....	16
仕様.....	3	コモンモード制御回路.....	16
±5 V 電源.....	3	容量性負荷の駆動.....	17
±3.3 V 電源.....	4	ヘッドフォン・ドライバのアプリケーションにおける	
絶対最大定格.....	6	SSM6322.....	18
熱抵抗.....	6	デザイン・ガイドライン.....	19
ESD に関する注意.....	6	外形寸法.....	20
ピン配置およびピン機能説明.....	7	オーダー・ガイド.....	20

改訂履歴

3/2017—Revision 0: Initial Version

仕様

±5 V 電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、リファレンス電圧 (V_{REF}) = 0V、帰還抵抗 (R_F) = ゲイン抵抗 (R_G) = 1 k Ω (図 38 参照)。
表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
Gain Bandwidth	$R_{\text{IN1}} = 1 \text{ k}\Omega$, $R_{\text{IN2}} = 1 \text{ k}\Omega$ (see Figure 38), output voltage (V_{OUT}) = 0.2 V p-p		25		MHz
Slew Rate	Gain = 1, $V_{\text{OUT}} = 2 \text{ V}$ step		18		V/ μs
Channel Separation	1 kHz to 10 kHz, input voltage (V_{IN}) = 5 V p-p, $R_L = 600 \Omega$, 32 Ω , 16 Ω		-140		dB
DISTORTION PERFORMANCE					
THD + N	1 kHz, $V_{\text{OUT}} = 2 \text{ V}$ rms, low-pass filter = 80 kHz, $R_L = 600 \Omega$		-122		dB
	1 kHz, $V_{\text{OUT}} = 2 \text{ V}$ rms, low-pass filter = 80 kHz, $R_L = 32 \Omega$		-121		dB
	1 kHz, $V_{\text{OUT}} = 1.6 \text{ V}$ rms, low-pass filter = 80 kHz, $R_L = 16 \Omega$		-118		dB
Intermodulation Distortion (IMD)	SMPTe two-tone, 4:1 (60 Hz and 7 kHz), gain = 1, $V_{\text{OUT}} = 2 \text{ V}$ rms, $R_L = 600 \Omega$, 90 kHz measurement bandwidth		-125		dB
	CCIF two-tone (19 kHz and 20 kHz), gain = 1, $V_{\text{OUT}} = 2 \text{ V}$ rms, $R_L = 600 \Omega$, 90 kHz measurement bandwidth		-131		dB
NOISE PERFORMANCE					
A-Weight Output Noise	$f = 10 \text{ Hz}$ to 22 kHz		1.8		μV rms
Input Voltage Noise	$f = 10 \text{ Hz}$		5.2		nV/ $\sqrt{\text{Hz}}$
	$f = 100 \text{ kHz}$		3.6		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10 \text{ Hz}$		10		pA/ $\sqrt{\text{Hz}}$
	$f = 100 \text{ kHz}$		1.2		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Output Offset Voltage			90	250	μV
Output Offset Voltage Drift			1.5	7.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-2.4	-1.8	-1	μA
Input Offset Current			60	320	nA
Open-Loop Gain	$V_{\text{OUT}} = \pm 2.3 \text{ V}$, $R_L = 600 \Omega$	107	120		dB
INPUT CHARACTERISTICS					
Input Capacitance			2		pF
Input Common-Mode Voltage Range	$I_{\text{DIFF}} = 3 \text{ mA}$		± 1.5		V
Common-Mode Rejection	$V_{\text{CM}} = \pm 1 \text{ V}$	113	140		dB
$V_{\text{REF1}}/V_{\text{REF2}}$					
Open Circuit Voltage	Referenced to ground		1.45		V
Output Current			15		μA
OUTPUT CHARACTERISTICS					
Output Voltage Swing					
Each Output	$R_L = 600 \Omega$	± 3.3	± 3.4		V
	$R_L = 32 \Omega$	± 2.8	± 2.9		V
	$R_L = 16 \Omega$	± 2.0	± 2.6		V
Output Current	$R_L = 16 \Omega$, rms voltage (V_{RMS}) = 1.6 V, THD + N = -118 dB		100		mA rms
Short-Circuit Current	$R_L = 10 \Omega$; source/sink		+240/-190		mA
Closed-Loop Output Impedance	10 Hz to 20 kHz		0.04		Ω

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range			± 3.3 to ± 6		V
Quiescent Current	$V_{SD} = V_{SD2} = V_{CCx}$, $V_{REF} = 0$ V, per channel $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$		3	3.35	mA
Quiescent Current Power-Down Mode	$V_{SD} = 0$ V, $V_{SD2} = V_{CCx}$, per channel $V_{SD} = V_{SD2} = 0$ V, per channel		1.4		mA
DC Power Supply Rejection Ratio	Supply voltage (V_{SY}) = 3.3 V to 5.5 V	115	140		dB
AC Power Supply Rejection Ratio	20 kHz		87		dB
POWER-DOWN INPUTS					
Logic High	Chip on, referenced to ground		>1.5		V
Logic Low	Chip off, referenced to ground		<0.75		V

 ± 3.3 V 電源

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 、 $V_{REF} = 0\text{V}$ 、 $R_F = R_G = 1\text{ k}\Omega$ (図 38 参照)。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
Gain Bandwidth	$R_{IN1} = 1\text{ k}\Omega$, $R_{IN2} = 1\text{ k}\Omega$ (see Figure 38), $V_{OUT} = 0.2\text{ V p-p}$		25		MHz
Slew Rate	Gain = 1, $V_{OUT} = 2\text{ V step}$		14		V/ μs
Channel Separation	1 kHz to 10 kHz, $V_{IN} = 1\text{ V p-p}$, $R_L = 600\ \Omega$, 32 Ω , and 16 Ω		-140		dB
DISTORTION PERFORMANCE					
THD + N	1 kHz, $V_{OUT} = 1\text{ V rms}$, low-pass filter = 80 kHz, $R_L = 600\ \Omega$		-116		dB
	1 kHz, $V_{OUT} = 1\text{ V rms}$, low-pass filter = 80 kHz, $R_L = 32\ \Omega$		-116		dB
	1 kHz, $V_{OUT} = 0.9\text{ V rms}$, low-pass filter = 80 kHz, $R_L = 16\ \Omega$		-111		dB
NOISE PERFORMANCE					
A-Weight Output Noise	$f = 10\text{ Hz to }22\text{ kHz}$		1.8		$\mu\text{V rms}$
Input Voltage Noise	$f = 10\text{ Hz}$		5.2		nV/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		3.6		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ Hz}$		10		pA/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		1.2		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Output Offset Voltage			90	250	μV
Output Offset Voltage Drift			1.5	7.5	$\mu\text{V}/^{\circ}\text{C}$
Input Bias Current		-2.4	-1.8	-1	μA
Input Offset Current			60	300	nA
Open-Loop Gain	$V_{OUT} = \pm 2.3\text{ V}$, $R_L = 600\ \Omega$	106	120		dB
INPUT CHARACTERISTICS					
Input Capacitance			2		pF
Input Common-Mode Voltage Range	Differential current (I_{DIFF}) = 3 mA		± 0.3		V
Common-Mode Rejection	Common-mode voltage (V_{CM}) = $\pm 0.3\text{ V}$	109	135		dB
V_{REF1}/V_{REF2}					V
Open Circuit Voltage	Referenced to ground		1.45		V
Output Current			15		μA
OUTPUT CHARACTERISTICS					
Output Voltage Swing					
Each Output	$R_L = 600\ \Omega$	± 1.6	± 1.7		V
	$R_L = 32\ \Omega$	± 1.4	± 1.45		V
	$R_L = 16\ \Omega$	± 1.2	± 1.4		V
Output Current	$R_L = 16\ \Omega$, $V_{RMS} = 0.9\text{ V}$, THD + N = -111 dB		56		mA rms
Short-Circuit Current	$R_L = 10\ \Omega$		+115/-120		mA
Closed-Loop Output Impedance	10 Hz to 20 kHz		0.04		Ω

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range			±3.3 to ±6		V
Quiescent Current	$V_{SD} = V_{SD2} = V_{CCx}$, $V_{REF} = 0$ V, per channel $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$		2.9	3.35	mA
Quiescent Current Power-Down Mode	$V_{SD} = 0$ V, $V_{SD2} = V_{CCx}$		3.0		mA
			1.3		mA
DC Power Supply Rejection Ratio	$V_{SD} = V_{SD2} = 0$ V $V_{SY} = 3.3$ V to 5.5 V		10		μA
AC Power Supply Rejection Ratio	20 kHz	115	140		dB
			85		dB
POWER-DOWN INPUTS					
Logic High	Chip on, referenced to ground		>1.5		V
Logic Low	Chip off, referenced to ground		<0.75		V

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	
Single Supply	12.6 V
Dual Supply	±6.3 V
Exposed Pad Voltage	-V _{SY} or ground
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。表 4 の値は JEDEC 規格 JESD51-12 に従って得られたものです。

表 4. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
CP-24-15	47	3.3	°C/W

基板レイアウトは θ_{JA} などの熱特性に影響を与えます。適切な温度管理技術を用いると、優れた θ_{JA} 値を実現することができます。

露出パッドは開放したままにしても構いませんが、適切な温度管理を行うには、外部の V プレインまたはグラウンド・プレインに接続する必要があります。

最大消費電力

SSM6322 の最大安全消費電力は、チップのジャンクション温度 (T_J) の上昇により制限されます。約 150 °C のガラス転移温度でプラスチック・パッケージの性質が変わります。この温度限界を一時的にでも超えた場合、パッケージのチップへの応力が変化して、SSM6322 のパラメータ性能が恒久的に変化することがあります。175 °C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が生じ、性能低下または故障を招くおそれがあります。パッケージ内の消費電力 (P_D) は、静止消費電力と、SSM6322 の出力負荷駆動によるチップ内の消費電力との和になります。

静止消費電力は、電源ピン (V_S) 間の電圧に静止電流 (I_S) を乗算して計算されます。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷消費電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

rms 出力電圧を検討してみましょう。単電源動作の場合のように、R_L が -V_{SY} を基準とすると、合計駆動電力は V_{SY} × I_{OUT} になります。rms 信号レベルが不定の場合は、最も厳しい条件 (電源電圧の 1/2 に接続された R_L に対して V_{OUT} = V_{SY}/4 の場合) を考慮に入れます。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

空気流があると放熱効果が良くなり、θ_{JA} が実質的に小さくなります。

また、金属パターン、スルー・ホール、グラウンド・プレーン、電源プレーンと、パッケージ・ピン、露出パドルとの間で直接接触する金属面が増えると、θ_{JA} が小さくなります。

JEDEC 標準の 4 層基板上の 24 ピン LFCSP パッケージにおける、パッケージの最大安全消費電力と周囲温度の関係を図 2 に示します。

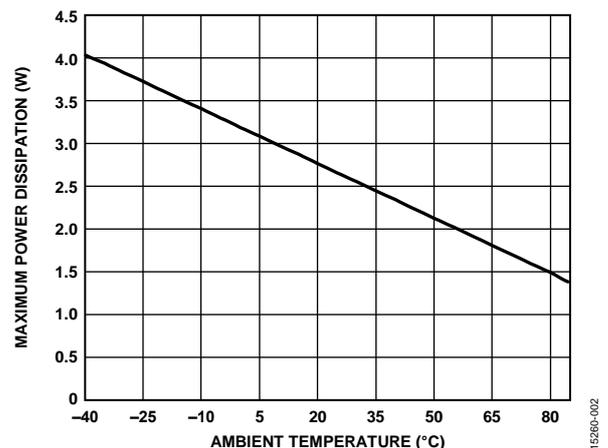


図 2. 4 層基板での最大消費電力と周囲温度の関係

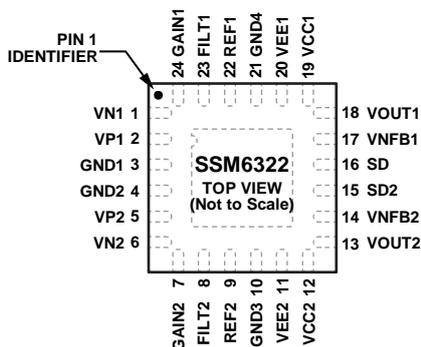
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO A NEGATIVE POWER PLANE (V-) OR GROUND.

15260-003

図 3. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1	VN1	チャンネル 1 の入力段の負入力。
2	VP1	チャンネル 1 の入力段の正入力。
3	GND1	グラウンド 1。
4	GND2	グラウンド 2。
5	VP2	チャンネル 2 の入力段の正入力。
6	VN2	チャンネル 2 の入力段の負入力。
7	GAIN2	チャンネル 2 の入力段の出力。
9	FILT2	チャンネル 2 の出力段の正入力。
9	REF2	チャンネル 2 の入力段の入力コモンモード電圧。
10	GND3	グラウンド 3。
11	VEE2	負電源 2。このピンは内部でピン 20 に短絡されています。
12	VCC2	正電源 2。このピンは内部でピン 19 に短絡されています。
13	VOUT2	チャンネル 2 の出力段の出力。
14	VNFB2	チャンネル 2 の出力段の負帰還。
15	SD2	デバイス全体の電源のシャットダウン。このピンはグラウンドを基準とします。
16	SD	出力段の電源のシャットダウン。このピンはグラウンドを基準とします。
17	VNFB1	チャンネル 1 の出力段の負帰還。
18	VOUT1	チャンネル 1 の出力段の出力。
19	VCC1	正電源 1。このピンは内部でピン 12 に短絡されています。
20	VEE1	負電源 1。このピンは内部でピン 11 に短絡されています。
21	GND4	グラウンド 4。
22	REF1	チャンネル 1 の入力段の入力コモンモード電圧。
23	FILT1	チャンネル 1 の出力段の正入力。
24	GAIN1	チャンネル 1 の入力段の出力。
	EPAD	露出パッド。露出パッドを負の電源プレーン (V-) またはグラウンドに接続します。

代表的な性能特性

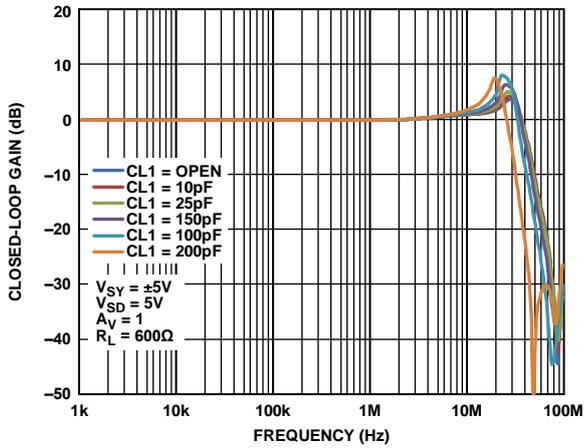


図 4. 各種容量性負荷の周波数応答、 $V_{SY} = \pm 5 V$

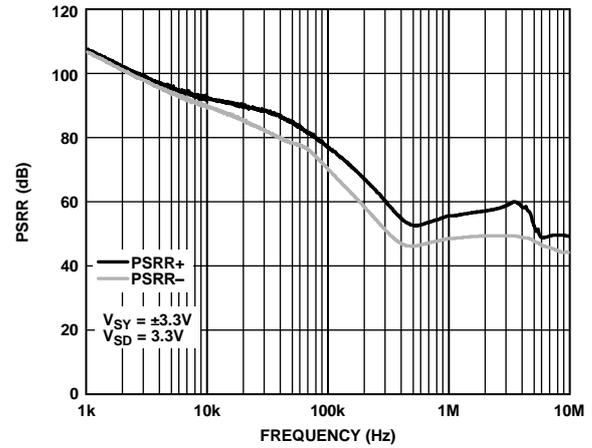


図 7. PSRR の周波数特性、 $V_{SY} = \pm 3.3 V$

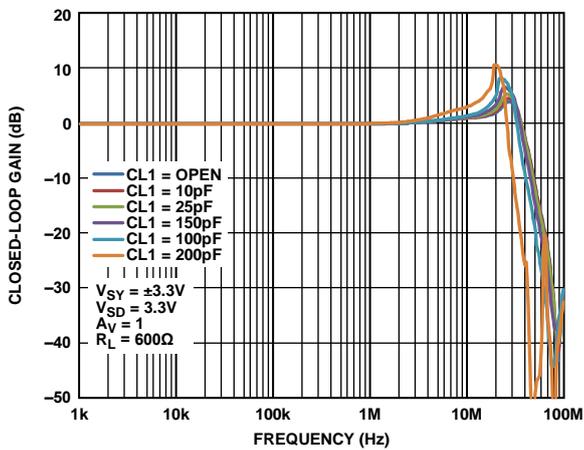


図 5. 各種容量性負荷の周波数応答、 $V_{SY} = \pm 3.3 V$

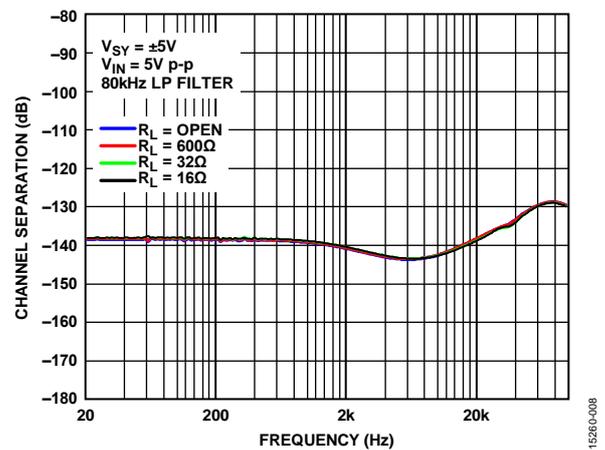


図 8. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 5 V$

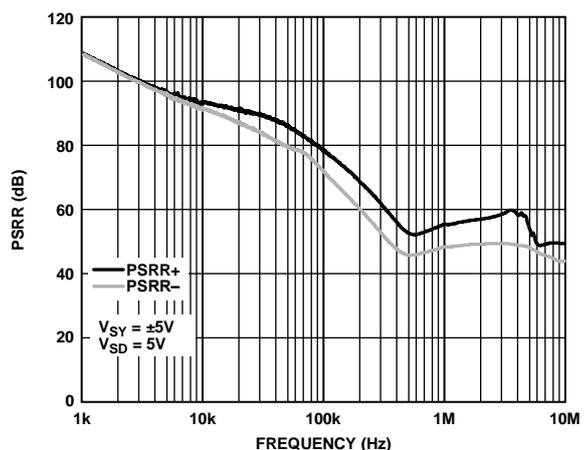


図 6. PSRR の周波数特性、 $V_{SY} = \pm 5 V$

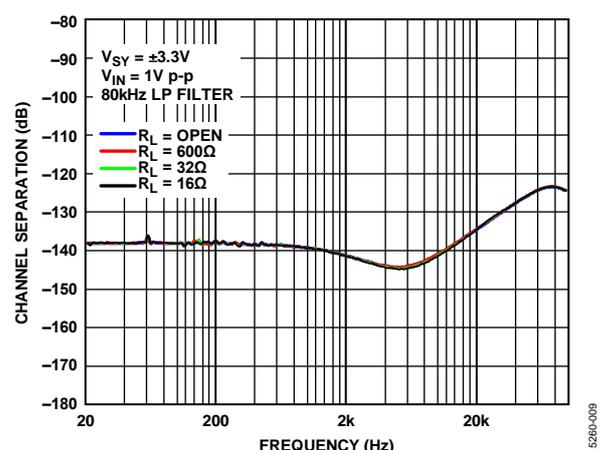


図 9. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 3.3 V$

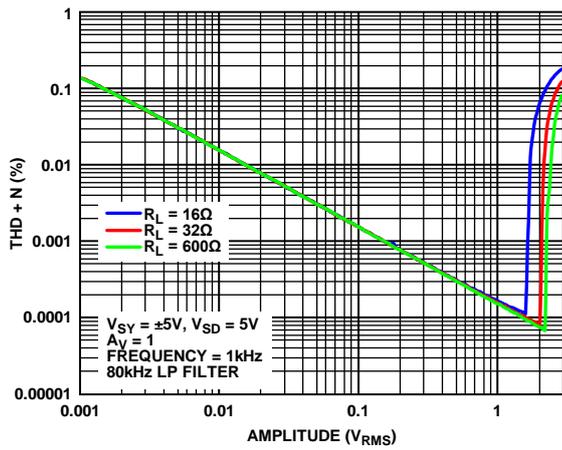


図 10. THD + N と振幅の関係、 $V_{SY} = \pm 5 V$

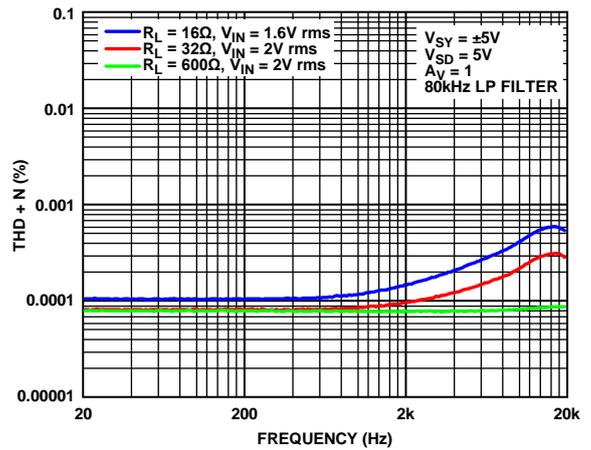


図 13. THD + N の周波数特性、 $V_{SY} = \pm 5 V$

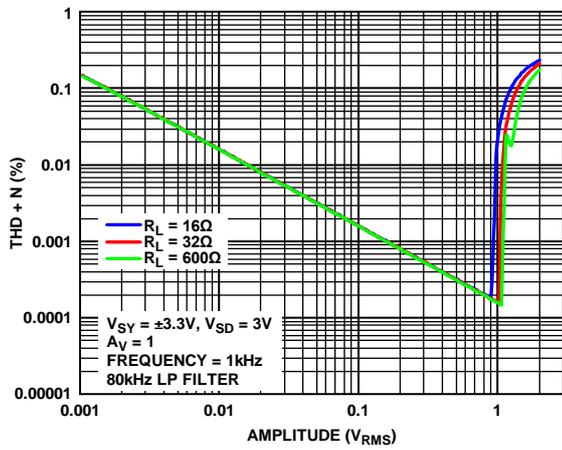


図 11. THD + N と振幅の関係、 $V_{SY} = \pm 3.3 V$

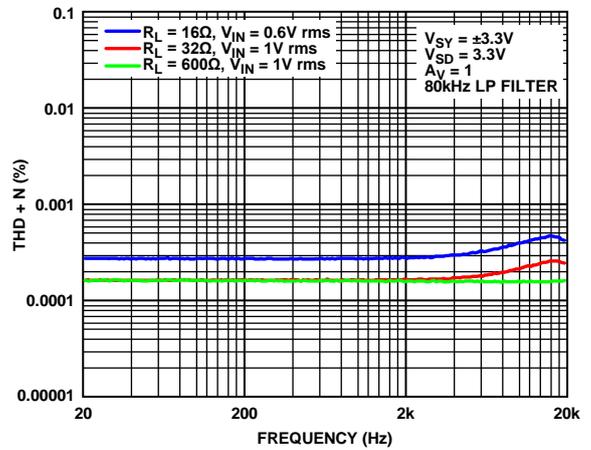


図 14. THD + N の周波数特性、 $V_{SY} = \pm 3.3 V$

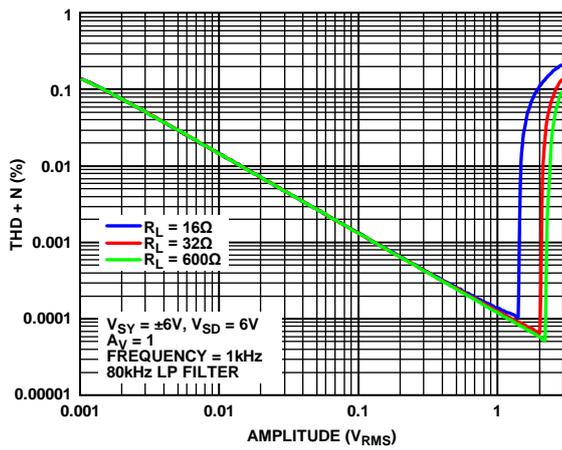


図 12. THD + N と振幅の関係、 $V_{SY} = \pm 6 V$

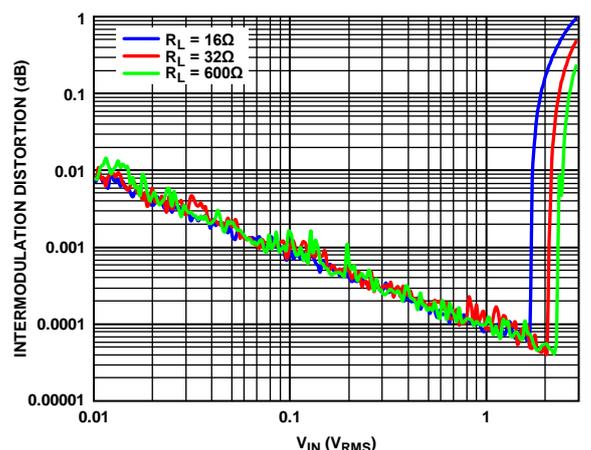


図 15. SMPTE と入力電圧 (V_{IN}) の関係、 $V_{SY} = \pm 5 V$

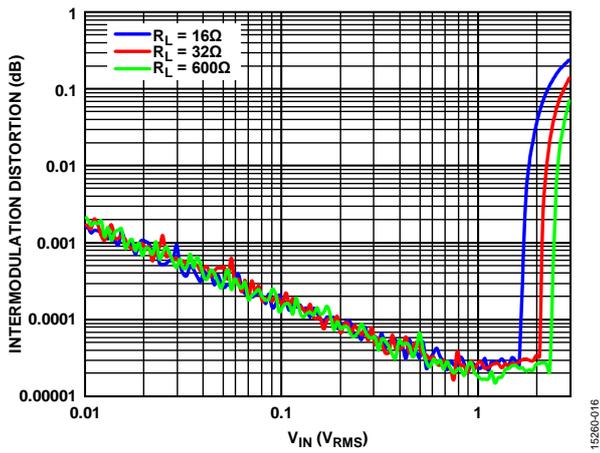


図 16. CCIF と入力電圧 (V_{IN}) の関係、 $V_{SY} = \pm 5V$

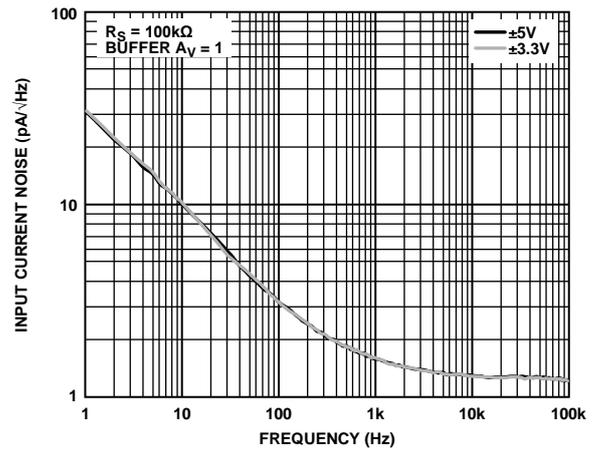


図 19. 入力電流ノイズの周波数特性

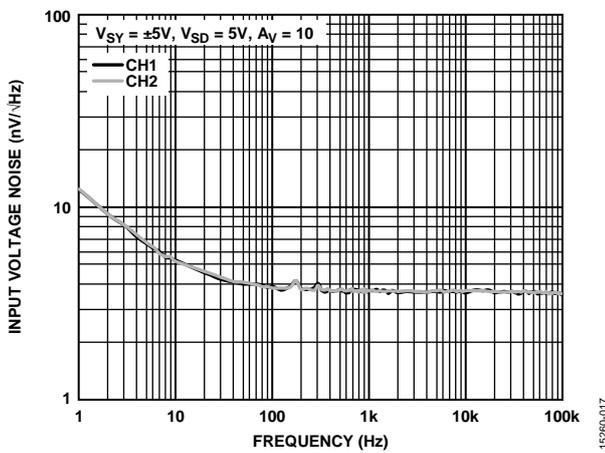


図 17. 入力電圧ノイズの周波数特性、 $V_{SY} = \pm 5V$

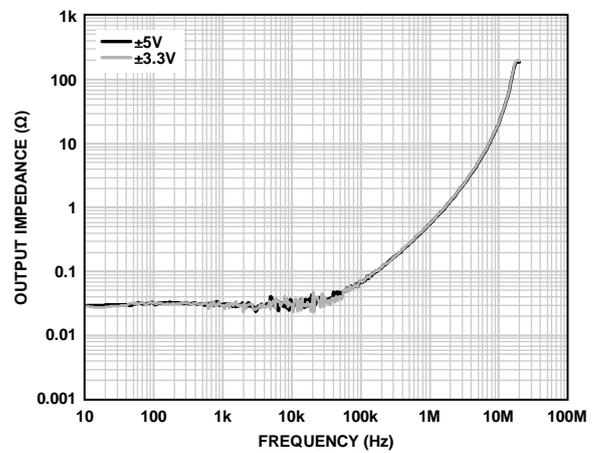


図 20. イネーブル時の出力インピーダンスの周波数特性

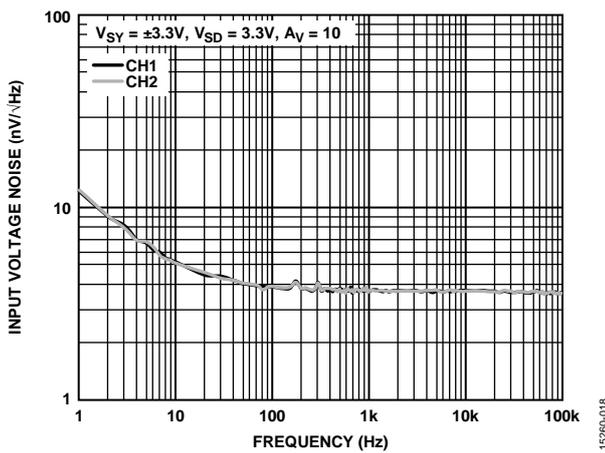


図 18. 入力電圧ノイズの周波数特性、 $V_{SY} = \pm 3.3V$

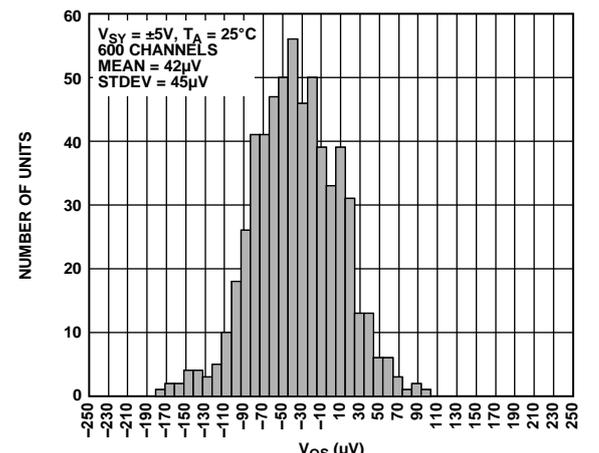


図 21. 入力オフセット電圧 (V_{OS}) の分布、 $V_{SY} = \pm 5V$

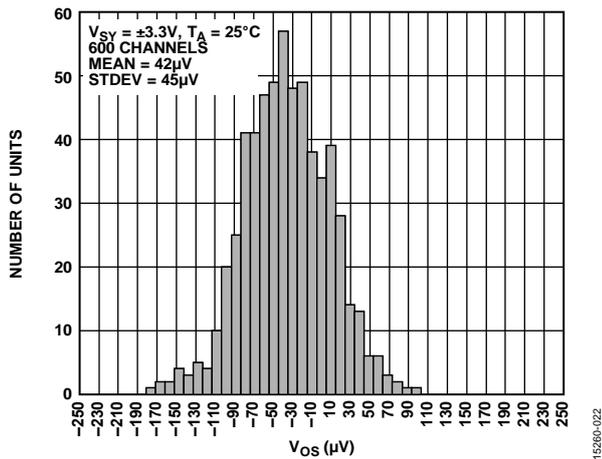


図 22. 入力オフセット電圧 (V_{OS}) の分布、 $V_{SY} = \pm 3.3\text{ V}$

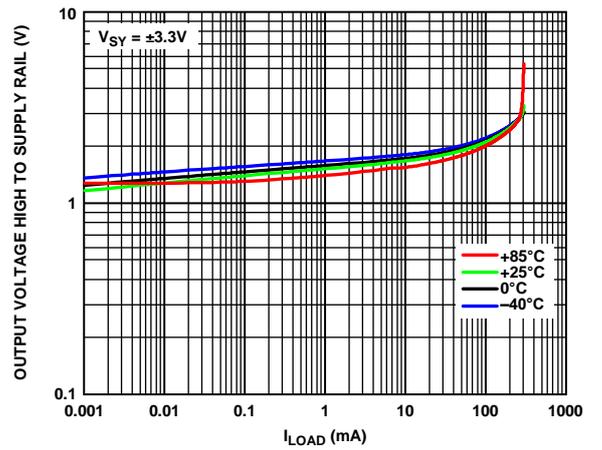


図 25. 電源に対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 3.3\text{ V}$

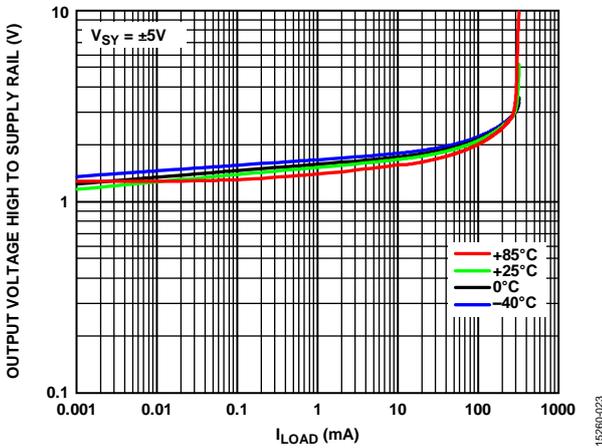


図 23. 電源に対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 5\text{ V}$

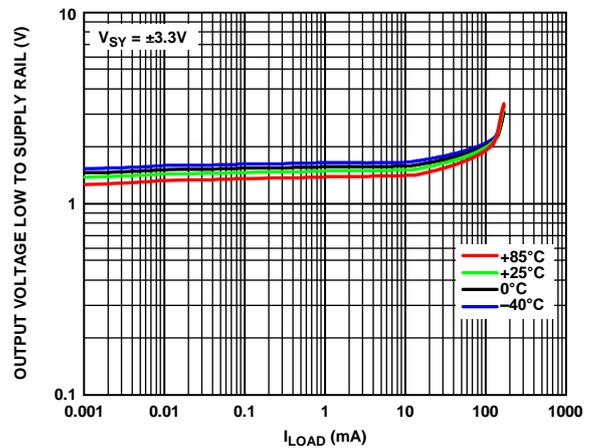


図 26. 電源に対する出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 3.3\text{ V}$

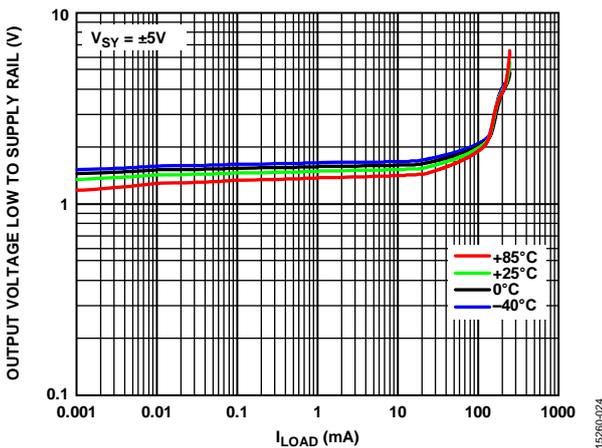


図 24. 電源に対する出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = \pm 5\text{ V}$

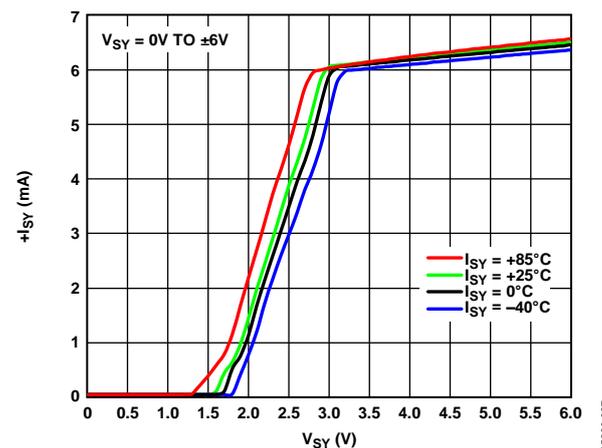


図 27. 正電源電流 ($+I_{SY}$) と電源電圧 (V_{SY}) の関係

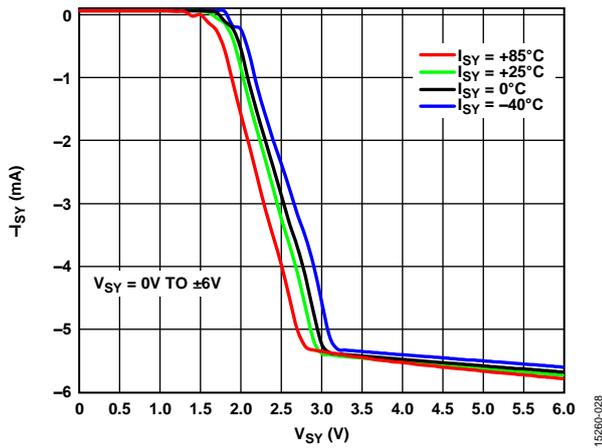


図 28. 電源電流 ($-I_{SY}$) と電源電圧 (V_{SY}) の関係

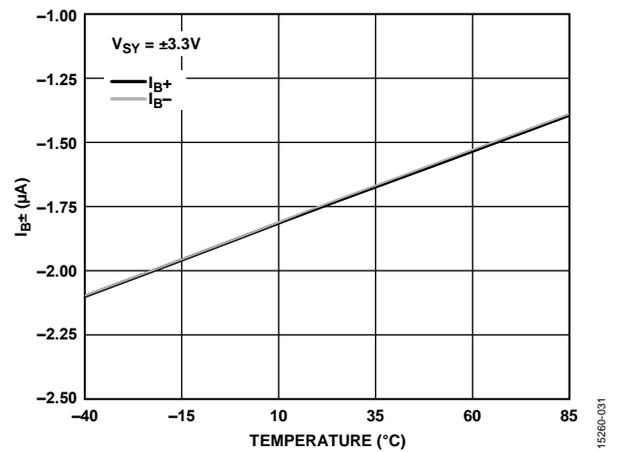


図 31. 入力バイアス電流 ($I_{B\pm}$) の温度特性、 $V_{SY} = \pm 3.3\text{V}$

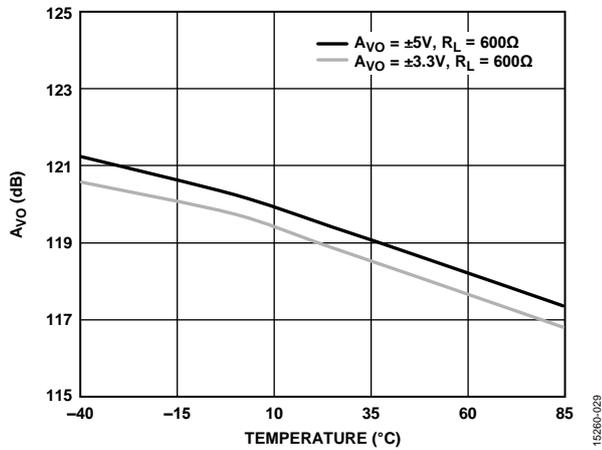


図 29. オープンループ・ゲイン (A_{VO}) の温度特性

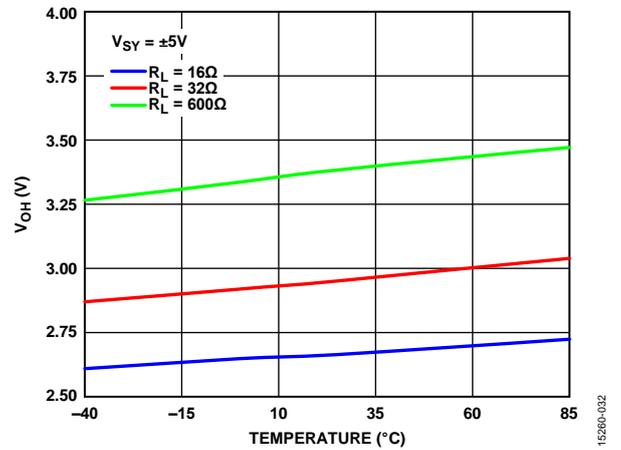


図 32. 出力電圧ハイ (V_{OH}) の温度特性、 $V_{SY} = \pm 5\text{V}$

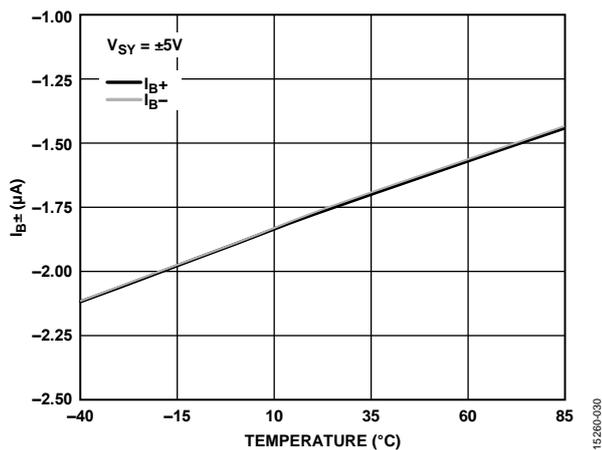


図 30. 入力バイアス電流 ($I_{B\pm}$) の温度特性、 $V_{SY} = \pm 5\text{V}$

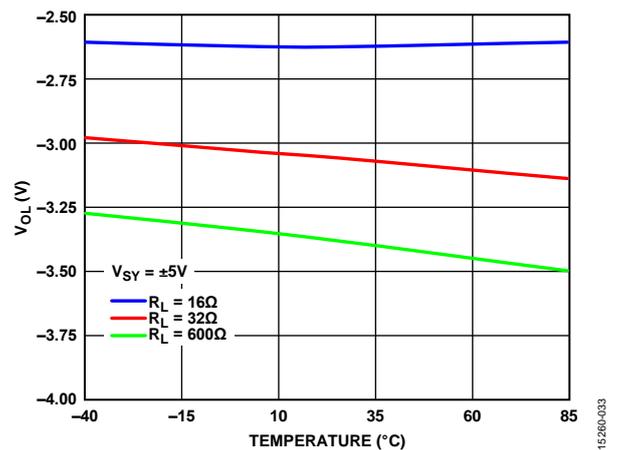


図 33. 出力電圧ロー (V_{OL}) の温度特性、 $V_{SY} = \pm 5\text{V}$

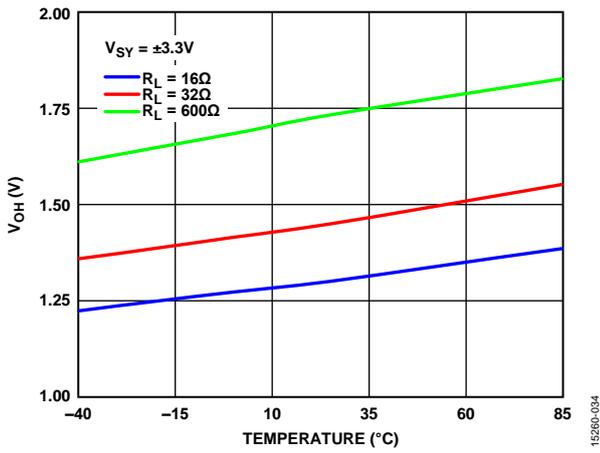


図 34. 出力電圧ハイ (V_{OH}) の温度特性、V_{SY} = ±3.3 V

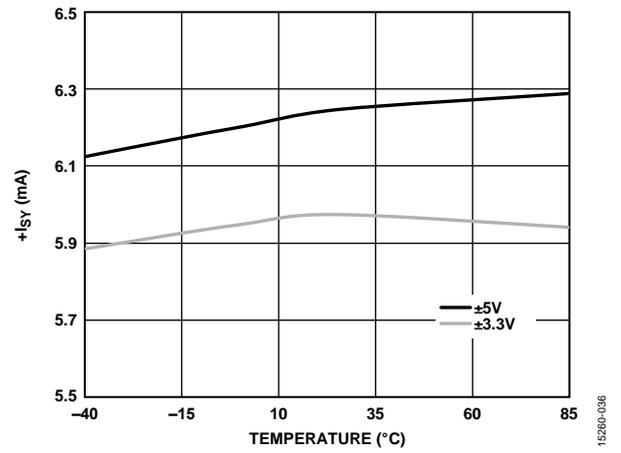


図 36. 電源電流 (+I_{SY}) の温度特性

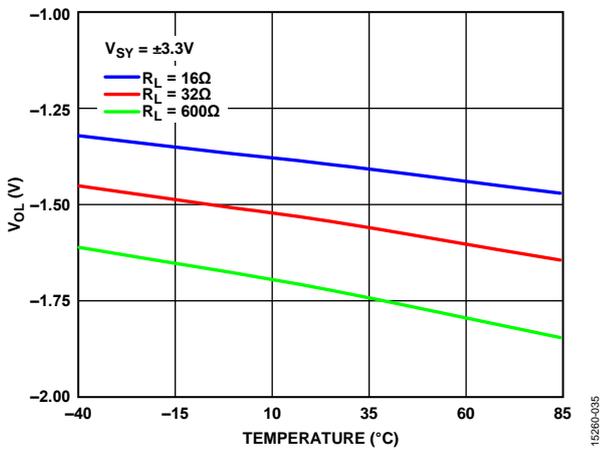


図 35. 出力電圧ロー (V_{OL}) の温度特性、V_{SY} = ±3.3 V

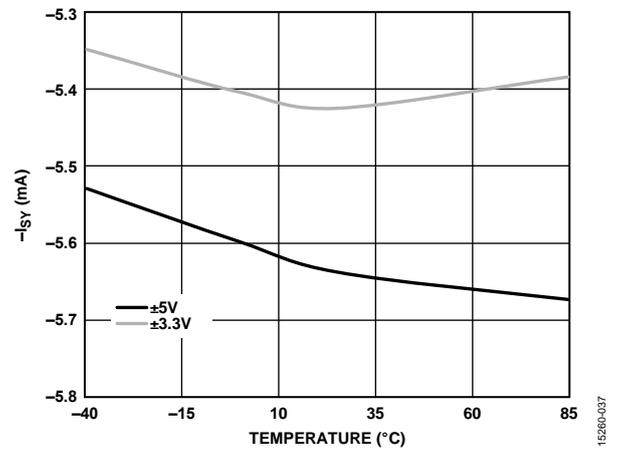


図 37. 電源電流 (-I_{SY}) の温度特性

テスト回路

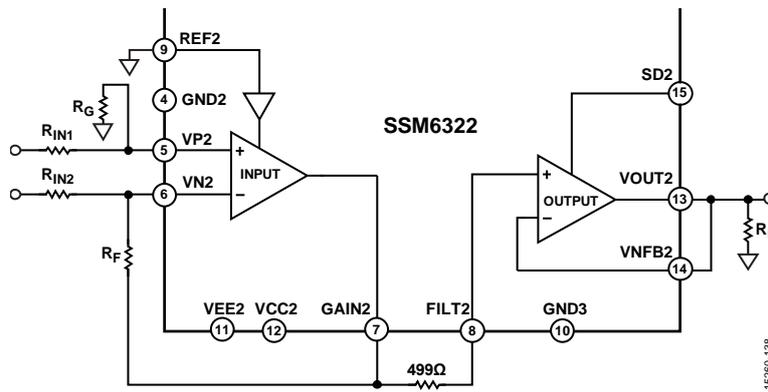


図 38. テスト回路

1528D-138

動作原理

SSM6322 はアナログ・デバイス独自の超高速相補型バイポーラ (XFCEB) プロセスを用いて設計されています。このデバイスは非常に低い $1/f$ ノイズ、低電力、および負荷駆動能力を特長としています。このデバイスに流入する差動電流またはコモンモード電流にかかわらず、このデバイスは従来の差動アンプ構成に、コモンモード入力レベルを一定に維持するコモンモード・ループを結合しています。この結合により、DAC は THD 仕様を満たす最適条件で動作します。また、このコモンモード・ループと差動アンプの構成では、信号パスに 2 個のアンプを追加する必要がないため、他のソリューションよりもはるかに低いノイズ特性と低消費電力を実現できます。

出力ドライバには、重負荷の駆動、マルチプレクス、ポップ・クリック抑制をはじめ、数多くの機能があります。どちらのシャットダウン状態においても、印加された外部信号が電源間にあるとき、出力はオーディオ帯域で高インピーダンスになります。不要な信号がドライバに印加される前に入力差動アンプを安定化させるために、入力差動アンプの電源をオンにするシャットダウン・ピンが追加されています。出力ドライバは、100 mA のピーク出力電流や 2 V rms の信号が流れている状態で、-120dB の THD を実現できます。

REF1 ピンと REF2 ピンの電圧

REF1 と REF2 は入力コモンモード信号を設定します。内部に 15 μ A の電流源があります。外付け抵抗を追加すると、その抵抗に 15 μ A の電流が流れてコモンモード電圧が発生します。例えば、51 k Ω の抵抗に 15 μ A の電流が流れると、コモンモード電圧は 0.765 V になります。

シャットダウン制御

SSM6322 は、デバイスのさまざまなセクションを制御するための 2 つのシャットダウン・ピンを備えています。SD と SD2 がロジック 1 のとき、デバイス全体がイネーブルされます。SD がロジック 0 で SD2 がロジック 1 のとき、入力段はイネーブルされ、出力バッファはディスエーブルされます。SD2 がロジック 0 のとき、デバイス全体がディスエーブルされ、自己消費電流はわずか 15 μ A になります (表 6 参照)。

表 6. ディスエーブル・モードとイネーブル・モード

Logic Level of the Shutdown Pins	Device Status
SD and SD2 = 1	デバイス全体がイネーブルされる。
SD = 0 and SD2 = 1	入力段がイネーブルされ、出力バッファはディスエーブルされる。
SD2 = 0	デバイス全体がディスエーブルされ、自己消費電流は 15 μ A になる。

アプリケーション情報

携帯電話のヘッドフォン・ドライバ

ヘッドフォン・ドライバ・アプリケーションでは、一部の高性能オーディオ DAC を電圧出力または電流出力として構成することができます。通常、電流出力の構成にすると、最高の THD + N 性能が得られます。

電流出力構成の場合は、R チャンネルと L チャンネルの差動電流信号を差動電圧信号に変換する電流/電圧変換 (I-V) 回路を実装し、その後段に差動アンプ回路を配置します (図 41 参照)。

電圧出力構成の場合、コンディショニング回路は差動アンプ回路とし、R チャンネルまたは L チャンネルの差動信号をシングルエンド信号に変換します (図 39 参照)。

最高の THD + N 性能を実現するには、通常、電流出力型のオーディオ DAC が使用されます (図 41 参照)。電流モードの信号コンディショニングを行うには、6 個のアンプと多数の受動部品が必要になり、PCB 面積と消費電力が増えます。面積の増加と電力の消費は、携帯電話アプリケーションで考慮すべき重要な要素です。

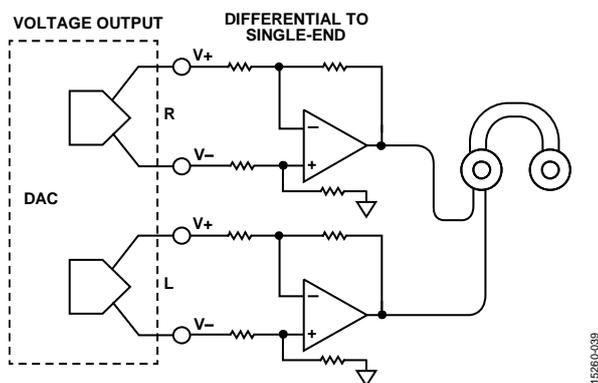


図 39. 電圧出力 DAC の構成

SSM6322 は、低歪みと低ノイズ性能を満たしながら、低インピーダンス負荷を直接駆動する必要がある携帯電話アプリケーション向けの高集積ソリューションです。また、このデバイスは現在のディスクリート・ソリューションに比べて PCB 面積を節約し、消費電力を低減します。

SSM6322 には、高電流ドライブ能力をサポートする追加のバッファが内蔵されています。このバッファはオーディオ帯域内で真の高インピーダンス・モードに構成することもできるので、携帯型アプリケーションで同一出力ポートに他の信号をマルチプレクスする場合に有効です。

コモンモード制御回路

DAC の差動出力段は 2 つの電圧源としてモデル化することができます。両出力は振幅が同じで位相が 180° 異なります。Rs1 と Rs2 は電圧源の信号源抵抗です (図 40 参照)。

代表的な電流出力 DAC のシグナル・チェーン (図 41 参照) では、4 個のアンプが I-V 回路として構成されています。非反転入力は DAC の出力コモンモード・レベルである DC 電圧に接続され、I+/I- 端子の電圧を DC 信号にします。この信号が流れると、DAC 内部の 2 個の信号源抵抗 (Rs1 と Rs2) での電圧降下が同じになり、DAC が最良の歪み性能を発揮します。

SSM6322 では入力差動アンプが I-V 変換を行います。

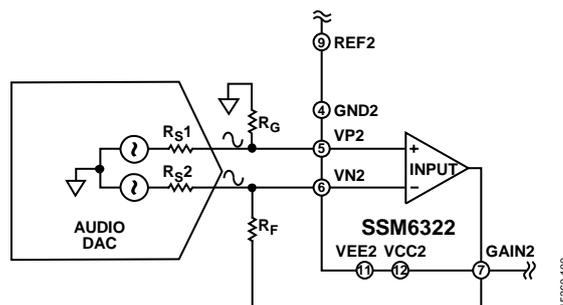


図 40. コモンモード制御のないコモンモード回路

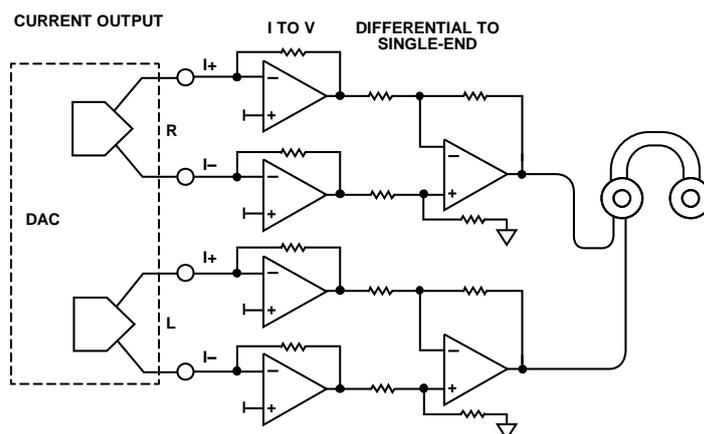


図 41. 電流出力 DAC の構成

コモンモード制御がないと仮定した場合（図 40 参照）、入力端子（VP2/VN2）の信号は振幅と位相が同じ AC 信号になります。さらに、DAC の内部電圧源は差動型なので、 R_{S1} と R_{S2} での電圧降下が異なります。この差により DAC の性能が低下します。同時に、2つの入力端子（VP2 と VN2）の AC コモンモード信号によって、AC コモンモード除去比（CMRR）性能が制限されるため、アンプの出力に誤差信号が追加されます。

コモンモード制御回路（図 42 の破線で示す）が含まれていると、入力端子（VP2 と VN2）の信号は REF2 ピンの電圧によって設定された DC 信号になります（通常、この電圧は DAC の DC コモンモード電圧と同じです）。DAC の R_{S1} と R_{S2} での電圧降下が等しくなります。さらに、アンプの DC CMRR 性能が高いため、CMRR 誤差は無視できます。この構成で DAC とアンプの両方が最高の性能を発揮します。SSM6322 は図 42 に示す回路を実装しています。

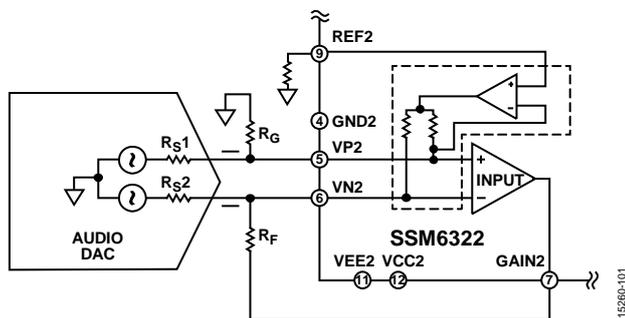


図 42. コモンモード制御のあるコモンモード回路

容量性負荷の駆動

容量性負荷を駆動する出力段の回路図を図 43 に示します。 $\pm 5\text{ V}$ と $\pm 3.3\text{ V}$ の電源電圧で、ゲイン 1 の場合の周波数応答をそれぞれ図 44 と図 45 に示します。ピーキングは、容量性負荷が小さくなると高くなります。容量性負荷（ C_L ）が 2.2 nF の場合、周波数応答は平坦でピーキングはありません。

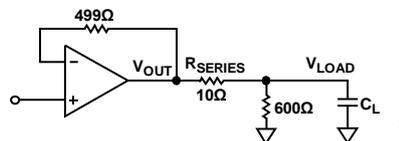


図 43. 容量性負荷を駆動する回路図

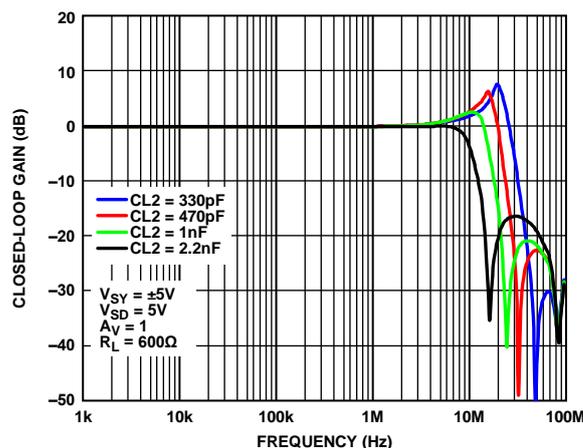


図 44. 容量性負荷を駆動したときの周波数応答、 $V_{SY} = \pm 5\text{ V}$

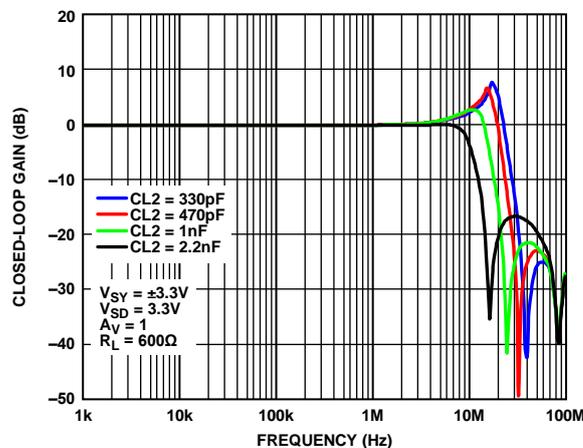


図 45. 容量性負荷を駆動したときの周波数応答、 $V_{SY} = \pm 3.3\text{ V}$

ヘッドフォン・ドライバ・アプリケーションにおける SSM6322

電流出力 DAC を用いた SSM6322 の回路

差動電流出力オーディオ DAC の場合、2 個のゲイン抵抗によって電流が電圧に変換されます（図 46 を参照）。抵抗値は、DAC 出力のフルスケール電流と入力段の出力範囲によって決まります（出力範囲は $\pm 5\text{ V}$ 電源で $\pm 3\text{ V}$ ）。DAC のシングルエンド出力電流が $\pm 1.5\text{ mA}$ で、差動電流が $\pm 3\text{ mA}$ と仮定した場合、 $1\text{ k}\Omega$ のゲイン抵抗を 2 個使用したときの入力段の出力は $\pm 3\text{ V}$ になります。帰還コンデンサはゲイン抵抗と並列接続されて、単極ローパス・フィルタを構成します。SSM6322 は最大 $1\text{ k}\Omega$ と 2.2 nF の抵抗/コンデンサの組合せに対応します。

通常、オーディオ DAC は DC オフセット電流を生成し、この電流は SSM6322 の入力で入力コモンモード電圧に変換されます。SSM6322 の REF1 ピンと REF2 ピンを使用して、各チャンネルの入力コモンモード電圧を設定します。REF1 ピンと REF2 ピンでの電圧は、内部の $15\text{ }\mu\text{A}$ 電流源と外付け抵抗によって得られます。 0.765 V の電圧を得るには、 $51\text{ k}\Omega$ の抵抗が推奨されます。 $1\text{ }\mu\text{F}$ のコンデンサをこの抵抗に並列に接続すると、ノイズを除去することができます。

図 46 に示すように、入力段と出力段の間に $499\text{ }\Omega$ の抵抗と 1 nF のコンデンサを追加すると、2 番目の単極ローパス・フィルタを構成することができます。

良好なゲイン・マッチングと優れた歪み性能を得るには、すべての $1\text{ k}\Omega$ と $499\text{ }\Omega$ の抵抗の許容誤差が 0.1% で、温度係数が 25

$\text{ppm}/^\circ\text{C}$ でなければなりません。 1 nF のコンデンサは NP0 コンデンサでなければなりません。REF1 と REF2 での $51\text{ k}\Omega$ の抵抗と $1\text{ }\mu\text{F}$ のコンデンサについては、特に要件はありません。

電圧出力 DAC を用いた SSM6322 の回路

差動電圧を出力するオーディオ DAC では、4 個のゲイン抵抗によって差動電圧をシングルエンド電圧に変換します（図 47 を参照）。ゲイン抵抗と並列に帰還コンデンサを接続して、単極ローパス・フィルタを構成する必要があります。図 47 に示すように、 $1\text{ k}\Omega$ の抵抗 4 個と 1 nF のコンデンサ 2 個を使用して、ゲインが 1 でカットオフ周波数が 159 kHz の 1 次ローパス・フィルタを実現します。

REF1 と REF2 については、DAC データシートのコモンモード電圧を参照してください。そして、REF1 と REF2 における抵抗値を計算します。図 47 に示すように、 0.765 V の電圧を得るには $51\text{ k}\Omega$ の抵抗が推奨されます。

図 47 に示すように、入力段と出力段の間に $499\text{ }\Omega$ の抵抗と 1 nF のコンデンサを追加すると、2 番目の単極ローパス・フィルタを構成することができます。

良好なゲイン・マッチングと優れた歪み性能を得るには、すべての $1\text{ k}\Omega$ と $499\text{ }\Omega$ の抵抗の許容誤差が 0.1% で、温度係数が 25

$\text{ppm}/^\circ\text{C}$ でなければなりません。 1 nF のコンデンサは NP0 コンデンサでなければなりません。REF1 と REF2 での $51\text{ k}\Omega$ の抵抗と $1\text{ }\mu\text{F}$ のコンデンサについては、特に要件はありません。

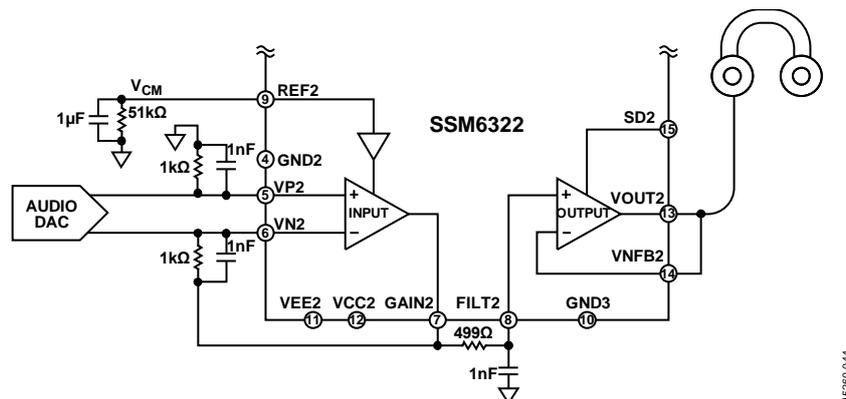


図 46. 電流出力 DAC を用いた SSM6322 の回路

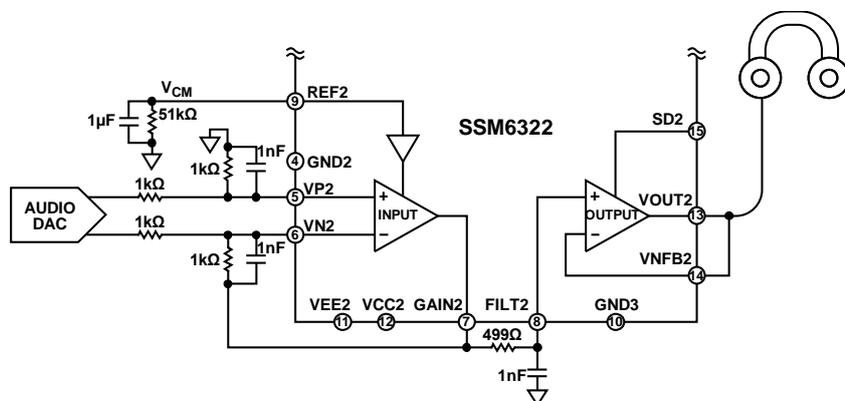


図 47. 電圧出力 DAC を用いた SSM6322 の回路

デザイン・ガイドライン

SSM6322 の性能は、外部からわずかな干渉を受けても回路が破壊することがあるほど敏感です。このデバイスを使用する際は、以下の点を考慮してください。

- 入力段のセンシング・グラウンドは外部からの干渉に敏感です。PCB のレイアウトでは、センシング・グラウンドは出力インターフェースのグラウンドを基準とすることを推奨します（ハイファイ・ヘッドフォン・ドライバ・アプリケーションでは、出力インターフェースはジャックです）。図 48 に示すように、破線で囲まれたグラウンドは入力段のセンシング・グラウンドなので、ジャックのグラウンドに直接配線する必要があります。図 48 は 1 つのチャンネルのみを示しています。他のチャンネルでは、センシング・グラウンドをジャック・グラウンドに別々に配線します。
- SSM6322 の回路は、代表的な電流出力 DAC のシグナル・チェーンとは異なります（図 41 参照）。差動 I-V 変換を実行するオペアンプは 1 個しかありません。非反転の接地抵抗両端の電力は固定されますが、帰還抵抗両端の電力は出力信号によって変化します。このばらつきによって、2 個の抵抗間にミスマッチが生じ、熱を十分に放熱できない場合は歪みが生じます。この状況を避けるために、低ドリフト（25 ppm/°C）の金属皮膜抵抗または薄膜抵抗を推奨します（図 46 参照）。
- 最終出力とヘッドフォンの間に抵抗を挿入する場合は、重い負荷を駆動する際の歪みを避けるために、この抵抗は低ドリフト（25 ppm/°C）の金属皮膜抵抗または薄膜抵抗でなければなりません。
- 電源には低ドロップアウト・レギュレータ（LDO）を使用します。デカップリング・コンデンサ（0.1 μF と 4.7 μF ）をアンプの電源ピンの近くに配置します。基板上にスイッチング電源がある場合は、スイッチング電源回路とリターン・パスを SSM6322 の回路から離してください。
- 放熱性を高めるには、LFCSP パッケージの露出パッドを基板パッドにハンダ付けし、ビアを使用して露出パッドを基板の裏面にある大きくて頑丈な銅プレーンに接続します。銅プレーンは負の電源プレーンまたはグラウンド・プレーンに接続できます。
- 携帯電話のアプリケーションではシールドが重要です。THD + N の特性が -100dB 以下にまで達すると、特に音楽を聴きながらインターネットを同時にブラウズするとき、わずかな干渉でも THD + N の性能が低下してしまうことがあります。この性能低下を防ぐのに金属シールドが役立ちます。
- 最大入力フィルタ・コンデンサの値は 2.2 nF です。

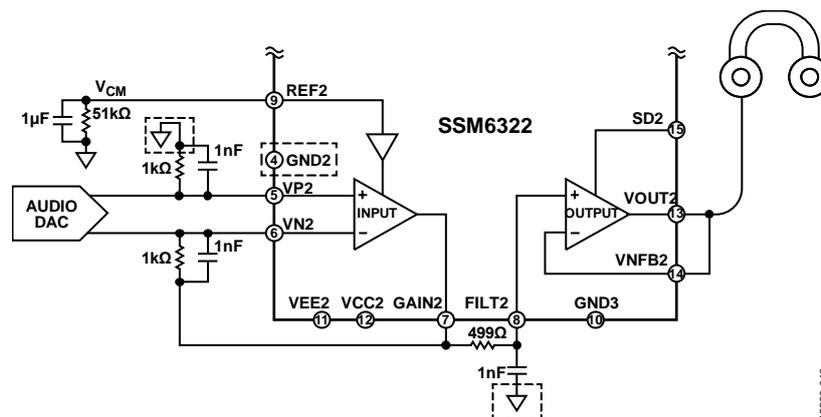
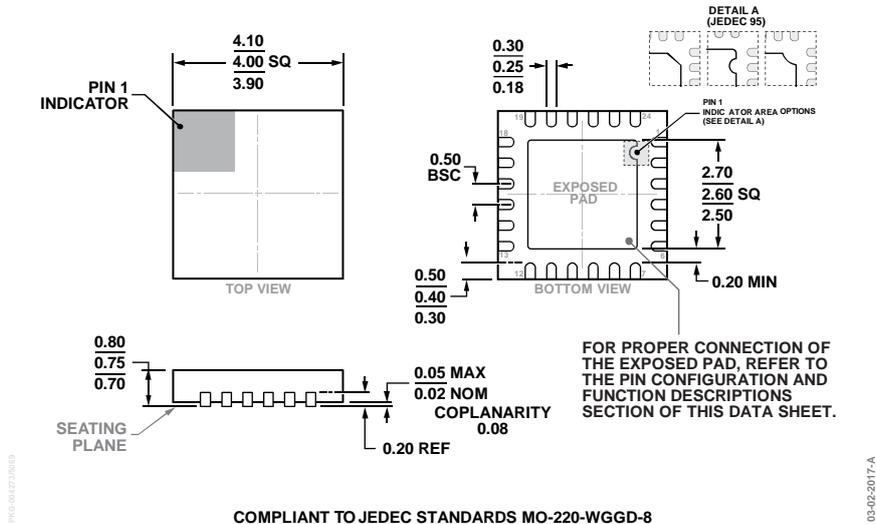


図 48. 入力段のセンシング・グラウンド

15280-046

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8

図 49. 24 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディ、0.75 mm パッケージ高
 (CP-24-15)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Package	Package Description	Package Option	Branding
SSM6322ACPZ-R2	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15	6322A
SSM6322ACPZ-R7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15	6322A
SSM6322ACPZ-RL	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15	6322A
SSM6322CP-EBZ		Evaluation Board		

¹ Z = RoHS 準拠製品。