

USB-PD/PPS アプリケーション向けの 2.5V～22V 入力、7.8A スイッチング電流 高効率昇降圧コンバータ

MAX77859

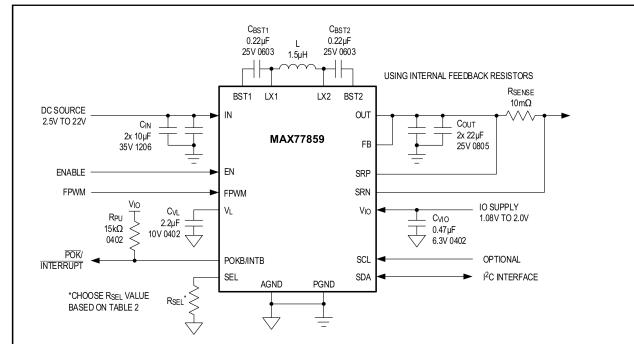
製品のハイライト

- 広い入力電圧範囲：2.5V～22V
 - 設定可能な出力電圧
 - 内部帰還抵抗を使用する場合は 3.2V～16V
 - 外部帰還抵抗を使用する場合は 3.0V～20V (表 1 を参照)
 - USB Type-C®給電 (PD) / プログラマブル電源 (PPS)
 - 出力電圧ステップ・サイズ：20mV
 - 出力電流制限ステップ・サイズ：50mA
 - 最大出力電流
 - 降圧モード：最大 6A
 - 升圧モード：最大 4A ($V_{IN} = 3.7V$ 、 $V_{OUT} = 5V$)
 - スイッチング電流：7.8A (代表値)
 - 自動スキップ・モードと強制 PWM モード
 - R_{SEL} 設定
 - I²C インターフェースのターゲット・アドレス
 - スイッチング電流制限の閾値
 - 内部／外部帰還抵抗
 - I²C プログラミング
 - 出力電圧 (DVS)
 - 出力電圧の変化のスルー・レート
 - 出力電流制限の閾値
 - スイッチング電流制限の閾値
 - スイッチング周波数
 - 強制 PWM モード (FPWM)
 - ループ補償
 - パワーOK (POK) およびフォルト・ステータス／割込み
 - 出力のアクティブ放電
 - オープン・ドレインのステータス／割込み端子
 - 3.01mm × 2.78mm の 42 ウェーハ・レベル・パッケージ (WLP) または 4.0mm × 4.0mm の 19 FC2QFN で提供

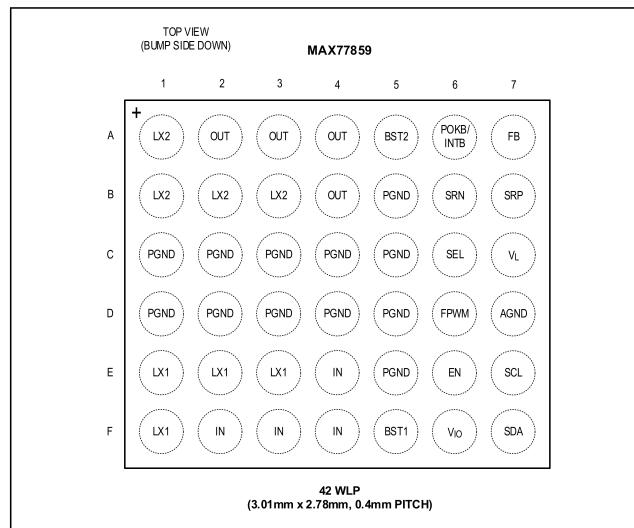
主なアプリケーション

- USB PD 3.0 (PPS) 動的再構成可能プロセッサ (DRP) アプリケーション
従来のウルトラブックのユニバーサル・シリアル・バス (USB) Type-C®ポートの最大出力電力は 5V および 3A での 15W です。MAX77859 では最大 30W の USB PD 出力が可能で、PPS 準拠なので、USB Type-C PD 準拠のスマートフォンや周辺機器の充電速度を倍速にできます。実装すると、ウルトラブックから周辺機器への 15 分間の急速再充電で数時間の動作が可能なので、日中を通じて使用に耐えます。

簡略アプリケーション回路図



端子說明



- スペースに制約のあるアプリケーション
USB-C® PD DRP の設計は複雑で、特にポートの近辺では厳しいスペースの制約があります。USB PD の実現には昇降圧トポジの設計が必要ですが、ソリューション・サイズが決定的なボトルネックになります。MAX77859 は完全統合型の昇降圧コンバータで、同等の出力電力容量のディスクリート構成昇降圧ソリューションと比較すると 80%以上ソリューション・サイズを縮小できます。

USB Type-C と USB-C は USB Implementers Forum の登録商標です。

オーダー情報はデータシート末尾に記載されています。

目次

製品のハイライト	1
主なアプリケーション	1
簡略アプリケーション回路図	1
端子説明	1
絶対最大定格	6
推奨動作条件	6
パッケージ情報	7
42 WLP	7
電気的特性	8
電気的特性 – I ² C シリアル・インターフェース	12
標準動作特性	15
ピン配置	23
42 WLP	23
19 FC2QFN	24
端子説明	25
機能図	26
詳細	27
概要	27
スタートアップ	28
ソフトスタート	28
シャットダウン	29
即時ラッチオフ条件	29
出力のアクティブ放電	29
昇降圧レギュレータ	29
昇降圧制御方式	29
スキップ・モードと強制 PWM (FPWM) モード	30
出力電圧の設定	31
内部帰還抵抗の設定	31
外部帰還抵抗の設定	31
ダイナミック電圧スケーリング (DVS)	32
SEL 端子の設定	33
内部補償オプション	33
パワーOK (POK) およびフォルト・ステータス/割込み	34
保護機能	35
低電圧ロックアウト (UVLO)	35
スイッチング電流の過電流保護 (SW OCP)	35
出力電流の過電流保護 (OUT OCP、MAX77859A のみ)	36

サーマル・シャットダウン (THS)	37
詳細 – I ² C シリアル・インターフェース	38
概要	38
システム設定	38
ビット転送	38
スタート・コンディションとストップ・コンディション	38
アクノレッジ・ビット	39
ターゲット・アドレス	40
クロック・ストレッ칭	40
一般呼び出しアドレス	40
通信速度	40
通信プロトコル	41
單一レジスタへの書き込み	41
連続したレジスタへの書き込み	42
單一レジスタからの読み出し	43
連続したレジスタからの読み出し	44
ハイスピード・モードでの通信	45
ハイスピード・モードの延長	46
レジスタ・マップ	47
アプリケーション情報	53
低い出力電圧についての考慮事項	53
スイッチング周波数の選択での考慮事項	53
ソフトウェア (I ² C) 制御	53
I ² C レス動作とスタンダードアロン動作	53
インダクタの選択	54
入力コンデンサの選択	55
出力コンデンサの選択	55
その他の必要部品の選択	55
PCB レイアウト時のガイドライン	56
標準アプリケーション回路	57
オーダー情報	57

図一覧

図 1. 起動時の波形	28
図 2. 昇降圧 H ブリッジ方式	30
図 3. スキップ・モードのスレッショルドと DVS 中の FPWM モード動作	31
図 4. MAX77859 への外部帰還抵抗の接続	32
図 5. スイッチング電流の過電流と出力短絡における動作	36
図 6. MAX77859A への出力電流検出抵抗（およびローパス・フィルタ）の接続	37
図 7. 通信コントローラの機能論理図	38
図 8. I ² C ビット転送	38
図 9. スタート・コンディションとストップ・コンディション	39
図 10. アクノレッジ・ビット	39
図 11. ターゲット・アドレス・バイトの例	40
図 12. 単一レジスタへの書き込み	41
図 13. 連続したレジスタへの書き込み	43
図 14. 単一レジスタからの読み出し	44
図 15. 連続したレジスタからの読み出し	45
図 16. ハイスピード・モードでの通信	45
図 17. I ² C 動作モードの状態図	46
図 18. スタンドアロン動作時の接続	54
図 19. 42 WLP パッケージの場合の 5.48mm × 5.28mm のインダクタを使用した PCB レイアウトの推奨例	56

表一覧

表 1. 帰還抵抗の推奨値	32
表 2. MAX77859 の R_{SEL} 選択表	33
表 3. POKB/INTB 端子の真理値表 (POKBINTB = 0b0)	34
表 4. POKB/INTB 端子の真理値表 (POKBINTB = 0b1)	34
表 5. MAX77859 のスイッチング電流制限値のオプション	35
表 6. MAX77859 の I ² C ターゲット・アドレス	40
表 7. 推奨インダクタ	54
表 8. 他の部品選択の要求事項	55

絶対最大定格

IN、LX1、LX2~PGND	-0.3V~+24.0V
OUT、FB、SRP、SRN~PGND	-0.3V~+22.0V
BST1、BST2~AGND	-0.3V~+26.0V
BST1~LX1、BST2~LX2	-0.3V~+2.2V
POKB/INTB、FPWM~AGND、PGND	-0.3V~V _{IO} +0.3V
SCL、SDA~AGND、PGND	-0.3V~V _{IO} +0.3V
V _L 、V _{IO} 、SEL、EN~AGND、PGND	-0.3V~+2.0V

PGND~AGND	-0.3V~+0.3V
連続的消費電力	
WLP パッケージ (T _A = +70°C、+70°C以上では 23.2mW/°C で ディレーティング (Note 1))	1856mW
最大ジヤンクション温度	+150°C
保存温度範囲	-65°C~+150°C
はんだ処理温度 (リフロー)	+260°C

Note 1 : パッケージの熱測定は、4層基板を使用して JEDEC 仕様 JESD51-7 に記載された方法で取得しています。パッケージの熱に関する考慮事項の詳細については、www.maximintegrated.com/thermal-tutorial/を参照してください。

上記の**絶対最大定格**を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

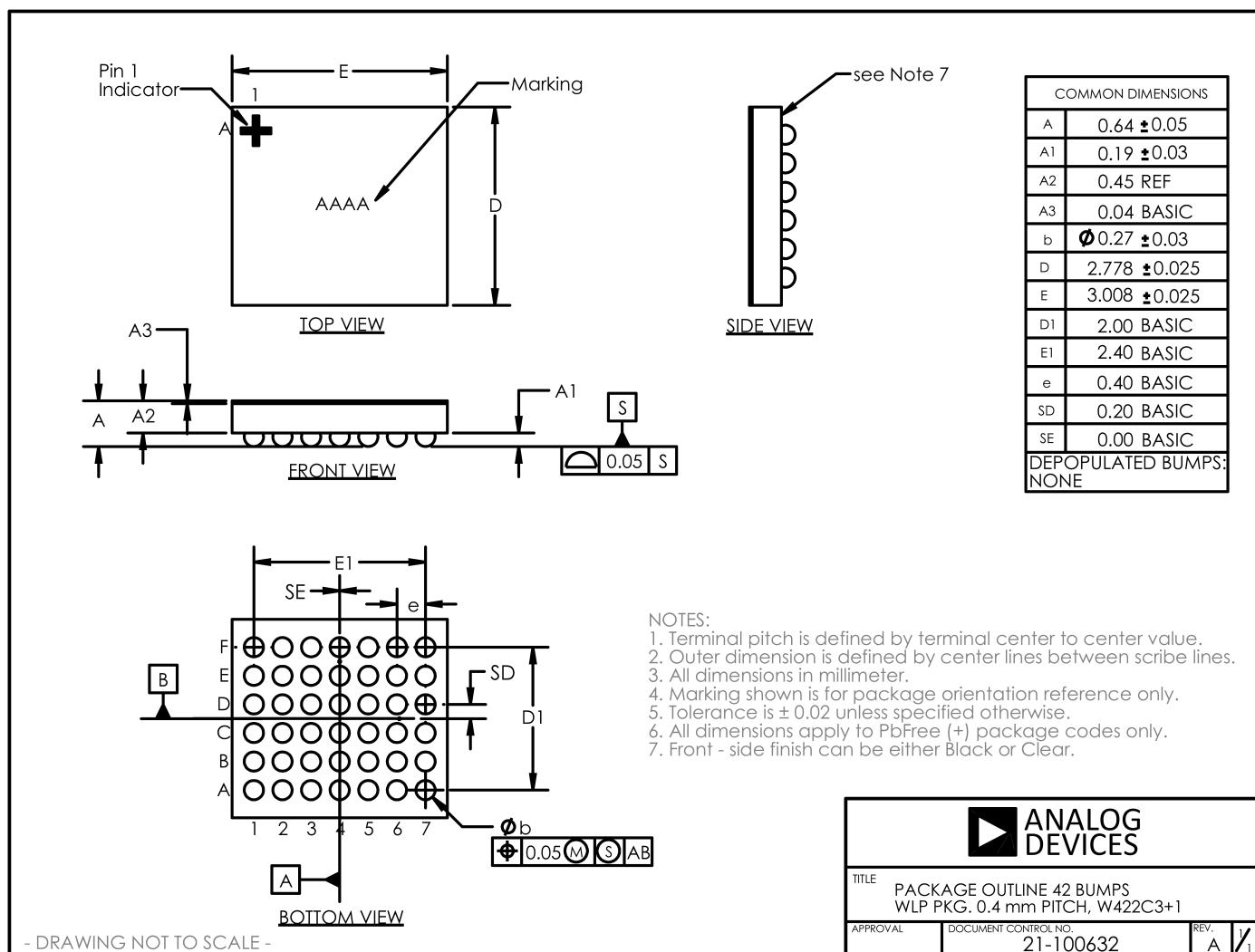
推奨動作条件

PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE
Input Voltage Range	V _{IN}		2.5V to 22V
Output Voltage Range	V _{OUT}	Internal Feedback	3.2V to 16V
		External Feedback	3V to 20V
Output Current Range	I _{OUT}	For continuous operation at 6A, the junction temperature (T _J) is limited to +105°C. If the junction temperature is higher than 105°C, the expected lifetime at 6A continuous operation is derated.	0A to 6A
Junction Temperature Range	T _J		-40°C to +125°C
Ambient Temperature Range	T _A		-40°C to +85°C

パッケージ情報

42 WLP

Package Code	W422C3+1
Outline Number	21-100632
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient (θ_{JA})	43.1°C/W



最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」はRoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面はRoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maximintegrated.com/thermal-tutorial/を参照してください。

電気的特性

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLY						
Input Voltage Range	V_{IN}		2.5	22		V
Input Undervoltage Lockout (UVLO)	V_{UVLO_R}	V_{IN} rising	2.3	2.4	2.5	V
Input UVLO Hysteresis	V_{UVLO_HYS}	$V_{UVLO_R} - V_{UVLO_F}$	300			mV
Shutdown Supply Current	I_{SHDN}	$EN = LOW, T_J = -40^\circ C \text{ to } +85^\circ C$	2	5.5		μA
Quiescent Supply Current	I_Q	EN = HIGH, R_{SEL} = short to GND, no switching	MAX77859B, FPWM = 0 (SKIP mode), $T_J = -40^\circ C$ to $+85^\circ C$	60	100	μA
			MAX77859A, FPWM = 0 (SKIP mode)	300	500	
			FPWM = 1 (FPWM mode)	5		
OUTPUT VOLTAGE						
Output Voltage Regulation Range	V_{OUT}	Using internal feedback resistors	3.2	16		V
		Using external feedback resistors	3.0	20		
Output Voltage Accuracy	V_{OUT_ACC}	$V_{IN} = 2.5V \text{ to } 22V$, $V_{OUT} = 3.2V \text{ to } 16V$, $I_{OUT} = 0mA$, using internal feedback resistors	FPWM = 0 (SKIP mode)	-1	+4.5	%
			FPWM = 1 (FPWM mode)	-2	+1.5	
FB Accuracy	V_{FB_ACC}	$V_{IN} = 2.5V \text{ to } 22V$, $VREF[9:0] = 0x0A0 \text{ to } 0x320$		-2	+1.5	%
V_L INTERNAL SUPPLY						
V_L Regulator Voltage	V_{VL}		1.65	1.8	1.89	V
V_{IO} SUPPLY						
V_{IO} Voltage Range	V_{VIO}		1.08	2.0		V
V_{IO} Valid Threshold	$V_{VIO_VALID_R}$	V_{IO} Rising	0.965	1.02	1.08	V
	$V_{VIO_VALID_F}$	V_{IO} Falling	0.85	0.9	0.955	
V_{IO} Bias Current	I_{VIO}	No I ² C interface (SDA and SCL unconnected)		2.0		μA
		$f_{SCL} = f_{SDA} = 1MHz$		50		
ENABLE						
EN Input LOW Voltage	V_{EN_IL}			0.4		V
EN Input HIGH Voltage	V_{EN_IH}		0.9			V
EN Internal Pulldown Current	I_{EN_PD}	$EN = HIGH$		0.1		μA

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER-OK							
POK Output LOW Voltage	V_{POK_OL}	$I_{POK} = 1mA$			0.3	V	
POK Rising Threshold	V_{POK_R}	V_{OUT} rising, expressed as percentage of target V_{OUT} voltage	90	93		%	
POK Falling Threshold	V_{POK_F}	V_{OUT} falling, expressed as percentage of target V_{OUT} voltage		85		%	
THERMAL PROTECTION							
Thermal Shutdown Threshold	T_{SHDN_R}	T_J rising (Note 2)		150		°C	
Thermal Shutdown Hysteresis	T_{SHDN_HYS}	$T_{SHDN_R} - T_{SHDN_F}$ (Note 2)		15		°C	
BUCK-BOOST REGULATOR							
Switching Frequency	f_{SW}	$I_{OUT} = 0mA$, $FPWM = 1$ (FPWM mode)	FREQ[1:0] = 00	1.10	1.20	1.30	MHz
			FREQ[1:0] = 01 (default)	1.38	1.50	1.62	
			FREQ[1:0] = 10	1.66	1.80	1.94	
			FREQ[1:0] = 11	1.93	2.10	2.27	
Startup Delay Time	t_{SUDLY}	(Note 2)		100		μs	
Soft-Start Time	t_{SS}	Measured from OUT start ramping to stop ramping during startup, $C_{OUT} = 44\mu F$, $I_{OUT} = 0mA$ (Note 2)		1.7		ms	
Soft-start Switching Current Limit	I_{LIM_SS}	$I_{LIM}[2:0] = 100, 101, 110, \text{ or } 111$ ($I_{LIM} \leq 3.8A$)		I_{LIM}		A	
Soft-start Switching Current Limit	I_{LIM_SS}	$I_{LIM}[2:0] = 000, 001, 010, \text{ or } 011$ ($I_{LIM} > 3.8A$)		3.8		A	
High Side Switching Current Limit	I_{LIM}	$I_{LIM}[2:0] = 000$ (Note 2)	6.63	7.80	8.97	A	
		$I_{LIM}[2:0] = 001$ (I^2C only, not available with R_{SEL}) (Note 2)		6.80			
		$I_{LIM}[2:0] = 010$ (Note 2)	4.93	5.80	6.67		
		$I_{LIM}[2:0] = 011$ (I^2C only, not available with R_{SEL}) (Note 2)		4.80			
		$I_{LIM}[2:0] = 100$ (Note 2)	3.23	3.80	4.37		
		$I_{LIM}[2:0] = 101$ (I^2C only, not available with R_{SEL}) (Note 2)		2.80			
		$I_{LIM}[2:0] = 110$ (Note 2)	1.70	2.00	2.30		
Valley Current Limit	I_{LIM_VALLEY}	$I_{LIM}[2:0] = 000 \text{ or } 001$ (Note 2)		3.8		A	
		$I_{LIM}[2:0] = 010 \text{ or } 011$ (Note 2)	2.73				

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		I _{LIM[2:0]} = 100 or 101 (Note 2)	1.5		0.35	
		I _{LIM[2:0]} = 110 or 111 (Note 2)	1.5			
Skip Mode Switching Current Limit	I _{LIM_SKIP}	FPWM = 0 (SKIP mode) (Note 2)		1.2		A
Output Current Limit	I _{OUT_LIM}	R _{SENSE} = 10mΩ	I _{OUTLIM[6:0]} = 0x13, code clamped below this level	1	3	A
			I _{OUTLIM[6:0]} = 0x3B, default value	3		
			I _{OUTLIM[6:0]} = 0x63, code clamped above this level	5		
Output Current Limit Range	I _{OUT_LIM}	R _{SENSE} = 10mΩ	I _{OUTLIM[6:0]} = 0x13 to 0x63	1	5	A
Current Loop Regulation Voltage	V _{SR}	Measured across SRP and SRN, R _{SENSE} = 10mΩ, I _{OUTLIM[6:0]} = 0x3B (3A)		28	32	mV
Line Regulation	ΔV/V _{IN}	V _{IN} = 2.5V to 22V, V _{OUT} = 5V, I _{OUT} = 0mA and 1A (Note 2)		±0.2		%/V
Load Regulation	ΔV/V _{OUT}	V _{IN} ≥ 4V, V _{OUT} = 5V, I _{OUT} = 0mA to 3A (Note 2)		±0.6		%/A
Internal Reference Voltage	V _{REF}	VREF[9:0] = 0x0A0, code clamped below this level		0.19531	0.30518	V
		VREF[9:0] = 0x0FA, default value		0.97656		
		VREF[9:0] = 0x320, code clamped above this level		0.19531	0.97656	
Internal Reference Voltage Programmable Range	V _{REF}	VREF[9:0] = 0x0A0 to 0x320		mV/μs		V
Internal Reference DVS Ramp Rate	ΔV _{REF} /Δt	SLEW_RATE[1:0] = 00 (default)	FREQ[1:0] = 00	3/2	1/8	mV/μs
			FREQ[1:0] = 01 or 10	1		
			FREQ[1:0] = 11	4/5		
		SLEW_RATE[1:0] = 01		1/2		
		SLEW_RATE[1:0] = 10		1/4		
		SLEW_RATE[1:0] = 11		1/8		
FB Input Leakage Current	I _{FB_LK}			-1	+1	μA
High Side MOSFET On Resistance	R _{DSON_HS}	IN to LX1, LX2 to OUT, T _J = -40°C to +85°C		20	35	mΩ

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Low Side MOSFET On Resistance	$R_{DS(ON_LS)}$	LX1 to PGND, LX2 to PGND, $T_J = -40^\circ C$ to $+85^\circ C$		20	37	$m\Omega$
Output Active Discharge Current	I_{DISCHG}	$EN = \text{LOW}$ or $V_{IN} < V_{UVLO_F}$, $V_{OUT} = 15V$		5		mA

Note 2 : 設計により性能を確保。出荷テストの対象外です。

Note 3 : ATE またはベンチ試験で特性評価を行っていますが、製品テストは行っていません。

電気的特性 – I²C シリアル・インターフェース

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O STAGE						
SCL, SDA Input HIGH Voltage	V_{IH}		0.7 x V_{VIO}			V
SCL, SDA Input LOW Voltage	V_{IL}		0.3 x V_{VIO}			V
SCL, SDA Input Hysteresis	V_{HYS}	Fast mode/Fast-mode plus	0.05 x V_{VIO}			V
		High-speed mode	0.1 x V_{VIO}			
SDA Output LOW Voltage	V_{OL}	$I_{SINK} = 2mA$ (Fast mode/Fast-mode plus) or $3mA$ (High-speed mode)		0.2 x V_{VIO}		V
SCL, SDA Input Capacitance	C_I	(Note 2)		10		pF
SCL, SDA Input Leakage Current	I_{LK}		-10	0.001	+10	µA
TIMING (FAST MODE)						
Clock Frequency	f_{SCL}		0	400		kHz
Bus Free Time Between STOP and START Condition	t_{BUSF}		1.3			µs
Hold Time (REPEATED) START Condition	t_{HD_START}		0.6			µs
SCL LOW Period	t_{LOW}		1.3			µs
SCL HIGH Period	t_{HIGH}		0.6			µs
Setup Time REPEATED START Condition	t_{SU_START}		0.6			µs
DATA Setup Time	T_{SU_DATA}		100			ns
SCL, SDA Receiving Rise Time	t_{R_REV}		20	300		ns
SCL, SDA Receiving Fall Time	t_{F_REV}		20 x $(V_{VIO}/5.5V)$	300		ns
Setup Time for STOP Condition	t_{SU_STO}		0.26			µs
Data Valid Time	t_{VD_DATA}			900		ns
Data Valid Acknowledge Time	t_{VD_ACK}			900		ns
Bus Capacitance	C_B	(Note 2)		400		pF
Pulse Width of Suppressed Spikes	t_{SP}			140		ns

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING (FAST-MODE PLUS)						
Clock Frequency	f_{SCL}		0		1000	kHz
Bus Free Time Between STOP and START Condition	t_{BUSF}		0.5			μs
Hold Time (REPEATED) START Condition	t_{HD_START}		0.26			μs
SCL LOW Period	t_{LOW}		0.5			μs
SCL HIGH Period	t_{HIGH}		0.26			μs
Setup Time REPEATED START Condition	t_{SU_START}		0.26			μs
DATA Setup Time	T_{SU_DATA}		50			ns
SCL, SDA Receiving Rise Time	t_{R_REV}			120		ns
SCL, SDA Receiving Fall Time	t_{F_REV}		20 x ($V_{VIO}/$ 5.5V)	120		ns
Setup Time for STOP condition	t_{SU_STO}		0.26			μs
Data Valid Time	t_{VD_DATA}			450		ns
Data Valid Acknowledge Time	t_{VD_ACK}			450		ns
Bus Capacitance	C_B	(Note 2)		550		pF
Pulse Width of Suppressed Spikes	t_{SP}			140		ns
TIMING (HIGH-SPEED MODE, BUS CAPACITANCE = 100pF)						
Clock Frequency	f_{SCL}			3.4		MHz
Hold Time (REPEATED) START Condition	t_{HD_START}		160			ns
SCL LOW Period	t_{LOW}		160			ns
SCL HIGH Period	t_{HIGH}		60			ns
Setup Time REPEATED START Condition	t_{SU_START}		160			ns
DATA Hold Time	t_{HD_DATA}			95		ns
DATA Setup Time	T_{SU_DATA}		10			ns
SCL, SDA Receiving Rise Time	t_{R_REV}		10	50		ns
SCL, SDA Receiving Fall Time	t_{F_REV}		10	50		ns

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100% 製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲を超える制限値は、設計と特性評価により裏付けられています。)

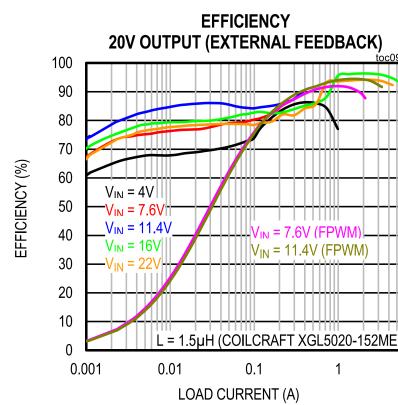
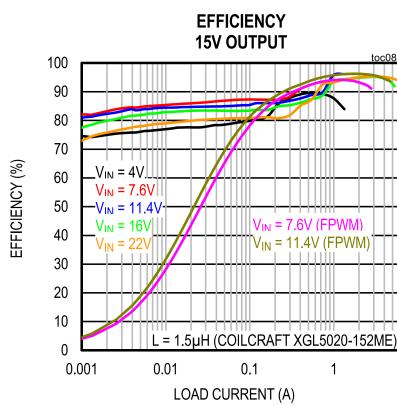
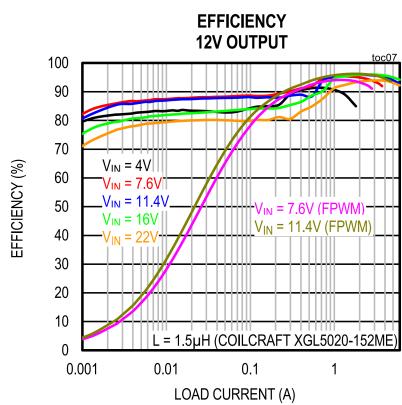
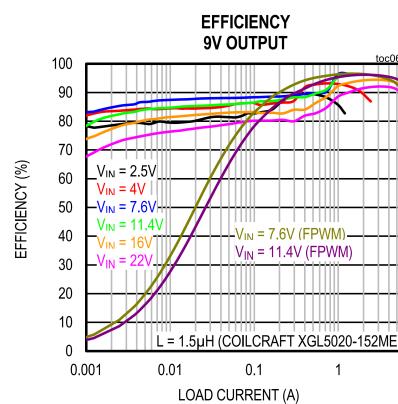
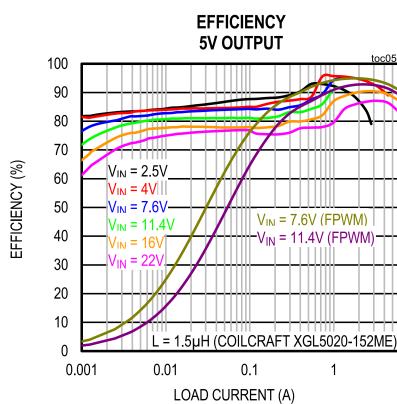
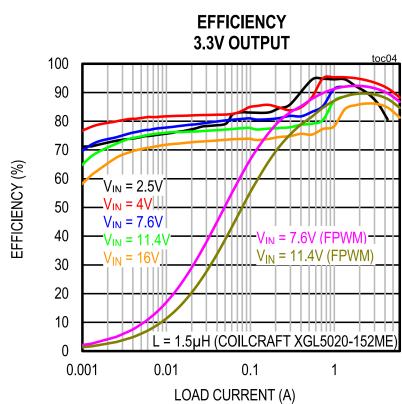
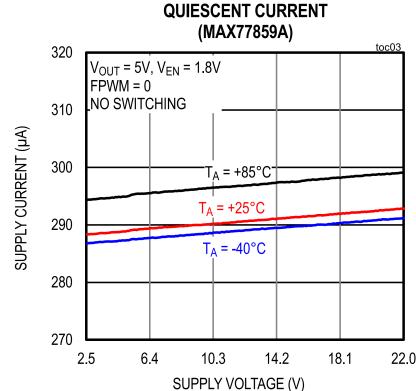
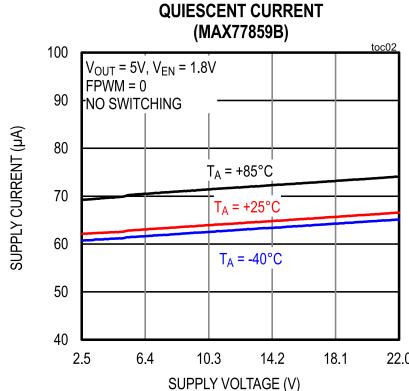
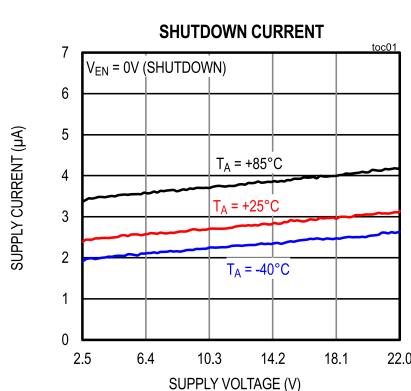
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time for STOP Condition	t_{SU_STO}		160			ns
Bus Capacitance	C_B	(Note 2)		100		pF
Pulse Width of Suppressed Spikes	t_{SP}			30		ns

Note 2 : 設計により性能を確保。出荷テストの対象外です。

Note 3 : ATE またはベンチ試験で特性評価を行っていますが、製品テストは行っていません。

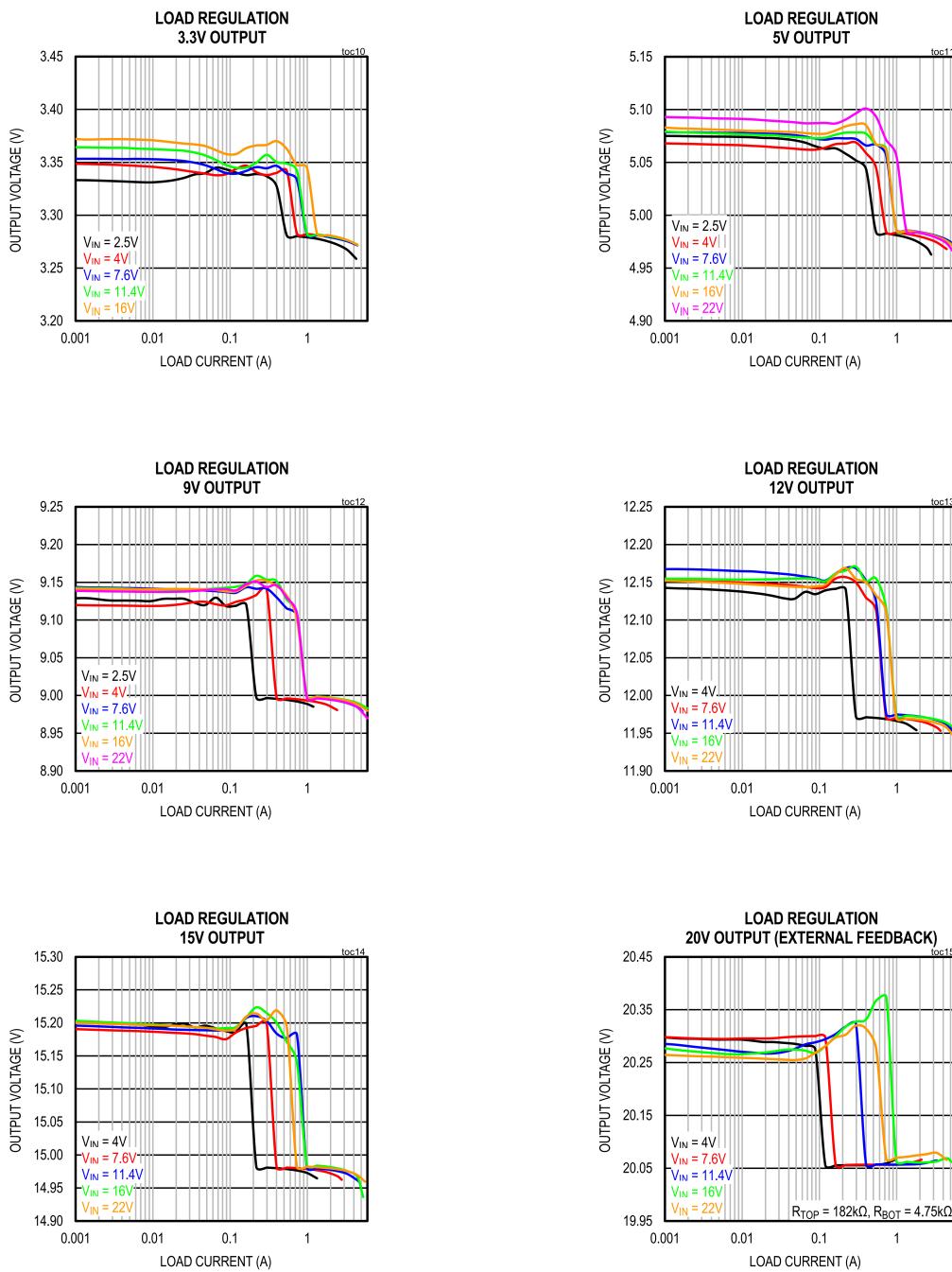
標準動作特性

(特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ (Coilcraft XGL5020-152ME)、 $C_{OUT} = 2x 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ (7.8A)、 $f_{sw} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4: 特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。)



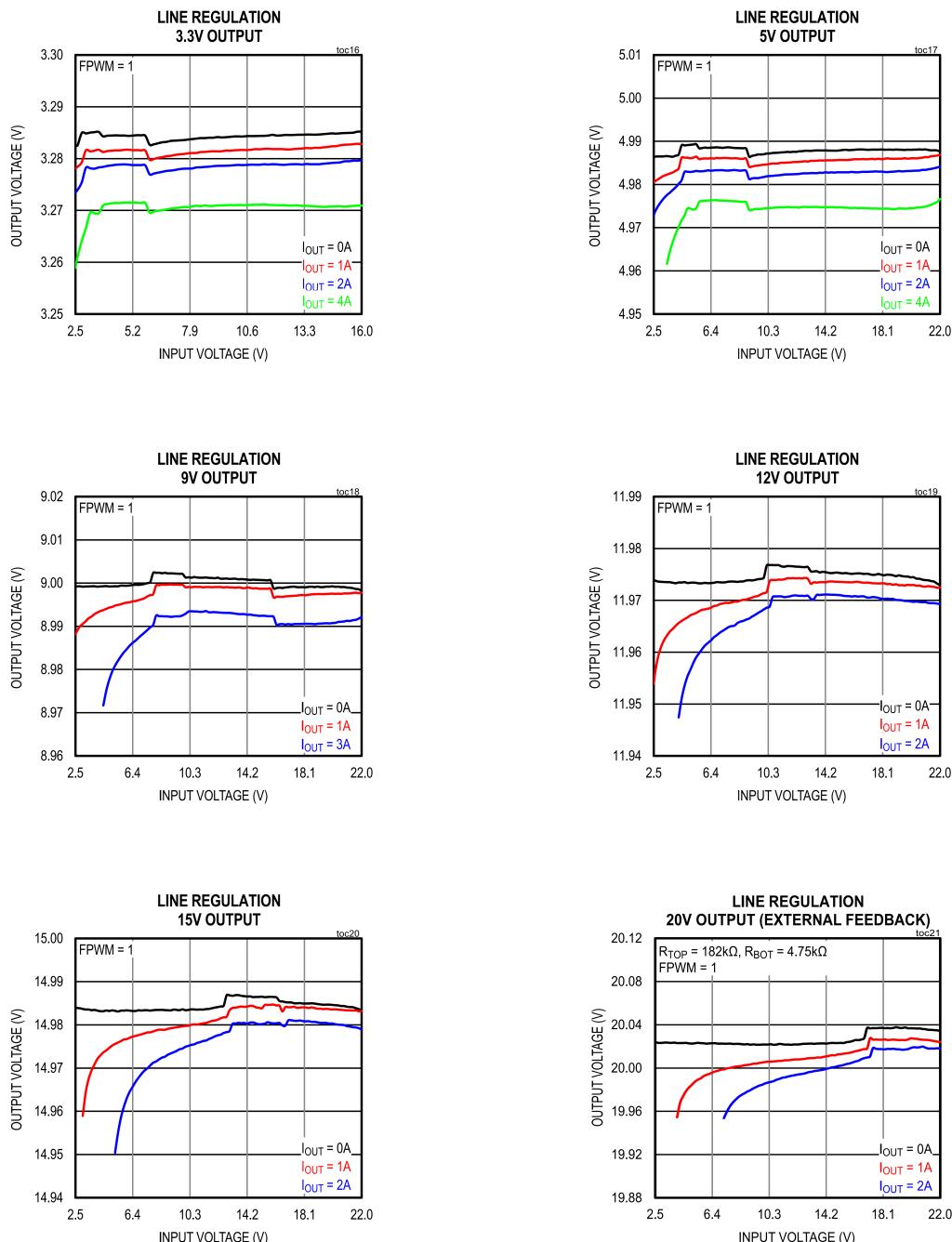
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{sw} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



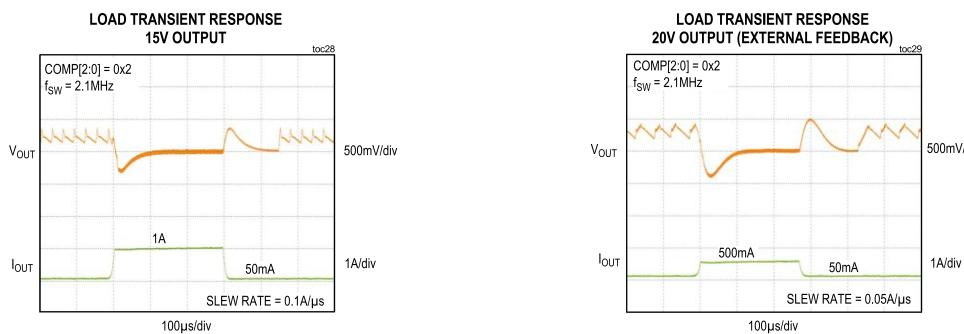
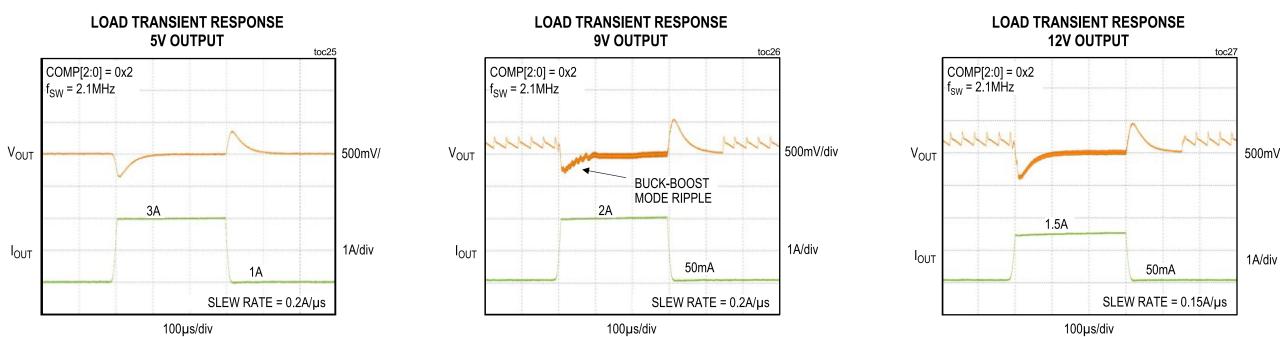
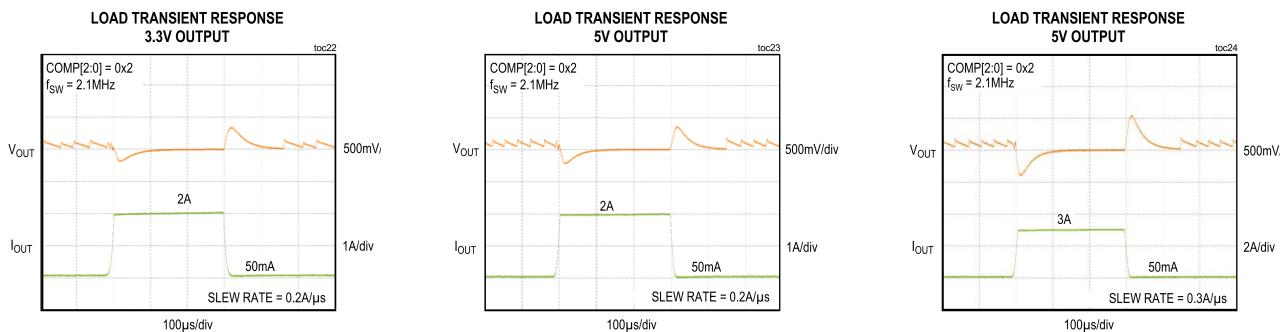
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{sw} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



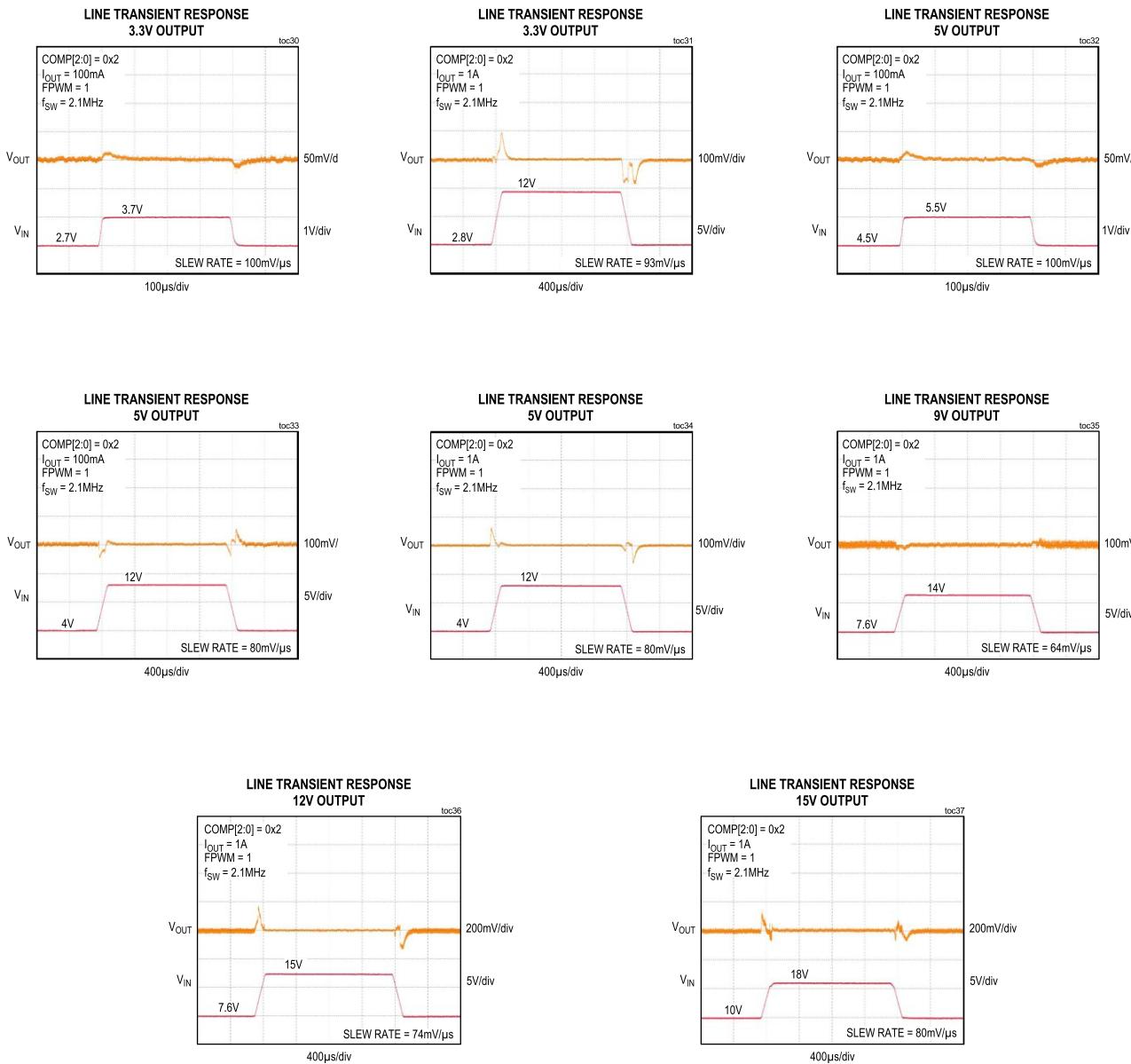
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2x 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{SW} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



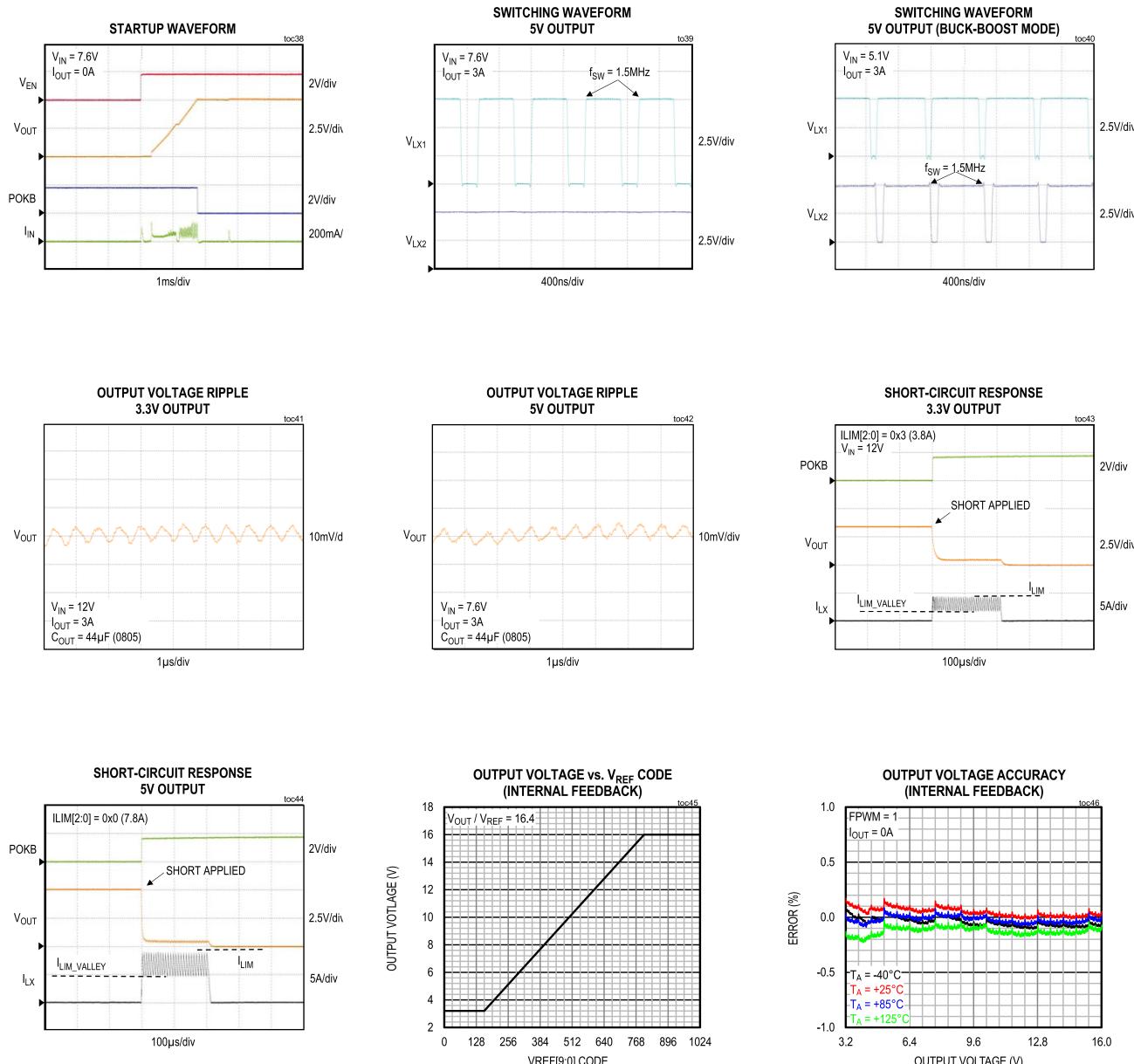
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2x 22\mu F$ 、 $FPWM = 1$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{SW} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



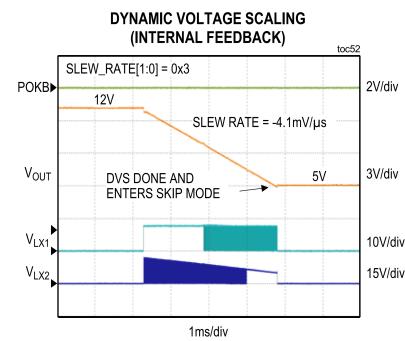
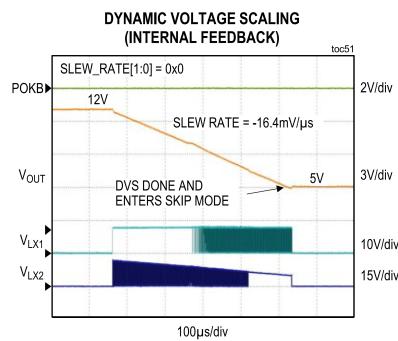
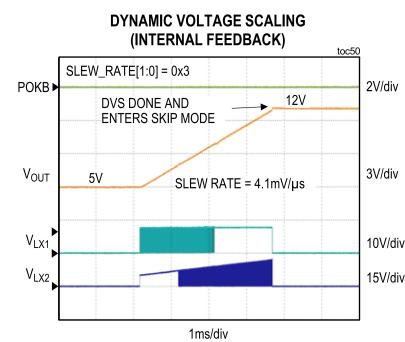
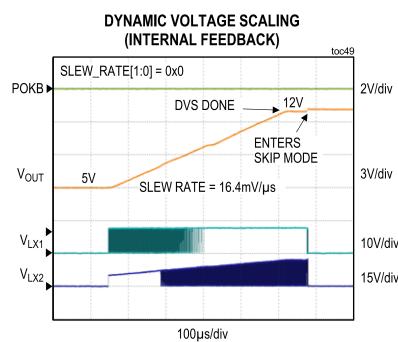
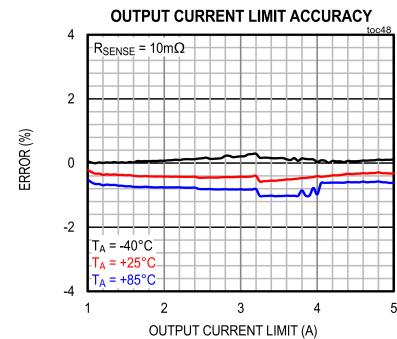
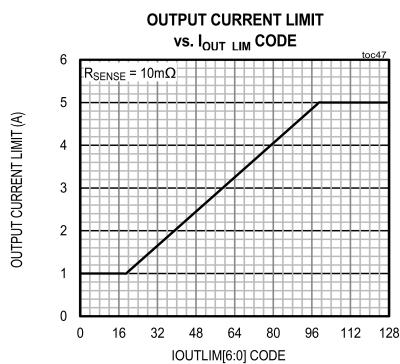
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{SW} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



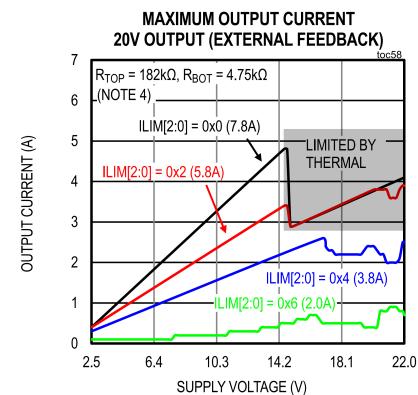
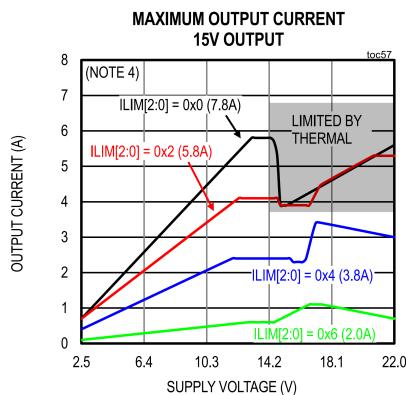
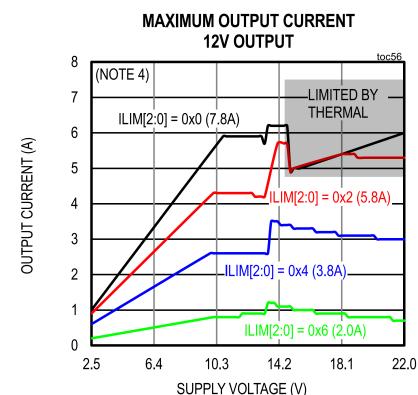
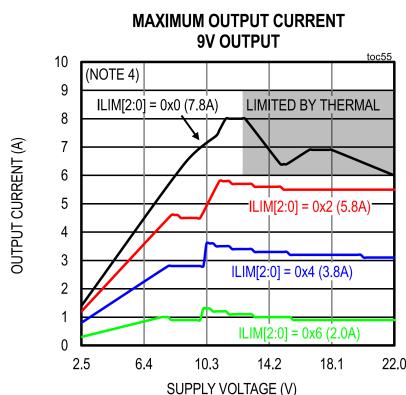
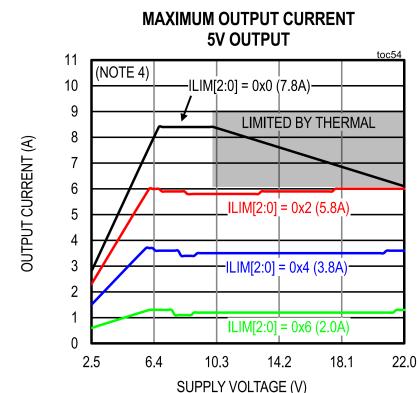
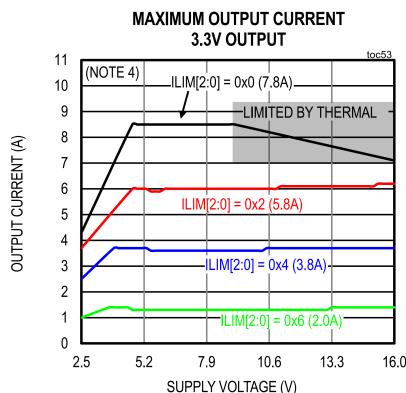
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{sw} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



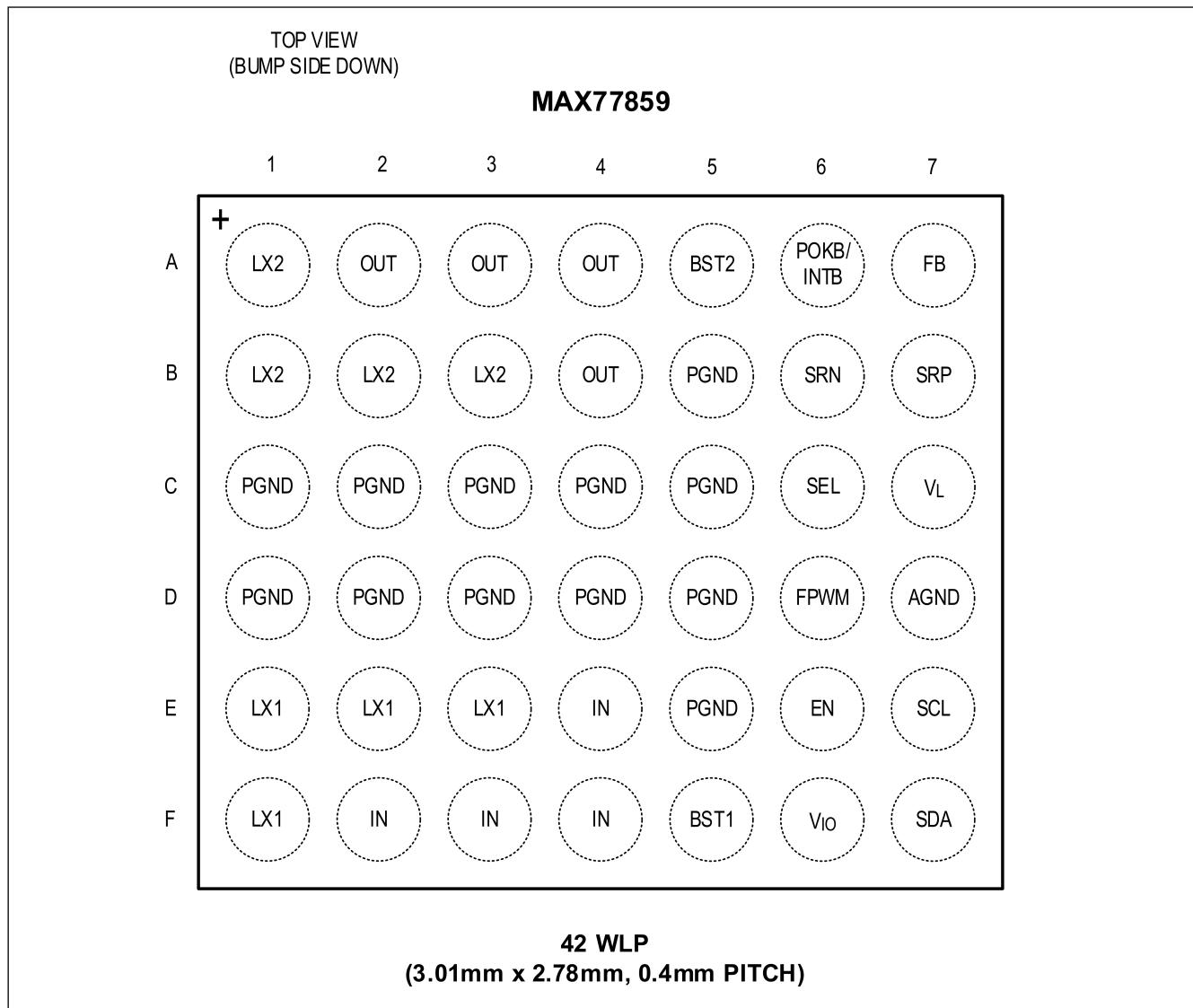
標準動作特性（続き）

（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL5020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $ILIM[2:0] = 0x0$ （7.8A）、 $f_{sw} = 1.5MHz$ 、内部帰還設定、 $T_A = +25^{\circ}C$ 。Note 4：特に指定のない限り、スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）

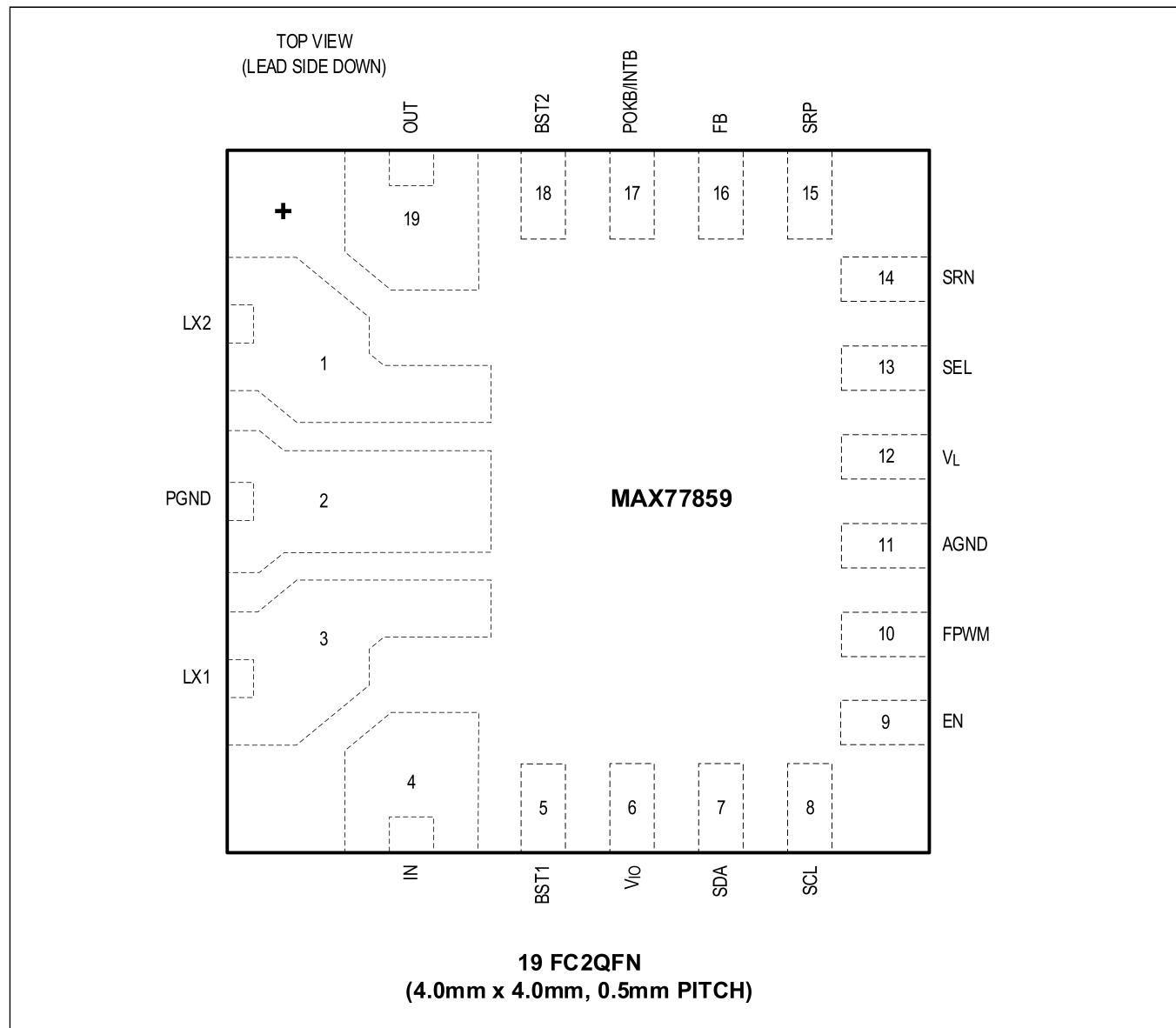


ピン配置

42 WLP



19 FC2QFN

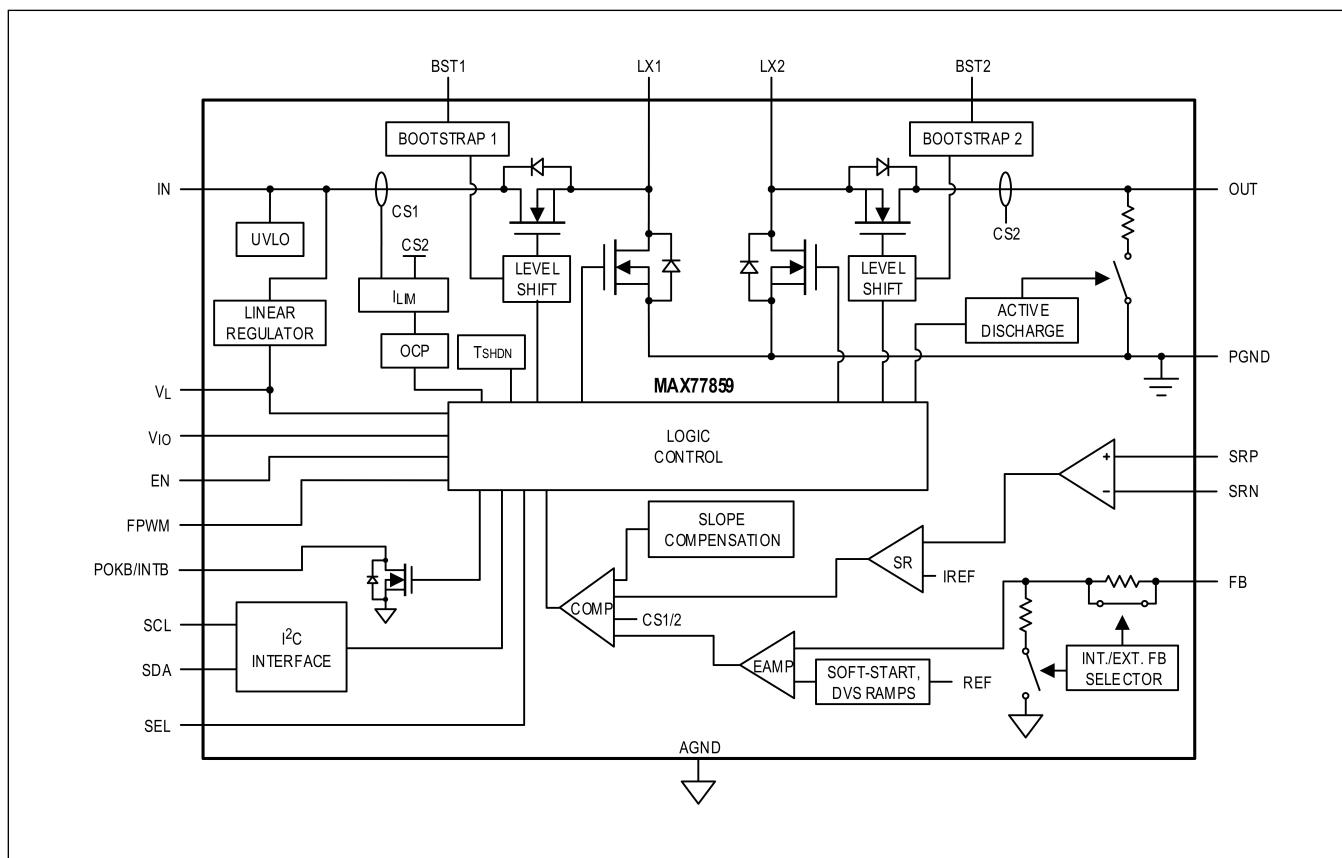


端子説明

ピン		名称	説明	タイプ
42 WLP	19 FC2QFN			
A1, B1, B2, B3	1	LX2	昇降圧スイッチング・ノード 2。	POWER
B5, C1, C2, C3, C4, C5, D1, D2, D3, D4, D5, E5	2	PGND	電源グランド。PCB 上の AGND と接続します。詳細については PCB レイアウト時のガイドライン のセクションを参照してください。	Ground
E1, E2, E3, F1	3	LX1	昇降圧スイッチング・ノード 1。	Power
F5	4	BST1	LX1 側ハイサイド FET ドライバの電源。BST1 と LX1 の間に 25V 0.22 μ F のセラミック・コンデンサを接続します。	Power Input
E4, F2, F3, F4	5	IN	昇降圧入力。35V 22 μ F のセラミック・コンデンサを 2 個使用してできるだけ近くで PGND にバイパスします。	Power Input
C7	6	V _L	低電圧内部電源。電源は IN から供給されます。10V 2.2 μ F のセラミック・コンデンサで AGND にバイパスします。この端子には I²C レス動作とスタンダードアロン動作 のセクションに記載の使用法を除き、外部から負荷を接続しないでください。	Analog
D7	7	AGND	アナログ・グランド。PCB 上の PGND と接続します。詳細については PCB レイアウト時のガイドライン のセクションを参照してください。	Ground
F6	8	V _{IO}	IO 電圧源。6.3V 0.47 μ F のセラミック・コンデンサで AGND にバイパスします。この端子の電圧が無効な場合、レジスタはリセット状態に保持されます。	Power Input
E7	9	SCL	I ² C シリアル・インターフェースのクロック（オフ状態では高インピーダンス）。1.5k Ω ~2.2k Ω のプルアップ抵抗で V _{IO} に接続します。	Digital Input
F7	10	SDA	I ² C シリアル・インターフェースのデータ（オフ状態では高インピーダンス）。1.5k Ω ~2.2k Ω のプルアップ抵抗で V _{IO} に接続します。	Digital I/O
E6	11	EN	アクティブ・ハイの昇降圧イネーブル入力。V _{IO} の電圧領域と共に、内部で 0.1 μ A の電流源でプルダウンされています。アプリケーションで EN を IN で制御する必要がある場合（すなわち IN の電圧が有効なら MAX77859 の動作を開始する場合）、詳細については I²C レス動作とスタンダードアロン動作 のセクションを参照してください。	Digital Input
A6	12	POKB/INTB	アクティブ・ロー、オープン・ドレインのステータス／割込み出力。15k Ω の抵抗で V _{IO} に接続します。詳細については パワーOK (POK) およびフォルト・ステータス／割込み のセクションを参照してください。使用しない場合は、この端子を接続しないでください。	Digital Output
D6	13	FPWM	アクティブ・ハイの強制 PWM モード制御入力。	Digital Input
C6	14	SEL	設定の選択。SEL と AGND の間に抵抗を接続します。抵抗値と設定については 表 2 を参照してください。	Analog
B6	15	SRN	検出抵抗の負側入力。出力コンデンサと負荷の間に配置した 10m Ω の検出抵抗の負側の端子と接続します。SRN のパターンは SRP のパターンと平行に、できるだけ短くノイズ源を避けて接続します。検出抵抗を使用しない場合は SRP 端子と短絡します。	Analog
B7	16	SRP	検出抵抗の正側入力。出力コンデンサと負荷の間に配置した 10m Ω の検出抵抗の正側の端子と接続します。SRP のパターンは SRN のパターンと平行に、できるだけ短くノイズ源を避けて接続します。検出抵抗を使用しない場合は SRN 端子と短絡します。	Analog

A7	17	FB	内部帰還抵抗を使用時 : 出力電圧検出入力。ポイントオブロードで（出力コンデンサの近くで）出力と接続します。 外部帰還抵抗を使用時 : 出力電圧帰還入力。OUT と AGND の間に配置した外部抵抗分圧器の中点に接続して、出力電圧を設定します。詳細については、 出力電圧の設定 のセクションを参照してください。	Analog
A2, A3, A4, B4	18	OUT	昇降圧出力。25V 22 μ F のセラミック・コンデンサを 2 個使用して、できるだけ近くで PGND にバイパスします。	Power Output
A5	19	BST2	LX2 側ハイサイド FET ドライバの電源。BST2 と LX2 の間に 25V 0.22 μ F のセラミック・コンデンサを接続します。	Power Input

機能図



詳細

概要

MAX77859 は、高効率、高性能の昇降圧コンバータであり、広い入力電圧範囲 (2.5V~22V) が必要なシステム向けに設計されています。この IC は、降圧モードで最大 6A、昇圧モードで最大 4A の出力電流を供給できます ($V_{IN} = 3.7V$ 、 $V_{OUT} = 5V$)。この IC を使用すると、システムは I²C シリアル・インターフェースを通じて出力電圧を動的に変更できます。MAX77859A は、USB-C PPS 条件を満たすために、I²C で調整できる、分解能 50mA/ステップ (検出抵抗 10mΩ) の出力電流制限機能を備えています。MAX77859B は非 PPS バージョンで、低自己消費電流向けに最適化されています。MAX77859 を搭載したシステムは、高速充電周辺機器に高い出力電圧を供給できるため、ケーブル/コネクタ間の電力損失を最小限に抑え、充電時間を短縮できます。

この IC は、効率を最適化するために、動作条件に応じてスキップ・モードまたは強制 PWM (FPWM) モードで動作します。内部帰還抵抗を使用している場合のデフォルトの出力電圧は 5V です。外部帰還抵抗を使用している場合は、3V~20V の範囲内でデフォルトの出力電圧を任意に設定することもできます。出力電圧は、I²C シリアル・インターフェースを通じて内部リファレンス電圧をプログラムすることにより、内部帰還抵抗を使用する場合は 3.2V~16V の間 (20mV ステップ) で、外部帰還抵抗を使用する場合は 3V~20V の間 (ステップ・サイズは外部帰還抵抗の比率に依存) で、動的に調整 (DVS) が可能です。詳細については、[出力電圧の設定](#)のセクションを参照してください。

MAX77859A は出力電流制限機能を備えています。10mΩ の検出抵抗を使用する場合、出力電流制限スレッショルドはデフォルト値が 3A で、I²C シリアル・インターフェースを通じて 50mA ステップで 1A~5A の間で動的に調整できます。

SEL 端子を使用すると、単一の外部抵抗 RSEL を AGND に接続して、以下をプログラムできます。

- I²C シリアル・インターフェースのターゲット・アドレス (4つのオプション)
- スイッチング電流制限のスレッショルド (4つのオプション)
- 帰還抵抗の選択 (内部または外部)

I²C インターフェースの様々なターゲット・アドレスに対応できるため、I²C バスが限られたシステム中で複数のデバイスを使用できます。様々なスイッチング電流制限スレッショルドが選択できるため、特定のアプリケーションに対して最適化された、より値が小さくプロファイルが小さい外付け部品を使用できます。外部帰還抵抗を使用することにより、広い出力電圧範囲が得られ、起動時に出力電圧をカスタマイズできます。詳細については、[SEL 端子の設定](#)のセクションを参照してください。

オプションの I²C シリアル・インターフェースにより、以下の項目を動的に制御できます。

- 出力電圧 (内部リファレンス電圧により)
- 出力電圧変化のスルーレート (4つのオプション)
- 出力電流制限スレッショルド (MAX77859A のみ)
- スイッチング電流制限スレッショルド (8つのオプション)
- スイッチング周波数 (4つのオプション)
- 強制 PWM モード動作
- パワーOK (POK) およびフォルト・ステータス/割込み
- 内部補償

様々なスイッチング周波数が可能であるため、EMI の影響が及びやすい周波数帯域を避けることによって EMI 性能を改善する選択肢が得られます。I²C による設定は、RSEL のデコードによる設定よりも優先します。

スタートアップ

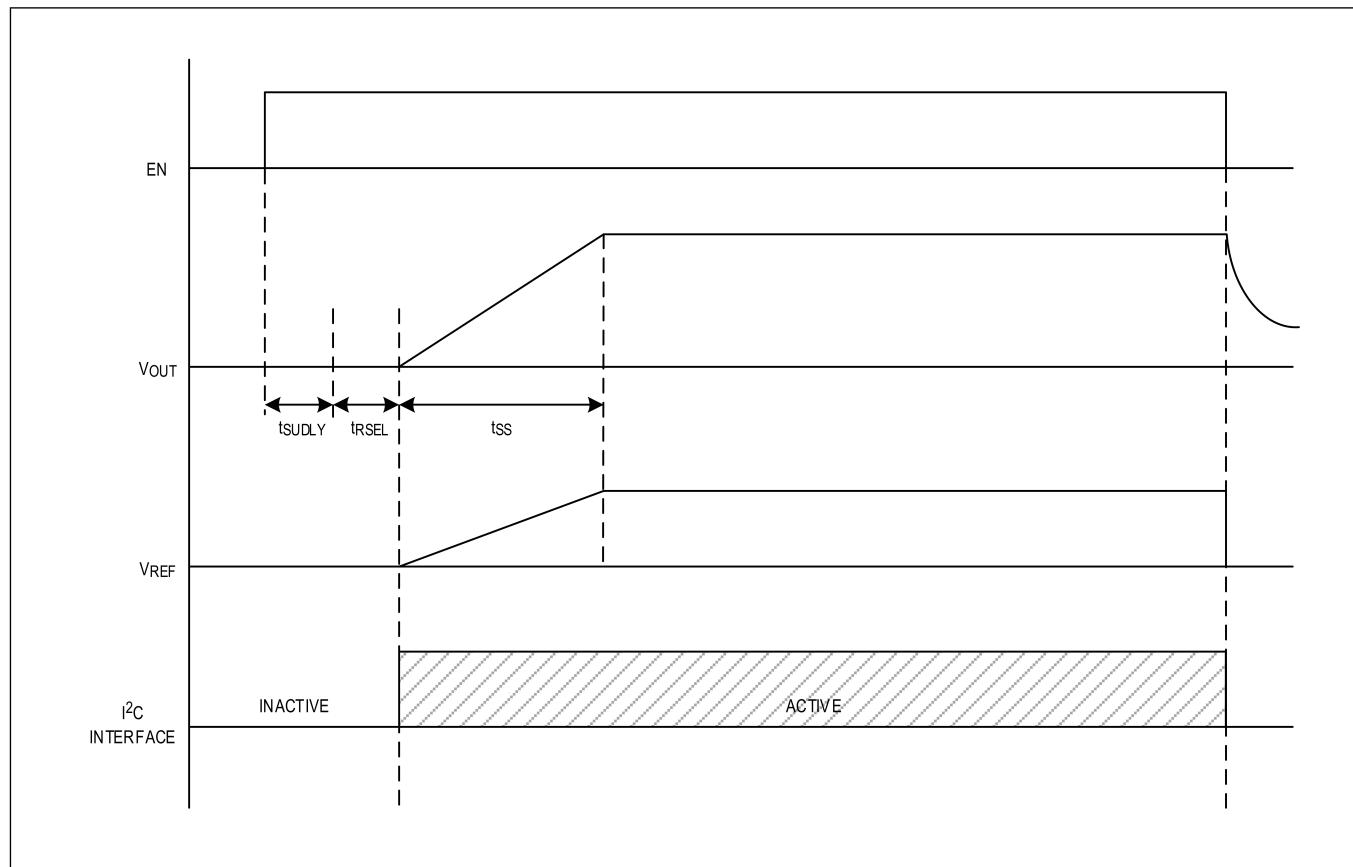


図 1. 起動時の波形

スタートアップ動作については図 1 を参照してください。入力電圧 V_{IN} が UVLO スレッショルドの V_{UVLO_R} より高く、EN 端子がロジック・ハイのとき、IC はまず内部バイアス回路をオンにする (V_L) ことから起動を開始しますが、この安定には通常 $100\mu s$ (t_{SUDLY}) の時間を要します。続いて IC は SEL 端子の抵抗を検出して、I²C インターフェースのターゲット・アドレスを設定し、電流制限スレッショルドを切り替え、内部もしくは外部の帰還抵抗を選択します。R_{SEL}の読み取りが完了するには代表値で $200\mu s$ (t_{SEL}) かかります。詳細については、[SEL 端子の設定](#)のセクションを参照してください。次に IC は V_{IO} の電圧が有効か確認します。有効であれば、I²C インターフェースを有効にし、昇降圧のソフトスタート・プロセスを開始します（[ソフトスタート](#)のセクションを参照）。

EN がロジック・ハイにトグルしたとき、もし前のシャットダウン・イベントによる出力のアクティブ放電が継続していれば、IC はアクティブ放電が終了するのを待ってから起動シーケンスを開始します。

内部レギュレータ V_L を使用して V_{IO} 端子または V_{IN} 端子に電力を供給して EN 端子を制御することも可能です。詳細については、[I²C レス動作とスタンダロン動作](#)のセクションを参照してください。

ソフトスタート

起動中にシステム電源から大量の入力電流が引き込まれるのを防ぐため、MAX77859 はソフトスタート機能を備えています。デフォルトのソフトスタート時間 (t_{ss}) は $1.7ms$ (代表値) です。ソフトスタート中は、内部リファレンス電圧 (V_{REF}) が目標のレベルまで徐々にランプアップします。ソフトスタート中のスイッチング電流制限スレッショルドは、 I_{LIM} の設定が (R_{SEL}によって) $3.8A$ よりも高く設定されている場合には、 $3.8A$ まで低減されます。 I_{LIM} の設定が $3.8A$ 以下の場合には、ソフトスタート中も同じスイッチング電流制限スレッショルドが適用されます。ソフトスタートが終了すれば、通常のスイッチング電流制限スレッショルドが適用されます。

シャットダウン

EN ピンをロジック・ローにプルダウンすると、IC をシャットダウンします。シャットダウン時には IC はスイッチングを停止し、全レジスタをリセットし、出力アクティブ放電を開始します。アクティブ放電は、出力電圧 (V_{OUT}) が 2.5V (代表値) を下回るか 600ms 経過するか、いずれか早い方まで継続します。

即時ラッチオフ条件

この IC にはラッチオフ機能があり、特定のフォルト条件で昇降圧レギュレータをシャットダウンすることによりデバイス自体を保護します。

即時シャットダウンの条件：

- IN の UVLO : $V_{IN} < V_{UVLO_F}$ (入力 UVLO の立下がりスレッショルド)
- V_{IO} の UVLO : $V_{IO} < V_{IO_VALID_F}$ (出力 V_{IO} の立下がりスレッショルド)

ラッチオフの条件：

- サーマル・シャットダウン : $T_J > T_{SHDN_R}$ (サーマル・シャットダウン (THS) のセクションを参照)
- 短絡 : I_{LIM} タイマー > 427μs (スイッチング電流の過電流保護 (SW OCP) のセクションを参照)

このカテゴリのイベントは、危険につながるシステム状態に関連しています。即時シャットダウン条件では、IC は昇降圧レギュレータと I²C シリアル通信バスをシャットダウンし、全レジスタをリセットして、システムがフォルト条件から回復するのを待ちます。ラッチオフ条件では、IC は昇降圧レギュレータの出力のみをシャットダウンし、I²C シリアル通信バスはアクティブな状態を維持し、レジスタの状態を保存します。ラッチオフから回復するには、システムからフォルト条件が除去され、EN 端子または IN 端子に電源を再投入することが必要です。昇降圧レギュレータがシャットダウンするとき、サーマル・シャットダウンによる場合を除いて全てのフォルト条件で、アクティブ放電が作動します。詳細については、[出力のアクティブ放電](#)のセクションを参照してください。

出力のアクティブ放電

この IC は出力コンデンサに蓄えられたエネルギーを PGND に放電するパスを形成する内部スイッチを備えています。出力のアクティブ放電は、昇降圧レギュレータが停止されるときには常に有効になります (シャットダウン・イベントや即時ラッチオフ条件に記載の何らかの条件による場合、ただしサーマル・シャットダウンを除く)。放電電流の大きさは、 V_{OUT} が 15V のとき代表値 5mA で、放電中に V_{OUT} が低下するのにつれて減少します。アクティブ放電が有効となっている場合は、EN 端子の信号は無視されます。 V_{OUT} が 2.5V (代表値) より下がるか、600ms のタイマーが終了するか、いずれか早い方でアクティブ放電は停止します。昇降圧レギュレータの動作中、内部放電スイッチは出力から切り離されます。

昇降圧レギュレータ

MAX77859 の昇降圧レギュレータは 4 スイッチの H ブリッジ構成を使用し、降圧、昇圧、3 相の動作モードで動作します。このトポロジにより、入力電圧範囲全域にわたって出力電圧レギュレーションを維持できます。この昇降圧レギュレータは、3V~20V の範囲の電圧を出力し、最大 4 セルのリチウムイオン・バッテリ駆動のアプリケーションに最適です。高いスイッチング周波数と独自の制御アルゴリズムにより、ソリューション・サイズを小さくすることでき、出力ノイズが低く、広い範囲の入力電圧と出力電流に対して最高の効率を達成します。

昇降圧制御方式

昇降圧レギュレータは、電流モード補償付きの固定周波数のパルス幅変調 (PWM) 制御方式を使用して動作します。1 個のインダクタを使用する H ブリッジ方式を使用します。デフォルトのスイッチング周波数は 1.5MHz です。ビットフィールド FREQ[1:0]によってスイッチング周波数を設定します。スイッチング周波数を選択できるため、EMI の影響が及びやすい周波数帯域を避けるオプションが得られ、EMI 性能を改善できます。

H ブリッジ方式には図 2 に示すように 3 つのスイッチング・フェーズがあります。

- Φ1 スイッチ・フェーズ (HS1 = ON、LS2 = ON) ではインダクタにエネルギーを蓄え、入力電圧をインダクタンスで割った値 V_{IN}/L に比例したレートでインダクタ電流がランプアップします。
- Φ2 スイッチ・フェーズ (HS1 = ON、HS2 = ON) では、インダクタ両端の差動電圧 ($V_{IN} - V_{OUT}$)/L に比例したレートで、インダクタ電流がランプアップ (降圧モード) またはランプダウン (昇圧モード) します。
- Φ3 スイッチ・フェーズ (LS1 = ON、HS2 = ON) ではインダクタからエネルギーを放出し、出力電圧をインダクタンスで割った値 $-V_{OUT}/L$ に比例したレートで、インダクタ電流がランプダウンします。

昇圧モード動作 ($V_{IN} < V_{OUT}$) では、1 クロック期間中に $\Phi 1$ と $\Phi 2$ を使用します。図 2 に示す昇圧モード動作のインダクタ電流波形を参照してください。降圧モード動作 ($V_{IN} > V_{OUT}$) では、1 クロック期間中に $\Phi 2$ と $\Phi 3$ を使用します。図 2 に示す降圧モード動作のインダクタ電流波形を参照してください。3 相モード動作 ($V_{IN} \approx V_{OUT}$) では、1 クロック期間中に $\Phi 1$ 、 $\Phi 2$ 、 $\Phi 3$ を使用します。図 2 に示す 3 相モード動作のインダクタ電流波形を参照してください。

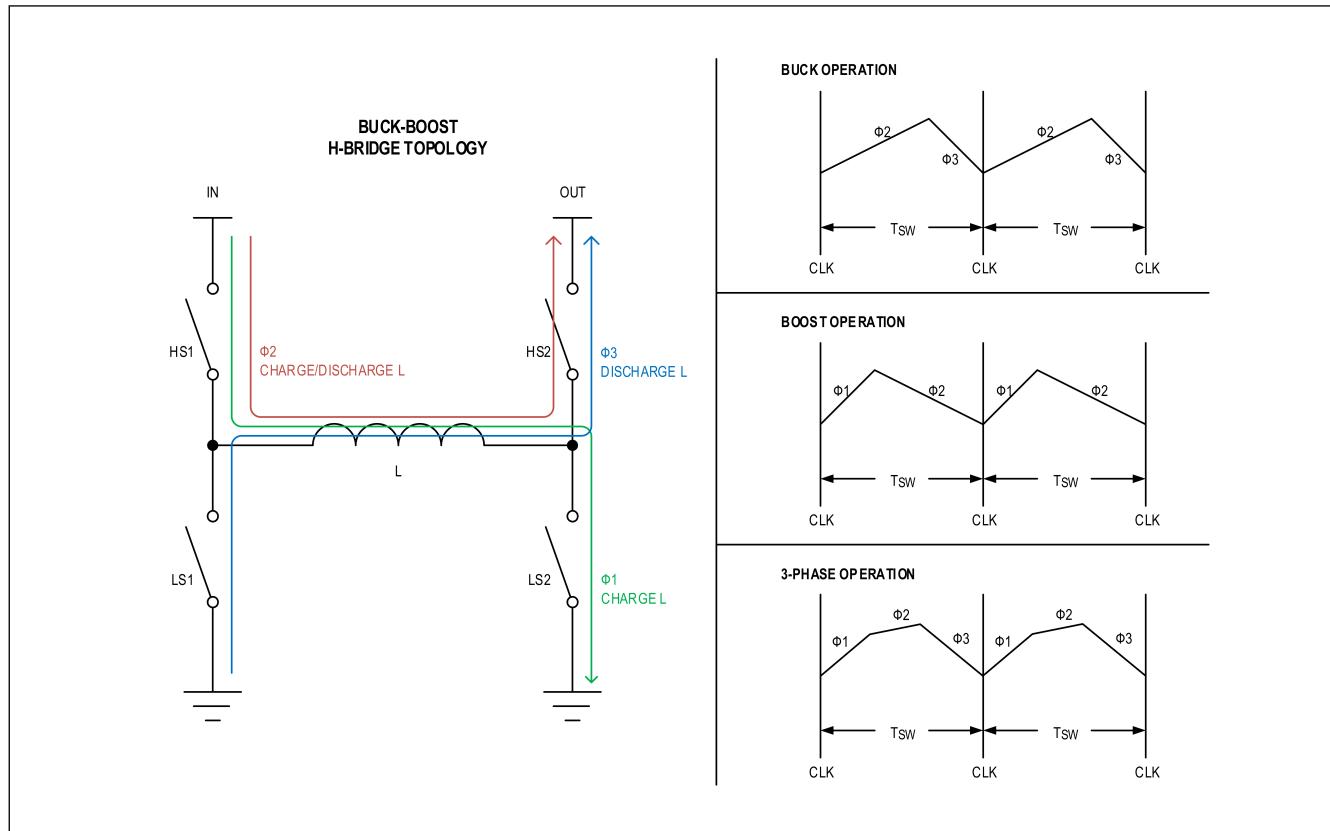


図 2. 升降圧 H ブリッジ方式

スキップ・モードと強制 PWM (FPWM) モード

この IC は、効率改善のために、無負荷時や軽負荷時には自動的にスキップ・モード動作に入ります。スキップ・モードでは、出力電圧 V_{OUT} はスキップ・モードの上限スレッショルド (V_{SKIP_UPPER}) と下限スレッショルド (V_{SKIP_LOWER}) の間でレギュレーションされ、この代表値は出力電圧の目標値 (V_{TARGET}) よりそれぞれ 3%および 1%高い値です。出力負荷の条件と入出力電圧の比に応じて、IC は自動的にスキップ・モードから PWM モードに遷移します。

FPWM 端子をロジック・ハイにアサートするか、I²C シリアル・インターフェースで FPWM[0]ビットフィールドに 1 を書き込むことによっても、PWM モード動作を有効にすることができます。この方法では、出力の負荷電流によらず強制的に PWM モードで動作します。強制 PWM (FPWM) モードは、出力リップルを最小化する必要があるアプリケーションについて有利です。一方スキップ・モードは軽負荷時の昇降圧レギュレータの効率を最大化することができます。

FPWM 端子や FPWM[0]ビットフィールドの設定にかかわらず、 V_{OUT} が異なる V_{TARGET} に変更されたとき (DVS) には、IC は遷移を高速化するために FPWM モードに入ります。高い V_{OUT} から低い電圧に遷移する DVS イベント中は、IC は V_{OUT} が遷移前の V_{TARGET} に対する V_{SKIP_LOWER} を下回ったときに FPWM モードに入り、 V_{OUT} が新しい V_{TARGET} の V_{SKIP_UPPER} より低くなるまで FPWM モードを継続します。その後、 V_{OUT} は出力負荷条件に従って自然に低下し、 V_{SKIP_LOWER} まで下がるとスキップ・モードのスイッチング・サイクルを再開します。図 3 は DVS 中のこうした動作を示しています。

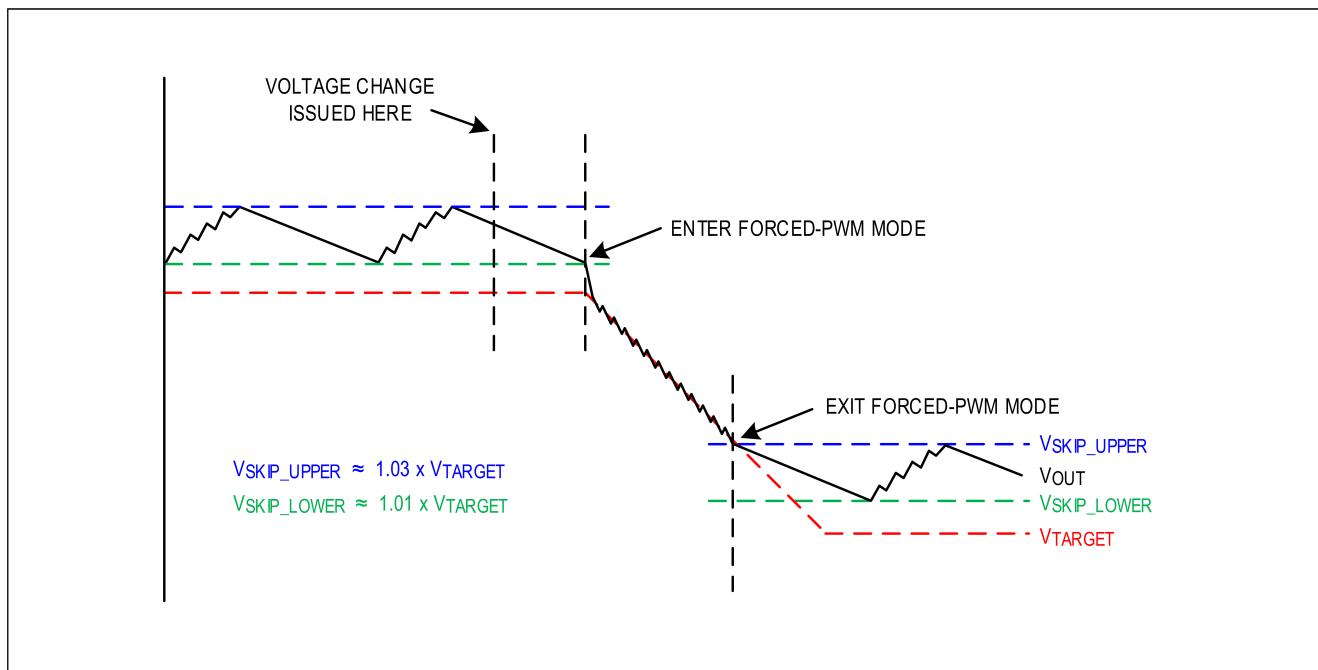


図 3. スキップ・モードのスレッショルドと DVS 中の FPWM モード動作

出力電圧の設定

この IC は、内部帰還抵抗を使用時は 3.2V~16V、外部帰還抵抗を使用時は 3.0V~20V と広い範囲の出力電圧をサポートしています。内部帰還抵抗を使用すると外部部品が少なく全体のソリューション・サイズが小さくなるメリットが得られ、外部帰還抵抗を使用する場合にはより広い範囲の出力電圧が設定可能で、I²C シリアル・インターフェースを使用しないでも起動時に出力電圧 V_{OUT} をカスタマイズ設定できます。内部帰還抵抗と外部帰還抵抗のどちらを使用するかは、R_{SEL} で設定します。詳細については、[SEL 端子の設定](#)のセクションを参照してください。

内部帰還抵抗の設定

内部帰還抵抗を使用するとき、V_{OUT} の範囲は 20mV ステップで 3.2V~16V です。デフォルトの V_{OUT} は 5V (V_{REF} = 0.30518V) です。内部帰還抵抗を使用するように IC を設定するためには、適切な値の R_{SEL} を使用し、FB 端子を近傍の出力コンデンサの地点で直接 OUT 端子に接続します。

外部帰還抵抗の設定

外部帰還抵抗を使用するとき、V_{OUT} の範囲は 3.0V~20V です。実際の出力電圧の範囲とステップ幅は外部帰還抵抗の比率によって決まります。外部帰還抵抗を使用するように IC を設定するためには、適切な値の R_{SEL} を使用し、OUT、FB、AGND の間に図 4 に示すように抵抗分圧器を接続します。V_{OUT} が 6V 以下の場合には、上側の帰還抵抗 (R_{TOP}) と並列に 10pF のフィードフォワード・コンデンサ (C_{FF}) を追加することを推奨します。R_{TOP} (OUT と FB の間) は 150kΩ~330kΩ のものを選択します。V_{OUT} の精度を保つために、許容誤差が 1%以下の抵抗を強く推奨します。動作範囲中の目的とする V_{OUT} を起動時に決定するため、R_{BOT} (FB と AGND の間) は次式によって計算します。

$$R_{BOT} = \frac{R_{TOP} \times V_{REF}}{V_{OUT} - V_{REF}}$$

ここで、V_{REF} はデフォルト内部リファレンス電圧です。

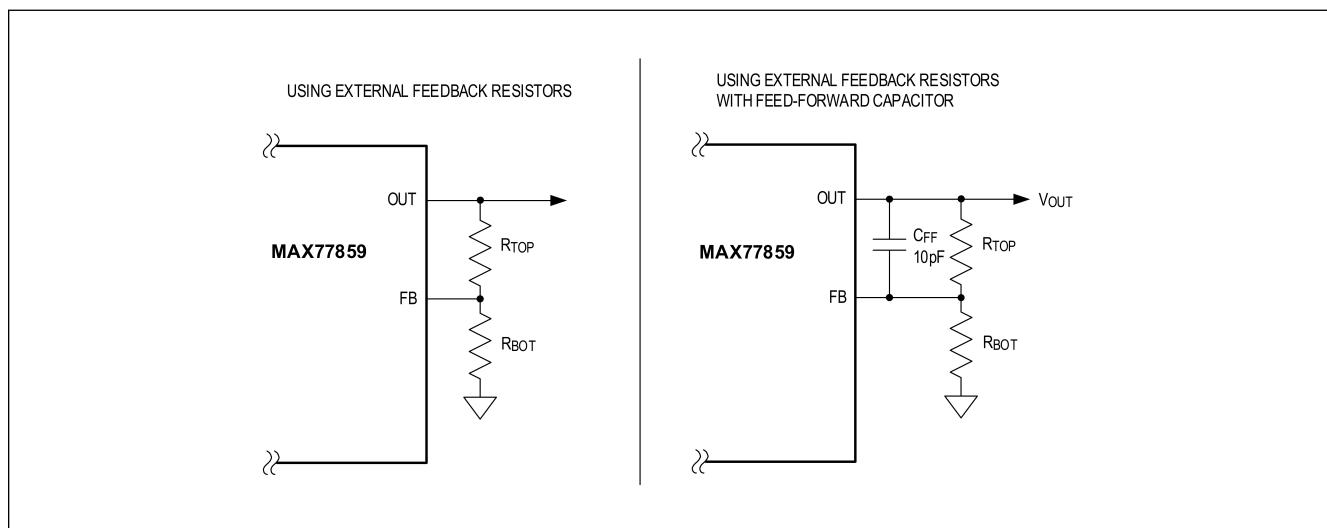


図 4. MAX77859 への外部帰還抵抗の接続

表 1 は、デフォルトの V_{REF} である 0.30518V を前提に、標準的な起動時出力電圧に対する推奨の外部帰還抵抗の値 (E192 系列) を示しています。

表 1. 帰還抵抗の推奨値

DEFAULT V_{REF} (V)	R_{TOP} (k Ω)	R_{BOT} (k Ω)	STARTUP V_{OUT} (V)	PROGRAMMABLE V_{OUT} RANGE (V)	V_{OUT} STEP SIZE (mV)
0.30518	205	23.2	3	3.0 to 9.61	12
	162	16.5	3.3	3.0 to 10.56	13.2
	Internal Feedback Resistors		5	3.2 to 16	20
	160	5.62	9	5.76 to 20	36
	182	4.75	12	7.68 to 20	48
	180	3.74	15	9.6 to 20	60
	330	5.11	20	12.81 to 20	80

ダイナミック電圧スケーリング (DVS)

V_{REF} を I²C シリアル・インターフェースで設定することにより、 V_{OUT} を動的に調整できます。ビットフィールド VREF[9:0]によって V_{REF} を設定します。 V_{REF} の範囲は 1.22mV ステップで 0.19531V~0.97656V です。内部帰還抵抗を使用する場合、 V_{OUT} の範囲は 20mV ステップで 3.2V~16V で、次式によって計算できます。

$$V_{OUT} = V_{REF} \times 16.4$$

外部帰還抵抗を使用する場合、 V_{OUT} の範囲とステップ幅は外付けの帰還抵抗の値によって変わります。 V_{OUT} のステップ幅は次式によって計算できます。

$$V_{OUT_STEP} = \left(\frac{1.22mV}{R_{BOT}} \right) \times (R_{BOT} + R_{TOP})$$

V_{OUT} の範囲を計算するには、次式を使用し、 V_{REF} の最小値 0.19531V と V_{REF} の最大値 0.97656V を代入します。

$$V_{OUT} = \left(\frac{V_{REF}}{R_{BOT}} \right) \times (R_{BOT} + R_{TOP})$$

V_{OUT}を最大出力電圧の20Vより高く設定しないでください。ICが損傷するおそれがあります。

ビットフィールド VREF[9:0]はレジスタ内では VREF_U[1:0]と VREF_L[7:0]に分割され、VREF_U[1:0]が上位 2 ビット、VREF_L[7:0]が下位 8 ビットを表します。VREF[9:0]の更新後には DVS_STR[0]ビットフィールドに 1 を書き込むと、DVS を起動して新しい V_{REF} 設定を適用します。このビットは、DVS が完了するか VREF[9:0]に変化がなければ、セルフクリアされます。

ビットフィールド SLEW_RATE[1:0]は V_{REF} の DVS ランプ・レート ($\Delta V_{REF}/\Delta t$) を設定し、デフォルト値は 1mV/ μ s です。実際の V_{OUT} の DVS ランプ・レート ($\Delta V_{OUT}/\Delta t$) は、V_{REF} の DVS ランプ・レート ($\Delta V_{REF}/\Delta t$) から上記の外部帰還抵抗の式を使って計算できます。例えば、内部帰還抵抗を使用していれば、 $\Delta V_{REF}/\Delta t$ のデフォルトの 1mV/ μ s に対し $\Delta V_{OUT}/\Delta t$ は 16.4mV/ μ s になります。

SEL 端子の設定

SEL 端子によって、1 つの抵抗 (R_{SEL}) を SEL 端子と AGND の間に接続することで、ハイサイド・スイッチング電流制限スレッショルド (I_{LIM})、I²C シリアル・インターフェースのターゲット・アドレス、帰還抵抗の内部／外部選択を設定できます。R_{SEL} には許容誤差が 1% 以下の抵抗を使用する必要があります。表 2 は R_{SEL} の公称値と、対応する設定を示しています。

表 2. MAX77859 の R_{SEL} 選択表

R _{SEL} (Ω)	FEEDBACK RESISTOR SELECTION	TYPICAL I _{LIM} (A)	I ² C TARGET ADDRESS (7-BIT)	R _{SEL} (Ω)	FEEDBACK RESISTOR SELECTION	TYPICAL I _{LIM} (A)	I ² C TARGET ADDRESS (7-BIT)
SHORT TO GND	Internal Feedback Resistors	7.8	110 0110 (0x66)	3740	External Feedback Resistors	7.8	110 0110 (0x66)
200			110 0111 (0x67)	8060			110 0111 (0x67)
309			110 1110 (0x6E)	12400			110 1110 (0x6E)
422			110 1111 (0x6F)	16900			110 1111 (0x6F)
536		5.8	110 0110 (0x66)	21500		5.8	110 0110 (0x66)
649			110 0111 (0x67)	26100			110 0111 (0x67)
768			110 1110 (0x6E)	30900			110 1110 (0x6E)
909			110 1111 (0x6F)	36500			110 1111 (0x6F)
1050		3.8	110 0110 (0x66)	42200		3.8	110 0110 (0x66)
1210			110 0111 (0x67)	48700			110 0111 (0x67)
1400			110 1110 (0x6E)	56200			110 1110 (0x6E)
1620			110 1111 (0x6F)	64900			110 1111 (0x6F)
1870		2.0	110 0110 (0x66)	75000		2.0	110 0110 (0x66)
2150			110 0111 (0x67)	86600			110 0111 (0x67)
2490			110 1110 (0x6E)	100000			110 1110 (0x6E)
2870			110 1111 (0x6F)	OPEN			110 1111 (0x6F)

内部補償オプション

性能を最適化しようとする設計では、内部補償調整用の COMP[2:0]ビットフィールドを I²C シリアル・インターフェース経由で使用できます。I²C シリアル・インターフェースを使用しないシステムでは、出力容量の調整によって安定性を最適化できます。一般的には、COMP[2:0]ビットフィールドの値の低減または出力容量の追加によって、性能を更に改善できます。

パワーOK (POK) およびフォルト・ステータス/割込み

この IC は、昇降圧出力のレギュレーション状態をモニタするパワーOK (POK) コンパレータと、何らかの危険な状態があれば提示するフォルト・ステータス/割込みを備えています。レジスタ 0x10 (STATS) 中の POK とフォルト・ステータス・ビットは IC の状態をリアルタイムで反映し、レジスタ 0x11 (INT) の個別の割込みビットは、対応するフォルト状態が発生するとトリガされ、ラッピングされて、読み出します。

昇降圧レギュレータが動作中は、実際の V_{OUT} のレベルに基づいて POK が継続的に更新されます。POK ビットは V_{OUT} が目標電圧の 85% (代表値) を下回ると 0 になり、目標電圧の 93% (代表値) を超えると 1 に変化します。ソフトスタート中もしくは DVS イベント中は、POK モニタの更新は一時的にディスエーブルされ、POK ビットはソフトスタートもしくは DVS イベントの前の値を保持しています。POK モニタの更新は、ソフトスタートもしくは DVS が終了すると再開します。

この IC にはいくつかのフォルト・イベントのモニタ機能があります。以下のフォルト・イベントはどれも、STATS レジスタと INT レジスタの対応するビットをアサートします。

- HARDSHORT : スイッチング電流の過電流保護 (SW OCP) のセクションを参照
- THS : サーマル・シャットダウン (THS) のセクションを参照
- OCP : スイッチング電流の過電流保護 (SW OCP) のセクションを参照

フォルト割込みビットは、レジスタ 0x12 (MASK) の対応するマスク・ビットフィールドに 1 を書き込むことにより、作動しないようマスクできます。例えば、MASK レジスタの THM_M ビットフィールドが 1 のとき、INT レジスタの THM_I ビットフィールドはサーマル・シャットダウン・イベントが発生してもセットされません。

また、この IC はアクティブ・ロー、オープン・ドレインの POKB/INTB デジタル出力端子を備えています。15k Ω のプルアップ抵抗を使用して、POKB/INTB 端子を V_{IO} に接続します。この端子は、レジスタ 0x14 (REG_CONT2) の POKBINTB[0] ビットによる選択で、次のように POK 端子またはフォルト割込み端子のいずれかとして構成できます。

- POKBINTB[0] = 0 : POK 端子 (POKB)。
- POKBINTB[0] = 1 : フォルト割込み端子 (INTB)。

この端子が POK 端子として構成されている場合、POKB/INTB 端子のデジタル出力信号はレジスタ 0x10 (STATS) の POK ビットの論理 NOT であり、すなわち V_{OUT} が POK スレッショルドより高いときにロジック・ローになります。[表 3](#) は、POKB/INTB 端子が POK 端子として構成されているときの真理値表です。

表 3. POKB/INTB 端子の真理値表 (POKBINTB = 0b0)

V_{OUT} CONDITION	POK BIT	POKB/INTB PIN
$V_{OUT} < POK$ threshold	0	HIGH
$V_{OUT} > POK$ threshold	1	LOW

この端子がフォルト割込み端子として構成されている場合、POKB/INTB 端子の信号はレジスタ 0x11 (INT) 中のマスクされていない全てのビットの論理 NOR となります。すなわちマスクされていないフォルト割込みイベントが 1 つでもあるときにロジック・ローになります。[表 4](#) は POKB/INTB 端子がフォルト割込み端子として構成されたときの真理値表を、全割込みビットのマスクが解除された条件 (MASK = 0x00) で示しています。

表 4. POKB/INTB 端子の真理値表 (POKBINTB = 0b1)

HARDSHORT	THS	OCP	POKB/INTB PIN
0	0	0	HIGH
1	X	X	LOW
X	1	X	LOW
X	X	1	LOW

*全割込みビットのマスクを解除 (MASK = 0x00) している場合

保護機能

低電圧ロックアウト (UVLO)

この IC の低電圧ロックアウト機能は、入力電圧 V_{IN} が IN の UVLO 立下がりスレッショルド (V_{UVLO_F}) を下回ったとき、または V_{IO} の電圧 (V_{VIO}) が V_{IO} 有効の立下がりスレッショルド ($V_{VIO_VALID_F}$) を下回ったときに、異常な入力条件での動作を防止します。EN 端子の状態にかかわらず、IC はディスエーブルされ、全レジスタがリセットされ、 V_{IN} が IN の UVLO 立上がりスレッショルド (V_{UVLO_R}) を超え、 V_{IO} が V_{IO} 有効の立上がりスレッショルド ($V_{VIO_VALID_R}$) を超えるのを待ちます。

スイッチング電流の過電流保護 (SW OCP)

この IC は、過負荷や高速トランジエント条件で IC やインダクタを保護するために、信頼性の高いスイッチング電流制限方式を備えています。スイッチング電流検出回路はハイサイド MOSFET から電流情報を読み取り、ピーク・スイッチング電流 ($R_{DS(ON)} \times I_L$) を決定します。

この IC には、多様な出力電流レベルに対応できるよう、ハイサイド MOSFET に対して 8 通りのサイクルごとのスイッチング電流制限スレッショルド (I_{LIM}) を設けています。ビットフィールド ILIM[2:0] もしくは R_{SEL} レジスタの値で I_{LIM} を設定します。I²C シリアル・インターフェースでは 8 つのオプションが全て設定できるのに対し、 R_{SEL} では 4 つのオプションだけが選択できることに注意してください。I²C シリアル・インターフェースによる I_{LIM} の設定と R_{SEL} による設定が異なる場合には、I²C の設定が R_{SEL} より優先します。

インダクタ電流 (I_L) が設定されたピーク電流制限値 (I_{LIM}) に達すると、IC は OCP 状態に入り OCP[0]ステータス・ビットがセットされます。インダクタの充電フェーズが終了し、スイッチング期間の残りの時間は放電フェーズ (Φ_3) で動作します。充電フェーズは次のクロック・サイクルで再び開始します。インダクタ電流が I_{LIM} に達しないようになっていれば、OCP[0]ステータス・ビットはセルフクリアされます。

V_{OUT} が目標の 70%を下回ると、IC は短絡ステータスに入り、HARDSHORT[0]ステータス・ビットがセットされます。OCP 状態と同様に、インダクタの充電フェーズが終了し、放電フェーズ (Φ_3) が開始します。この放電フェーズは、OCP 状態と異なり、インダクタ電流がバレー電流制限スレッショルド (I_{LIM_VALLEY}) 未満に下がるまでは終了せず、その後にインダクタ充電フェーズに入ります。その結果、短絡状態における実効スイッチング周波数は、レジスタの FREQ[1:0]ビットフィールドで設定された通常のスイッチング周波数とは異なります。選択可能な I_{LIM} オプションと、対応する I_{LIM_VALLEY} 値については、表 5 を参照してください。HARDSHORT[0]ステータス・ビットは、 V_{OUT} が目標の 70%を下回らないようになればセルフクリアされます。

表 5. MAX77859 のスイッチング電流制限値のオプション

ILIM[2:0] BITFIELD VALUE	PEAK CURRENT LIMIT (I_{LIM})	VALLEY CURRENT LIMIT (I_{LIM_VALLEY})	SOFT-START CURRENT LIMIT (I_{LIM_SS})	SKIP MODE CURRENT LIMIT (I_{LIM_SKIP})
000 (0x0)	7.8A	3.8A	3.8A	1.2A
001 (0x1)	6.8A			
010 (0x2)	5.8A			
011 (0x3)	4.8A			
100 (0x4)	3.8A			
101 (0x5)	2.8A			
110 (0x6)	2.0A			
111 (0x7)	1.2A			

この IC は、短絡状態で昇降圧レギュレータをラッチオフする 210 μ s の短絡タイマーも備えています。この 210 μ s のタイマーが終了すると（すなわち、 V_{OUT} が 210 μ s の間連続して目標値の 70%を下回ったとき）、IC は昇降圧レギュレータをラッチオフし、OCP_I[0]と HARDSHORT_I[0]の割込みビットをセットします。図 5 は OCP 状態と短絡状態での動作を示しています。ラッチオフに関する情報については、即時ラッチオフ条件のセクションを参照してください。ラッチオフ以前に短絡イベントから回復すれば、タイマーはリセットされます。

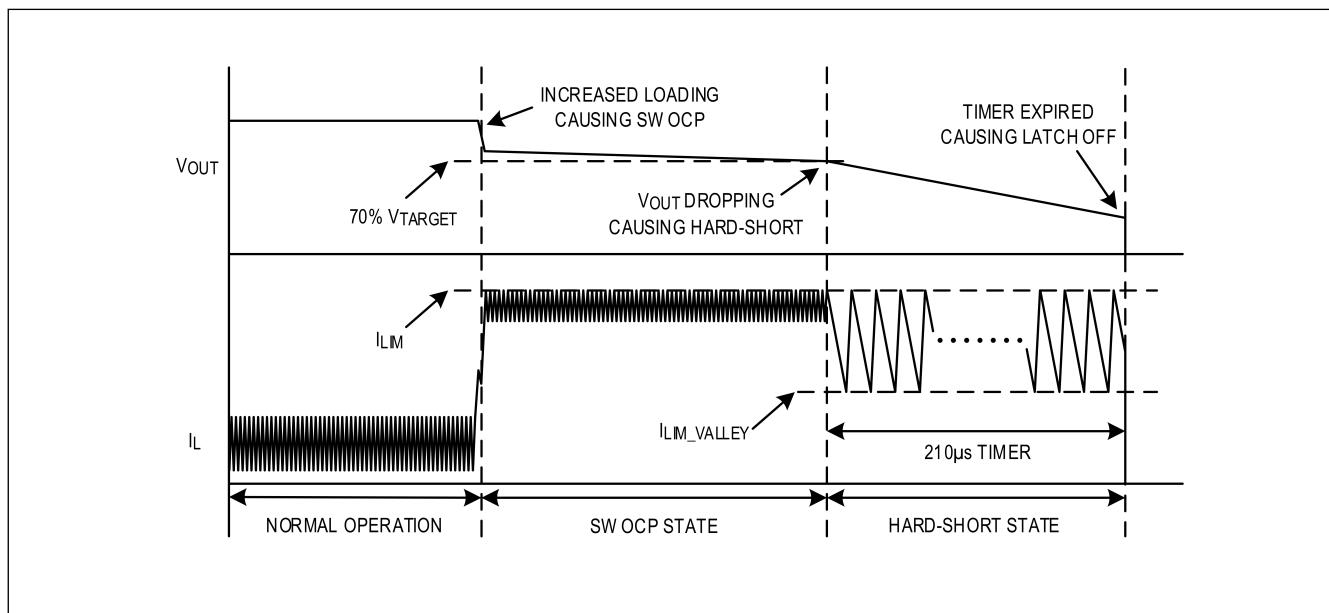


図 5. スイッチング電流の過電流と出力短絡における動作

出力電流の過電流保護 (OUT OCP、MAX77859A のみ)

MAX77859A には I²C シリアル・インターフェースを介して出力電流制限値を調整する機能があります。この IC は外付けの検出抵抗 (10mΩ を推奨) によって出力電流を検出します。電流検出抵抗の IC 側を直接 SRP 端子に接続し、負荷側を SRN 端子に接続します。検出ネットワークにローパス・フィルタを追加して、昇圧モードと降圧モードの動作における精度を改善することができます。検出抵抗の IC への接続を図 6 に示します。

出力電流が設定されたスレッショルドのレベルに達すると、レギュレータはハイサイド MOSFET をディスエーブルし、ローサイド MOSFET を介してインダクタから放電します。その結果、出力電流は I_{OUT_LIM} のレベルでクランプされます。I_{OUT_LIM} のレベルは IOUTLIM[6:0]ビットフィールドの設定により調整できます。設定可能な出力電流制限値 (I_{OUT_LIM}) のオプションの範囲は 50mA の分解能で 1A~5A となっており、デフォルト値は 10mΩ の電流検出抵抗の場合 3A です。詳細については [レジスタ・マップ](#) のセクションを参照してください。

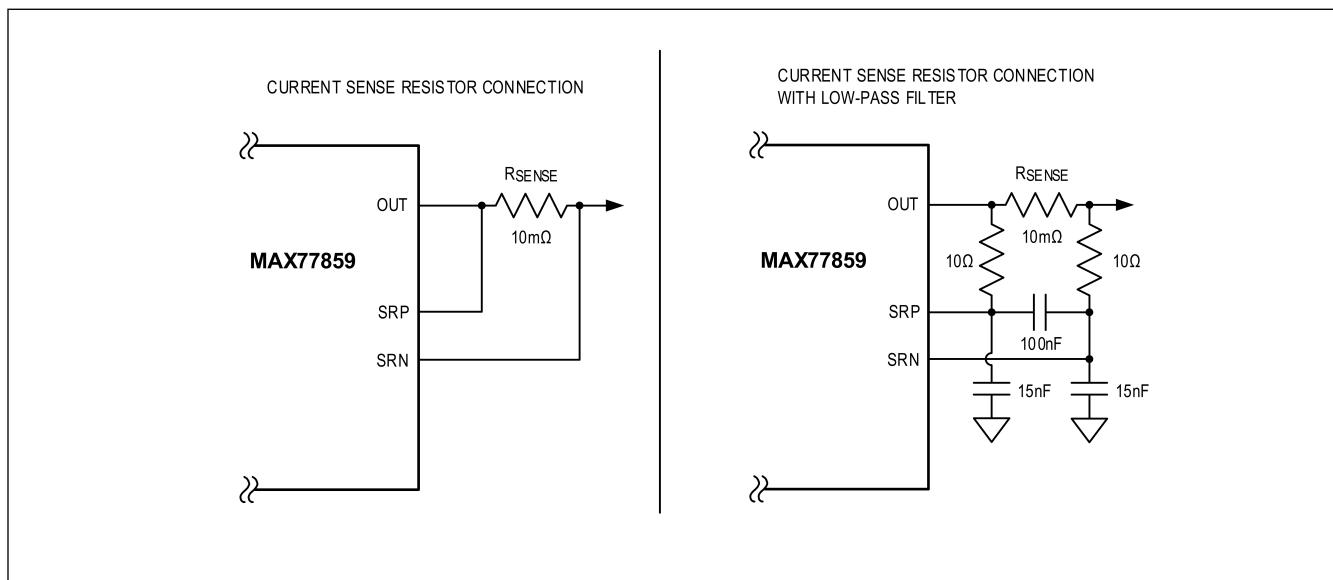


図 6. MAX77859A への出力電流検出抵抗（およびローパス・フィルタ）の接続

サーマル・シャットダウン (THS)

この IC には、ダイ温度を監視する過熱保護回路が内蔵されています。ジャンクション温度 (T_J) がサーマル・シャットダウンの立上がりスレッショルド (T_{SHDN_R} 、代表値 150°C) を超過すると、IC はサーマル・シャットダウン (THS) に入ります。THS では IC はラッチオフし、THS[0]ステータス・ビットと THS_I[0]割込みビットがセットされます。他のラッチオフ・イベントと異なり、出力のアクティブ放電は起動されません。温度がサーマル・シャットダウン・ヒステリシス (T_{SHDN_HYS} 、代表値 15°C) より更に低下すると THS[0]ステータス・ビットはセルフクリアされます。昇降圧出力をサーマル・シャットダウンから回復させるには、EN 端子または IN 端子の再投入が必要です。詳細については、[即時ラッチオフ条件](#)のセクションを参照してください。

詳細 - I²C シリアル・インターフェース

概要

I²C 互換の2線式シリアル・インターフェースを、出力電圧やその他の機能の設定に使用します。設定項目については[レジスタ・マップ](#)を参照してください。

I²C シリアル・バスは、双方向のシリアル・データ・ライン (SDA) とシリアル・クロック (SCL) で構成されています。I²C はオープン・ドレインのバスで、SDA と SCL にはプルアップ抵抗 (500Ω以上) が必要です。SDA および SCL と直列に 24Ω の抵抗を追加することで、バス・ラインの高電圧スパイクからデバイスの入力を保護できます。直列抵抗はまた、バス・ラインのクロストークとアンダーシュートを最小限に抑えます。

システム設定

I²C バスはマルチコントローラ・バスです。このバスに接続できるデバイスの最大数は、バスの容量によってのみ制限されます。

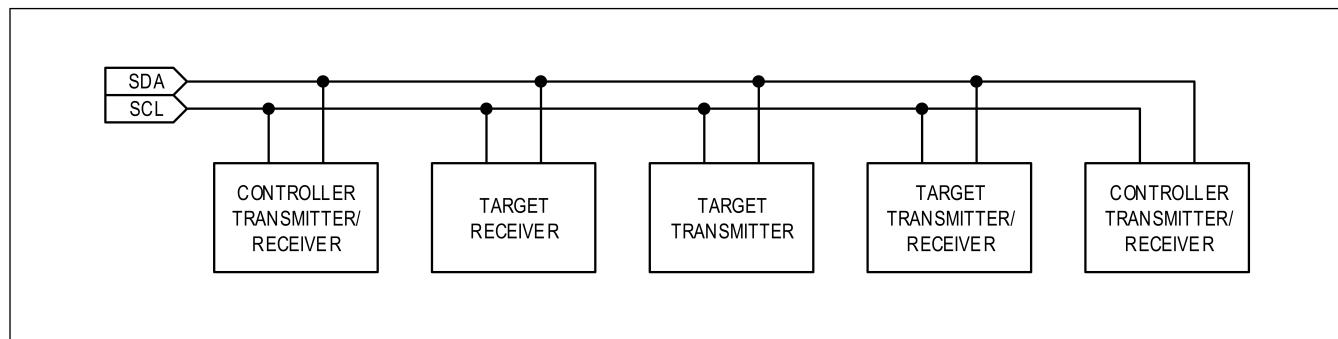


図 7. 通信コントローラの機能論理図

図 7 は、一般的な I²C システムの例です。I²C バス上でバスにデータを送信するデバイスは、「トランスマッタ」と呼ばれます。バスからデータを受信するデバイスは、「レシーバ」と呼ばれます。データ転送を開始し、データ転送を制御するための SCL クロック信号を生成するデバイスは、「コントローラ」と呼ばれます。コントローラからアドレス指定されるデバイスは、「ターゲット」と呼ばれます。MAX77859 は I²C バス上のターゲットであり、トランスマッタとレシーバのどちらにもなることができます。

ビット転送

SCL クロック・サイクルごとに 1 データ・ビットが転送されます。SDA 上のデータは、SCL クロック・パルスがハイの間、安定した状態を維持する必要があります。SCL がハイの間に SDA が変化すると、制御信号 (スタート・コンディションとストップ・コンディション) になります。

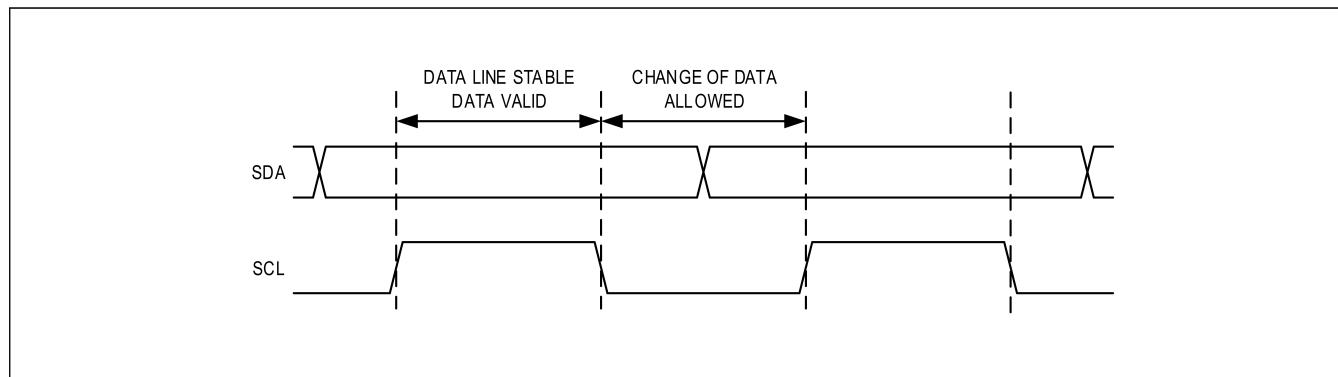


図 8. I²C ビット転送

スタート・コンディションとストップ・コンディション

I²C シリアル・インターフェースがアクティブでないとき、SDA と SCL はハイのアイドル状態です。コントローラ・デバイスは、スタート・コンディション (S) を発行することで通信を開始します。スタート・コンディション (S) は、SCL がハイの状態における SDA のハイからローへの遷移です。ストップ・コンディション (P) は、SCL がハイの状態における SDA のローからハイへの遷移です。

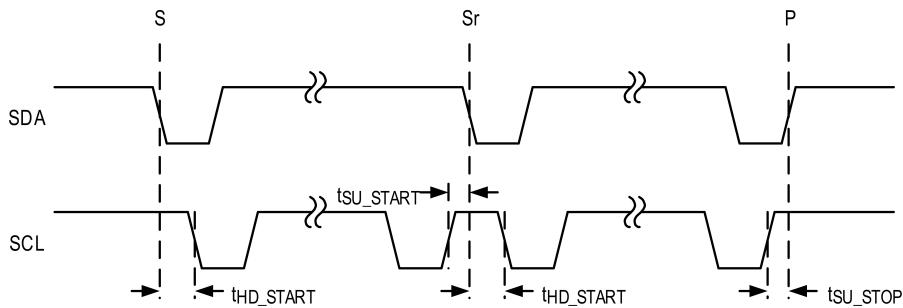


図 9. スタート・コンディションとストップ・コンディション

コントローラ・デバイスからのスタート・コンディション (S) は、通信の開始を通知します。コントローラは、NOT-ACKNOWLEDGE (nA) に続けてストップ・コンディション (P) を発行して転送を終了します。

ストップ・コンディション (P) はバスを解放します。ターゲットに対して連続するコマンドを発行する場合、コントローラはストップ・コンディション (P) の代わりに反復スタート (Sr) コマンドを発行して、バスの制御を維持できます。一般的に、反復スタート (Sr) コマンドは、通常のスタート・コンディションと機能的に同等です。

ストップ・コンディション (P) または不正なアドレスが検出されると、MAX77859 は次のスタート・コンディション (S) まで I2C シリアル・インターフェースから SCL を内部的に切り離して、デジタル・ノイズとフィードスルーを最小限に抑えます。

アクノレッジ・ビット

I²C バス・コントローラ・デバイスとターゲット・デバイスのどちらも、データを受信するとアクノレッジ・ビットを生成します。アクノレッジ・ビットは、9 ビットの各データ・パケットにある最後のビットです。ACKNOWLEDGE (A) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルス (9 番目のパルス) の立上がりエッジの前に SDA をローにし、クロック・パルスがハイの間ローに維持する必要があります。NOT-ACKNOWLEDGE (nA) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルスの立上がりエッジの前に SDA がハイにプルアップされるようにし、クロック・パルスがハイの間ハイに維持します。

アクノレッジ・ビットをモニタすることで、データ転送の失敗を検出できます。データ転送の失敗は、受信デバイスがビジーであるか、システム・フォルトが発生した場合に発生します。データ転送が失敗した場合には、バス・コントローラは後で通信を再試行する必要があります。

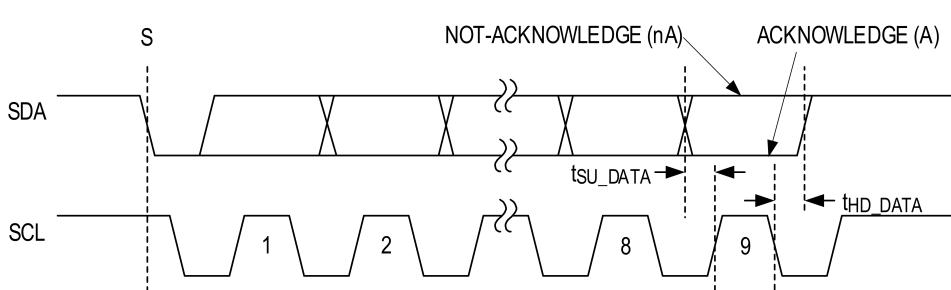


図 10. アクノレッジ・ビット

ターゲット・アドレス

表 6 は MAX77859 で使用可能な I²C ターゲット・アドレスを示しています。MAX77859 は最大 4 つの異なるターゲット・アドレスを RSEL による設定で使用でき、同一の I²C バス・ライン上で複数のデバイスを使用する場合や、システム内でターゲット・アドレスの衝突がある場合に有効です。使用可能な RSEL の値と対応する I²C ターゲット・アドレスについては、表 2 を参照してください。

表 6. MAX77859 の I²C ターゲット・アドレス

7-BIT TARGET ADDRESS	8-BIT WRITE ADDRESS	8-BIT READ ADDRESS
110 0110 (0x66)	1100 1100 (0xCC)	1100 1101 (0xCD)
110 0111 (0x67)	1100 1110 (0xCE)	1100 1111 (0xCF)
110 1110 (0x6E)	1101 1100 (0xDC)	1101 1101 (0xDD)
110 1111 (0x6F)	1101 1110 (0xDE)	1101 1111 (0xDF)

図 11 はターゲット・アドレス 0x66 を示す 7 ビット・アドレスです。

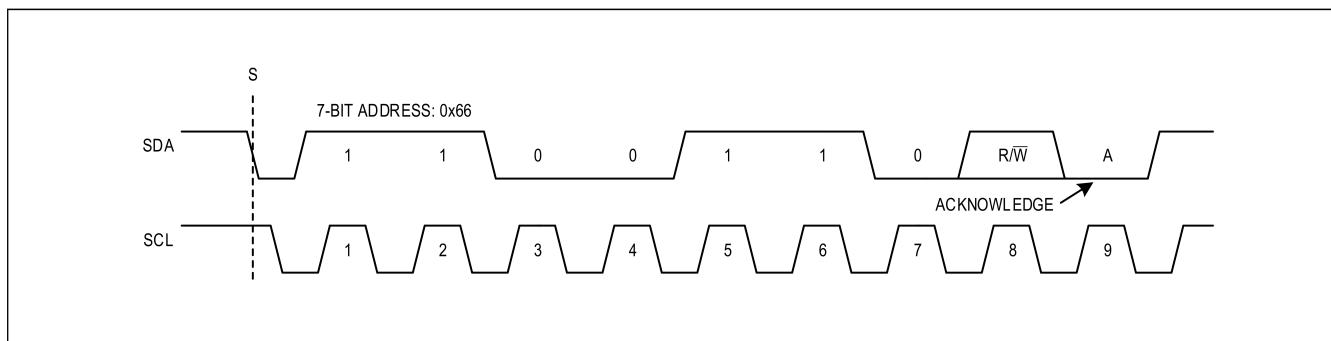


図 11. ターゲット・アドレス・バイトの例

クロック・ストレッ칭

一般に、I²C バスのクロック信号生成はコントローラ・デバイスの役割です。I²C の仕様では、低速のターゲット・デバイスが、クロック・ラインをローに保持することによってクロック信号を変更できるようになっています。ターゲット・デバイスがクロック・ラインをローに保持するプロセスは、一般にクロック・ストレッ칭と呼ばれています。MAX77859 は、クロック・ラインをローに保つクロック・ストレッ칭動作はいかなる形でも使用しません。

一般呼び出しアドレス

MAX77859 は、I²C 仕様の「ジェネラル・コール・アドレス」には対応していません。MAX77859 は、「ジェネラル・コール・アドレス」(0000 0000) を検出しても、ACKNOWLEDGE (A) を発行しません。

通信速度

MAX77859 は I²C のリビジョン 3.0 仕様に示されている以下の通信速度をサポートしています。

- 0Hz~100kHz (標準モード)
- 0Hz~400kHz (ファースト・モード)
- 0Hz~1MHz (ファースト・モード・プラス)
- 0Hz~3.4MHz (ハイスピード・モード)

標準モード、ファースト・モード、ファースト・モード・プラスで動作させる場合、特別なプロトコルは必要ありません。この範囲でバス速度を変更する場合、バス容量とプルアップ抵抗の組み合わせが重要です。バス容量とプルアップ抵抗 ($C \times R$) によって生じる時定数が大きいと、バスの動作が遅くなります。したがって、バスの速度を上げる場合、妥当な時定数を維持するために、プルアップ抵抗を小さくする必要があります。プルアップ抵抗の選択に関する詳細なガイダンスについては、I²C のリビジョン 3.0 仕様のプルアップ抵抗のサイジングのセクションを参照してください。一般に、バス容量が 200pF の場合、100kHz のバスには 5.6kΩ、400kHz のバスには約 1.5kΩ、1MHz のバスには 680Ω のプルアップ抵抗が必要です。なお、プルアップ抵抗はオープンドレイン・バスがローの時に電力を消費します。プルアップ抵抗の値が小さいほど、消費電力 (V^2/R) は大きくなります。

ファースト・モードでの動作には、いくつかの特別な考慮が必要です。考慮事項の完全なリストは、I²C のリビジョン 3.0 仕様を参照してください。MAX77859 の主な考慮事項は次のとおりです。

- ・コントローラは、電流源プルアップを用いて、信号の立上がり時間を短縮します。
- ・ターゲット・デバイスは、高速バスに対応するため、SDA ラインと SCL ラインで異なる入力フィルタを使用する必要があります。
- ・通信プロトコルは、高速のコントローラ・コードを利用する必要があります。

パワーアップ時および各ストップ・コンディション (P) 後、MAX77859 の入力フィルタを標準モード、ファースト・モード、ファースト・モード・プラス (すなわち 0Hz~1MHz) 用のいずれかに設定します。ハイスピード・モード用の入力フィルタの切り替えでは、[ハイスピード・モードでの通信](#) のセクションに記載のプロトコルを使用します。

通信プロトコル

MAX77859 は、レジスタからの書き込みと読み出しに対応しています。

単一レジスタへの書き込み

図 12 に、単一レジスタへの書き込みプロトコルを示します。このプロトコルは、SMBus 規格の「バイト書き込み」プロトコルと同様です。

「バイト書き込み」プロトコルは、以下のとおりです。

1. コントローラはスタート・コンディション (S) を送信します。
2. コントローラは、7 ビットのターゲット・アドレスに続いて、書き込みビット ($R/W = 0$) を送信します。
3. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
4. コントローラは 8 ビットのレジスタ・ポインタを送信します。
5. アドレス指定されたターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラはデータ・バイトを送信します。
7. アドレス指定されたターゲットはデータ・バイトをアクノレッジします。SCL の立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. コントローラは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。ストップ・コンディション (P) を発行することで、バスの入力フィルタは 1MHz 以下の動作に設定されます。反復スタート・コンディション (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

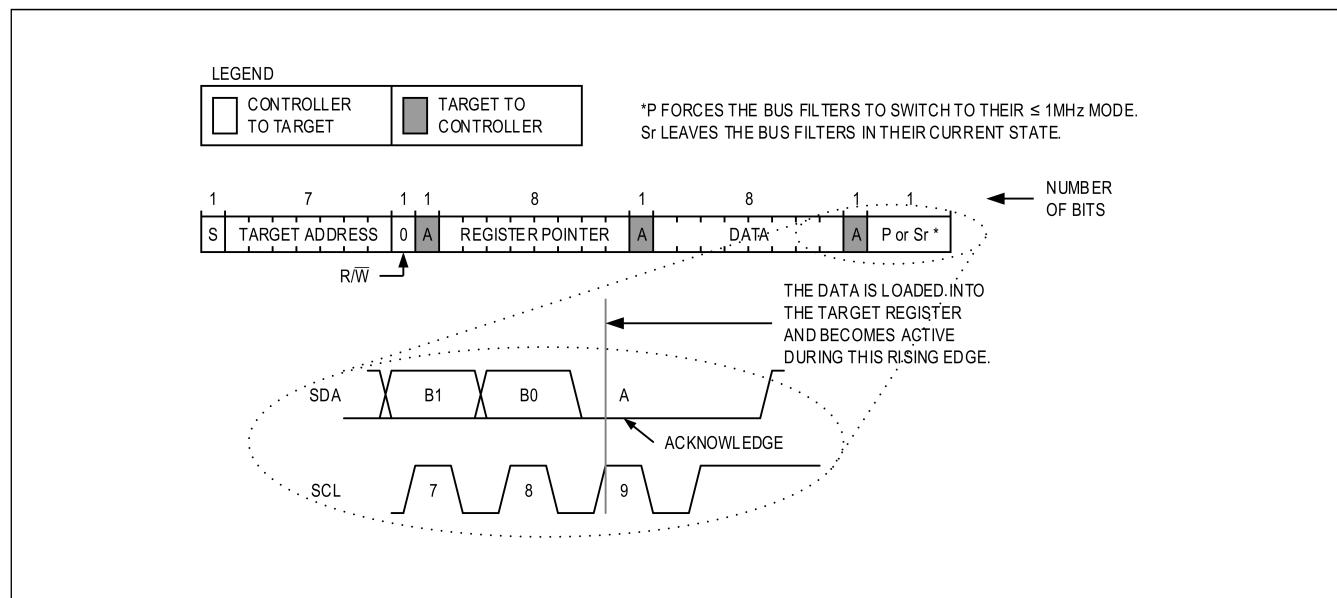


図 12. 単一レジスタへの書き込み

連続したレジスタへの書き込み

図 13 に、連続する複数レジスタへの書き込みプロトコルを示します。このプロトコルは「バイト書き込み」プロトコルに似ていますが、ターゲット・デバイスがデータの最初のバイトを受信した後もコントローラ・デバイスが書き込みを継続する点が異なります。書き込みが終了すると、コントローラはストップ・コンディション (P) または反復スタート・コンディション (Sr) を発行します。

「連続したレジスタへの書き込み」プロトコルは以下のとおりです。

1. コントローラはスタート・コンディション (S) を送信します。
2. コントローラは、7 ビットのターゲット・アドレスに続いて、書き込みビット ($R/\overline{W} = 0$) を送信します。
3. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
4. コントローラは 8 ビットのレジスタ・ポインタを送信します。
5. アドレス指定されたターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラはデータ・バイトを送信します。
7. アドレス指定されたターゲットはデータ・バイトをアクノレッジします。SCL の立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. ステップ 6~7 が、コントローラが必要とする回数だけ繰り返されます。
9. 最後のアクノレッジに関連したクロック・パルス中に、ターゲットは ACKNOWLEDGE (A) を発行します。
10. コントローラは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。ストップ・コンディション (P) を発行することで、バスの入力フィルタは 1MHz 以下の動作に設定されます。反復スタート・コンディション (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

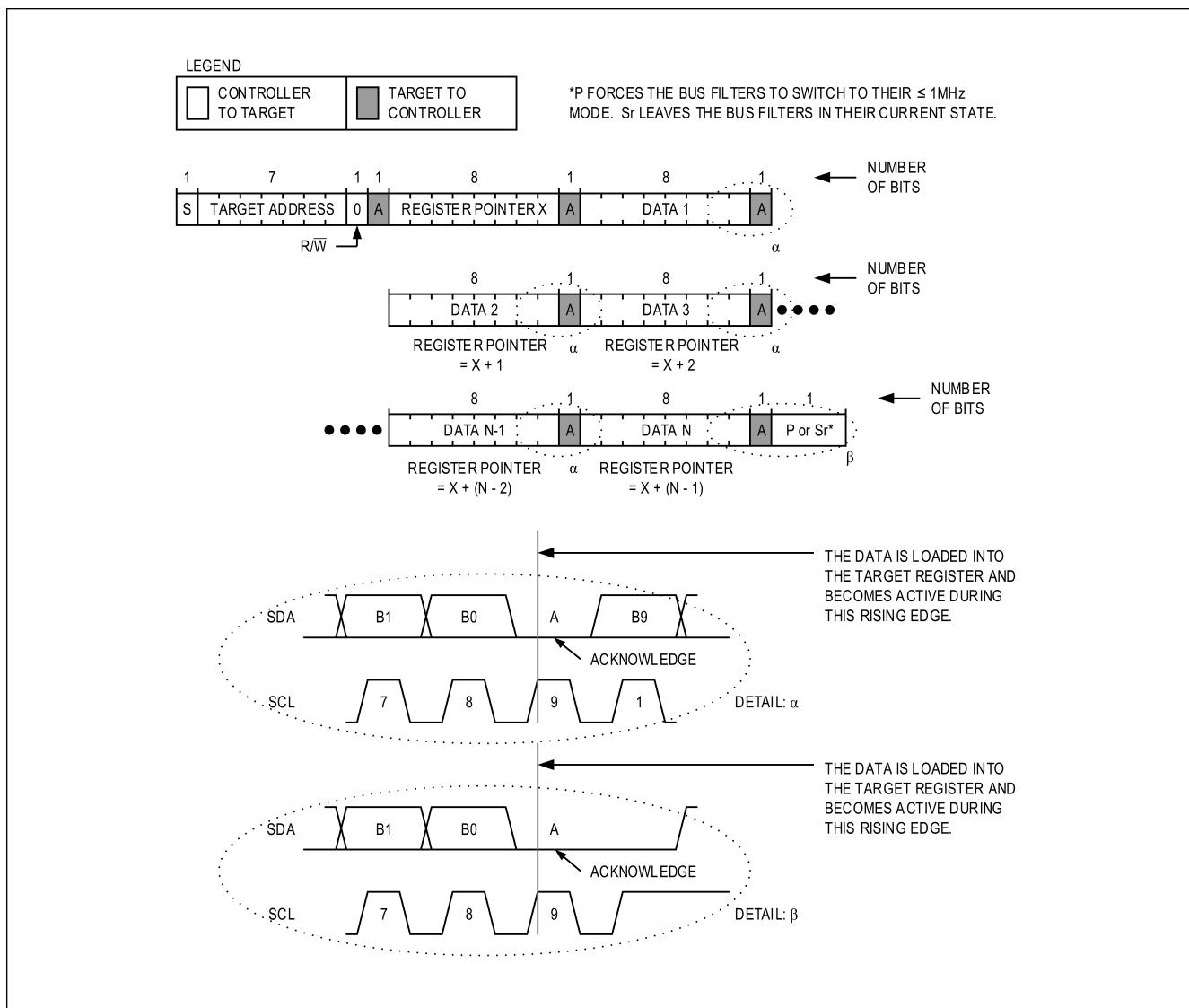


図 13. 連続したレジスタへの書き込み

単一レジスタからの読み出し

図 14 に、单一レジスタからの読み出しのプロトコルを示します。このプロトコルは、SMBus 規格の「バイト読み出し」プロトコルと同様です。

「バイト読み出し」プロトコルは、以下のとおりです。

1. コントローラはスタート・コンディション (S) を送信します。
2. コントローラは、7 ビットのターゲット・アドレスに続いて、書き込みビット ($R/W = 0$) を送信します。
3. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
4. コントローラは 8 ビットのレジスタ・ポインタを送信します。
5. アドレス指定されたターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復スタート・コマンド (Sr) を送信します。
7. コントローラは、7 ビットのターゲット・アドレスに続いて、読み出しビット ($R/W = 1$) を送信します。
8. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された場所の 8 ビット・データをバス上に配置します。
10. コントローラは NOT-ACKNOWLEDGE (nA) を発行します。

11. コントローラは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。ストップ・コンディション (P) を発行することで、バスの入力フィルタは 1MHz 以下の動作に設定されます。反復スタート・コンディション (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

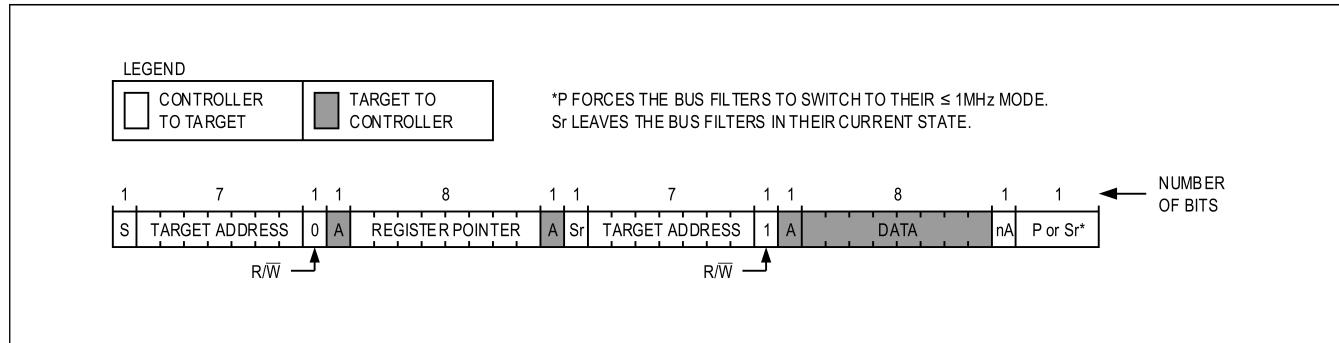


図 14. 単一レジスタからの読み出し

連続したレジスタからの読み出し

図 15 に、連続する複数レジスタからの読み出しプロトコルを示します。このプロトコルは「バイト読み出し」プロトコルに似ていますが、コントローラ・デバイスが更に多くのターゲット・デバイスのデータを求めていることを示すために ACKNOWLEDGE (A) を発行する点が異なります。コントローラ・デバイスが必要とするデータを全て受信すると、NOT-ACKNOWLEDGE (nA) とストップ・コンディション (P) を発行して転送を終了します。

「連続したレジスタからの連続読み出し」のプロトコルは以下のとおりです。

1. コントローラはスタート・コンディション (S) を送信します。
2. コントローラは、7 ビットのターゲット・アドレスに続いて、書込みビット ($R/\overline{W} = 0$) を送信します。
3. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
4. コントローラは 8 ビットのレジスタ・ポインタを送信します。
5. アドレス指定されたターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復スタート・コマンド (Sr) を送信します。
7. コントローラは、7 ビットのターゲット・アドレスに続いて、読み出しビット ($R/\overline{W} = 1$) を送信します。
8. アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された場所の 8 ビット・データをバス上に配置します。
10. コントローラは ACKNOWLEDGE (A) を発行し、更にデータの受信が必要であることをターゲットに通知します。
11. ステップ 9~ステップ 10 を、コントローラが必要とする回数だけ繰り返します。データの最後のバイトに続いて、コントローラは NOT-ACKNOWLEDGE (nA) を発行して、データの受信を停止することを通知しなければなりません。
12. コントローラは、ストップ・コンディション (P) または反復スタート・コンディション (Sr) を送信します。ストップ・コンディション (P) を発行することで、バスの入力フィルタは 1MHz 以下の動作に設定されます。反復スタート・コンディション (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

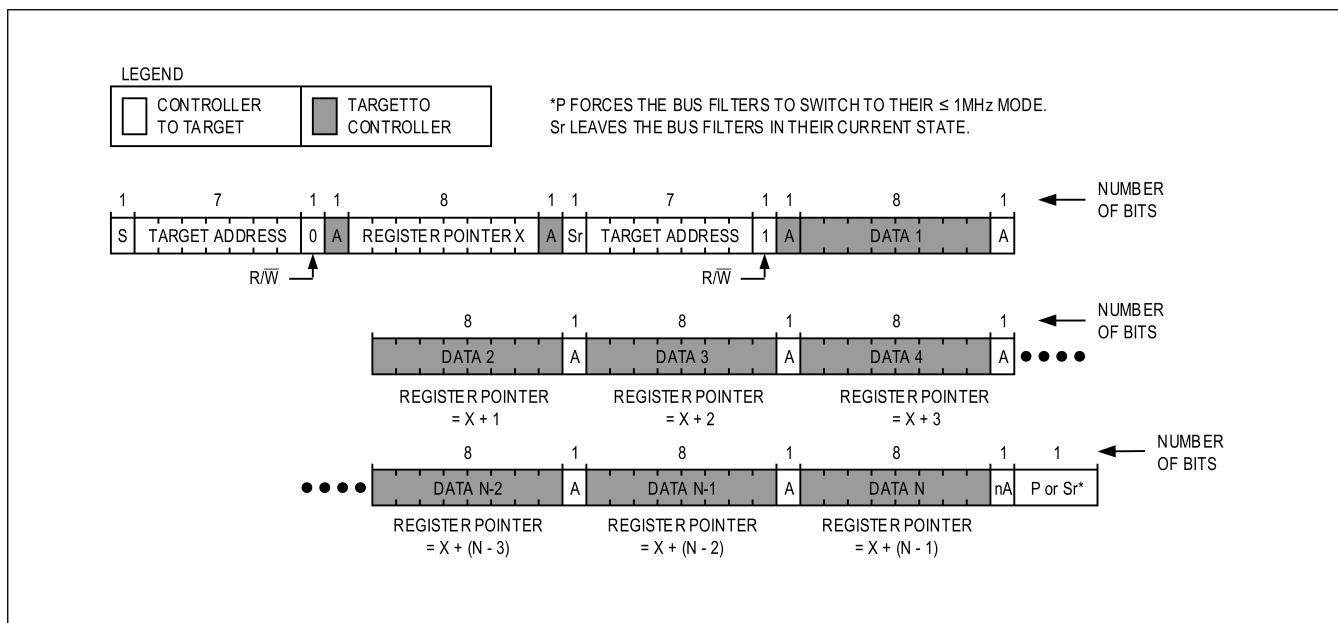


図 15. 連続したレジスタからの読み出し

ハイスピード・モードでの通信

図 16 に、ハイスピード・モードでの通信をするためのプロトコルを示します。このモードではバスが最大 3.4MHz の速度で動作できます。ハイスピード・モードでの通信のためのプロトコルは以下のとおりです。

- 1MHz 以下のバス速度で動作している時にプロトコルを開始します。
 - コントローラはスタート・コンディション (S) を送信します。
 - コントローラは、0000 1xx0 (xx は任意ビット) の 8 ビット・コントローラ・コードを送信します。
 - アドレス指定されたターゲットは、NOT-ACKNOWLEDGE (nA) を発効します。
 - コントローラはバス速度を 3.4MHz まで上昇させ、任意の読み出し／書き込み動作を開始できます。

マスターはストップ・コンディション (P) が発行されるまで、高速の読み出し／書き込み動作を継続して発行できます。ストップ・コンディション (P) を発行することで、バスの入力フィルタは 1MHz 以下の動作に設定されます。

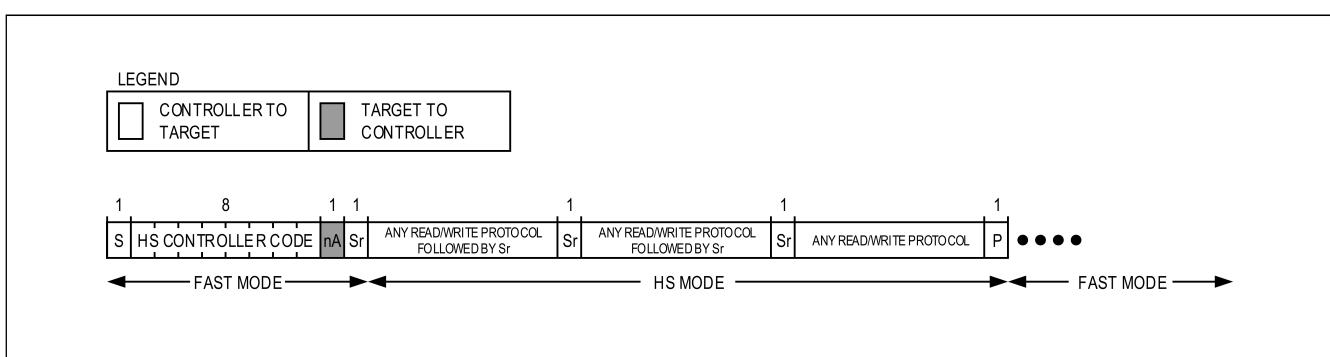


図 16. ハイスピード・モードでの通信

ハイスピード・モードの延長

MAX77859 は、ハイスピード・モード延長機能をサポートしています。この機能により、ストップ・コンディション (P) を受信した後もハイスピード・モードを維持できます。コントローラ・デバイスが複数回の読み出し/書き込みサイクルにわたってハイスピード・モードを継続したいときに、ハイスピード・モードでの通信をするためのコマンドを再発行する必要がなくなります。

図 17 は I²C モードの状態遷移図を示します。MAX77859 が低速モードの場合に HS_EXT[0] ビットフィールドに 1 を書き込むと、ハイスピード・モードの延長ができます。MAX77859 がハイスピード・モードである状態でのハイスピード・モードの延長はサポートされていません。

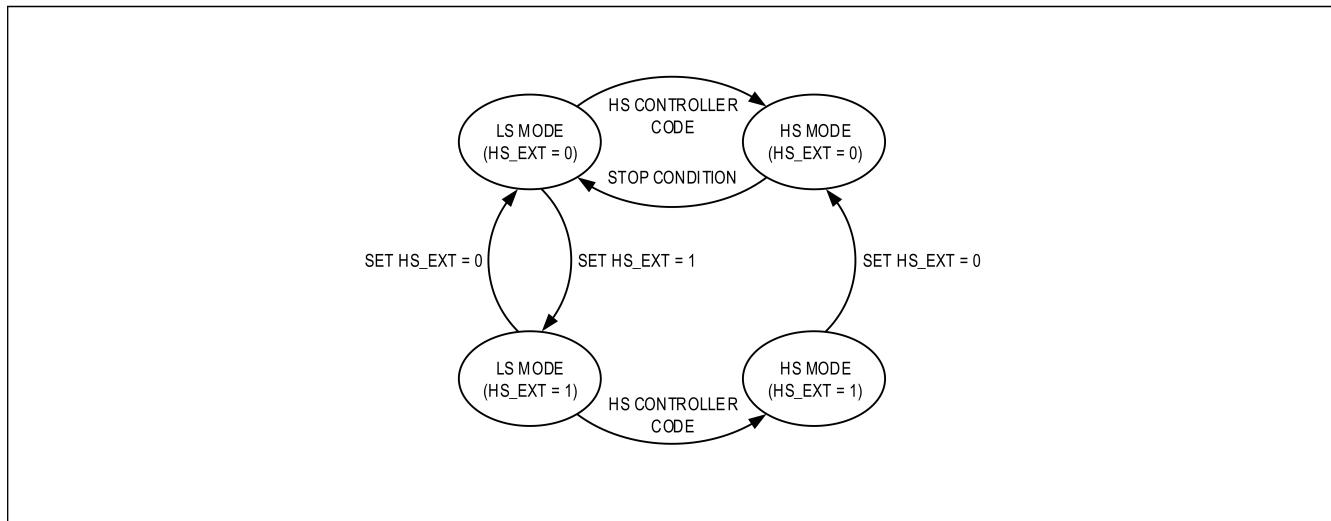


図 17. I²C 動作モードの状態図

レジスタ・マップ

ユーザ・レジスター

シャットダウン時にレジスタはリセットされます。

ADDRESS	NAME	MSB						LSB
User Registers								
0x10	STATS[7:0]		RSVD[2:0]	POK	RSVD	HARDSHORT	THS	OCP
0x11	INT[7:0]		RSVD[3:0]		RSVD	HARDSHORT_I	THS_I	OCP_I
0x12	MASK[7:0]		RSVD[3:0]		RSVD	HARDSHORT_M	THS_M	OCP_M
0x13	REG_CONT1[7:0]		COMP[2:0]	FREQ[1:0]			ILIM[2:0]	
0x14	REG_CONT2[7:0]		RSVD[3:0]	POKBINTB	FPWM		SLEW_RATE[1:0]	
0x15	REG_CONT3[7:0]		RSVD[4:0]		DVS_STR		VREF_U[1:0]	
0x16	REG_CONT4[7:0]			VREF_L[7:0]				
0x17	REG_CONT5[7:0]	RSVD			IOUTLIM[6:0]			
0x18	I ² C_CNFG[7:0]			RSVD[6:0]			HS_EXT	

レジスタの詳細

STATS (0x10)

POK とフォルト・ステータス・レジスター

BIT	7	6	5	4	3	2	1	0
Field	RSVD[2:0]			POK	RSVD	HARDSHORT	THS	OCP
Reset	0b000			0b0	0b0	0b0	0b0	0b0
Access Type	Read Only			Read Only				

ビット・フィールド	ビット	説明	デコード
RSVD	7:5	予備。読み出し値は0。	N/A
POK	4	パワーOKステータス。	0: Output voltage is below POK threshold 1: Output voltage is above POK threshold This status bit indicate instantaneous value.
RSVD	3	予備。	N/A

ビット・フィールド	ビット	説明	デコード
HARDSHORT	2	出力短絡ステータス。	0: Output voltage is above hard short threshold 1: Output voltage is below hard short threshold This status bit indicates instantaneous value.
THS	1	サーマル・シャットダウン・ステータス。	0: Die temperature is below thermal shutdown threshold 1: Die temperature is above thermal shutdown threshold This status bit indicates instantaneous value.
OCP	0	過電流保護ステータス。	0: Switching current is below switching current limit 1: Switching current is triggering switching current limit This status bit indicates instantaneous value.

INT (0x11)

フォルト割込みレジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				RSVD	HARDSHORT_I	THS_I	OCP_I
Reset	0b0000				0b0	0b0	0b0	0b0
Access Type	Read Only				Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビット・フィールド	ビット	説明	デコード
RSVD	7:4	予備。読み出し値は0。	N/A
RSVD	3	予備。	N/A
HARDSHORT_I	2	出力短絡割込み。	0: Device has NOT latched off due to output hard short 1: Device has latched off due to output hard short This bit latches once triggered. Interrupt clears after read.
THS_I	1	サーマル・シャットダウン割込み。	0: Device has NOT latched off due to thermal shutdown 1: Device has latched off due to thermal shutdown This bit latches once triggered. Interrupt clears after read.
OCP_I	0	過電流保護割込み。	0: Device has NOT latched off due to overcurrent 1: Device has latched off due to overcurrent This bit latches once triggered. Interrupt clears after read.

MASK (0x12)

フォルト割込みマスク・レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				RSVD	HARDSHORT_M	THS_M	OCP_M
Reset	0b0000				0b0	0b0	0b0	0b0
Access Type	Write, Read				Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7:4	予備。	N/A
RSVD	3	予備。	N/A
HARDSHORT_M	2	出力短絡割込みマスク。	0: Ouput hard short interrupt is NOT masked (default) 1: Ouput hard short interrupt is masked
THS_M	1	サーマル・シャットダウン割込みマスク。	0: Thermal shutdown interrupt is NOT masked (default) 1: Thermal shutdown interrupt is masked
OCP_M	0	過電流保護割込みマスク。	0: Overcurrent protection interrupt is NOT masked (default) 1: Overcurrent protection interrupt is masked

REG_CONT1 (0x13)

コントロール・レジスタ 1

BIT	7	6	5	4	3	2	1	0
Field	COMP[2:0]				FREQ[1:0]		ILIM[2:0]	
Reset	0b010				0b10		0b000	
Access Type	Write, Read				Write, Read		Write, Read	

ビット・フィールド	ビット	説明	デコード
COMP	7:5	内部補償用 R_C のオプション（バンド幅）。	000: $R_C = 30\text{k}\Omega$, Buck mode $R_C = 20\text{k}\Omega$, Boost mode 001: $R_C = 45\text{k}\Omega$, Buck mode $R_C = 30\text{k}\Omega$, Boost mode 010: $R_C = 60\text{k}\Omega$, Buck mode $R_C = 45\text{k}\Omega$, Boost mode (Default) 011: $R_C = 70\text{k}\Omega$, Buck mode $R_C = 50\text{k}\Omega$, Boost mode 100: $R_C = 80\text{k}\Omega$, Buck mode $R_C = 55\text{k}\Omega$, Boost mode 101: $R_C = 90\text{k}\Omega$, Buck mode $R_C = 60\text{k}\Omega$, Boost mode 110: $R_C = 110\text{k}\Omega$, Buck mode $R_C = 75\text{k}\Omega$, Boost mode 111: $R_C = 150\text{k}\Omega$, Buck mode $R_C = 100\text{k}\Omega$, Boost mode
FREQ	4:3	スイッチング周波数。	00: 1.2MHz 01: 1.5MHz (Default) 10: 1.8MHz 11: 2.1MHz

ビット・フィールド	ビット	説明	デコード
ILIM	2:0	ハイサイド・スイッチング電流制限。	000: 7.8A 001: 6.8A 010: 5.8A 011: 4.8A 100: 3.8A 101: 2.8A 110: 2.0A 111: 1.2A

REG_CONT2 (0x14)

コントロール・レジスタ 2

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]					POKBINTB	FPWM	SLEW_RATE[1:0]
Reset	0b0000					0b0	0b0	0x00
Access Type	Write, Read					Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7:4	予備	N/A
POKBINTB	3	POKB/INTB端子の設定。	0: The POKB/INTB pin is configured as a POKB pin (reflection of POK bit in STATS register) (Default) 1: The POKB/INTB pin is configured as an INTB pin (reflection of INT register)
FPWM	2	強制PWMモード制御。	0: Forced-PWM mode is disabled (Default) 1: Forced-PWM mode is enabled
SLEW_RATE	1:0	内部リファレンスDVSランプ・レート。 V_{REF} DVSランプ・レートを V_{OUT} のランプ・レートに変換する式については、 出力電圧の設定 のセクションを参照してください。	00: 1.5mV/μs (FREQ = 00) 1mV/μs (FREQ = 01 or 10) 0.8mV/μs (FREQ = 11) (Default) 01: 0.5mV/μs 10: 0.25mV/μs 11: 0.125mV/μs

REG_CONT3 (0x15)

コントロール・レジスタ 3

BIT	7	6	5	4	3	2	1	0
Field	RSVD[4:0]					DVS_STR	VREF_U[1:0]	
Reset	0b00000					0b0	0x0	
Access Type	Write, Read					Write, Read	Write, Read	

ビット・フィールド	ビット	説明	デコード
RSVD	7:3	予備。	N/A

ビット・フィールド	ビット	説明	デコード
DVS_STR	2	DVS開始。	Initiates DVS to apply new VREF. This bit self-clears after DVS is done, or if there is no change to VREF[9:0].
VREF_U	1:0	内部リファレンス電圧の上位ビット。	See VREF_L[7:0] for decode values

REG_CONT4 (0x16)

コントロール・レジスタ 4

BIT	7	6	5	4	3	2	1	0
Field	VREF_L[7:0]							
Reset	0xFA							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
VREF_L	7:0	内部リファレンス電圧の下位ビット。	VREF[9:0] bitfield is a combination of VREF_U[1:0] and VREF_L[7:0], in which VREF_U[1:0] represents the upper 2 bits and VREF_L[7:0] represents the lower 8 bits. After updating VREF[9:0], write 0b1 to DVS_STR (or within the same I ² C transaction writing VREF_U[1:0]) to apply the new value. The decode of VREF[9:0] bitfield is as follows: 0x000–0x09F: 0.19531V 0x0A0–0x320: 1.22mV/LSB in a linear transfer function between 0.19531V (0x0A0) to 0.97656V (0x320) 0x321–0x3FF: 0.97656V Default: 0x0FA: 0.30518V

REG_CONT5 (0x17)

コントロール・レジスタ 5

BIT	7	6	5	4	3	2	1	0
Field	RSVD							
Reset	0b0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
RSVD	7	予備。	N/A
IOUTLIM	6:0	出力電流制限スレッショルド (MAX77859Aのみ)。	<p>The following decode values are based on a 10mΩ sense resistance.</p> <p>0x00–0x12: 1A 0x13–0x63: 50mA/LSB in a linear transfer function between 1A (0x13) to 5A (0x63) 0x64–0x7F: 5A</p> <p>Default: 0x3B: 3A</p>

I2C_CNFG (0x18)I²C 設定レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[6:0]							HS_EXT
Reset	0b0000000							0b0
Access Type	Write, Read							Write, Read

ビット・フィールド	ビット	説明	デコード
RSVD	7:1	予備	N/A
HS_EXT	0	I ² Cハイスピード・モードの延長制御。	<p>0: I²C high-speed mode extension is disabled (Default)</p> <p>1: I²C high-speed mode extension is enabled</p>

アプリケーション情報

低い出力電圧についての考慮事項

MAX77859 の最小オン時間は 110ns (代表値) で、これによって出力電圧が低い条件での入力電圧範囲が制限されます。所定の最小出力電圧に対する最大入力電圧を計算するには、以下の式を使用します。入力電圧範囲を制限することによって、3V よりも低い出力電圧を得ることができます。しかし、2.5V より低い出力電圧ではデバイスを動作させないでください。

$$V_{IN_MAX} = V_{OUT} / (110ns \times f_{SW})$$

例えば、2.5V 出力で 1.8MHz のスイッチング周波数では、最大入力電圧は 12.62V になります。

スイッチング周波数の選択での考慮事項

MAX77859 では 4 つのスイッチング周波数がサポートされているため、EMI の影響が及びやすい周波数帯域を避けるオプションが得られ、EMI 性能を改善できます。また、スイッチング周波数は効率と出力電圧のリップル性能にも影響します。一般的に、スイッチング周波数が低いオプションでは、PWM モードでの効率がわずかに改善し、スイッチング周波数が高いオプションでは PWM モードでの出力電圧リップルがわずかに小さくなります。

3.8A 以下の I_{LIM} 設定を使用するアプリケーションでは、入力電圧が出力電圧よりはるかに高い場合には、高いスイッチング周波数は適当でない場合があります。そのようなアプリケーションでの最大許容スイッチング周波数を計算するには、以下の式を使用します。

$$f_{SW_MAX} = V_{OUT} / (130ns \times V_{IN})$$

例えば、5V 出力、22V 入力では、計算による最大スイッチング周波数は 1.748MHz です。そのため、3.8A 以下の I_{LIM} 設定を使用するときには、1.8MHz と 2.1MHz の設定は適しません。

ソフトウェア (I²C) 制御

I²C シリアル・インターフェースで送信されるソフトウェア・コマンドで IC を制御します。

V_{IO} 有効をアサートし、SDA と SCL をシリアル・ホストに接続すると、シリアル・バスが有効になり、IC の完全なソフトウェア制御が可能になります。ソフトウェアを使用する場合、シリアル・ホストは以下を実施できます。

- POK[0]、HARDSHORT[0]、THS[0]、OCP[0]のビットフィールドの POK および個別フォルト・ステータスへのアクセス。
- HARDSHORT_I[0]、THS_I[0]、OCP_I[0]ビットフィールドの個別フォルト割込みへのアクセス。
- HARDSHORT_M[0]、THS_M[0]、OCP_M[0]ビットフィールドの個別フォルト割込みマスクの設定。
- POKB/INTB 端子を POK 端子として使用するか (POKB) フォルト割込み端子として使用するか (INTB) を POKBINTB[0]ビットフィールドで設定。
- 内部補償オプションを COMP[2:0]ビットフィールドで設定。
- スイッチング周波数を FREQ[1:0]ビットフィールドで設定。
- スイッチング周波数制限スレッショルド (I_{LIM}) を $I_{LIM}[2:0]$ ビットフィールドで設定。
- レギュレーション・モード (スキップ、FPWM) を FPWM[0]ビットフィールドで設定。
- VREF_U[1:0]と VREF_L[7:0]のビットフィールドで、内部リファレンス電圧 (V_{REF}) の設定により出力電圧 (V_{OUT}) を設定。
- VOUT DVS を DVS_STR[0]ビットフィールドにより開始。
- VOUT DVS のスルーレートを SLEW_RATE[1:0]ビットフィールドにより設定。
- MAX77859A のみ：出力電流制限スレッショルド (I_{OUT_LIM}) を $I_{OUTLIM}[6:0]$ ビットフィールドで設定。

設定レジスタは、 V_{IO} が無効になったとき、IN が UVLO 立下がりスレッショルド (V_{UVLO_F}) を下回ったとき、EN がロジック・ローになつたときにリセットされます。詳細については、[詳細-I²C シリアル・インターフェースおよびレジスタ・マップ](#)のセクションを参照してください。

I²C レス動作とスタンダードアロン動作

MAX77859 は I²C のソフトウェア制御なしでの動作が可能です。スイッチング電流制限は SEL 端子と AGND の間に接続される抵抗 (R_{SEL}) によって設定できます。出力電圧は外部帰還抵抗によって設定できます。詳細については、[SEL 端子の設定](#)のセクションおよび[出力電圧の設定](#)のセクションを参照してください。I²C シリアル・インターフェースを使用しない場合には、予期せぬ挙動を防止するために SCL 端子と SDA 端子を V_{IO} に接続します。出力電流検出抵抗を使用しない場合には、予期せぬ挙動を防止するために SRP 端子と SRN 端子を相互に接続します。

更に、MAX77859 はスタンダードアロン動作も可能で、この場合には IC は V_{IN} が有効になると起動し、 V_{IO} 端子用の別電源は不要です。これはホスト・コントローラが存在しないシステム、あるいは MAX77859 がシステム中の唯一の電源である場合に有用です。スタンダードアロン動作用に MAX77859 を設定するためには、IN 端子と EN 端子の間に 510k Ω を接続します。IC は内部で EN 端子の電圧をクランプし、絶対最大定格を超過しないようにします。 V_{IO} 端子に電力供給する別電源がシステムに存在しない場合は、 V_{IO} 端子を V_L に接続して、 V_{IO} に内部レギュレータから電力供給するようにします。スタンダードアロン動作用の接続を [図 18](#) に示します。

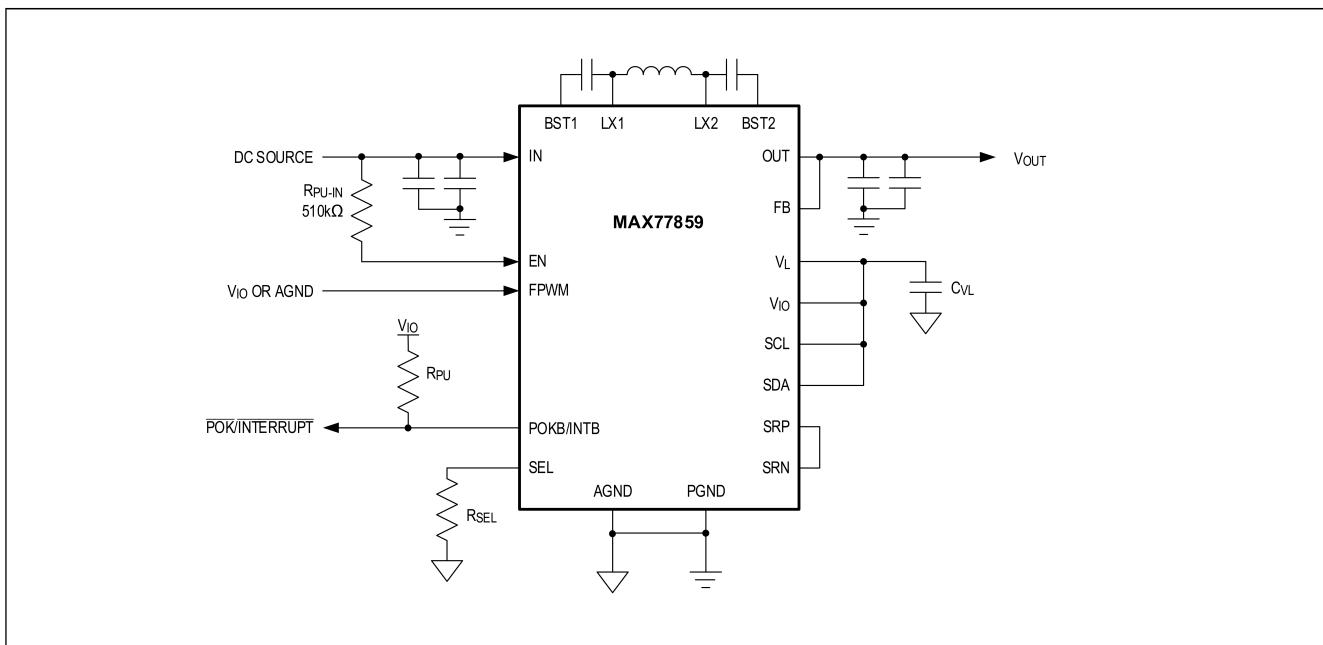


図 18. スタンドアロン動作時の接続

インダクタの選択

インダクタは、飽和電流定格 (I_{SAT}) が、ハイサイド・スイッチング電流制限スレッショルド (I_{LIM}) の代表的な設定値以上のものを推奨します。一般的に、飽和電流が小さく DCR 定格が高いものは物理的なサイズが小さくなります。DCR の値が大きいとコンバータの効率は低下します。インダクタの実効値電流の定格 (I_{RMS}) (温度が明らかに増加する電流値) は、予想される負荷電流に基づいて選択します。

選択するインダクタの値は、ピーク・インダクタ・リップル電流 (I_{PEAK}) が I_{LIM} より低くなり、コンバータがレギュレーションを維持できるようにします。コンバータの動作範囲全体に対し $1.5\mu\text{H}$ のインダクタを推奨します。

表 7 に推奨インダクタの一覧を示します。

表 7. 推奨インダクタ

VENDOR	PART NUMBER	NOMINAL INDUCTANCE (μH)	TYPICAL DCR ($\text{m}\Omega$)	I_{SAT} (A)	I_{RMS} (A)	DIMENSIONS L x W x H (mm)	I_{LIM} SETUP
Coilcraft	XGL5020-152MEC	1.5	11.4	8.9	12.8	5.48 x 5.28 x 2.1	$I_{LIM}[2:0] = 000$ (7.80A)
Sumida	0518CDMCCDS-1R5MC	1.5	21	10.6	6.6	5.4 x 5.2 x 1.8	$I_{LIM}[2:0] = 000$ (7.80A)
Bourns	SRN5020TA-1R5Y	1.5	25	4.5	3.5	5.0 x 5.0 x 2.0	$I_{LIM}[2:0] = 100$ (3.80A)
Taiyo Yuden	MDMK4040T1R5MM	1.5	56	5.6	3.6	4.0 x 4.0 x 1.2	$I_{LIM}[2:0] = 100$ (3.80A)

Samsung	CIGW252010GL1R5MNE	1.5	45	3.1	3.4	2.5 x 2.0 x 1.0	ILIM[2:0] = 110 (2.00A)
Murata	DFE201610E-1R5M=P2	1.5	91 (max)	2.9	2.1	2.0 x 1.6 x 1.0	ILIM[2:0] = 110 (2.00A)

入力コンデンサの選択

ほとんどのアプリケーションでは、動作電圧で $1\mu\text{F}$ 以上の実効容量を維持する公称値 $35\text{V } 10\mu\text{F}$ のセラミック入力コンデンサ (C_{IN}) を用いて、IN 端子をバイパスしてください。実効的な C_{IN} とは、動作時のコンバータ入力から見た実際の容量値です。より大きい値を選択するとコンバータのデカップリングが改善しますが、電圧源に接続時の突入電流が増加します。 C_{IN} は、入力電源から引き出される電流のピーク値を減少させ、またシステムのスイッチング・ノイズを低減します。 C_{IN} およびそれと直列の PCB パターンによる ESR/ESL は、コンバータのスイッチング周波数以下の周波数に対し、非常に低い値（例えば $< 15\text{m}\Omega + < 2\text{nH}$ ）とする必要があります。

C_{IN} の選択にあたっては、コンデンサの電圧定格、初期許容誤差、温度による変動、DC バイアス特性に特別の注意を払ってください。小型、低 ESR、小さな温度係数といった特長があるため、X7R 誘電体を使用するセラミック・コンデンサを強く推奨します。セラミック・コンデンサは全て DC バイアス電流によるディレーティングがあります（DC バイアスの上昇に伴い有効容量が減少）。一般的に、ケース・サイズの小さなコンデンサはケース・サイズの大きなものに比べディレーティングが著しくなります（0603 のケース・サイズの方が 0402 より高性能）。メーカーのデータシートを参照し、慎重に実効容量を検討してください。詳細については、[チュートリアル 5527](#) を参照してください。

出力コンデンサの選択

コンバータの安定動作のためには十分な出力容量 (C_{OUT}) が必要です。実効的な C_{OUT} が $8.2\mu\text{F}$ 以上となるよう選択してください。実効的な C_{OUT} とは、動作時のコンバータ出力から見た実際の容量値です。より大きい値（必要な最小有効容量に加えて）を選択すると負荷過渡応答の性能が改善しますが、ソフトスタート中や出力電圧変動時の突入電流が増加します。出力リップルと負荷過渡応答の条件を満たすためには、出力のフィルタ・コンデンサの ESR がコンバータのスイッチング周波数以下の周波数に対し十分小さい値が必要です。出力容量は十分大きく、全負荷条件から無負荷に遷移する間のインダクタのエネルギーを吸収が必要です。ほとんどのアプリケーションで、 C_{OUT} として $25\text{V } 22\mu\text{F}$ のコンデンサを推奨します。

C_{OUT} の選択にあたっては、コンデンサの電圧定格、初期許容誤差、温度による変動、DC バイアス特性に特別の注意を払ってください。小型、低 ESR、小さな温度係数といった特長があるため、X7R 誘電体を使用するセラミック・コンデンサを強く推奨します。セラミック・コンデンサは全て DC バイアス電流によるディレーティングがあります（DC バイアスの上昇に伴い有効容量が減少）。一般的に、ケース・サイズの小さなコンデンサはケース・サイズの大きなものに比べディレーティングが著しくなります（0603 のケース・サイズの方が 0402 より高性能）。メーカーのデータシートを参照し、慎重に実効容量を検討してください。詳細については、[チュートリアル 5527](#) を参照してください。

その他の必要部品の選択

表 8 はその他の必要部品の要求事項を示しています。

表 8. 他の部品選択の要求事項

SYMBOL	COMPONENT DESCRIPTION	PARAMETER	MIN	TYP	MAX	UNITS
C_{BST}	High-Side FET Driver Bootstrap Capacitor	Suggested Capacitance		0.22		μF
C_{VL}	V_{L} Regulator Bypass Capacitor	Effective Capacitance	0.5		3	μF
		Equivalent Series Resistance (ESR)			100	$\text{m}\Omega$
C_{VIO}	V_{IO} Regulator Bypass Capacitor	Effective Capacitance	0.3		1.5	μF
		Equivalent Series Resistance (ESR)			100	$\text{m}\Omega$
R_{SEL}	SEL Pin Resistor	Acceptable Tolerance	-1		+1	%
R_{PU}	POKB/INTB Pullup Resistor	Suggested Resistance		15		$\text{k}\Omega$

PCB レイアウト時のガイドライン

スイッチング電力損失を低減し、クリーンで安定した動作を得るために、回路基板レイアウトに細心の注意を払うことが必要です。WLP パッケージについては、EN、FPWM、SEL、SRP の各端子への配線のために高密度インターフェクト (HDI) の PCB が必要です。図 19 に MAX77859 の WLP パッケージのレイアウト例を示します。

PCB の設計時には以下のガイドラインに従ってください。

- ・入力コンデンサ (C_{IN}) と出力コンデンサ (C_{OUT}) はそれぞれ IC の IN 端子と OUT 端子の直近に配置します。IC は高スイッチング周波数で動作するため、この配置は入力側と出力側の電流ループの寄生インダクタンスを最小限に抑えるために重要です。この寄生インダクタンスは大きな電圧スパイクを発生させ、内部スイッチング MOSFET を損傷するおそれがあります。
- ・インダクタは LX バンプの隣に (できるだけ近接して) 配置し、LX バンプとインダクタ間のパターンは、PCB のパターン・インピーダンスが最小となるよう、短くかつ幅広にします。過剰な PCB インピーダンスはコンバータの効率を低下させます。LX のパターンを (例に示すように) 別の層に配線する場合は、ビアを十分に設けてパターンのインピーダンスを最小限に抑えます。更にパターンの抵抗を低減するために、LX パターンを複数の層で配線することを推奨します。また、LX パターンは必要以上の面積を取らないようにしてください。このノードの電圧は非常に早く切り替わります。また、面積が増えると放射エミッションが増加します。
- ・LX ノードは対応するブートストラップコンデンサ (C_{BST}) にできるだけ短距離で配線します。 C_{BST} の配置を優先して、IC へのパターン長を短縮してください。
- ・内部 PGND バンプは、バンプに隣接して配置されたビアを介して PCB の低インピーダンス・グランド・プレーンに接続します。PGND の島はホット・ループを遮るおそれがあるため、PGND の島を形成することのないようにしてください。AGND と AGND の島は PCB の低インピーダンス・グランド・プレーン (PGND と同じネット) に接続します。
- ・電源パターンと負荷の接続は短く広くします。これはコンバータの効率を確保するために必要です。
- ・出力電流検出機能 (MAX77859A のみ) を使用するときは、SRP と SRN を検出抵抗まで平行に配線し、信号へのノイズ結合量を制限するためにパターンができるだけ短くなるようにしてください。
- ・セラミック・コンデンサの DC 電圧ディレーティングを無視しないようにしてください。コンデンサの値とケース・サイズは慎重に選択します。詳細については、[出力コンデンサの選択](#)のセクションと [チュートリアル 5527](#) を参照してください。

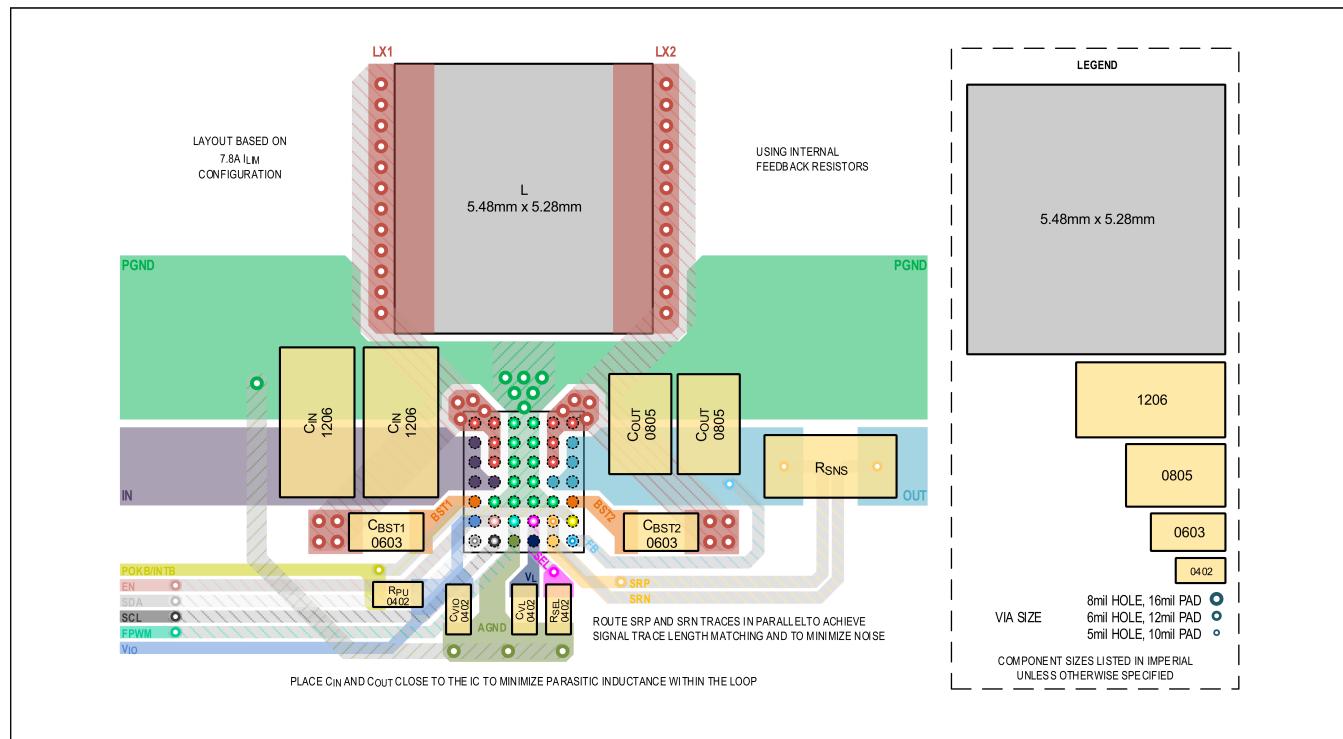
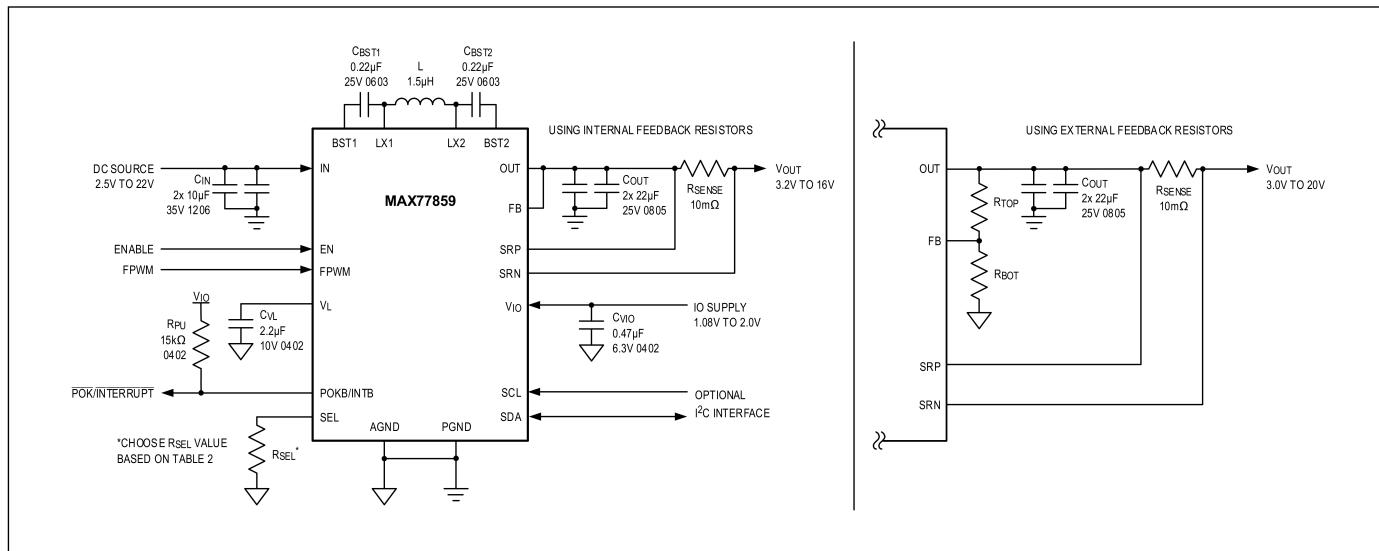


図 19. 42 WLP パッケージの場合の 5.48mm × 5.28mm のインダクタを使用した PCB レイアウトの推奨例

標準アプリケーション回路



オーダー情報

PART NUMBER	DEFAULT SWITCHING FREQUENCY	DEFAULT OUTPUT VOLTAGE	PPS (OUTPUT CURRENT LIMIT)	PIN-PACKAGE
MAX77859AEWO+T	1.5MHz	5V	Yes	42 WLP
MAX77859BEWO+T*			No	42 WLP
MAX77859AEFS+T*			Yes	19 FC2QFN
MAX77859BEFS+T*			No	19 FC2QFN

*は鉛 (Pb) フリー／RoHS 準拠のパッケージであることを示します。

T = テープ & リール。

*発売予定の製品 - 発売時期についてはお問い合わせください。

その他のスイッチング周波数オプションについては、弊社または弊社代理店にお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	05/23	市場投入のためのリリース	-
1	05/23	オーダー情報の表の MAX77859BEWO+T に発売予定の製品のマーク (*) を追加。	57