

200Mbit/s SFPリミテイングアンプ

概要

PECLデータ出力を備えたリミテイングアンプ MAX3969は、低コストATM、高速イーサネット、FDDI、及びESCON光ファイバレシーバに最適です。

MAX3969は、1mV_{p-p}の入力感度を備え入力信号パワーを検出するパワー検出器を内蔵しています。この製品は、パワーレベルをアナログ表示する受信信号強度インジケータ(RSSI)を備えています。また、信号強度は、相補TTLロスオブシグナル(LOS)出力及びPECL信号検出(SD)出力によって、いずれもプログラマブルスレッショルドを基準とするパワーレベルとして表示されます。

このスレッショルドは、2.7mV_{p-p}という低い信号振幅を検出することができるように調整可能です。オプションのスケルチ機能は、信号が設定スレッショルドよりも低いとき、データ出力を既知の状態に保持することによってこの出力のスイッチングをディセーブルします。

MAX3969は、ダイ形態及び4mm x 4mm、20ピン薄型QFNパッケージで提供されます。

アプリケーション

SFP/SFFトランシーバ
高速Ethernet/FDDIトランシーバ
155Mbit/s LAN ATMトランシーバ
ESCONレシーバ
FTTxトランシーバ

特長

- ◆ 入力感度：1mV_{p-p}
- ◆ プログラマブルスレッショルド付ロスオブシグナル検出器
- ◆ LOSはTTL形式、信号検出はPECL形式で出力
- ◆ アナログ受信信号強度インジケータ
- ◆ 出力スケルチ機能
- ◆ 4B/5Bのデータコーディングに対応

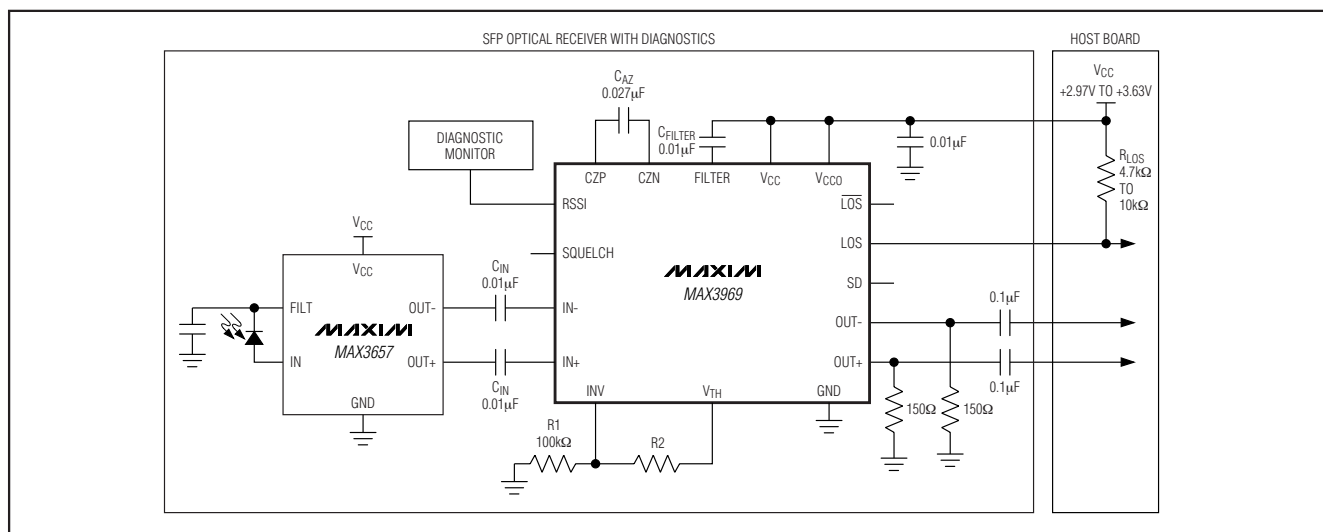
型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX3969ETP	-40°C to +85°C	20 Thin QFN	T2044-2
MAX3969E/D**	—	Dice*	—

* ダイは、-40°C ~ +100°Cのジャンクション温度(T_J)範囲で動作するように設計されていますが、T_A=+25°Cでのみ試験され保証されています。

** 開発中の製品。入手性については、お問い合わせください。

標準アプリケーション回路



標準アプリケーション回路はデータシートの最後に続きます。

ピン配置はデータシートの最後に記載されています。

200Mbit/s SFPリミティングアンプ

MAX3969

ABSOLUTE MAXIMUM RATINGS

Power-Supply Voltage Range (V_{CC} , V_{CCO})-0.5V to +7.0V
Voltage at FILTER, RSSI, IN+, IN-, CZP, CZN, SQUELCH, INV, V_{TH}-0.5V to ($V_{CC} + 0.5V$)
TTL Output Current (LOS, \overline{LOS})±9mA
PECL Output Current (OUT+, OUT-, SD)±50mA
Differential Voltage Between CZP and CZN.....-1.5V to +1.5V
Differential Voltage Between IN+ and IN--1.5V to +1.5V

Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)
20-Pin Thin QFN (derate 16.9mW/ $^\circ\text{C}$ above $+85^\circ\text{C}$)1099mW
Operating Junction Temperature Range (die).....-40 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Die Attach Temperature.....+400 $^\circ\text{C}$
Storage Temperature Range-50 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Lead Temperature (soldering, 10s)+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +2.97V$ to $+5.5V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, $R_1 = 100k\Omega$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	PECL outputs open		22	45	mA
LOS Hysteresis	Input = 4.0mV _{P-P} (Note 2)	3.0	5	8.0	dB
Squelch Input Current			27	100	μA
PECL Output-Voltage High	(Note 3)	-1085		-880	mV
PECL Output-Voltage Low	(Note 3)	-1830		-1550	mV
LOS Assert Accuracy	Input = 7mV _{P-P} or 90mV _{P-P} , 0 $^\circ\text{C}$ to $+85^\circ\text{C}$	-3.0		+3.0	dB
	Input = 7mV _{P-P} or 90mV _{P-P} , -40 $^\circ\text{C}$ to $+85^\circ\text{C}$	-3.6		+3.6	dB
Minimum LOS Assert Input				2.7	mV _{P-P}
Maximum LOS Deassert Input		143			mV _{P-P}
Input Sensitivity	(Note 4)		1	4	mV _{P-P}
Input Overload	(Note 4)	1500			mV _{P-P}
TTL Output High	$R_{LOS} = 4.7k\Omega$ to $10k\Omega$	2.4	3.0		V
TTL Output Leakage	(Note 5)		1	20	μA
TTL Output Low	$I_{OL} = 800\mu\text{A}$		0.2	0.5	V
Data Output Transition Time	20% to 80%, Input > 4mV _{P-P} (Note 4)	0.35	0.8	1.20	ns
Pulse-Width Distortion	Input > 4mV _{P-P} (Notes 4, 6)		50	250	ps
LOS, SD Assert/Deassert Time	$C_{FILTER} = 0.01\mu\text{F}$		10		μs

Note 1: Dice are tested and guaranteed only at $T_A = +25^\circ\text{C}$.

Note 2: LOS hysteresis = $20\log(V_{LOS-DEASSERT} / V_{LOS-ASSERT})$.

Note 3: Relative to supply voltage (V_{CCO}).

Note 4: AC characteristics are guaranteed by design and characterization.

Note 5: Input < LOS threshold (LOS = HIGH), $V_{LOS} = 2.4V$.

Note 6: Pulse-width distortion = [(width of wider pulse) - (width of narrower pulse)] / 2, measured with 100Mbps 1-0 pattern.

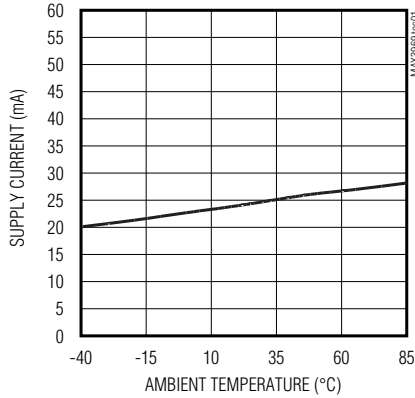
200Mbit/s SFPリミテイングアンプ

MAX3969

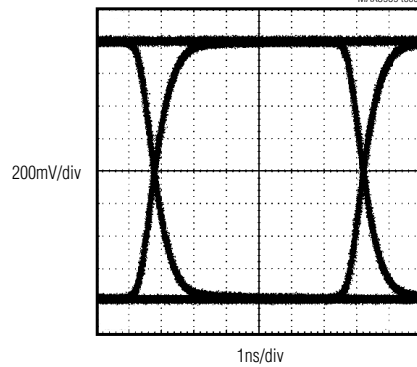
標準動作特性

($V_{CC} = +3.3V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, $R1 = 100k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

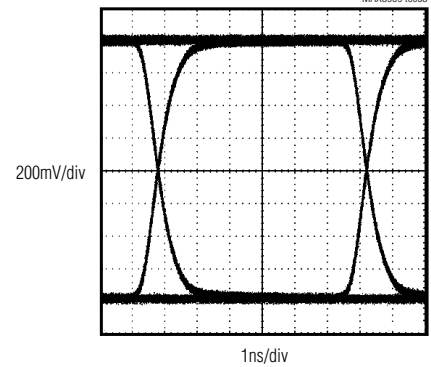
SUPPLY CURRENT vs. TEMPERATURE
(PECL OUTPUTS OPEN)



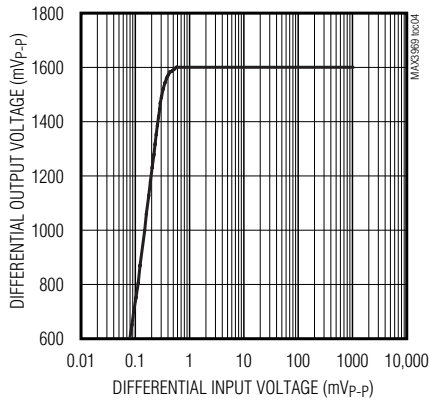
OUTPUT EYE DIAGRAM
($V_{IN} = 2mV_{p-p}$, 155Mbps, $2^{23} - 1$ PRBS)



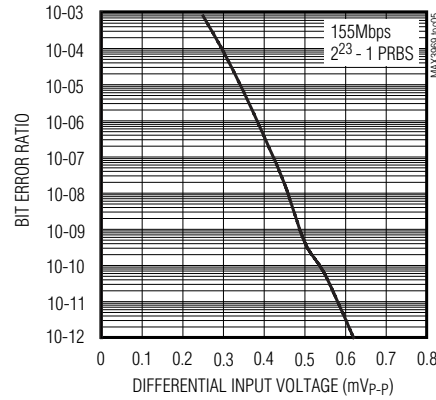
OUTPUT EYE DIAGRAM
($V_{IN} = 1500mV_{p-p}$, 155Mbps, $2^{23} - 1$ PRBS)



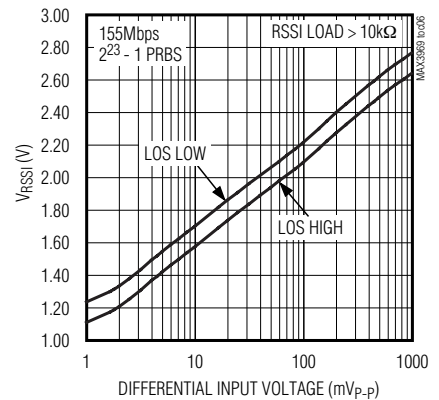
TRANSFER FUNCTION



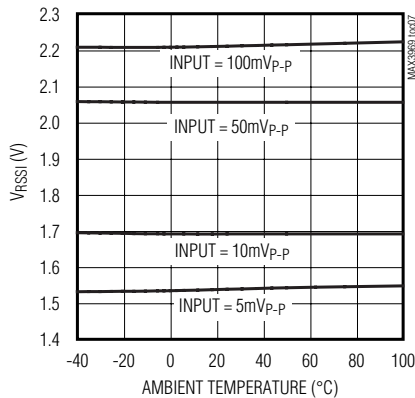
BIT ERROR RATIO vs. DIFFERENTIAL INPUT VOLTAGE



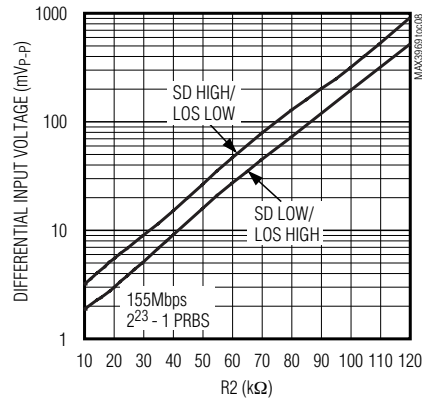
RSSI VOLTAGE vs. DIFFERENTIAL INPUT VOLTAGE



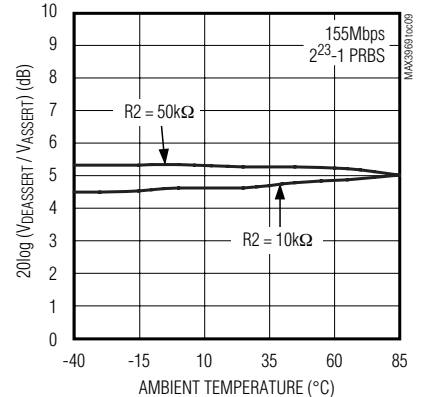
RSSI VOLTAGE vs. TEMPERATURE
(LOS LOW, RSSI LOAD > 10kΩ)



POWER-DETECT THRESHOLD vs. R2
($R1 = 100k\Omega$)



LOSS-OF-SIGNAL HYSTERESIS vs. TEMPERATURE



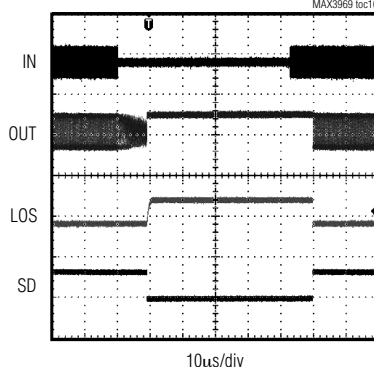
200Mbit/s SFPリミティングアンプ

MAX3969

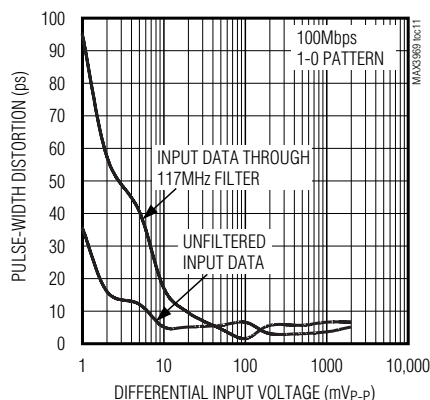
標準動作特性(続き)

($V_{CC} = +3.3V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, $R1 = 100k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

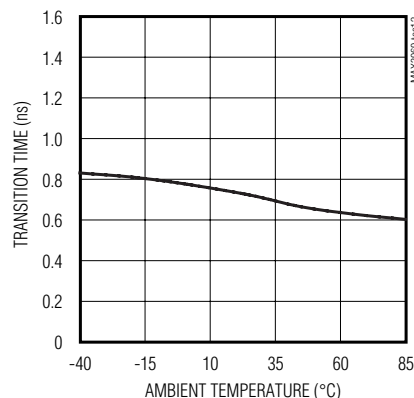
POWER-DETECT TIMING WITH SQUELCH
(INPUT = 12mV_{p-p}, $C_{FILTER} = 0.01\mu F$,
 $R2 = 15k\Omega$, 155Mbps, 2²³ - 1 PRBS)



PULSE-WIDTH DISTORTION vs. DIFFERENTIAL INPUT VOLTAGE



DATA OUTPUT TRANSITION TIME vs. TEMPERATURE



端子説明

端子	名称	機 能
1	INV	パワー検出スレッショルド電圧を設定する内蔵オペアンプの反転入力(図1)。抵抗器を V_{TH} とINV(R2)の間、及びINVとグランドの間($R1 = 100k\Omega$)に接続し、必要とするスレッショルド電圧を設定してください。
2	FILTER	対数全波検出器(FWD)のフィルタ出力。FWDの各出力は、FILTERで互いに加算されてRSSI出力を発生します。正常動作のためにFILTERと V_{CC} の間にコンデンサを接続してください。
3	RSSI	受信信号強度インジケータ出力。RSSIの電圧は、入力信号パワーを表します。LOSがアサートされると、RSSI出力は約120mV減少します。
4	IN-	反転データ入力。
5	IN+	非反転データ入力。
6, 7, 8	GND	グランド。
9	CZP	オートゼロコンデンサ入力。CZPとCZNの間に0.027 μF のコンデンサを接続してください。
10	CZN	オートゼロコンデンサ入力。CZPとCZNの間に0.027 μF のコンデンサを接続してください。
11	V_{CCO}	出力バッファ電源電圧。 V_{CC} と同じ電位に接続してください。
12	OUT+	非反転PECLデータ出力。50 Ω で($V_{CC} - 2V$)に終端してください。
13	OUT-	反転PECLデータ出力。50 Ω で($V_{CC} - 2V$)に終端してください。
14	SD	PECLによる信号検出出力。SD出力は、入力パワーがパワー検出スレッショルドよりも高いときハイになり、入力パワーがパワー検出スレッショルドよりも低いときローになります。この端子は、PECLコンパチブルで、50 Ω で($V_{CC} - 2V$)または同等の電位に終端する必要があります。
15	LOS	ロスオブシグナル出力、TTLオープンコレクタ(ESD保護付き)。LOS出力は、入力パワーがパワー検出スレッショルドよりも低いときハイになり、入力パワーがパワー検出スレッショルドよりも高いときローになります。
16	\overline{LOS}	反転ロスオブシグナル出力、TTLオープンコレクタ(ESD保護付き)。 \overline{LOS} 出力は、入力パワーがパワー検出スレッショルドよりも低いときローになり、入力パワーがパワー検出スレッショルドよりも高いときハイになります。

端子説明(続き)

端子	名称	機能
17, 18	V _{CC}	電源電圧。
19	SQUELCH	スケルチ入力。スケルチ機能は、信号がパワー検出スレッショルドよりも低いときOUT- をローに、またOUT+をハイに強制することによってデータ出力をディセーブルします。スケルチをディセーブルするためには、GNDに接続するか、無接続のままにしてください。スケルチをイネーブルするためには、V _{CC} に接続してください。
20	V _{TH}	パワー検出スレッショルド電圧を設定する内蔵オペアンプの出力(図1)。抵抗器をV _{TH} とINVの間(R2)、及びINVとグラウンドの間(R1=100k Ω)に接続し、必要とするスレッショルド電圧を設定してください。
EP	Exposed Pad	グラウンド。正常な熱的及び電気的性能を得るためには、エクスPOSEドパッドは回路基板のグラウンドに半田付けする必要があります。

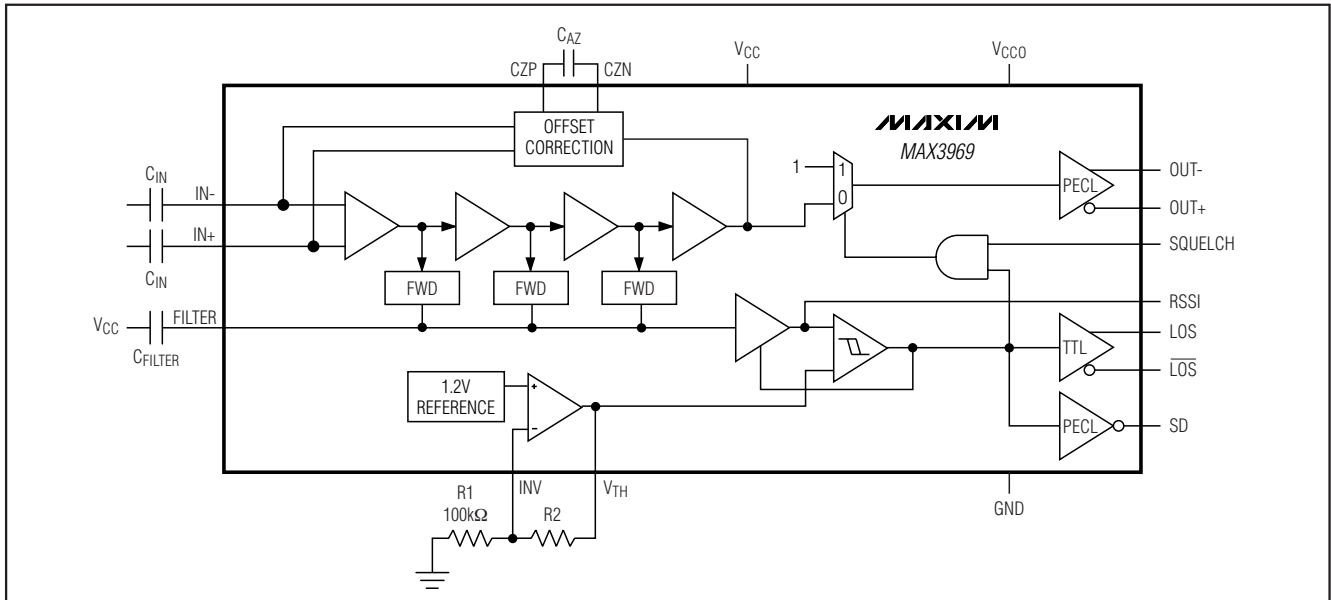


図1. ファンクションダイアグラム

詳細

MAX3969は、一連のリミテイングアンプとパワー検出器、オフセット補正、データスケルチ回路、LOS出力用TTLバッファ、及び信号検出(SD)とデータ出力用PECL出力バッファを内蔵しています。ファンクションダイアグラムの図1を参照してください。

利得段とオフセット補正

カスケード接続のリミテイングアンプは、総合小信号利得が約65dBです。利得が大きくなると、アンプは信号経路のわずかなDCオフセットの影響を受けやすくなります。DCオフセットを補正するために、アンプはDCオートゼロ回路として働くフィードバックループを内蔵しています。DCオフセットを補正することによって、

リミテイングアンプの感度とパワー検出器の精度が改善されます。

オフセット補正は、デューティサイクルが50%のデータストリームに対して最適化されています。平均デューティサイクルが変わると、パルス幅歪みが増加して感度が低下します。入力が30mV_{p-p}以下では、オフセット補正回路は、入力デューティサイクルの変動(たとえば、4B/5B符号化ではデューティサイクルが40%~60%変動します)に対して感度が低下します。

オフセット補正ループが正常に機能するためには、データ入力をAC結合する必要があります。差動入力インピーダンスは5k Ω 以上です。

パワー検出器

各増幅段は、RMS入力信号パワーを示す対数型FWDを内蔵しています。各FWD出力はFILTER端子で加算され、この端子の信号はFILTERとV_{CC}の間に外付けされたコンデンサ(C_{FILTER})によってフィルタリングされます。FILTER信号は、デシベル値での入力パワーに比例するRSSI出力電圧(V_{RSSI})を発生します。LOS端子がローのとき、V_{RSSI}は次式によって近似されます。

$$V_{RSSI} (V) = 1.2V + 0.5\log(V_{IN})$$

ここで、V_{IN}はmV_{p-p}で測定されたデータ入力電圧です。この関係は、V_{IN}が1dB増加するごとにV_{RSSI}が25mV増加することを表わしています。LOS端子がハイのとき、RSSI出力は約120mV減少します。

標準的には、RSSI出力は診断モニタリングのためにアナログ-デジタルコンバータに接続されます。この出力は、アプリケーションにおいて不要な場合はオープン状態にしておくことができます。RSSI出力は、グランドに対する10kΩの最小負荷抵抗と10pFの最大容量を駆動するように設計されています。10pFよりも大きい負荷をバッファするためには10kΩの直列抵抗器が必要です。

信号強度コンパレータ

ユーザ設定可能なスレッショルドを基準として入力信号強度を表示するために、コンパレータが使用されます。コンパレータ入力の1つはRSSI出力信号に接続され、もう1つは外部から設定され信号強度表示のトリップポイントとなるスレッショルド電圧(V_{TH})に接続されます。信号強度がこのスレッショルドよりも大きいとき、SD出力はハイにアサートされ、LOS出力はローにデアサートされます。同様に、信号強度がスレッショルドよりも小さくなると、SDはローにデアサートされ、LOSはハイにアサートされます。チャタフリー動作を保証するために、コンパレータには約5dBのヒステリシスが設けられています。

スケルチ

入力信号が設定スレッショルド以下であるとき、スケルチ機能はOUT-をローに、またOUT+をハイに強制することによってデータ出力をディセーブルします。この機能は、信号が喪失したとき、リミティングアンプとすべてのダウンストリームデバイスが入力ノイズにตอบสนองしないことを保証します。スケルチをディセーブルするためには、SQUELCHをGNDに接続するか、または無接続のままにしてください。スケルチをイネーブルするためにはSQUELCHをV_{CC}に接続してください。

PECL出力

データ出力(OUT+、OUT-)と信号検出力(SD)は、電源を基準としたPECL出力です。等価出力回路については、図2を参照してください。

正常に動作させるために両データ出力は終端する必要がありますが、SD出力はアプリケーションにおいて不要な場合にオープンのままにしておくことができます。PECL出力の正しい終端では50Ωを(V_{CC} - 2V)に接続しますが、他の標準的な終端法も採用することができます。PECL終端及び他のロジックファミリとのインタフェース方法の詳細については、マキシムのアプリケーションノート HFAN-01.0「Introduction to LVDS, PECL, and CML」を参照してください。

TTL出力

LOS出力(LOS、 \overline{LOS})は、オープンコレクタ、ショットキクランプ付き、ESD保護付き、TTL対応出力を備えています。等価出力回路については、図3を参照してください。LOS出力は、正常に動作させるために外付けプルアップ抵抗器が必要です。抵抗器の値としては、4.7kΩ～10kΩが推奨されます。

LOS出力が不要なアプリケーションでは、これをオープン状態にしておくことができます。

設計手順

パワー検出スレッショルドの設定

パワー検出スレッショルドの推奨設定手順を、以下に記述するとともに図4に示します。

- 1) dBmで表した最大レシーバ感度(RX_MAX)とV/Wで表したPIN-TIA感度(G)を決定してください。
- 2) 上記の感度で動作しているMAX3969入力の差動電圧スイング(V_{IN_SEN})を計算してください。

$$V_{IN_SEN} = 10(RX_MAX / 10) \times 2 \times G$$

- 3) パワー検出器精度として3.6dB(光パワーとして1.8dB)の余裕を持たせてLOSがローでなければならない(SDがハイでなければならない)スレッショルド電圧(V_{IN_TH})を次式から計算してください。

$$V_{IN_TH} = V_{IN_SEN} \times 0.66$$

- 4) 上記で計算したV_{IN_TH}と「標準動作特性」の「POWER-DETECT THRESHOLD vs. R2」のグラフで(SD HIGH/LOS LOW)と付記されたラインを使用して、R2の値を決定してください。R1 = 100kΩを選択してください。

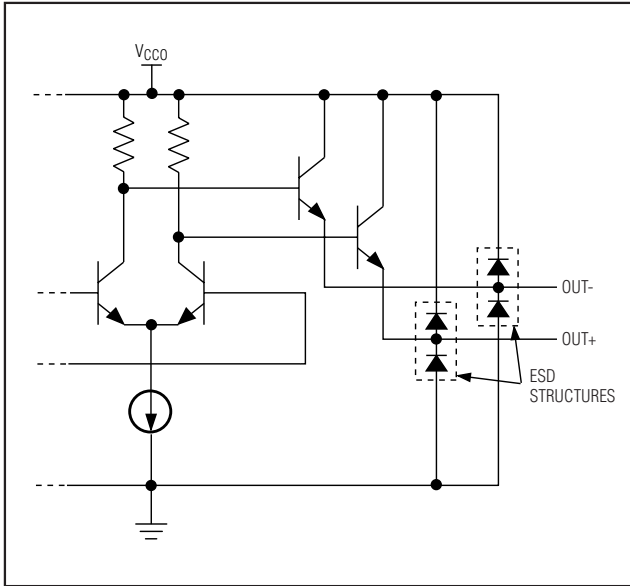


図2. 等価PECL出力回路

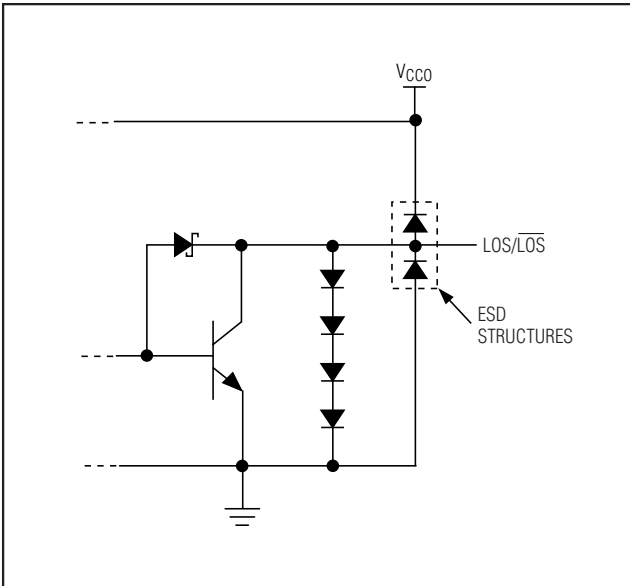


図3. 等価TTL出力回路

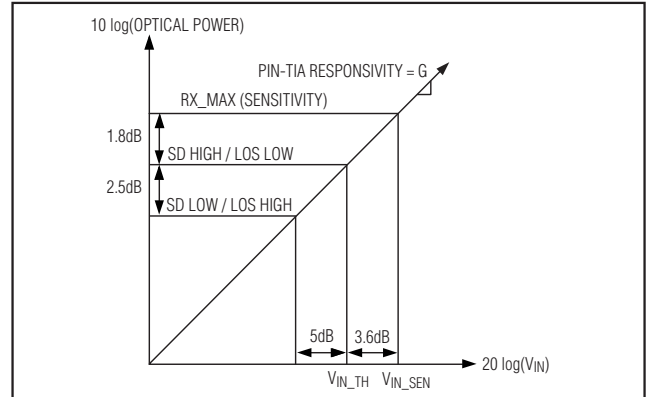


図4. パワー検出スレッシュホールドに対する信号レベル

C_{FILTER}の選択

SFP/SFF、FDDI、155Mbit/s ATM LAN、高速Ethernet、及びESCONレシーバに対して、マキシムはC_{FILTER} = 0.01μFを推奨します。このコンデンサの値は、チャタフリーのLOS/SDを保証し、10μs(typ)のアサート/デアサート時間を提供します。他のアプリケーションのC_{FILTER}の値は、次式を用いて計算することができます。

$$C_{\text{FILTER}} = \tau / 825 \Omega$$

ここで、 τ はパワー検出器の所要時定数です。

C_{AZ}とC_{IN}の選択

オフセット補正ループが正常に機能するためには、データ入力にカップリングコンデンサ(C_{IN})を外付けする必要があります。オフセット補正ループの帯域幅は、CZPとCZNの間に接続された外付けコンデンサ(C_{AZ})によって決まります。C_{IN}とC_{AZ}に関係する2つの極は、低域の-3dBコーナー周波数において平坦な応答を示すように作用させる必要があります。SFP/SFF、FDDI、155Mbit/s ATM LAN、高速Ethernet、及びESCONレシーバに対して、マキシムは次の値を推奨します。

$$C_{\text{IN}} = 0.01 \mu\text{F}$$

$$C_{\text{AZ}} = 0.027 \mu\text{F}$$

200Mbit/s SFPリミティングアンプ

MAX3969

アプリケーション情報

ワイヤボンディング

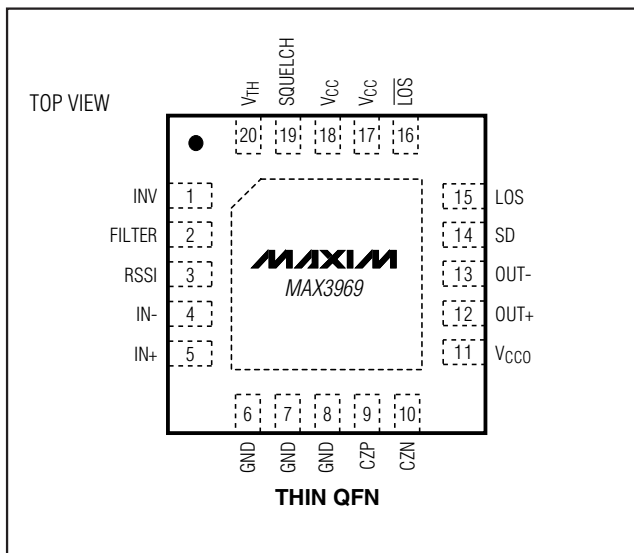
高電流密度及び高信頼度動作を保証するために、MAX3969には金メタライゼーションが採用されています。最良の結果を得るために、金線ボールボンディング法を採用してください。ウェッジボンディングを使う場合は注意を要します。ダイパッドのサイズは、4mil x 4milです。ダイの厚さは16milです。

表1は、MAX3969のボンドパッド座標を示します。パッド座標の原点は、左下パッドの左下隅と定義されています。すべてのパッド位置は、原点を基準とし、ボンドワイヤが接続されるパッドの中心を示します。詳細については、マキシムのアプリケーションノート HFAN-08.0.1「Understanding Bonding-Coordinates and Physical Die Size」を参照してください。

表1. ボンドパッド座標

PAD	NAME	COORDINATES (μm)	
		X	Y
1	INV	46.6	659.5
2	FILTER	46.6	505.6
3	RSSI	46.6	351.7
4	IN-	46.6	197.8
5	IN+	46.6	46.6
6	GND	195.1	-99.1
7	GND	432.7	-99.1
8	GND	589.3	-99.1
9	CZP	743.2	-99.1
10	CZN	945.7	-99.1
11	VCCO	1204.9	-96.4
12	OUT+	1204.9	81.7
13	OUT-	1204.9	262.6
14	SD	1204.9	492.1
15	LOS	1204.9	697.3
16	$\overline{\text{LOS}}$	1053.7	818.8
17	VCC	808.0	818.8
18	VCC	586.6	818.8
19	SQUELCH	432.7	818.8
20	VTH	195.1	818.8

ピン配置



チップ情報

TRANSISTOR COUNT: 915

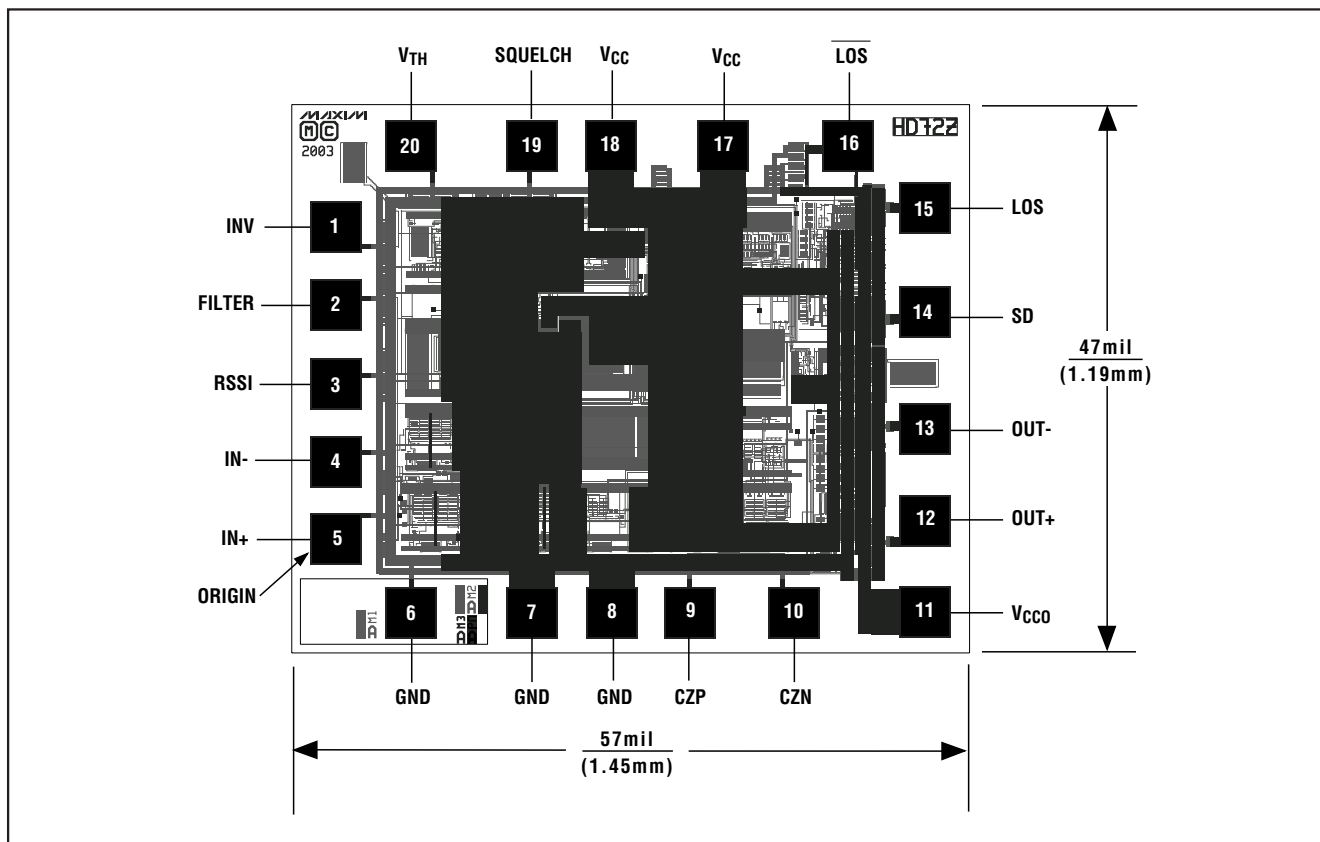
SUBSTRATE CONNECTED TO GND

PROCESS: Silicon Bipolar

DIE THICKNESS: 16 mils

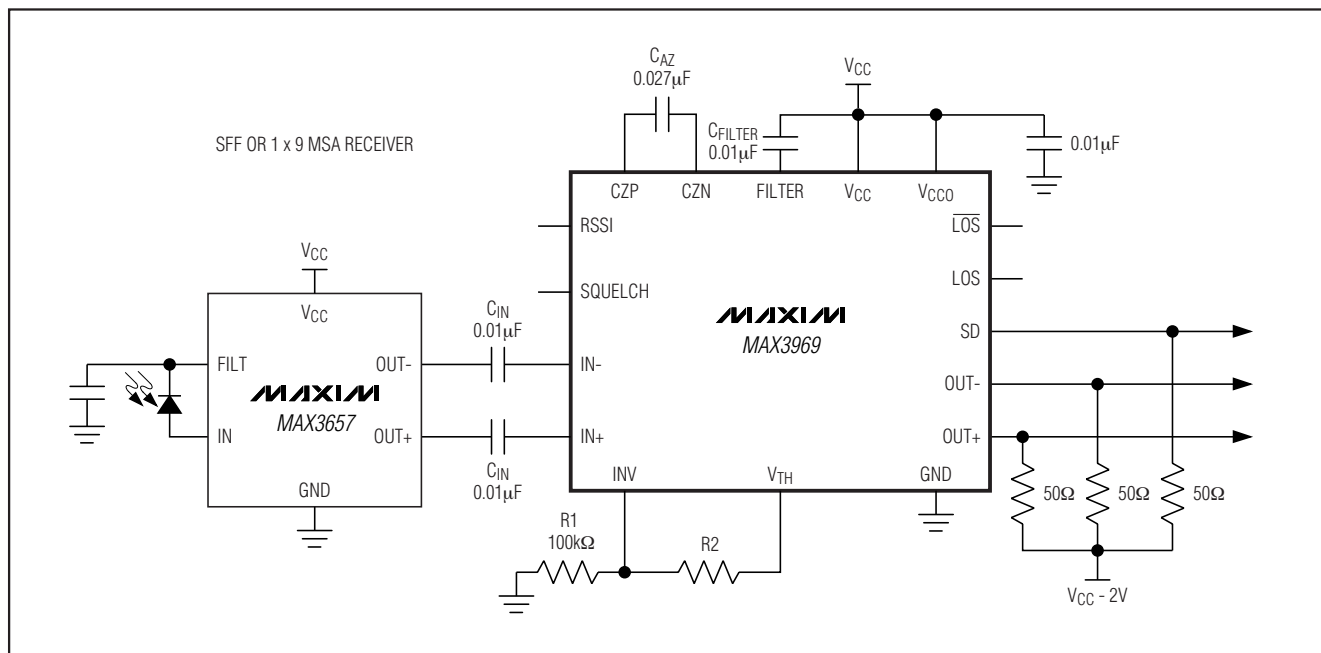
200Mbit/s SFPリミテイングアンプ

チップ形状



MAX3969

標準アプリケーション回路(続き)

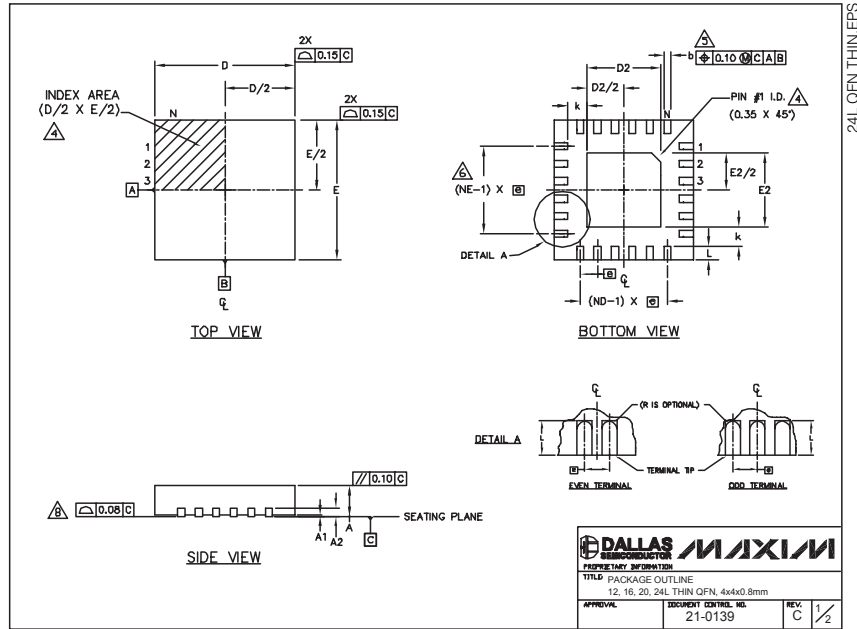


200Mbit/s SFPリミティングアンプ

MAX3969

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS												
PKG.	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
VGGB	VGGB			VGGB			VGGB-1			VGGB-2		

EXPOSED PAD VARIATIONS									
PKG. CODES	D2			E2			BOUNDS ALLOWED		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1244-2	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1644-2	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2044-1	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO		
T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

DALLAS MAXIM

PACKAGE OUTLINE

12, 16, 20, 24L THIN QFN, 4x4x0.8mm

APPROVAL

DOCUMENT CONTROL NO.

21-0139

REV. C

1/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

11