



MAX32662

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

概要

DARWIN ファミリの MAX32662 は、超低消費電力でコスト効率に優れた高集積の 32 ビット・マイクロコントローラで、小型のバッテリー駆動デバイス向けに設計されたものです。これは、ペリフェラルと機能を柔軟に組み合わせたものと、浮動小数点ユニット（FPU）を搭載した強力な Arm®Cortex®-M4 プロセッサを、小さいフォーム・ファクタで統合したものです。

MAX32662 では、バッテリー寿命を犠牲にすることなく、複雑なエッジベースの設計が可能です。また、レガシー設計で、8 ビットまたは 16 ビットのマイクロコントローラからの簡単でコスト最適なアップグレードができます。

MAX32662 は、256KB のフラッシュ・メモリと 80KB の SRAM の統合により、センサー・コードと複雑なアルゴリズムに容易に対応できます。

ペリフェラルには、SPI、UART、I²C、I²S、CAN 2.0B、12 ビット ADC があります。

ROM ベースのセキュア・ブートローダは、256 ビット楕円曲線デジタル署名アルゴリズム（ECDSA-256）暗号化を用いており、ソフトウェアの信頼できる認証された更新を確保できます。

本デバイスは、5mm × 5mm の 32 ピン TQFNEP を採用しています。

アプリケーション

- スポーツ・ウォッチ
- フィットネス・モニタ
- ウェアラブル・メディカル・パッチ
- 携帯型医療機器
- 工業用センサー
- IoT

Arm と Cortex は Arm Limited の登録商標です。
CoreMark は EMBCC の登録商標です。

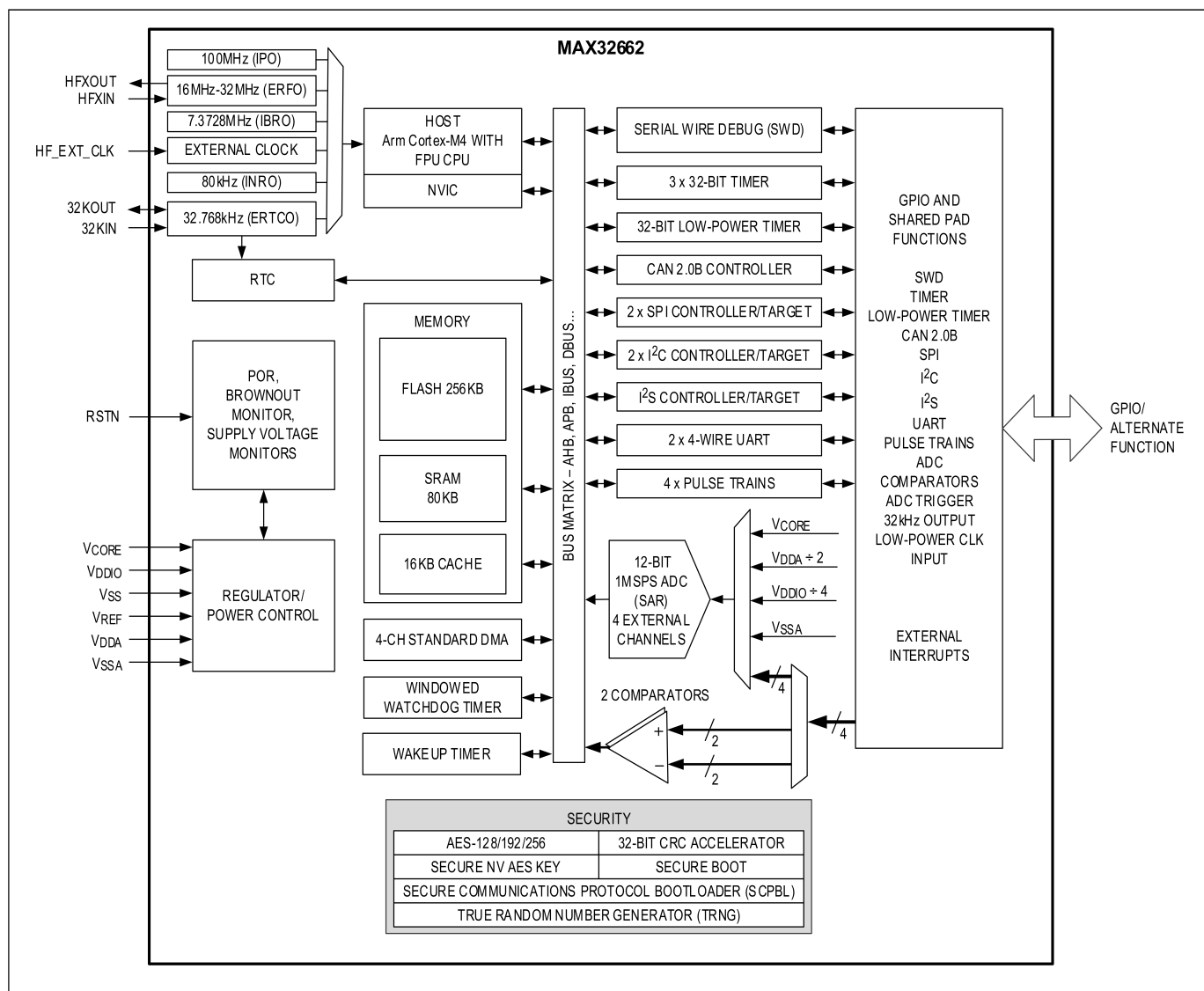
特長と利点

- 低消費電力・高信頼性デバイス向けの高効率マイクロコントローラ
 - 256KB のフラッシュ
 - 80KB の SRAM（オプションとして、最低消費電力の BACKUP モードでデータ保持）
 - 16KB の統合キャッシュ
 - メモリ保護ユニット（MPU）
 - デュアル電源または単一電源での動作：1.7V～3.6V
 - 広い動作温度範囲：-40°C～+105°C
- 柔軟性のあるクロック源
 - 内蔵高速 100MHz
 - 内蔵低消費電力 7.3728MHz
 - 超低消費電力 80kHz
 - 16MHz～32MHz（外付けの水晶振動子が必要）
 - 32.768kHz（外付けの水晶振動子が必要）
 - CPU と低消費電力タイマー用の外部クロック入力
- バッテリー・アプリケーションのアップタイムを最大化するパワー・マネージメント
 - 0.9V で 50µA/MHz、ACTIVE モードで最大 12MHz（CoreMark®）
 - 1.1V で 44µA/MHz、ACTIVE モードで最大 100MHz（While(1)）
 - V_{DDIO} = 1.8V での BACKUP モードにおけるフル・メモリ保持電流：2.15µA
 - V_{DDIO} = 3.3V での BACKUP モードにおけるフル・メモリ保持電流：2.4µA
 - 超低消費電力 RTC：350nA
 - 低消費電力タイマーからのウェイクアップ
- 最適なペリフェラルの組み合わせによりプラットフォームのスケラビリティを実現
 - 汎用 I/O ピン数：最大 21
 - 4 チャンネル、12 ビット、1Msps の ADC
 - SPI コントローラ／ターゲット × 2
 - I²S コントローラ／ターゲット × 1
 - 4 線式 UART × 2
 - I²C コントローラ／ターゲット × 2
 - CAN 2.0B コントローラ × 1
 - 4 チャンネル標準 DMA コントローラ
 - 32 ビット・タイマー × 3
 - 32 ビット低消費電力タイマー × 1
 - ウォッチドッグ・タイマー × 1
 - CMOS レベル 32.768kHz キャリブレーション出力
 - AES-128/192/256 ハードウェア・アクセラレータ

オーダー情報はデータシート末尾に記載されています。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662



目次

概要	1
アプリケーション	1
特長と利点	1
絶対最大定格	7
パッケージ情報	7
電気的特性	8
電気的特性 – I ² C	39
電気的特性 – I ² S	41
電気的特性 – SPI	42
タイミング図	43
ピン配置 – 20 WLP	46
端子説明 – 20 WLP	46
ピン配置 – 32 TQFN	49
端子説明 – 32 TQFN	49
詳細	53
FPU エンジンを搭載した Arm Cortex-M4 プロセッサ	53
メモリ	53
内蔵フラッシュ・メモリ	53
内蔵 SRAM	53
クロック方式	53
汎用 I/O と特殊機能ピン	55
標準 DMA コントローラ	55
パワー・マネージメント	55
パワー・マネージメント・ユニット	55
動作モード	55
ACTIVE	55
SLEEP	56
DEEPSLEEP	56
BACKUP	56
STORAGE	56
ウェイクアップ・ソース	57
リアルタイム・クロック（RTC）	57
ウィンドウ・ウォッチドッグ・タイマー（WDT）	57
32 ビット・タイマー／カウンタ／PWM	58
シリアル・ペリフェラル	58
コントローラ・エリア・ネットワーク（CAN）2.0B	58
I ² C インターフェース	59

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

シリアル・ペリフェラル・インターフェース（SPI）	59
I ² S インターフェース	60
ユニバーサル非同期レシーバー／トランスミッタ（UART）インターフェース.....	60
A/D コンバータ（ADC）	61
セキュリティ	61
AES	61
真の乱数発生器（TRNG）	61
CRC モジュール.....	61
Root of Trust（信頼の基点）	62
セキュア通信プロトコル・ブートローダ（SCPBL）	62
セキュア・ブート.....	62
デバッグおよび開発インターフェース	62
その他の技術文書.....	62
アプリケーション情報.....	62
ブートローダの起動.....	62
バイパス・コンデンサ	63
代表的な固定消費電流の温度による変動	64
単一電源 ACTIVE モード、f _{SYS_OSC} = IPO.....	64
単一電源、SLEEP モード、f _{SYS_OSC} = IPO	65
単一電源、ACTIVE モード、f _{SYS_OSC} = IBRO.....	66
単一電源、SLEEP モード、f _{SYS_OSC} = IBRO	67
単一電源、DEEPSLEEP モード	68
単一電源、BACKUP モード	69
単一電源、STORAGE モード	69
デュアル電源、ACTIVE モード、f _{SYS_OSC} = IPO.....	70
デュアル電源、SLEEP モード、f _{SYS_OSC} = IPO.....	71
デュアル電源、ACTIVE モード、f _{SYS_OSC} = IBRO.....	72
デュアル電源、SLEEP モード、f _{SYS_OSC} = IBRO.....	73
デュアル電源、DEEPSLEEP モード	74
デュアル電源、BACKUP モード.....	75
デュアル電源、STORAGE モード.....	77
代表的なアプリケーション回路.....	78
オーダー情報.....	79

図一覧

図 1. PC タイミング図	43
図 2. PS コントローラのタイミング図	43
図 3. PS ターゲットのタイミング図	44
図 4. SPI コントローラ・モードのタイミング図	44
図 5. SPI ターゲット・モードのタイミング図	45
図 6. クロック方式の図	54

表一覧

表 1. BACKUP モードの SRAM 保持	56
表 2. ウェイクアップ・ソース	57
表 3. タイマー設定のオプション	58
表 4. SPI 設定のオプション	59
表 5. UART 設定のオプション	60
表 6. 共通 CRC 多項式	61
表 7. ブートローダの起動の概要	62
表 8. 単一電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IPO$	64
表 9. 単一電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IPO$	65
表 10. 単一電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IBRO$	66
表 11. 単一電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IBRO$	67
表 12. 単一電源動作固定 V_{DDIO} の消費電流、DEEPSLEEP モード	68
表 13. 単一電源動作固定 V_{DDIO} の消費電流、BACKUP モード	69
表 14. 単一電源動作固定 V_{DDIO} の消費電流、STORAGE モード	69
表 15. デュアル電源動作固定 V_{CORE} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IPO$	70
表 16. デュアル電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IPO$	70
表 17. デュアル電源動作固定 V_{CORE} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IPO$	71
表 18. デュアル電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IPO$	71
表 19. デュアル電源動作固定 V_{CORE} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IBRO$	72
表 20. デュアル電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{SYS_OSC} = IBRO$	72
表 21. デュアル電源動作固定 V_{CORE} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IBRO$	73
表 22. デュアル電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{SYS_OSC} = IBRO$	73
表 23. デュアル電源動作固定 V_{CORE} の消費電流、DEEPSLEEP モード	74
表 24. デュアル電源動作固定 V_{DDIO} の消費電流、DEEPSLEEP モード	74
表 25. デュアル電源動作固定 V_{CORE} の消費電流、BACKUP モード	75
表 26. デュアル電源動作固定 V_{DDIO} の消費電流、BACKUP モード	75
表 27. デュアル電源動作固定 V_{CORE} の消費電流、STORAGE モード	77
表 28. デュアル電源動作固定 V_{DDIO} の消費電流、STORAGE モード	77

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

絶対最大定格

V _{CORE} 、HFXIN、HFXOUT	-0.2V～+1.21V
V _{DDIO} 、V _{DDA}	-0.3V～+3.63V
32KIN、32KOUT、RSTN、GPIO (Note 1) . -0.3V～V _{DDIO} + 0.3V 組み合わせたすべての GPIO に流れる 電流の合計（シンク）	100mA
V _{SS} 、V _{SSA}	100mA
任意の GPIO ピンの出力電流（シンク）	25mA
任意の GPIO ピンの出力電流（ソース）	-25mA

32 TQFN-EP での連続消費電力（単層基板） （T _A = +70°C、+70°C より上は 21.28mW/°C で ディレーティング）	1170.2mW
32 TQFN-EP での連続消費電力（多層基板） （T _A = +70°C、+70°C より上は 27.8mW/°C で ディレーティング）	1527.8mW
20 WLP での連続消費電力（多層基板） （T _A = +70°C、+70°C より上は 18.02mW/°C で ディレーティング）	1441.7mW
動作温度範囲	-40°C～+105°C
保存温度範囲	-65°C～+125°C
ハンダ処理温度（リフロー）	+260°C

Note 1： どのデバイス・ピンも 3.63V を超えることはできません。特に指定のない限り、すべての電圧は V_{SS} を基準としています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

32 TQFN-EP

Package code	T3255+6C
Outline Number	21-0140
Land Pattern Number	90-0630
Thermal Resistance, Single-Layer Board	
Junction to Ambient (θ _{JA})	47°C/W
Junction to Case (θ _{JC})	—
Thermal Resistance, Four-Layer Board	
Junction to Ambient (θ _{JA})	36°C/W
Junction to Case (θ _{JC})	3°C/W

20 WLP

Package code	W201P2+1
Outline Number	21-100648
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Single-Layer Board	
Junction to Ambient (θ _{JA})	—
Junction to Case (θ _{JC})	—
Thermal Resistance, Four-Layer Board	
Junction to Ambient (θ _{JA})	55.49°C/W
Junction to Case (θ _{JC})	—

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

電氣的特性

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER / BOTH SINGLE-SUPPLY OPERATION AND DUAL-SUPPLY OPERATION							
Supply Voltage	V _{DDIO}	V _{DDIO} must be connected to V _{DDA}		1.71	1.8	3.63	V
Supply Voltage, Core	V _{CORE}	Dual-supply operation	PWRSEQ_LPCTRL. ovr = 0b00	0.855	0.9	0.945	V
			PWRSEQ_LPCTRL. ovr = 0b01	0.95	1.0	1.05	
			Default PWRSEQ_LPCTRL. ovr = 0b10	1.045	1.1	1.155	
		No power supply connection for single-supply operation		—			
Supply Voltage, Analog	V _{DDA}	V _{DDA} must be connected to V _{DDIO}		1.71	1.8	3.63	V
Power-Fail Reset Voltage	V _{RST}	Monitors V _{DDIO}		1.58		1.71	V
		Monitors V _{CORE} during dual-supply operation		0.74		0.845	
Power-On Reset Voltage	V _{POR}	Monitors V _{DDIO}			1.4		V
		Monitors V _{CORE} during dual-supply operation			0.6		
POWER / SINGLE-SUPPLY OPERATION (V _{DDIO} ONLY); f _{SYS_OSC} = IPO							
V _{DDIO} Current, ACTIVE Mode	I _{DDIO_DACTS}	Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode executing CoreMark; inputs tied to V _{SS} or V _{DDIO} ; outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, f _{SYS_CLK(MAX)} = 100MHz		54		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, f _{SYS_CLK(MAX)} = 50MHz		52		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, f _{SYS_CLK(MAX)} = 12MHz		50		
		Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in ACTIVE mode executing CoreMark; inputs tied to V _{SS} or V _{DDIO} ; outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, f _{SYS_CLK(MAX)} = 100MHz		53		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, f _{SYS_CLK(MAX)} = 50MHz		51		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		49		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode executing While(1); inputs tied to V_{SS} or V_{DDIO} ; outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz		44		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		42		
	$I_{\text{DD_DACTS}}$	Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode executing While(1); inputs tied to V_{SS} or V_{DDIO} ; outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		40		
			PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz		43		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		41		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		39		
	$I_{\text{DD_FACTS}}$	Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 8 for temperature variance.		685		μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 8 for temperature variance.		585		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 8 for temperature variance.		510		
		Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{DDIO} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 8 for temperature variance.		665		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 8 for temperature variance.		565		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 8 for temperature variance.		490		
V_{DD} Current, SLEEP Mode	I_{DD_DSLPS}	Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{SYS_CLK(MAX)} =$ 100MHz		27		$\mu\text{A}/\text{MHz}$
V_{DDIO} Current, SLEEP Mode	I_{DDIO_DSLPS}	Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{SYS_CLK(MAX)} = 50\text{MHz}$		26		$\mu\text{A}/\text{MHz}$

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$	26		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz	27		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$	26		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$	26		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} =$ 3.3V, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz	12		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$	11		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$	11		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz	12		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		11		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		11		
	I_{DDIO_FSLPS}	Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 9 for temperature variance.		685		μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 9 for temperature variance.		585		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 9 for temperature variance.		510		
		Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 9 for temperature variance.		665		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 9 for temperature variance.		565		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Fixed, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 9 for temperature variance.		490		
SLEEP Mode Resume Time	t _{SLP_ONS}	f _{SYS_OSC} = IPO, time from power mode exit to execution of application code			1.5		μs
DEEPSLEEP Mode Resume Time	t _{DSL_ONS}	f _{SYS_OSC} = IPO, time from power mode exit to execution of application code	fastwk_en = 1		75		μs
			fastwk_en = 0		210		
BACKUP Mode Resume Time	t _{BKU_ONS}	f _{SYS_OSC} = IPO, time from power mode exit to execution of application code	fastwk_en = 1		910		ms
			fastwk_en = 0		1020		
STORAGE Mode Resume Time	t _{STO_ONS}	f _{SYS_OSC} = IPO, time from power mode exit to execution of application code	fastwk_en = 1		920		ms
			fastwk_en = 0		1030		
POWER / SINGLE-SUPPLY OPERATION (V _{DDIO} ONLY); f _{SYS_OSC} = IBRO							
V _{DDIO} Current, ACTIVE Mode	I _{DDIO_DACTS}	Dynamic, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, f _{SYS_CLK(MAX)} = 7.3728MHz		55		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, f _{SYS_CLK(MAX)} = 7.3728MHz		52		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, f _{SYS_CLK(MAX)} = 7.3728MHz		49		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in ACTIVE mode, executing CoreMark, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		54		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		51		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		48		
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in ACTIVE mode, executing While(1), inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		44		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		41		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		39		
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in ACTIVE mode, executing While(1), inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		43		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		41		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		38		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
	I_{DDIO_FACTS}	Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{DDIO} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 10 for temperature variance.		280		μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 10 for temperature variance.		255		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 10 for temperature variance.		235		
		Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{DDIO} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 10 for temperature variance.		255		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 10 for temperature variance.		230		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 10 for temperature variance.		210		
V_{DDIO} Current, SLEEP Mode	I_{DDIO_DSLPS}	Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{SYS_CLK(MAX)} = 7.3728\text{MHz}$		26		$\mu\text{A/MHz}$
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{SYS_CLK(MAX)} = 7.3728\text{MHz}$		25		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		24		
			PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		26		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		25		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		23		
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		11		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		10		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		9		
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		11		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		10		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		9		
	I _{DDIO_FSLPS}	Fixed, IBRO enabled, total current into V _{DDIO} and V _{DDA} pins, V _{DDIO} = 3.3V, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 11 for temperature variance.		280		μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 11 for temperature variance.		255		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 11 for temperature variance.		235		
		Fixed, IBRO enabled, total current into V _{DDIO} and V _{DDA} pins, V _{DDIO} = 1.8V, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V. See Table 11 for temperature variance.		255		
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V. See Table 11 for temperature variance.		230		
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V. See Table 11 for temperature variance.		210		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SLEEP Mode Resume Time	t _{SLP_ONS}	f _{SYS_OSC} = IBRO, time from power mode exit to execution of application code			20.5		μs
DEEPSLEEP Mode Resume Time	t _{DSL_ONS}	f _{SYS_OSC} = IBRO, time from power mode exit to execution of application code	fastwk_en = 1		205		μs
			fastwk_en = 0		350		
BACKUP Mode Resume Time	t _{BKU_ONS}	f _{SYS_OSC} = IBRO, time from power mode exit to execution of application code	fastwk_en = 1		11.55		ms
			fastwk_en = 0		11.67		
STORAGE Mode Resume Time	t _{STO_ONS}	f _{SYS_OSC} = IBRO, time from power mode exit to execution of application code	fastwk_en = 1		11.72		ms
			fastwk_en = 0		11.74		
POWER / SINGLE-SUPPLY OPERATION (V _{DDIO} ONLY)							
V _{DDIO} Fixed Current, DEEPSLEEP Mode	I _{DDIO_FDSL}	Standby state with full data retention and 80KB SRAM retained	V _{DDIO} = 3.3V, PWRSEQ_LPCTRL.bg_dis = 0. See Table 12 for temperature variance.		3.6		μA
			V _{DDIO} = 1.8V, PWRSEQ_LPCTRL.bg_dis = 0. See Table 12 for temperature variance.		3.3		
V _{DDIO} Fixed Current, BACKUP Mode	I _{DDIO_FBKUS}	V _{DDIO} = 3.3V, RTC disabled	0KB SRAM retained, retention regulator disabled. See Table 13 for temperature variance.		0.45		μA
			20KB SRAM retained. See Table 13 for temperature variance.		1.25		
			40KB SRAM retained. See Table 13 for temperature variance.		1.6		
			60KB SRAM retained. See Table 13 for temperature variance.		2		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			80KB SRAM retained. See Table 13 for temperature variance.		2.4		
		V _{DDIO} = 1.8V, RTC disabled	0KB SRAM retained, retention regulator disabled. See Table 13 for temperature variance.		0.25		
			20KB SRAM retained. See Table 13 for temperature variance.		1		
			40KB SRAM retained. See Table 13 for temperature variance.		1.4		
			60KB SRAM retained. See Table 13 for temperature variance.		1.8		
			80KB SRAM retained. See Table 13 for temperature variance.		2.15		
V _{DDIO} Fixed Current, STORAGE Mode	I _{DDIO_FSTOS}	V _{DDIO} = 3.3V. See Table 14 for temperature variance.			0.23		μA
		V _{DDIO} = 1.8V. See Table 14 for temperature variance.			0.06		
POWER / DUAL-SUPPLY OPERATION (V _{DDIO} AND V _{CORE}); f _{SYS_OSC} = IPO							
V _{CORE} Current, ACTIVE mode	I _{CORE_DACTD}	Dynamic, IPO enabled, total current into V _{CORE} pin, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		53		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 50MHz		52		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 12MHz		46		
		Dynamic, IPO enabled, total current into V _{CORE} pin, CPU in ACTIVE mode, executing While(1), inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		43		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		41		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		37		
	I _{CORE_FACTD}	Fixed, IPO enabled, total current into V_{CORE} pin, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$. See Table 15 for temperature variance.		250		μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 15 for temperature variance.		145		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 15 for temperature variance.		70		
V _{DDIO} Current, ACTIVE mode	I _{DDIO_DACTD}	Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz		2		$\mu\text{A/MHz}$
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		2		
		Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 100MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 50\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 12\text{MHz}$		2		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in ACTIVE mode, executing While(1), inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$, $f_{SYS_CLK(MAX)} = 12\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b10, $V_{CORE} = 1.1\text{V}$, $f_{SYS_CLK(MAX)} = 100\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{CORE} = 1.0\text{V}$, $f_{SYS_CLK(MAX)} = 50\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$, $f_{SYS_CLK(MAX)} = 12\text{MHz}$		2		
		Dynamic, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in ACTIVE mode, executing While(1), inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{CORE} = 1.1\text{V}$, $f_{SYS_CLK(MAX)} = 100\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{CORE} = 1.0\text{V}$, $f_{SYS_CLK(MAX)} = 50\text{MHz}$		2		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$, $f_{SYS_CLK(MAX)} = 12\text{MHz}$		2		
	I _{DDIO_FAC} TD	Fixed, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{CORE} = 1.1\text{V}$. See Table 16 for temperature variance.		385		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{CORE} = 1.0\text{V}$. See Table 16 for temperature variance.		385		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$. See Table 16 for temperature variance.		385		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{CORE} Current, SLEEP Mode		Fixed, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in ACTIVE mode 0MHz execution, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V. See Table 16 for temperature variance.		370		
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V. See Table 16 for temperature variance.		370		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V. See Table 16 for temperature variance.		370		
	I _{CORE_DSLPD}	Dynamic, IPO enabled, total current into V _{CORE} pin, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		28		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 50MHz		26		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 12MHz		24		
		Dynamic, IPO enabled, total current into V _{CORE} pin, CPU in SLEEP mode, DMA disabled, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		12		
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 50MHz		11		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 12MHz		10		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DDIO} Current, SLEEP Mode	I _{CORE_FSLPD}	Fixed, IPO enabled, total current into V _{CORE} pin, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V. See Table 17 for temperature variance.		250		μA
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V. See Table 17 for temperature variance.		145		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V. See Table 17 for temperature variance.		70		
	I _{DDIO_DSLPD}	Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		2		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 50MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 12MHz		2		
		Dynamic, IPO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 100MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 50MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 12MHz		2		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
	I_{DDIO_FSLPD}	Fixed, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{CORE} = 1.1\text{V}$. See Table 18 for temperature variance.		385		μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{CORE} = 1.0\text{V}$. See Table 18 for temperature variance.		385		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$. See Table 18 for temperature variance.		385		
		Fixed, IPO enabled, total current into V_{DDIO} pin, $V_{DDIO} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{CORE} = 1.1\text{V}$. See Table 18 for temperature variance.		370		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{CORE} = 1.0\text{V}$. See Table 18 for temperature variance.		370		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{CORE} = 0.9\text{V}$. See Table 18 for temperature variance.		370		
SLEEP Mode Resume Time	t_{SLP_OND}	$f_{SYS_OSC} = \text{IPO}$, time from power mode exit to execution of application code			1.5		μs
DEEPSLEEP Mode Resume Time	t_{DSL_OND}	$f_{SYS_OSC} = \text{IPO}$, time from power mode exit to execution of application code	fastwk_en = 1		75		μs
			fastwk_en = 0		210		
BACKUP Mode Resume Time	t_{BKU_OND}	$f_{SYS_OSC} = \text{IPO}$, time from power mode exit to execution of application code	fastwk_en = 1		910		ms
			fastwk_en = 0		1020		
STORAGE Mode Resume Time	t_{STO_OND}	$f_{SYS_OSC} = \text{IPO}$, time from power mode exit to execution of application code	fastwk_en = 1		920		ms
			fastwk_en = 0		1030		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER / DUAL-SUPPLY OPERATION (VDDIO AND V _{CORE}); f _{SYS_OSC} = IBRO							
V _{CORE} Current, ACTIVE mode	I _{CORE_DACTD}	Dynamic, IBRO enabled, total current into V _{CORE} pin, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. o _{vr} = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 7.3728MHz		54		μA/MHz
			PWRSEQ_LPCTRL. o _{vr} = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 7.3728MHz		50		
			PWRSEQ_LPCTRL. o _{vr} = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 7.3728MHz		41		
		Dynamic, IBRO enabled, total current into V _{CORE} pin, CPU in ACTIVE mode, executing While(1), inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. o _{vr} = 0b10, V _{CORE} = 1.1V, f _{SYS_CLK(MAX)} = 7.3728MHz		44		
			PWRSEQ_LPCTRL. o _{vr} = 0b01, V _{CORE} = 1.0V, f _{SYS_CLK(MAX)} = 7.3728MHz		40		
			PWRSEQ_LPCTRL. o _{vr} = 0b00, V _{CORE} = 0.9V, f _{SYS_CLK(MAX)} = 7.3728MHz		34		
	I _{CORE_FACTD}	Fixed, IBRO enabled, total current into V _{CORE} pin, CPU in ACTIVE mode 0MHz execution, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. o _{vr} = 0b10, V _{CORE} = 1.1V. See Table 19 for temperature variance.		105		μA
			PWRSEQ_LPCTRL. o _{vr} = 0b01, V _{CORE} = 1.0V. See Table 19 for temperature variance.		80		
			PWRSEQ_LPCTRL. o _{vr} = 0b00, V _{CORE} = 0.9V. See Table 19 for temperature variance.		55		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DDIO} Current, ACTIVE Mode	I _{DDIO_DACTD}	Dynamic, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, f _{SYS_CLK(MAX)} = 7.3728MHz		2		μA/MHz
			PWRSEQ_LPCTRL. ovr = 0b01, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
		Dynamic, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in ACTIVE mode, executing CoreMark, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b01, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
		Dynamic, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode, executing While(1), inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b01, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
		Dynamic, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 1.8V, CPU in ACTIVE mode, executing While(1), inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b01, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
			PWRSEQ_LPCTRL. ovr = 0b00, f _{SYS_CLK(MAX)} = 7.3728MHz		2		
	I _{DDIO_FACTD}	Fixed, IBRO enabled, total current into V _{DDIO} pin, V _{DDIO} = 3.3V, CPU in ACTIVE mode 0MHz execution, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V. See Table 20 for temperature variance.		115		μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 20 for temperature variance.		115		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 20 for temperature variance.		115		
		Fixed, IBRO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$. See Table 20 for temperature variance.		90		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 20 for temperature variance.		90		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 20 for temperature variance.		90		
V_{CORE} Current, SLEEP Mode	$I_{\text{CORE_DSLDP}}$	Dynamic, IBRO enabled, total current into V_{CORE} pin, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		27		$\mu\text{A/MHz}$
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		25		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		21		
		Dynamic, IBRO enabled, total current into V_{CORE} pin, CPU in SLEEP mode, DMA disabled, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} =$ 7.3728MHz		12		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

(制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. .ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		11		
			PWRSEQ_LPCTRL. .ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		10		
	I _{CORE_FSLPD}	Fixed, IBRO enabled, total current into V_{CORE} pin, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. .ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$. See Table 21 for temperature variance.		250		μA
			PWRSEQ_LPCTRL. .ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 21 for temperature variance.		145		
			PWRSEQ_LPCTRL. .ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 21 for temperature variance.		70		
V _{DDIO} Current, SLEEP Mode	I _{DDIO_DSLPD}	Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. .ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		37.0		$\mu\text{A/MHz}$
			PWRSEQ_LPCTRL. .ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		38		
			PWRSEQ_LPCTRL. .ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		37		
		Dynamic, IBRO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, standard DMA with 2 channels active, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. .ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		39		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		39		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$, $f_{\text{SYS_CLK(MAX)}} = 7.3728\text{MHz}$		38		
	$I_{\text{DDIO_FSLPD}}$	Fixed, IBRO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$. See Table 22 for temperature variance.		115		μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 22 for temperature variance.		115		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 22 for temperature variance.		115		
		Fixed, IBRO enabled, total current into V_{DDIO} pin, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$. See Table 22 for temperature variance.		90		
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$. See Table 22 for temperature variance.		90		
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$. See Table 22 for temperature variance.		90		
SLEEP Mode Resume Time	$t_{\text{SLP_OND}}$	$f_{\text{SYS_OSC}} = \text{IBRO}$, time from power mode exit to execution of application code			20.5		μs
DEEPSLEEP Mode Resume Time	$t_{\text{DSL_OND}}$	$f_{\text{SYS_OSC}} = \text{IBRO}$, time from power mode exit to execution of application code	fastwk_en = 1		205		μs
			fastwk_en = 0		350		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
BACKUP Mode Resume Time	t _{BKU_OND}	f _{sys_osc} = IBRO, time from power mode exit to execution of application code	fastwk_en = 1	11.55			ms
			fastwk_en = 0	11.67			
STORAGE Mode Resume Time	t _{STO_OND}	f _{sys_osc} = IBRO, time from power mode exit to execution of application code	fastwk_en = 1	11.72			ms
			fastwk_en = 0	11.74			
POWER / DUAL-SUPPLY OPERATION (V _{DDIO} AND V _{CORE})							
V _{CORE} Fixed Current, DEEPSLEEP Mode	I _{CORE_FDSLDP}	V _{DDIO} = 3.3V, V _{CORE} = 1.1V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 23 for temperature variance.	6.8			μA
		V _{DDIO} = 3.3V, V _{CORE} = 0.855V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 23 for temperature variance.	2.7			
		V _{DDIO} = 1.8V, V _{CORE} = 1.1V.	PWRSEQ_LPCTRL. bg_dis = 0. See Table 23 for temperature variance.	6.8			
		V _{DDIO} = 1.8V, V _{CORE} = 0.855V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 23 for temperature variance.	2.7			
V _{DDIO} Fixed Current, DEEPSLEEP Mode	I _{DDIO_FDSLDP}	V _{DDIO} = 3.3V, V _{CORE} = 1.1V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 24 for temperature variance.	0.19			μA
		V _{DDIO} = 3.3V, V _{CORE} = 0.855V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 24 for temperature variance.	0.19			
		V _{DDIO} = 1.8V, V _{CORE} = 1.1V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 24 for temperature variance.	0.05			
		V _{DDIO} = 1.8V, V _{CORE} = 0.855V	PWRSEQ_LPCTRL. bg_dis = 0. See Table 24 for temperature variance.	0.05			

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CORE} Fixed Current, BACKUP Mode	$I_{\text{CORE_FBKUD}}$	0KB SRAM retained, RTC disabled, retention regulator disabled	$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$. See Table 25 for temperature variance.		0.33		μA
			$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$. See Table 25 for temperature variance.		0.18		
			$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$. See Table 25 for temperature variance.		0.33		
			$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$. See Table 25 for temperature variance.		0.18		
		20KB SRAM retained with RTC disabled	$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$. See Table 25 for temperature variance.		1.28		
			$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$. See Table 25 for temperature variance.		0.54		
			$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$. See Table 25 for temperature variance.		1.28		
			$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$. See Table 25 for temperature variance.		0.54		
		40KB SRAM retained with RTC disabled	$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$. See Table 25 for temperature variance.		2.23		
			$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$. See Table 25 for temperature variance.		0.9		

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、T_A = +25°C と T_A = +105°C で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		2.23		
			V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 25 for temperature variance.		0.9		
		60KB SRAM retained with RTC disabled	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		3.2		
			V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 25 for temperature variance.		1.2		
			V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		3.2		
			V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 25 for temperature variance.		1.2		
		80KB SRAM retained with RTC disabled	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		4.1		
			V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 25 for temperature variance.		1.6		
			V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		4.1		
			V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 25 for temperature variance.		1.6		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DDIO} Fixed Current, BACKUP Mode	I _{DDIO_FBKUD}	0KB SRAM retained, RTC disabled, retention regulator disabled	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 25 for temperature variance.		0.19		μA
			V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 26 for temperature variance.		0.19		
			V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 26 for temperature variance.		0.05		
			V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 26 for temperature variance.		0.05		
		20KB SRAM retained with RTC disabled	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 26 for temperature variance.		0.19		
			V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 26 for temperature variance.		0.19		
			V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 26 for temperature variance.		0.05		
			V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 26 for temperature variance.		0.05		
		40KB SRAM retained with RTC disabled	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 26 for temperature variance.		0.19		
			V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 26 for temperature variance.		0.19		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 1.1\text{V}$. See Table 26 for temperature variance.		0.05		
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 0.855\text{V}$. See Table 26 for temperature variance.		0.05		
		60KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3\text{V}$, $V_{CORE} = 1.1\text{V}$. See Table 26 for temperature variance.		0.19		
			$V_{DDIO} = 3.3\text{V}$, $V_{CORE} = 0.855\text{V}$. See Table 26 for temperature variance.		0.19		
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 1.1\text{V}$. See Table 26 for temperature variance.		0.05		
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 0.855\text{V}$. See Table 26 for temperature variance.		0.05		
		80KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3\text{V}$, $V_{CORE} = 1.1\text{V}$. See Table 26 for temperature variance.		0.19		
			$V_{DDIO} = 3.3\text{V}$, $V_{CORE} = 0.855\text{V}$. See Table 26 for temperature variance.		0.19		
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 1.1\text{V}$. See Table 26 for temperature variance.		0.05		
			$V_{DDIO} = 1.8\text{V}$, $V_{CORE} = 0.855\text{V}$. See Table 26 for temperature variance.		0.05		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{CORE} Fixed Current, STORAGE Mode	I _{CORE_FSTOD}	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 27 for temperature variance.			0.33		μA
		V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 27 for temperature variance.			0.18		
		V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 27 for temperature variance.			0.33		
		V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 27 for temperature variance.			0.18		
V _{DDIO} Fixed Current, STORAGE Mode	I _{DDIO_FSTOD}	V _{DDIO} = 3.3V, V _{CORE} = 1.1V. See Table 28 for temperature variance.			0.22		μA
		V _{DDIO} = 3.3V, V _{CORE} = 0.855V. See Table 28 for temperature variance.			0.22		
		V _{DDIO} = 1.8V, V _{CORE} = 1.1V. See Table 28 for temperature variance.			0.06		
		V _{DDIO} = 1.8V, V _{CORE} = 0.855V. See Table 28 for temperature variance.			0.06		
CLOCKS							
System Clock Frequency	f _{SYS_CLK}			0		f _{IPO}	MHz
Internal Primary Oscillator (IPO)	f _{IPO}	Default PWRSEQ_LPCTRL.ovr = 0b10			100		MHz
Internal Baud Rate Oscillator (IBRO)	f _{IBRO}				7.3728		MHz
Internal Nanoring Oscillator (INRO)	f _{INRO}	Measured at V _{DDIO} = 1.8V			80		kHz
External RTC Oscillator (ERTCO)	f _{ERTCO}	32kHz watch crystal, C _L = 6pF, ESR < 90kΩ, C ₀ ≤ 2pF			32.768		kHz
External RF Oscillator Frequency (ERFO)	f _{ERFO}	32MHz crystal, CL = 12pF, ESR ≤ 50Ω, C ₀ ≤ 7pF, temperature stability ±20ppm, initial tolerance ±20ppm			32		MHz
RTC Operating Current	I _{RTC}	All power modes, RTC enabled			0.35		μA
RTC Power-up Time	t _{RTC_ON}				250		ms
External System Clock Input Frequency	f _{EXT_CLK}	HF_EXT_CLK selected, V _{DDIO} ≥ 3.0V	Minimum voltage vs. frequency requirements for PWRSEQ_LPCTRL.ovr settings must be followed.			50	MHz
		HF_EXT_CLK selected, V _{DDIO} < 3.0V	Minimum voltage vs. frequency requirements for PWRSEQ_LPCTRL.ovr settings must be followed.			25	
External Low-Power Timer Clock Input Frequency	f _{EXT_LPTMR_CLK}	LP_EXT_CLK selected, V _{DDIO} ≥ 3.0V				10	MHz
		LP_EXT_CLK selected, V _{DDIO} < 3.0V				5	
GENERAL-PURPOSE I/O							

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Low Voltage for All GPIO, RSTN	V_{IL_GPIO}	Pin configured as GPIO			$0.3 \times V_{DDIO}$	V
Input High Voltage for All GPIO, RSTN	V_{IH_GPIO}	Pin configured as GPIO	$0.7 \times V_{DDIO}$			V
Output Low Voltage for All GPIO Except P0.6, P0.9, P0.12, and P0.13	V_{OL_GPIO}	$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 1\text{mA}$, DS[1:0] = 00 (Note 2)		0.2	0.4	V
		$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 2\text{mA}$, DS[1:0] = 10 (Note 2)		0.2	0.4	
		$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 4\text{mA}$, DS[1:0] = 01 (Note 2)		0.2	0.4	
		$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 6\text{mA}$, DS[1:0] = 11 (Note 2)		0.2	0.4	
Output Low Voltage for GPIO P0.6, P0.9, P0.12, and P0.13	V_{OL_I2C}	$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 2\text{mA}$, DS = 0 (Note 2)		0.2	0.4	V
		$V_{DDIO} = 1.71\text{V}$, $I_{OL} = 10\text{mA}$, DS = 1 (Note 2)		0.2	0.4	
Output High Voltage for All GPIO Except P0.6, P0.9, P0.12, and P0.13	V_{OH_VGPI0}	$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 1\text{mA}$, DS[1:0] = 00 (Note 2)	$V_{DDIO} - 0.4$			V
		$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 2\text{mA}$, DS[1:0] = 10 (Note 2)	$V_{DDIO} - 0.4$			
		$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 4\text{mA}$, DS[1:0] = 01 (Note 2)	$V_{DDIO} - 0.4$			
		$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 6\text{mA}$, DS[1:0] = 11 (Note 2)	$V_{DDIO} - 0.4$			
Output High Voltage for GPIO P0.6, P0.9, P0.12, and P0.13	V_{OH_I2C}	$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 2\text{mA}$, DS = 0 (Note 2)	$V_{DDIO} - 0.4$			V
		$V_{DDIO} = 1.71\text{V}$, $I_{OH} = 10\text{mA}$, DS = 1 (Note 2)	$V_{DDIO} - 0.4$			
Combined I_{OL} , All GPIO	I_{OL_TOTAL}				100	mA
Combined I_{OH} , All GPIO	I_{OH_TOTAL}		-100			mA
Input Hysteresis (Schmitt)	V_{IHYS}			300		mV
Input/Output Pin Capacitance for All Pins	C_{IO}			4		pF
Input Leakage Current Low	I_{IL}	$V_{IN} = 0\text{V}$, internal pull-up disabled	-200		+200	nA
Input Leakage Current High	I_{IH}	$V_{IN} = 3.63\text{V}$, internal pull-up disabled	-800		+800	nA
RSTN Assertion Time	t_{RSTN}	Device in ACTIVE mode, RSTN device pin assertion duration to entry into device reset state		$6 \times t_{SYS_CLK}$		μs
Input Pull-up Resistor RSTN	R_{PU_VDDIO}	Internal pull-up to $V_{DDIO} = V_{RST}$, RSTN at V_{IH}		18.7		k Ω
		Internal pull-up to $V_{DDIO} = 3.63\text{V}$, RSTN at V_{IH}		10.0		
Input Pull-up Resistor for All GPIO	R_{PU}	Device pin configured as GPIO, internal pull-up to $V_{DDIO} = V_{RST}$, device pin at V_{IH}		18.7		k Ω

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Device pin configured as GPIO, internal pull-up to V _{DDIO} = 3.63V, device pin at V _{IH}			10.0		
Input Pull-down Resistor for All GPIO	R _{PD}	Device pin configured as GPIO, internal pull-down to V _{SS} , V _{DDIO} = V _{RST} , device pin at V _{IL}			17.6		kΩ
		Device pin configured as GPIO, internal pull-down to V _{SS} , V _{DDIO} = V _{RST} , device pin at V _{IL}			8.8		
12-BIT SAR ADC							
V _{DDA} Standby Current	I _{VDDA}	ADC_CTRL0.resetb = 0, ADC_CTRL0.bias_en = 0, ADC_CTRL0.adc_en = 0 MCR_ADCCFG1.amp_en = 0 MCR_ADCCFG1.ain_inp_en = 0b1111, input buffer disabled	V _{DDA} = 1.8V		340		μA
			V _{DDA} = 3.3V		361		
V _{DDA} ADC Active Current	I _{ADC}	ADC Active, reference buffer disabled, ADC clock = 25MHz. Additional current above I _{VDDA} .	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 0, V _{DDA} = 1.8V		202		μA
			MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 1, V _{DDA} = 3.3V		353		
		ADC Active, reference buffer disabled, ADC clock = 16MHz. Additional current above I _{VDDA} .	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 0, V _{DDA} = 1.8V		167		
			MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 1, V _{DDA} = 3.3V		280		
Bandgap Temperature Coefficient	V _{TEMPCO}	Box method			±25		ppm
12-BIT SAR ADC/INPUT BUFFER ENABLED (MCR_ADCCFG1.thru_pad_sw_enx = 1; MCR_ADCCFG1.thru_en = 1; MCR_ADCCFG1.amp_en = 1)							
Resolution					12		bits
Effective Number of Bits	ENOB	ADC_CLKCTRL.clkdiv = 0b000. AINx input pk-pk = V _{REF} – 10mV			10		bits
External Reference Voltage	V _{REF}	V _{REF} ≤ V _{DDA} , MCR_ADCCFG0.ext_ref = 1, MCR_ADCCFG1.ain_inp_en = 0b0001		2.048		V _{DDA}	V

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

(制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Internal Reference Voltage	V _{INT_REF}	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 0		1.25		V	
		MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 1		2.048			
ADC Clock Rate Maximum	f _{ACLK}			25		MHz	
Input Voltage Range	V _{AIN}	AIN[3:0], ADC_DATA. chan = [3:0]	MCR_ADCCFG1. divsel = 0b00	V _{SSA} + 0.05	MIN(V _{REF} , V _{DDIOH})		V
			MCR_ADCCFG1. divsel = 0b01	V _{SSA} + 0.05	MIN(V _{REF} , V _{DDIOH})		
			MCR_ADCCFG1. divsel = 0b10	V _{SSA} + 0.05	MIN(2 × V _{REF} , V _{DDIOH})		
			MCR_ADCCFG1. divsel = 0b11	V _{SSA} + 0.05	MIN(3 × V _{REF} , V _{DDIOH})		
ADC Buffer Current	I _{ADCBUFFER}			54		μA	
Input Impedance	R _{AIN}			100		kΩ	
Analog Input Capacitance	C _{AIN}	Fixed capacitance to V _{SSA}		2		pF	
Integral Nonlinearity	INL			±1.5		LSb	
Differential Nonlinearity	DNL			±0.75		LSb	
Offset Error	V _{OS}	Chopping enabled		±0.25		LSb	
ADC Input Buffer Offset	V _{OS}			±1.5		LSb	
ADC Sample Rate	f _{ADC}			25		kHz	
ADC Setup Time	t _{ADC_SU}	Any power-up of ADC clock or ADC bias to CpuAdcStart		500		μs	
ADC Input Leakage	I _{ADC_LEAK}			±1.2		nA	
12-BIT SAR ADC/INPUT BUFFER DISABLED (MCR_ADCCFG1.thru_pad_sw_enx = 0; MCR_ADCCFG1.thru_en = 0; MCR_ADCCFG1.amp_en = 0)							
Resolution				12		bits	
Effective Number of Bits	ENOB	ADC_CLKCTRL.clkdiv = 0b000. AINx input pk-pk = V _{REF} - 10mV		10		bits	
External Reference Voltage	V _{REF}	V _{REF} ≤ V _{DDA} , MCR_ADCCFG0.ext_ref = 1		2.048	V _{DDA}		
Internal Reference Voltage	V _{INT_REF}	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 0		1.25		V	
		MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.int_ref = 1		2.048			
ADC Clock Rate Maximum	f _{ACLK}			25		MHz	
Input Voltage Range	V _{AIN}	AIN[3:0], ADC_DATA. chan = [3:0]	MCR_ADCCFG1. divsel = 0b00	V _{SSA} + 0.05	V _{REF}		

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBD とマークされた仕様は、設計により確保されていますが、出荷テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、出荷テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Impedance	R_{AIN}			1.2		$\text{M}\Omega$
Analog Input Capacitance	C_{AIN}	Fixed capacitance to V_{SSA}		2		pF
		Dynamically switched capacitance		1.2		
Integral Nonlinearity	INL			± 1.5		LSb
Differential Nonlinearity	DNL			± 0.75		LSb
Offset Error	V_{OS}	Chopping enabled		± 0.25		LSb
ADC Sample Rate	f_{ADC}				1	Msp/s
ADC Setup Time	$t_{\text{ADC_SU}}$	Any power-up of ADC clock or ADC bias to CpuAdcStart			500	μs
ADC Input Leakage	$I_{\text{ADC_LEAK}}$	ADC inactive or channel not selected		± 1.2		nA
COMPARATORS						
Input Offset Voltage	V_{OFFSET}			± 1		mV
Input Hysteresis	V_{HYST}	AINCOMPHYST[1:0] = 00		± 23		mV
		AINCOMPHYST[1:0] = 01		± 50		
		AINCOMPHYST[1:0] = 10		± 2		
		AINCOMPHYST[1:0] = 11		± 7		
Input Voltage Range	$V_{\text{IN_CMP}}$	Common-mode range	0		V_{DDIO}	V
FLASH MEMORY						
Flash Erase Time	$t_{\text{M_ERASE}}$	Mass erase		20		ms
	$t_{\text{P_ERASE}}$	Page erase		20		
Flash Programming Time per Word	t_{PROG}			42		μs
Flash Endurance			10			kcycles
Data Retention	t_{RET}	$T_A = +125^{\circ}\text{C}$	10			years

Note 2 : 2.97V の GPIO バイアス電圧を用いる場合の GPIO の駆動電流能力は、1.71V の GPIO バイアス電圧を用いる場合の駆動強度の 2 倍です。

電气的特性 – I²C

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。 $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ ）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STANDARD-MODE						
Output Fall Time	t_{OF}	Standard-mode, from $V_{\text{IH(MIN)}}$ to $V_{\text{IL(MAX)}}$		150		ns
SCL Clock Frequency	f_{SCL}		0		100	kHz
Low Period SCL Clock	t_{LOW}		4.7			μs
High Time SCL Clock	t_{HIGH}		4.0			μs
Setup Time for Repeated Start Condition	$t_{\text{SU,STA}}$		4.7			μs
Hold Time for Repeated Start Condition	$t_{\text{HD,STA}}$		4.0			μs

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。T_A = -40°C～+105°C）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Setup Time	t _{SU;DAT}			300		ns
Data Hold Time	t _{HD;DAT}			10		ns
Rise Time for SDA and SCL	t _R			800		ns
Fall Time for SDA and SCL	t _F			200		ns
Setup Time for a Stop Condition	t _{SU;STO}		4.0			μs
Bus Free Time Between a Stop and Start Condition	t _{BUS}		4.7			μs
Data Valid Time	t _{VD;DAT}		3.45			μs
Data Valid Acknowledge Time	t _{VD;ACK}		3.45			μs
FAST-MODE						
Output Fall Time	t _{OF}	From V _{IH(MIN)} to V _{IL(MAX)}		150		ns
Pulse Width Suppressed by Input Filter	t _{SP}			75		ns
SCL Clock Frequency	f _{SCL}		0		400	kHz
Low Period SCL Clock	t _{LOW}		1.3			μs
High Time SCL Clock	t _{HIGH}		0.6			μs
Setup Time for Repeated Start Condition	t _{SU;STA}		0.6			μs
Hold Time for Repeated Start Condition	t _{HD;STA}		0.6			μs
Data Setup Time	t _{SU;DAT}			125		ns
Data Hold Time	t _{HD;DAT}			10		ns
Rise Time for SDA and SCL	t _R			30		ns
Fall Time for SDA and SCL	t _F			30		ns
Setup Time for a Stop Condition	t _{SU;STO}		0.6			ms
Bus Free Time Between a Stop and Start Condition	t _{BUS}		1.3			μs
Data Valid Time	t _{VD;DAT}		0.9			μs
Data Valid Acknowledge Time	t _{VD;ACK}		0.9			μs
FAST-MODE PLUS						
Output Fall Time	t _{OF}	From V _{IH(MIN)} to V _{IL(MAX)}		80		ns
Pulse Width Suppressed by Input Filter	t _{SP}			75		ns
SCL Clock Frequency	f _{SCL}		0		1000	kHz
Low Period SCL Clock	t _{LOW}		0.5			μs

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。T_A = -40°C~+105°C）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High Time SCL Clock	t _{HIGH}		0.26			μs
Setup Time for Repeated Start Condition	t _{SU,STA}		0.26			μs
Hold Time for Repeated Start Condition	t _{HD,STA}		0.26			μs
Data Setup Time	t _{SU,DAT}			50		ns
Data Hold Time	t _{HD,DAT}			10		ns
Rise Time for SDA and SCL	t _R			50		ns
Fall Time for SDA and SCL	t _F			30		ns
Setup Time for a Stop Condition	t _{SU,STO}		0.26			μs
Bus Free Time Between a Stop and Start Condition	t _{BUS}		0.5			μs
Data Valid Time	t _{VD,DAT}		0.45			μs
Data Valid Acknowledge Time	t _{VD,ACK}		0.45			μs

電気的特性 – I²S

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。T_A = -40°C~+105°C）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TARGET MODE						
Bit Clock Frequency	f _{BCLKS}				25	MHz
Bit Clock Period	t _{BCLKS}		1/f _{BCLKS}			ns
BCLK High Time	t _{WBCLKHS}			0.5		1/f _{BCLKS}
BCLK Low Time	t _{WBCLKLS}			0.5		1/f _{BCLKS}
LRCLK Setup Time	t _{LRCLK_BCLKS}			25		ns
Delay Time, BCLK to SD (Output) Valid	t _{BCLK_SDOS}			12		ns
Setup Time for SD (Input)	t _{SU_SDIS}			6		ns
Hold Time SD (Input)	t _{HD_SDIS}			3		ns
CONTROLLER MODE						
Bit Clock Frequency	f _{BCLKM}	Source only from ERFO			32	MHz
Bit Clock Period	t _{BCLKM}		1/f _{BCLKM}			ns
BCLK High Time	t _{WBCLKHM}			0.5		1/f _{BCLKM}
BCLK Low Time	t _{WBCLKLM}			0.5		1/f _{BCLKM}
Delay Time BCLK to LRCLK Valid	t _{LRCLK_BCLKM}			20		ns
Delay Time, BCLK to SD (Output) Valid	t _{BCLK_SDOM}			20		ns
Setup Time for SD (Input)	t _{SU_SDIM}			10		ns

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。T_A = -40°C～+105°C）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Hold Time SD (Input)	t _{HD_SDIM}			10		ns

電気的特性 – SPI

（タイミング仕様は、設計により確保されていますが、出荷テストの対象外です。T_A = -40°C～+105°C）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONTROLLER MODE						
SPI Controller Operating Frequency	f _{MCK}	f _{SYS_CLK} = 100MHz, f _{MCK(MAX)} = f _{SYS_CLK} /2			50	MHz
SPI Controller SCK Period	t _{MCK}			1/f _{MCK}		ns
SCK Output Pulse-Width High/Low	t _{MCH} , t _{MCL}		t _{MCK} /2			ns
MOSI Output Hold Time After SCK Sample Edge	t _{MOH}		t _{MCK} /2			ns
MOSI Output Valid to Sample Edge	t _{MOV}		t _{MCK} /2			ns
MOSI Output Hold Time After SCK Low Idle	t _{MLH}			t _{MCK} /2		ns
MISO Input Valid to SCK Sample Edge Setup	t _{MIS}			5		ns
MISO Input to SCK Sample Edge Hold	t _{MIH}			t _{MCK} /2		ns
TARGET MODE						
SPI Target Operating Frequency	f _{SCK}				50	MHz
SPI Target SCK Period	t _{SCK}			1/f _{SCK}		ns
SCK Input Pulse-Width High/Low	t _{SCH} , t _{SCL}			t _{SCK} /2		ns
SSx Active to First Shift Edge	t _{SSE}			10		ns
MOSI Input to SCK Sample Edge Rise/Fall Setup	t _{SIS}			5		ns
MOSI Input from SCK Sample Edge Transition Hold	t _{SIH}			1		ns
MISO Output Valid After SCLK Shift Edge Transition	t _{SOV}			5		ns
SCK Inactive to SSx Inactive	t _{SSD}			10		ns
SSx Inactive Time	t _{SSH}			1/f _{SCK}		μs
MISO Hold Time After SSx Deassertion	t _{SLH}			1/f _{SCK}		ns

タイミング図

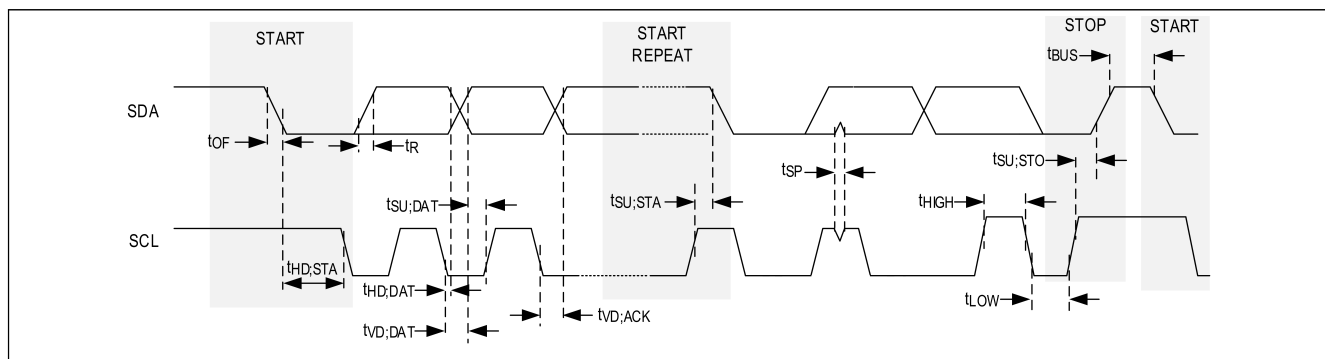


図 1. I²C タイミング図

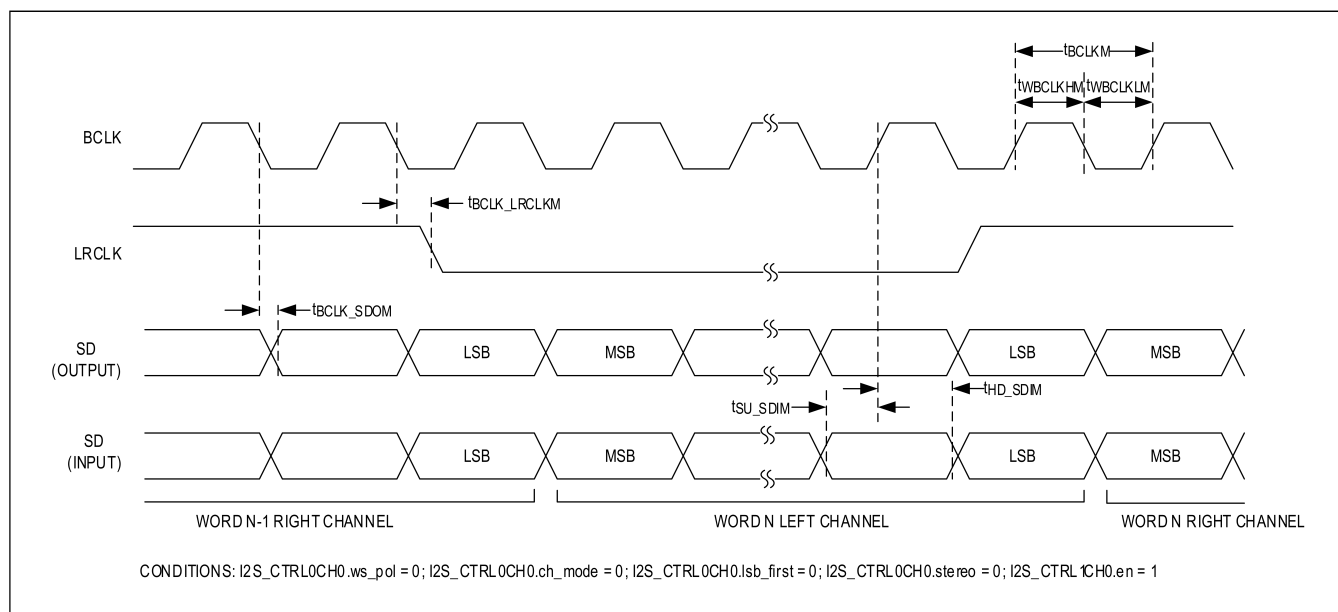


図 2. I²S コントローラのタイミング図

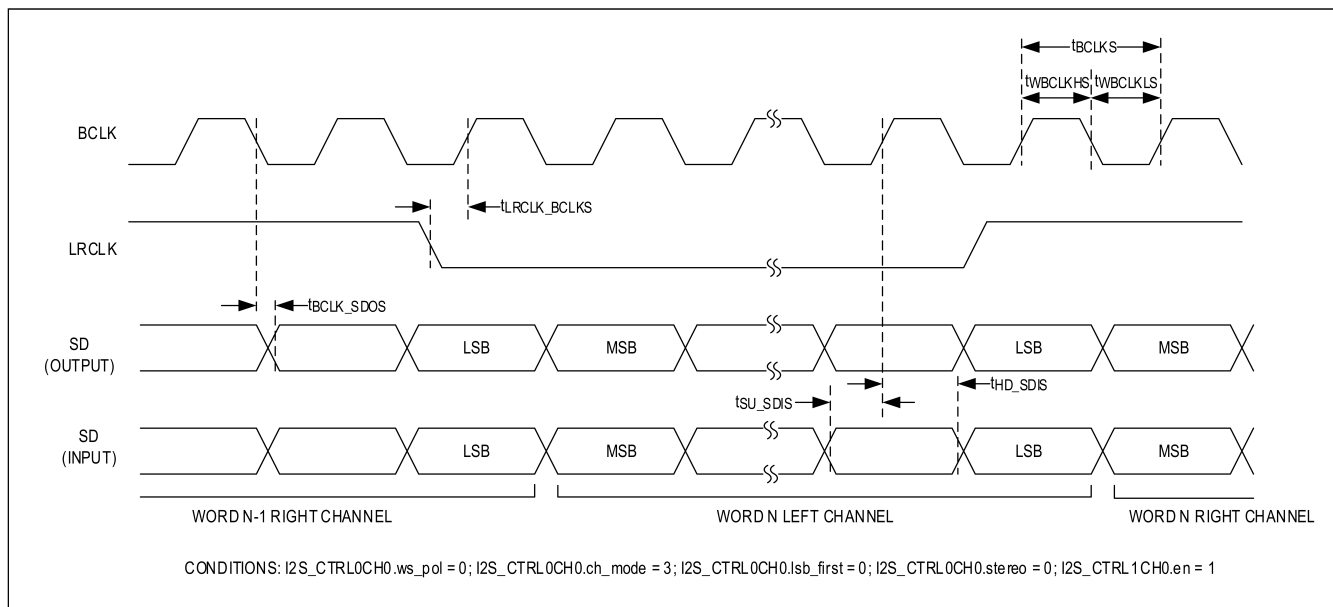


図 3. I²S ターゲットのタイミング図

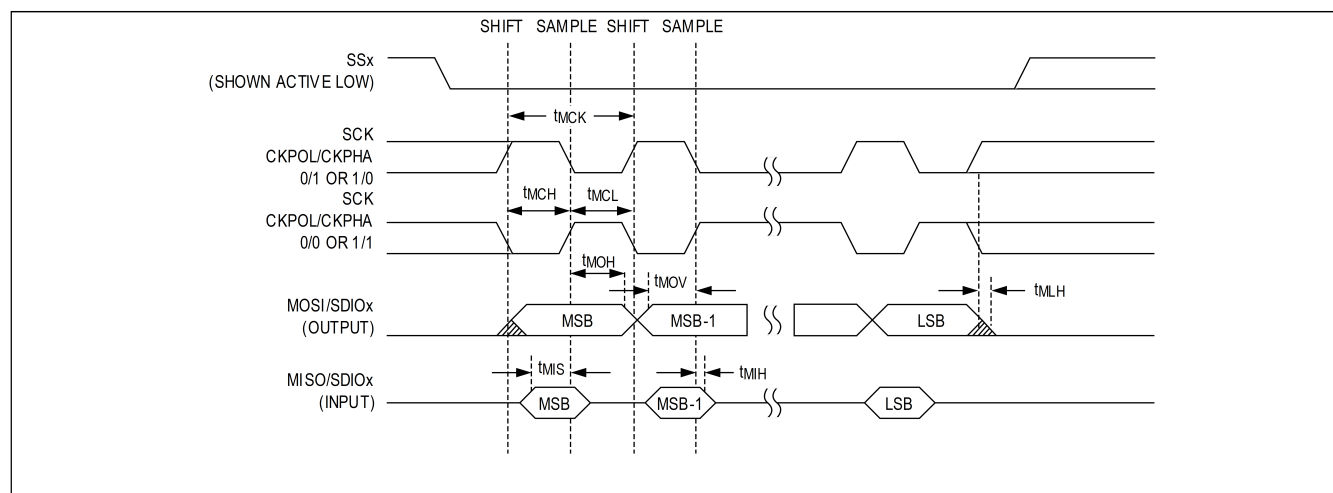


図 4. SPI コントローラ・モードのタイミング図

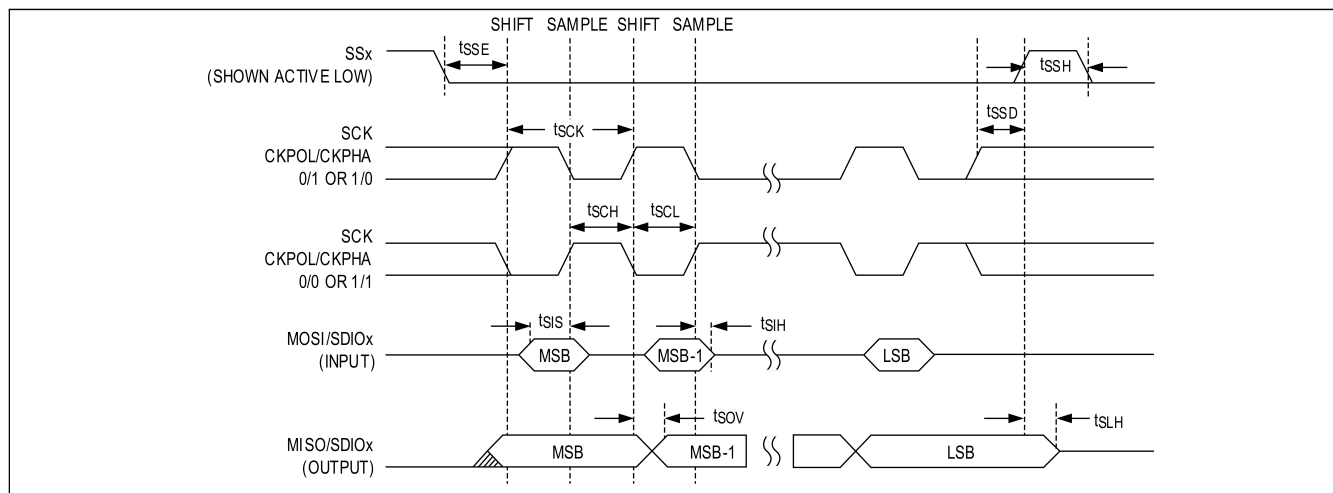
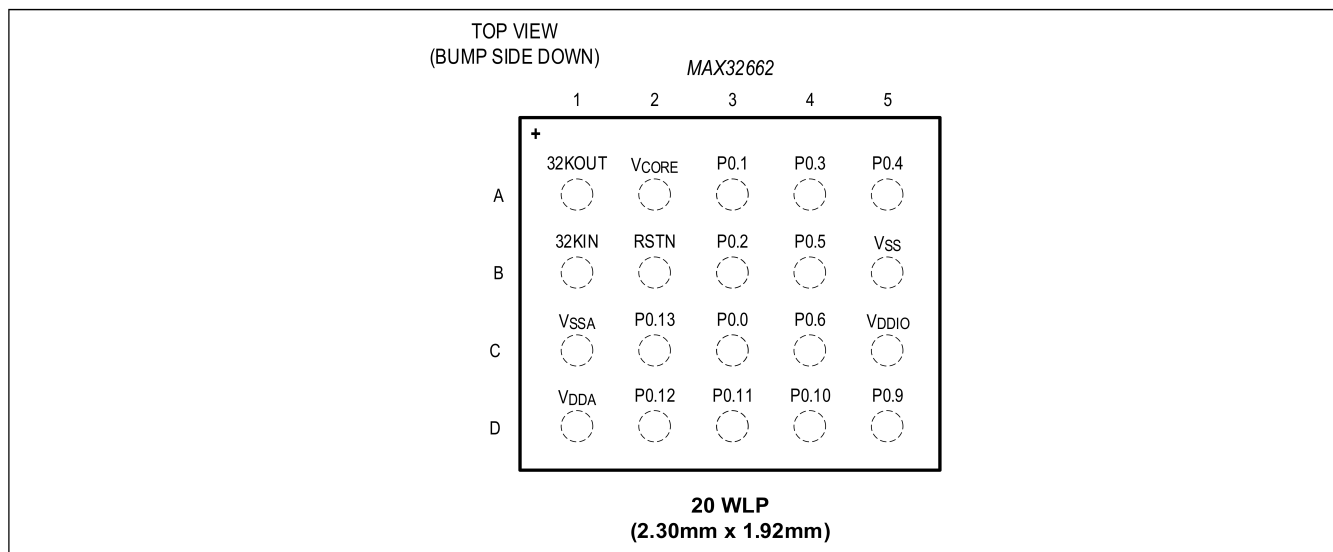


図 5. SPI ターゲット・モードのタイミング図

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン配置 – 20 WLP



端子説明 – 20 WLP

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
POWER								
A2	V _{CORE}	—	—	—	—	—	—	デジタル電源電圧。1μF で V _{SS} にバイパスします。
C5	V _{DDIO}	—	—	—	—	—	—	GPIO 電源電圧。1μF で V _{SS} にバイパスします。このピンは、PCB レベルで V _{DDA} デバイス・ピンに接続する必要があります。
D1	V _{DDA}	—	—	—	—	—	—	アナログ電源電圧。このピンは 1μF で V _{SSA} にバイパスします。このピンは、PCB レベルで V _{DDIO} デバイス・ピンに接続する必要があります。
C1	V _{SSA}	—	—	—	—	—	—	アナログ・グラウンド
B5	V _{SS}	—	—	—	—	—	—	デジタル・グラウンド
RESET AND CONTROL								
B2	RSTN	—	—	—	—	—	—	アクティブ・ローの外部システム・リセット入力。このピンがアクティブ状態の間、本デバイスはリセット状態のままになります。このピンが非アクティブ状態に遷移すると、本デバイスはシステム・リセットを行い、実行を開始します。このピンには、V _{DDIO} 電源への内部プルアップ R _{PU_VDDIO} があります。
CLOCK								

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
A1	32KOUT	—	—	—	—	—	—	32kHz の水晶発振器出力。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。
B1	32KIN	—	—	—	—	—	—	32kHz の水晶発振器入力。32KIN と 32KOUT の間に 32kHz の水晶発振器を接続して、RTC を動作させます。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。オプションでは、このピンを外部 CMOS レベルのクロック源の入力として設定できます。
GPIO AND ALTERNATE FUNCTION								
C3	P0.0	P0.0	SWDIO	PT0B	TMR0C_OA	TMR1D_OA	ADC_TRI G_E	シリアル・ワイヤ・デバッグ I/O、パルス列 0 ポート・マップ B、TMR0 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR1 出力 32 ビットまたは下位 16 ビット・ポート・マップ D、ADC トリガ入力ポート・マップ E
A3	P0.1	P0.1	SWDCLK	PT1B	TMR0C_I A	TMR1D_I A	—	シリアル・ワイヤ・デバッグ・クロック、パルス列 1 ポート・マップ B、TMR0 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR1 入力 32 ビットまたは下位 16 ビット・ポート・マップ D
B3	P0.2	P0.2	SPI0A_CI TO	UART1B_ TX	TMR0C_I A	PT0D	I2S0E_SD O	SPI0 コントローラ・イン・ターゲット・アウト・ポート・マップ A、UART1 送信ポート・マップ B、TMR0 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、パルス列 0 ポート・マップ D、I2S0 シリアル・データ出力ポート・マップ E
A4	P0.3	P0.3	SPI0A_C OPI	UART1B_ RX	TMR0C_ OA	PT1D	I2S0E_SD I	SPI0 コントローラ・アウト・ターゲット・イン・ポート・マップ A、UART1 受信ポート・マップ B、TMR0 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、パルス列 1 ポート・マップ D、I2S0 シリアル・データ入力ポート・マップ E
A5	P0.4	P0.4	SPI0A_SC K	UART1B_ CTS	TMR1C_I A	PT2D	I2S0E_BC LK	SPI0 シリアル・クロック・ポート・マップ A、UART1 CTS ポート・マップ B、TMR1 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、パルス列 2 ポート・マップ D、I2S0 ビット・クロック・ポート・マップ E
B4	P0.5	P0.5	SPI0A_TS 0	UART1 B_RTS	TMR1C_ OA	PT3D	I2S0E_LR CLK	SPI0 ターゲット選択 0 ポート・マップ A、UART1 RTS ポート・マップ B、TMR1 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、パルス列 3 ポート・マップ D、I2S0 左/右クロック・ポート・マップ E
C4	P0.6	P0.6 (SCPBL default stimulus pin)	I2C1A_S CL	CAN0B_ RX	TMR2C_I A	HF_EXT_ CLK	PT2E	I2C1 SCL ポート・マップ A、CAN 受信ポート・マップ B、TMR2 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、外部クロック入力、パルス列 2 ポート・マップ E。詳細については ブートローダの起動 のセクションを参照してください。

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

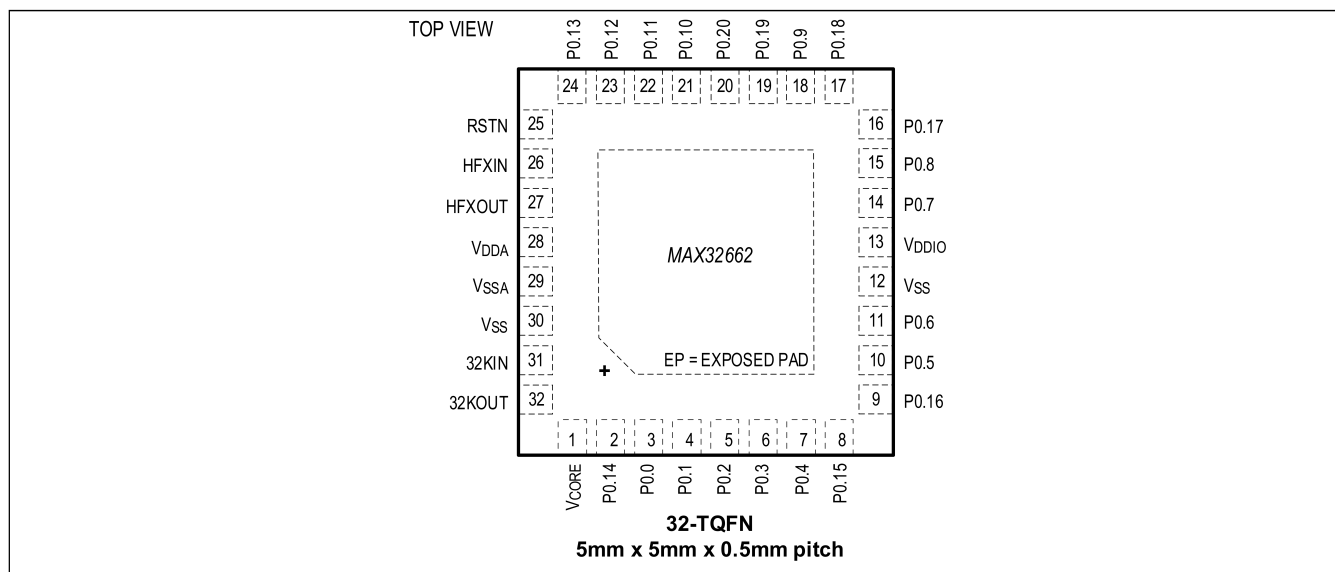
MAX32662

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
D5	P0.9	P0.9	I2C1A_S DA	CAN0B_T X	TMR2C_ OA	ADC_TRI G_D	PT3E	I2C1 SDA ポート・マップ A、CAN 送信 ポート・マップ B、TMR2 出力 32 ビット または下位 16 ビット・ポート・マップ C、ADC トリガ入力ポート・マップ D、 パルス列 3 ポート・マップ E
D4	P0.10	P0.10	UART0A _TX	SPI1B_TS 0	—	AIN3/AIN _C0_P/AI N_C1_P	—	UART0 送信ポート・マップ A、SPI1 ター ゲット選択 0 ポート・マップ B、ADC 入 力 3/コンパレータ 0/1 正入力
D3	P0.11	P0.11	UART0A _RX	SPI1B_SC K	32KCAL	AIN2/AIN _C0_P/AI N_C1_P	LP_EXT_ CLK	UART0 受信ポート・マップ A、SPI1 シリ アル・クロック・ポート・マップ B、 32.768kHz キャリブレーション出力、 ADC 入力 2/コンパレータ 0/1 正入力、 LPTMR0 外部クロック入力
D2	P0.12	P0.12	I2C0A_S CL	SPI1B_C OTI	LPTMR0 C_IA	AIN1/AIN _C0_N/AI N_C1_N	LPTMR0 E_OAN	I2C0 SCL ポート・マップ A、SPI1 コント ローラ・アウト・ターゲット・イン・ ポート・マップ B、LPTMR0 入力 32 ビッ トまたは下位 16 ビット・ポート・マップ C、ADC 入力 1/コンパレータ 0/1 負入 力、LPTMR0 反転出力 32 ビットまたは下 位 16 ビット・ポート・マップ E
C2	P0.13	P0.13	I2C0A_S DA	SPI1B_CI TO	LPTMR 0C_OA	AIN0/VR EF/AIN_C 0_N/AIN_ C1_N	—	I2C0 SDA ポート・マップ A、SPI1 コント ローラ・イン・ターゲット・アウト・ ポート・マップ B、LPTMR0 出力 32 ビッ トまたは下位 16 ビット・ポート・マップ C、ADC 入力 0/コンパレータ 0/1 負入 力、ADC リファレンス。ADC の V_{REF} と して使用する場合は、 V_{SSA} への 1 μ F パイ パスが必要になり、AIN0 は利用できませ ん。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン配置 – 32 TQFN



端子説明 – 32 TQFN

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
POWER								
1	V _{CORE}	—	—	—	—	—	—	デジタル電源電圧。1μF で V _{SS} にバイパスします。
13	V _{DDIO}	—	—	—	—	—	—	GPIO 電源電圧。1μF で V _{SS} にバイパスします。このピンは、PCB レベルで V _{DDA} デバイス・ピンに接続する必要があります。
28	V _{DDA}	—	—	—	—	—	—	アナログ電源電圧。このピンは、PCB レベルで V _{DDIO} デバイス・ピンに接続する必要があります。このピンは 1μF で V _{SSA} にバイパスします。
29	V _{SSA}	—	—	—	—	—	—	アナログ・グランド
12, 30	V _{SS}	—	—	—	—	—	—	デジタル・グランド
EP	V _{SS}	—	—	—	—	—	—	デジタル・グランド。露出パッド。このパッドは V _{SS} に接続する必要があります。詳細については、MAX32662 ユーザ・ガイドを参照してください。
RESET AND CONTROL								
25	RSTN	—	—	—	—	—	—	アクティブ・ローの外部システム・リセット入力。このピンがアクティブ状態の間、本デバイスはリセット状態のままになります。このピンが非アクティブ状態に遷移すると、本デバイスはシステム・リセットを行い、実行を開始します。このピンには、V _{DDIO} 電源への内部プルアップ R _{PU_VDDIO} があります。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
CLOCK								
32	32KOUT	—	—	—	—	—	—	32kHz の水晶発振器出力。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。
31	32KIN	—	—	—	—	—	—	32kHz の水晶発振器入力。32KIN と 32KOUT の間に 32kHz の水晶発振器を接続して、RTC を動作させます。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。オプションで、このピンを外部 CMOS レベルのクロック源の入力として設定することもできます。
26	HFXIN	—	—	—	—	—	—	高周波水晶発振器入力。HFXIN と HFXOUT の間に水晶発振器を接続します。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。オプションで、このピンを外部方形波源の入力として設定することもできます。
27	HFXOUT	—	—	—	—	—	—	高周波水晶発振器出力。HFXIN と HFXOUT の間に水晶発振器を接続します。必要な外付けの安定性コンデンサの決定については、MAX32662 ユーザ・ガイドを参照してください。
GPIO AND ALTERNATE FUNCTION								
3	P0.0	P0.0	SWDIO	PT0B	TMR0C_OA	TMR1D_OA	ADC_TRI G_E	シリアル・ワイヤ・デバッグ I/O、パルス列 0 ポート・マップ B、TMR0 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR1 出力 32 ビットまたは下位 16 ビット・ポート・マップ D、ADC トリガ入力ポート・マップ E
4	P0.1	P0.1	SWDCLK	PT1B	TMR0C_I A	TMR1D_I A	—	シリアル・ワイヤ・デバッグ・クロック、パルス列 1 ポート・マップ B、TMR0 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR1 入力 32 ビットまたは下位 16 ビット・ポート・マップ D

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
5	P0.2	P0.2	SPI0A_CI TO	UART1B_ TX	TMR0C_I A	PT0D	I2S0E_SD O	SPI0 コントローラ・イン・ターゲット・ アウト・ポート・マップ A、UART1 送信 ポート・マップ B、TMR0 入力 32 ビット または下位 16 ビット・ポート・マップ C、パルス列 0 ポート・マップ D、I2S0 シリアル・データ出力ポート・マップ E
6	P0.3	P0.3	SPI0A_C OPI	UART1B_ RX	TMR0C_ OA	PT1D	I2S0E_SD I	SPI0 コントローラ・アウト・ターゲット ・イン・ポート・マップ A、UART1 受 信ポート・マップ B、TMR0 出力 32 ビッ トまたは下位 16 ビット・ポート・マップ C、パルス列 1 ポート・マップ D、I2S0 シリアル・データ入力ポート・マップ E
7	P0.4	P0.4	SPI0A_SC K	UART1B_ CTS	TMR1C_I A	PT2D	I2S0E_BC LK	SPI0 シリアル・クロック・ポート・マッ プ A、UART1 CTS ポート・マップ B、 TMR1 入力 32 ビットまたは下位 16 ビッ ト・ポート・マップ C、パルス列 2 ポー ト・マップ D、I2S0 ビット・クロック・ ポート・マップ E
10	P0.5	P0.5	SPI0A_TS 0	UART1B_ RTS	TMR1C_ OA	PT3D	I2S0E_LR CLK	SPI0 ターゲット選択 0 ポート・マップ A、UART1 RTS ポート・マップ B、 TMR1 出力 32 ビットまたは下位 16 ビッ ト・ポート・マップ C、パルス列 3 ポー ト・マップ D、I2S0 左/右クロック・ ポート・マップ E
11	P0.6	P0.6 (SCPBL default stimulus pin)	I2C1A_S CL	CAN0B_ RX	TMR2C_I A	HF_EXT_ CLK	PT2E	I2C1 SCL ポート・マップ A、CAN 受信 ポート・マップ B、TMR2 入力 32 ビット または下位 16 ビット・ポート・マップ C、外部クロック入力、パルス列 2 ポー ト・マップ E。詳細については、 ブート ローダの起動 のセクションを参照してく ださい。
14	P0.7	P0.7	SPI1A_CI TO	UART0B_ CTS	TMR2C_I A	UART0D _RX	—	SPI1 コントローラ・イン・ターゲット・ アウト・ポート・マップ A、UART0 CTS ポート・マップ B、TMR2 入力 32 ビットまたは下位 16 ビット・ポート・ マップ C、UART0 受信ポート・マップ D
15	P0.8	P0.8	SPI1A_C OTI	UART0B_ RTS	TMR2C_ OA	UART0D _TX	—	SPI1 コントローラ・アウト・ターゲット ・イン・ポート・マップ A、 UART0RTS ポート・マップ B、TMR2 出 力 32 ビットまたは下位 16 ビット・ポー ト・マップ C、UART0 送信ポート・マッ プ D
18	P0.9	P0.9	I2C1A_S DA	CAN0B_T X	TMR2C_ OA	ADC_TRI G_D	PT3E	I2C1 SDA ポート・マップ A、CAN 受信 送信ポート・マップ B、TMR2 出力 32 ビットまたは下位 16 ビット・ポート・ マップ C、ADC トリガ入力ポート・マッ プ D、パルス列 3 ポート・マップ E
21	P0.10	P0.10	UART0A _TX	SPI1B_TS 0	—	AIN3/AIN _CO_P/AI N_C1_P	—	UART0 送信ポート・マップ A、SPI1 ター ゲット選択 0 ポート・マップ A、ADC 入 力 3/コンパレータ 0/1 正入力

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

ピン	名称	機能モード						説明
		一次信号 (デフォルト)	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替機能 5	
22	P0.11	P0.11	UART0A_RX	SPI1B_SCK	32KCAL	AIN2/AIN_C0_P/AIN_C1_P	LP_EXT_CLK	UART0 受信ポート・マップ A、SPI1 シリアル・クロック・ポート・マップ B、32.768kHz のキャリブレーション出力、ADC 入力 2/コンパレータ 0/1 正入力、LPTMR0 外部クロック入力
23	P0.12	P0.12	I2C0A_SCL	SPI1B_COTI	LPTMR0_C_IA	AIN1/AIN_C0_N/AIN_C1_N	LPTMR0_E_OAN	I2C0 SCL ポート・マップ A、SPI1 コントローラ・アウト・ターゲット・イン・ポート・マップ B、LPTMR0 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、ADC 入力 1/コンパレータ 0/1 負入力、LPTMR0 反転出力 32 ビットまたは下位 16 ビット・ポート・マップ E
24	P0.13	P0.13	I2C0A_SDA	SPI1B_CITO	LPTMR0_C_OA	AIN0/VR_EF/AIN_C0_N/AIN_C1_N	—	I2C0 SDA ポート・マップ A、SPI1 コントローラ・イン・ターゲット・アウト・ポート・マップ B、LPTMR0 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、ADC 入力 0/コンパレータ 0/1 負入力。ADC の V _{REF} として使用する場合、V _{SSA} への 1μF バイパスが必要になり、AIN0 は利用できません。
2	P0.14	P0.14	PT0A	—	—	—	—	パルス列 0 ポート・マップ A
8	P0.15	P0.15	PT1A	CAN0B_RX	TMR2C_IA	TMR0D_IA	—	パルス列 1 ポート・マップ A、CAN 受信ポート・マップ B、TMR2 入力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR0 入力 32 ビットまたは下位 16 ビット・ポート・マップ D
9	P0.16	P0.16	PT2A	CAN0B_TX	TMR2C_OA	TMR0D_OA	—	パルス列 2 ポート・マップ A、CAN 送信ポート・マップ B、TMR2 出力 32 ビットまたは下位 16 ビット・ポート・マップ C、TMR0 出力 32 ビットまたは下位 16 ビット・ポート・マップ D
16	P0.17	P0.17	SPI1A_SCK	—	ADC_TRIG_C	UART0D_CTS	—	SPI1 シリアル・クロック・ポート・マップ A、ADC トリガ入力ポート・マップ C、UART0 CTS ポート・マップ D
17	P0.18	P0.18	SPI1A_TS0	—	—	UART0D_RTS	—	SPI1 ターゲット選択 0 ポート・マップ A、UART0 RTS ポート・マップ D
19	P0.19	P0.19	UART0A_RTS	—	TMR1C_IA	—	—	UART0 RTS ポート・マップ A、TMR1 入力 32 ビットまたは下位 16 ビット・ポート・マップ C
20	P0.20	P0.20	UART0A_CTS	—	TMR1C_OA	—	—	UART0 CTS ポート・マップ A、TMR1 出力 32 ビットまたは下位 16 ビット・ポート・マップ C

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

詳細

本デバイスは、5つの強力な柔軟性のある電力モードを備えており、単一電源バッテリー、または PMIC が提供するデュアル電源による動作が可能です。I²C ポートは、標準モード、ファスト・モード、ファスト・モード・プラス、ハイ・スピード・モードに対応しており、最大 3400kbps で動作します。SPI ポートは、コントローラ・モードとペリフェラル・モードの両方において最大 50MHz で動作可能です。12 ビット SAR ADC は、内蔵リファレンス発生器とシングルエンド入力マルチプレクサを備えています。内蔵の CAN 2.0B インターフェースは、ISO 11898-1 に準拠した Bosch CAN 2.0B 仕様（2.0B アクティブ）に適合しています。3つの汎用 32 ビット・タイマー、1つの低消費電力 32 ビット・タイマー、1つのウィンドウ・ウォッチドッグ・タイマー、リアルタイム・クロック（RTC）も備えています。I²S インターフェースは、コーデックにデジタル・オーディオ・ストリーミングを提供します。楕円曲線デジタル署名アルゴリズム（ECDSA）ベースの暗号化セキュア・ブートローダが、ROM で利用できます。

FPU エンジンを搭載した Arm Cortex-M4 プロセッサ

FPU エンジンを搭載した Arm Cortex-M4 プロセッサは、高効率の信号処理機能と、低消費電力、低コスト、使いやすさを兼ね備えています。

FPU DSP を搭載した Arm Cortex-M4 は、SIMD（単一命令複数データ）パスの DSP 拡張機能をサポートしており、以下が可能です。

- 4つの並列 8 ビット加算／減算
- 浮動小数点単精度
- 2つの並列 16 ビット加算／減算
- 2つの並列 MAC
- 32 ビットまたは 64 ビットの積算
- 飽和ありまたはなしの符号付きまたは符号なしデータ

メモリ

内蔵フラッシュ・メモリ

256KB の内蔵フラッシュ・メモリは、プログラム・メモリとデータ・メモリの不揮発性ストレージになります。

内蔵 SRAM

80KB の内蔵 SRAM は、STORAGE モードを除くすべての電力モードでアプリケーション情報を低消費電力で保持します。SRAM は、粒状のバンクに分割して、柔軟性のある SRAM 保持アーキテクチャを作成することができます。このデータ保持機能はオプションであり、設定が可能です。この粒状性により、アプリケーションは重要なデータのみを保持することで、消費電力を最小限に抑えることができます。

クロック方式

内蔵一次発振器（IPO）は、公称周波数 100MHz で動作します。オプションで、ソフトウェアにより、消費電力に応じて以下に示す他の 5 つの発振器から 1 つを選択できます。

- 80kHz の発振器（INRO）
- 32.768kHz の発振器（外付けの水晶発振器が必要）（ERTCO）
- 7.3728MHz の発振器（IBRO）
- 16MHz～32MHz の発振器（外付けの水晶発振器が必要）（ERFO）
- 最大 50MHz の外部方形波クロック

IPO は、デジタル・ロジックとペリフェラル用の主要クロック源です。RTC を使用する場合、32.768kHz の外部タイム・ベースが必要です。常時 ON ドメインの LPTMR0 のソースとして、別の外部方形波クロックが使用できます。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

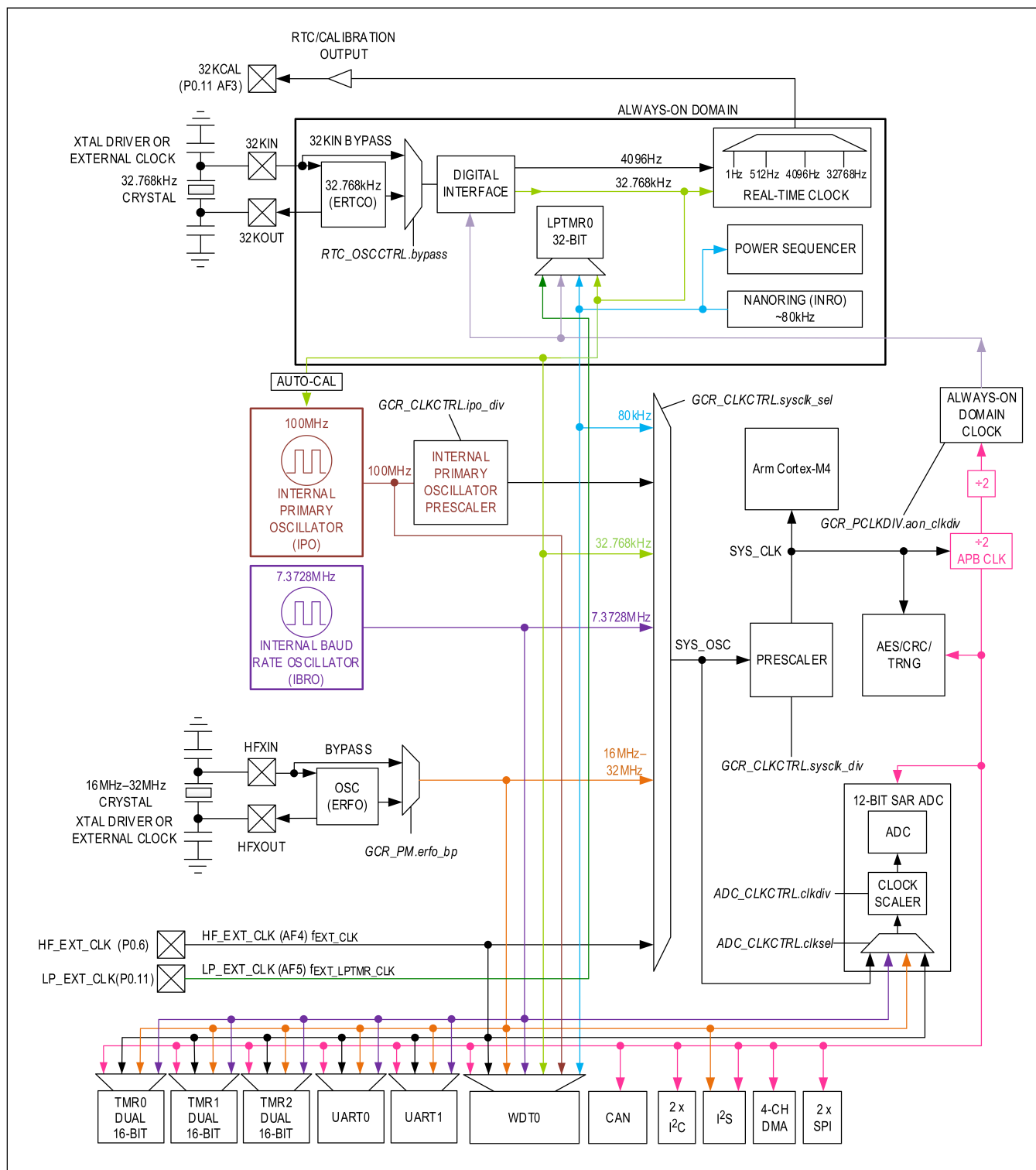


図 6. クロック方式の図

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

汎用 I/O と特殊機能ピン

大半の汎用 I/O（GPIO）ピンは、ファームウェアで制御される I/O 機能と、ペリフェラル・モジュールに関連付けられた 1 つ以上の特殊機能信号の両方を共有しています。GPIO またはペリフェラル特殊機能用のピンは、ソフトウェアで個別に有効化できます。ピンを特殊機能として設定すると、ソフトウェア制御 I/O としての用途より優先されます。ペリフェラル機能と GPIO 機能の間の多重化は通常静的ですが、ソフトウェアによって動的にすることもできます。GPIO ピンの電気的特性は、ピンが I/O または特殊機能として設定されているかどうかにかかわらず同一です。ただし、[電気的特性](#)の表に明示的に記載されている場合を除きます。

GPIO モードには、ポートの各ピンに割り込み機能があり、この機能はソフトウェアで個別に有効化して、レベルまたはエッジに依存する割り込みとして設定できます。すべての GPIO は同じ割り込みベクトルを共有しています。パッケージによっては、必ずしもすべての GPIO が利用できないものがあります。

GPIO として設定すると、次の機能が可能となります。これらの機能は、ピンごとに個別に有効化または無効化できます。

- 入力、出力、双方向、高インピーダンスのいずれかに設定可能
- 入力として設定されている場合、内部プルアップ抵抗または内部プルダウン抵抗をオプション選択可能
- 立上がりまたは立下がりエッジで低消費電力モードを終了
- 標準ドライブ・モードまたは高ドライブ・モードを選択可能

MAX32662 は、32 ピン TQFN 向けの GPIO を最大で 21 個備えています。

標準 DMA コントローラ

標準のダイレクト・メモリ・アクセス（DMA）コントローラは、メモリ／ペリフェラルのデータ転送に要する CPU の負荷を軽減する手段を提供し、より電力効率に優れたシステムを実現します。これにより、2 つのエンティティ間の一方向データ転送が自動的に可能になります。これらのエンティティは、メモリとペリフェラルのいずれでも構いません。この転送は CPU リソースを用いずに行われます。DMA ペリフェラルは次の機能をサポートしています。

- 4 チャンネル
- ペリフェラルから SRAM への転送
- SRAM からペリフェラルへの転送
- SRAM から SRAM への転送
- イベントのサポート
- すべての DMA トランザクションは、DMA FIFO への AHB バースト読出しと、その直後の FIFO からの AHB バースト書込みで構成されています。

パワー・マネージメント

パワー・マネージメント・ユニット

パワー・マネージメント・ユニット（PMU）は、高性能と低消費電力の最適な組み合わせを備えています。PMU は、CPU および周辺回路への配電のインテリジェントで正確な制御を行います。

PMU は次の機能を提供します。

- ユーザが設定可能なシステム・クロック
- 電源モードに基づいた水晶発振器を自動的に有効化および無効化
- 複数のクロック・ドメイン
- 未使用のペリフェラルの電源を選択的に切断可能
- アクティビティが検出された場合、電源を切断したペリフェラルを迅速にウェイクアップ

動作モード

ACTIVE

このモードでは、CPU がソフトウェアを実行し、すべてのデジタルおよびアナログのペリフェラルは必要に応じて利用できます。ダイナミック・クロッキングでは、未使用のペリフェラルのローカル・クロックは無効化されます。このモードは、FPU を搭載した Arm Cortex-M4 プロセッサの ACTIVE モードに対応しています。

SLEEP

このモードでは、ACTIVE モードより低い消費電力での動作が可能になります。CPU がスリープ状態になり、ペリフェラルがオンになり、標準 DMA ブロックが利用可能になります。GPIO または任意のアクティブなペリフェラルは、割込みを発生させて、ACTIVE モードに遷移させるように設定可能です。このモードは、Arm Cortex-M4 プロセッサの SLEEP モードに対応しています。

DEEPSLEEP

このモードでは、CPU および重要なペリフェラルの設定値とすべての揮発性メモリが保存されます。
本デバイスのステータスは以下のとおりです。

- CPU の電源が切断される。システム状態とすべての SRAM が保持される。
- GPIO ピンがその状態を保持する。
- DEEPSLEEP モードから ACTIVE モードへの遷移は、システムの初期化が不要なため、BACKUP モードからの遷移よりも高速である。
- システム発振器はすべて無効化されて、SLEEP モードよりも更に節電できる。
- LPTMR0 は、アクティブにすることができ、オプションでウェイクアップ・ソースとなる。

このモードは、Arm Cortex-M4 プロセッサの DEEPSLEEP モードに対応しています。

BACKUP

このモードでは、CPU を静的な低消費電力状態にします。BACKUP モードは、DEEPSLEEP モードと同じウェイクアップ・ソースをサポートします。
本デバイスのステータスは以下のとおりです。

- CPU の電源が切断される。
- SRAM の保持は表 1 に従う。
- LPTMR0 はアクティブにすることができ、オプションでウェイクアップ・ソースとなる。

表 1. BACKUP モードの SRAM 保持

SRAM BLOCK	SRAM SIZE	RETAINED SRAM
SYSRAM0	20KB	17KB
SYSRAM1	20KB	18KB
SYSRAM2	20KB	19KB
SYSRAM3	20KB	20KB

Note： ブート ROM は、システム・リセット中、ウォッチドッグ・タイマー・リセット中、外部リセット中、および BACKUP の終了時に、特定の範囲のシステム RAM を使用します。デバイスは、この RAM を使用してシステム・チェックを行います。その結果、BACKUP の終了時に、各 RAM のすべてを保持できるわけではありません。他の詳細については、MAX32662 ユーザ・ガイドを参照してください。

STORAGE

本デバイスのステータスは以下のとおりです。

- CPU の電源が切断される。
- すべてのペリフェラルの電源が切断される。
- GPIO 割込みからのウェイクアップ。
- RTC は、STORAGE モードに入る前に、ソフトウェアでイネーブルにできる。
- SRAM の保持なし。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

ウェイクアップ・ソース

表 2 に、SLEEP、DEEPSLEEP、BACKUP、STORAGE モードからのウェイクアップ・ソースをまとめています。

表 2. ウェイクアップ・ソース

OPERATING MODE	WAKE-UP SOURCE
SLEEP	Interrupts (GPIO or any active peripheral), RSTN assertion
DEEPSLEEP	Interrupts (RTC, GPIO), RSTN assertion, LPTMR0
BACKUP	Interrupts (RTC, GPIO), RSTN assertion, LPTMR0
STORAGE	Interrupts (RTC, GPIO), RSTN assertion

リアルタイム・クロック（RTC）

RTC は時刻を絶対秒単位で管理します。32 ビットの秒レジスタは、約 136 年までカウントすることができ、アプリケーション・ソフトウェアによってカレンダー形式に変換できます。

RTC は、ソフトウェアによって 1 秒後から 12 日後の任意の値にプログラムされた時刻アラームを備えています。時刻アラームは、長い間隔で設定すると、省電力タイマーとして使用できます。これにより、本デバイスは非常に低い消費電力モードを維持しつつ、定期的に起動して割り当てられたタスクを実行できます。ソフトウェアにより、244 μ s から 12 日の間で、別の独立した 32 ビットの 1/4096 サブ秒アラームを設定できます。どちらも、繰り返しアラームとして設定できます。どちらのアラームも、有効にすると、割込みを発生させること、または本デバイスを大半の低消費電力モードから復帰させることができます。

タイム・ベースは、32.768kHz の水晶発振器または外部クロック源によって生成され、これらのクロック源は、電気的特性の表の電気/タイミング条件を満たす必要があります。

RTC キャリブレーション機能により、RTC 発振器、水晶発振器、温度、基板レイアウトのわずかな変動をソフトウェアで補正できます。32KCAL の代替機能を有効化すると、RTC から抽出したタイミング信号が出力されます。外付けのハードウェアにより、周波数を測定して、1ppm の分解能で ± 127 ppm の増分で RTC 周波数を調整できます。ほとんどの場合、発振器のキャリブレーションは不要です。

ウィンドウ・ウォッチドッグ・タイマー（WDT）

マイクロコントローラは多くの場合、電気ノイズと電磁場干渉（EMI）が多い過酷な環境で使用されます。これらの危害要因に対する適切な保護対策がない場合、デバイスの動作が妨げられ、プログラムの実行でエラーが発生する可能性があります。最も効果的な対策の 1 つが WDT で、これによりコードの暴走またはシステムの無応答が検出できます。

WDT は、設定可能なプリスケアラを備えた 32 ビットのフリーランニング・カウンタです。WDT は、有効になっている場合、アプリケーション・ソフトウェアによって定期的のリセットする必要があります。ユーザが設定可能なタイムアウト時間内に WDT をリセットできない場合、アプリケーション・ソフトウェアの動作は正常ではなく、WDT タイムアウトが発生します。WDT タイムアウトは、割込み、システム・リセット、またはその両方を引き起こすことがあります。いずれの応答も、命令ポインタを既知の適正な場所に強制移動させてから、命令の実行を再開します。ウィンドウ・タイムアウト時間機能によって、システム動作の監視がより詳細にできるようになり、WDT は特定の時間ウィンドウ内にリセットする必要があります。

WDT は、以下の複数のクロック・オプションをサポートしています。

- IPO
- ERFO（外付けの水晶発振器が必要）
- IBRO
- INRO
- ERTCO（外付けの水晶発振器が必要）
- 外部クロック入力
- ペリフェラル・クロック（PCLK）

32 ビット・タイマー／カウンタ／PWM

汎用の 32 ビット・タイマーにより、タイミングの提供、キャプチャ／比較、またはパルス幅変調（PWM）信号の生成が、最小限のソフトウェア操作で可能となります。

このタイマーは以下の機能を備えています。

- 32 ビット・アップ／ダウン自動リロード
- プログラマブル・プリスケアラ
- PWM 出力生成
- キャプチャ、比較、キャプチャ／比較機能
- タイマー入力、クロック・ゲーティング、またはキャプチャ用の GPIO と多重化された外部ピン
- タイマー出力ピン
- 2×16 ビットの汎用タイマーとして設定可能な TMR0～TMR3
- タイマー割込み

I/O 機能はすべてのタイマーでサポートされていますただし、ポートの機能は GPIO ピンの他の機能と多重化できるため、本デバイスの設定によっては、すべてのポートを使用できるわけではない可能性があります。個々のタイマー機能については表 3 を参照してください。

表 3. タイマー設定のオプション

INSTANCE	32-BIT	DUAL 16-BIT	MODE	CLOCK SOURCE						
				PCLK	IBRO	ERFO	INRO	ERTCO	HF_EXT_CLK	LP_EXT_CLK
TMR0	Yes	Yes	ACTIVE	Yes	Yes	Yes	No	No	Yes	No
TMR1	Yes	Yes	ACTIVE	Yes	Yes	Yes	No	No	Yes	No
TMR2	Yes	Yes	ACTIVE	Yes	Yes	Yes	No	No	Yes	No
LPTMR0	Yes	No	ACTIVE/SLEEP/ DEEPSLEEP/ BACKUP	Yes	No	No	Yes	Yes	No	Yes

シリアル・ペリフェラル

コントローラ・エリア・ネットワーク（CAN）2.0B

内蔵型 CAN 2.0B インターフェースは、ISO 11898-1 に準拠した Bosch CAN 2.0B（アクティブ）仕様に適合しています。

このインターフェースの主要機能は次のとおりです。

- ISO 11898-1:2015 規格に準拠
- 最大 8 バイトのデータ・フレームをサポート
- 選択可能な ID タイプ
 - 11 ビット標準 ID
 - 11 ビット標準 ID + 18 ビット拡張 ID
- 選択可能なフレーム・タイプ
 - データ・フレーム（リモート送信要求（RTR）= 0）
 - リモート・フレーム（RTR = 1）
- ハードウェア・メッセージ・フィルタリング（デュアル／シングル・フィルタ）
- 送受信の DMA サポート
- 128 バイトの送信バッファと 256 バイトの受信バッファ
- FIFO オーバーフロー時に過負荷フレームが生成される
- プロトコル例外イベントの検出
- 通常動作モードと受信専用モードをサポート
- 最大で 3 データ・ビット長のトランスミッタ遅延補償
- シングルショット送信
- 読み出し可能なエラー・カウンタ

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

- 直近のエラー・コード
- スリープ・モードとウェイクアップ・ユニット

I²C インターフェース

I²C インターフェースは、中程度の速度の通信ネットワークを提供する双方向の 2 線式シリアル・バスで、1 対 1、1 対多、または多対多の通信媒体として動作できます。これらのエンジンは、標準モード、ファスト・モード、ファスト・モード・プラス、ハイ・スピード・モードの I²C 速度をサポートしています。

I²C インターフェースは以下の機能を備えています。

- コントローラまたはターゲット・モードの動作
 - ターゲット・モードで最大 4 つの異なるアドレスをサポート
- 標準の 7 ビット・アドレス指定または 10 ビット・アドレス指定をサポート
- RESTART 条件
- インタラクティブな受信モード
- 送信 FIFO プリロード
- 低速のターゲット・デバイスを高速のバスで動作させるためのクロック・ストレッチをサポート
- 複数の転送レート
 - 標準モード：100kbps
 - ファスト・モード：400kbps
 - ファスト・モード・プラス：1000kbps
 - ハイ・スピード・モード：3400kbps
- ノイズ・スパイクを除去するための内部フィルタ
- 8 バイトの受信 FIFO
- 8 バイトの送信 FIFO

シリアル・ペリフェラル・インターフェース（SPI）

SPI は、単一のバス上で複数の SPI デバイスを接続する、高度に設定可能な柔軟性で効率的な同期インターフェースです。このバスは、単一のクロック信号、複数のデータ信号、および 1 つ以上のターゲット選択ラインを用いて、目的となるターゲット・デバイスのみをアドレス指定します。SPI は独立して動作するため、プロセッサのオーバーヘッドは最小限で済みます。

提供された SPI ペリフェラルは、ターゲット・モードまたはコントローラ・モードのいずれかで動作し、次の機能を備えています。

- シングルビット通信用の SPI モード 0、1、2、および 3
- シングルビットのターゲット・デバイス通信用の 3 線または 4 線モード
- シングルビット、4 線モードでの全二重動作
- マルチコントローラ・モードのフォルト検出
- プログラマブル・インターフェース・タイミング
- プログラマブルな SCK 周波数およびデューティ・サイクル
- 32 バイトの送信 FIFO
- 32 バイトの受信 FIFO
- 立上がり／立下がり SCK エッジに対応した、ターゲット選択のアサーションおよびデアサーションのタイミング

設定オプションについては表 4 を参照してください。

表 4. SPI 設定のオプション

INSTANCE	INTERFACE FORMAT	TARGET SELECT LINES	MAXIMUM FREQUENCY (CONTROLLER MODE) (MHz)	MAXIMUM FREQUENCY (TARGET MODE) (MHz)
SPI0	3 wire, 4 wire	1	50	50
SPI1	3 wire, 4 wire	1	50	50

I²S インターフェース

I²S インターフェースは、双方向の 4 線式シリアル・バスで、I²S バス仕様（1996 年 6 月 5 日）に準拠したコーデックとオーディオ・アンプでシリアル通信を可能にします。

I²S インターフェースは以下の機能を備えています。

- コントローラおよびターゲット・モードの動作
- 4 つのチャンネルをサポート
- 8、16、24、および 32 ビット・フレーム
- 受信および送信 DMA のサポート
- FIFO ステータス（フル／エンプティ／スレッショルド）でのウェイクアップ
- 受信チャンネルのパルス密度変調のサポート
- ワード選択極性制御
- 先頭ビット位置選択
- FIFO ステータスに対応した割込みの生成
- 32 バイトの受信 FIFO
- 32 バイトの送信 FIFO

ユニバーサル非同期レシーバー／トランスミッタ（UART）インターフェース

UART インターフェースは、オプションのハードウェア・フロー制御（HFC）モードを用いた全二重非同期通信をサポートし、データのオーバーランを防止します。HFC モードが特定のポートで有効化されている場合、システムは 2 つの追加ピンを用いて、業界標準の送信要求（request-to-send: RTS）および送信可（clear-to-send: CTS）のフロー制御シグナリングを行います。各 UART は個別にプログラム可能です。

- 2 線式インターフェース、またはフロー制御のある 4 線式インターフェース
- 8 バイトの受信 FIFO
- 8 バイトの送信 FIFO
- 非同期データ転送に対応した全二重動作
- 割込みが以下のものに利用可能：
 - フレーム・エラー
 - パリティ・エラー
 - CTS
 - 受信 FIFO オーバーラン
 - FIFO フル条件／部分的フル状態
- パリティ・エラーとフレーム・エラーの自動検出
- 独立したボー・レート発生器
- プログラマブルな第 9 ビット・パリティのサポート
- マルチドロップのサポート
- スタート／ストップ・ビットのサポート
- RTS/CTS を用いたハードウェア・フロー制御
- 2 つの DMA チャンネルが接続可能（読出しおよび書込み FIFO）
- プログラマブル・ワード・サイズ（5 ビット～8 ビット）

設定のオプションについては表 5 を参照してください。

表 5. UART 設定のオプション

INSTANCE	PACKAGE		MODE	CLOCK SOURCES					
	20 WLP	32 TQFN		PCLK	IBRO	ERFO	INRO	ERTCO	HF_EXT_CLK
UART0	4 wire	4 wire	ACTIVE	Yes	Yes	Yes	No	No	Yes
UART1	2 wire	4 wire	ACTIVE	Yes	Yes	Yes	No	No	Yes

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

A/D コンバータ（ADC）

12 ビット SAR ADC は、内蔵リファレンス発生器とシングルエンド入力マルチプレクサを備えています。マルチプレクサは、4 つの外部アナログ代替機能入力信号（AIN0～AIN3）と内部電源入力の中の 1 つから入力チャンネルを 1 つ選択します。

ADC のリファレンスは、次のようになります。

- AIN0、AIN_C0_N1、AIN_C1_N1 と共有された外部代替機能 V_{REF} 入力
- 内部 1.25V
- 内部 2.048V

ADC は次の電圧を測定します。

- AIN[3:0]（最大 V_{DDIO} ）
- $V_{DDIO} \div 4$
- V_{CORE}
- $V_{DDIO} \div 2$
- V_{SSA}

セキュリティ

AES

ハードウェア・ベースの専用 AES エンジンは、次のアルゴリズムをサポートします。

- AES-128
- AES-192
- AES-256

AES 鍵は TRNG によって生成され、アプリケーション・ソフトウェアは鍵を安全な NV メモリに保存できます。

真の乱数発生器（TRNG）

乱数は安全なアプリケーションに不可欠な要素です。乱数は、暗号化シードとして、つまり、データのプライバシーを確保する強力な暗号鍵を作成するために、使用されます。ソフトウェアは、乱数を用いて、非決定的動作を引き起こす非同期イベントをトリガできます。これにより、リプレイ攻撃または鍵検索攻撃が阻止されます。

TRNG は、物理的に予測不可能な高エントロピー源から連続的に供給されます。TRNG は、128 システム・クロック・サイクルで 128 ビットの真の乱数を生成します。

TRNG は、多くのセキュリティ標準が求めるシステムレベルの妥当性確認に対応できます。

CRC モジュール

巡回冗長検査（CRC）のハードウェア・モジュールは、アプリケーション・ソフトウェアによる高速な計算能力とデータ整合性チェック機能を備えています。CRC 多項式は、カスタム CRC アルゴリズムと、表 6 に示す共通アルゴリズムに対応するようにプログラム可能です。

表 6. 共通 CRC 多項式

ALGORITHM	POLYNOMIAL EXPRESSION
CRC-32-ETHERNET	$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x^1 + x^0$
CRC-CCITT	$x^{16} + x^{12} + x^5 + x^0$
CRC-16	$x^{16} + x^{15} + x^2 + x^0$
USB DATA	$x^{16} + x^{15} + x^2 + x^0$
PARITY	$x^1 + x^0$

Root of Trust（信頼の基点）

SCPBL をサポートするデバイスでは、Root of Trust（信頼の基点）は、信頼できるソフトウェアとマイクロコントローラのセキュリティ機能の補完から始まります。ホストと本デバイス間の通信はセキュアかつ認証されている必要があります。更に、実行前に毎回プログラムの整合性を検証して、デバイスの信頼性を確保する必要があります。本デバイスの Root of Trust は、アナログ・デバイセズの秘密のルート検証鍵と署名済みの顧客検証鍵（CVK）に基づいています。顧客が公開 CVK を送信すると、CVK が署名されて、証明書が顧客に返送されます。このプロセスは短時間で行われ、ソフトウェアが初めてリリースされる前に一度だけ必要とされるものであり、ソフトウェア開発中には不要です。その後、顧客は独自の鍵をロードし、署名済みのバイナリ実行可能コードをダウンロードできます。

セキュア通信プロトコル・ブートローダ（SCPBL）

SCPBL をサポートするデバイスでは、ホスト・システムと本デバイス間の通信に、ECDSA-256 デジタル署名パケットのシステムを使用します。これにより、すべての通信の整合性と確実性が確保され、その後で、設定コマンドの実行とプログラム・メモリのロードまたは検証が行われます。通信には、1 つ以上のシリアル・インターフェースが利用できます。また、これにより、サード・パーティの組立工場がセキュアな生産設備の設置やその保全を確保するためのコストおよび複雑な作業を負担せずに済む、サード・パーティの組立工場による顧客の最終製品の組立およびプログラミングが可能になります。また、展開された製品のソフトウェアを現場でアップグレードできるため、製品を製造元に返送してソフトウェア変更するというコストのかかる作業がなくなります。

SCPBL 通信で利用可能なシリアル・インターフェースを表 7 に示します。本デバイスは、リセットまたは特定の低消費電力モードの終了後、割り当てられたスティミュラス・ピンをテストし、アクティブであれば SCPBL セッションを開始します。SCPBL セッションが開始されると、スティミュラス・ピンを再割り当てできます。ホストは、導入前にブートローダ・インターフェースをディスエーブルにして、プログラム・メモリが何も変更されないようにできます。

入手方法については[オーダー情報](#)の表を参照してください。

セキュア・ブート

SCPBL をサポートするデバイスでは、本デバイスは、リセットのたびにセキュア・ブートを実行して、Root of Trust が損なわれていないことを確認します。セキュア・ブートは、プログラム・メモリのデジタル署名を検証して、それが変更または破損されていないことを確認し、アプリケーション・ソフトウェアの信頼性を確保します。デジタル署名の検証に失敗すると、本デバイスはセーフ・モードに遷移するため、顧客のコードは実行されなくなります。ブートローダは、前もって停止されていない場合、再起動して、新しい信頼できるプログラム・メモリをロードできます。

デバッグおよび開発インターフェース

シリアル・ワイヤ・デバッグ（SWD）インターフェースは、コードのロードと、インサーキット・エミュレータ（ICE）デバッグ・アクティビティに使用されます。

その他の技術文書

設計者が本デバイスのすべての機能を用いるには、次の文書を入手する必要があります。

- 本データシート（電気／タイミング仕様、パッケージ情報、ピンの説明を収録）
- 対応するリビジョン固有の正誤表
- 対応する MAX32662 ユーザ・ガイド（コア機能とペリフェラルの詳細情報、プログラミングのガイドラインを収録）

アプリケーション情報

ブートローダの起動

SCPBL は表 7 に示すインターフェースを使用できます。

表 7. ブートローダの起動の概要

PART NUMBER	BOOTLOADER INTERFACE	DEFAULT STIMULUS PIN
	UART0	
All versions	UART0_RX UART0_TX RSTN	P0.6 (active low)

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

SCPBL をサポートするデバイスでは、割り当てられたスティミュラス・ピンがアサートされている場合、リセットまたは特定の低消費電力モードの終了後に、SCPBL が起動されます。必要なブートローダ・インターフェースとスティミュラス・ピンがホストからアクセスできるよう、確実に設計する必要があります。そうでない場合は、SCPBL が起動できません。SCPBL セッションが開始されると、別のスティミュラス・ピンの割り当てができます。スティミュラス・ピンは、常に既知の状態に外部から駆動させる必要があります。

RSTN 信号も、ホストからアクセス可能にして、SCPBL との初期同期ができるようにする必要があります。

バイパス・コンデンサ

バイパス・コンデンサを適切に使用すると、IC からグラウンド・プレーンに発生するノイズが低減されます。端子説明に、バイパス・コンデンサおよび適切なグラウンド・プレーンに接続する必要のあるピンを示しています。

バイパス・コンデンサは、IC パッケージの各ピン／ボールに 1 つずつ接続することを推奨します。例えば、端子説明に電圧源 A に関連付けられた 4 つのデバイス・ピンが示されている場合、合計 4 つのコンデンサを用いてピンごとに別々にコンデンサを接続する必要があります。

コンデンサは、対応するデバイス・ピンのできるだけ近くに配置します。ピンごとにコンデンサの複数の値を推奨する場合は、値が最小のコンデンサをピンに最も近くして、並列にコンデンサを配置する必要があります。

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

代表的な固定消費電流の温度による変動

単一電源 ACTIVE モード、 $f_{\text{SYS_OSC}} = \text{IPO}$

表 8. 単一電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{\text{SYS_OSC}} = \text{IPO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, ACTIVE Mode	$I_{\text{DD_FACTS}}$	Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	595	685	835	1155	1310	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	505	585	705	940	1100	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	440	510	610	805	945	μA
		Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	575	665	810	1090	1285	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	490	565	685	915	1075	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	425	490	590	780	920	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

単一電源、SLEEP モード、 $f_{\text{sys_osc}} = \text{IPO}$

表 9. 単一電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{\text{sys_osc}} = \text{IPO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, SLEEP Mode	$I_{\text{DDIO_FSLPS}}$	Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	595	685	835	1155	1310	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	505	585	705	940	1100	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	440	510	610	805	945	μA
		Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	575	665	810	1090	1285	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	490	565	685	915	1075	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	425	490	590	780	920	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

単一電源、ACTIVE モード、 $f_{\text{SYS_OSC}} = \text{IBRO}$

表 10. 単一電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{\text{SYS_OSC}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, ACTIVE Mode	$I_{\text{DDIO_FACTS}}$	Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	210	280	410	675	865	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	200	255	360	575	735	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	190	230	320	500	635	μA
		Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz execution, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	185	255	385	645	835	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	175	230	335	550	705	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	170	210	295	470	605	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

単一電源、SLEEP モード、 $f_{\text{sys_osc}} = \text{IBRO}$

表 11. 単一電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{\text{sys_osc}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, SLEEP Mode	$I_{\text{DDIO_FSLPS}}$	Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	210	280	410	675	865	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	200	255	360	575	735	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	190	230	320	500	635	μA
		Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	185	255	385	645	835	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	175	230	335	550	705	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	170	210	295	470	605	μA

単一電源、DEEPSLEEP モード

表 12. 単一電源動作固定 V_{DDIO} の消費電流、DEEPSLEEP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				−40°C	25°C	55°C	85°C	105°C	
V _{DDIO} Fixed Current, DEEPSLEEP Mode	I _{DDIO_FDSLPS}	Standby state with full data retention and 80KB SRAM retained	V _{DDIO} = 3.3V. PWRSEQ_LPCTRL. fastwken = 0, PWRSEQ_LPCTRL. bg_dis = 0.	1.6	3.6	9.6	26	40	μA
			V _{DDIO} = 1.8V. PWRSEQ_LPCTRL. fastwken = 0, PWRSEQ_LPCTRL. bg_dis = 0.	1.4	3.3	9.2	25	39	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

単一電源、BACKUP モード

表 13. 単一電源動作固定 V_{DDIO} の消費電流、BACKUP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Fixed Current, BACKUP Mode	I_{DDIO_FBKUS}	$V_{DDIO} = 3.3V$, RTC disabled	0KB SRAM retained, retention regulator disabled	0.35	0.45	0.7	1.3	1.9	μA
			20KB SRAM retained, retention regulator disabled	0.77	1.25	2.35	5.4	8.2	μA
			40KB SRAM retained, retention regulator disabled	0.9	1.6	3.45	8.5	13	μA
			60KB SRAM retained, retention regulator disabled	1.1	2	4.7	11.5	18	μA
			80KB SRAM retained, retention regulator disabled	1.2	2.4	5.8	14.6	23	μA
		$V_{DDIO} = 1.8V$, RTC disabled	0KB SRAM retained, retention regulator disabled	0.2	0.23	0.35	0.8	1.2	μA
			20KB SRAM retained, retention regulator disabled	0.6	1	2	4.8	7.5	μA
			40KB SRAM retained, retention regulator disabled	0.8	1.4	3.1	7.8	12.1	μA
			60KB SRAM retained, retention regulator disabled	0.9	1.8	4.3	11	17	μA
			80KB SRAM retained, retention regulator disabled	1.1	2.15	5.4	14	22	μA

単一電源、STORAGE モード

表 14. 単一電源動作固定 V_{DDIO} の消費電流、STORAGE モード

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Fixed Current, STORAGE Mode	I_{DDIO_FSTOS}	$V_{DDIO} = 3.3V$	0.12	0.23	0.5	1.1	1.7	μA
		$V_{DDIO} = 1.8V$	0.02	0.06	0.2	0.6	1.1	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IPO}$

表 15. デュアル電源動作固定 V_{CORE} の消費電流、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IPO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Current, ACTIVE Mode	$I_{\text{CORE_FACTD}}$	Fixed, IPO enabled, total current into V_{CORE} pin, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$	190	250	380	640	830	μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$	100	145	250	470	620	μA
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$	40	70	150	310	430	μA

表 16. デュアル電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IPO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, ACTIVE Mode	$I_{\text{DDIO_FACTD}}$	Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	355	385	400	420	430	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	355	385	400	420	430	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	355	385	400	420	430	μA
		Fixed, IPO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	340	370	385	400	410	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	340	370	385	400	410	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	340	370	385	400	410	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、SLEEP モード、f_{sys_osc} = IPO

表 17. デュアル電源動作固定 V_{CORE} の消費電流、SLEEP モード、f_{sys_osc} = IPO

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V _{CORE} Current, SLEEP Mode	I _{CORE_FSLPD}	Fixed, IPO enabled, total current into V _{CORE} pin, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, V _{CORE} = 1.1V	190	250	380	640	830	μA
			PWRSEQ_LPCTRL. ovr = 0b01, V _{CORE} = 1.0V	100	145	250	465	620	μA
			PWRSEQ_LPCTRL. ovr = 0b00, V _{CORE} = 0.9V	40	70	150	310	430	μA

表 18. デュアル電源動作固定 V_{DDIO} の消費電流、SLEEP モード、f_{sys_osc} = IPO

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V _{DDIO} Current, SLEEP Mode	I _{DDIO_FSLPD}	Fixed, IPO enabled, total current into V _{DDIO} and V _{DDA} pins, V _{DDIO} = 3.3V, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	355	385	400	420	430	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	355	385	400	420	430	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	355	385	400	420	430	μA
		Fixed, IPO enabled, total current into V _{DDIO} and V _{DDA} pins, V _{DDIO} = 1.8V, CPU in SLEEP mode, inputs tied to V _{SS} or V _{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	340	370	385	400	415	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	340	370	385	400	415	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	340	370	385	400	415	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IBRO}$

表 19. デュアル電源動作固定 V_{CORE} の消費電流、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Current, ACTIVE Mode	$I_{\text{CORE_FACTD}}$	Fixed, IBRO enabled, total current into V_{CORE} pin, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$	40	105	225	465	690	μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$	30	80	175	370	560	μA
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$	20	55	120	270	410	μA

表 20. デュアル電源動作固定 V_{DDIO} の消費電流、ACTIVE モード、 $f_{\text{sys_osc}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, ACTIVE Mode	$I_{\text{DD_FACTD}}$	Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	105	115	120	125	130	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	105	115	120	125	130	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	105	115	120	125	130	μA
		Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in ACTIVE mode 0MHz operation, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	85	90	95	100	105	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	85	90	95	100	105	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	85	90	95	100	105	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、SLEEP モード、 $f_{\text{SYS_OSC}} = \text{IBRO}$

表 21. デュアル電源動作固定 V_{CORE} の消費電流、SLEEP モード、 $f_{\text{SYS_OSC}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Current, SLEEP Mode	$I_{\text{CORE_FSLPD}}$	Fixed, IBRO enabled, total current into V_{CORE} pin, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, $V_{\text{CORE}} = 1.1\text{V}$	190	250	380	645	830	μA
			PWRSEQ_LPCTRL. ovr = 0b01, $V_{\text{CORE}} = 1.0\text{V}$	100	145	255	465	620	μA
			PWRSEQ_LPCTRL. ovr = 0b00, $V_{\text{CORE}} = 0.9\text{V}$	40	70	150	310	430	μA

表 22. デュアル電源動作固定 V_{DDIO} の消費電流、SLEEP モード、 $f_{\text{SYS_OSC}} = \text{IBRO}$

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Current, SLEEP Mode	$I_{\text{DD_FSLPD}}$	Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 3.3\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	105	115	120	125	130	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	105	115	120	125	130	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	105	115	120	125	130	μA
		Fixed, IBRO enabled, total current into V_{DDIO} and V_{DDA} pins, $V_{\text{DDIO}} = 1.8\text{V}$, CPU in SLEEP mode, inputs tied to V_{SS} or V_{DDIO} , outputs source/sink 0mA	PWRSEQ_LPCTRL. ovr = 0b10, internal regulator set to 1.1V	85	90	95	100	105	μA
			PWRSEQ_LPCTRL. ovr = 0b01, internal regulator set to 1.0V	85	90	95	100	105	μA
			PWRSEQ_LPCTRL. ovr = 0b00, internal regulator set to 0.9V	85	90	95	100	105	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、DEEPSLEEP モード

表 23. デュアル電源動作固定 V_{CORE} の消費電流、DEEPSLEEP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Fixed Current, DEEPSLEEP Mode	$I_{\text{CORE_FDSLDP}}$	$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	3.4	6.8	15.4	36	54	μA
		$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.9	2.7	8	22	35	μA
		$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	3.4	6.8	15	36	54	μA
		$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.9	2.7	8	22	35	μA

表 24. デュアル電源動作固定 V_{DDIO} の消費電流、DEEPSLEEP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Fixed Current, DEEPSLEEP Mode	$I_{\text{DDIO_FDSLDP}}$	$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.1	0.19	0.4	0.9	1.5	μA
		$V_{\text{DDIO}} = 3.3\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.1	0.19	0.4	0.9	1.5	μA
		$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 1.1\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.015	0.05	0.17	0.55	1	μA
		$V_{\text{DDIO}} = 1.8\text{V}$, $V_{\text{CORE}} = 0.855\text{V}$	PWRSEQ_LPCTRL. fastwk_en = 0, PWRSEQ_LPCTRL. bg_dis = 0	0.015	0.05	0.17	0.55	1	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、BACKUP モード

表 25. デュアル電源動作固定 V_{CORE} の消費電流、BACKUP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Fixed Current, BACKUP Mode	I_{CORE_FBKUD}	0KB SRAM retained with RTC disabled, retention regulator disabled.	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.3	0.33	1	3.1	5.15	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.07	0.18	0.7	2.45	4.2	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.3	0.33	1	3.05	5.15	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.07	0.18	0.7	2.45	4.2	μA
		20KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.8	1.28	2.95	7.5	11.5	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.2	0.54	1.7	5.05	8.3	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.8	1.28	2.95	7.5	11.5	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.2	0.54	1.7	5.05	8.3	μA
		40KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	1.3	2.23	4.95	11.9	18	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.32	0.9	2.7	7.7	12.5	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	1.3	2.23	4.95	11.9	18	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.32	0.9	2.7	7.7	12.5	μA
		60KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	1.85	3.2	6.85	16	24	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.45	1.25	3.65	10	16	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	1.85	3.2	6.85	16	24	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.45	1.25	3.65	10	16	μA
		80KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	2.35	4.1	8.8	20.5	30	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.6	1.6	4.6	12.7	20	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	2.35	4.1	8.8	20.5	30	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.6	1.6	4.6	12.7	20	μA

表 26. デュアル電源動作固定 V_{DDIO} の消費電流、BACKUP モード

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Fixed Current, BACKUP Mode	I_{DDIO_FBKUD}	0KB SRAM retained with RTC disabled, retention regulator disabled.	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.013	0.05	0.17	0.55	0.96	μA

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	25°C	55°C	85°C	105°C	
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.013	0.05	0.17	0.55	0.96	μA
		20KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.013	0.05	0.17	0.55	0.96	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.013	0.05	0.17	0.55	0.96	μA
		40KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.013	0.05	0.17	0.55	0.96	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.013	0.05	0.17	0.55	0.96	μA
		60KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.013	0.05	0.17	0.55	0.96	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.013	0.05	0.17	0.55	0.96	μA
		80KB SRAM retained with RTC disabled	$V_{DDIO} = 3.3V$, $V_{CORE} = 1.1V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 3.3V$, $V_{CORE} = 0.855V$	0.09	0.19	0.4	0.93	1.45	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 1.1V$	0.013	0.05	0.17	0.55	0.96	μA
			$V_{DDIO} = 1.8V$, $V_{CORE} = 0.855V$	0.013	0.05	0.17	0.55	0.96	μA

Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

デュアル電源、STORAGE モード

表 27. デュアル電源動作固定 V_{CORE} の消費電流、STORAGE モード

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	25°C	55°C	85°C	105°C	
V_{CORE} Fixed Current, STORAGE Mode	$I_{\text{CORE_FSTOD}}$	$V_{\text{DDIO}} = 3.3\text{V}, V_{\text{CORE}} = 1.1\text{V}$	0.3	0.33	1	3.05	5.15	μA
		$V_{\text{DDIO}} = 3.3\text{V}, V_{\text{CORE}} = 0.855\text{V}$	0.07	0.18	0.72	2.45	4.2	μA
		$V_{\text{DDIO}} = 1.8\text{V}, V_{\text{CORE}} = 1.1\text{V}$	0.3	0.33	1	3.05	5.15	μA
		$V_{\text{DDIO}} = 1.8\text{V}, V_{\text{CORE}} = 0.855\text{V}$	0.07	0.18	0.72	2.45	4.2	μA

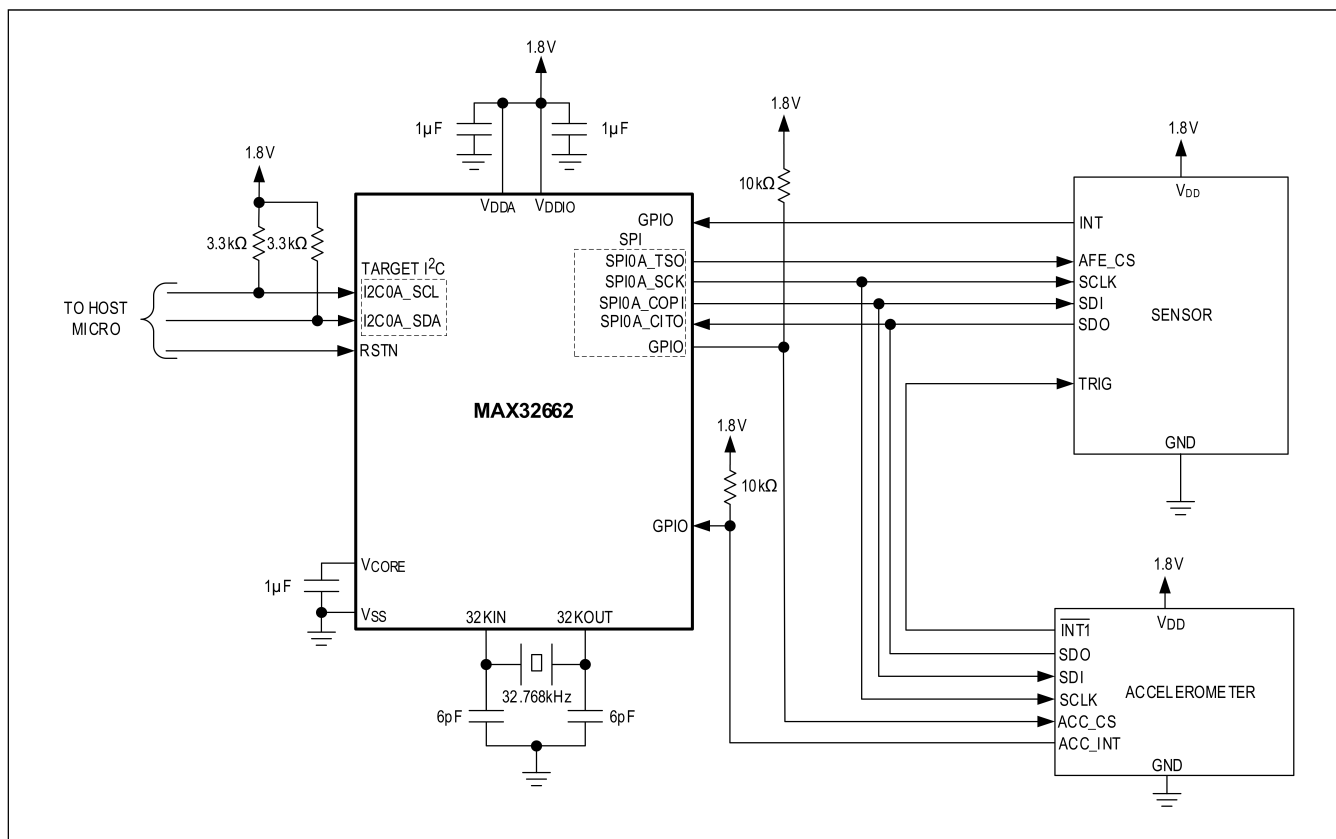
表 28. デュアル電源動作固定 V_{DDIO} の消費電流、STORAGE モード

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	25°C	55°C	85°C	105°C	
V_{DDIO} Fixed Current, STORAGE Mode	$I_{\text{DDIO_FSTOD}}$	$V_{\text{DDIO}} = 3.3\text{V}, V_{\text{CORE}} = 1.1\text{V}$	0.11	0.22	0.45	1.1	1.7	μA
		$V_{\text{DDIO}} = 3.3\text{V}, V_{\text{CORE}} = 0.855\text{V}$	0.11	0.22	0.45	1.1	1.7	μA
		$V_{\text{DDIO}} = 1.8\text{V}, V_{\text{CORE}} = 1.1\text{V}$	0.02	0.06	0.19	0.65	1.11	μA
		$V_{\text{DDIO}} = 1.8\text{V}, V_{\text{CORE}} = 0.855\text{V}$	0.02	0.06	0.19	0.65	1.11	μA

Arm Cortex-M4 プロセッサ、FPU ベースの
マイクロコントローラ（MCU）、
256KB フラッシュ、80KB SRAM を搭載

MAX32662

代表的なアプリケーション回路



Arm Cortex-M4 プロセッサ、FPU ベースの マイクロコントローラ（MCU）、 256KB フラッシュ、80KB SRAM を搭載

MAX32662

オーダー情報

PART NUMBER	SCPBL	SWD	TMR	LPTMR	I ² C	SPI	CMP	12-BIT SAR ADC INPUTS	UART	GPIO	PIN-PACKAGE
MAX32662GTJ+	No	Yes	3	1	2	2	2	4	2	21	32 TQFN-EP, 5mm × 5mm × 0.5mm pitch
MAX32662GTJ+T	No	Yes	3	1	2	2	2	4	2	21	32 TQFN-EP, 5mm × 5mm × 0.5mm pitch
MAX32662GTJBL+*	Yes	Yes	3	1	2	2	2	4	2	21	32 TQFN-EP, 5mm × 5mm × 0.5mm pitch
MAX32662GTJBL+T*	Yes	Yes	3	1	2	2	2	4	2	21	32 TQFN-EP, 5mm × 5mm × 0.5mm pitch
MAX32662GWP+*	No	Yes	3	1	2	2	2	4	2	12	20 WLP, 2.30mm × 1.92mm × 0.4mm pitch
MAX32662GWP+T*	No	Yes	3	1	2	2	2	4	2	12	20 WLP, 2.30mm × 1.92mm × 0.4mm pitch
MAX32662GWPBL+*	Yes	Yes	3	1	2	2	2	4	2	12	20 WLP, 2.30mm × 1.92mm × 0.4mm pitch
MAX32662GWPBL+T*	Yes	Yes	3	1	2	2	2	4	2	12	20 WLP, 2.30mm × 1.92mm × 0.4mm pitch

すべてのパッケージには、CAN 2.0B、FPU、4 つの PT が含まれています。

SWD = シリアル・ワイヤ・デバッグ、TMR = タイマー、LPTMR = 低消費電力タイマー、CMP = コンパレータ、PT = パルス列。

+ は鉛 (Pb) フリー/RoHS 準拠パッケージであることを示します。

T = テープ&リール。

* 発売予定の製品 - 発売時期についてはお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/23	初版発行	—