

ドライバを内蔵した14ビット、125Msps クワッド A/D コンバータ

特長

- 固定利得の差動ドライバを内蔵した4チャンネル同時サンプリング A/D コンバータ
- SNR: 68.3dB
- SFDR: 78dB
- 低消費電力: 1.27W (合計)、318mW (チャンネル当たり)
- ADC コア電源: 1.8V、アナログ入力電源: 3.3V
- シリアルLVDS出力: チャンネル当たり1ビットまたは2ビット
- シャットダウン・モードとナップ・モード
- 11.25mm×15mmのBGAパッケージ

アプリケーション

- 産業用画像処理
- 医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

LT、LT、LTC、LTM、Linear Technology、Linear のロゴおよび μ Module はリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

LTM[®]9012 は、固定利得の差動 A/D コンバータ・ドライバを内蔵した4チャンネル同時サンプリング 14ビット μ Module[®] A/D コンバータです。低ノイズのアンプは、シングルエンドの駆動信号や、画像処理アプリケーションなどのパルス列信号に適しています。各チャンネルにはドライバ出力と A/D コンバータ入力との間にローパス・フィルタがあります。

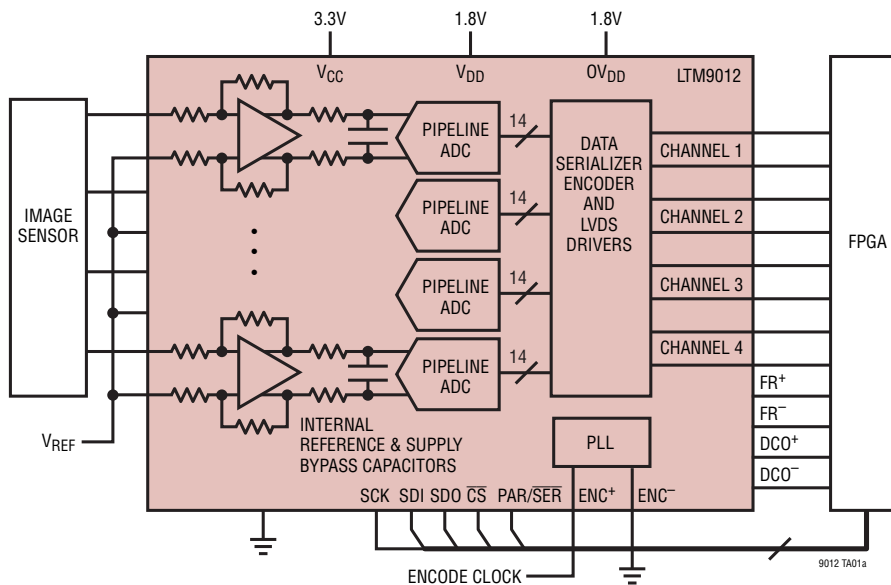
DC仕様では、 $\pm 1.2\text{LSB}$ (標準) の INL、 $\pm 0.3\text{LSB}$ (標準) の DNL、欠落コードがないことが全温度範囲で規定されています。遷移ノイズはわずか $1.2\text{LSB}_{\text{RMS}}$ です。

デジタル出力はシリアルLVDSであり、各チャンネルは同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャンネル当たり1ビットの選択肢もあります(1レーン・モード)。LVDSドライバはオプションの内部終端と調整可能な出力レベルを備えているので、ノイズのない信号品位を確保できます。

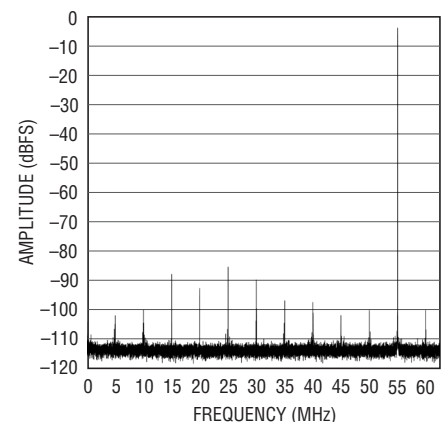
ENC⁺ 入力および ENC⁻ 入力は、正弦波、PECL、LVDS、TTL または CMOS 入力により、差動またはシングルエンドで駆動できます。また、内蔵のクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高性能を発揮できます。

標準的応用例

シングルエンドのセンサ・デジタル化



LTM9012、125Msps、70MHz の FFT



9012 TA01b

9012f

LTM9012

絶対最大定格

(Note 1、2)

電源電圧

V_{DD} 、 $0V_{DD}$ $-0.3V \sim 2V$

V_{CC} $-0.3V \sim 5.5V$

アナログ入力電圧 (CHn^+ 、 CHn^- 、 \overline{SHDNn})

(Note 3) $-0.3V \sim V_{CC}$

アナログ入力電圧 (PAR/SER 、 $SENSE$)

(Note 4) $-0.3V \sim (V_{DD} + 0.2V)$

デジタル入力電圧 (ENC^+ 、 ENC^- 、 \overline{CS} 、 SDI 、 SCK)

(Note 5) $-0.3V \sim 3.9V$

SDO (Note 5) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (0V_{DD} + 0.3V)$

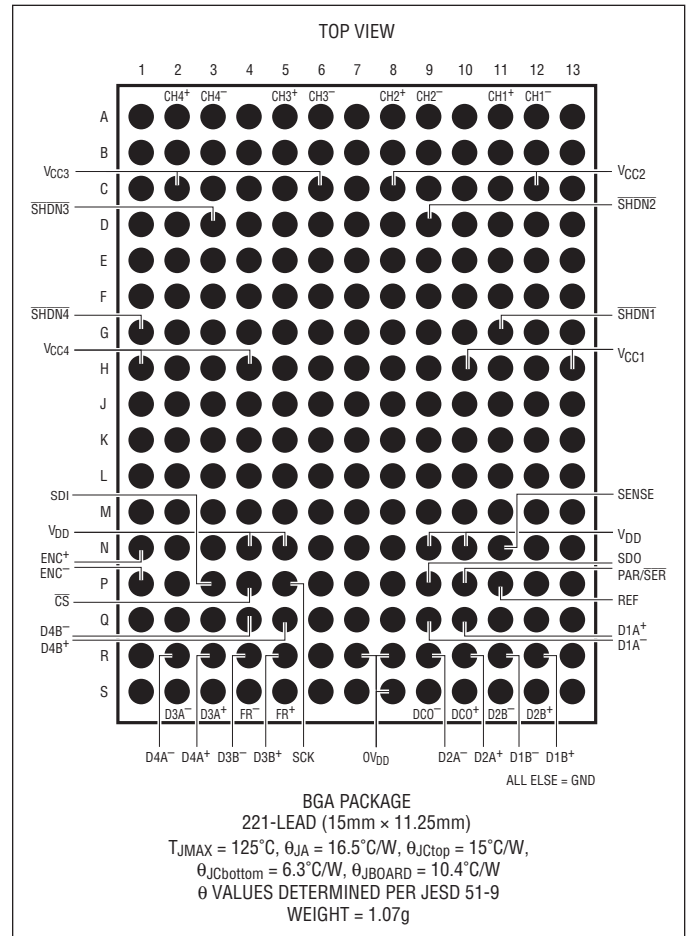
動作温度範囲

LTM9012C $0^{\circ}C \sim 70^{\circ}C$

LTM9012I $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲..... $-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報

無鉛仕上げ	トレイ	製品マーキング*	パッケージ	温度範囲
LTM9012CY-AB#PBF	LTM9012CY-AB#PBF	LTM9012YAB	221-Lead (15mm×11.25mm) Plastic BGA	$0^{\circ}C$ to $70^{\circ}C$
LTM9012IY-AB#PBF	LTM9012IY-AB#PBF	LTM9012YAB	221-Lead (15mm×11.25mm) Plastic BGA	$-40^{\circ}C$ to $85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/> をご覧ください。

コンバータ特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	Differential Analog Input (Note 7)	●	-5	± 1.2	5	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	± 0.3	0.9	LSB
Offset Error	(Note 8)	●	-37	± 3	37	mV
Gain Error	Internal Reference External Reference	●	-3.6	-1.3 -1.3	3.0	%FS %FS
Offset Drift				± 20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			± 35 ± 25		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Gain Matching	External Reference			± 0.2		%FS
Offset Matching				± 3		mV
Transition Noise	External Reference			1.2		LSBRMS

アナログ入力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Differential Analog Input Range ($CH^+ - CH^-$) at -1dBFS	LTM9012-AB	●		0.2		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($CH^+ + CH^-$)/2	Differential Analog Input (Note 9)			0 to 1.5		V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
R_{IN}	Differential Input Resistance	LTM9012-AB			100		Ω
$I_{IN(P/S)}$	Input Leakage Current	$0 < PAR/SER < V_{DD}$	●	-3		3	μA
$I_{IN(SENSE)}$	Input Leakage Current	$0.625\text{V} < SENSE < 1.3\text{V}$	●	-6		6	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		psRMS
CMRR	Analog Input Common Mode Rejection Ratio				90		dB
BW-3dB	3dB Corner of Internal Lowpass Filter				90		MHz

ダイナミック精度 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	70MHz Input	●	66.5	68.3		dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	70MHz Input	●	66.9	78		dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	70MHz Input	●	76.9	86		dBFS
S/N+D	Signal-to-Noise Plus Distortion Ratio	70MHz Input	●	64.7	66.7		dBFS
	Crosstalk, Near Channel	10MHz (Note 12)			70		dBc
	Crosstalk, Far Channel	10MHz (Note 12)			90		dBc

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{\text{OUT}} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{\text{OUT}} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{\text{DD}} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
--------	-----------	------------	-----	-----	-----	-------

エンコード入力 (ENC⁺, ENC⁻)

差動エンコード・モード (ENC⁻ は GND に接続されていない)

V_{ID}	Differential Input Voltage	(Note 9)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 9)	●	1.1	1.2 1.6	V V
V_{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2	3.6	V
R_{IN}	Input Resistance	(See Figure 3)		10		k Ω
C_{IN}	Input Capacitance			3.5		pF

シングルエンド・エンコード・モード (ENC⁻ は GND に接続されている)

V_{IH}	High Level Input Voltage	$V_{\text{DD}} = 1.8\text{V}$		1.26		V
V_{IL}	Low Level Input Voltage	$V_{\text{DD}} = 1.8\text{V}$		0.54		V
V_{IN}	Input Voltage Range	ENC ⁺ to GND		0 to 3.6		V
R_{IN}	Input Resistance	(See Figure 4)		30		k Ω
C_{IN}	Input Capacitance			3.5		pF

デジタル入力 (CS, SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)

V_{IH}	High Level Input Voltage	$V_{\text{DD}} = 1.8\text{V}$	●	1.3		V
V_{IL}	Low Level Input Voltage	$V_{\text{DD}} = 1.8\text{V}$	●		0.6	V
I_{IN}	Input Current	$V_{\text{IN}} = 0\text{V}$ to 3.6V	●	-10	10	μA
C_{IN}	Input Capacitance			3		pF

SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO が使われる場合、2k のプルアップ抵抗が必要)

R_{OH}	Logic Low Output Resistance to GND	$V_{\text{DD}} = 1.8\text{V}$, SDO = 0V		200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA
C_{OUT}	Output Capacitance			3		pF

デジタル入力 (SHDN)

V_{IH}	High Level Input Voltage	$V_{\text{CC}} = 3.3\text{V}$	●	0.97	1.4	V
V_{IL}	Low Level Input Voltage	$V_{\text{CC}} = 3.3\text{V}$	●	0.6	0.95	V
R_{SHDN}	SHDN Pull-Up Resistor	$V_{\text{SHDN}} = 0\text{V}$ to 0.5V	●	90	150 210	k Ω

デジタル・データ出力

V_{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V_{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V		100			Ω

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	ADC Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	ADC Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
V_{CC}	Amplifier Supply Voltage	(Note 10)	●	2.7	3.3	3.6	V
I_{VDD}	ADC Supply Current	Sine Wave Input	●		298	320	mA
I_{OVDD}	ADC Output Supply Current	2-Lane Mode, 1.75mA Mode	●		27	31	mA
		2-Lane Mode, 3.5mA Mode	●		49	54	mA
I_{VCC}	Amplifier Supply Current		●		208	224	mA
P_{DISS}		2-Lane Mode, 1.75mA Mode	●		1271	1473	mW
		2-Lane Mode, 3.5mA Mode	●		1311	1517	mW
P_{SLEEP}					3		mW
P_{NAP}					85		mW
$P_{DIFFCLK}$	Power Decrease with Single-Ended Encode Mode Enabled				20		mW

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_s	Sampling Frequency	(Note 10, Note 11)	●	5		125	MHz
t_{ENCL}	ENC Low Time (Note 9)	Duty Cycle Stabilizer Off	●	3.8	4	100	ns
		Duty Cycle Stabilizer On	●	2	4	100	ns
t_{ENCH}	ENC High Time (Note 9)	Duty Cycle Stabilizer Off	●	3.8	4	100	ns
		Duty Cycle Stabilizer On	●	2	4	100	ns
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns

デジタル・データ出力 ($R_{TERM} = 100\Omega$ 差動、各出力で GND との間に $C_L = 2\text{pF}$ を接続)

tSER	Serial Data Bit Period	2-Lanes, 16-Bit Serialization					1/(8•fs)	sec
		2-Lanes, 14-Bit Serialization					1/(7•fs)	sec
		2-Lanes, 12-Bit Serialization					1/(6•fs)	sec
		1-Lane, 16-Bit Serialization					1/(16•fs)	sec
		1-Lane, 14-Bit Serialization					1/(14•fs)	sec
		1-Lane, 12-Bit Serialization					1/(12•fs)	sec
tFRAME	FR to DCO Delay	(Note 9)	●	0.35 • tSER	0.5 • tSER	0.65 • tSER	sec	
tDATA	DATA to DCO Delay	(Note 9)	●	0.35 • tSER	0.5 • tSER	0.65 • tSER	sec	
tPD	Propagation Delay	(Note 9)	●	0.7n + 2 • tSER	1.1n + 2 • tSER	1.5n + 2 • tSER	sec	
tR	Output Rise Time	Data, DCO, FR, 20% to 80%		0.17			ns	
tF	Output Fall Time	Data, DCO, FR, 20% to 80%		0.17			ns	
	DCO Cycle-Cycle Jitter	tSER = 1ns		60			pSP-P	
	Pipeline Latency			6			Cycles	

SPIポートのタイミング (Note 9)

t _{SCK}	SCK Period	Write Mode Read Back Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	● ●	40 250	ns ns
t _S	$\overline{\text{CS}}$ to SCK Setup Time		●	5	ns
t _H	SCK to $\overline{\text{CS}}$ Setup Time		●	5	ns
t _{DS}	SDI Setup Time		●	5	ns
t _{DH}	SDI Hold Time		●	5	ns
t _{DO}	SCK Falling to SDO Valid	Read Back Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	●	125	ns

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り)GNDを基準にしている。

Note 3: 入力ピンはステアリング・ダイオードによって両方の電源から保護されている。入力がどちらかの電源電圧を超える場合は、入力電流を10mA未満に制限する必要がある。さらに、複数の入力チャンネル n^+ 、チャンネル n^- は、一対の逆並列接続ダイオードによって保護される。差動入力電圧が1.4Vを超える場合は、入力電流を10mA未満に制限する必要がある。

Note 4: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い、または V_{DD} より高い電圧でラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 6: 注記がない限り、 $V_{CC} = 3.3V$ 、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 125MHz$ 、2レーン出力モード、差動 $ENC^+/ENC^- = 2V_{P-P}$ の正弦波、入力範囲 = 差動ドライブで200mV_{P-P}。

Note 7: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 8: オフセット誤差は、2の補数の出力モードで出力コードを 00 0000 0000 0000 と 11 1111 1111 1111 の間でふらつかせるとき、-0.5LSBから測定したオフセット電圧である。

Note 9: 設計によって保証されているが、テストされない。

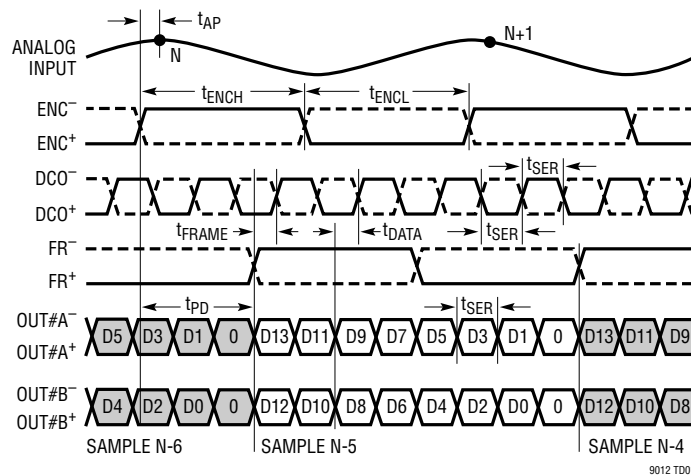
Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは1000Mbpsなので、 t_{SER} は1ns以上でなければならない。

Note 12: Near channel crosstalk(隣接チャンネル・クロストーク)は、チャンネル1とチャンネル2を指す。Far channel crosstalk(遠隔チャンネル・クロストーク)は、チャンネル1とチャンネル4を指す。

タイミング図

2レーン出力モード、16ビットのシリアル化*

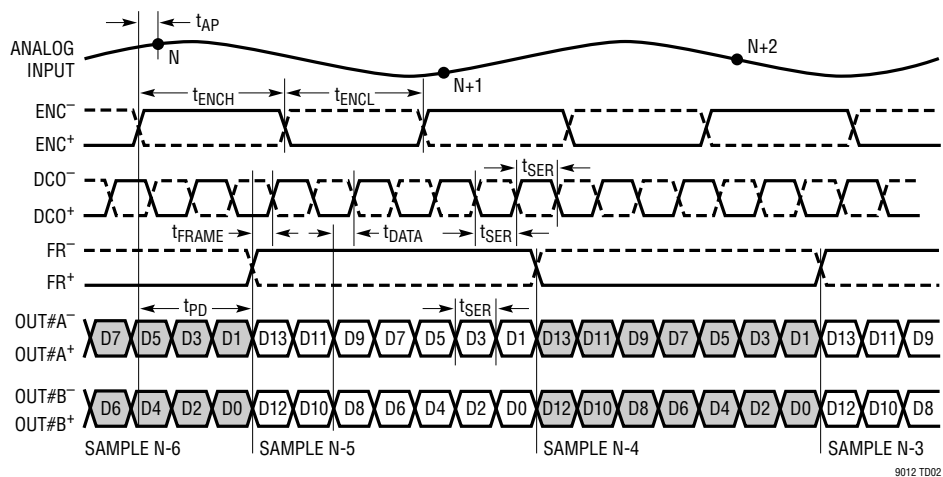


*SEE THE DIGITAL OUTPUTS SECTION

9012 T001

タイミング図

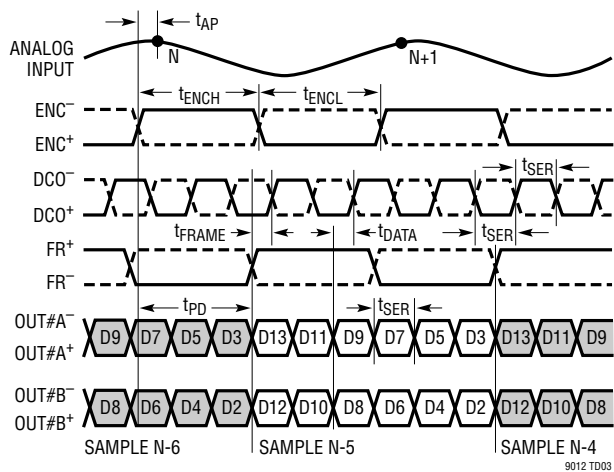
2レーン出力モード、14ビットのシリアル化



NOTE THAT IN THIS MODE FR⁺/FR⁻ HAS TWO TIMES THE PERIOD OF ENC⁺/ENC⁻

9012 TD02

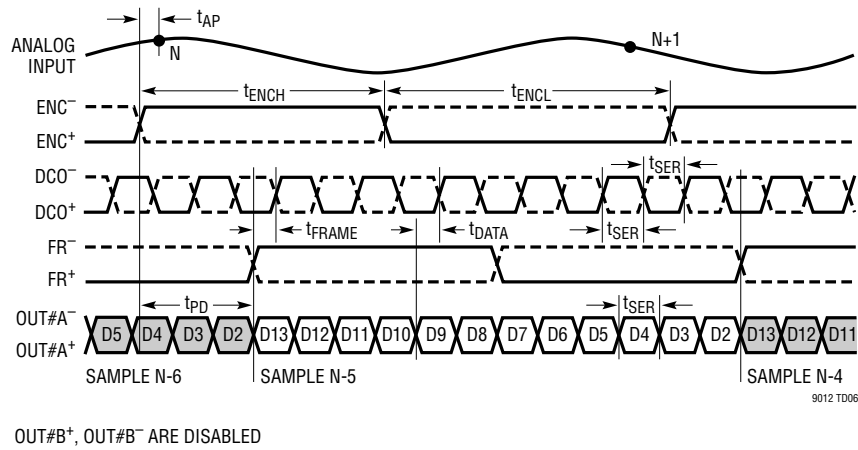
2レーン出力モード、12ビットのシリアル化



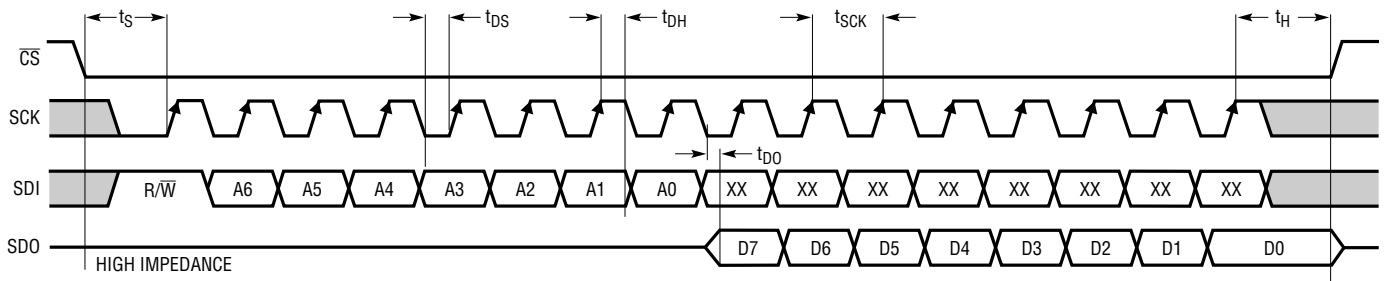
9012 TD03

タイミング図

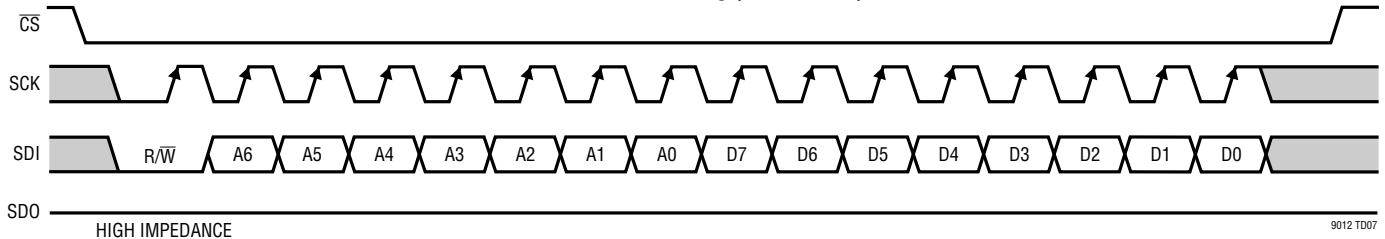
1レーン出力モード、12ビットのシリアル化



SPI Port Timing (Readback Mode)

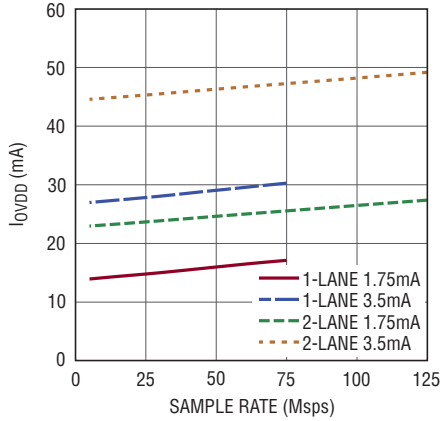


SPI Port Timing (Write Mode)



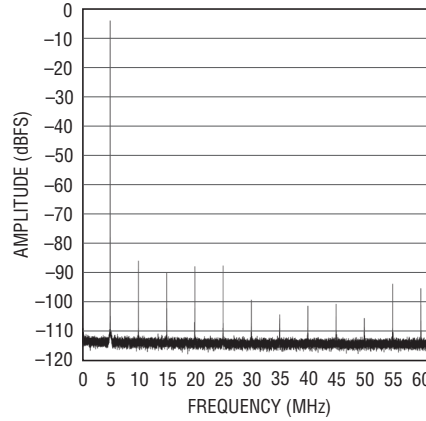
標準的性能特性

I_{OVD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS



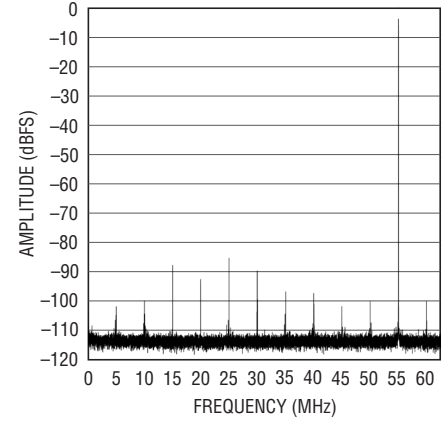
9012 G01

64KポイントのFFT、 $f_{IN} = 5\text{MHz}$ 、
-1dBFS、SENSE = V_{DD}



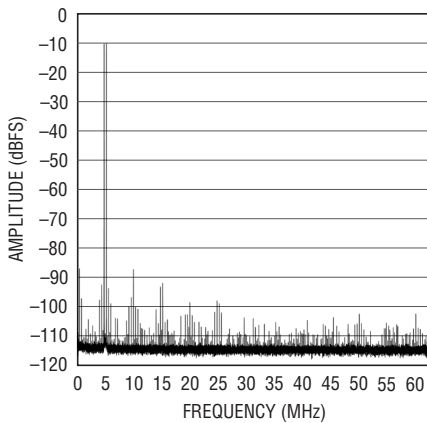
9012 G02

64KポイントのFFT、 $f_{IN} = 70\text{MHz}$ 、
-1dBFS、SENSE = V_{DD}



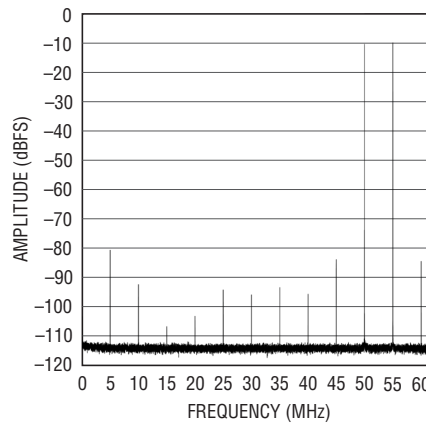
9012 G03

64Kポイントの2トーンFFT、
 $f_{IN} = 4.8\text{MHz}$ および $f_{IN} = 5.2\text{MHz}$ 、
1トーンにつき-7dBFS、SENSE = V_{DD}



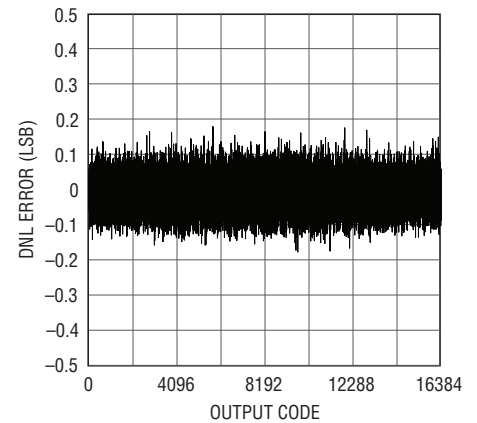
9012 G04

64Kポイントの2トーンFFT、
 $f_{IN} = 70\text{MHz}$ および $f_{IN} = 75\text{MHz}$ 、
1トーンにつき-7dBFS、SENSE = V_{DD}



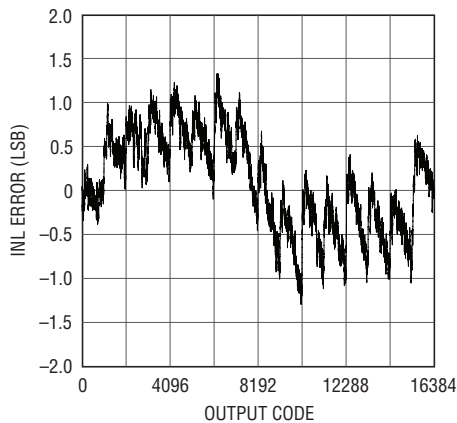
9012 G05

微分非直線性 (DNL) と出力コード



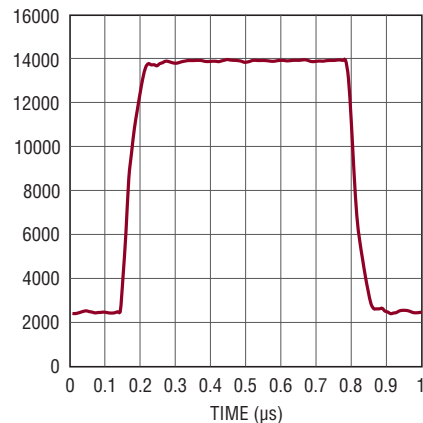
9012 G06

積分非直線性 (INL) と出力コード



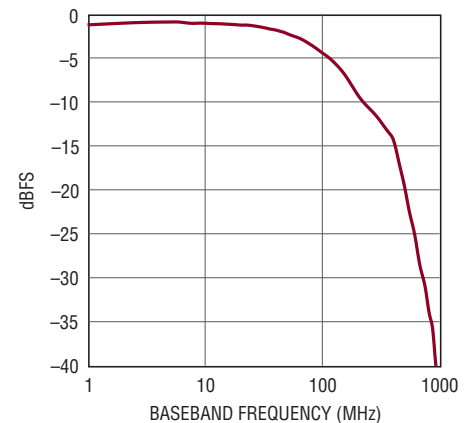
9012 G07

パルス応答



9012 G08

周波数応答



9012 G09

9012f

ピン機能

V_{CC1} (H10, H13) : チャンネル1のアンプ電源。V_{CC}は、0.01μFのセラミック・コンデンサと並列に接続した0.1μFのコンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は3.3Vです。

V_{CC2} (C8, C12) : チャンネル2のアンプ電源。V_{CC}は、0.01μFのセラミック・コンデンサと並列に接続した0.1μFのコンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は3.3Vです。

V_{CC3} (C2, C6) : チャンネル3のアンプ電源。V_{CC}は、0.01μFのセラミック・コンデンサと並列に接続した0.1μFのコンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は3.3Vです。

V_{CC4} (H1, H4) : チャンネル4のアンプ電源。V_{CC}は、0.01μFのセラミック・コンデンサと並列に接続した0.1μFのコンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は3.3Vです。

V_{DD} (N4, N5, N9, N10) : A/Dコンバータのアナログ電源。V_{DD}は、0.1μFのセラミック・コンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は1.8Vです。

OV_{DD} (R7, R8, S8) : A/Dコンバータのデジタル出力電源。OV_{DD}は、0.1μFのセラミック・コンデンサにより、内部でグラウンドにバイパスされています。バイパス・コンデンサを追加するかどうかは任意です。推奨動作電圧は1.8Vです。

GND: グラウンド。ピンの近くに複数のビアを使用してください。

CH1⁺ (A11) : チャンネル1の非反転アナログ入力。

CH1⁻ (A12) : チャンネル1の反転アナログ入力。

CH2⁺ (A8) : チャンネル2の非反転アナログ入力。

CH2⁻ (A9) : チャンネル2の反転アナログ入力。

CH3⁺ (A5) : チャンネル3の非反転アナログ入力。

CH3⁻ (A6) : チャンネル3の反転アナログ入力。

CH4⁺ (A2) : チャンネル4の非反転アナログ入力。

CH4⁻ (A3) : チャンネル4の反転アナログ入力。

SHDN1 (G11) : チャンネル1のアンプのシャットダウン・ピン。SHDN1をV_{CC}に接続するかフロート状態にすると、通常の(アクティブな)動作モードになります。SHDN1をGNDに接続すると、アンプ1は低消費電力のシャットダウン状態になります。

SHDN2 (D9) : チャンネル2のアンプのシャットダウン・ピン。SHDN2をV_{CC}に接続するかフロート状態にすると、通常の(ア

クティブな)動作モードになります。SHDN2をGNDに接続すると、アンプ2は低消費電力のシャットダウン状態になります。

SHDN3 (D3) : チャンネル3のアンプのシャットダウン・ピン。SHDN3をV_{CC}に接続するかフロート状態にすると、通常の(アクティブな)動作モードになります。SHDN3をGNDに接続すると、アンプ3は低消費電力のシャットダウン状態になります。

SHDN4 (G1) : チャンネル4のアンプのシャットダウン・ピン。SHDN4をV_{CC}に接続するかフロート状態にすると、通常の(アクティブな)動作モードになります。SHDN4をGNDに接続すると、アンプ4は低消費電力のシャットダウン状態になります。

ENC⁺ (N1) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (P1) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

CS (P4) : シリアル・プログラミング・モード(PAR/SER = 0V)では、CSはシリアル・インタフェースのチップ選択入力です。CSが“L”のとき、SCKはイネーブルされ、SDIのデータはモード制御レジスタにシフトします。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、CSによって2レーンまたは1レーンの出力モードが選択されます。CSは1.8V～3.3Vのロジックで駆動することができます。

SCK (P5) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SCKで3.5mAまたは1.75mAのLVDS出力電流を選択します。SCKは1.8V～3.3Vのロジックで駆動することができます。

SDI (P3) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジで同期してモード制御レジスタに入ります。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIを使用してデバイスをパワーダウンさせることができます。SDIは1.8V～3.3Vのロジックで駆動することができます。

SDO (P9) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータは、モード制御レジスタから読み出してSCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kΩの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままでかまいません。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDOは内蔵の100Ω終端抵抗をイネーブルする入力です。SDOを入力として

9012f

ピン機能

使用する場合には、1kの直列抵抗を介して1.8V～3.3Vのロジックで駆動することができます。

PAR/SER (P10) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOはA/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOは、A/Dコンバータの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはデバイスの V_{DD} に直接接続し、ロジック信号では駆動しないでください。

VREF (P11) : リファレンス電圧出力。 V_{REF} は、2.2 μF のセラミック・コンデンサを使用して内部でグラウンドにバイパスされており、公称1.25Vです。

SENSE (N11) : リファレンスのプログラミング・ピン。SENSEを V_{DD} に接続すると、内部リファレンスと $\pm 0.1\text{V}$ の入力範囲が選択されます。SENSEをグラウンドに接続すると、内部リファレンスと $\pm 0.05\text{V}$ の入力範囲が選択されます。0.625V～1.3Vの外部リファレンスをSENSEに印加すると、 $\pm 0.08 \cdot V_{\text{SENSE}}$ の入力範囲が選択されます。SENSEは、0.1 μF のセラミック・コンデンサを使って内部でグラウンドにバイパスされています。

LVDS出力

このセクションのすべてのピンは、差動LVDS出力です。出力電流レベルは設定可能です。各LVDS出力対のピンの間にはオプションの内部100 Ω 終端抵抗があります。

OUT1A⁻/OUT1A⁺、OUT1B⁻/OUT1B⁺ (Q9/Q10、R11/R12) : チャネル1のシリアル・データ出力。1レーンの出力モードでは、OUT1A⁻/OUT1A⁺のみを使用します。

OUT2A⁻/OUT2A⁺、OUT2B⁻/OUT2B⁺ (R9/R10、S11/S12) : チャネル2のシリアル・データ出力。1レーンの出力モードでは、OUT2A⁻/OUT2A⁺のみを使用します。

OUT3A⁻/OUT3A⁺、OUT3B⁻/OUT3B⁺ (S2/S3、R4/R5) : チャネル3のシリアル・データ出力。1レーンの出力モードでは、OUT3A⁻/OUT3A⁺のみを使用します。

OUT4A⁻/OUT4A⁺、OUT4B⁻/OUT4B⁺ (R2/R3、Q4/Q5) : チャネル4のシリアル・データ出力。1レーンの出力モードでは、OUT4A⁻/OUT4A⁺のみを使用します。

FR⁻/FR⁺ (S4/S5) : フレーム開始出力。

DCO⁻/DCO⁺ (S9/S10) : データ・クロック出力。

ピン配置表

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	GND	CH4 ⁺	CH4 ⁻	GND	CH3 ⁺	CH3 ⁻	GND	CH2 ⁺	CH2 ⁻	GND	CH1 ⁺	CH1 ⁻	GND
B	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
C	GND	V _{CC3}	GND	GND	GND	V _{CC3}	GND	V _{CC2}	GND	GND	GND	V _{CC2}	GND
D	GND	GND	SHDN3	GND	GND	GND	GND	GND	SHDN2	GND	GND	GND	GND
E	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
F	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
G	SHDN4	GND	GND	GND	GND	GND	GND	GND	GND	GND	SHDN1	GND	GND
H	V _{CC4}	GND	GND	V _{CC4}	GND	GND	GND	GND	GND	V _{CC1}	GND	GND	V _{CC1}
J	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
K	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
L	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
M	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
N	ENC ⁺	GND	GND	V _{DD}	V _{DD}	GND	GND	GND	V _{DD}	V _{DD}	SENSE	GND	GND
P	ENC ⁻	GND	SDI	$\overline{\text{CS}}$	SCK	GND	GND	GND	SDO	PAR/SER	REF	GND	GND
Q	GND	GND	GND	D4B ⁻	D4B ⁺	GND	GND	GND	D1A ⁻	D1A ⁺	GND	GND	GND
R	GND	D4A ⁻	D4A ⁺	D3B ⁻	D3B ⁺	GND	OVDD	OVDD	D2A ⁻	D2A ⁺	D1B ⁻	D1B ⁺	GND
S	GND	D3A ⁻	D3A ⁺	FR ⁻	FR ⁺	GND	GND	OVDD	DCO ⁻	DCO ⁺	D2B ⁻	D2B ⁺	GND

ブロック図

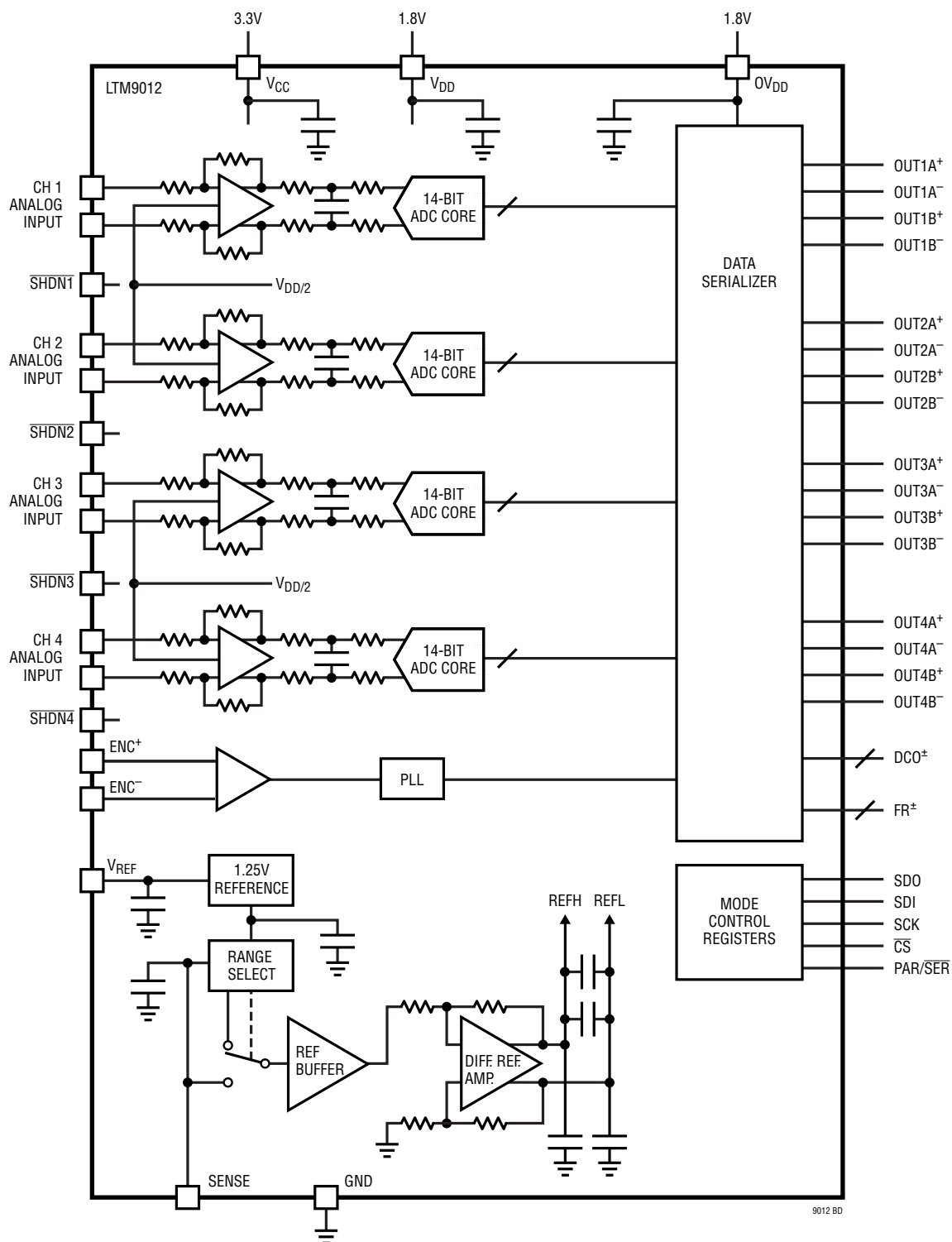


図1. ブロック図

アプリケーション情報

コンバータの動作

LTM9012は、1.8VのA/Dコンバータ電源と3.3Vのドライバ電源で動作する低消費電力の4チャンネル、14ビット、125Msps A/Dコンバータです。各入力には固定利得の差動アンプを内蔵しています。アナログ入力は、差動またはシングルエンドのいずれで駆動してもかまいません。エンコード入力は、最適なジッタ性能を得る場合は差動で、消費電力を低くする場合はシングルエンドで駆動することができます。デジタル出力はシリアルLVDSなので、データ・ライン数を最小限に抑えることができます。各チャンネルは、同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャンネル当たり1ビットの選択肢もあります(1レーン・モード)。シリアルSPIポートを介してモード制御レジスタを設定することにより、多くの追加機能を選択することができます。

アナログ入力

LTM9012の各チャンネルのアナログ入力は、固定利得の差動アンプと、後続のローパス・フィルタで構成されます。利得が10倍の場合、各入力には49.9Ωの直列抵抗があります。

差動入力は、反転入力を固定のDC電圧に接続するか接地することにより、シングルエンド動作をサポートできます。ただし、接地した場合は、ダイナミックレンジに6dBの損失が発生します。最大のダイナミックレンジを得るには、LTM9012の反転入力を非反転入力の電圧変動の中央値に等しいDC電圧に接続します。オペアンプは、少量のソース電流およびシンク電流を供給可能な低インピーダンスの電圧源を実現する優れた手段を提供します。このDC電圧は、許容される入力同相電圧の制限値の範囲内に入るようにしてください。一例としては、図2を参照してください。

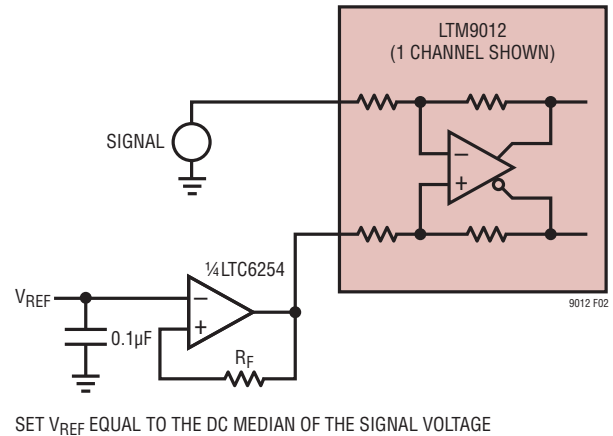


図2. シングルエンド動作

LTM9012の利得は、信号入力と直列に抵抗を追加することによっても公称値より減少させることができます。内蔵のオペアンプには49.9Ωの直列抵抗から信号が入力され、511Ωの帰還抵抗を使用しています。この段の電圧利得は、直列抵抗全体に対する帰還抵抗の比によって設定されます。たとえば、464Ωの抵抗を各入力と直列に追加すれば、ユニティ・ゲインを実現することができます。

リファレンス

LTM9012は1.25Vの電圧リファレンスを内蔵しています。内蔵のアンプをユニティ・ゲイン構成にして内部リファレンスを使用する2Vの入力範囲の場合は、SENSEをVDDに接続します。内部リファレンスを使用する1Vの入力範囲の場合は、SENSEをグラウンドに接続します。外部リファレンスを使用する2Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEに加えます。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.6 \cdot V_{\text{SENSE}}$ になります。

リファレンスは4つのADCチャンネルすべてによって共有されるため、個々のチャンネルの入力範囲を個別に調整することはできません。

アプリケーション情報

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。このため、回路基板上のデジタル・トレースに隣接して配線しないようにしてください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図3)とシングルエンド・エンコード・モード(図4)です。

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図5および図6)。エンコード入力は内部で10k Ω の等価抵抗を介して1.2Vにバイアスされています。エンコード入力はV_{DD}より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モ

ードでは、ENC⁻をグラウンドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC⁻をグラウンドに接続し、ENC⁺を方形波のエンコード入力で駆動します。ENC⁺はV_{DD}より高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

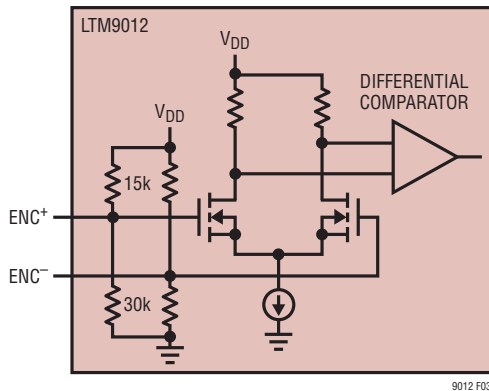


図3. 差動エンコード・モードの等価エンコード入力回路

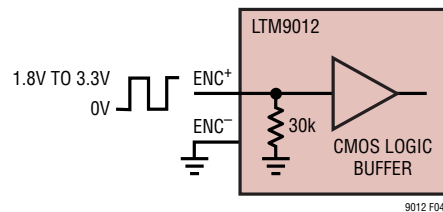


図4. シングルエンド・エンコード・モードの等価エンコード入力回路

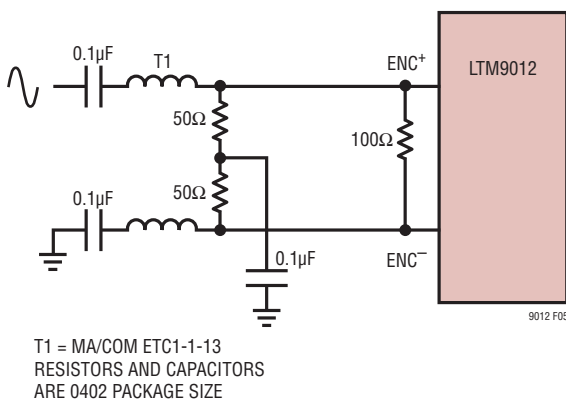


図5. 正弦波のエンコード・ドライブ

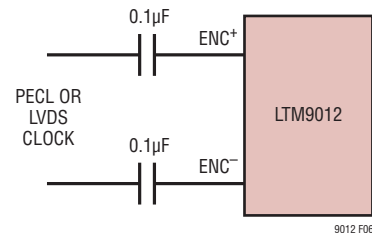


図6. PECLまたはLVDSのエンコード・ドライブ

アプリケーション情報

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは、シリアル・デジタル出力データを生成するために内部位相同期ループ(PLL)によって乗算されます。エンコード信号の周波数が変化するか、エンコード信号がオフになると、PLLが入力クロックにロックするために25 μ s かかります。

クロック・デューティ・サイクル・スタビライザ回路により、印加されるエンコード信号のデューティ・サイクルは30%～70%の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディセーブルすることができますが、これは推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされます。

デジタル出力

LTM9012のデジタル出力はシリアル化されたLVDS信号です。各チャネルは、同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャネル当たり1ビットの選択肢もあります(1レーン・モード)。データは、16、14、または12ビットでシリアル化できます(詳細については「タイミング図」を参照)。12ビットでシリアル化する場合、2つのLSBは使用できないことに注意してください。このモードは、(開発の可能性はある)これらのデバイスの12ビット・バージョンと互換性を持たせるために組み込まれています。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジと立ち下がりエッジでラッチする必要があります。データ・フレーム出力(FR)を使用すると、新しい変換結果から得られたデータがいつ始まるかを判別することができます。2レーンの14ビット・シリアル化モードでは、FR出力の周波数は1/2になります。

データ出力の最大シリアル・データ・レートは1Gbpsなので、A/Dコンバータの最大サンプリング・レートは、A/Dコンバータの速度グレードだけでなく、シリアル化モードによっても異なります(表1を参照)。すべてのシリアル化モードの最小サンプル・レートは5Mspsです。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100 Ω 差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}から電力を供給され、A/Dコンバータのコアの電源からは分離されています。

設定可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SCKピンにより、3.5mAまたは1.75mAを選択できます。

表1. すべてのシリアル化モードの最大サンプリング周波数。低速グレードのサンプリング周波数でも $f_{\text{SAMPLE(MAX)}}$ を超えることはできない

シリアル化モード		最大サンプリング周波数、 f_s (MHz)	DCO 周波数	FR 周波数	シリアル・データ・レート
2レーン	16ビット・シリアル化	125	$4 \cdot f_s$	f_s	$8 \cdot f_s$
2レーン	14ビット・シリアル化	125	$3.5 \cdot f_s$	$0.5 \cdot f_s$	$7 \cdot f_s$
2レーン	12ビット・シリアル化	125	$3 \cdot f_s$	f_s	$6 \cdot f_s$
1レーン	16ビット・シリアル化	62.5	$8 \cdot f_s$	f_s	$16 \cdot f_s$
1レーン	14ビット・シリアル化	71.4	$7 \cdot f_s$	f_s	$14 \cdot f_s$
1レーン	12ビット・シリアル化	83.3	$6 \cdot f_s$	f_s	$12 \cdot f_s$

アプリケーション情報

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mA、または2.5mAのLVDS出力電流モードのときのみを使用するようにしてください。

データ形式

アナログ入力電圧とデジタル・データ出力ビット間の関係を表2に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表2. 出力コードと入力電圧

CHn ⁺ - CHn ⁻ 間 (0.2Vの範囲)	D13~D0 (オフセット・バイナリ)	D13~D0 (2の補数)
>0.1000000V	11 1111 1111 1111	01 1111 1111 1111
+0.0999878V	11 1111 1111 1111	01 1111 1111 1111
+0.0999756V	11 1111 1111 1110	01 1111 1111 1110
+0.0000122V	10 0000 0000 0001	00 0000 0000 0001
+0.0000000V	10 0000 0000 0000	00 0000 0000 0000
-0.0000122V	01 1111 1111 1111	11 1111 1111 1111
-0.0000244V	01 1111 1111 1111	11 1111 1111 1110
-0.0999878V	00 0000 0000 0000	10 0000 0000 0001
-0.1000000V	00 0000 0000 0000	10 0000 0000 0000
<-0.1000000V	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダマイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dコンバータのデジタル・インタフェースのインサーキット・テストを可能にするため、全チャネルのA/Dデータ出力(D13~D0)を強制的に既知の値にするテスト・モードがあります。モード制御レジスタA3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテスト・パターンがイネーブルされます。テストパターンがイネーブルされると、他の形式設定モード(2の補数モードおよびランダマイザ・モード)はすべて無効になります。

出力のディスエーブル

デジタル出力は、制御レジスタA2をシリアル・モードでプログラムすることによりディスエーブルすることができます。消費電力の節減や、インサーキット・テストをイネーブルするために、DCOとFRを含むすべてのデジタル出力の電流駆動がディスエーブルされます。ディスエーブルされると、各出力対の同相信号は高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

アプリケーション情報

スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体の供給電力が減少し、消費電力が3mWになります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードから復帰するために必要な時間は、 V_{REF} 、REFH、およびREFLのバイパス・コンデンサのサイズによって異なります。内部コンデンサの値だけで外付けの容量を追加しない場合、A/Dコンバータは2ms後に安定します。

ナップ・モードでは、A/Dチャネルのどの組み合わせでも供給電力を減少させることができますが、内部リファレンス回路およびPLLはアクティブな状態を維持するので、スリープ・モードからの場合よりも素早く復帰することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に正確なDCセトリングが必要なアプリケーションの場合は、50 μ sを追加することにより、A/Dコンバータがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して、内蔵リファレンスが安定状態に戻ることができるようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタA1によってイネーブルされます。

ドライバ・アンプのシャットダウン(SHDN)

A/Dコンバータのドライバはシャットダウン・モードにして、A/Dコンバータのコアとは無関係に電力を節減することができます。各A/Dコンバータ・ドライバには個別のSHDNピンがありますが、4つすべてを互いに接続することを想定しています。

デバイスのプログラミング・モード

LTM9012の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ を V_{DD} に接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンは V_{DD} またはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックで駆動することができます。入力として使用する場合、SDOは1kの直列抵抗を介して駆動します。 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOで設定されるモードを表3に示します。

表3. パラレル・プログラミング・モードの制御ビット (PAR/SER = V_{DD})

ピン	説明
$\overline{\text{CS}}$	2レーン/1レーン選択ビット 0 = 2レーン、16ビットのシリアル化出力モード 1 = 1レーン、14ビットのシリアル化出力モード
SCK	LVDS電流選択ビット 0 = 3.5mAのLVDS電流モード 1 = 1.75mAのLVDS電流モード
SDI	電力減少制御ビット 0 = 通常動作 1 = スリープ・モード
SDO	内部終端選択ビット 0 = 内部終端をディスエーブル 1 = 内部終端をイネーブル

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は、 $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCK立ち上がりエッジは無視されます。データ転送は、 $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは R/\overline{W} ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/\overline{W} ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 R/\overline{W} ビットが“H”の場合は、アドレス・ビット(A6:A0)で設定されたレジスタのデータがSDOピンから読み出されます(「タイミング図」のセクションを参照)。読み出しコマンドの実行中、

アプリケーション情報

レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグランドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDOをフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。モード制御レジスタのマップを表4に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源を投入して安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットが完了した後、ビットD7は自動的に0に戻ります。

表4. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)。

レジスタA0: リセット・レジスタ (アドレス00h)、書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7	リセット 0 = 不使用 1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。A/Dコンバータは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的にゼロに戻る。リセット・レジスタは書き込み専用。 リセット・レジスタからのデータの読み出しはランダムとなる。	ソフトウェア・リセット・ビット
ビット6～0	使用しない、ドントケア・ビット	

レジスタA1: フォーマットおよび電力減少レジスタ (CS = GNDでアドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_4	NAP_3	NAP_2	NAP_1

ビット7	DCSOFF 0 = クロック・デューティ・サイクル・スタビライザをオン 1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。	クロック・デューティ・サイクル・スタビライザ・ビット
ビット6	RAND データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン	
ビット5	TWOSCOMP 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式	2の補数モード制御ビット
ビット4～0	SLEEP_NAP_X 00000 = 通常動作 0XXX1 = チャンネル1がナップ・モード 0XX1X = チャンネル2がナップ・モード 0X1XX = チャンネル3がナップ・モード 01XXX = チャンネル4がナップ・モード 1XXXX = スリープ・モード。チャンネル1、2、3、および4をディスエーブル 注記: ナップ・モードではチャンネルのどの組み合わせも設定可能。	スリープ/ナップ・モード制御ビット

アプリケーション情報

レジスタ A2: 出力モード・レジスタ (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0

ビット 7～5	ILVDS2:ILVDS0	LVDS 出力電流ビット
	000 = 3.5mA の LVDS 出力ドライバ電流	
	001 = 4.0mA の LVDS 出力ドライバ電流	
	010 = 4.5mA の LVDS 出力ドライバ電流	
	011 = 不使用	
	100 = 3.0mA の LVDS 出力ドライバ電流	
	101 = 2.5mA の LVDS 出力ドライバ電流	
	110 = 2.1mA の LVDS 出力ドライバ電流	
	111 = 1.75mA の LVDS 出力ドライバ電流	
ビット 4	TERMON	LVDS 内部終端ビット
	0 = 内部終端をオフ	
	1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の 2 倍。内部終端は、1.75mA、2.1mA、または 2.5mA の LVDS 出力電流モードのときのみに使用する。	
ビット 3	OUTOFF	出力のディスエーブル・ビット
	0 = デジタル出力をイネーブル	
	1 = デジタル出力をディスエーブル	
ビット 2～0	OUTMODE2:OUTMODE0	デジタル出力モード制御ビット
	000 = 2レーン、16ビットのシリアル化	
	001 = 2レーン、14ビットのシリアル化	
	010 = 2レーン、12ビットのシリアル化	
	011 = 不使用	
	100 = 不使用	
	101 = 1レーン、14ビットのシリアル化	
	110 = 1レーン、12ビットのシリアル化	
	111 = 1レーン、16ビットのシリアル化	

レジスタ A3: テストパターンの MSB レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8

ビット 7	OUTTEST	デジタル出力テスト・パターンの制御ビット
	0 = デジタル出力のテスト・パターンをオフ	
	1 = デジタル出力のテスト・パターンをオン	
ビット 6		使用されない、ドントケア・ビット
ビット 5～0	TP13:TP8	テスト・パターンのデータ・ビット (MSB)
	TP13:TP8 は、データ・ビット 13 (MSB) からデータ・ビット 8 までのテスト・パターンを設定する	

レジスタ A4: テストパターンの LSB レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0

ビット 7～0	TP7:TP0	テスト・パターンのデータ・ビット (LSB)
	TP7:TP0 は、データ・ビット 7 からデータ・ビット 0 (LSB) までのテスト・パターンを設定する	

アプリケーション情報

接地とバイパス

LTM9012には、切れ目のないきれいなグラウンド・プレーンを備えたプリント回路基板が必要です。A/Dコンバータの下で最初の層には内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/Dコンバータの下に配置したりしないように注意してください。

バイパス・コンデンサがパッケージに内蔵されているので、追加の容量はオプションです。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに分離するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

レイアウトに関する推奨事項

LTM9012のピン配置はフロースルー・レイアウトが可能なので、A/Dコンバータのチャンネルが多数必要な場合は、狭い領域に複数のデバイスを使用することができます。LTM9012のレイアウト・ルールは他のBGAパッケージのものと同様です。レイアウトは6ミルのブラインド・ビアと5ミルのトレースを使って実装することができます。ピン配置は、アナログおよびデジタルのトレースの配線に必要なスペースを最小限に抑えるように設計されています。アナログおよびデジタルのトレースは、基本的にパッケージの幅の範囲内で配線することができます。これにより、チャンネル数の多いアプリケーションでは、複数のパッケージを互いに近づけて配置することができます。アナログ入力とデジタル出力のトレース長はできるだけ等しくなるようにしてください。パッケージ内のダイ・パッドからパッケージ・パッドまでのアナログ入力とデジタル出力のトレース長を表5に示します。最良の整合を得るためには、これらをPCBのトレース長に加える必要があります。

適切なPCBレイアウトの一例を図7～図11に示します。

熱伝達

LTM9012が発生する熱の大部分は、ダイからパッケージの底面を通り、多数のグラウンド・ピンを介してプリント回路基板に伝わります。良好な電気的性能および熱的性能を得るには、これらのピンを多数のビアによって内部のグラウンド・プレーンに接続してください。

表5. 内部トレース長

ピン	名称	(mm)
Q9	01A ⁻	0.535
Q10	01A ⁺	0.350
R11	01B ⁻	2.185
R12	01B ⁺	2.216
R9	02A ⁻	0.174
R10	02A ⁺	0.667
S11	02B ⁻	2.976
S12	02B ⁺	2.972
S2	03A ⁻	3.033
S3	03A ⁺	3.031
R4	03B ⁻	0.752
R5	03B ⁺	0.370
R2	04A ⁻	2.130
R3	04A ⁺	2.125
Q4	04B ⁻	0.332
Q5	04B ⁺	0.527
A12	CH1 ⁻	7.741
A11	CH1 ⁺	7.723
A9	CH2 ⁻	4.632
A8	CH2 ⁺	4.629
A6	CH3 ⁻	3.987
A5	CH3 ⁺	3.988
A3	CH4 ⁻	7.892
A2	CH4 ⁺	7.896
P1	CLK ⁻	3.317
N1	CLK ⁺	3.325
P4	$\overline{\text{CS}}$	0.241
S9	DC0 ⁻	1.912
S10	DC0 ⁺	1.927
S4	FR ⁻	2.097
S5	FR ⁺	2.082
P10	PAR/SER	0.226
P5	SCK	1.553
P9	SD0	0.957
P3	SDI	1.184

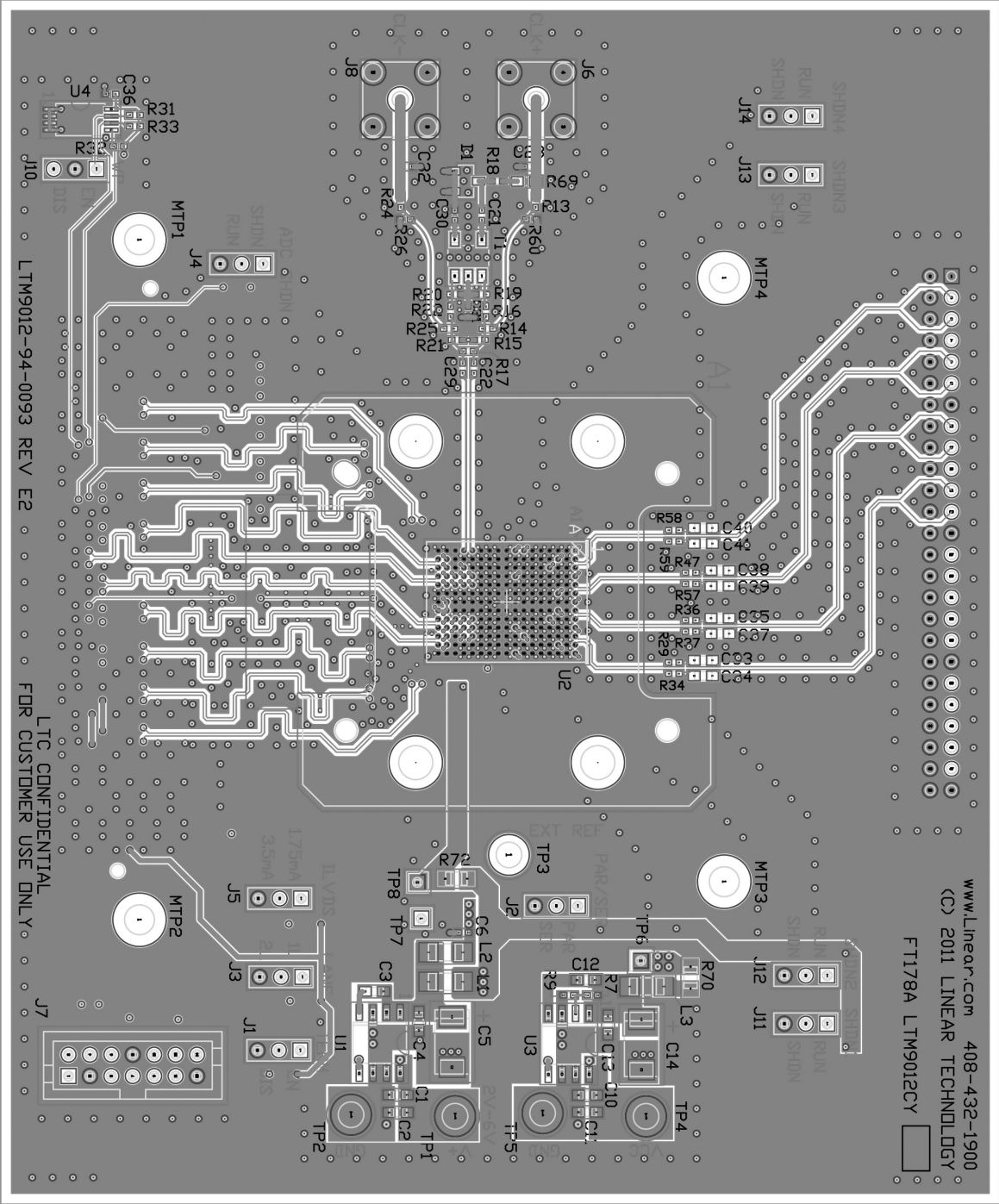


図7. 第1層、部品面

アプリケーション情報

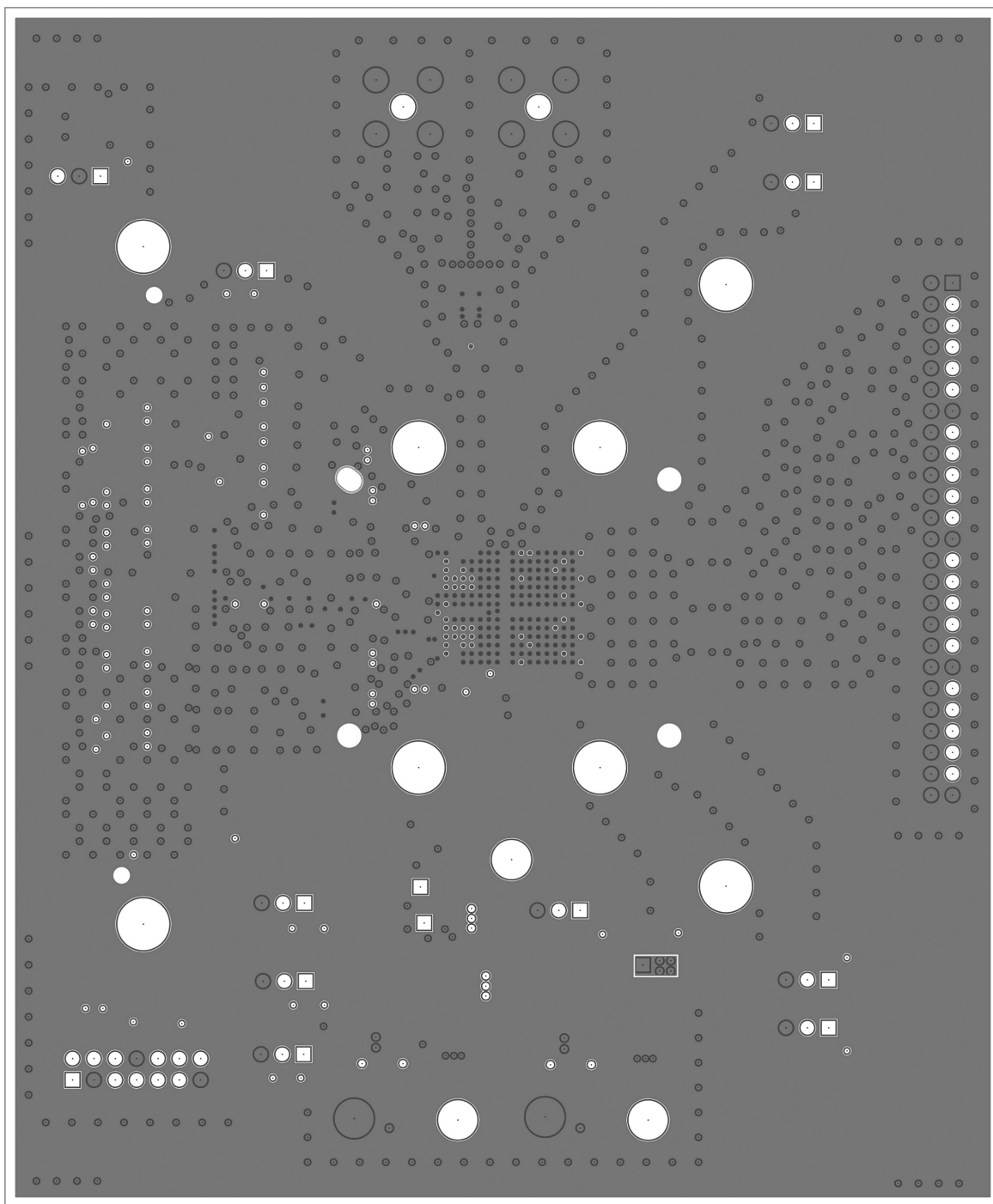


図8. 第2層

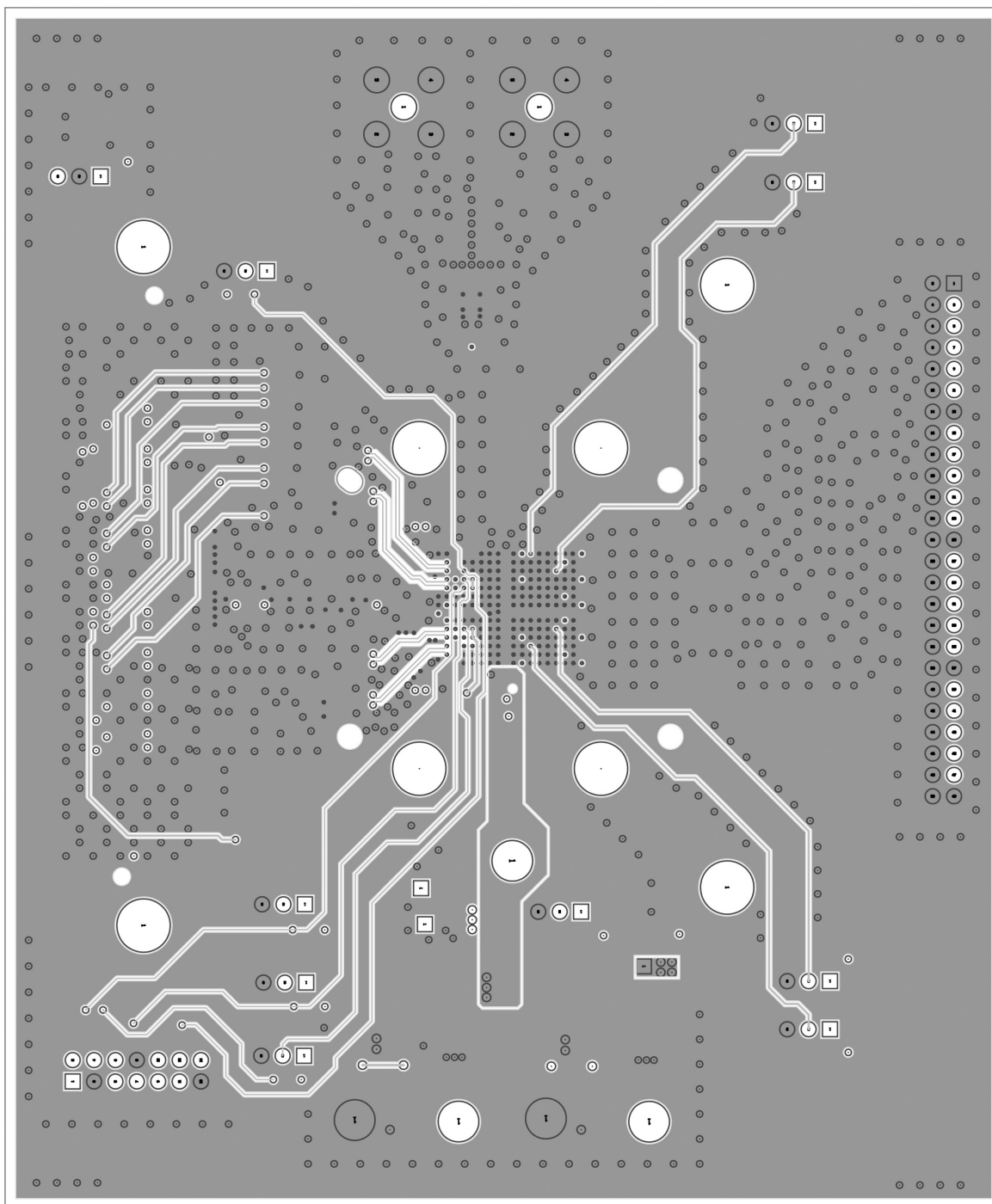


図9. 第3層

アプリケーション情報

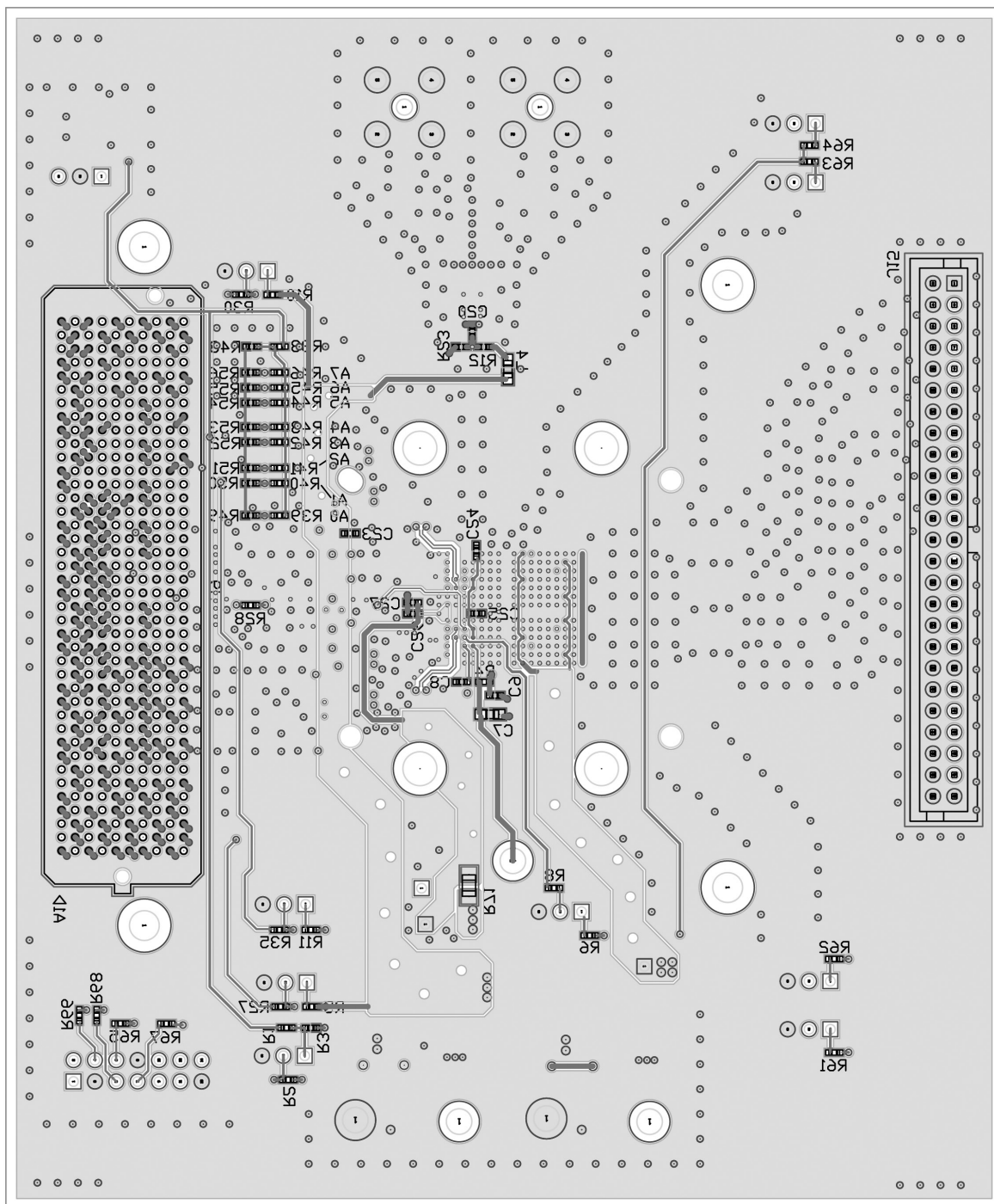


図10. 裏面

標準的応用例

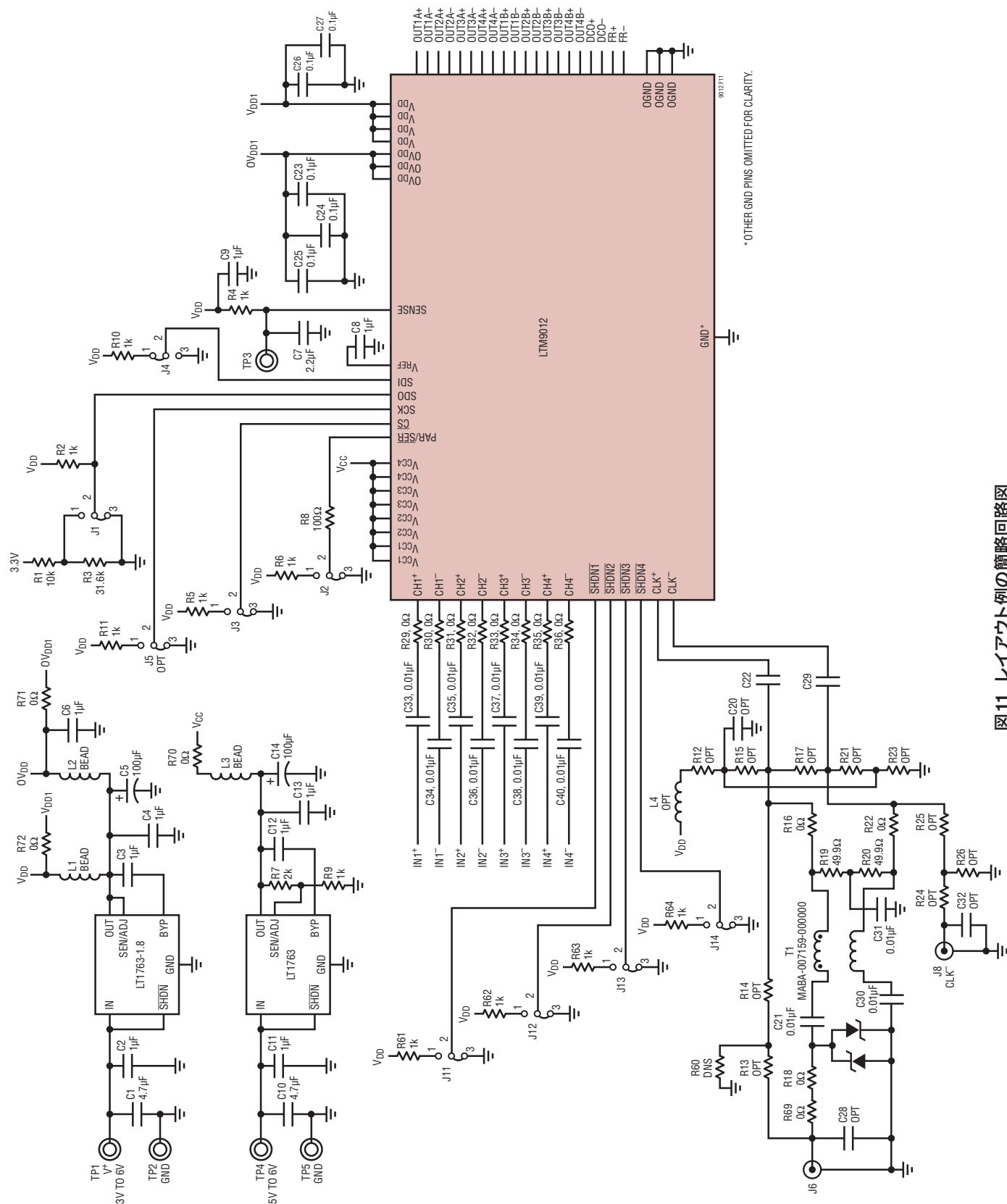
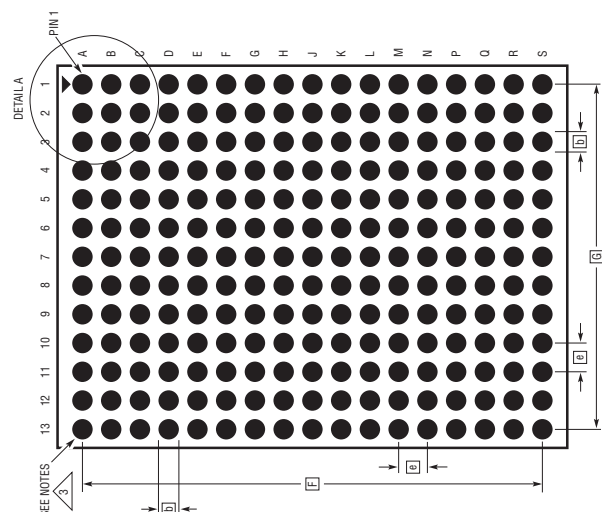


図11. レイアウト例の簡略回路図

パッケージ

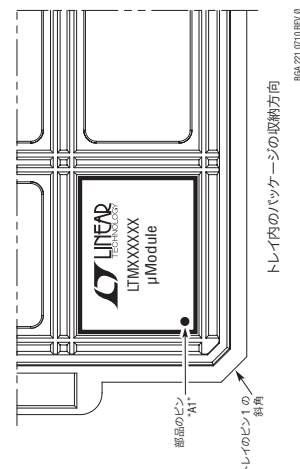
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。



パッケージジの底面図

NOTES:

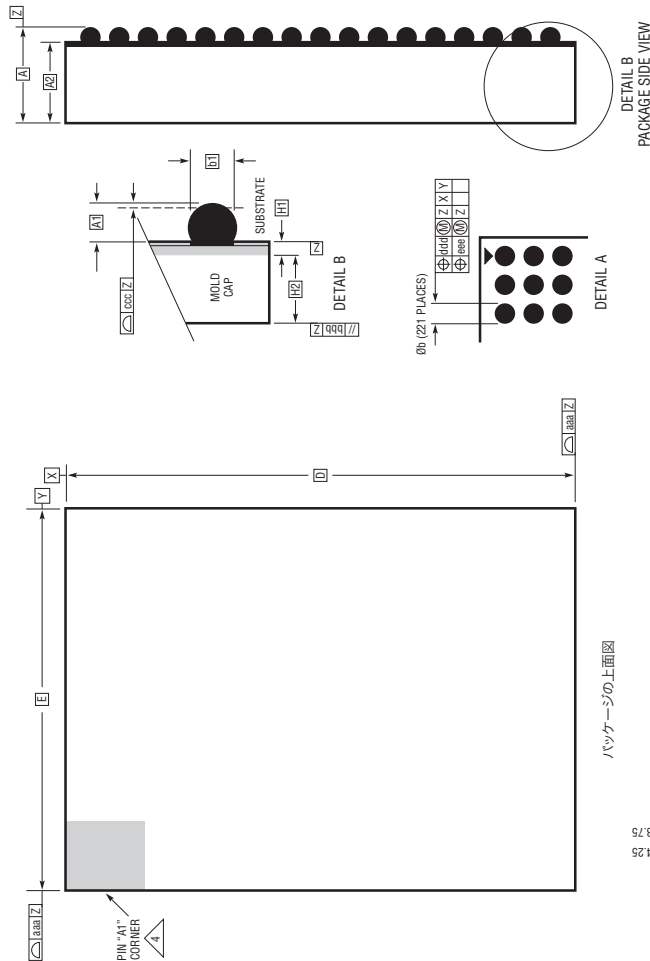
1. 寸法と許容誤差は JISME Y14.5M-1994 にによる
2. 全ての寸法はミリメートル
3. ボールの指定は JESD M0-28 および JE95 による
4. ピン#1 の識別マークの詳細はオプションだが、示された領域内になければならない。
ピン#1 の識別マークは モーランドと
マーキングのどちらでも可
5. 主データム-Z はシーティング・プレーン
6. はんだピン-Z は、元素組成比が Sn (Sn) 96.5%、Ag (Ag) 3.0%、Cu (Cu) 0.5% の合金、またはは、元素組成比が Sn (Sn) 96.5%、Ag (Ag) 3.0%、Cu (Cu) 0.5% である。



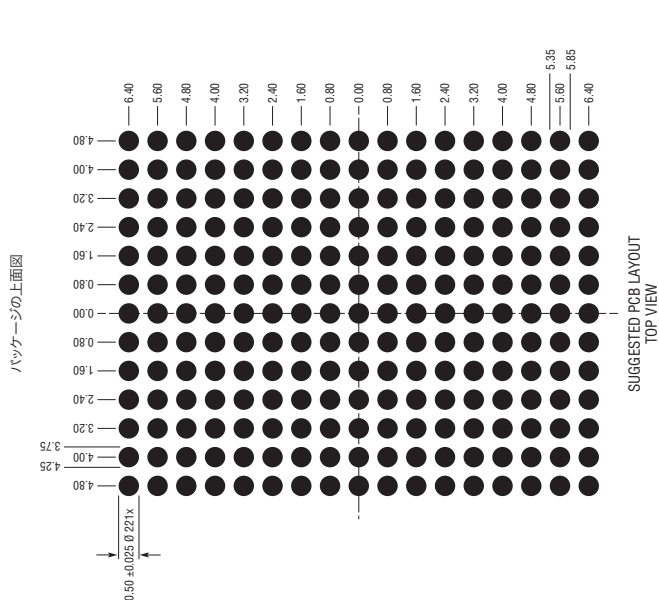
トレイ内のバツケージの収納方向

[illegible]

BGA パッケージ
221 ピン (15mm×11.25mm×2.82mm)
(Reference LTC DWG # 05-08-1886 Rev 0)

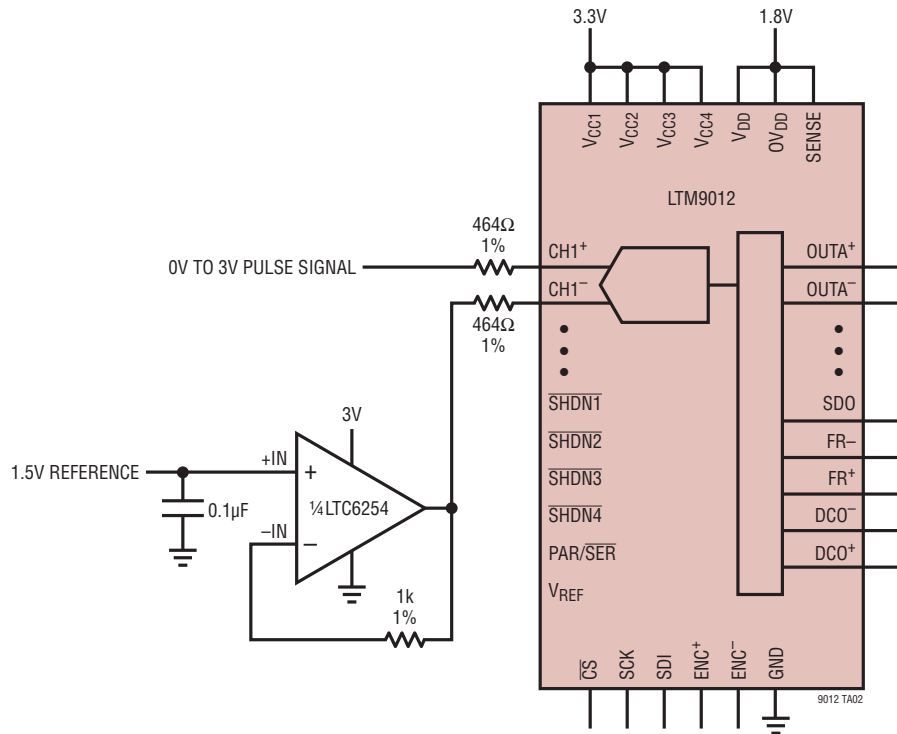


DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	2.67	2.82	2.97	
A1	0.35	0.40	0.45	
A2	2.32	2.42	2.52	
b	0.45	0.50	0.55	
b1	0.45	0.50	0.55	
D		15.0		
E		11.25		
e		0.80		
F		12.80		
G		9.60		
H1	0.37	0.42	0.47	
H2	1.95	2.00	2.05	
aaa			0.15	
bbb			0.10	
ccc			0.12	
ddd			0.15	
eee			0.08	
TOTAL NUMBER OF BALLS: 221				



標準的応用例

ユニティ・ゲインを設定したシングルエンド駆動の例



関連製品

製品番号	説明	注釈
LTC2170-14/LTC2171-14/ LTC2172-14	14ビット、25Msps/40Msps/65Msps、 1.8V動作のクワッドADC、超低消費電力	178mW/234mW/360mW、SNR:73.4dB、SFDR:85dB、 シリアルLVDS出力、7mm×8mm QFN-52
LTC2173-14/LTC2174-14/ LTC2175-14	14ビット、80Msps/105Msps/125Msps、 1.8V動作のクワッドADC、超低消費電力	376mW/450mW/558mW、SNR:73.4dB、SFDR:88dB、 シリアルLVDS出力、7mm×8mm QFN-52
LTC2263-14/LTC2264-14/ LTC2265-14	14ビット、25Msps/40Msps/65Msps、 1.8V動作のデュアルADC、超低消費電力	99mW/126mW/191mW、SNR:73.4dB、SFDR:85dB、 シリアルLVDS出力、6mm×6mm QFN-40
LTC2266-14/LTC2267-14/ LTC2268-14	14ビット、80Msps/105Msps/125Msps、 1.8V動作のデュアルADC、超低消費電力	216mW/250mW/293mW、SNR:73.4dB、SFDR:85dB、 シリアルLVDS出力、6mm×6mm QFN-40
LTM9009-14/LTM9010-14/ LTM9011-14	14ビット、80Msps/105Msps/125Msps、 1.8V動作のオクタールADC、超低消費電力	752mW/900mW/1116mW、SNR:73.1dB、SFDR:88dB、 シリアルLVDS出力、11.25mm×9mm BGA-140