

特長

- 8チャネル同時サンプリングA/Dコンバータ
- SNR:73dB
- SFDR:90dB
- 低消費電力:88mW/59mW/46mW(1チャネル当たり)
- 1.8V単電源
- シリアルLVDS出力:1ビットまたは2ビット/チャネル
- 選択可能な入力範囲:1V_{P-P}~2V_{P-P}
- フルパワー帯域幅が800MHzのサンプル/ホールド
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- バイパス・コンデンサ内蔵、外付け部品不要
- 140ピン(11.25mm×9mm)BGAパッケージ

アプリケーション

- 通信機器
- セルラ基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャネル・データ収集
- 非破壊試験

概要

LTM[®]9008-14/LTM9007-14/LTM9006-14は、ダイナミック・レンジの広い高周波信号をデジタル化する目的で設計された8チャネル同時サンプリングの14ビットA/Dコンバータです。SNRが73dB、スプリアスフリー・ダイナミックレンジ(SFDR)が90dBというAC特性を備えています。1チャネル当たりの消費電力が小さいので、チャネル数の多いアプリケーションでの発熱が少なくて済みます。バイパス・コンデンサを内蔵し、貫流型のピン配置を採用しているため、基盤面積に関する要求事項が全体的に少なくなります。

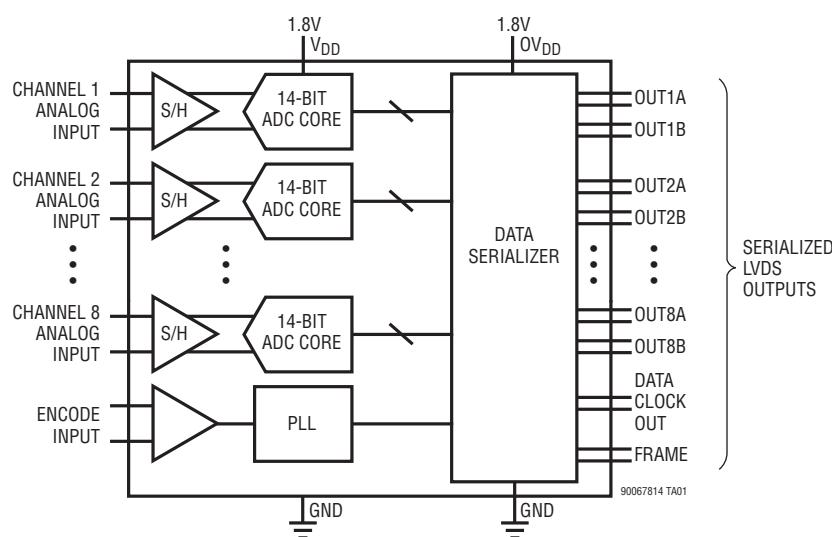
DC規格では、±1LSB(標準)のINL、±0.3LSB(標準)のDNL、全温度範囲にわたってミッシング・コードがないことが規定されています。遷移ノイズはわずか1.2LSBRMSです。

デジタル出力はシリアルLVDSなので、データ線の数を最小限に抑えることができます。各チャネルは同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャネル当たり1ビットの選択肢もあります(1レーン・モード)。

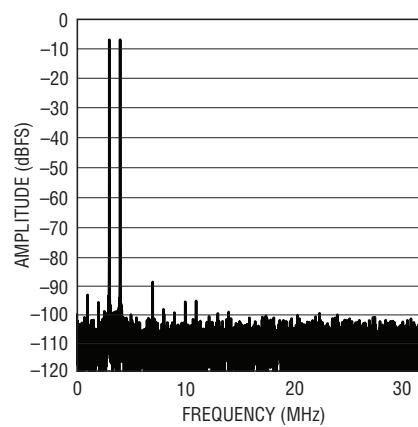
ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTL、またはCMOSの入力信号を使用して、差動またはシングルエンドで駆動できます。また、内蔵のクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高性能を達成できます。

LT、**LT**、**LTC**、**LTM**、**Linear Technology**およびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



**LTM9008-14、65Msps、
2トーンFFT、f_{IN} = 70MHzおよび75MHz**



90067814 TA01b

LTM9008-14/ LTM9007-14/LTM9006-14

絶対最大定格 (Note 1, 2)

電源電圧

V_{DD} 、 $0V_{DD}$ $-0.3V \sim 2V$

アナログ入力電圧 (A_{IN}^+ 、 A_{IN}^- 、
 PAR/\overline{SER} 、SENSE) (Note 3) $-0.3V \sim (V_{DD} + 0.2V)$

デジタル入力電圧 (ENC^+ 、 ENC^- 、 \overline{CS} 、
 SDI 、 SCK) (Note 4) $-0.3V \sim 3.9V$

SDO (Note 4) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (0V_{DD} + 0.3V)$

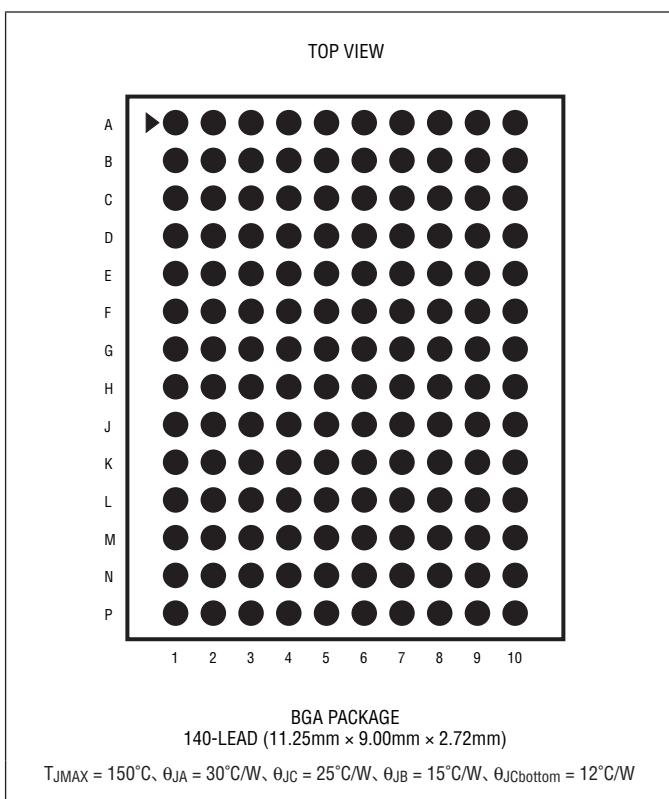
動作温度範囲

LTM9008C、LTM9007C、LTM9006C $0^{\circ}C \sim 70^{\circ}C$

LTM9008I、LTM9007I、LTM9006I $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲 $-55^{\circ}C \sim 125^{\circ}C$

ピン配置



発注情報

無鉛仕上げ	トレイ	製品マーキング*	パッケージ	温度範囲
LTM9008CY-14#PBF	LTM9008CY-14#PBF	LTM9008Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$0^{\circ}C \sim 70^{\circ}C$
LTM9008IY-14#PBF	LTM9008IY-14#PBF	LTM9008Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$-40^{\circ}C \sim 85^{\circ}C$
LTM9007CY-14#PBF	LTM9007CY-14#PBF	LTM9007Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$0^{\circ}C \sim 70^{\circ}C$
LTM9007IY-14#PBF	LTM9007IY-14#PBF	LTM9007Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$-40^{\circ}C \sim 85^{\circ}C$
LTM9006CY-14#PBF	LTM9006CY-14#PBF	LTM9006Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$0^{\circ}C \sim 70^{\circ}C$
LTM9006IY-14#PBF	LTM9006IY-14#PBF	LTM9006Y14	140-Lead (11.25mm x 9mm x 2.72mm) BGA	$-40^{\circ}C \sim 85^{\circ}C$

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/>をご覧ください。

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	LTM9008-14			LTM9007-14			LTM9006-14			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	14		14			14			Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-4.1	± 1.2	4.1	-2.75	± 1	2.75	-2.75	± 1	2.75	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	± 0.3	0.9	-0.8	± 0.3	0.8	-0.8	± 0.3	0.8	LSB
Offset Error	(Note 7)	●	-12	± 3	12	-12	± 3	12	-12	± 3	12	mV
Gain Error	Internal Reference			-1.3			-1.3			-1.3		%FS
	External Reference	●	-2.5	-1.3	0.5	-2.5	-1.3	0.5	-2.6	-1.3	0.5	%FS
Offset Drift				± 20			± 20			± 20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference			± 35			± 35			± 35		ppm/ $^\circ\text{C}$
	External Reference			± 25			± 25			± 25		ppm/ $^\circ\text{C}$
Gain Matching	External Reference			± 0.2			± 0.2			± 0.2		%FS
Offset Matching				± 3			± 3			± 3		mV
Transition Noise	External Reference			1.2			1.2			1.2		LSB _{RRMS}

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●		1 to 2	V_{P-P}	
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	V_{CM}	$V_{CM} + 100\text{mV}$	
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 65Msps Per Pin, 40Msps Per Pin, 25Msps			81 50 31	μA	
I_{IN1}	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$, No Encode	●	-1		1	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3		3	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6		6	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		ps_{RMS}
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			800		MHz

LTM9008-14/ LTM9007-14/LTM9006-14

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTM9008-14			LTM9007-14			LTM9006-14			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input 30MHz Input 70MHz Input 140MHz Input	● 71.8	73.7 73.7 73.5 73	73.5 73.4 73.4 72.8	69.6	73.4 73.4 72.8 72.8	69.6 72.9 72.8 72.3	72.9 72.9 72.8 72.3	72.9 72.9 72.8 72.3	dBFS dBFS dBFS dBFS	
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input 30MHz Input 70MHz Input 140MHz Input	● 74	90 90 89 84	90 90 89 84	76.8	90 90 89 84	76.8 90 89 84	90 90 89 84	90 90 89 84	dBFS dBFS dBFS dBFS	
		5MHz Input 30MHz Input 70MHz Input 140MHz Input	● 84	90 90 90 90	90 90 90 90	84	90 90 90 90	84	90 90 90 90	90 90 90 90	dBFS dBFS dBFS dBFS	
		5MHz Input 30MHz Input 70MHz Input 140MHz Input	● 71	73.6 73.5 73.2 72.5	73.3 73.2 73.1 72.3	69.5	73.3 73.2 73.1 72.3	69.5	72.8 72.7 72.5 71.9	72.8 72.7 72.5 71.9	dBFS dBFS dBFS dBFS	
	Crosstalk, Near Channel	10MHz Input (Note 12)		-90	-90		-90		-90	-90	dBc	
	Crosstalk, Far Channel	10MHz Input (Note 12)		-105	-105		-105		-105	-105	dBc	

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		$\text{ppm}/^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 25		$\text{ppm}/^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力(ENC ⁺ 、ENC ⁻)						
差動エンコード・モード(ENC ⁻ はGNDに接続されていない)						
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	V
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2	3.6	V
R _{IN}	Input Resistance	(See Figure 10)			10	kΩ
C _{IN}	Input Capacitance				3.5	pF
シングルエンド・エンコード・モード(ENC ⁻ はGNDに接続されている)						
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V			1.26	V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V			0.54	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND			0 to 3.6	V
R _{IN}	Input Resistance	(See Figure 11)			30	kΩ
C _{IN}	Input Capacitance				3.5	pF
デジタル入力(CS、SDI、SCKはシリアルまたはパラレル・プログラミング・モード。SDOはパラレル・プログラミング・モード)						
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3		V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●		0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10	10	μA
C _{IN}	Input Capacitance				3	pF
SDOの出力(シリアル・プログラミング・モード。オープン・ドレイン出力。SDOが使われる場合、2kΩのプルアップ抵抗が必要)						
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V			200	Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA
C _{OUT}	Output Capacitance				3	pF
デジタル・データ出力						
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	mV mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, OV _{DD} = 1.8V			100	Ω

LTM9008-14/ LTM9007-14/LTM9006-14

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	LTM9008-14			LTM9007-14			LTM9006-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
IV_{DD}	Analog Supply Current	Sine Wave Input	●	357	400		232	275		175	250	mA	
IV_{DD}	Digital Supply Current	1-Lane Mode, 1.75mA Mode		32			32			30		mA	
		1-Lane Mode, 3.5mA Mode		60			58			56		mA	
		2-Lane Mode, 1.75mA Mode	●	50	58		48	54		48	54	mA	
		2-Lane Mode, 3.5mA Mode	●	94	104		92	102		90	100	mA	
P_{DISS}	Power Dissipation	1-Lane Mode, 1.75mA Mode		700			475			369		mW	
		1-Lane Mode, 3.5mA Mode		751			522			416		mW	
		2-Lane Mode, 1.75mA Mode	●	733	824		504	592		401	547	mW	
		2-Lane Mode, 3.5mA Mode	●	812	907		583	679		477	630	mW	
P_{SLEEP}	Sleep Mode Power			2			2			2		mW	
P_{NAP}	Nap Mode Power			170			170			170		mW	
$P_{DIFFCLK}$	Power Decrease With Single-Ended Encode Mode Enabled (No Decrease for Sleep Mode)			40			40			40		mW	

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTM9008-14			LTM9007-14			LTM9006-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
f_s	Sampling Frequency	(Note 10,11)	●	5	65	5	40	5	25			MHz	
t_{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	100	11.88	12.5	100	19	20	100	ns
		Duty Cycle Stabilizer On	●	2	7.69	100	2	12.5	100	2	20	100	ns
t_{ENCH}	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	100	11.88	12.5	100	19	20	100	ns
		Duty Cycle Stabilizer On	●	2	7.69	100	2	12.5	100	2	20	100	ns
t_{AP}	Sample-and-Hold Acquisition Delay Time			0			0			0		ns	

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力($R_{TERM} = 100\Omega$ 差動、各出力で GND との間に $C_L = 2\text{pF}$ を接続)							
t_{SER}	Serial Data Bit Period	2-Lanes, 16-Bit Serialization 2-Lanes, 14-Bit Serialization 2-Lanes, 12-Bit Serialization 1-Lane, 16-Bit Serialization 1-Lane, 14-Bit Serialization 1-Lane, 12-Bit Serialization				s	
						s	
						s	
						s	
						s	
t_{FRAME}	FR to DCO Delay	(Note 8)	●	0.35 • t_{SER}	0.5 • t_{SER}	0.65 • t_{SER}	s
t_{DATA}	DATA to DCO Delay	(Note 8)	●	0.35 • t_{SER}	0.5 • t_{SER}	0.65 • t_{SER}	s
t_{PD}	Propagation Delay	(Note 8)	●	0.7n + 2 • t_{SER}	1.1n + 2 • t_{SER}	1.5n + 2 • t_{SER}	s
t_R	Output Rise Time	Data, DCO, FR, 20% to 80%			0.17		ns
t_F	Output Fall Time	Data, DCO, FR, 20% to 80%			0.17		ns
	DCO Cycle-Cycle Jitter	$t_{SER} = 1\text{ns}$			60		pSP-P
	Pipeline Latency				6		Cycles

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SPIポートのタイミング (Note 8)						
t _{SCK}	SCK Period	Write Mode Read Back Mode, $C_{SD0} = 20\text{pF}$, $RPULLUP = 2\text{k}$	● ●	40 250		ns ns
t _S	\bar{CS} to SCK Setup Time		●	5		ns
t _H	SCK to \bar{CS} Setup Time		●	5		ns
t _{SD}	SDI Setup Time		●	5		ns
t _{DH}	SDI Hold Time		●	5		ns
t _{SD}	SCK Falling to SDO Valid	Read Back Mode, $C_{SD0} = 20\text{pF}$, $RPULLUP = 2\text{k}$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り)GNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くすると、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い電圧で、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8\text{V}$ 、 $f_{SAMPLE} = 65\text{MHz}$ (LTM9008)、 40MHz (LTM9007)、または 25MHz (LTM9006)、2レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2\text{V}_{\text{p-p}}$ の正弦波、入力範囲 = 差動ドライブで $2\text{V}_{\text{p-p}}$ 。電源電流および電力損失の規格値はデバイス全体の合計値であり、1チャネル当たりの値ではない。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、2の補数の出力モードで出力コードを 00 0000 0000 0000 と 11 1111 1111 1111 の間でふらつかせるとき、 -0.5LSB から測定したオフセット電圧である。

Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8\text{V}$ 、 $f_{SAMPLE} = 65\text{MHz}$ (LTM9008)、 40MHz (LTM9007)、または 25MHz (LTM9006)、2レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2\text{V}_{\text{p-p}}$ の正弦波、入力範囲 = 差動ドライブで $2\text{V}_{\text{p-p}}$ 。電源電流および電力損失の規格値はデバイス全体の合計値であり、1チャネル当たりの値ではない。

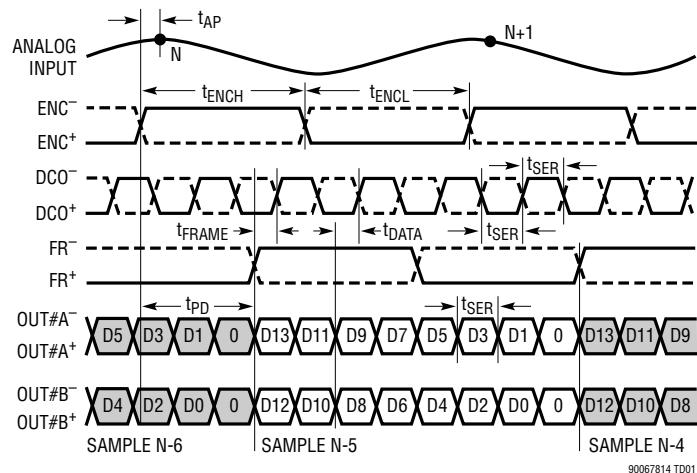
Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは1000Mbpsなので、 t_{SER} は1ns以上でなければならない。

Note 12: 隣接チャネル間クロストークとは、チャネル1とチャネル2の間、およびチャネル7とチャネル8の間のクロストークのことを指す。遠隔チャネル間クロストークとは、チャネル1とチャネル7の間、チャネル1とチャネル8の間、チャネル2とチャネル7の間、およびチャネル2とチャネル8の間のクロストークのことを指す。

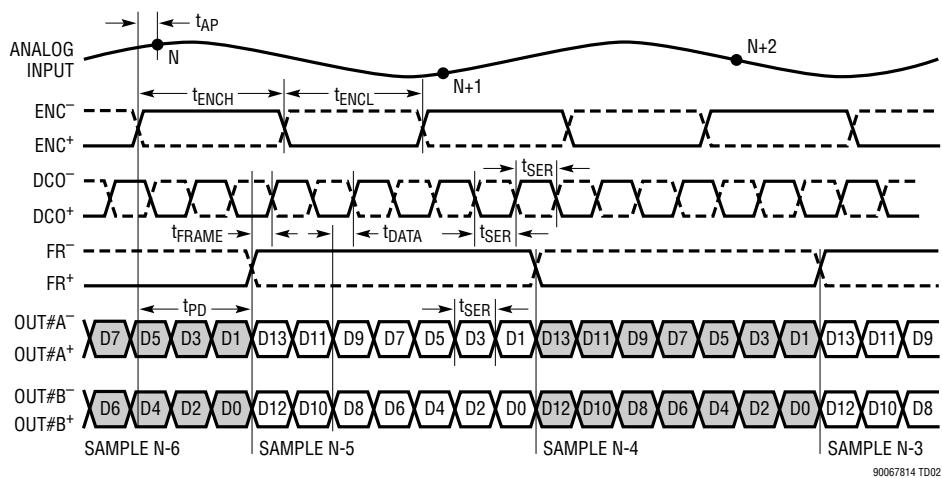
タイミング図

2レーン出力モード、16ビットのシリアル化*



*SEE THE DIGITAL OUTPUTS SECTION

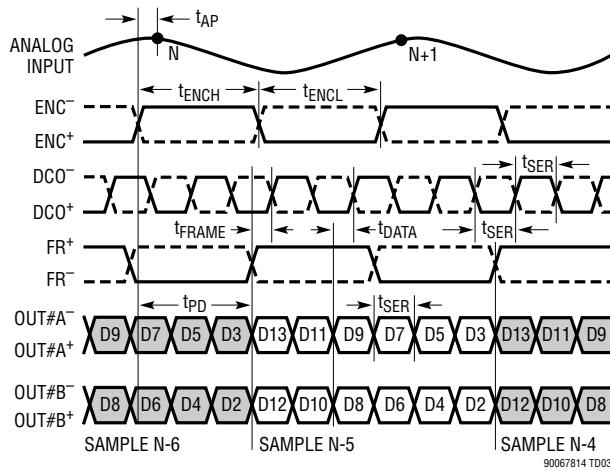
2レーン出力モード、14ビットのシリアル化



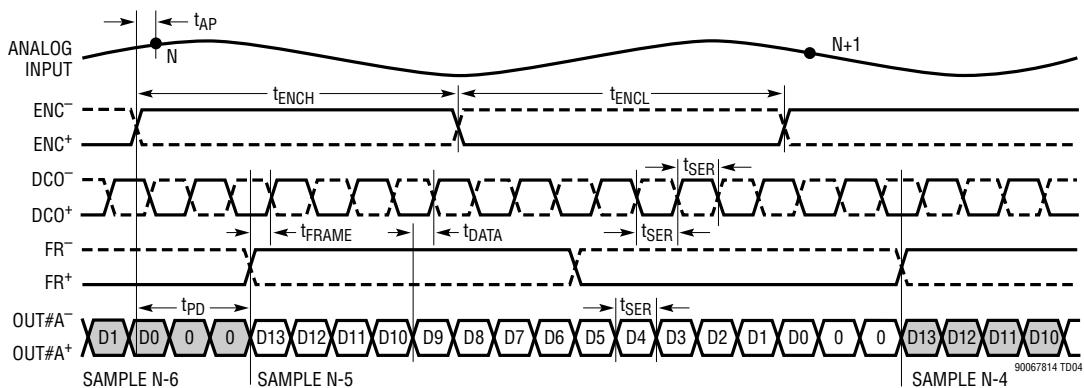
NOTE THAT IN THIS MODE FR+/FR- HAS TWO TIMES THE PERIOD OF ENC+/ENC-

タイミング図

2レーン出力モード、12ビットのシリアル化

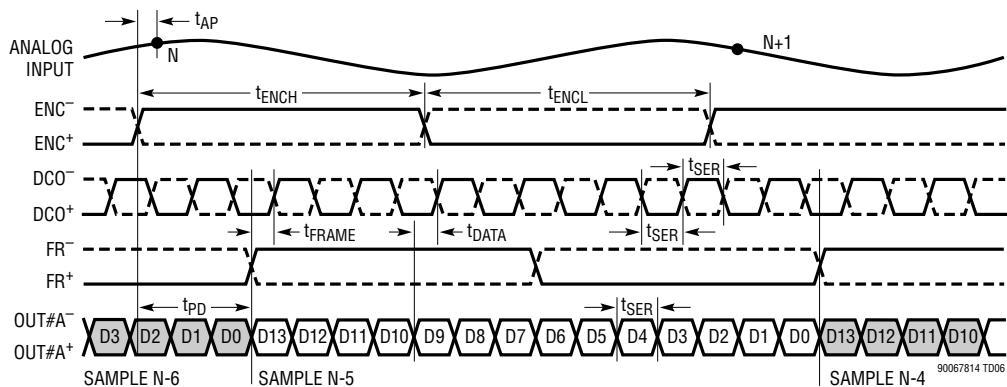


1レーン出力モード、16ビットのシリアル化



OUT#B+, OUT#B- ARE DISABLED

1レーン出力モード、14ビットのシリアル化



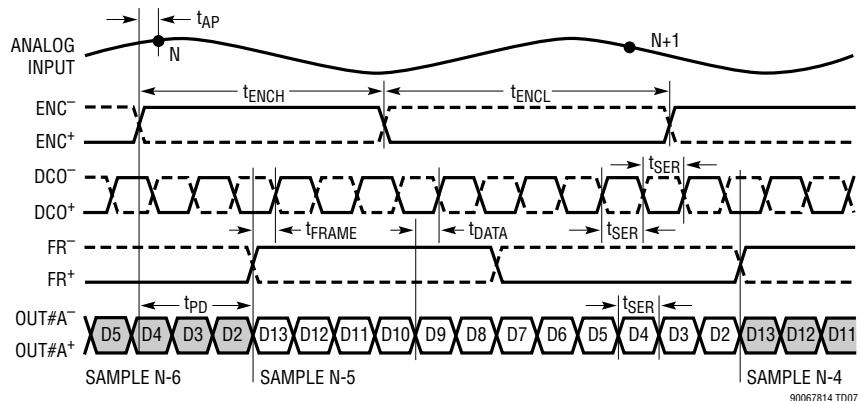
OUT#B+, OUT#B- ARE DISABLED

90067814f

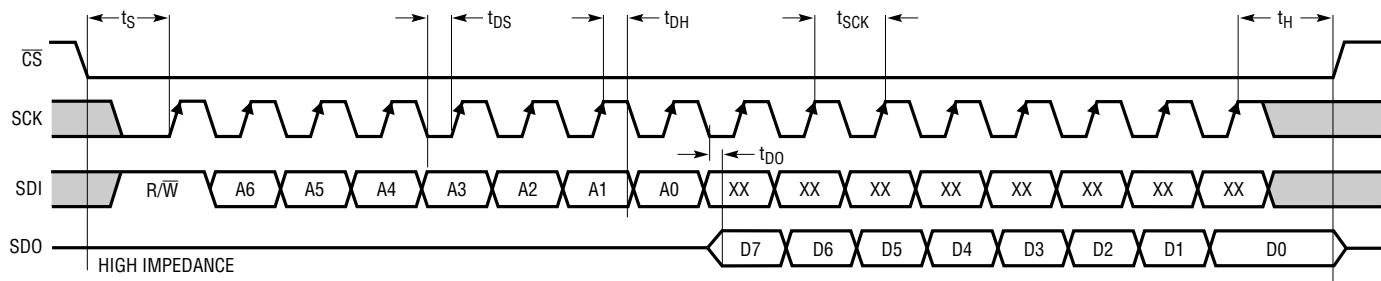
LTM9008-14/ LTM9007-14/LTM9006-14

タイミング図

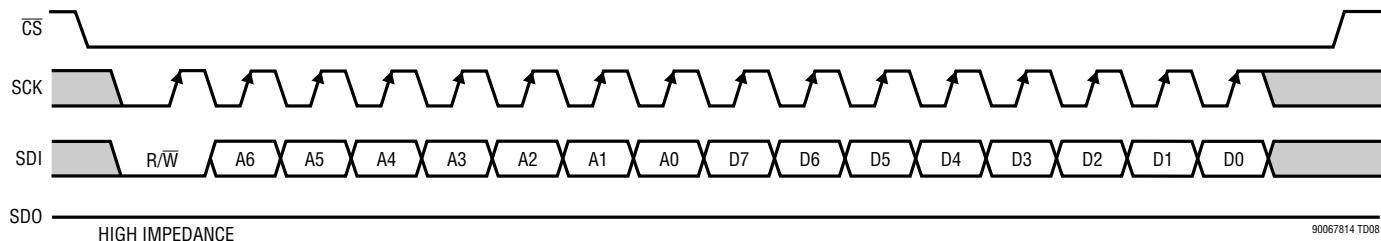
1レーン出力モード、12ビットのシリアル化



SPI Port Timing (Readback Mode)



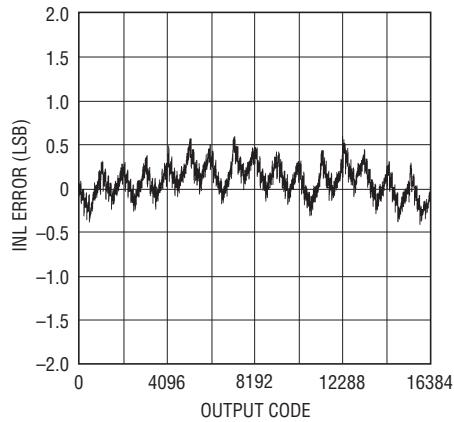
SPI Port Timing (Write Mode)



90067814f

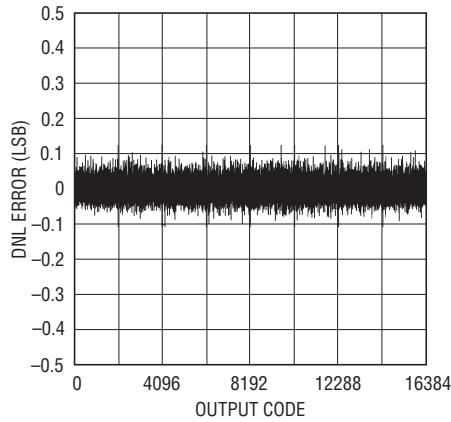
標準的性能特性

LTM9008-14: 積分非直線性(INL)と
出力コード



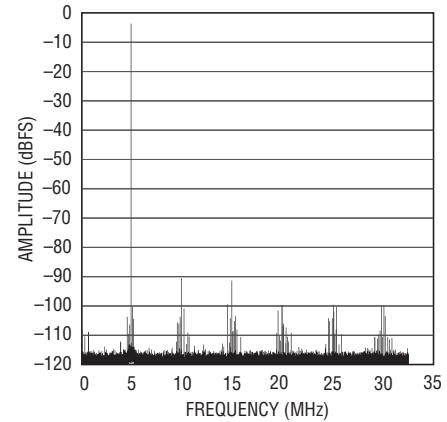
90067814 G01

LTM9008-14: 微分非直線性(DNL)と
出力コード



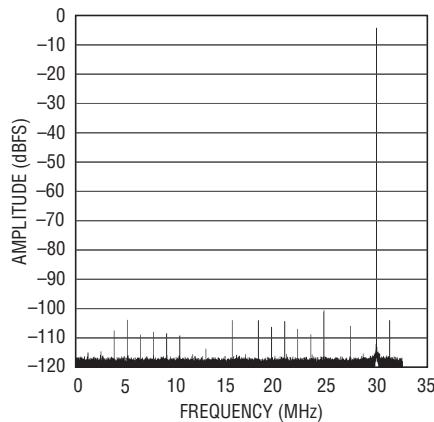
90067814 G02

LTM9008-14: 64K ポイントの FFT、
f_{IN} = 5MHz、-1dBFS、SENSE = V_{DD}



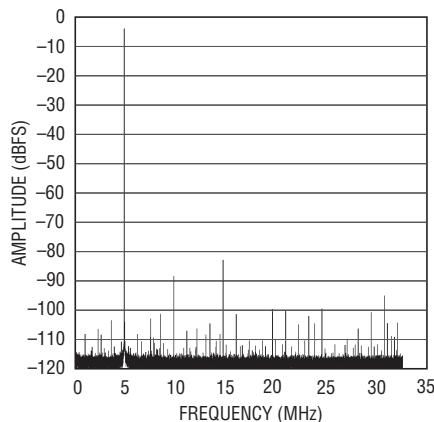
90067814 G03

LTM9008-14: 64K ポイントの FFT、
f_{IN} = 30MHz、-1dBFS、SENSE = V_{DD}



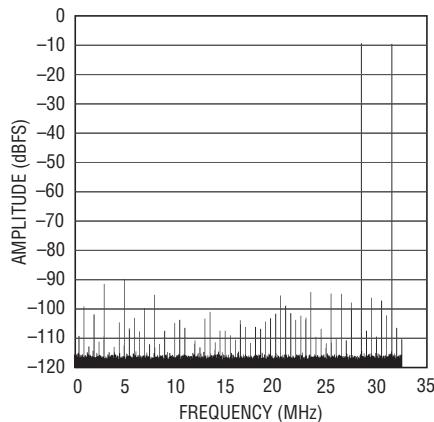
90067814 G04

LTM9008-14: 64K ポイントの FFT、
f_{IN} = 70MHz、-1dBFS、SENSE = V_{DD}



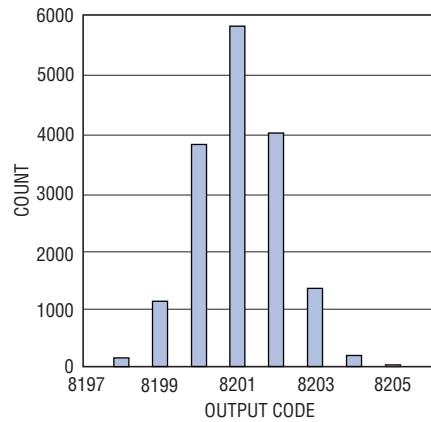
90067814 G05

LTM9008-14: 64K ポイントの 2トーン FFT、
f_{IN} = 28.5MHz および f_{IN} = 31.5MHz、
1トーンにつき-7dBFS、SENSE = V_{DD}



90067814 G06

LTM9008-14: 短絡入力の
ヒストグラム



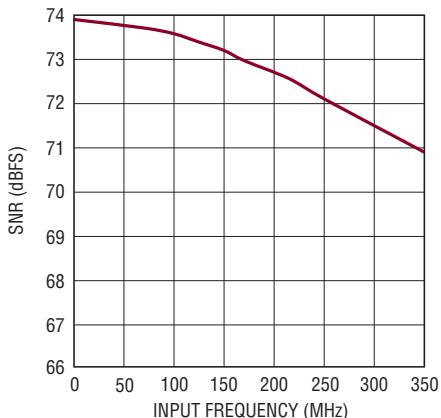
90067814 G07

90067814f

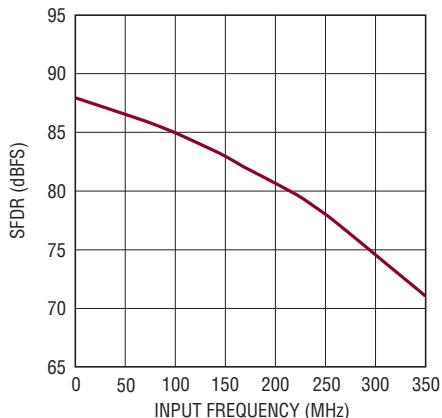
LTM9008-14/ LTM9007-14/LTM9006-14

標準的性能特性

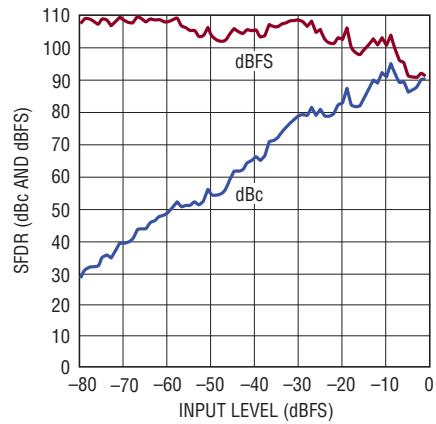
LTM9008-14: SNRと入力周波数、
-1dBFS、2V範囲、65Msps



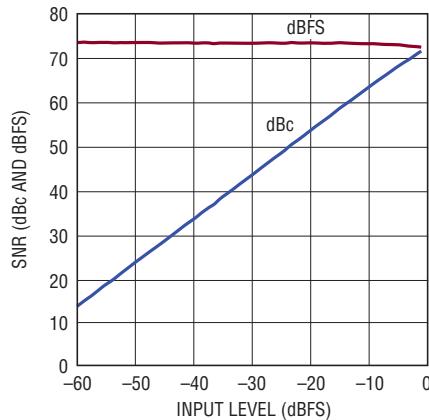
LTM9008-14: SFDRと入力周波数、
-1dBFS、2V範囲、65Msps



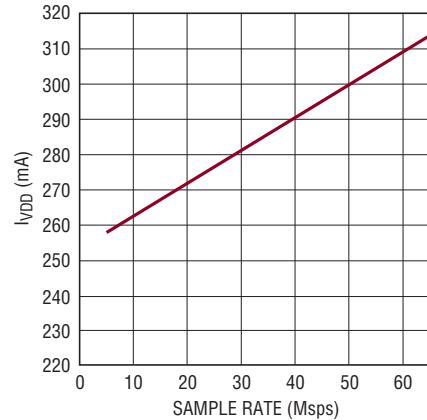
LTM9008-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、65Msps



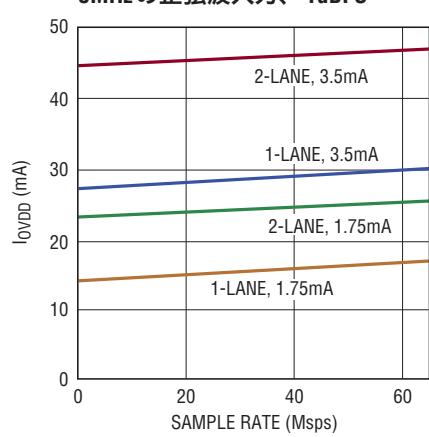
LTM9008-14: SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、65Msps



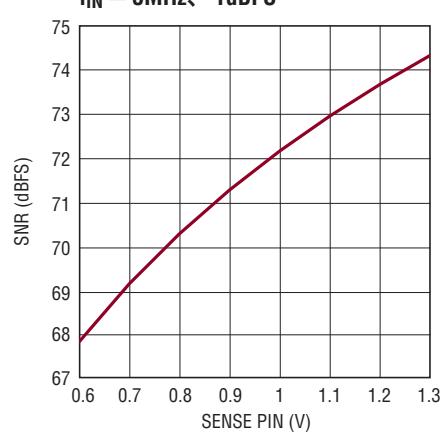
LTM9008-14: I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS



I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS

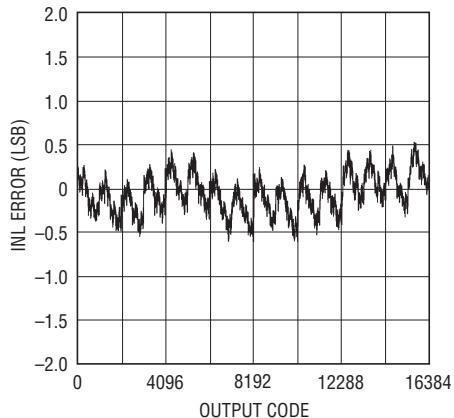


LTM9008-14: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



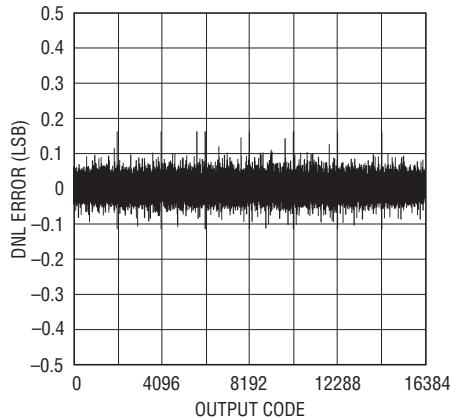
標準的性能特性

LTM9007-14: 積分非直線性(INL)と
出力コード



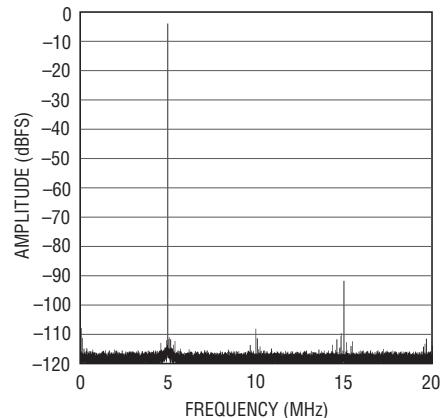
90067814 G15

LTM9007-14: 微分非直線性(DNL)と
出力コード



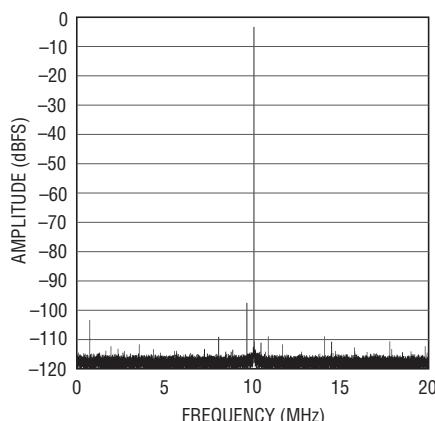
90067814 G16

LTM9007-14: 64K ポイントの FFT、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、SENSE = V_{DD}



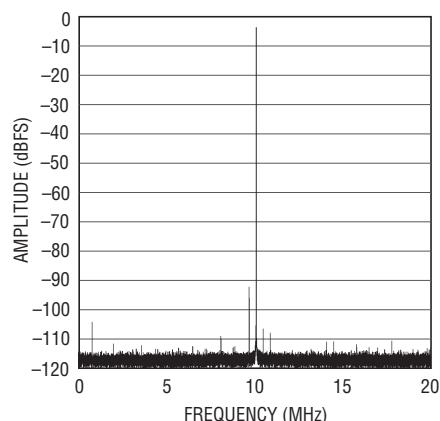
90067814 G17

LTM9007-14: 64K ポイントの FFT、
 $f_{IN} = 30\text{MHz}$ 、-1dBFS、SENSE = V_{DD}



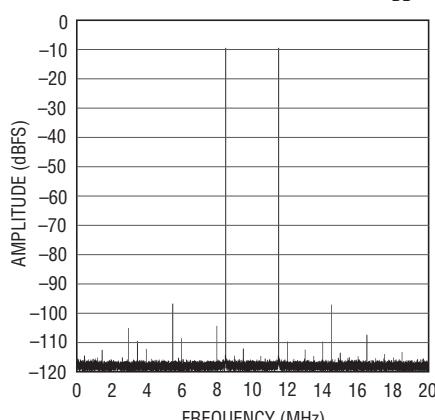
90067814 G18

LTM9007-14: 64K ポイントの FFT、
 $f_{IN} = 70\text{MHz}$ 、-1dBFS、SENSE = V_{DD}



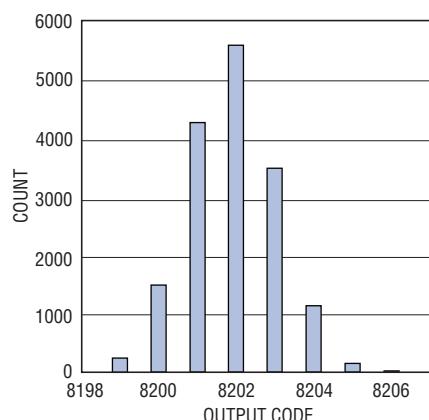
90067814 G19

LTM9007-14: 64K ポイントの 2トーン FFT、
 $f_{IN} = 28.5\text{MHz}$ および $f_{IN} = 31.5\text{MHz}$ 、
1トーンにつき-7dBFS、SENSE = V_{DD}



90067814 G20

LTM9007-14: 短絡入力の
ヒストグラム

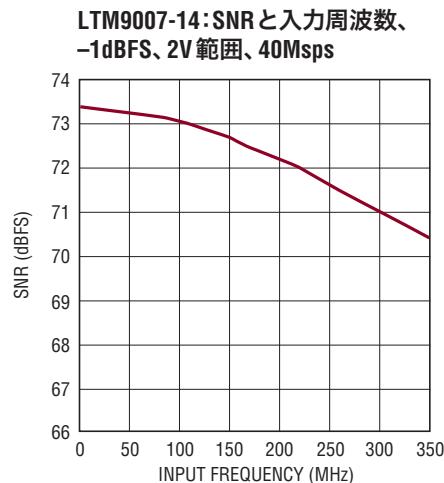


90067814 G21

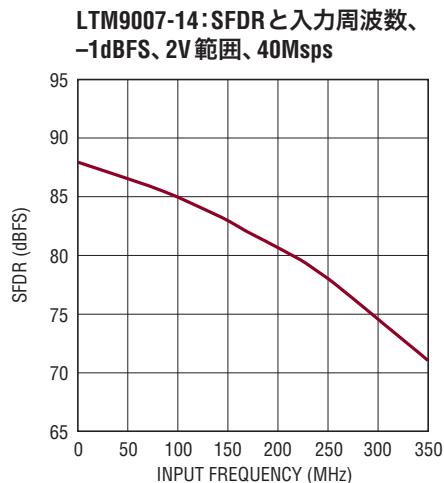
90067814f

LTM9008-14/ LTM9007-14/LTM9006-14

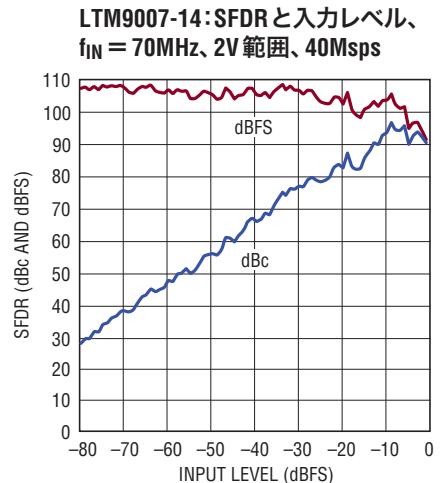
標準的性能特性



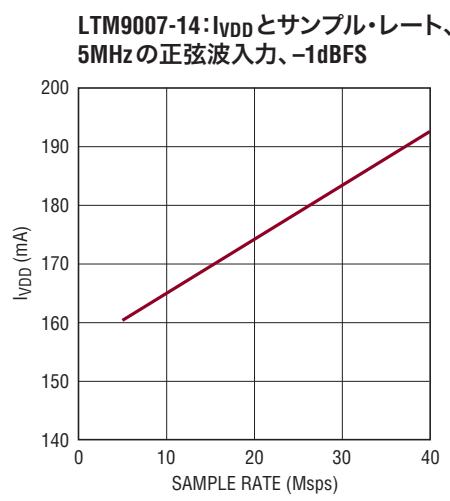
90067814 G22



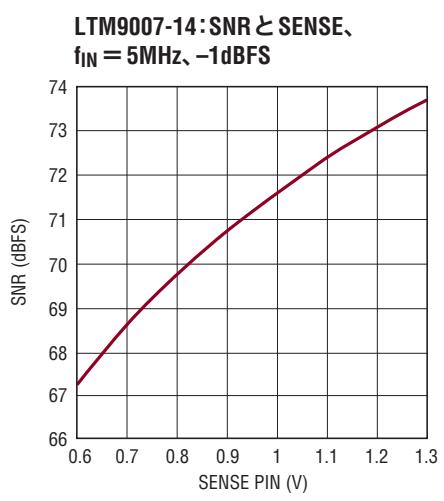
90067814 G23



90067814 G24



90067814 G25

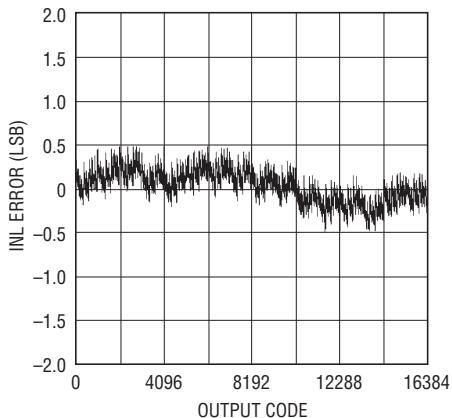


90067814 G26

90067814f

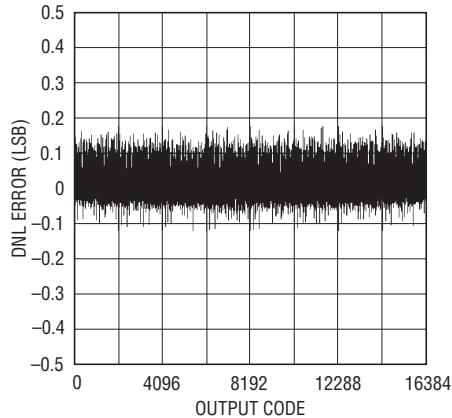
標準的性能特性

LTM9006-14: 積分非直線性(INL)と
出力コード



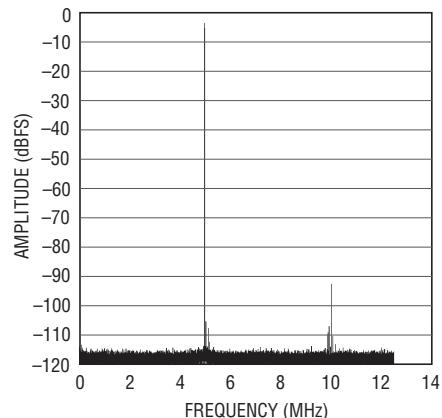
90067814 G27

LTM9006-14: 微分非直線性(DNL)と
出力コード



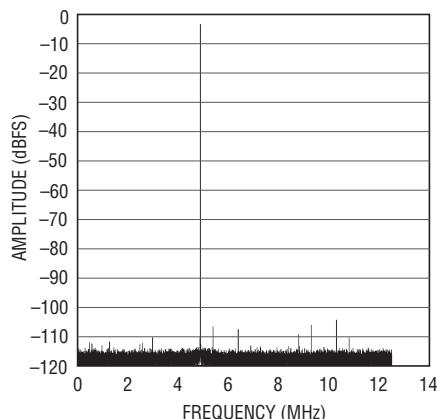
90067814 G28

LTM9006-14: 64K ポイントの FFT、
 $f_{IN} = 5\text{MHz}$, -1dBFS , SENSE = V_{DD}



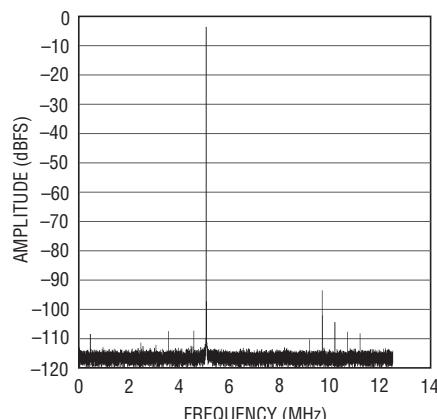
90067814 G29

LTM9006-14: 64K ポイントの FFT、
 $f_{IN} = 30\text{MHz}$, -1dBFS , SENSE = V_{DD}



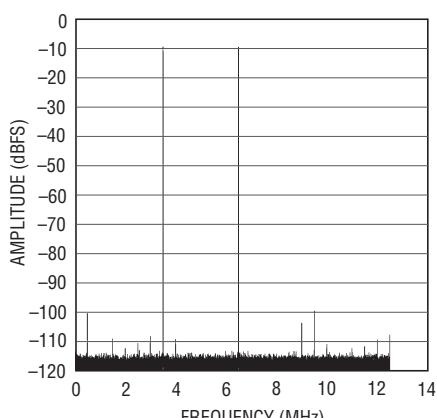
90067814 G30

LTM9006-14: 64K ポイントの FFT、
 $f_{IN} = 70\text{MHz}$, -1dBFS , SENSE = V_{DD}



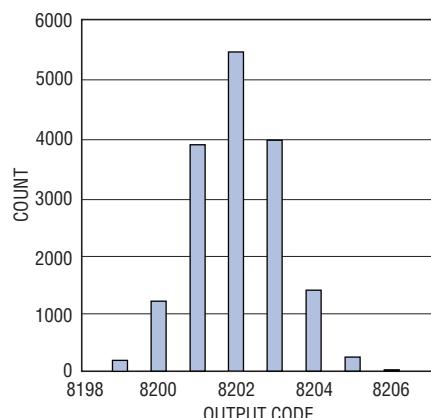
90067814 G31

LTM9006-14: 64K ポイントの 2 トーン FFT、
 $f_{IN} = 28.5\text{MHz}$ および $f_{IN} = 31.5\text{MHz}$,
1 トーンにつき -7dBFS , SENSE = V_{DD}



90067814 G32

LTM9006-14: 短絡入力の
ヒストグラム



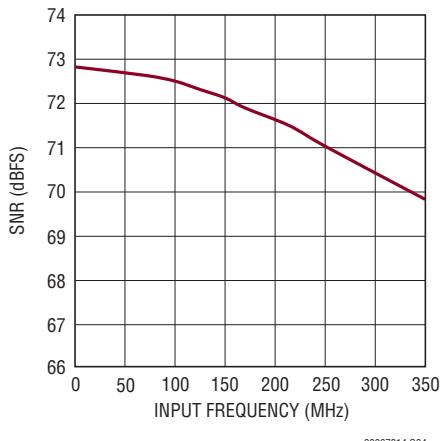
90067814 G33

90067814f

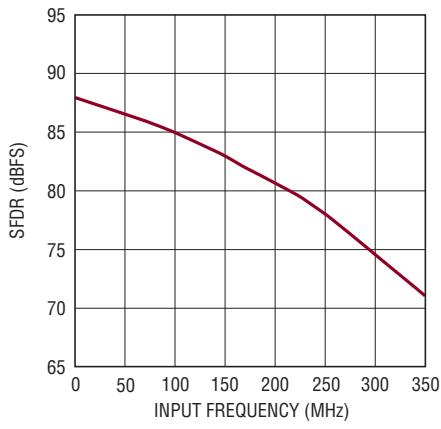
LTM9008-14/ LTM9007-14/LTM9006-14

標準的性能特性

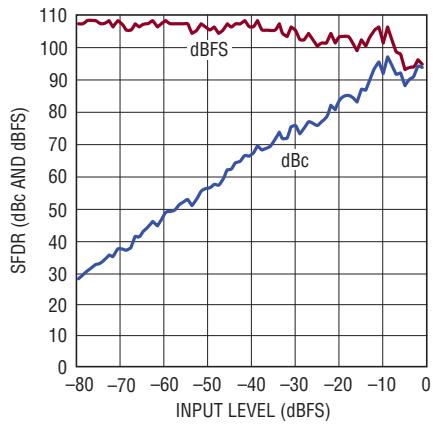
LTM9006-14: SNRと入力周波数、
-1dBFS、2V範囲、25Msps



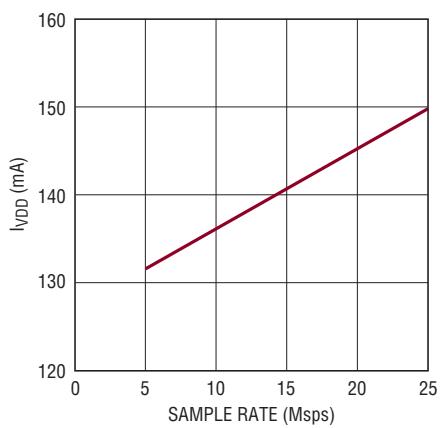
LTM9006-14: SFDRと入力周波数、
-1dBFS、2V範囲、25Msps



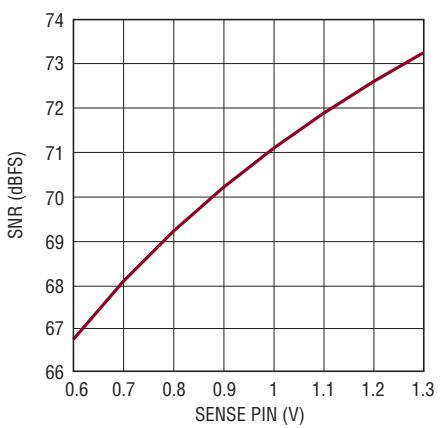
LTM9006-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、25Msps



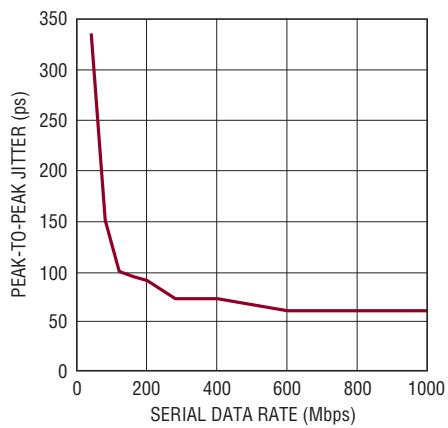
LTM9006-14: I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS



LTM9006-14: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



DCO サイクル間ジッタとシリアル・
データ・レート



ピン機能

A_{IN1}⁺(B2) : チャネル1の正の差動アナログ入力。

A_{IN1}⁻(B1) : チャネル1の負の差動アナログ入力。

V_{CM12}(B3) : 公称で $V_{DD}/2$ に等しい同相バイアス出力。 V_{CM} はチャネル1とチャネル2のアナログ入力の同相レベルをバイアスするのに使用します。 V_{CM} は、 $0.1\mu F$ のセラミック・コンデンサを使って内部でグランドにバイパスされています。外付けコンデンサは不要です。

A_{IN2}⁺(C2) : チャネル2の正の差動アナログ入力。

A_{IN2}⁻(C1) : チャネル2の負の差動アナログ入力。

A_{IN3}⁺(E2) : チャネル3の正の差動アナログ入力。

A_{IN3}⁻(E1) : チャネル3の負の差動アナログ入力。

V_{CM34}(F3) : 公称で $V_{DD}/2$ に等しい同相バイアス出力。 V_{CM} はチャネル3とチャネル4のアナログ入力の同相レベルをバイアスするのに使用します。 V_{CM} は、 $0.1\mu F$ のセラミック・コンデンサを使って内部でグランドにバイパスされています。外付けコンデンサは不要です。

A_{IN4}⁺(G2) : チャネル4の正の差動アナログ入力。

A_{IN4}⁻(G1) : チャネル4の負の差動アナログ入力。

A_{IN5}⁺(H1) : チャネル5の正の差動アナログ入力。

A_{IN5}⁻(H2) : チャネル5の負の差動アナログ入力。

V_{CM56}(J3) : 公称で $V_{DD}/2$ に等しい同相バイアス出力。 V_{CM} はチャネル5とチャネル6のアナログ入力の同相レベルをバイアスするのに使用します。 V_{CM} は、 $0.1\mu F$ のセラミック・コンデンサを使って内部でグランドにバイパスされています。外付けコンデンサは不要です。

A_{IN6}⁺(K1) : チャネル6の正の差動アナログ入力。

A_{IN6}⁻(K2) : チャネル6の負の差動アナログ入力。

A_{IN7}⁺(M1) : チャネル7の正の差動アナログ入力。

A_{IN7}⁻(M2) : チャネル7の負の差動アナログ入力。

V_{CM78}(N3) : 公称で $V_{DD}/2$ に等しい同相バイアス出力。 V_{CM} はチャネル7とチャネル8のアナログ入力の同相レベルをバイアスするのに使用します。 V_{CM} は、 $0.1\mu F$ のセラミック・コンデンサを使って内部でグランドにバイパスされています。外付けコンデンサは不要です。

A_{IN8}⁺(N1) : チャネル8の正の差動アナログ入力。

A_{IN8}⁻(N2) : チャネル8の負の差動アナログ入力。

V_{DD}(D3, D4, E3, E4, K3, K4, L3, L4) : 1.8V のアナログ電源。 V_{DD} は、 $0.1\mu F$ のセラミック・コンデンサを使って内部でグランドにバイパスされています。

ENC⁺(P5) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻(P6) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

CSA(L5) : シリアル・プログラミング・モード ($PAR/\overline{SER} = 0V$) では、 \overline{CSA} はチャネル1、4、5、および8を制御するレジスタのシリアル・インターフェースのチップ・セレクト入力です。 \overline{CS} が“L”のとき SCK がイネーブルされ、SDI のデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード ($PAR/\overline{SER} = V_{DD}$) では、 \overline{CS} によって2レーンまたは1レーンの出力モードが選択されます。 \overline{CS} は、1.8V～3.3V のロジックでドライブできます。

CSB(M5) : シリアル・プログラミング・モード ($PAR/\overline{SER} = 0V$) では、 \overline{CSB} はチャネル2、3、6、および7を制御するレジスタのシリアル・インターフェースのチップ・セレクト入力です。 \overline{CS} が“L”のとき SCK がイネーブルされ、SDI のデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード ($PAR/\overline{SER} = V_{DD}$) では、 \overline{CS} によって2レーンまたは1レーンの出力モードが選択されます。 \overline{CS} は、1.8V～3.3V のロジックでドライブできます。

SCK(L6) : シリアル・プログラミング・モード ($PAR/\overline{SER} = 0V$) では、 SCK はシリアル・インターフェースのクロック入力です。パラレル・プログラミング・モード ($PAR/\overline{SER} = V_{DD}$) では、 SCK で $3.5mA$ または $1.75mA$ のLVDS出力電流を選択します。 SCK は1.8V～3.3V のロジックでドライブできます。

SDI(M6) : シリアル・プログラミング・モード ($PAR/\overline{SER} = 0V$) では、 SDI はシリアル・インターフェースのデータ入力です。 SDI のデータは、 SCK の立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード ($PAR/\overline{SER} = V_{DD}$) では、 SDI を使ってデバイスをパワーダウンさせることができます。 SDI は1.8V～3.3V のロジックでドライブできます。

GND (「**ピン配置表**」を参照) : ADC の電源グランド。ピンの近くに複数のビアを使用します。

ピン機能

OV_{DD}(G9, G10) : 出力ドライバの電源。OV_{DD}は、0.1μFのセラミック・コンデンサを使って内部でグランドにバイパスされています。

SDOA(E6) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SDOAはチャネル1、4、5、および8を制御するレジスタのオプションのシリアル・インターフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNチャネルMOSFET出力で、2kの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままでかまいません。パラレル・プログラミング・モード(PAR/SER = VDD)では、SDOAはチャネル1、4、5、および8のデジタル出力の100Ωの内部終端抵抗をイネーブルする入力です。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V～3.3Vのロジックでドライブすることができます。

SDOB(D6) : チャネル2、3、6、および7のシリアル・データ出力ピン。SDOAの説明を参照してください。

PAR/SER(A7) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。CSA、CSB、SCK、SDI、SDOA、およびSDOBはA/Dの動作モードを制御するシリアル・インターフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、CSA、CSB、SCK、SDI、SDOA、およびSDOBは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグランドまたはデバイスのV_{DD}に直接接続し、ロジック信号ではドライブしません。

V_{REF}(B6) : リファレンス電圧出力。V_{REF}は、1μFのセラミック・コンデンサ(公称1.25V)を使って内部でグランドにバイパスされています。

SENSE(C5) : リファレンスのプログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±1Vの入力範囲が選択されます。SENSEをグランドに接続すると、内部リファレンスと±0.5Vの入力範囲が選択されます。0.625V～1.3Vの外部リファレンスをSENSEに印加すると、±0.8・V_{SENSE}の入力範囲が選択されます。SENSEは、0.1μFのセラミック・コンデンサを使って内部でグランドにバイパスされています。

LVDS出力

このセクションのすべてのピンは、差動LVDS出力です。出力電流レベルは設定可能です。各LVDS出力対のピンの間にオプションの内部100Ω終端抵抗があります。

OUT1A-/OUT1A⁺、OUT1B-/OUT1B^{+(E7/E8, C8/D8)} : チャネル1のシリアル・データ出力。1レーンの出力モードでは、OUT1A-/OUT1A⁺のみを使用します。

OUT2A-/OUT2A⁺、OUT2B-/OUT2B^{+(B8/A8, D7/C7)} : チャネル2のシリアル・データ出力。1レーンの出力モードでは、OUT2A-/OUT2A⁺のみを使用します。

OUT3A-/OUT3A⁺、OUT3B-/OUT3B^{+(D10/D9, E10/E9)} : チャネル3のシリアル・データ出力。1レーンの出力モードでは、OUT3A-/OUT3A⁺のみを使用します。

OUT4A-/OUT4A⁺、OUT4B-/OUT4B^{+(C9/C10, F7/F8)} : チャネル4のシリアル・データ出力。1レーンの出力モードでは、OUT4A-/OUT4A⁺のみを使用します。

OUT5A-/OUT5A⁺、OUT5B-/OUT5B^{+(J8/J7, K8/K7)} : チャネル5のシリアル・データ出力。1レーンの出力モードでは、OUT5A-/OUT5A⁺のみを使用します。

OUT6A-/OUT6A⁺、OUT6B-/OUT6B^{+(K9/K10, L9/L10)} : チャネル6のシリアル・データ出力。1レーンの出力モードでは、OUT6A-/OUT6A⁺のみを使用します。

OUT7A-/OUT7A⁺、OUT7B-/OUT7B^{+(M7/L7, P8/N8)} : チャネル7のシリアル・データ出力。1レーンの出力モードでは、OUT7A-/OUT7A⁺のみを使用します。

OUT8A-/OUT8A⁺、OUT8B-/OUT8B^{+(L8/M8, M10/M9)} : チャネル8のシリアル・データ出力。1レーンの出力モードでは、OUT8A-/OUT8A⁺のみを使用します。

FRA-/FRA^{+(H7/H8)} : チャネル1、4、5、および8のフレーム開始出力。

FRB-/FRB^{+(J9/J10)} : チャネル2、3、6、および7のフレーム開始出力。

DCOA-/DCOA^{+(G8/G7)} : チャネル1、4、5、および8のデータ・クロック出力。

DCOB-/DCOB^{+(F10, F9)} : チャネル2、3、6、および7のデータ・クロック出力。

ピン配置表

	1	2	3	4	5	6	7	8	9	10
A	GND	GND	GND	GND	GND	GND	PAR/SER	02A ⁺	GND	GND
B	A _{IN1} ⁻	A _{IN1} ⁺	V _{CM12}	GND	GND	V _{REF}	GND	02A ⁻	GND	GND
C	A _{IN2} ⁻	A _{IN2} ⁺	GND	GND	SENSE	GND	02B ⁺	01B ⁻	04A ⁻	04A ⁺
D	GND	GND	V _{DD}	V _{DD}	GND	SDOB	02B ⁻	01B ⁺	03A ⁺	03A ⁻
E	A _{IN3} ⁻	A _{IN3} ⁺	V _{DD}	V _{DD}	GND	SDOA	01A ⁻	01A ⁺	03B ⁺	03B ⁻
F	GND	GND	V _{CM34}	GND	GND	GND	04B ⁻	04B ⁺	DCOB ⁺	DCOB ⁻
G	A _{IN4} ⁻	A _{IN4} ⁺	GND	GND	GND	GND	DCOA ⁺	DCOA ⁻	0V _{DD}	0V _{DD}
H	A _{IN5} ⁺	A _{IN5} ⁻	GND	GND	GND	GND	FRA ⁻	FRA ⁺	GND	GND
J	GND	GND	V _{CM56}	GND	GND	GND	05A ⁺	05A ⁻	FRB ⁻	FRB ⁺
K	A _{IN6} ⁺	A _{IN6} ⁻	V _{DD}	V _{DD}	GND	GND	05B ⁺	05B ⁻	06A ⁻	06A ⁺
L	GND	GND	V _{DD}	V _{DD}	CSA	SCK	07A ⁺	08A ⁻	06B ⁻	06B ⁺
M	A _{IN7} ⁺	A _{IN7} ⁻	GND	GND	CSB	SDI	07A ⁻	08A ⁺	08B ⁺	08B ⁻
N	A _{IN8} ⁺	A _{IN8} ⁻	V _{CM78}	GND	GND	GND	GND	07B ⁺	GND	GND
P	GND	GND	GND	GND	CLK ⁺	CLK ⁻	GND	07B ⁻	GND	GND

部品を透かして見たBGAパッケージの上面図

機能ブロック図

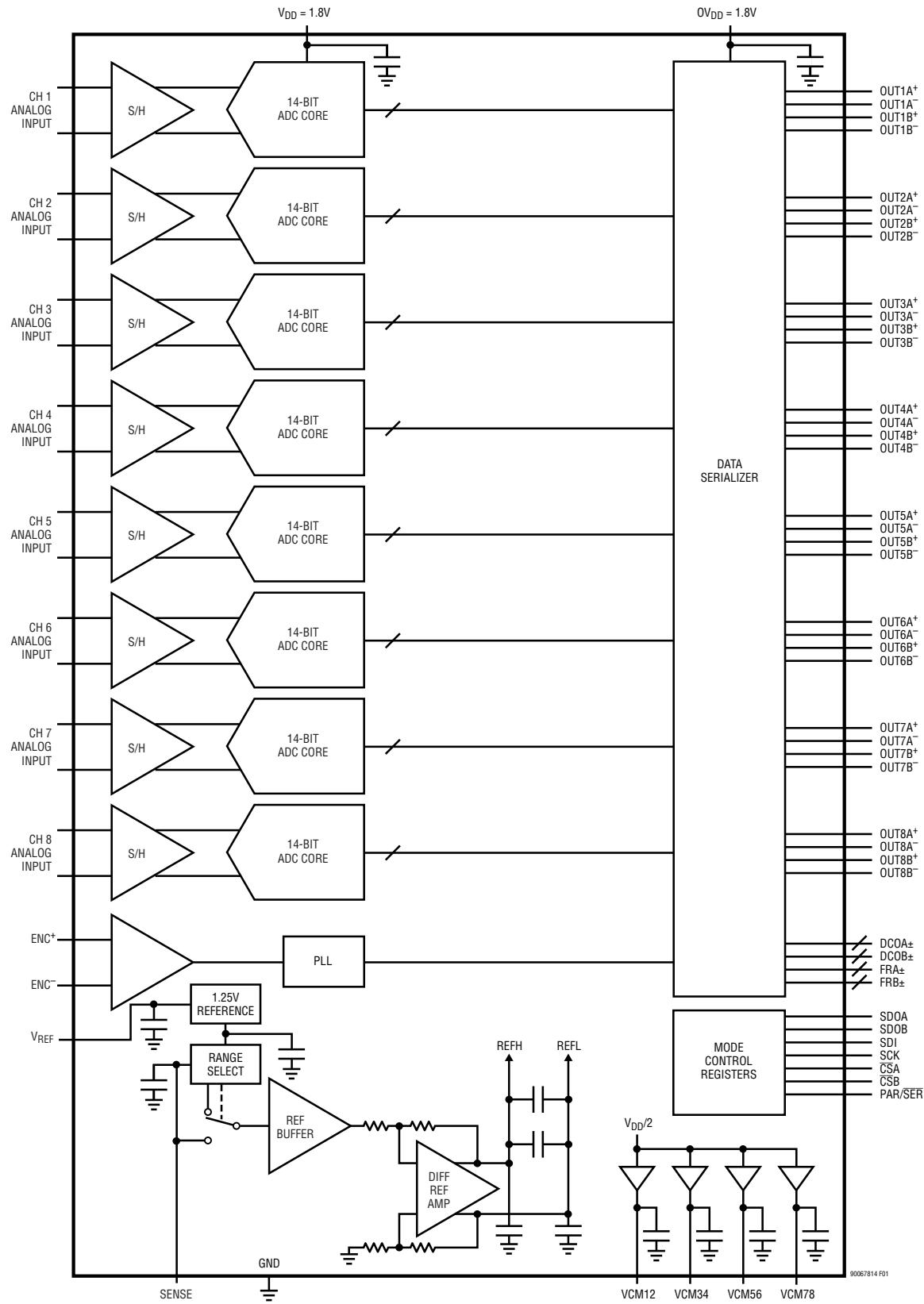


図1. 機能ブロック図

90067814f

アプリケーション情報

コンバータの動作

LTM9008-14/LTM9007-14/LTM9006-14は、1.8V 単一電源で動作する、低消費電力、8チャネル、14ビット、65Msps/40Msps/25Msps のA/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は、最適なジッタ性能を得る場合は差動で、消費電力を低くする場合はシングルエンドで駆動することができます。デジタル出力はシリアルLVDSなので、データ・ライン数を最小限に抑えることができます。各チャネルは一度に2ビットづつ(2レーン・モード)または一度に1ビットづつ(1レーン・モード)出力します。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、対応する V_{CM} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドライブします。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

8つのチャネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

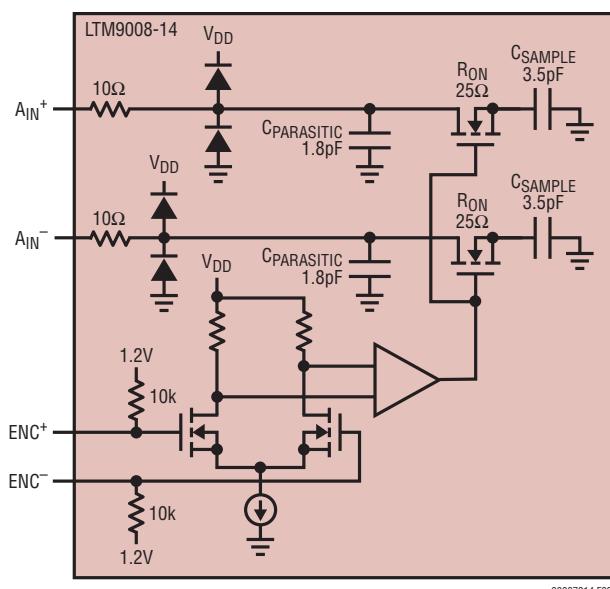


図2. 等価入力回路。8つのアナログ・チャネルのうち1つのみを示す

入力ドライブ回路

入力のフィルタリング

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを置きます。このローパス・フィルタにより、A/Dサンプル・ホールドのスイッチングからドライブ回路が分離され、さらにドライブ回路からの広帯域ノイズも制限されます。入力RCフィルタの例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるアナログ入力を図3に示します。センター・タップは V_{CM} でバイアスされるため、A/Dコンバータの入力はその最適DCレベルに設定されます。高い入力周波数では、伝送ラインのバラン・トランス(図4～図6)のバランスが良くなるので、A/Dの歪みが小さくなります。

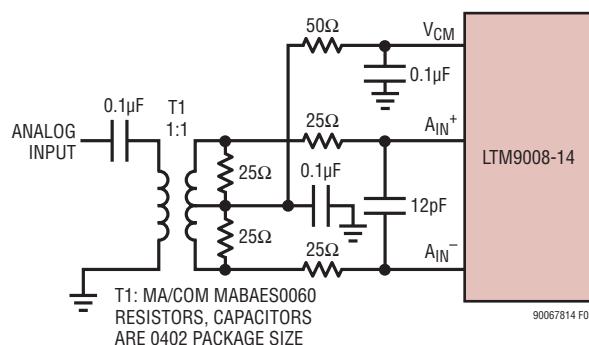


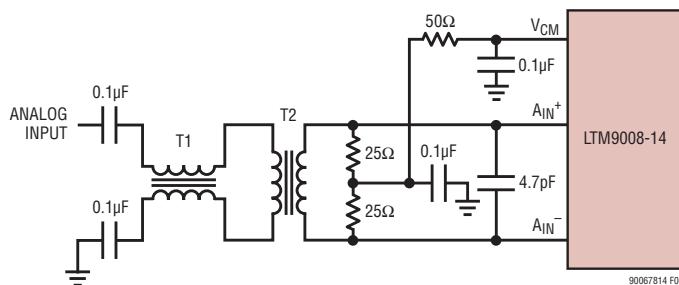
図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

LTM9008-14/ LTM9007-14/LTM9006-14

アプリケーション情報

アンプ回路

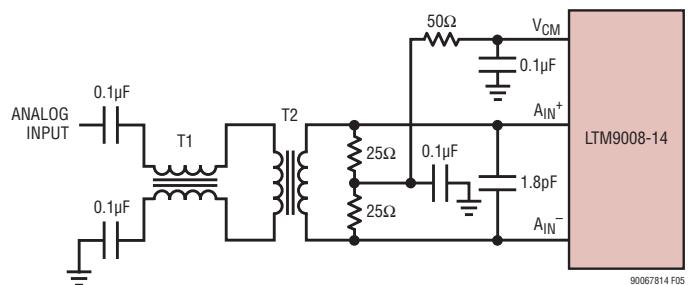
高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して、歪みを最小限に抑えることができます。DC結合の例については、前のページを参照してください。



T1: MA/COM MABA-007159-000000
T2: MA/COM MABAES0060
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

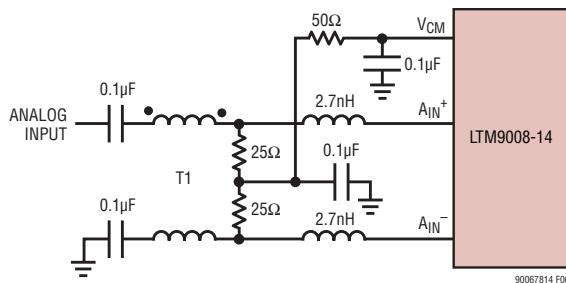
図4. 70MHz～170MHzの入力周波数用の
推奨フロントエンド回路

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。



T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1LB
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図5. 170MHz～300MHzの入力周波数用の
推奨フロントエンド回路



T1: MA/COM ETC1-1-13
RESISTORS, CAPACITORS
ARE 0402 PACKAGE SIZE

図6. 300MHzを超える入力周波数用の
推奨フロントエンド回路

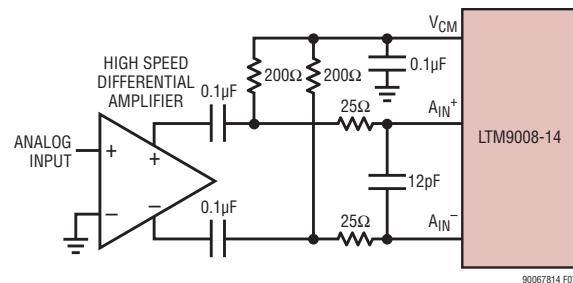


図7. 高速差動アンプを使用した
フロントエンド回路

アプリケーション情報

リファレンス

LTM9008-14/LTM9007-14/LTM9006-14は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合は、SENSEをVDDに接続します。内部リファレンスを使用する1Vの入力範囲の場合は、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEに加えます(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は1.6・V_{SENSE}になります。リファレンスは8つのADCチャネル全てによって共有されているので、各チャネルの入力範囲を個別に調整することはできません。

V_{REF}、SENSE、REFH、およびREFLの各ピンは図8に示すように内部でバイパスされています。

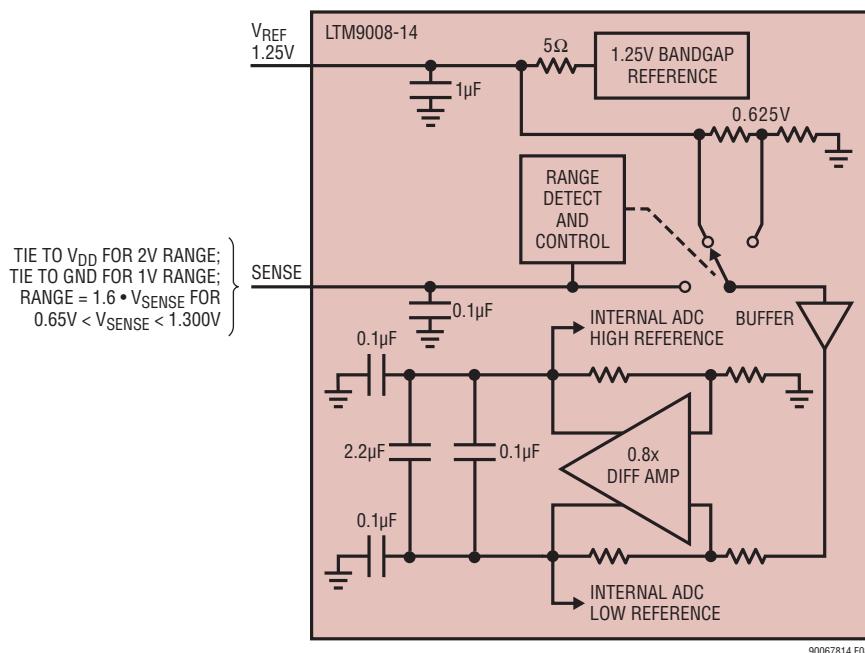


図8. リファレンス回路

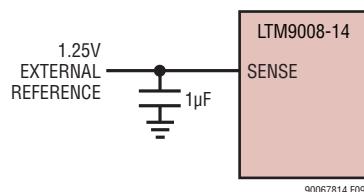


図9. 1.25Vの外部リファレンスの使い方

LTM9008-14/ LTM9007-14/LTM9006-14

アプリケーション情報

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

正弦波、PECL、またはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は内部で $10\text{k}\Omega$ の等価抵抗を介して 1.2V にバイアスさ

れています。エンコード入力は V_{DD} より高くすることができます(最大 3.6V)、同相範囲は $1.1\text{V} \sim 1.6\text{V}$ です。差動エンコード・モードでは、 ENC^- をグランドより 200mV 以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、 ENC^+ の立ち上がり時間と立ち下がり時間は短くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、 ENC^- をグランドに接続し、 ENC^+ を方形波のエンコード入力でドライブします。 ENC^+ は V_{DD} より高くすることができますので

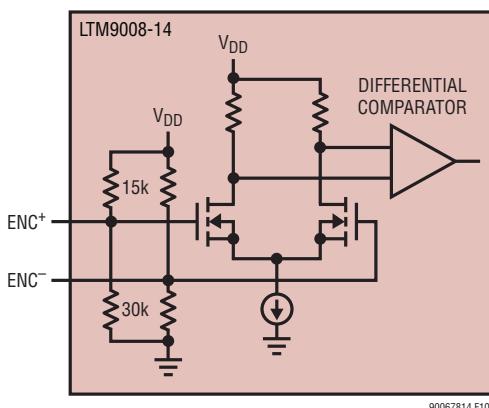


図10. 差動エンコード・モードの等価エンコード入力回路

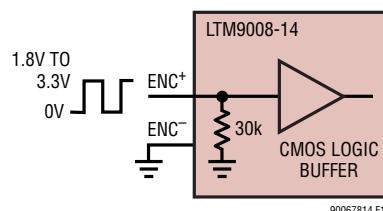
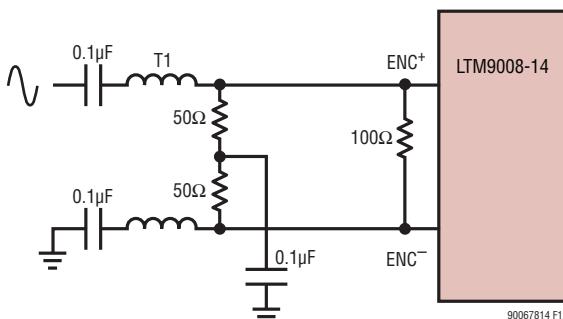


図11. シングルエンド・エンコード・モードの等価エンコード入力回路



T1 = MA/COM ETC1-1-13
RESISTORS AND CAPACITORS
ARE 0402 PACKAGE SIZE

図12. 正弦波のエンコード・ドライブ

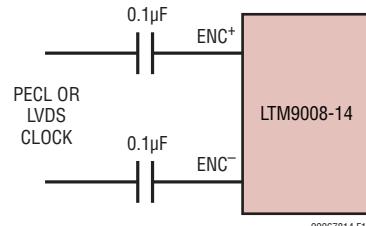


図13. PECL または LVDS のエンコード・ドライブ

90067814f

アプリケーション情報

(最大3.6V)、1.8V～3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは、シリアルのデジタル出力データを生成するために内部位同期ループ(PLL)によって乗算されます。エンコード信号の周波数が変化するか、エンコード信号がオフになると、PLLが入力クロックにロックするために25μsかかります。

クロック・デューティ・サイクル・スタビライザ回路により、与えられるエンコード信号のデューティ・サイクルは30%～70%の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディスエーブルすることができますが、これは推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされます。

デジタル出力

LTM9008-14/LTM9007-14/LTM9006-14のデジタル出力はシリアル化されたLVDS信号です。各チャネルは一度に2ビット

づつ(2レーン・モード)または一度に1ビットづつ(1レーン・モード)出力します。データは、16、14、または12ビットでシリアル化できます(詳細については「タイミング図」を参照)。12ビットでシリアル化する場合、2つの LSB は使用できないことに注意してください。このモードは、これらのデバイスの12ビット・バージョンと互換性を持たせるために用意されています。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジと立ち下がりエッジでラッチされます。データ・フレーム出力(FR)を使用し、新たな変換のデータが出力され始める時点を特定することができます。2レーンの14ビット・シリアル化モードでは、FR出力の周波数は1/2になります。

データ出力の最大シリアル・データ・レートは1Gbpsなので、ADCの最大サンプリング・レートはADCの速度グレードだけでなく、シリアル化モードによっても異なります(表1を参照)。すべてのシリアル化モードの最小サンプル・レートは5Mspsです。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力ペアには外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバにできるだけ近づけて配置します。

出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグランドからは分離されています。

表1. すべてのシリアル化モードの最大サンプリング周波数。これらの制限値はLTM9008-14のものであることに注意。遅い速度グレードのサンプリング周波数は、40MHz(LTM9007-14)または25MHz(LTM9006-14)を超えることはできない。

シリアル化モード		最大サンプリング周波数、 f _S (MHz)	DCO周波数	FR周波数	シリアル・データ・ レート
2-Lane	16-Bit Serialization	65	4•f _S	f _S	8•f _S
2-Lane	14-Bit Serialization	65	3.5•f _S	0.5•f _S	7•f _S
2-Lane	12-Bit Serialization	65	3•f _S	f _S	6•f _S
1-Lane	16-Bit Serialization	62.5	8•f _S	f _S	16•f _S
1-Lane	14-Bit Serialization	65	7•f _S	f _S	14•f _S
1-Lane	12-Bit Serialization	65	6•f _S	f _S	12•f _S

アプリケーション情報

設定可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SCKピンにより、3.5mAまたは1.75mAを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mA、または2.5mAのLVDS出力電流モードのときのみに使用します。

データ形式

アナログ入力電圧とデジタル・データ出力ビット間の関係を表2に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表2. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V範囲)	D13～D0 (オフセット・バイナリ)	D13～D0 (2の補数)
>1.000000V	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	00 0000 0000 0000	10 0000 0000 0000
<-1.000000V	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他の全てのビットとの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダマイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

アプリケーション情報

デジタル出力のテストパターン

A/Dコンバータのデジタル・インターフェースのインサーキット・テストを可能にするため、全チャネルのA/Dデータ出力(D13～D0)を強制的に既知の値にするテスト・モードがあります。モード制御レジスタA3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテスト・パターンがイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダマイザ)は無効になります。

出力のディスエーブル

デジタル出力は、制御レジスタA2をシリアル・モードでプログラムすることによりディスエーブルすることができます。消費電力の節減や、インサーキット・テストをイネーブルするために、DCOとFRを含むすべてのデジタル出力の電流駆動がディスエーブルされます。ディスエーブルされると、各出力対の同相信号は高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は2mWになります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードからの回復に要する時間は約2msです。

ナップ・モードでは、A/Dチャネルのどの組み合わせでもパワーダウンできますが、内部リファレンス回路およびPLLはアクティブな状態を維持するので、スリープ・モードからの場合よりも素早く復帰することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に正確なDCセトリングが必要なアプリケーションの場合は、50μsを追加することにより、A/Dコンバータがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して、内蔵リファレンスがセトリングできるようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTM9008-14/LTM9007-14/LTM9006-14の動作モードはパラレル・インターフェースまたはシンプルなシリアル・インターフェースのどちらでもプログラム可能です。シリアル・インターフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インターフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、**PAR/SER**をV_{DD}に接続します。**CS**、**SCK**、**SDI**および**SDO**の各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはV_{DD}またはグランドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、**SDO**は1kの直列抵抗を介してドライブします。**CS**、**SCK**、**SDI**、および**SDO**で設定されるモードを表3に示します。

表3. パラレル・プログラミング・モードの制御ビット
(**PAR/SER** = V_{DD})

ピン	説明
CS	2-Lane / 1-Lane Selection Bit 0 = 2-Lane, 16-Bit Serialization Output Mode 1 = 1-Lane, 14-Bit Serialization Output Mode
SCK	LVDS Current Selection Bit 0 = 3.5mA LVDS Current Mode 1 = 1.75mA LVDS Current Mode
SDI	Power Down Control Bit 0 = Normal Operation 1 = Sleep Mode
SDO	Internal Termination Selection Bit 0 = Internal Termination Disabled 1 = Internal Termination Enabled

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、PAR/SERをグランドに接続します。CS, SCK, SDIおよびSDOの各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インターフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送はCSが“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCK立ち上がりエッジは無視されます。データ転送はCSが再度“H”になると終了します。

16ビットの入力ワードの先頭ビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

表4. シリアル・プログラミング・モードのレジスタ・マップ(PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

CSAがチャネル1、4、5、および8を制御し、CSBがチャネル2、3、6、および7を制御することに注意。

ビット7 **RESET** ソフトウェア・リセット・ビット

0=不使用

1=ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。A/Dコンバータは一時的にスリープ・モードになる。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。

ビット6~0 使用しない、ドントケア・ビット

レジスタA1(CSA):フォーマットおよびパワーダウン・レジスタ(CSA = GNDでアドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_8	NAP_5	NAP_4	NAP_1

CSAがチャネル1、4、5、および8を制御し、CSBがチャネル2、3、6、および7を制御することに注意。

ビット7 **DCSOFF** クロック・デューティ・サイクル・スタビライザ・ビット

0=クロック・デューティ・サイクル・スタビライザをオン

1=クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。

ビット6 **RAND** データ出力ランダマイザ・モード制御ビット

0=データ出力ランダマイザ・モードをオフ

1=データ出力ランダマイザ・モードをオン

ビット5 **TWOSCOMP** 2の補数モード制御ビット

0=オフセット・バイナリのデータ・フォーマット

1=2の補数のデータ・フォーマット

ビット4~0 **SLEEP:NAP_X** スリープ/ナップ・モード制御ビット

00000=通常動作

0XXX1=チャネル1がナップ・モード

0XX1X=チャネル4がナップ・モード

0X1XX=チャネル5がナップ・モード

01XXX=チャネル8がナップ・モード

1XXXX=スリープ・モード。チャネル1、4、5、および8をディスエーブル

注記:ナップ・モードではチャネルのどの組み合わせも設定可能。

R/Wビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。R/Wビットが“H”の場合は、アドレス・ビット(A6:A0)で設定されたレジスタのデータがSDOピンから読み出されます(「タイミング図」のセクションを参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグランドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDOをフロート状態のままにしてもかまわないので、プルアップ抵抗は不要です。モード制御レジスタのマップを表4に示します。

アプリケーション情報

レジスタ A1(CSB) : フォーマットおよびパワーダウン・レジスタ (CSB = GND でアドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_7	NAP_6	NAP_3	NAP_2

CSA がチャネル 1、4、5、および 8 を制御し、CSB がチャネル 2、3、6、および 7 を制御することに注意。

ビット 7	DCSOFF	クロック・デューティ・サイクル・スタビライザ・ビット 0 = クロック・デューティ・サイクル・スタビライザをオン 1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。
ビット 6	RAND	データ出力ランダマイザ・モード制御ビット 0 = データ出力ランダマイザ・モードをオフ 1 = データ出力ランダマイザ・モードをオン
ビット 5	TWOSCOMP	2 の補数モード制御ビット 0 = オフセット・バイナリのデータ・フォーマット 1 = 2 の補数のデータ・フォーマット
ビット 4~0	SLEEP:NAP_4:NAP_1	スリープ/ナップ・モード制御ビット 00000 = 通常動作 0XX1 = チャネル 2 がナップ・モード 0XX1X = チャネル 3 がナップ・モード 0X1XX = チャネル 6 がナップ・モード 01XXX = チャネル 7 がナップ・モード 1XXXX = スリープ・モード。チャネル 2、3、6、および 7 をディスエーブル 注記: ナップ・モードではチャネルのどの組み合わせも設定可能。

レジスタ A2: 出力モード・レジスタ (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0

CSA がチャネル 1、4、5、および 8 を制御し、CSB がチャネル 2、3、6、および 7 を制御することに注意。

ビット 7~5	ILVDS2:ILVDS0	LVDS 出力電流ビット 000 = 3.5mA の LVDS 出力ドライバ電流 001 = 4.0mA の LVDS 出力ドライバ電流 010 = 4.5mA の LVDS 出力ドライバ電流 011 = 不使用 100 = 3.0mA の LVDS 出力ドライバ電流 101 = 2.5mA の LVDS 出力ドライバ電流 110 = 2.1mA の LVDS 出力ドライバ電流 111 = 1.75mA の LVDS 出力ドライバ電流
ビット 4	TERMON	LVDS 内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS 出力ドライバ電流は、ILVDS2:ILVDS0 で設定された電流の 2 倍になる。内部終端は、1.75mA、2.1mA、または 2.5mA の LVDS 出力電流モードのときのみ使用する。
ビット 3	OUTOFF	出力のディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブル
ビット 2~0	OUTMODE2:OUTMODE0	デジタル出力モード制御ビット 000 = 2 レーン、16 ビット・シリアル化 001 = 2 レーン、14 ビット・シリアル化 010 = 2 レーン、12 ビット・シリアル化 011 = 不使用 100 = 不使用 101 = 1 レーン、14 ビット・シリアル化 110 = 1 レーン、12 ビット・シリアル化 111 = 1 レーン、16 ビット・シリアル化

アプリケーション情報

レジスタA3:テストパターンのMSBレジスタ(アドレス03h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8

CSAがチャネル1、4、5、および8を制御し、CSBがチャネル2、3、6、および7を制御することに注意。

ビット7 **OUTTEST** デジタル出力のテストパターン制御ビット
0=デジタル出力のテストパターンをオフ
1=デジタル出力のテストパターンをオン

ビット6 使用されない、ドントケア・ビット

ビット5~0 **TP13:TP8** テストパターン・データ・ビット(MSB)
TP13:TP8により、データ・ビット13(MSB)からデータ・ビット8までのテストパターンが設定される。

レジスタA4:テストパターンのLSBレジスタ(アドレス04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0

CSAがチャネル1、4、5、および8を制御し、CSBがチャネル2、3、6、および7を制御することに注意。

ビット7~0 **TP7:TP0** テストパターン・データ・ビット(LSB)
TP7:TP0により、データ・ビット7からデータ・ビット0(LSB)までのテストパターンが設定される。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

接地とバイパス

LTM9008-14/LTM9007-14/LTM9006-14には、切れ目のないクリーンなグランド・プレーンを備えたプリント基板が必要です。A/Dコンバータの下の最初の層には内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

バイパス・コンデンサがパッケージに内蔵されているので、追加の容量はオプションです。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グランド領域とグランド・ビアを使用します。

LTM9008-14/LTM9007-14/LTM9006-14のピン配置はフロースルー・レイアウトが可能であり、多くのADCチャネルが必要な場合、小さな面積に複数のデバイスを使用することができます。レイアウト・ルールは他のBGAパッケージのものと同様です。レイアウトは6ミルのブラインド・ビアと5ミルのトレースを使って実装することができます。ピン配置は、アナログおよびデジタルのトレースの配線に必要なスペースを最小限に抑えるように設計されています。アナログおよびデジタルのトレースは、基本的にパッケージの幅の範囲内で配線することができます。これにより、チャネル数の多いアプリケーションでは、複数のパッケージを互いに近づけて配置することができます。アナログ入力とデジタル出力のトレース長はできるだけ等しくなるようにしてください。

アプリケーション情報

パッケージ内のダイ・パッドからパッケージ・パッドまでのアナログ入力とデジタル出力のトレース長を表5に示します。最良の整合を得るために、これらをPCBのトレース長に加える必要があります。

サブストレートに使用されている素材はBT(ビスマレイミドリアジン)で、三菱ガス化学製です。DC～125MHzの範囲では、アナログ入力の速度は198ps/inつまり7.795ps/mmです。デジタル出力の速度は188.5ps/inつまり7.417ps/mmです。

表5. 内部トレース長

ピン	名称	長さ (mm)
E7	01A ⁻	1.775
E8	01A ⁺	1.947
C8	01B ⁻	1.847
D8	01B ⁺	1.850
B8	02A ⁻	3.233
A8	02A ⁺	3.246
D7	02B ⁻	0.179
C7	02B ⁺	1.127
D10	03A ⁻	2.126
D9	03A ⁺	2.177
E10	03B ⁻	1.811
E9	03B ⁺	1.812
C9	04A ⁻	3.199
C10	04A ⁺	3.196
F7	04B ⁻	0.706
F8	04B ⁺	0.639
J8	05A ⁻	0.392
J7	05A ⁺	0.436

ピン	名称	長さ (mm)
K8	05B ⁻	0.379
K7	05B ⁺	0.528
K9	06A ⁻	1.866
K10	06A ⁺	1.865
L9	06B ⁻	2.268
L10	06B ⁺	2.267
M7	07A ⁻	1.089
L7	07A ⁺	0.179
P8	07B ⁻	3.281
N8	07B ⁺	3.149
L8	08A ⁻	1.862
M8	08A ⁺	1.847
M10	08B ⁻	4.021
M9	08B ⁺	4.016
B1	A _{IN1} ⁻	4.689
B2	A _{IN1} ⁺	4.709
C1	A _{IN2} ⁻	4.724
C2	A _{IN2} ⁺	4.769

熱伝達

LTM9008-14/LTM9007-14/LTM9006-14が発生する熱の大部分は、ダイからパッケージの底面を通じてプリント回路基板に伝わります。グランド・ピンは複数のビアで内部グランド・プレーンに接続します。

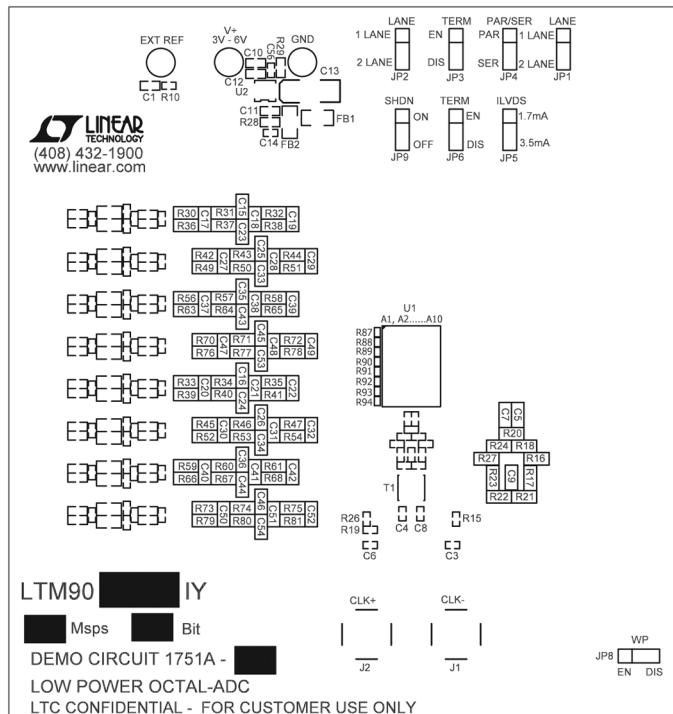
ピン	名称	長さ (mm)
E1	A _{IN3} ⁻	2.491
E2	A _{IN3} ⁺	2.505
G1	A _{IN4} ⁻	3.376
G2	A _{IN4} ⁺	3.372
H2	A _{IN5} ⁻	3.301
H1	A _{IN5} ⁺	3.346
K2	A _{IN6} ⁻	2.506
K1	A _{IN6} ⁺	2.533
M2	A _{IN7} ⁻	3.198
M1	A _{IN7} ⁺	3.214
N2	A _{IN8} ⁻	4.726
N1	A _{IN8} ⁺	4.691
P6	CLK ⁻	4.106
P5	CLK ⁺	4.106
L5	CSA	0.919
M5	CSB	1.162
G8	DCOA ⁻	1.157
G7	DCOA ⁺	1.088

ピン	名称	長さ (mm)
F10	DCOB ⁻	1.811
F9	DCOB ⁺	1.812
H7	FRA ⁻	1.117
H8	FRA ⁺	1.038
J9	FRB ⁻	1.644
J10	FRB ⁺	1.643
A7	PAR/SER	3.838
L6	SCK	0.240
E6	SDOA	0.453
D6	SDOB	0.274
M6	SDI	1.069
B3	V _{CM12}	3.914
F3	V _{CM34}	0.123
J3	V _{CM56}	0.079
N3	V _{CM78}	3.915

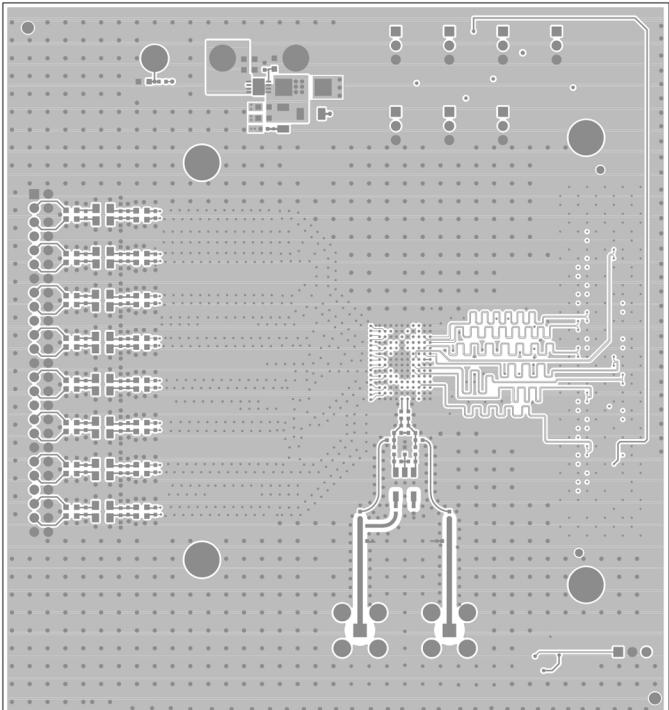
LTM9008-14/ LTM9007-14/LTM9006-14

標準的応用例

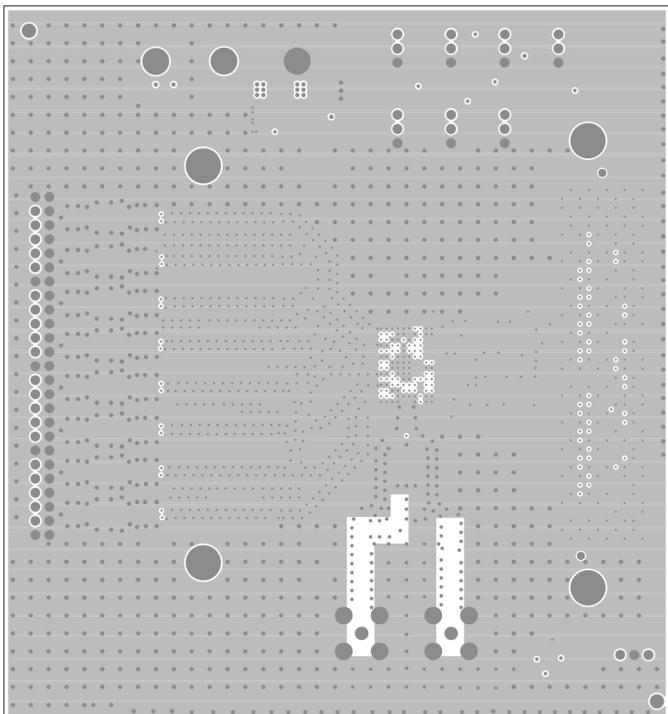
部品面シルク



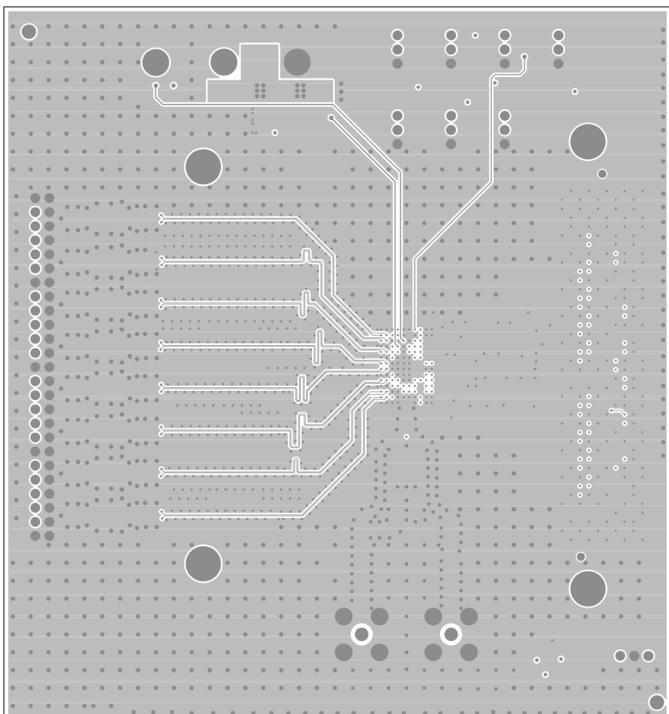
上面



中間層2



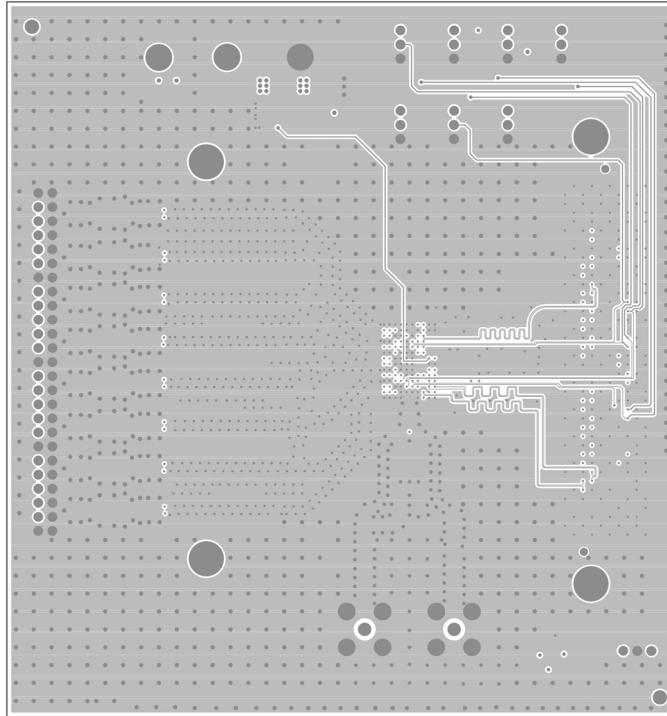
中間層3



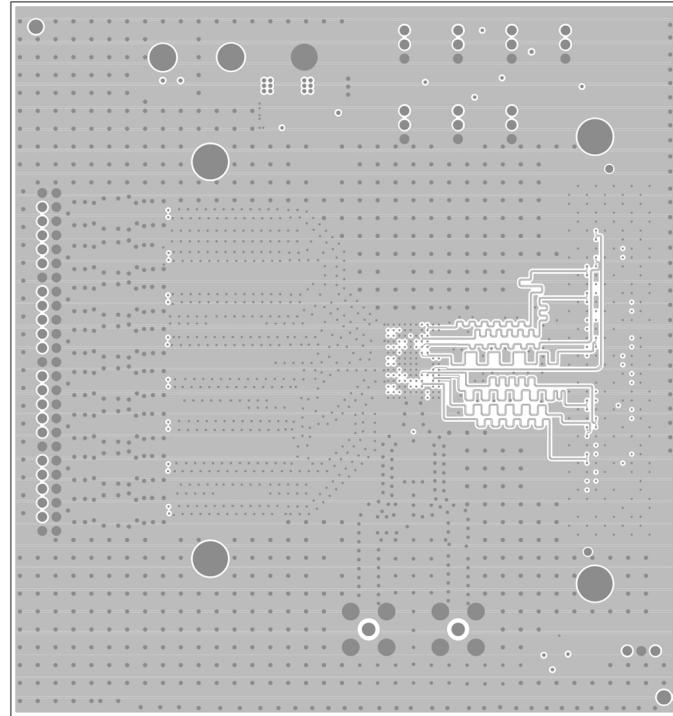
90067814f

標準的応用例

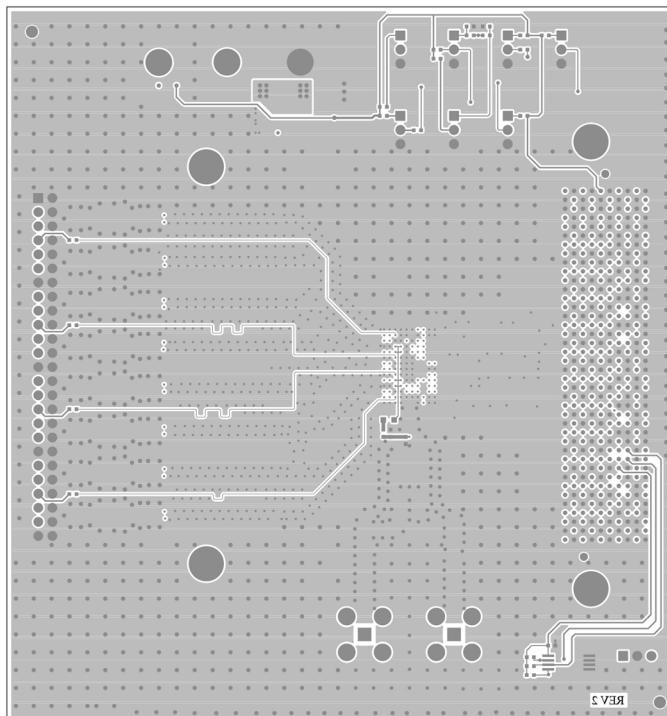
中間層4



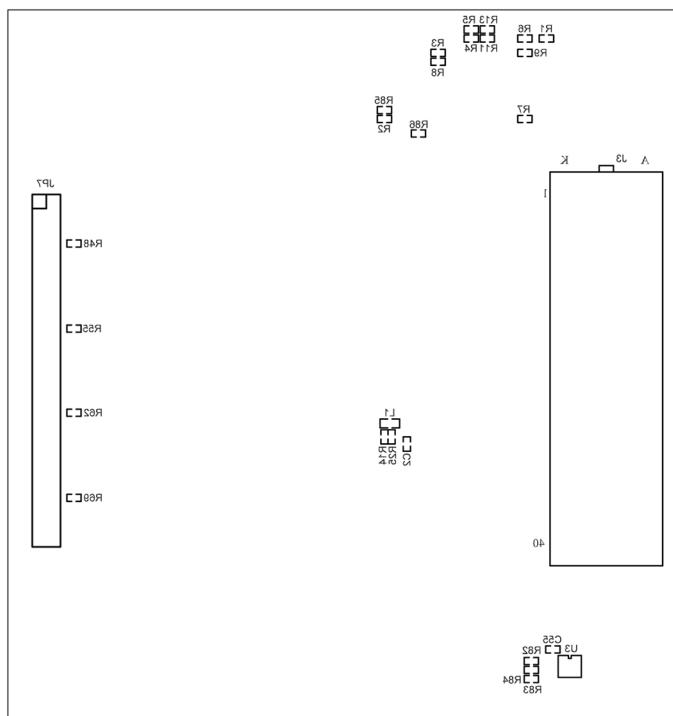
中間層5



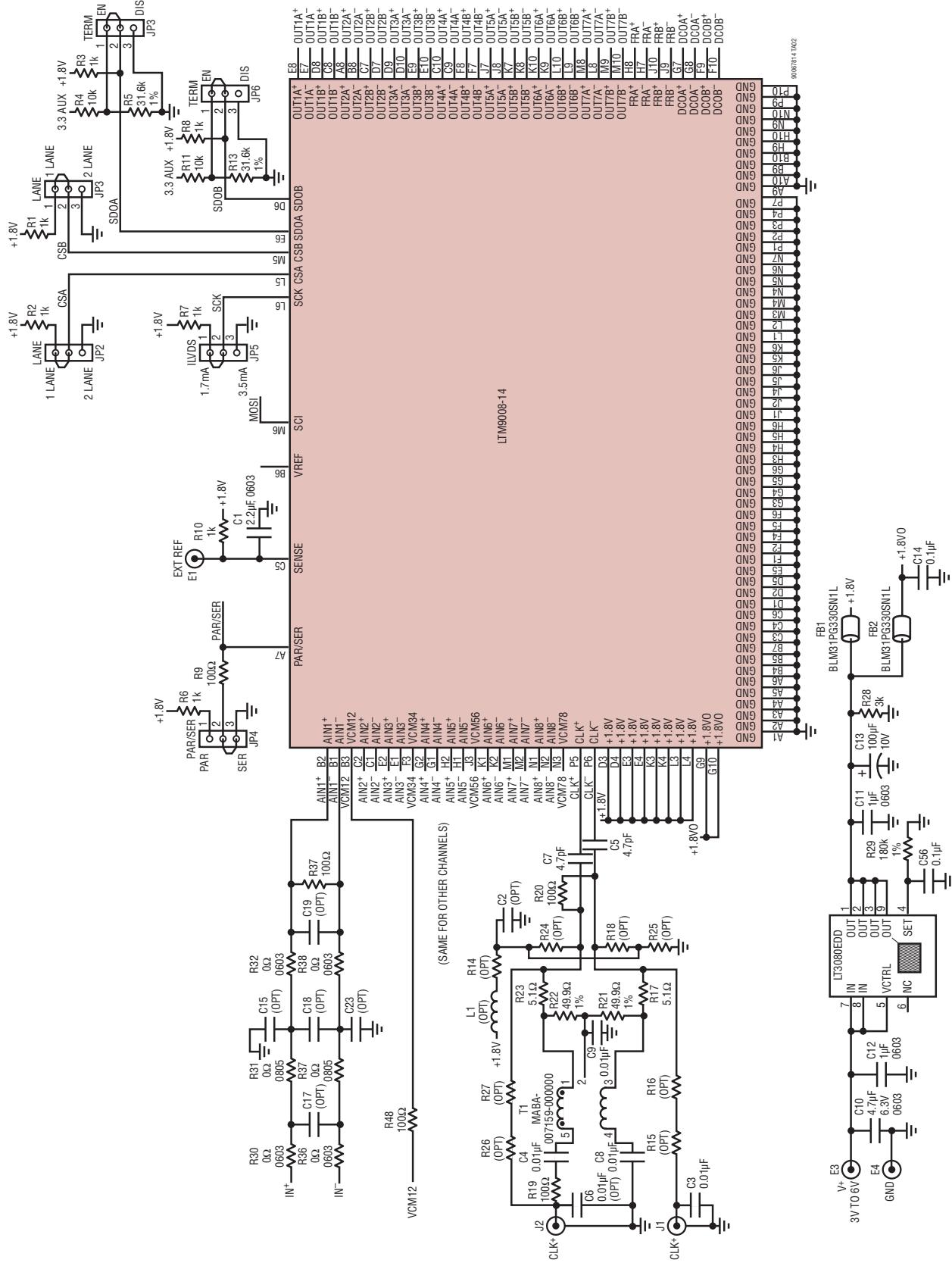
底面



はんだ面シルク



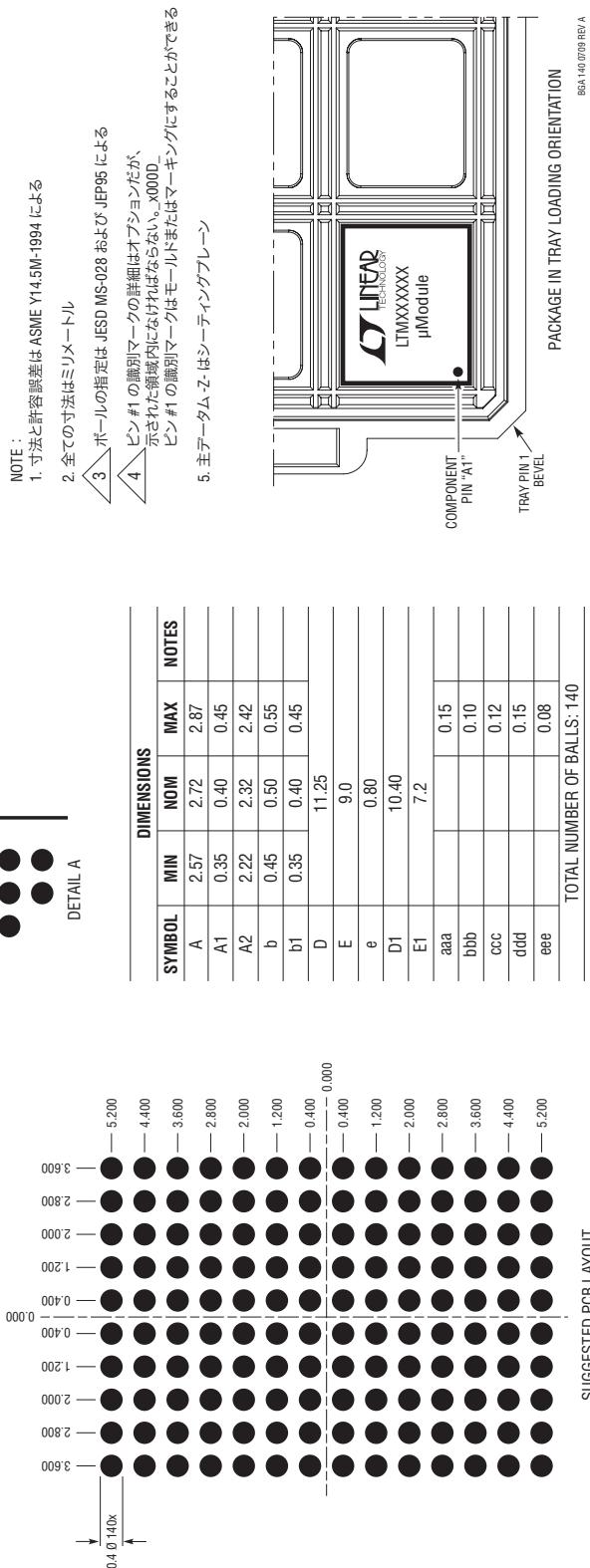
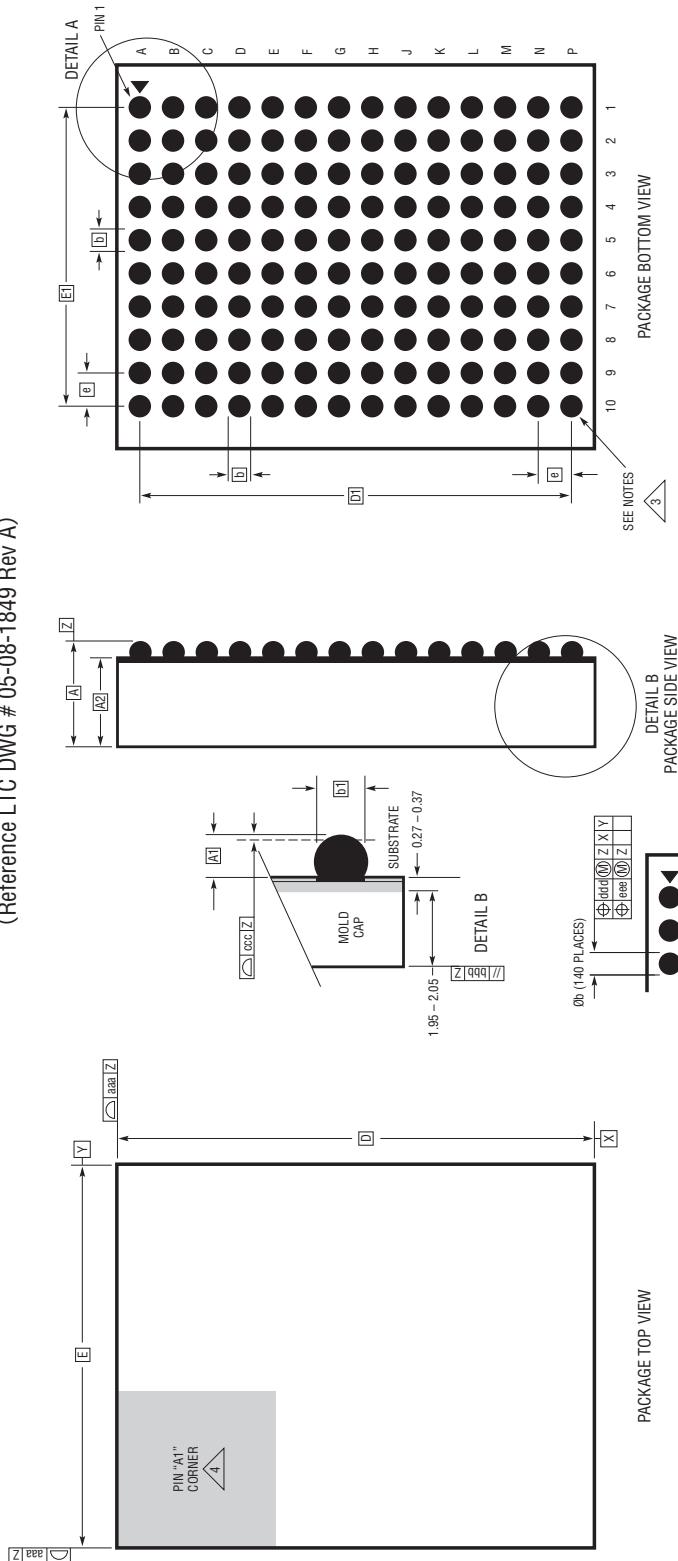
標準的應用例



パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

BGA/パッケージ
140ピン(11.25mm×9.00mm×2.72mm)
(Reference LTC DWG # 05-08-1849 Rev A)

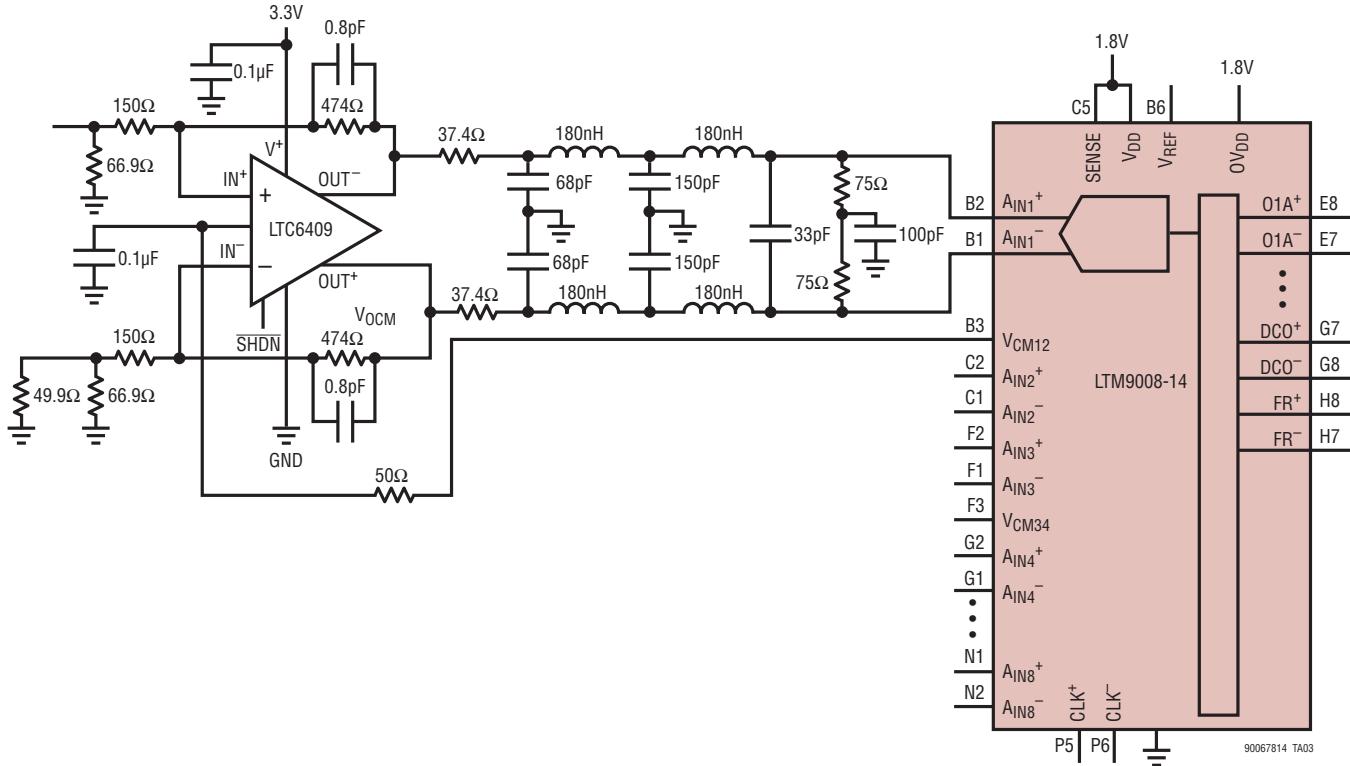


SUGGESTED PCB LAYOUT
TOP VIEW

LTM9008-14/
LTM9007-14/LTM9006-14

標準的應用例

LTC6409 と 50MHz ローパス・フィルタを使用したシングルエンドから差動への変換(1チャネルだけ示されている)。フィルタは 61.44Msps で使用



関連製品

製品番号	説明	注釈
ADC		
LTC2170-14/LTC2171-14/ LTC2172-14	14ビット、25Msps/40Msps/65Msps、 1.8V クワッド ADC、超低消費電力	178mW/234mW/360mW、SNR:73.4dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
LTC2173-14/LTC2174-14/ LTC2175-14	14ビット、80Msps/105Msps/125Msps、 1.8V クワッド ADC、超低消費電力	412mW/481mW/567mW、SNR:73.4dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
LTM9009-14/LTM9010-14/ LTM9011-14	14ビット、80Msps/105Msps/125Msps、 1.8V オクタル ADC、超低消費電力	801mW/950mW/1145mW、SNR:73.1dB、SFDR:85dB、 シリアル LVDS 出力、11.25mm×9mm BGA-140
アンプ/フィルタ		
LTC6412	800MHz、31dB レンジ、アナログ制御 可変利得アンプ	連続調整可能な利得制御、240MHz での OIP3:35dBm、 ノイズフィギュア:10dB、4mm×4mm QFN-24
LTC6420-20	300MHz の IF 向け 1.8GHz、低ノイズ、 低歪み、デュアル差動 ADC ドライバ	固定利得:10V/V、全入力ノイズ:1nV/ $\sqrt{\text{Hz}}$ 、アンプ当たりの 電源電流:80mA、3mm×4mm QFN-20
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動 ADC ドライバ	固定利得:10V/V、全入力ノイズ:1nV/ $\sqrt{\text{Hz}}$ 、アンプあたりの 電源電流:40mA、3mm×4mm QFN-20
LTC6605-7/LTC6605-10/ LTC6605-14	ADC ドライバ付きの整合したデュアル 7MHz/10MHz/14MHz フィルタ	差動ドライバ付きの整合した 2 個の 2 次ローパス・フィルタ、 ピンでプログラム可能な利得、6mm×3mm DFN-22
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャネル IF/ ベースバンド・レシーバ・サブシステム	高速 ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

90067814f