

特長

- 最大12個の直列に接続されたバッテリー・セルを測定
- スタック接続型アーキテクチャにより、数百個の接続されたセルをサポート可能
- isoSPI™ インタフェースを内蔵
1Mbpsの絶縁型シリアル通信
1本のツイストペアケーブル使用し、最長100メートル
EMIの影響を受けにくく、EMIの放射が少ない
- 全測定誤差: 最大1.2mV
- システム内のすべてのセルを290μsで測定
- 電圧と電流の同期測定
- 周波数設定可能な3次ノイズ・フィルタを備えた16ビットΔΣ型A/Dコンバータ
- ISO26262準拠システムに対応した設計
- プログラム可能なタイマによるセルの受動式均等化機能
- 5つの汎用デジタル入出力またはアナログ入力:
温度などのセンサ入力
I²CまたはSPIのマスタとして構成可能
- スリープ・モード時の消費電流: 4μA
- 48ピンSSOPパッケージ

アプリケーション

- 電気自動車およびハイブリッド車
- バックアップ・バッテリー・システム
- グリッド・エネルギー蓄積装置
- 大電力携帯機器

概要

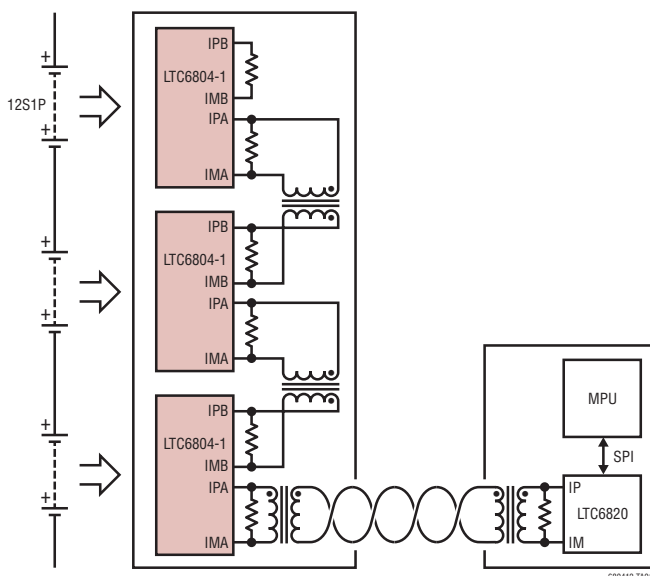
LTC®6804は、最大12個の直列に接続されたバッテリー・セルを1.2mV未満の全測定誤差で測定する第3世代のマルチセル・バッテリー・スタック・モニタです。セルの測定範囲は0V～5Vなので、LTC6804はほとんどの科学的組成のバッテリーに適しています。12セルの電圧は290μs以内にすべて取り込み可能であり、低めのデータ収集速度を選択することにより、ノイズ低減率を高めることができます。

複数のLTC6804デバイスを直列に接続できるので、電圧が高く長いバッテリー列のセルを同時にモニタすることができます。各LTC6804は、電波の影響を受けない高速のローカル・エリア通信向けisoSPIインタフェースを備えています。LTC6804-1を使用すると、複数のデバイスがデジタイズチェーン接続され、1つのホスト・プロセッサ接続ですべてのデバイスを接続できます。LTC6804-2を使用すると、複数のデバイスがホスト・プロセッサと並列に接続され、各デバイスにはアドレスが個別に指定されます。

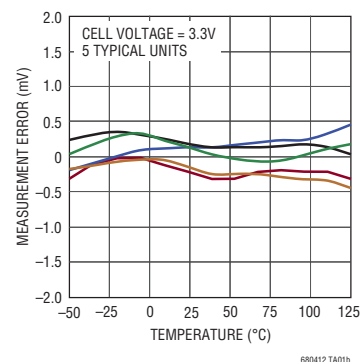
その他の特長としては、受動式セル均等化機能、5Vレギュレータ内蔵、5つの汎用I/Oポートがあります。スリープ・モードでは、消費電流は4μAに減少します。LTC6804へは、電力をバッテリーから直接供給することも、絶縁型電源から供給することもできます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。isoSPIはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



全測定誤差と
5つの代表的ユニットの温度



目次

特長.....	1	プログラミング例	52
アプリケーション	1	簡易リニア・レギュレータ	56
標準的応用例	1	向上したレギュレータの電力効率.....	56
概要.....	1	完全に絶縁された電源	57
絶対最大定格.....	3	外部温度プローブの読み取り	57
ピン配置	3	補助測定入力 of 拡張	58
発注情報.....	4	内部保護機能.....	58
電気的特性.....	4	セル入力とGPIO入力のフィルタリング	58
ピン機能	17	内部MOSFETによるセル・バランシング	60
ブロック図.....	18	外部MOSFETによるセル・バランシング	60
動作.....	20	セル測定時の放電制御.....	60
ステートチャート図	20	電力損失とサーマル・シャットダウン	61
LTC6804のコアのステートの説明.....	20	バランシング回路の検証方法	61
isoSPIのステートの説明	21	ホール効果センサを使用した電流測定	64
消費電力	21	シャント抵抗を使用した電流測定.....	64
AD変換器の動作	21	12個より少ないセルでのLTC6804の使用.....	65
データ収集システムの診断	26	同一PCB上での複数のLTC6804-1の接続.....	65
ウォッチドッグとソフトウェア放電タイマ	30	isoSPIデータ・リンクを使用したMCUと	
GPIOsを使用したLTC6804でのI ² C/SPIマスタ	31	LTC6804-1の接続	65
シリアル・インタフェースの概要	35	マルチドロップisoSPIリンクでのLTC6804-2の構成	65
4線シリアル・ペリフェラル・インタフェース (SPI) の		トランス選択ガイド	67
物理層.....	35	パッケージ	71
2線絶縁インタフェース (isoSPI) の物理層	36	標準的応用例.....	72
データ・リンク層	41	関連製品.....	72
ネットワーク層.....	41		

絶対最大定格 (Note 1)

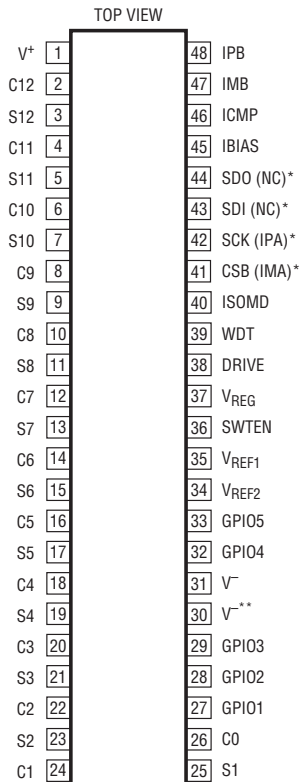
全電源電圧 ($V^+ \sim V^-$)	75V
入力電圧 (V^- を基準)	
C0.....	-0.3V ~ 0.3V
C12.....	-0.3V ~ 75V
C(n).....	-0.3V ~ 最小 ($8 \cdot n$, 75V)
S(n).....	-0.3V ~ 最小 ($8 \cdot n$, 75V)
IPA、IMA、IPB、IMB	-0.3V ~ $V_{REG} + 0.3V$
DRIVEピン	-0.3V ~ 7V
他の全てのピン.....	-0.3V ~ 6V
入力間の電圧 (Note 2)	
C(n) ~ C(n-1)	-0.3V ~ 8V
S(n) ~ C(n-1)	-0.3V ~ 8V
C12 ~ C8	-0.3V ~ 25V
C8 ~ C4	-0.3V ~ 25V
C4 ~ C0	-0.3V ~ 25V

端子の電流入力/出力

V_{REG} 、IPA、IMA、IPB、IMB、S(n)を除く全てのピン	10mA
IPA、IMA、IPB、IMB	30mA
動作温度範囲	
LTC6804I	-40°C ~ 85°C
LTC6804H	-40°C ~ 125°C
既定温度範囲	
LTC6804I	-40°C ~ 85°C
LTC6804H	-40°C ~ 125°C
接合部温度.....	150°C
保存温度.....	-65°C ~ 150°C
リード温度 (半田付け、10秒)	300°C

ピン配置

LTC6804-1

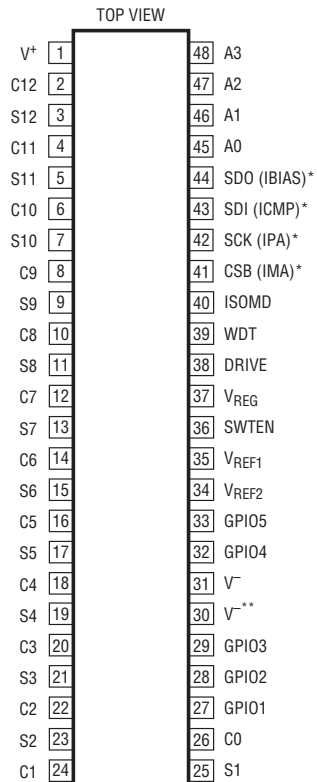


G PACKAGE
48-LEAD PLASTIC SSOP

$T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 55^\circ\text{C/W}$

* これらのピンの機能は、ISOMDの接続に依存する。
ISOMDを V^- に接続した場合: CSB、SCK、SDI、SDO
ISOMDを V_{REG} に接続した場合: IMA、IPA、NC、NC
** このピンは V^- に接続する必要がある。

LTC6804-2



G PACKAGE
48-LEAD PLASTIC SSOP

$T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 55^\circ\text{C/W}$

* これらのピンの機能は、ISOMDの接続に依存する。
ISOMDを V^- に接続した場合: CSB、SCK、SDI、SDO
ISOMDを V_{REG} に接続した場合: IMA、IPA、ICMP、IBIAS
** このピンは V^- に接続する必要がある。

LTC6804-1/LTC6804-2

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6804IG-1#PBF	LTC6804IG-1#TRPBF	LTC6804G-1	48-Lead Plastic SSOP	-40°C to 85°C
LTC6804HG-1#PBF	LTC6804HG-1#TRPBF	LTC6804G-1	48-Lead Plastic SSOP	-40°C to 125°C
LTC6804IG-2#PBF	LTC6804IG-2#TRPBF	LTC6804G-2	48-Lead Plastic SSOP	-40°C to 85°C
LTC6804HG-2#PBF	LTC6804HG-2#TRPBF	LTC6804G-2	48-Lead Plastic SSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度等級は出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADCのDC仕様						
	Measurement Resolution		●	0.1		mV/bit
	ADC Offset Voltage	(Note 2)	●	0.1		mV
	ADC Gain Error	(Note 2)	●	0.01 0.02		% %
	Total Measurement Error (TME) in Normal Mode	C(n) to C(n-1), GPIO(n) to $V^- = 0$		±0.2		mV
		C(n) to C(n-1) = 2.0		±0.1	±0.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$	●		±1.4	mV
		C(n) to C(n-1) = 3.3		±0.2	±1.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$	●		±2.2	mV
		C(n) to C(n-1) = 4.2		±0.3	±1.6	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$	●		±2.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$		±1		mV
		Sum of Cells	●	±0.2	±0.75	%
		Internal Temperature, T = Maximum Specified Temperature		±5		°C
		V _{REG} Pin	●	±0.1	±0.25	%
		V _{REF2} Pin	●	±0.02	±0.1	%
		Digital Supply Voltage V _{REGD}	●	±0.1	±1	%

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Total Measurement Error (TME) in Filtered Mode	C(n) to C(n - 1), GPIO(n) to $V^- = 0$		± 0.1		mV
		C(n) to C(n - 1) = 2.0		± 0.1	± 0.8	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 2.0$	●		± 1.4	mV
		C(n) to C(n - 1) = 3.3		± 0.2	± 1.2	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 3.3$	●		± 2.2	mV
		C(n) to C(n - 1) = 4.2		± 0.3	± 1.6	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 4.2$	●		± 2.8	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 5.0$		± 1		mV
		Sum of Cells	●	± 0.2	± 0.75	%
		Internal Temperature, T = Maximum Specified Temperature		± 5		$^\circ\text{C}$
		V _{REG} Pin	●	± 0.1	± 0.25	%
		V _{REF2} Pin	●	± 0.02	± 0.1	%
		Digital Supply Voltage V _{REGD}	●	± 0.1	± 1	%
	Total Measurement Error (TME) in Fast Mode	C(n) to C(n - 1), GPIO(n) to $V^- = 0$		± 2		mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 2.0$	●		± 4	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 3.3$	●		± 4.7	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 4.2$	●		± 8.3	mV
		C(n) to C(n - 1), GPIO(n) to $V^- = 5.0$		± 10		mV
		Sum of Cells	●	± 0.3	± 1	%
		Internal Temperature, T = Maximum Specified Temperature		± 5		$^\circ\text{C}$
		V _{REG} Pin	●	± 0.3	± 1	%
		V _{REF2} Pin	●	± 0.1	± 0.25	%
		Digital Supply Voltage V _{REGD}	●	± 0.2	± 2	%
	Input Range	C(n), n = 1 to 12	●	C(n - 1)	C(n - 1) + 5	V
		C0	●	0		
		GPIO(n), n = 1 to 5	●	0	5	V
I _L	Input Leakage Current When Inputs Are Not Being Measured	C(n), n = 0 to 12	●	10	± 250	nA
		GPIO(n), n = 1 to 5	●	10	± 250	nA
	Input Current When Inputs Are Being Measured	C(n), n = 0 to 12		± 2		μA
		GPIO(n), n = 1 to 5		± 2		μA
	Input Current During Open Wire Detection		●	70	100 130	μA

LTC6804-1/LTC6804-2

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電圧リファレンスの仕様							
V_{REF1}	1st Reference Voltage	V_{REF1} Pin, No Load	●	3.1	3.2	3.3	V
	1st Reference Voltage TC	V_{REF1} Pin, No Load			3		ppm/ $^\circ\text{C}$
	1st Reference Voltage Hysteresis	V_{REF1} Pin, No Load			20		ppm
	1st Reference Long Term Drift	V_{REF1} Pin, No Load			20		ppm/ $\sqrt{\text{kHr}}$
V_{REF2}	2nd Reference Voltage	V_{REF2} Pin, No Load	●	2.990	3	3.010	V
		V_{REF2} Pin, 5k Load to V^-	●	2.988	3	3.012	V
	2nd Reference Voltage TC	V_{REF2} Pin, No Load			10		ppm/ $^\circ\text{C}$
	2nd Reference Voltage Hysteresis	V_{REF2} Pin, No Load			100		ppm
	2nd Reference Long Term Drift	V_{REF2} Pin, No Load			60		ppm/ $\sqrt{\text{kHr}}$

一般DC仕様

I _{VP}	V ⁺ Supply Current (See Figure 1:LTC6804 Operation State Diagram)	State:Core = SLEEP, isoSPI = IDLE	V _{REG} = 0V		3.8	6	μA	
			V _{REG} = 0V	●	3.8	10	μA	
			V _{REG} = 5V		1.6	3	μA	
			V _{REG} = 5V	●	1.6	5	μA	
		State:Core = STANDBY		18	32	50	μA	
			●	10	32	60	μA	
		State:Core = REFUP or MEASURE		0.4	0.55	0.7	mA	
			●	0.375	0.55	0.725	mA	
I _{REG(CORE)}	V _{REG} Supply Current (See Figure 1:LTC6804 Operation State diagram)	State:Core = SLEEP, isoSPI = IDLE	V _{REG} = 5V		2.2	4	μA	
			V _{REG} = 5V	●	2.2	6	μA	
		State:Core = STANDBY		10	35	60	μA	
			●	6	35	65	μA	
		State:Core = REFUP		0.2	0.45	0.7	mA	
			●	0.15	0.45	0.75	mA	
		State:Core = MEASURE		10.8	11.5	12.2	mA	
			●	10.7	11.5	12.3	mA	
I _{REG(isoSPI)}	Additional V _{REG} Supply Current if isoSPI in READY/ACTIVE States Note:ACTIVE State Current Assumes t _{CLK} = 1μs, (Note 3)	LTC6804-2:ISOMD = 1, R _{B1} + R _{B2} = 2k	READY	●	3.9	4.8	5.8	mA
			ACTIVE	●	5.1	6.1	7.3	mA
		LTC6804-1:ISOMD = 0, R _{B1} + R _{B2} = 2k	READY	●	3.7	4.6	5.6	mA
			ACTIVE	●	5.7	6.8	8.1	mA
		LTC6804-1:ISOMD = 1, R _{B1} + R _{B2} = 2k	READY	●	6.5	7.8	9.5	mA
			ACTIVE	●	10.2	11.3	13.3	mA
		LTC6804-2:ISOMD = 1, R _{B1} + R _{B2} = 20k	READY	●	1.3	2.1	3	mA
			ACTIVE	●	1.6	2.5	3.5	mA
		LTC6804-1:ISOMD = 0, R _{B1} + R _{B2} = 20k	READY	●	1.1	1.9	2.8	mA
			ACTIVE	●	1.5	2.3	3.3	mA
		LTC6804-1:ISOMD = 1, R _{B1} + R _{B2} = 20k	READY	●	2.1	3.3	4.9	mA
			ACTIVE	●	2.7	4.1	5.8	mA

680412f

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	V^+ Supply Voltage	TME Specifications Met (Note 6)	●	11	40	55	V
V_{REG}	V_{REG} Supply Voltage	TME Supply Rejection $< 1\text{mV/V}$	●	4.5	5	5.5	V
	DRIVE output voltage	Sourcing $1\mu\text{A}$	●	5.4	5.6	5.8	V
			●	5.2	5.6	6.0	V
		Sourcing $500\mu\text{A}$	●	5.1	5.6	6.1	V
V_{REGD}	Digital Supply Voltage		●	2.7	3.0	3.6	V
	Discharge Switch ON Resistance	$V_{\text{CELL}} = 3.6\text{V}$	●		10	25	Ω
	Thermal Shutdown Temperature				150		$^\circ\text{C}$
$V_{\text{OL(WDT)}}$	Watchdog Timer Pin Low	WDT Pin Sinking 4mA	●			0.4	V
$V_{\text{OL(GPIO)}}$	General Purpose I/O Pin Low	GPIO Pin Sinking 4mA (Used as Digital Output)	●			0.4	V

ADCのタイミング仕様

t_{CYCLE} (Figure 3)	Measurement + Calibration Cycle Time When Starting from the REFUP State in Normal Mode	Measure 12 Cells	●	2120	2335	2480	μs
		Measure 2 Cells	●	365	405	430	μs
		Measure 12 Cells and 2 GPIO Inputs	●	2845	3133	3325	μs
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Filtered Mode	Measure 12 Cells	●	183	201.3	213.5	ms
		Measure 2 Cells	●	30.54	33.6	35.64	ms
		Measure 12 Cells and 2 GPIO Inputs	●	244	268.4	284.7	ms
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Fast Mode	Measure 12 Cells	●	1010	1113	1185	μs
		Measure 2 Cells	●	180	201	215	μs
		Measure 12 Cells and 2 GPIO Inputs	●	1420	1564	1660	μs
t_{SKEW1} (Figure 6)	Skew Time. The Time Difference between C12 and GPIO2 Measurements, Command = ADCVAX	Fast Mode	●	189	208	221	μs
		Normal Mode	●	493	543	576	μs
t_{SKEW2} (Figure 3)	Skew Time. The Time Difference between C12 and C0 Measurements, Command = ADCV	Fast Mode	●	211	233	248	μs
		Normal Mode	●	609	670	711	μs
t_{WAKE}	Regulator Start-Up Time	V_{REG} Generated from Drive Pin (Figure 28)	●		100	300	μs
t_{SLEEP}	Watchdog or Software Discharge Timer	SWTEN Pin = 0 or DCTO[3:0] = 0000	●	1.8	2	2.2	sec
		SWTEN Pin = 1 and DCTO[3:0] \neq 0000		0.5		120	min
t_{REFUP} (Figure 1, Figures 3 to 7)	Reference Wake-Up Time	State: Core = STANDBY	●	2.7	3.5	4.4	ms
		State: Core = REFUP	●			0	ms
f_{S}	ADC Clock Frequency		●	3.0	3.3	3.5	MHz

SPIインタフェースのDC仕様

$V_{\text{IH(SPI)}}$	SPI Pin Digital Input Voltage High	Pins CSB, SCK, SDI	●	2.3			V
$V_{\text{IL(SPI)}}$	SPI Pin Digital Input Voltage Low	Pins CSB, SCK, SDI	●			0.8	V
$V_{\text{IH(CFG)}}$	Configuration Pin Digital Input Voltage High	Pins ISOMD, SWTEN, GPIO1 to GPIO5, A0 to A3	●	2.7			V
$V_{\text{IL(CFG)}}$	Configuration Pin Digital Input Voltage Low	Pins ISOMD, SWTEN, GPIO1 to GPIO5, A0 to A3	●			1.2	V

680412f

LTC6804-1/LTC6804-2

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{\text{LEAK(DIG)}}$	Digital Input Current	Pins CSB, SCK, SDI, ISOMD, SWTEN, A0 to A3	●		± 1	μA
$V_{\text{OL(SDO)}}$	Digital Output Low	Pin SDO Sinking 1mA	●		0.3	V

isoSPIのDC仕様(図16を参照)

V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2.0 0	2.1	V V
I_{B}	Isolated Interface Bias Current	$R_{\text{BIAS}} = 2\text{k} \text{ to } 20\text{k}$	●	0.1		1.0	mA
A_{IB}	Isolated Interface Current Gain	$V_A \leq 1.6\text{V}$ $I_{\text{B}} = 1\text{mA}$ $I_{\text{B}} = 0.1\text{mA}$	● ●	18 18	20 20	22 24.5	mA/mA mA/mA
V_A	Transmitter Pulse Amplitude	$V_A = V_{\text{IP}} - V_{\text{IM}} $	●			1.6	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{\text{TCMP}} = A_{\text{TCMP}} \cdot V_{\text{ICMP}}$	●	0.2		1.5	V
$I_{\text{LEAK(ICMP)}}$	Input Leakage Current on ICMP Pin	$V_{\text{ICMP}} = 0\text{V} \text{ to } V_{\text{REG}}$	●			± 1	μA
$I_{\text{LEAK(IP/IM)}}$	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or $V_{\text{IM}} = 0\text{V} \text{ to } V_{\text{REG}}$	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{\text{CM}} = V_{\text{REG}}/2 \text{ to } V_{\text{REG}} - 0.2\text{V}$, $V_{\text{ICMP}} = 0.2\text{V} \text{ to } 1.5\text{V}$	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP/IM Not Driving		$(V_{\text{REG}} - V_{\text{ICMP}}/3 - 167\text{mV})$			V
R_{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	●	27	35	43	k Ω

isoSPIのアイドル/ウェイクアップ仕様(図21を参照)

V_{WAKE}	Differential Wake-Up Voltage	$t_{\text{DWELL}} = 240\text{ns}$	●	200			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection	$V_{\text{WAKE}} = 200\text{mV}$	●	240			ns
t_{READY}	Startup Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration		●	4.3	5.5	6.7	ms

isoSPIのパルス・タイミング仕様(図19を参照)

$t_{1/2\text{PW(CS)}}$	Chip-Select Half-Pulse Width		●	120	150	180	ns
$t_{\text{INV(CS)}}$	Chip-Select Pulse Inversion Delay		●			200	ns
$t_{1/2\text{PW(D)}}$	Data Half-Pulse Width		●	40	50	60	ns
$t_{\text{INV(D)}}$	Data Pulse Inversion Delay		●			70	ns

SPIのタイミング要件(図15および図20を参照)

t_{CLK}	SCK Period	(Note 4)	●	1			μs
t_1	SDI Setup Time before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time after SCK Rising Edge		●	25			ns
t_3	SCK Low	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_4	SCK High	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_5	CSB Rising Edge to CSB Falling Edge		●	0.65			μs
t_6	SCK Rising Edge to CSB Rising Edge	(Note 4)	●	0.8			μs
t_7	CSB Falling Edge to SCK Rising Edge	(Note 4)	●	1			μs

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 39.6\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
isoSPIのタイミング仕様(図19を参照)							
t_8	SCK Falling Edge to SDO Valid	(Note 5)	●			60	ns
t_9	SCK Rising Edge to Short ± 1 Transmit		●			50	ns
t_{10}	CSB Transition to Long ± 1 Transmit		●			60	ns
t_{11}	CSB Rising Edge to SDO Rising	(Note 5)	●			200	ns
t_{RTN}	Data Return Delay		●		430	525	ns
$t_{\text{DSY(CS)}}$	Chip-Select Daisy-Chain Delay		●		150	200	ns
$t_{\text{DSY(D)}}$	Data Daisy-Chain Delay		●		300	360	ns
t_{LAG}	Data Daisy-Chain Lag (vs Chip-Select)		●	0	35	70	ns
$t_6(\text{GOV})$	Data to Chip-Select Pulse Governor		●	0.8		1.05	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ADCの仕様は全測定誤差の仕様によって保証されている。

Note 3: ACTIVEステートの電流はDCの測定値から計算される。isoSPIポートに、データ1が50%、データ0が50%の連続的な1MHzの通信が存在する場合、ACTIVEステートの電流は、 V_{REG} への追加平均消費電流になる。クロック・レートが遅くなるほど、消費電流が減少する。詳細については、「アプリケーション情報」のセクションを参照。

Note 4: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に50nsの遅延を許容する。50nsは10mのCAT-5ケーブル(伝播速度が光速の66%)に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

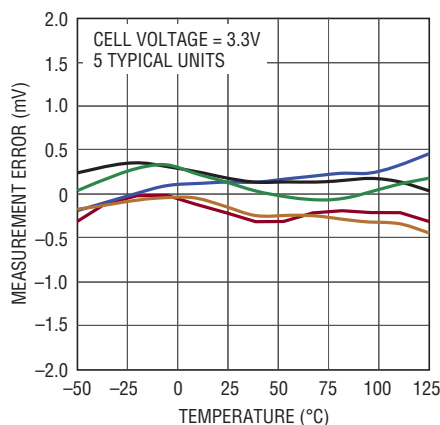
Note 5: これらの仕様には、SDOの立ち上がり時間と立ち下がり時間は含まれない。立ち下がり時間(内部プルダウン・トランジスタのため標準で5ns)は問題ではないが、立ち上がりエッジの遷移時間 t_{RISE} はSDOピンでのプルアップ抵抗と負荷容量によって異なる。SDOがMCUのセットアップ時間要件を満たすように、時定数を選択する必要がある。

Note 6: 正確に測定するには、 V^+ が最大C(n)電圧以上である必要がある。最上位セルの測定誤差と V^+ のグラフを参照。

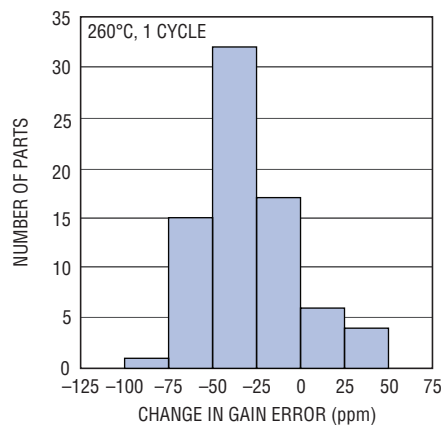
LTC6804-1/LTC6804-2

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

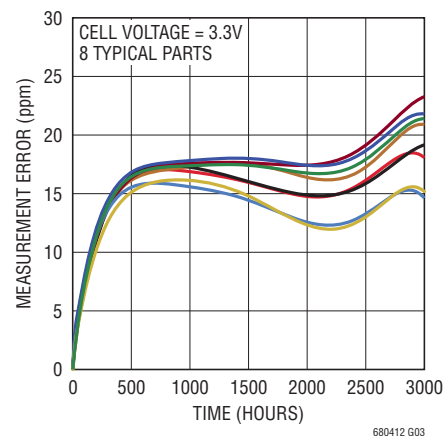
測定誤差と温度



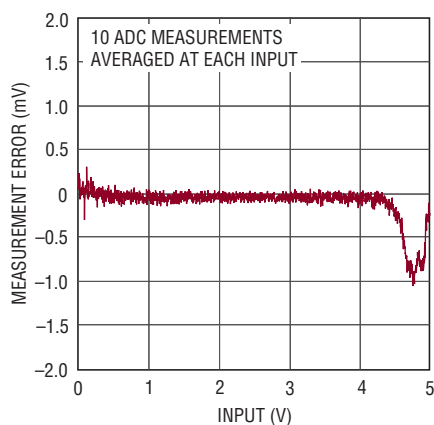
IR リフロー後の測定誤差



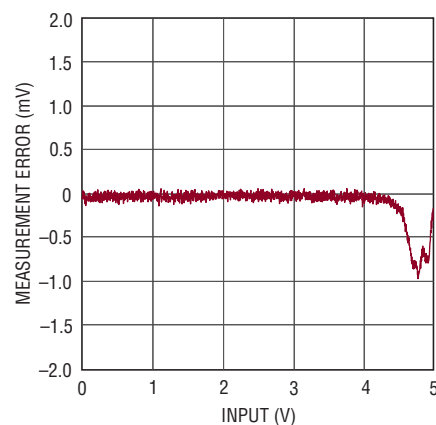
測定誤差の長期安定度



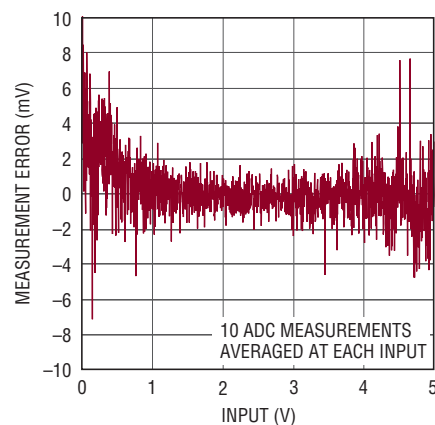
測定誤差と入力電圧
(ノーマル・モード)



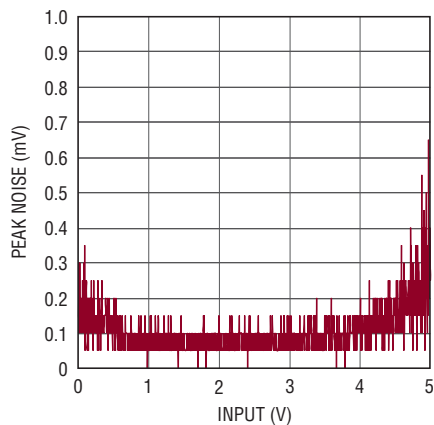
測定誤差と入力電圧
(フィルタ・モード)



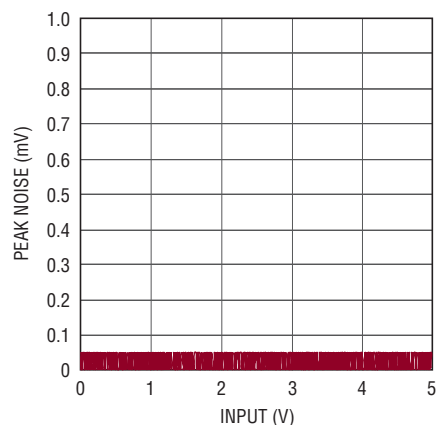
測定誤差と入力電圧
(高速モード)



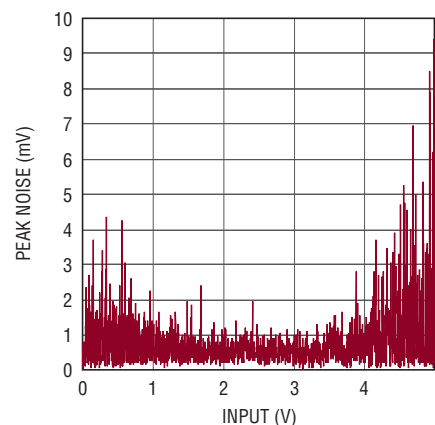
測定ノイズと入力電圧
(ノーマル・モード)



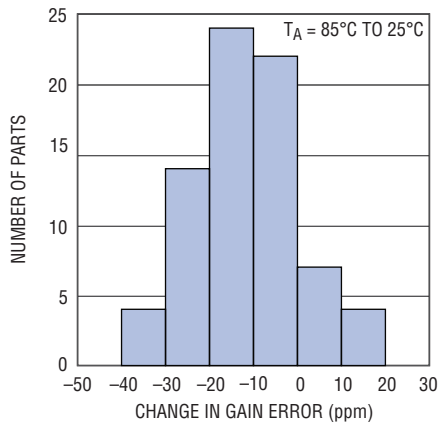
測定ノイズと入力電圧
(フィルタ・モード)



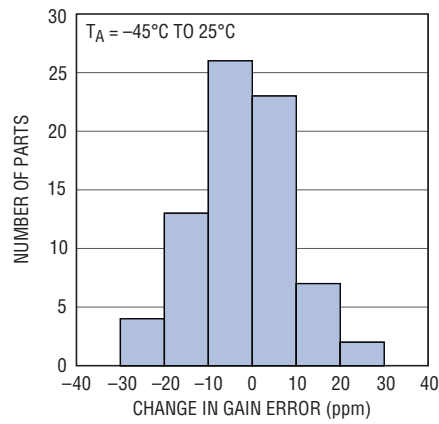
測定ノイズと入力電圧
(高速モード)



680412f

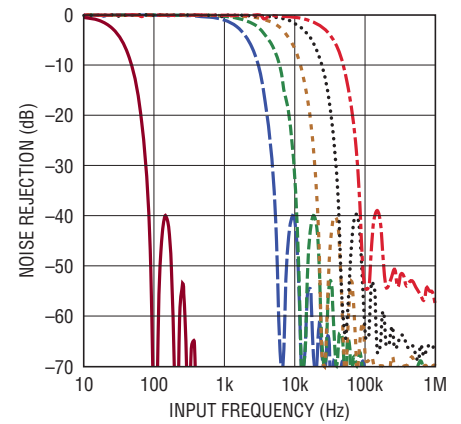
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。測定利得誤差のヒステリシス
(高温時)

680412 G10

測定利得誤差のヒステリシス
(低温時)

680412 G11

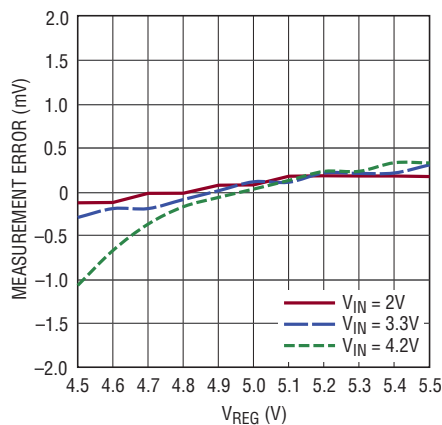
ノイズ・フィルタ応答性



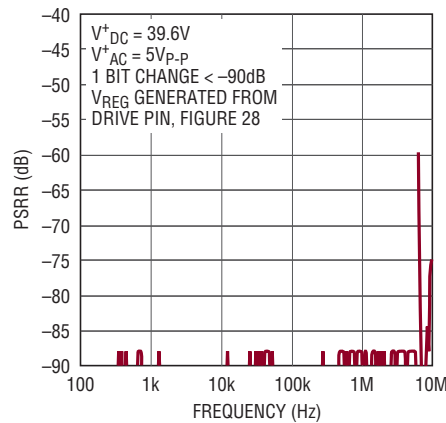
ADC MODE:

— FILTERED — NORMAL
 — 2kHz — 15kHz
 — 3kHz — FAST

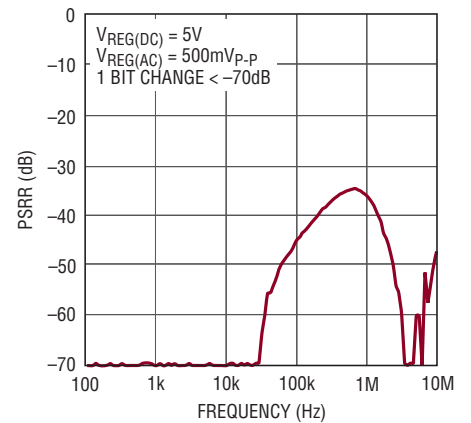
680412 G12

測定誤差と V_{REG} 

680412 G13

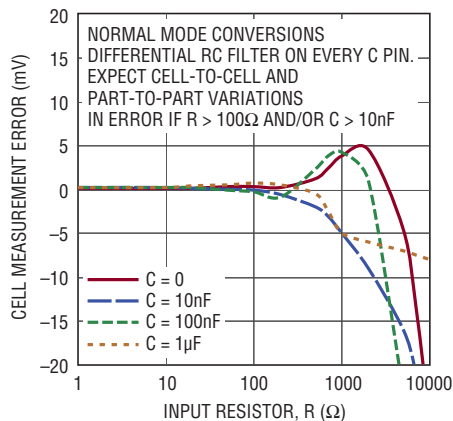
測定誤差 V^+ PSRR と周波数

680412 G14

測定誤差 V_{REG} PSRR と周波数

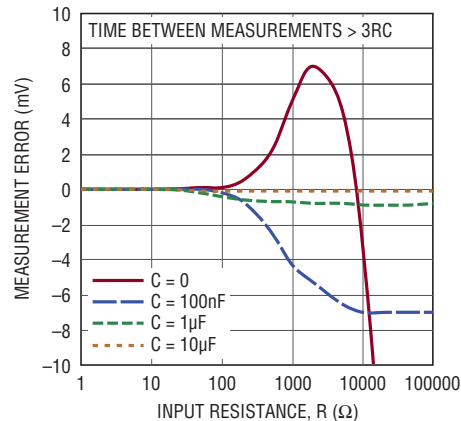
680412 G15

電圧の測定誤差と入力 RC 値

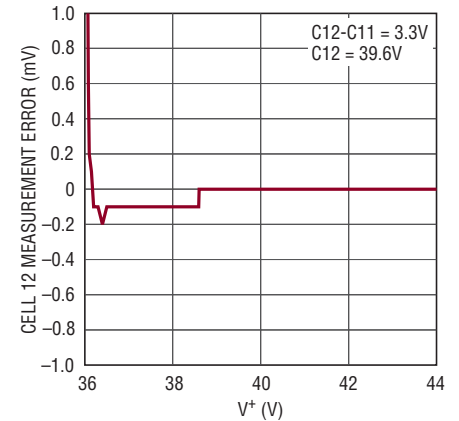


680412 G16

GPIO の測定誤差と入力 RC 値



680412 G17

最上位セルの測定誤差と V^+ 

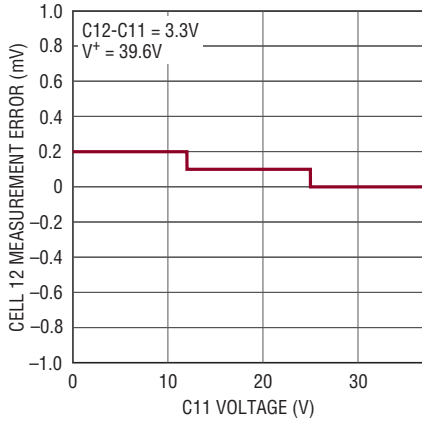
680412 G18

680412f

LTC6804-1/LTC6804-2

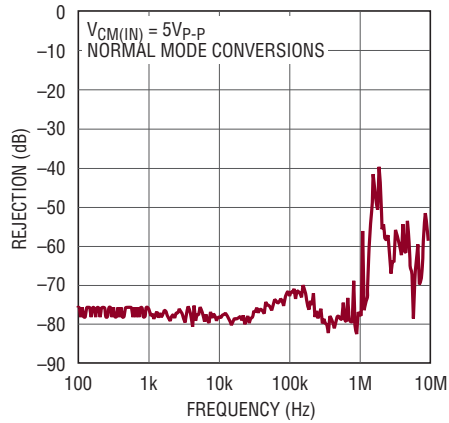
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

セル電圧の測定誤差と同相電圧



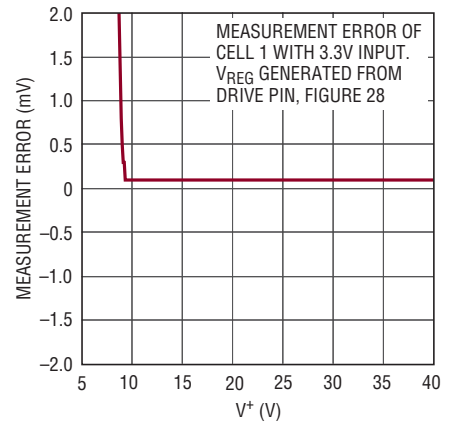
680412 G19

セル電圧の測定 CMRR と周波数



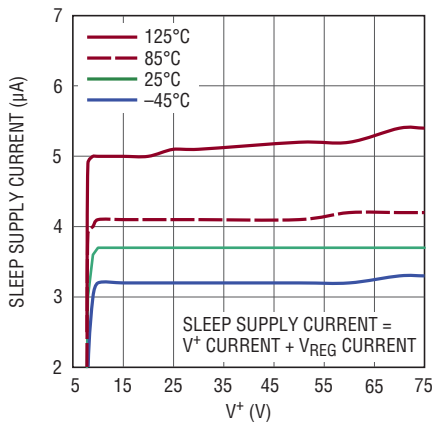
680412 G20

測定誤差と V^+



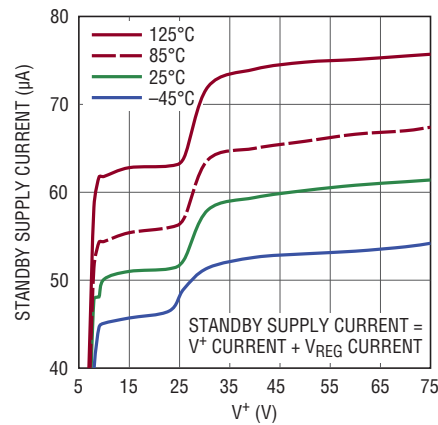
680412 G21

スリープ時消費電流と V^+



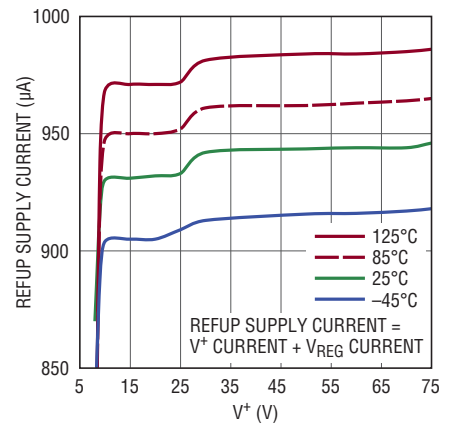
680412 G22

スタンバイ時消費電流と V^+



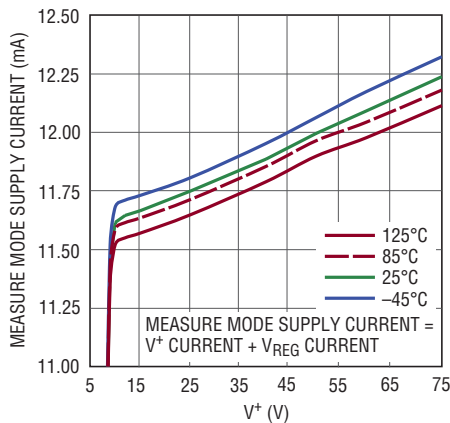
680412 G23

REFUP 消費電流と V^+



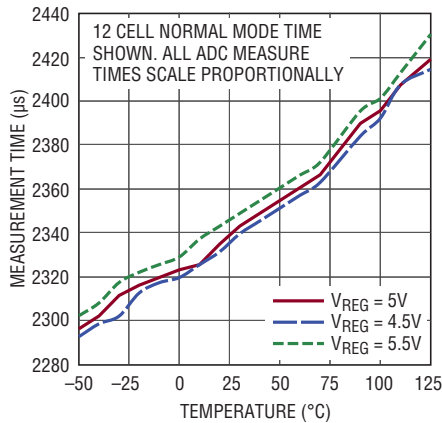
680412 G24

測定モード時消費電流と V^+



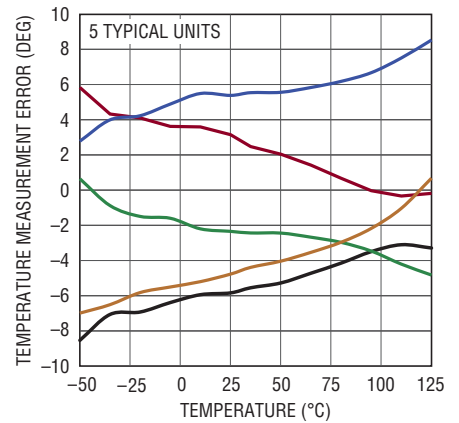
680412 G25

測定時間と温度



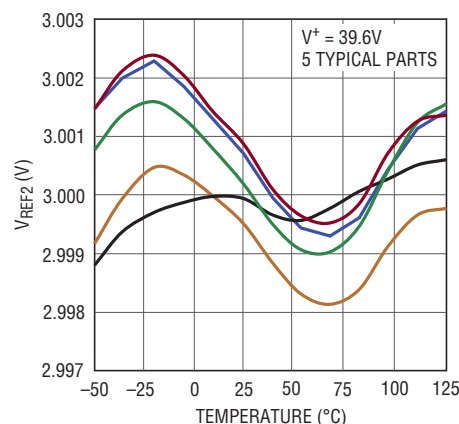
680412 G26

内部ダイ温度の測定誤差と温度

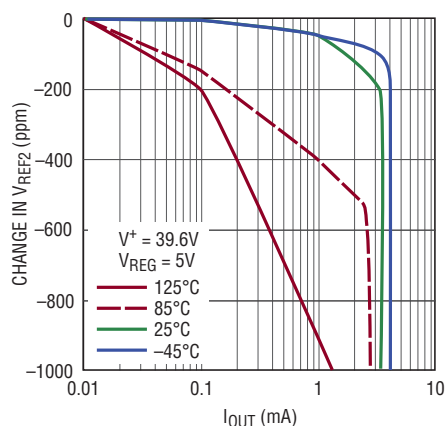


680412 G27

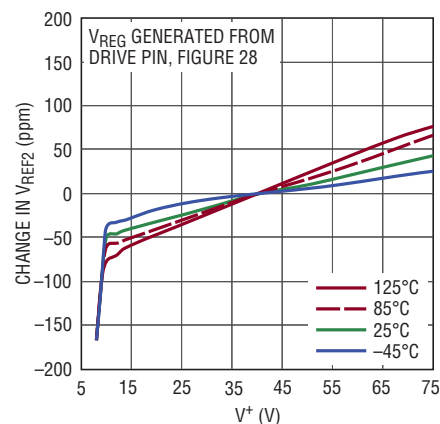
680412f

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。 V_{REF2} と温度

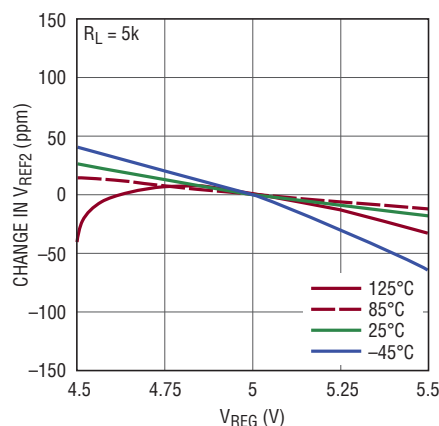
680412 G28

 V_{REF2} の負荷レギュレーション

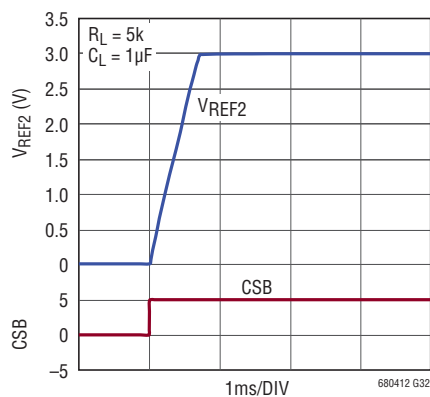
680412 G29

 V_{REF2} V^+ の入力レギュレーション

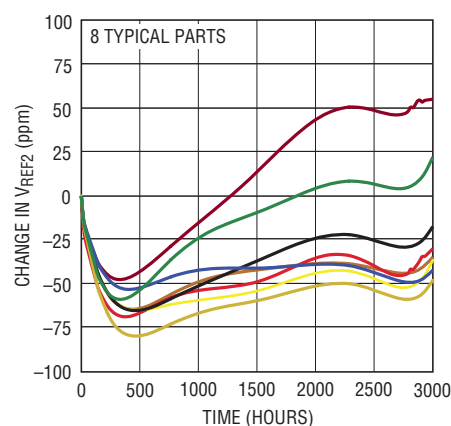
580412 G30

 V_{REF2} の V_{REG} に対する
ラインレギュレーション

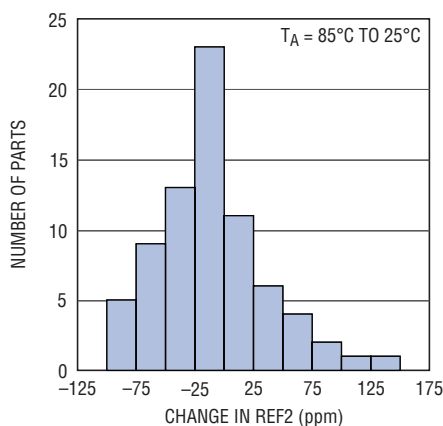
680412 G31

 V_{REF2} の起動

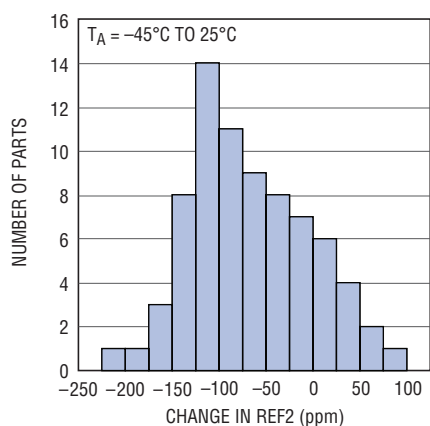
680412 G32

 V_{REF2} の長期安定度

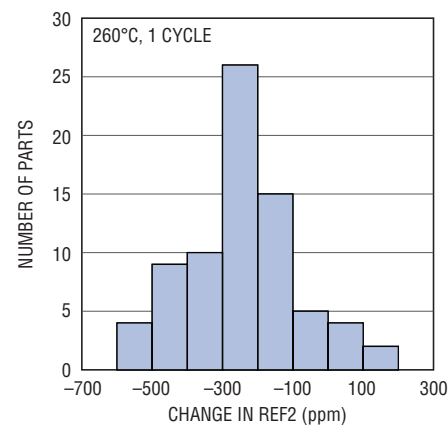
680412 G33

 V_{REF2} のヒステリシス(高温時)

680412 G34

 V_{REF2} のヒステリシス(低温時)

680412 G35

IRリフローによる V_{REF2} の変化

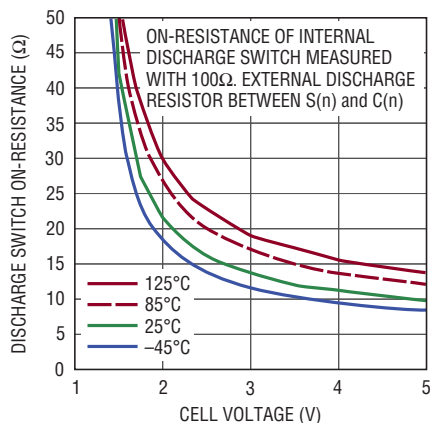
680412 G36

680412f

LTC6804-1/LTC6804-2

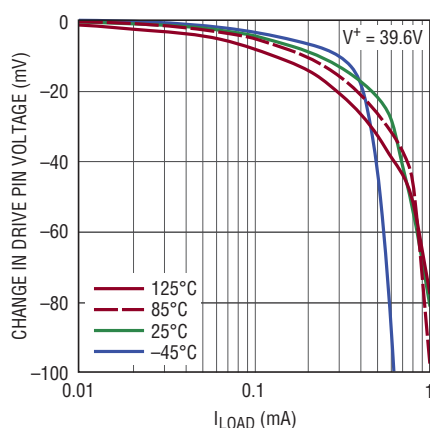
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

放電スイッチのオン抵抗とセル電圧



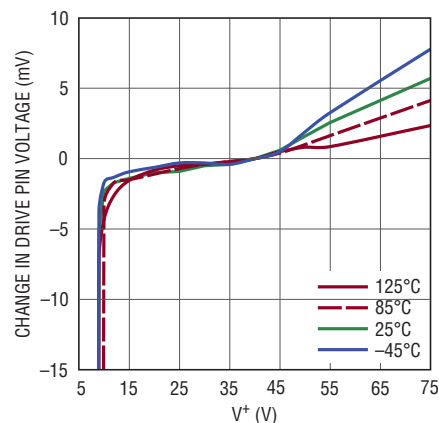
680412 G37

ドライブ・ピンの負荷応答特性



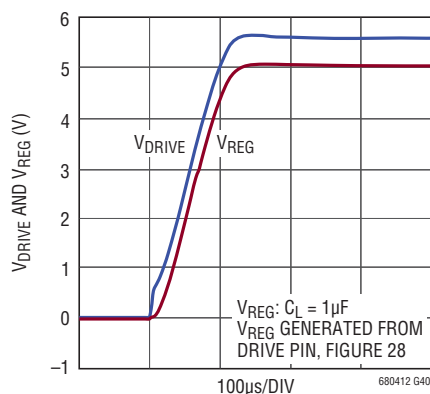
680412 G38

ドライブ・ピンのラインレギュレーション



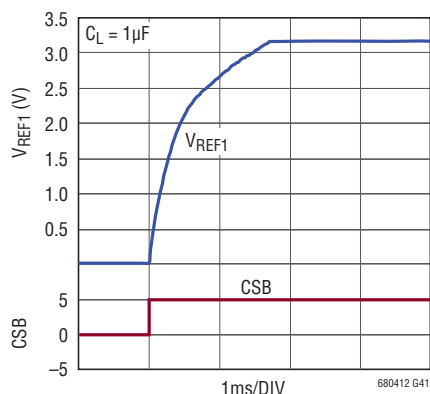
680412 G39

ドライブ・ピンとVREGピンの起動



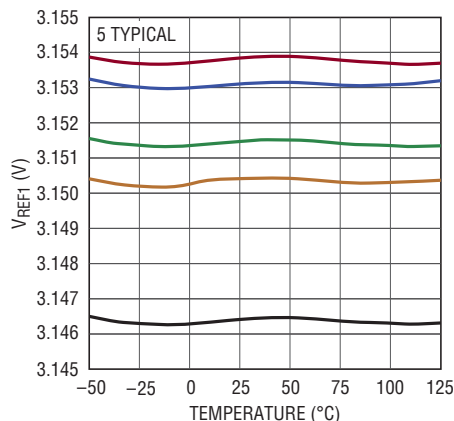
680412 G40

VREF1の起動



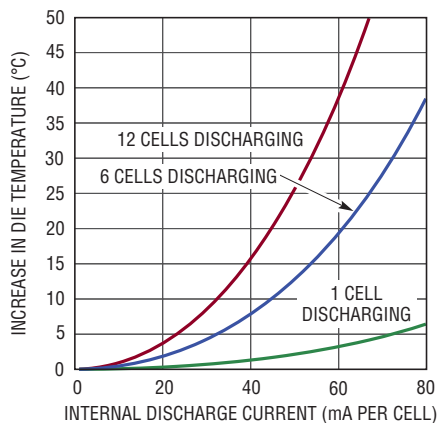
680412 G41

VREF1の温度特性



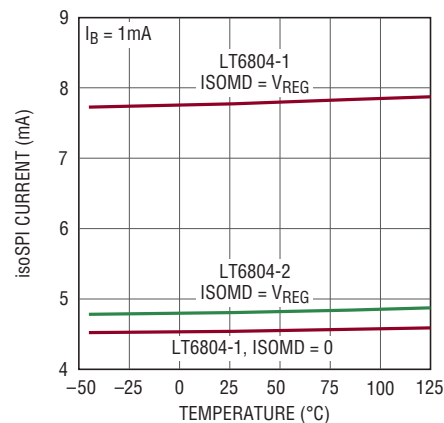
680412 G42

内部ダイ温度の増加と放電電流



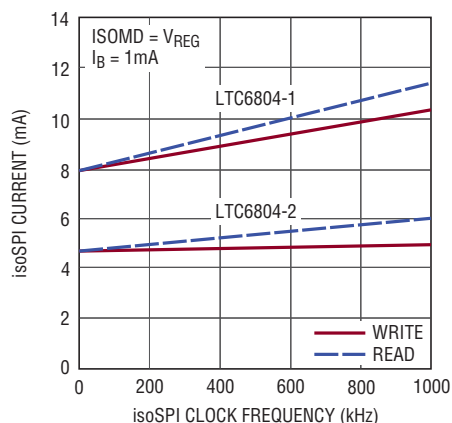
680412 G43

isoSPI電流(READY時)と温度



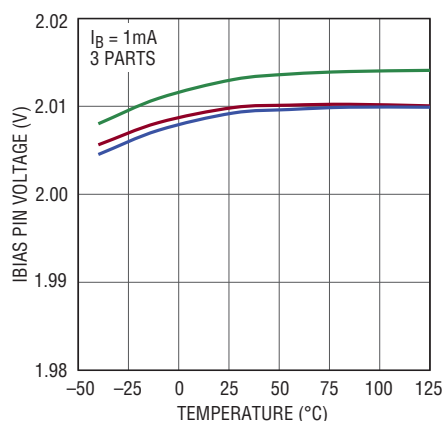
680412 G44

isoSPI電流(READY時/ACTIVE時)とisoSPIクロック周波数

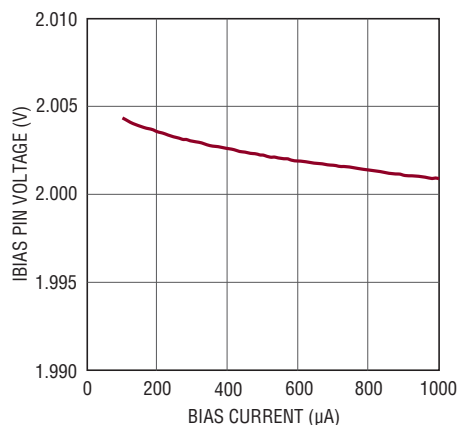


680412 G45

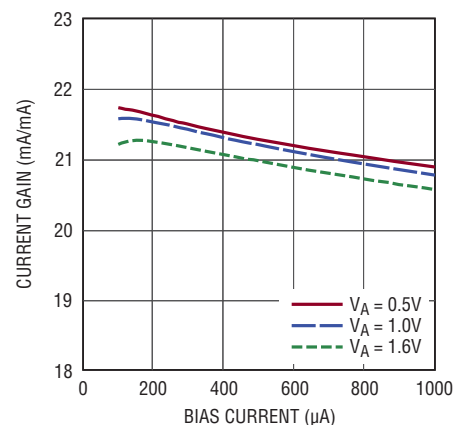
680412f

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。I_{BIAS} 電圧と温度

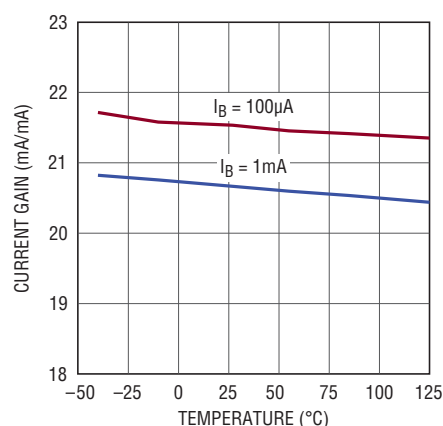
680412 G46

I_{BIAS} 電圧の負荷レギュレーション

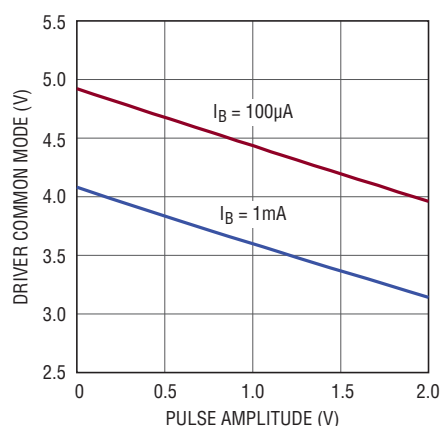
408912 G47

isoSPI ドライバ電流の利得
(ポート A/ポート B) とバイアス電流

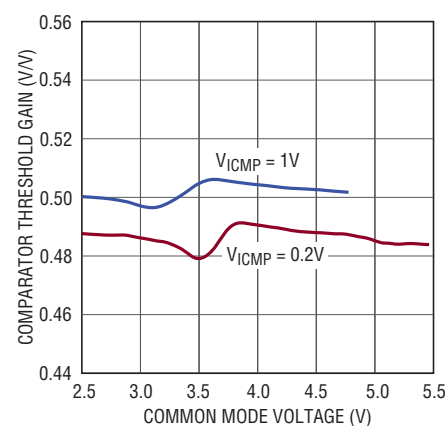
680412 G48

isoSPI ドライバ電流の利得
(ポート A/ポート B) と温度

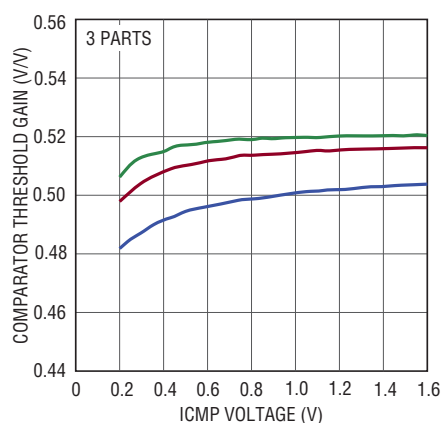
680412 G49

isoSPI ドライバの同相電圧
(ポート A/ポート B) とパルス振幅

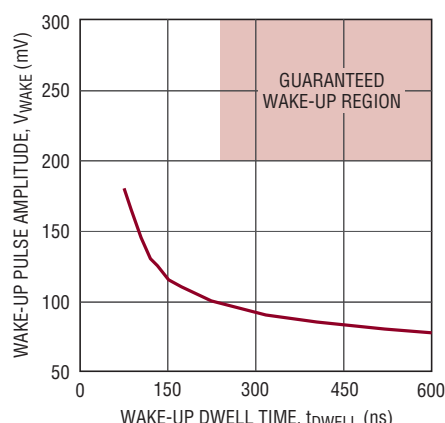
680412 G50

isoSPI コンパレータのしきい値の
利得 (ポート A/ポート B) と
同相電圧

680412 G51

isoSPI コンパレータのしきい値の
利得 (ポート A/ポート B) と
ICMP 電圧

680412 G52

標準的ウェイクアップ・パルスの
振幅 (ポート A) と滞留時間

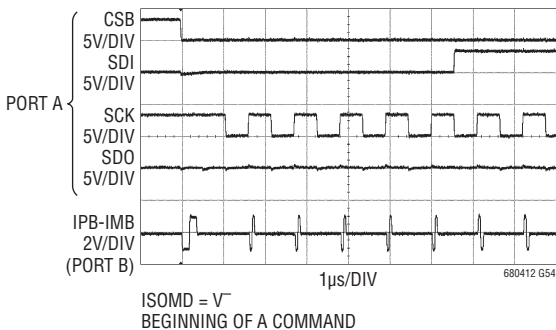
680412 G53

680412f

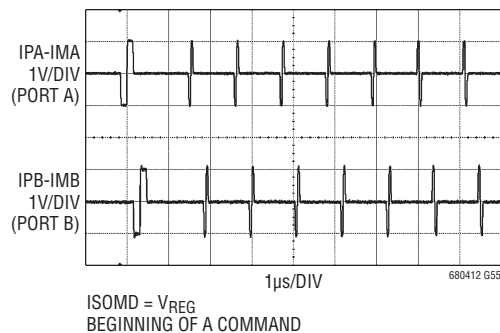
LTC6804-1/LTC6804-2

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

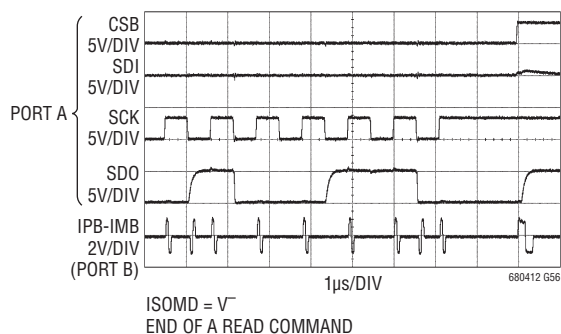
デジチェーン接続されたデバイス
へのコマンドの書き込み (ISOMD = 0)



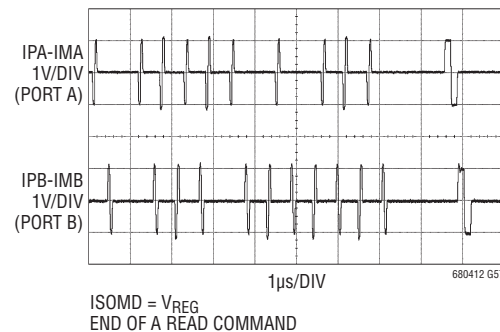
デジチェーン接続されたデバイス
へのコマンドの書き込み (ISOMD = 1)



デジチェーン接続されたデバイス
からのデータ読み出し (ISOMD = 0)



デジチェーン接続されたデバイス
からのデータ読み出し (ISOMD = 1)



ピン機能

C0～C12: セルの入力。

S1～S12: 入力/出力均等化。S(n)とC(n-1)の間に、12個のN-MOSFETを接続し各セルを放電します。

V⁺: 正電源ピン。

V⁻: 負電源ピン。デバイスの外部で、各V⁻ピンを互いに短絡させる必要があります。

VREF2: 複数の10kサーミスタをドライブするためのバッファ付き2次リファレンス出力。外付けの1μFコンデンサでバイパスします。

VREF1: ADCリファレンス出力。外付けの1μFコンデンサでバイパスします。DC負荷を接続することはできません。

GPIO[1～5]: 汎用I/Oポート。デジタル入力またはデジタル出力として使用するか、V⁻～5Vの測定範囲でアナログ入力として使用できます。GPIO [3～5]を、I²CポートまたはSPIポートとして使用できます。

SWTEN: ソフトウェア・タイマ・イネーブル。ソフトウェア・タイマをイネーブルするには、このピンをV_{REG}に接続します。

DRIVE: NPNのベースをこのピンに接続します。コレクタはV⁺に接続し、エミッタはV_{REG}に接続します。

V_{REG}: 5Vレギュレータ入力。外付けの1μFコンデンサでバイパスします。

ISOMD: シリアル・インタフェース・モード。2線絶縁型インタフェース(ISO SPI)モードの場合、ISOMDをV_{REG}に接続してLTC6804のピン41～44を設定します。ISOMDをV⁻に接続すると、LTC6804は4線SPIモードになります。

WDT: ウォッチドッグ・タイマ出力ピン。これはオープン・ドレインNMOSのデジタル出力です。このピンは未接続のままにするか、1Mの抵抗を介してV_{REG}に接続することができます。LTC6804が2秒以内に有効なコマンドを受信しない場合は、ウォッチドッグ・タイマ回路がLTC6804をリセットし、WDTピンが高インピーダンスになります。

シリアル・ポート・ピン

	LTC6804-1 (デジタイゼーション可能)		LTC6804-2 (アドレス指定可能)	
	ISOMD = V _{REG}	ISOMD = V ⁻	ISOMD = V _{REG}	ISOMD = V ⁻
PORT B (Pins 45 to 48)	IPB	IPB	A3	A3
	IMB	IMB	A2	A2
	ICMP	ICMP	A1	A1
	IBIAS	IBIAS	A0	A0
PORT A (Pins 41 to 44)	(NC)	SDO	IBIAS	SDO
	(NC)	SDI	ICMP	SDI
	IPA	SCK	IPA	SCK
	IMA	CSB	IMA	CSB

CSB, SCK, SDI, SDO: 4線シリアル・ペリフェラル・インタフェース(SPI)。アクティブ“L”のチップ・セレクト(CSB)、シリアル・クロック(SCK)、およびシリアル・データ入力(SDI)はデジタル入力です。シリアル・データ出力(SDO)はオープン・ドレインNMOS出力ピンです。SDOには5Kのプルアップ抵抗が必要です。

A0～A3: アドレス・ピン。これらのデジタル入力は、アドレス指定可能なシリアル・コマンド用のチップ・アドレスを設定するために、V_{REG}またはV⁻に接続されます。

IPA, IMA: 絶縁型2線シリアル・インタフェース・ポートA。IPA(プラス)とIMA(マイナス)は、差動入力/と出力の対です。

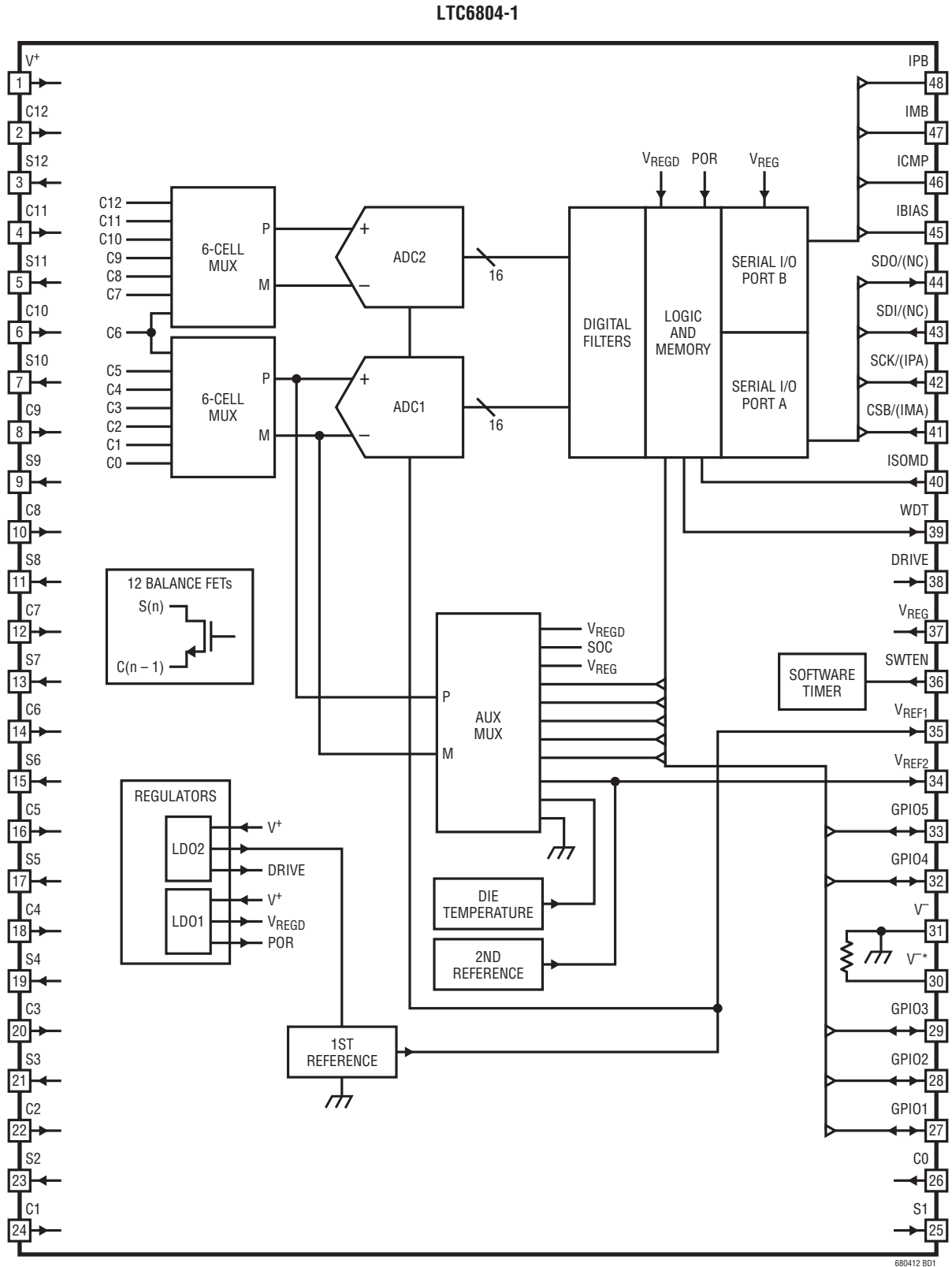
IPB, IMB: 絶縁型2線シリアル・インタフェース・ポートB。IPB(プラス)とIMB(マイナス)は、差動入力/と出力の対です。

IBIAS: 絶縁型インタフェースの電流バイアス。抵抗分割器を介してIBIASをV⁻に接続し、インタフェースの出力電流レベルを設定します。ISO SPIインタフェースがイネーブルされている場合、IBIASピンの電圧は2Vです。IPA/IMAまたはIPB/IMBの出力電流ドライブは、IBIASピンからソースされる電流(I_B)の20倍に設定されます。

ICMP: 絶縁型インタフェースのコンパレータ電圧しきい値設定。このピンをIBIASとV⁻の間の抵抗分割器に接続し、ISO SPIレシーバのコンパレータの電圧しきい値を設定します。コンパレータの電圧しきい値は、ICMPピン電圧の1/2に設定されます。

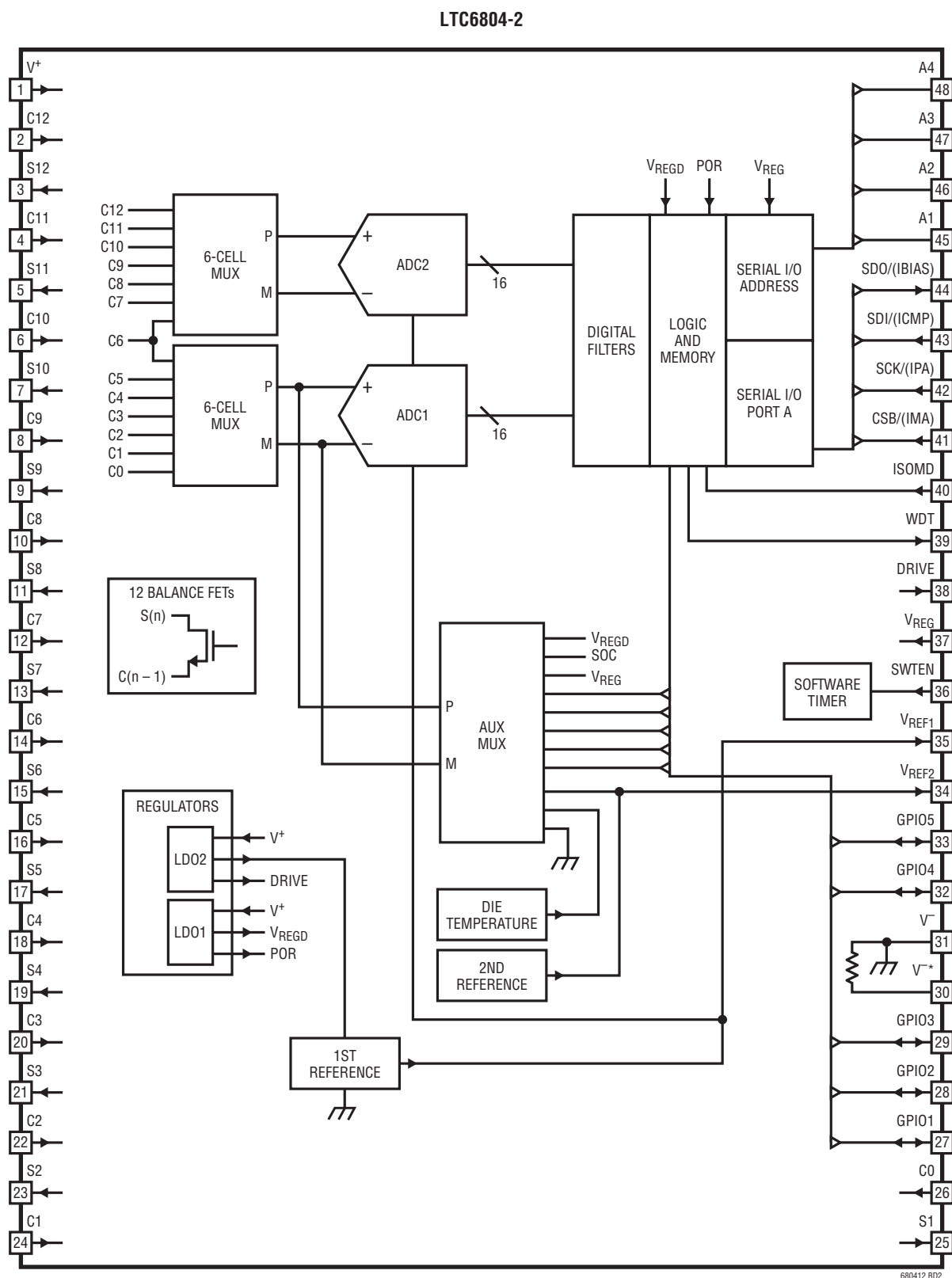
LTC6804-1/LTC6804-2

ブロック図



680412f

ブロック図



動作

ステートチャート図

LTC6804の動作は、コア回路とisoSPI回路の2つの部分に分かれています。両方の部分は、独立した一連の動作ステートと、タイムアウトによるシャットダウンを備えています。

LTC6804のコアのステートの説明

SLEEP ステート

リファレンスとAD変換器がパワーダウンされます。ウォッチドッグ・タイマ(「ウォッチドッグとソフトウェア放電タイマ」を参照)はオーバーフローしています。また、ソフトウェア放電タイマも無効化またはオーバーフローしています。消費電流は、最小レベルに減少します。isoSPIポートは、IDLEステートになります。

ウェイクアップ信号を受信した場合(「シリアル・インタフェースのウェイクアップ」を参照)、LTC6804はSTANDBYステートに入ります。

STANDBY ステート

リファレンスとAD変換器がオフになります。ウォッチドッグ・タイマまたはソフトウェア放電タイマ(あるいは両方)は実行中です。DRIVEピンは、外付けトランジスタを経由してV_{REG}ピンに5Vの電力を供給します。(あるいは、外部電源からV_{REG}に電力を供給できます。)

有効なADCコマンドを受け取るか、設定レジスタ・グループのREFONビットが1に設定された場合、デバイスはリファレンスをパワーアップできる状態になるまでt_{REFUP}の間停止し、その後REFUPステートまたはMEASUREステートに移行します。

そうでない場合、LTC6804は、t_{SLEEP}の経過後(ウォッチドッグとソフトウェア放電タイマの両方がオーバーフローしたとき)にSLEEPステートに戻ります。ソフトウェア放電タイマが無効化されている場合、ウォッチドッグ・タイマのみが関係します。

REFUP ステート

このステートに達するには、設定レジスタ・グループのREFONビットを1に設定する必要があります(WRCFGコマンドを使用。表36を参照)。AD変換器はオフになります。LTC6804がSTANDBYステートから開始するよりも早くAD変換を開始できるようにするために、リファレンスがパワーアップされます。

有効なADCコマンドを受け取るとデバイスはMEASUREステートになり、変換を開始します。そうでない場合、手動(WRCFGコマンドを使用)でREFONビットを0に設定するか、ウォッチドッグ・タイマがオーバーフローしたときに自動的に、LTC6804はSTANDBYステートに戻ります。(その後、ウォッチドッグとソフトウェア放電タイマがオーバーフローすると、LTC6804は直接SLEEPステートに移行します。)

MEASURE ステート

このステートでは、LTC6804はAD変換を実行します。リファレンスとAD変換器がパワーアップされます。

AD変換の完了後、REFONビットに応じて、LTC6804はREFUPステートまたはSTANDBYステートのいずれかに移行します。REFONを1に設定してREFUPステートを活用することによって、AD変換器の立上げ処理を短縮します。

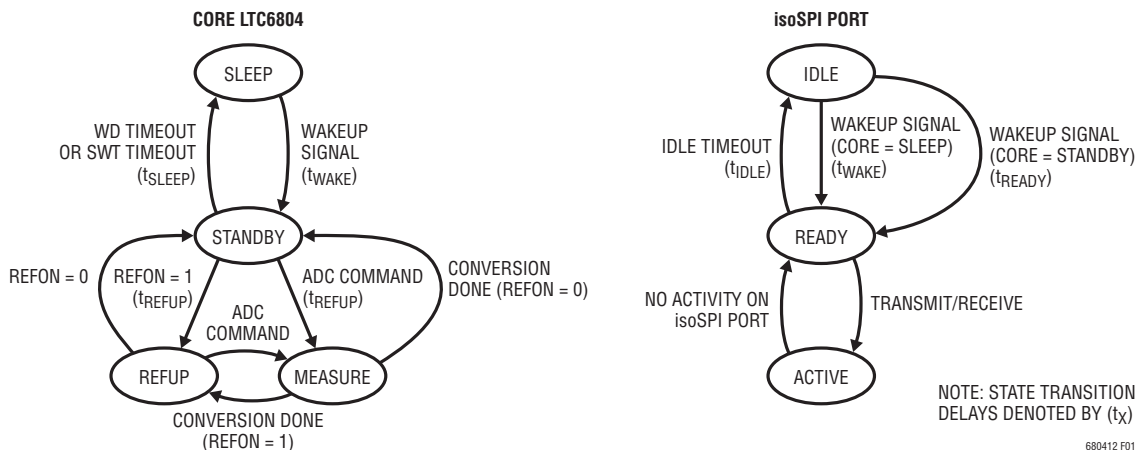


図 1. LTC6804 動作状態図

動作

注記: ADC コマンド以外のコマンドは、コアのステートの移行を引き起こしません。ADC コマンドまたは診断コマンドのみが、コアを MEASURE ステートに移行します。

isoSPI のステートの説明

注記: LTC6804-1 は、デジタイズ通信に 2 つの isoSPI ポート (A および B) を備えています。LTC6804-2 は、アドレス指定可能なパラレル通信に 1 つの isoSPI ポート (A) を備えています。

IDLE ステート

isoSPI ポートはパワーダウンされます。

isoSPI ポート A がウェイクアップ信号を受信すると (「シリアル・インタフェースのウェイクアップ」を参照)、isoSPI は READY ステートに移行します。コアが STANDBY ステートにある場合、DRIVE ピンと V_{REG} ピンには既に電源供給があるため、素早く (t_{READY} 以内) READY ステートに移行します。コアが SLEEP ステートにある場合、isoSPI は、ウェイクアップ信号を受信してから、t_{WAKE} 以内で READY ステートに移行します。

READY ステート

isoSPI ポートは通信可能な状態にあります。ポート B は、LTC6804-1 でのみイネーブルされ、LTC6804-2 には存在しません。このステートでのシリアル・インタフェース電流は LTC6804-1 と LTC6804-2 で異なるほか、ISOMD ピンの状態と R_{BIAS} = R_{B1} + R_{B2} (IBIAS ピンに接続された外付け抵抗) によっても異なります。

t_{IDLE} = 5.5ms を超える間、ポート A で動作が発生しなかった場合 (つまり、ウェイクアップ信号がなかった場合)、LTC6804 は IDLE ステートに移行します。シリアル・インタフェースがデータを送信または受信すると、LTC6804 は ACTIVE ステートに移行します。

ACTIVE ステート

LTC6804 は、1 つまたは 2 つ両方の isoSPI ポートを用いてデータの送受信を行います。シリアル・インタフェースは、この状態で最も多くの電力を消費します。isoSPI パルスの密度が増えるに従って、クロック周波数と共に消費電流が増加します。

消費電力

LTC6804 には、V⁺ ピンおよび V_{REG} ピンを通して電力が供給されます。V⁺ 入力、最上位セルの電圧以上の電圧を必要とし、コア回路の高電圧素子に電力を供給します。V⁺ は、バッテリー・スタックの最上位セルに直接または外部電源に接続でき

ます。V_{REG} 入力は 5V を必要とし、残りのコア回路と isoSPI 回路に電力を供給します。V_{REG} 入力は、安定化された DRIVE 出力ピンから、外付けトランジスタを経由して電力を供給され、ドライブできます。あるいは、外部電源から V_{REG} に電力を供給できます。

消費電力は、動作ステートによって異なります。各ステートでの電源ピンの電流を近似する式を、表 1 と表 2 に示します。V⁺ ピンの電流はコアのステートにのみ依存し、isoSPI のステートには依存しません。ただし、V_{REG} ピンの電流は、コアのステートと isoSPI のステートの両方に依存するため、2 つの成分に分けることができます。isoSPI 回路には V_{REG} ピンからのみ電流を消費します。

$$I_{REG} = I_{REG(CORE)} + I_{REG(isoSPI)}$$

表 1. コアの消費電流

ステート		I _{V+}	I _{REG(CORE)}
SLEEP	V _{REG} = 0V	3.8μA	0μA
	V _{REG} = 5V	1.6μA	2.2μA
STANDBY		32μA	35μA
REFUP		550μA	450μA
MEASURE		550μA	11.5mA

外部電源から電力が供給された場合、SLEEP ステートでは、V_{REG} ピンに約 2.2μA が流れます。そうでない場合、V⁺ ピンが必要な電流を供給します。

AD 変換器の動作

LTC6804 には 2 つの AD 変換器があります。これら 2 つの AD 変換器は、12 個のセルを測定する際に同時に動作します。汎用入力の測定に使われる AD 変換器は 1 つだけです。以下の説明で ADC と表記されている場合は、動作の内容に応じて 1 つまたは 2 つの AD 変換器を表わします。また、例えばタイミング図のように、2 つの回路を区別する必要がある時は ADC1、ADC2 と表記します。

ADC モード

設定レジスタ・グループの ADCOPT ビット (CFGR0[0]) と変換コマンドのモード選択ビット MD[1:0] を組み合わせて、ADC の 6 つの動作モードが提供されます。これらのモードは、異なるオーバー・サンプリング率 (OSR) に対応しています。これらのモードの精度を表 3 にまとめています。それぞれのモードにおいて、ADC は最初に入力を測定し、その次に各チャネルの較正を行います。各モードの名前は、ADC 測定の -3dB の帯域幅に基づいています。

LTC6804-1/LTC6804-2

動作

表 2. isoSPI の消費電流の式

isoSPI のステート	デバイス	ISOMD 接続	I _{REG} (isoSPI)
IDLE	LTC6804-1/LTC6804-2	N/A	0mA
READY	LTC6804-1	V _{REG}	$2.8\text{mA} + 5 \cdot I_B$
		V _−	$1.6\text{mA} + 3 \cdot I_B$
	LTC6804-2	V _{REG}	$1.8\text{mA} + 3 \cdot I_B$
		V _−	0mA
ACTIVE	LTC6804-1	V _{REG}	Write: $2.8\text{mA} + 5 \cdot I_B + (2 \cdot I_B + 0.4\text{mA}) \cdot \frac{1\mu\text{s}}{t_{\text{CLK}}}$ Read: $2.8\text{mA} + 5 \cdot I_B + (3 \cdot I_B + 0.5\text{mA}) \cdot \frac{1\mu\text{s}}{t_{\text{CLK}}}$
		V _−	$1.6\text{mA} + 3 \cdot I_B + (2 \cdot I_B + 0.2\text{mA}) \cdot \frac{1\mu\text{s}}{t_{\text{CLK}}}$
	LTC6804-2	V _{REG}	Write: $1.8\text{mA} + 3 \cdot I_B + (0.3\text{mA}) \cdot \frac{1\mu\text{s}}{t_{\text{CLK}}}$ Read: $1.8\text{mA} + 3 \cdot I_B + (I_B + 0.3\text{mA}) \cdot \frac{1\mu\text{s}}{t_{\text{CLK}}}$
		V _−	0mA

表 3. ADC フィルタの帯域幅と精度

モード	−3dB フィルタ帯域幅	−40dB フィルタ帯域幅	3.3V、25°C での TME 仕様	3.3V、−40°C、85°C での TME 仕様
27kHz (Fast Mode)	27kHz	84kHz	±4.7mV	±4.7mV
14kHz	13.5kHz	42kHz	±4.7mV	±4.7mV
7kHz (Normal Mode)	6.8kHz	21kHz	±1.2mV	±2.2mV
3kHz	3.4kHz	10.5kHz	±1.2mV	±2.2mV
2kHz	1.7kHz	5.3kHz	±1.2mV	±2.2mV
26Hz (Filtered Mode)	26Hz	82Hz	±1.2mV	±2.2mV

注記: TME は全測定値誤差。

7kHz モード (ノーマル・モード)

このモードでは、ADC は高い分解能を持ち、TME (全測定誤差) が低く抑えられています。これは、速度と精度のバランスが最適になるように組み合わせられていることから、ノーマル動作モードと見なされます。

27kHz モード (高速モード)

このモードでは、ADC のスループットは最大になりますが、TME (全測定誤差) がある程度増加します。そのためこのモードは、高速モードとも呼ばれます。速度の向上は、オーバーサンプリング率を小さくすることによって実現されます。その結果、ノイズと平均測定誤差が増加します。

26Hz モード (フィルタ・モード)

このモードでは、OSR を増やすことによって、ADC のデジタル・フィルタの −3dB 周波数を 26Hz に低減します。このモードは、低い −3dB 周波数のため、フィルタ・モードとも呼ばれます。精度は 7kHz モード (ノーマル・モード) と同様ですが、ノイズが少なくなります。

14kHz、3kHz、および 2kHz モード

14kHz、3kHz、および 2kHz モードは、ADC デジタル・フィルタの −3dB 周波数をそれぞれ 13.5kHz、3.4kHz、および 1.7kHz に設定する追加オプションを提供します。14kHz モードの精度は、27kHz モード (高速モード) と同様です。3kHz モードと 2kHz モードの精度は、7kHz モード (ノーマル・モード) と同様です。

680412f

動作

これらのモードの変換時間を表5に示します。コアがSTANDBYステートにある場合、ADC変換を開始する前にリファレンスをパワーアップするために、さらに t_{REFUP} 時間が必要になります。設定レジスタ・グループのREFONビットを1に設定した場合、各AD変換の間でリファレンスをパワーアップしたままにできます。その場合、コアは、遅延 t_{REFUP} の後にREFUPステートになります。その後のADCコマンドでは、AD変換を開始する前に t_{REFUP} の遅延は発生しません。

ADCの範囲と分解能

C入力とGPIO入力の範囲と分解能は同じです。LTC6804内のADCの範囲は、およそ $-0.82V \sim 5.73V$ です。負の読み取り値は0Vに丸められます。データのフォーマットは符号なし16ビット整数で、LSBが $100\mu V$ を示します。したがって、 $0x80E8$ (10進数で33,000)は3.3Vの測定値を示します。

デルタシグマ型ADCでは、特に高速モードなどでオーバー・サンプリング率(OSR)が低い場合に、入力電圧に応じて量子化ノイズが発生します。ADCモードの一部では、量子化ノイズは、入力電圧がADC範囲の上限と下限に近づくに従って増加します。例として、図2に、ノーマル・モードとフィルタ・モードでの全測定ノイズと入力電圧を示します。

ADCの既定範囲は0V～5Vです。表4では、ADCの精度範囲は、0.5V～4.5Vの間で任意に定義されます。これは、より低いOSRモードでも量子化ノイズが相対的に一定になる範囲です(図2を参照)。ADCの6つの動作モードすべてについて、この範囲内の合計ノイズを表4にまとめます。ノイズのない分解能も示されています。例えば、ノーマル・モードでのノイズ

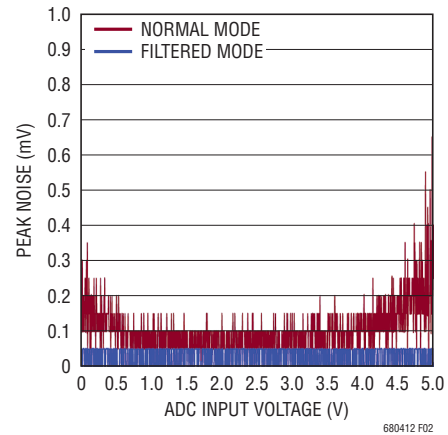


図2. 測定ノイズと入力電圧

のない14ビットの分解能とは、DC入力で上位14ビットにはノイズがないが、15番目と16番目の最下位ビット(LSB)が変動することを意味しています。

ADC範囲と電圧リファレンス値

標準的なデルタシグマ型ADCの範囲は電圧リファレンスを正確に2倍した値で、ADCの測定誤差は電圧リファレンスの誤差に比例しますが、LTC6804のADCは標準的なものではありません。 V_{REF1} の絶対値は、ADCの利得誤差を補正するためにトリムアップ/ダウンされます。したがって、ADCの全測定誤差(TME)仕様は V_{REF1} の仕様よりも優れています。例えば、7kHzモード(ノーマル・モード)での3.300V測定時の全測定誤差は25°C仕様で $\pm 1.2mV$ ですが、 V_{REF1} の25°C仕様は $3.200V \pm 100mV$ です。

表4. ADCの範囲と分解能

モード	全範囲 ¹	規定範囲	精度範囲 ²	LSB	形式	最大ノイズ	ノイズのない分解能 ³
27kHz (Fast)	$-0.8192V$ to $5.7344V$	0V to 5V	0.5V to 4.5V	100 μV	Unsigned 16 Bits	$\pm 4mV_{p-p}$	10 Bits
14kHz						$\pm 1mV_{p-p}$	12 Bits
7kHz (Normal)						$\pm 250\mu V_{p-p}$	14 Bits
3kHz						$\pm 150\mu V_{p-p}$	14 Bits
2kHz						$\pm 100\mu V_{p-p}$	15 Bits
26Hz (Filtered)						$\pm 50\mu V_{p-p}$	16 Bits

1. 負の読み取り値は0Vに丸められます。

2. 精度範囲は、ノイズが最大ノイズより小さくなる範囲です。

3. ノイズのない分解能は、精度範囲内のノイズ・レベルの測定値です。

動作

セル電圧の測定 (ADCV コマンド)

ADCV コマンドは、ピン C0 から C12 までのバッテリー・セル入力の測定を開始します。このコマンドには、測定チャネル数と ADC モードを選択するためのオプションが複数あります。ADCV コマンドのフォーマットについては、「コマンド」のセクションを参照してください。

図3は、12個のセルすべてを測定する ADCV コマンドのタイミングを示しています。12個のセルすべてを測定するための ADCV コマンドを受け取ると、ADC1 がボトム側6個のセルを順に測定し、ADC2 はトップ側6個のセルを順に測定します。セル測定が完了すると、オフセット誤差をなくすために各チャネルの較正が行われます。

12個のセルすべてを測定する ADCV コマンドの変換時間を表5に示します。合計変換時間は、較正ステップの終了を示す t_{6C} から得られます。

図4は、2つのセルのみを測定する ADCV コマンドのタイミングを示しています。

2つのセルのみを測定する ADCV コマンドの変換時間を、表6に示します。 t_{1C} は、このコマンドの合計変換時間を示しています。

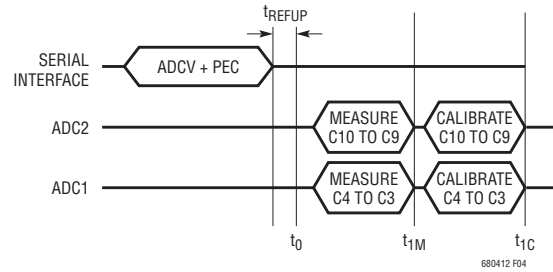


図4.2セルを測定する ADCV コマンドのタイミング

表6. さまざまなモードで2つのセルのみを測定する ADCV コマンドの変換時間

モード	変換時間 (μs)		
	t_0	t_{1M}	t_{1C}
27kHz	0	57	201
14kHz	0	86	230
7kHz	0	144	405
3kHz	0	240	501
2kHz	0	493	754
26Hz	0	29,817	33,568

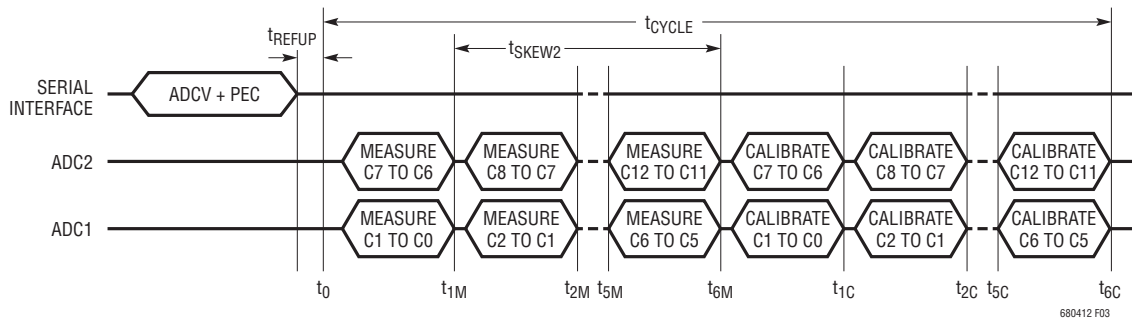


図3.12個のセルすべてを測定する ADCV コマンドのタイミング

表5. さまざまなモードで12個のセルすべてを測定する ADCV コマンドの変換時間

モード	変換時間 (μs)								
	t_0	t_{1M}	t_{2M}	t_{5M}	t_{6M}	t_{1C}	t_{2C}	t_{5C}	t_{6C}
27kHz	0	57	103	243	290	432	568	975	1,113
14kHz	0	86	162	389	465	606	742	1,149	1,288
7kHz	0	144	278	680	814	1,072	1,324	2,080	2,335
3kHz	0	260	511	1,262	1,512	1,770	2,022	2,778	3,033
2kHz	0	493	976	2,425	2,908	3,166	3,418	4,175	4,430
26Hz	0	29,817	59,623	149,043	178,850	182,599	186,342	197,571	201,317

動作

低電圧/過電圧モニタ

セル電圧が測定された際、その結果は設定レジスタに保存された低電圧しきい値および過電圧しきい値と比較されます。セルの測定値が過電圧しきい値を超えている場合は、過電圧フラグのビットがセットされます。同様に、測定結果が低電圧しきい値を下回っている場合は低電圧フラグのビットがセットされます。過電圧しきい値と低電圧しきい値は、設定レジスタ・グループに格納されます。各フラグは、ステータス・レジスタ・グループ B に格納されます。

補助(GPIO)測定(ADAXコマンド)

ADAX コマンドによって GPIO 入力 の測定が開始されます。このコマンドには、測定する GPIO 入力 (GPIO1 ~ 5) と ADC モードを選択するためのオプションがあります。ADAX コマンドは、2 番目のリファレンスも測定します。ADAX コマンドには、各 GPIO と 2 番目のリファレンスを個別に測定するためのオプションと、5 つの GPIO すべてと 2 番目のリファレンスを 1 つのコマンドで測定するためのオプションがあります。ADAX コマンドのフォーマットについては、「コマンド」のセクションを参照してください。すべての補助測定は V_{ピン} の電圧を基準にしてい

ます。GPIO に温度センサを接続すれば、このコマンドを使用して外部温度を測定することができます。これらのセンサの電源は 2 番目のリファレンスから取ることができ、このリファレンスも ADAX コマンドによって測定されるので、正確な比率に基づいて測定を行うことができます。

図 5 は、すべての GPIO と 2 番目のリファレンスを測定する ADAX コマンドのタイミングを示しています。6 つの測定がすべて ADC1 に対してのみ実行されるため、ADAX コマンドの変換時間は ADCV コマンドと同様です。

セル電圧と GPIO の測定 (ADCVAX コマンド)

ADCVAX コマンドは、12 個のセルの測定値を 2 つの GPIO 測定値 (GPIO1 および GPIO2) と組み合わせます。このコマンドを使用すれば、電流センサを GPIO1 入力または GPIO2 入力に接続した場合に、バッテリー・セル電圧測定値と電流測定値の同期が容易になります。ADCVAX コマンドのタイミングを図 6 に示します。ADCVAX コマンドのフォーマットについては、「コマンド」のセクションを参照してください。高速モードにおける電流測定値と電圧測定値の同期時間 (t_{skew1}) は、208 μs 以内です。

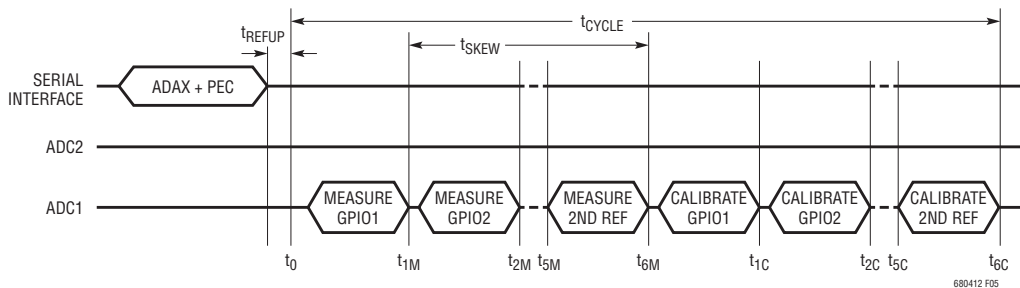


図 5. すべての GPIO と 2 番目のリファレンスを測定する ADAX コマンドのタイミング

表 7. さまざまなモードですべての GPIO と 2 番目のリファレンスを測定する ADAX コマンドの変換時間

モード	変換時間 (μs)								
	t_0	t_{1M}	t_{2M}	t_{5M}	t_{6M}	t_{1C}	t_{2C}	t_{5C}	t_{6C}
27kHz	0	57	103	243	290	432	568	975	1,113
14kHz	0	86	162	389	465	606	742	1,149	1,288
7kHz	0	144	278	680	814	1,072	1,324	2,080	2,335
3kHz	0	260	511	1,262	1,512	1,770	2,022	2,778	3,033
2kHz	0	493	976	2,425	2,908	3,166	3,418	4,175	4,430
26Hz	0	29,817	59,623	149,043	178,850	182,599	186,342	197,571	201,317

動作

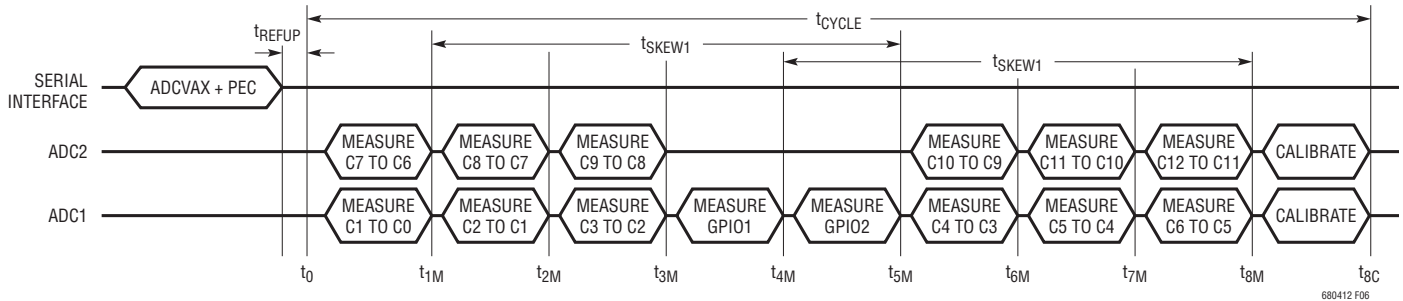


図6.ADCVAXコマンドのタイミング

表 8. さまざまなモードでの ADCVAX コマンドの変換時間と同期時間

モード	変換時間 (μs)										同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{8M}	t _{8C}	t _{SKWE1}
27kHz	0	57	106	155	216	265	326	375	424	1,564	208
14kHz	0	86	161	237	320	396	479	555	630	1,736	310
7kHz	0	144	278	412	553	687	828	962	1,096	3,133	543
3kHz	0	260	511	761	1,018	1,269	1,526	1,777	2,027	4,064	1009
2kHz	0	493	976	1,459	1,949	2,432	2,923	3,406	3,888	5,925	1939
26Hz	0	29,817	59,623	89,430	119,244	149,051	178,864	208,671	238,478	268,442	119234

さまざまなモードでの ADCVAX コマンドの変換時間と同期時間を表 8 に示します。このコマンドの合計変換時間は、t_{8C} から得られます。

データ収集システムの診断

バッテリー・モニタ・データ収集システムは、マルチプレクサ、ADC、1 番目のリファレンス、デジタル・フィルタ、およびメモリで構成されます。信頼性の高い性能を長期間保証するために、診断コマンドがいくつかあります。これらのコマンドを使用して、各回路が正常に動作していることを確認できます。

内部デバイス・パラメータの測定 (ADSTAT コマンド)

ADSTAT コマンドは、次の内部デバイス・パラメータを測定する診断コマンドです：すべてのセルの合計 (SOC)、内部ダイ温度 (ITMP)、アナログ電源 (VA)、およびデジタル電源 (VD)。これらのパラメータについて、以降のセクションで説明します。6つの ADC モードは、すべてこれらの変換で使用できます。ADSTAT コマンドのフォーマットについては、「コマンド」のセクションを参照してください。図 7 は、4つの内部デバイス・パラメータすべてを測定する ADSTAT コマンドのタイミングを示しています。

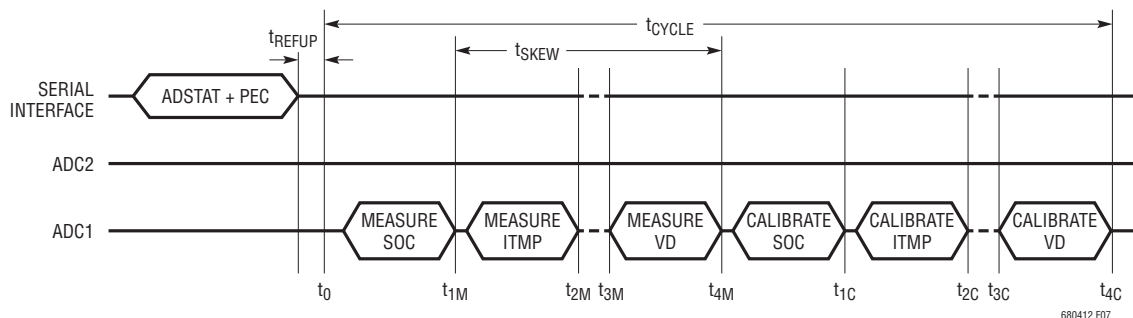


図 7.SOC、ITMP、VA、VD を測定する ADSTAT コマンドのタイミング

動作

4つの内部パラメータすべてを測定するADSTATコマンドの変換時間を表9に示します。 t_{4c} は、ADSTATコマンドの合計変換時間を示しています。

すべてのセルの合計測定：すべてのセルの合計測定値は、減衰を20:1とした場合のC12とC0の間の電圧です。16ビットADCのセルの合計測定値(SOC)は、ステータス・レジスタ・グループAに格納されます。SOCの値から、すべてのセル電圧の合計測定値は、次の式によって得られます。

$$\text{すべてのセルの合計} = \text{SOC} \cdot 20 \cdot 100\mu\text{V}$$

内部ダイ温度：ADSTATコマンドは、内部ダイ温度の測定にも使用できます。16ビットADCのダイ温度の測定値(ITMP)は、ステータス・レジスタ・グループAに格納されます。ITMPから、実際のダイ温度は次の式を用いて計算されます。

$$\text{内部ダイ温度} (^{\circ}\text{C}) = (\text{ITMP}) \cdot 100\mu\text{V} / (7.5\text{mV})^{\circ}\text{C} - 273^{\circ}\text{C}$$

電源測定値：ADSTATコマンドは、アナログ電源(V_{REG})とデジタル電源(V_{REGD})の測定にも使われます。

16ビットADCのアナログ電源の測定値(V_A)は、ステータス・レジスタ・グループAに格納されます。16ビットADCのデジタル電源の測定値(V_D)は、ステータス・レジスタ・グループBに格納されます。 V_A と V_D から、各電源の測定値は次の式によって得られます。

$$\text{アナログ電源の測定値} (V_{\text{REG}}) = V_A \cdot 100\mu\text{V}$$

$$\text{デジタル電源の測定値} (V_{\text{REGD}}) = V_D \cdot 100\mu\text{V}$$

V_{REG} の公称範囲は4.5V～5.5Vです。 V_{REGD} の公称範囲は2.7V～3.6Vです。

精度チェック

データ収集システムの精度を確認する最良の方法は、独立した電圧リファレンスを測定することです。LTC6804には、このために2番目のリファレンスが内蔵されています。ADAXコマンドは、この2番目のリファレンスの測定を開始します。測定結果は、補助レジスタ・グループBに配置されます。この結果の範囲は、ADC測定の精度と2番目のリファレンスの精度によって変わり、熱ヒステリシスと長期間ドリフトを含んでいます。読み取り値が2.980～3.020の範囲を外れる場合は、システムが指定された許容差に収まっていないことを示しています。

MUXデコーダ・チェック

診断コマンドDIAGNによって、各マルチプレクサ・チャンネルが正しく動作していることを確認できます。このコマンドはすべてのチャンネルを巡回確認して、使われていないチャンネル・デコーダがある場合はステータス・レジスタのグループBのMUXFAILビットを1に設定します。チャンネル・デコーダがテストに合格した場合、MUXFAILビットは0に設定されます。MUXFAILビットは、パワーアップ時(POR)またはCLRSTATコマンドの実行後にも、1に設定されます。

コアがREFUPステートにある場合、DIAGNコマンドの実行には約400 μs かかります。コアがSTANDBYステートにある場合、DIAGNコマンドの実行には約4.5msかかります。「ポーリング方法」のセクションに記載されたポーリング方法を使用して、DIAGNコマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマADCは、1ビット・パルス密度変調器とその後段に接続されたデジタル・フィルタで構成されています。アナログ入力電圧が高くなると、パルス密度変調ビット・ストリームにおける1の比率(%)が大きくなります。

表9. SOC、ITMP、 V_A 、 V_D を測定するADSTATコマンドの変換時間

モード	変換時間(μs)								
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{1c}	t_{2c}	t_{3c}	t_{4c}
27kHz	0	57	103	150	197	338	474	610	748
14kHz	0	86	162	237	313	455	591	726	865
7kHz	0	144	278	412	546	804	1,056	1,308	1,563
3kHz	0	260	511	761	1,011	1,269	1,522	1,774	2,028
2kHz	0	493	976	1,459	1,942	2,200	2,452	2,705	2,959
26Hz	0	29,817	59,623	89,430	119,237	122,986	126,729	130,472	134,218

680412f

動作

デジタル・フィルタは、この頻度の高い1ビット・ストリームを1つの16ビット・ワードに変換します。デルタシグマ型ADCが、よくオーバーサンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、自己テスト・コマンドによって確認できます。自己テスト中のADCの動作を図8に示します。1ビット・パルス密度変調器の出力は、1ビット・テスト信号に置き換えられます。このテスト信号はデジタル・フィルタを通過して16ビット値に変換されます。1ビット・テスト信号には、変調器からの通常の1ビット・パルスと同じデジタル変換が行われるので、自己テスト・コマンドによる変換時間は通常のADC変換コマンドによる変換時間とまったく同じです。16ビットADC値は、通常のADC変換コマンドと同じレジスタ・グループに保存されます。テスト信号は、1と0が交互に現れるパターンをレジスタ内に置くように設計されています。自己テスト・コマンドの一覧を表10に示します。デジタル・フィルタとメモリが正しく機能している場合は、表10に示す値がレジスタに格納されます。詳細については、「コマンド」のセクションを参照してください。

ADCクリア・コマンド

LTC6804には、CLRCELL、CLRAUX、CLRSTATという3つのクリア・コマンドがあります。これらのコマンドは、すべてのADC変換結果の保存レジスタをクリアします。

CLRCELL コマンドは、セル電圧レジスタ・グループA、B、C、およびDをクリアします。これらのレジスタ内のすべてのバイトは、CLRCELL コマンドによって0xFFに設定されます。

CLRAUX コマンドは、補助レジスタ・グループAとBをクリアします。これらのレジスタ内のすべてのバイトは、CLRAUX コマンドによって0xFFに設定されます。

CLRSTAT コマンドは、ステータス・レジスタ・グループBのREVCODEを除き、ステータス・レジスタ・グループAおよびBをクリアします。REVCODEを読み出すと、デバイスのリビジョン・コードが返されます。RSVDビットは、常に0を読み出します。ステータス・レジスタ・グループBのOVフラグ、UVフラグ、MUXFAILビット、RSVDビット、およびTHSDビットは、CLRSTAT コマンドによってすべて1に設定されます。RDSTATB コマンドの実行後、THSDビットは0に設定されます。SOC、ITMP、VA、およびVDを格納するレジスタは、CLRSTAT コマンドによってすべて0xFFに設定されます。

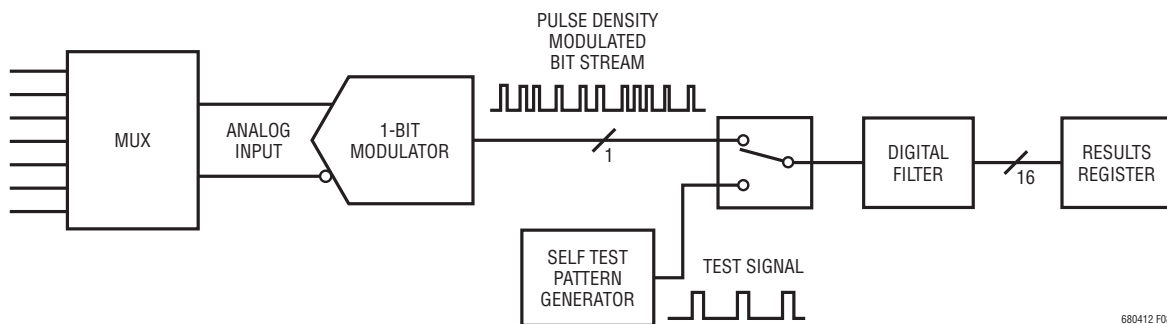


図8. LTC6804のADCセルフ・テストの動作

表10. セルフ・テスト・コマンドのまとめ

コマンド	セルフ・テスト・オプション	各ADCモードでの出力パターン						結果レジスタ・グループ
		27kHz	14kHz	7kHz	3kHz	2kHz	26Hz	
CVST	ST[1:0]=01	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	C1V to C12V (CVA, CVB, CVC, CVD)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	
AXST	ST[1:0]=01	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	G1V to G5V, REF (AUXA, AUXB)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	
STATST	ST[1:0]=01	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	SOC, ITMP, VA, VD (STATA, STATB)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	

動作

オープンワイヤ・チェック(ADOW コマンド)

ADOW コマンドは、LTC6804 の ADC と外部セルとの間のオープンワイヤのチェックに使用されます。このコマンドは ADCV コマンドと同じように C ピン入力の ADC 変換を行います。C ピンを測定する際に 2 つの内部電流源が 2 本の C ピンに電流をシンクまたはソースする点が異なります。ADOW コマンドのプルアップ (PUP) ビットは、電流源が 100 μ A の電流をシンクするか、あるいはソースするかを決定します。

13 本の C ピンのオープンワイヤをチェックする場合、以下の簡単なアルゴリズムを使用できます (図 9 を参照)。

- 1) 12 個のセルに対し、ADOW コマンドを PUP=1 として少なくとも 2 回実行する。最後にセル 1 ~ 12 の電圧を一度に読み取り、それをアレイ CELL_{PU(n)} に保存する。

- 2) 12 個のセルに対し、ADOW コマンドを PUP=0 として少なくとも 2 回実行する。最後にセル 1 ~ 12 の電圧を一度に読み取り、それをアレイ CELL_{PD(n)} に保存する。
- 3) セル 2 ~ 12 に対して上のステップで行ったプルアップ測定とプルダウン測定の違いを取る： $CELL_{\Delta(n)} = CELL_{PU(n)} - CELL_{PD(n)}$ 。
- 4) 1 から 11 までのすべての n 値に対し： $CELL_{\Delta(n+1)} < -400\text{mV}$ である場合、C(n) はオープンになっている。CELL_{PU(1)} = 0.0000 である場合、C(0) はオープンになっている。CELL_{PD(12)} = 0.0000 である場合、C(12) はオープンになっている。

上のアルゴリズムは、オープンワイヤの LTC6804 側に 10nF の容量を残し、ノーマル・モード変換を使用してオープンワイヤを検出します。ただし、オープン状態の C ピンの外部容量がこれより大きい場合は、このアルゴリズムでオープン接続を検出できるだけの十分な差を作り出せる時間を 100 μ A 電流源に与えるために、ステップ 1 と 2 で実行するオープンワイヤ変換の時間を長くする必要があります。これは、ステップ 1 と 2 で ADOW コマンドを 3 回以上実行するか、ノーマル・モード変換ではなくフィルタ・モード変換を使用することによって実現できます。必要な変換回数は、表 11 を使用して決定してください。

表 11

C ピンの外部容量	ステップ 1 と 2 で必要な ADOW コマンドの実行回数	
	ノーマル・モード	フィルタ・モード
$\leq 10\text{nF}$	2	2
100nF	10	2
1 μ F	100	2
C	$1 + \text{ROUNDUP}(C/10\text{nF})$	2

サーマル・シャットダウン

LTC6804 を過熱から保護するために、デバイスにはサーマル・シャットダウン回路が組み込まれています。ダイの検出温度が約 150 $^{\circ}\text{C}$ を超えるとサーマル・シャットダウン回路が働いて、設定レジスタ・グループをデフォルト状態にリセットします。これによって、すべての放電スイッチがオフになります。サーマル・シャットダウン・イベントが発生すると、ステータス・レジスタ・グループ B の THSD ビットが“H”になります。このビットは、ステータス・レジスタ・グループ B に対する読み出し動作 (RDSTATB コマンド) の実行完了後にクリアされます。CLRSTAT コマンドは、診断の目的で THSD ビットを“H”に設定しますが、設定レジスタ・グループをリセットしません。

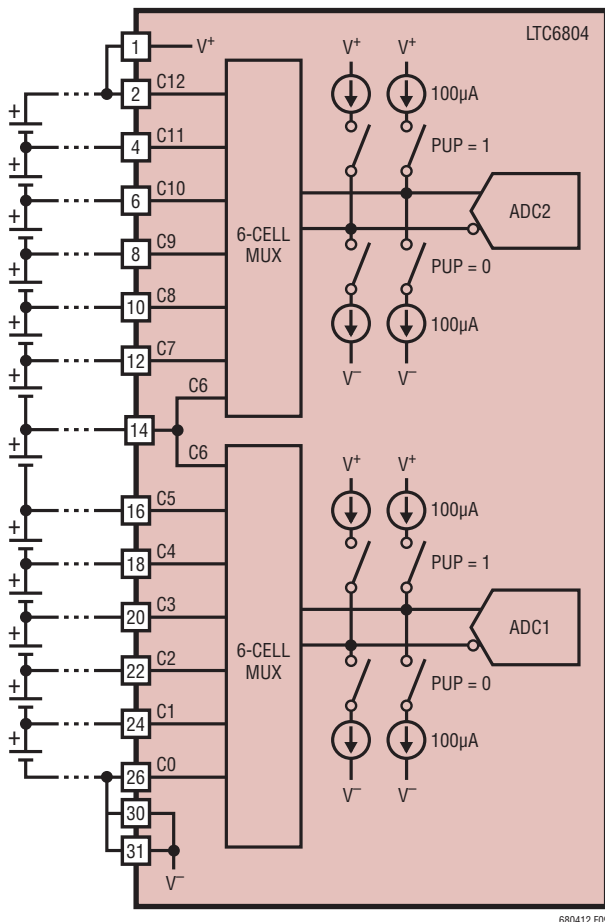


図 9. オープンワイヤ検出回路

動作

リビジョン・コード

ステータス・レジスタ・グループBには4ビットのリビジョン・コードが含まれています。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。そうでなければ、コードは無視してかまいません。ただし、いかなる場合でも、データ読み出し時にパケット・エラー・コード(PEC)を計算するときは、全ビットの値を使う必要があります。

ウォッチドッグとソフトウェア放電タイマ

2秒以上にわたって有効なコマンドが確認されないと、ウォッチドッグ・タイマの期限が切れます。その場合、例外なく設定レジスタのCFGR0～CFGR3バイトがリセットされます。CFGR4とCFGR5は、ソフトウェア・タイマがデイスエーブルされているときにウォッチドッグ・タイマによってリセットされます。ウォッチドッグ時間が経過すると、外部プルアップによってWDTピンが“H”になります。ウォッチドッグ・タイマは常にイネーブル状態で、有効なコマンドが実行されるとその都度リセットされます。

ソフトウェア放電タイマは、プログラムされた時間にわたって放電スイッチをオン状態に維持するために使われます。ソフトウェア・タイマを使用している場合、ウォッチドッグ・タイマが動作しても放電スイッチはオフになりません。

ソフトウェア・タイマをイネーブルするには、SWTENピンをVREGに接続して“H”にする必要があります(図10)。以上で、

プログラムされた時間にわたって放電スイッチをオンに維持することができます。プログラム時間は、設定レジスタに書き込まれるDCTO値によって決定されます。さまざまな時間設定値とそれらに対応するDCTO値を表12に示します。表13は、ウォッチドッグ・タイマ・イベントまたはソフトウェア・タイマ・イベントが発生した後の設定レジスタ・グループの状態を示したものです。

表13

	ウォッチドッグ・タイマ	ソフトウェア・タイマ
SWTEN = 0, DCTO = XXXX	Resets CFGR0-5 When It Activates	Disabled
SWTEN = 1, DCTO = 0000	Resets CFGR0-5 When It Activates	Disabled
SWTEN = 1, DCTO != 0000	Resets CFGR0-3 When It Activates	Resets CFGR4-5 When It Fires

ウォッチドッグ・タイマとは異なり、ソフトウェア・タイマは、有効なコマンドが実行されてもリセットされません。ソフトウェア・タイマは、有効なWRCFG (設定レジスタへの書き込み) コマンドの後でのみリセットすることができます。ソフトウェア・タイマの期限は、一部のコマンドの途中で切れる可能性があります。

WRCFG コマンドの途中でソフトウェア・タイマがアクティブになると、設定レジスタは表14に従ってリセットされます。

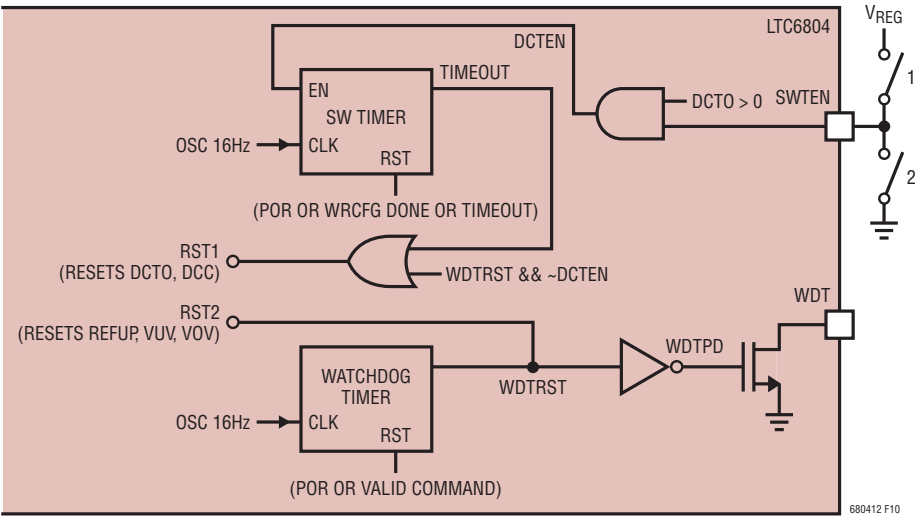


図10. ウォッチドッグとソフトウェア放電タイマ

表12. DCTOの設定

DCTO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
時間(分)	デイス エーブル	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

680412f

動作

ただし、有効な WRCFG コマンドの終了時には、新しいデータが設定レジスタにコピーされます。この新しいデータは、ソフトウェア・タイマがアクティブになっても失われません。

RDCFG コマンドの途中でソフトウェア・タイマがオーバーフローすると、設定レジスタ・グループは表 14 に従ってリセットされます。この結果、CRFG4 バイトと CRFG5 バイトからのデータは不定になります。

GPIO5 を使用した LTC6804 での I²C/SPI マスタ

LTC6804-1 および LTC6804-2 の I/O ポート GPIO3、GPIO4、および GPIO5 を、I²C マスタ・ポートまたは SPI マスタ・ポートとして使用し、I²C スレーブまたは SPI スレーブと通信できます。I²C マスタの場合、GPIO4 と GPIO5 が、それぞれ I²C イ

ンタフェースの SDA ポートと SCL ポートを形成します。SPI マスタの場合、GPIO3、GPIO4、および GPIO5 が、それぞれ SPI インタフェースのチップ・セレクト (CSBM) ポート、クロック (SCKM) ポート、およびデータ (SDIOM) ポートになります。

GPIO は、オープン・ドレイン出力です。そのため、I²C マスタまたは SPI マスタとして動作するには、これらのポートでは外部プルアップが必要になります。これらのポートがデバイス内部で“L”に引き下げられないようにするために、設定レジスタ・グループの GPIO ビットに 1 を書き込むことも重要です。

COMM レジスタ

LTC6804 は、表 15 に示すように、6 バイトの COMM レジスタを備えています。このレジスタは、スレーブとの I²C 通信または SPI 通信に必要な、すべてのデータと制御ビットを格納します。COMM レジスタには、スレーブ・デバイスとの間で送受信を行う 3 バイトのデータ Dn[7:0] が格納されます。ICOMn[3:0] は、データ・バイトを送信/受信する前の制御アクションを指定します。FCOMn[3:0] は、データ・バイトを送信/受信した後の制御アクションを指定します。

COMM レジスタの ICOMn[3] ビットを 1 に設定すると、デバイスは I²C マスタになります。このビットを 0 に設定すると、デバイスは SPI マスタになります。

ICOMn[3:0] と FCOMn[3:0] に対して有効な書き込みコード、およびデバイスを I²C マスタとして使用した場合のそれらの動作を表 16 に示します。

ICOMn[3:0] と FCOMn[3:0] に対して有効なコード、およびデバイスを SPI マスタとして使用した場合のそれらの動作を表 17 に示します。

表 16 および表 17 に示したコードのみが ICOMn[3:0] と FCOMn[3:0] に対して有効であることに注意してください。表 16 および表 17 に示されていない他のコードを ICOMn[3:0] と FCOMn[3:0] に書き込むと、I²C ポートや SPI ポートで予期しない動作が発生する恐れがあります。

表 14

DCTO (読み出し値)	残り時間 (分)
0	Disabled (or) Timer Has Timed Out
1	0 < Timer ≤ 0.5
2	0.5 < Timer ≤ 1
3	1 < Timer ≤ 2
4	2 < Timer ≤ 3
5	3 < Timer ≤ 4
6	4 < Timer ≤ 5
7	5 < Timer ≤ 10
8	10 < Timer ≤ 15
9	15 < Timer ≤ 20
A	20 < Timer ≤ 30
B	30 < Timer ≤ 40
C	40 < Timer ≤ 60
D	60 < Timer ≤ 75
E	75 < Timer ≤ 90
F	90 < Timer ≤ 120

表 15. COMM レジスタのメモリ・マップ

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

動作

表 16. I²C マスタの ICOMn[3:0] と FCOMn[3:0] の書き込みコード

制御ビット	コード	アクション	説明
ICOMn[3:0]	0110	START	Generate a START Signal on I ² C Port Followed By Data Transmission
	0001	STOP	Generate a STOP Signal on I ² C port
	0000	BLANK	Proceed Directly to Data Transmission on I ² C Port
	0111	No Transmit	Release SDA and SCL and Ignore the Rest of the Data
FCOMn[3:0]	0000	Master ACK	Master Generates an ACK Signal on Ninth Clock Cycle
	1000	Master NACK	Master Generates a NACK Signal on Ninth Clock Cycle
	1001	Master NACK + STOP	Master Generates a NACK Signal Followed by STOP Signal

表 17. SPI マスタの ICOMn[3:0] と FCOMn[3:0] の書き込みコード

制御ビット	コード	アクション	説明
ICOMn[3:0]	1000	CSBM low	Generates a CSBM Low Signal on SPI Port (GPIO3)
	1001	CSBM high	Generates a CSBM High Signal on SPI Port (GPIO3)
	1111	No Transmit	Releases the SPI Port and Ignores the Rest of the Data
FCOMn[3:0]	X000	CSBM low	Holds CSBM Low at the End of Byte Transmission
	1001	CSBM high	Transitions CSBM High at the End of Byte Transmission

COMM コマンド

スレーブ・デバイスとの I²C 通信または SPI 通信には、3つのコマンド WRCOMM、STCOMM、および RDCOMM が使用されます。

WRCOMM コマンド: このコマンドは、COMM レジスタへのデータ書き込みに使用され、6 バイトのデータを COMM レジスタに書き込みます。データの最後には PEC を書き込む必要があります。PEC が一致しないと、CSB が“H”になった時点で COMM レジスタ内のすべてのデータがクリアされ、1 になります。書き込みコマンド・フォーマットの詳細については、「バス・プロトコル」のセクションを参照してください。

STCOMM コマンド: このコマンドは、GPIO ポート上の I²C/SPI 通信を初期化します。COMM レジスタには、スレーブへ送信する 3 バイトのデータが格納されます。このコマンドの実行時に、COMM レジスタに格納されたデータ・バイトがスレーブの I²C デバイスまたは SPI デバイスに送信され、I²C デバイスまたは SPI デバイスから受信したデータが COMM レジスタに格納されます。このコマンドは、I²C 通信の場合、GPIO4 (SDA) と GPIO5 (SCL) を使用し、SPI 通信の場合、GPIO3 (CSBM)、GPIO4 (SDIOM)、および GPIO5 (SCKM) を使用します。

STCOMM コマンドの後には、CSB が“L”に保たれる間、1 バイトのデータをスレーブ・デバイスへ送るごとに 24 個のクロック・サイクルが続きます。例えば、3 バイトのデータをスレーブへ送信するには、STCOMM コマンドとその PEC を送信し、その後 72 個のクロック・サイクルを送ります。STCOMM コマンドの 72 個のクロック・サイクルの最後で、CSB を“H”に引き上げます。

I²C 通信または SPI 通信の間、スレーブ・デバイスから受信したデータは COMM レジスタ内で更新されます。

RDCOMM コマンド: スレーブ・デバイスから受信したデータは、RDCOMM コマンドを使用して COMM レジスタから読み出すことができます。このコマンドは、PEC の前のデータの 6 バイトを読み出します。読み出しコマンド・フォーマットの詳細については、「バス・プロトコル」のセクションを参照してください。

デバイスを I²C マスタとして使用した場合に ICOMn[3:0] と FCOMn[3:0] に対して可能な読み出しコードを、表 18 に示します。Dn[3:0] には、I²C マスタによって送信されるデータ・バイト、または I²C スレーブから受信したデータ・バイトが格納されます。

SPI マスタの場合、ICOMn[3:0] と FCOMn[3:0] の読み出しコードは、それぞれ常に 0111 と 1111 です。Dn[3:0] には、SPI マスタによって送信されるデータ・バイト、または SPI スレーブから受信したデータ・バイトが格納されます。

図 11 は、GPIO を使用した、I²C マスタまたは SPI マスタとしての LTC6804 の動作を示しています。

これらのコマンドを使用すれば、3 バイトずつに分けて任意の数のバイトをスレーブへ送信することができます。GPIO ポートが、異なる STCOMM コマンド間でリセットされることはありません。ただし、コマンド間の待機時間が 2 秒よりも長い場合、ウォッチドッグがタイムアウトし、ポートをデフォルト値にリセットします。

動作

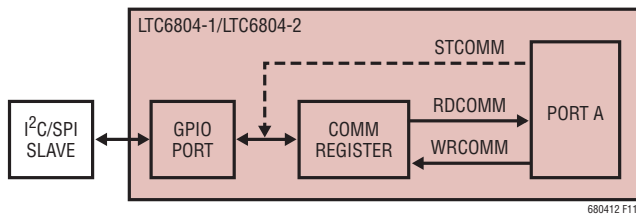
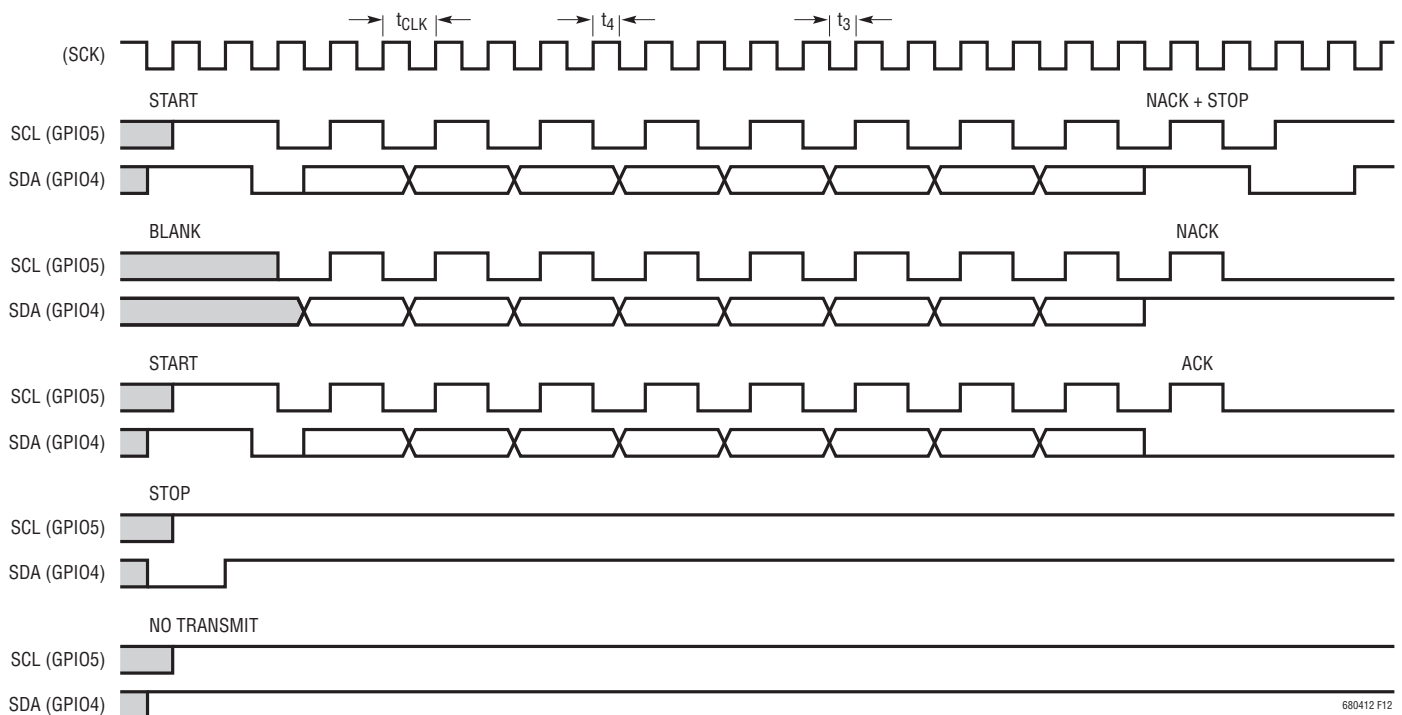
表 18. I²C マスタの ICOMn[3:0] と FCOMn[3:0] の読み出しコード

制御ビット	コード	説明
ICOMn[3:0]	0110	Master Generated a START Signal
	0001	Master Generated a STOP Signal
	0000	Blank, SDA Was Held Low Between Bytes
	0111	Blank, SDA Was Held High Between Bytes
FCOMn[3:0]	0000	Master Generated an ACK Signal
	0111	Slave Generated an ACK Signal
	1111	Slave Generated a NACK Signal
	0001	Slave Generated an ACK Signal, Master Generated a STOP Signal
	1001	Slave Generated a NACK Signal, Master Generated a STOP Signal

I²C マスタを使用して複数バイトのデータを送信する場合、START 信号は、データ・ストリーム全体の先頭でのみ必要です。また、STOP 信号が必要なのもデータ・ストリームの最後だけです。すべての中間データ・グループでは、データ・バイトの前に BLANK コードを使用することができ、必要に応じてデータ・バイトの後に ACK/NACK 信号を使用することができます。SDA と SCL が、異なる STCOMM コマンド間でリセットされることはありません。

SPI マスタを使用して複数バイトのデータを送信する場合、1 番目のデータ・バイトの先頭で CSBM の“L”信号を送信します。FCOMn[3:0] で適切なコードを使用して、中間データ・グループに対して、CSBM を“L”または“H”に保つことができます。データの最終バイトの最後で、CSBM の“H”信号を送信します。CSBM、SDIOM、および SCKM が、異なる STCOMM コマンド間でリセットされることはありません。

図 12 は、さまざまなケースの I²C マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。ICOMn[3:0] が STOP 状態を指定している場合は、STOP 信号の送信後に SDA ラインと SCL ラインが“H”に維持され、ワードの残りのデータがすべて無視されます。ICOMn[3:0] が NO TRANSMIT の場合は、SDA ラインと SCL ラインの両方が解放されて、ワードの残りのデータがすべて無視されます。これは、スタック内の特定デバイスがスレーブと通信する必要のない場合に使用されます。

図 11. GPIO を使用する LTC6804 の I²C/SPI マスタ図 12. I²C マスタの STCOMM のタイミング図

動作

図 13 は、SPI マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。I²C マスタと同様に、ICOMn[3:0] が CSBM HIGH または NO TRANSMIT 状態を指定した場合、SPI マスタの CSBM、SCKM、および SDIOM の各ラインが解放され、ワードの残りのデータが無視されます。

I²C マスタと SPI マスタのタイミング仕様

LTC6804 の I²C マスタと SPI マスタのタイミングは、LTC6804 の 1 次 SPI インタフェースでの通信のタイミングによって制御されます。1 次 SPI クロックに対する I²C マスタのタイミング関係を、表 19 に示します。SPI マスタのタイミング仕様を表 20 に示します。

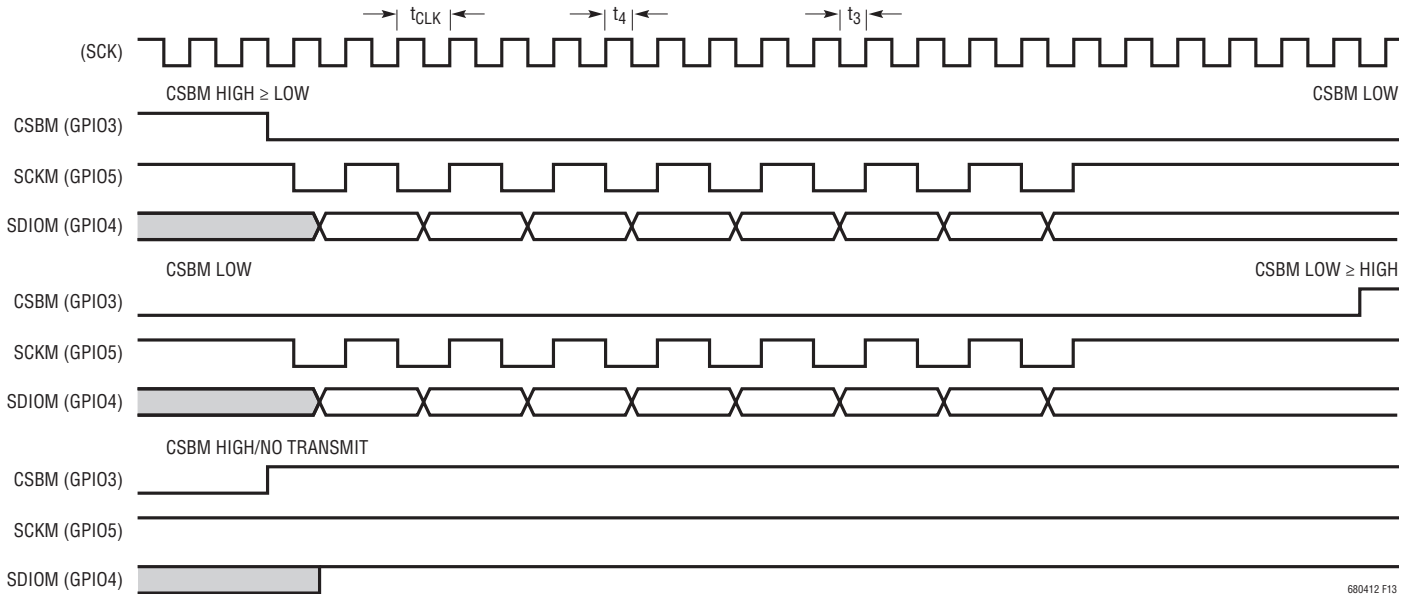


図 13. SPI マスタの STCOMM のタイミング図

表 19. I²C マスタのタイミング

I ² C マスタのパラメータ	1 次 SPI インタフェースとのタイミング関係	t _{CLK} = 1μs でのタイミング仕様
SCL Clock Frequency	1/(2 • t _{CLK})	Max 500kHz
t _{HD} ; STA	t ₃	Min 200ns
t _{LOW}	t _{CLK}	Min 1μs
t _{HIGH}	t _{CLK}	Min 1μs
t _{SU} ; STA	t _{CLK} + t ₄ *	Min 1.03μs
t _{HD} ; DAT	t ₄ *	Min 30ns
t _{SU} ; DAT	t ₃	Min 1μs
t _{SU} ; STO	t _{CLK} + t ₄ *	Min 1.03μs
t _{BUF}	3 • t _{CLK}	Min 3μs

* 注記: isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力 の“L” 時間と“H” 時間であり、それぞれ既定最小値の 200ns になる。

表 20. SPI マスタのタイミング

SPI マスタのパラメータ	1 次 SPI インタフェースとのタイミング関係	t _{CLK} = 1μs でのタイミング仕様
SDIOM Valid to SCKM Rising Setup	t ₃	Min 200ns
SDIOM Valid from SCKM Rising Hold	t _{CLK} + t ₄ *	Min 1.03μs
SCKM Low	t _{CLK}	Min 1μs
SCKM High	t _{CLK}	Min 1μs
SCKM Period (SCKM_Low + SCKM_High)	2 • t _{CLK}	Min 2μs
CSBM Pulse Width	3 • t _{CLK}	Min 3μs
SCKM Rising to CSBM Rising	5 • t _{CLK} + t ₄ *	Min 5.03μs
CSBM Falling to SCKM Falling	t ₃	Min 200ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Min 1.2μs
SCKM Falling to SDIOM Valid	Master requires < t _{CLK}	

* 注記: isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力 の“L” 時間と“H” 時間であり、それぞれ既定最小値の 200ns になる。

動作

シリアル・インタフェースの概要

LTC6804には2種類のシリアル・ポートがあります。標準的な4線シリアル・ペリフェラル・インタフェース(SPI)と2線絶縁インタフェース(isoSPI)です。ピン41～44は、ISOMDピンの状態に基づいて、2線または4線シリアル・ポートとして設定可能です。

LTC6804には、LTC6804-1とLTC6804-2の2つのバージョンがあります。LTC6804-1は、デイジーチェーン構成で使用されます。LTC6804-2は、アドレス指定可能なバス構成で使用されます。LTC6804-1は、ピン45～48を使用する2番目のisoSPIインタフェースを提供します。LTC6804-2では、ピン45～48を使用し、これらのピンをV⁻またはV_{REG}に接続することによって、デバイスのアドレスを設定します。

4線シリアル・ペリフェラル・インタフェース(SPI)の物理層

外部接続

ISOMDをV⁻に接続することによって、4線SPIのシリアル・ポートAを設定します。SDOピンはオープン・ドレイン出力で、プルアップ抵抗を介して適切な電源電圧に接続する必要があります(図14)。

タイミング

4線シリアル・ポートは、CPHA = 1およびCPOL = 1を使うSPIシステムで動作するように構成されています。したがってSDIのデータは、SCKの立ち上がりエッジの間、安定している必要があります。このタイミングを図15に示します。最大データレートは1Mbpsです。

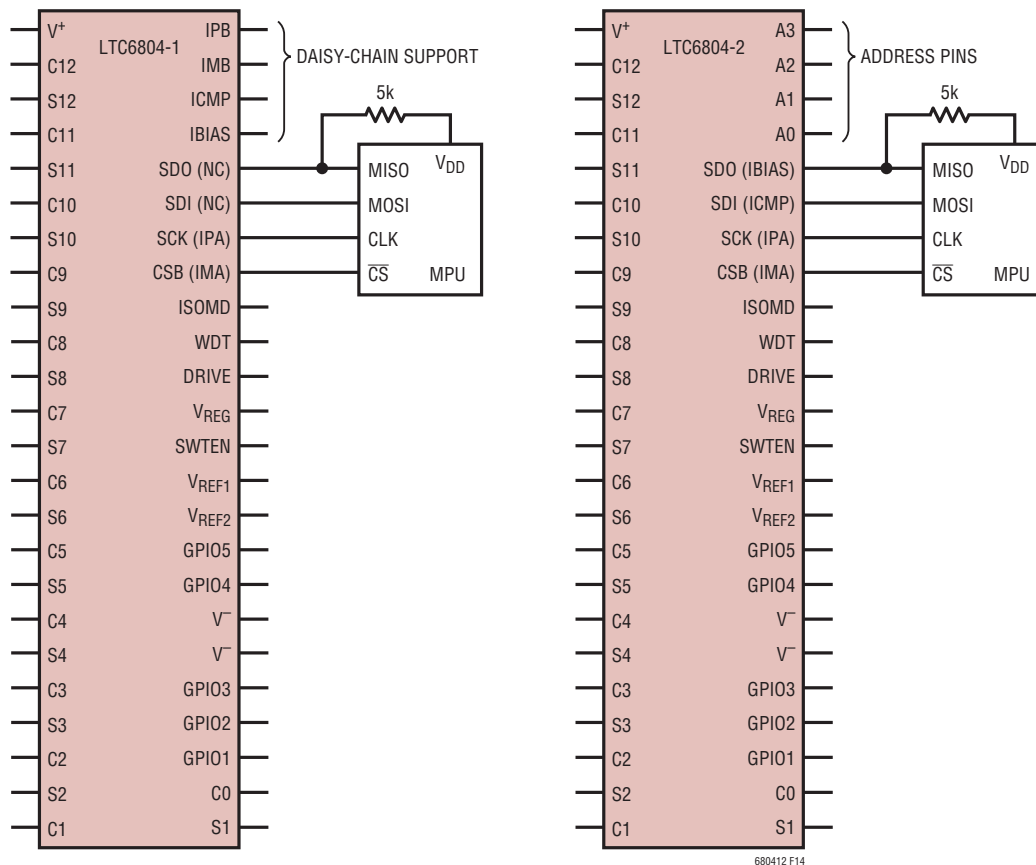


図 14.4 線 SPI 構成

動作

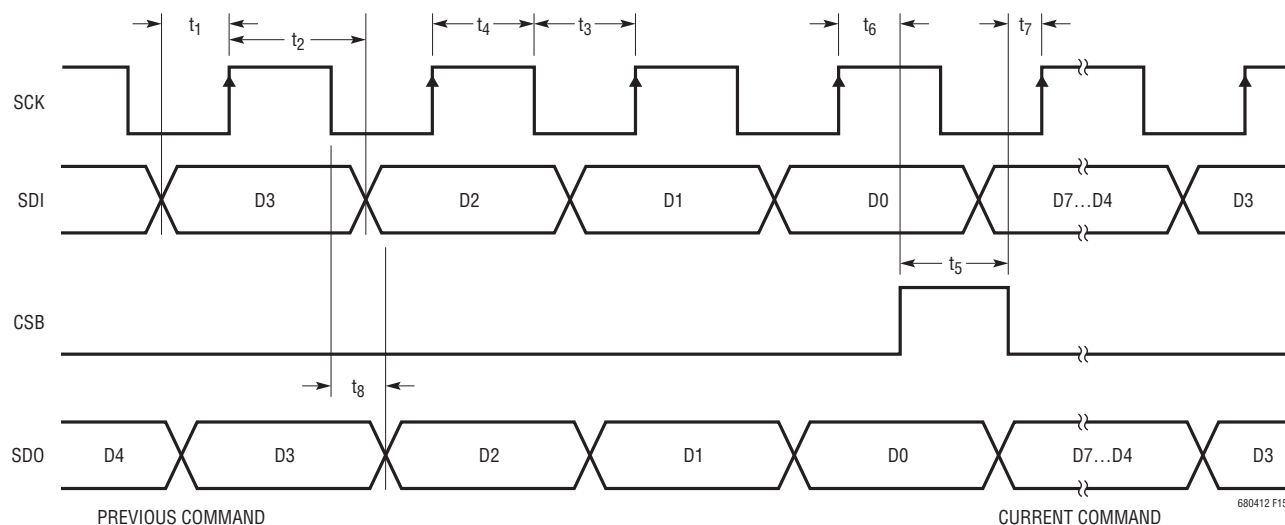


図 15.4 線シリアル・ペリフェラル・インタフェースのタイミング図

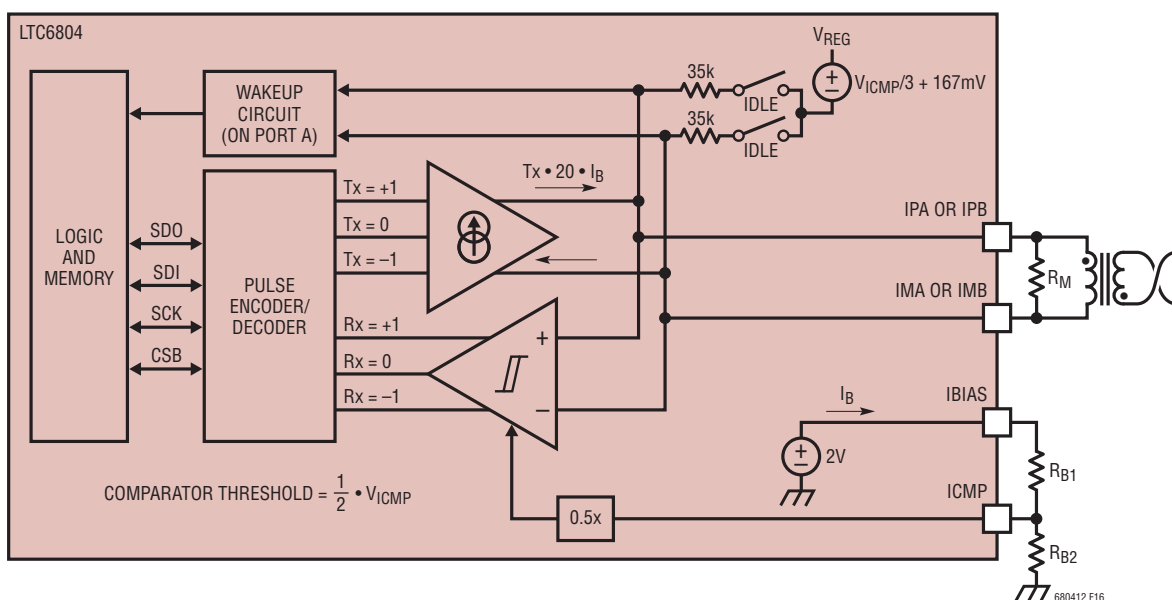


図 16. isoSPI インタフェース

2線絶縁インタフェース(isoSPI)の物理層

2線インタフェースを使用すれば、シンプルなツイストペアケーブルを使用してLTC6804を相互接続することができます。このインタフェースは、配線が高いRF電界にさらされた場合でも、パケット・エラー率が小さくなるように設計されています。絶縁は外付けのトランスを通じて実現されます。

標準SPI信号は差動パルスにエンコードされます。送信パルスの強度とレシーバのしきい値レベルは、2個の外付け抵抗

によって設定されます。これらの抵抗の値を調整することによって、電力損失とノイズ耐性のトレードオフを行うことができます。

図 16 は、isoSPI 回路の動作を示しています。IBIAS ピンは 2V リファレンスによってドライブします。外付け抵抗 R_{B1} および R_{B2} によって、リファレンス電流 I_B が生成されます。この電流は、トランスマッタのドライブ強度を設定します。 R_{B1} と R_{B2} は、ICMP ピンでの 2V リファレンスの電圧分割器も形成します。これによって、レシーバ回路のしきい値電圧が設定されます。

動作

外部接続

LTC6804-1は、ポートBとポートAという2つのシリアル・ポートを備えています。ポートBは、常に2線インタフェース(マスタ)として構成されます。デジタイゼーションの最後尾デバイスは、このポートを使用せず、 R_M で終端される必要があります。ポートAは、ISOMDピンの接続に応じて、2線インタフェースまたは4線インタフェース(スレーブ)になります。

図17は、それぞれ1つのLTC6804-1を含む複数の同一PCB間の、堅牢な相互接続の例を示しています。マイクロプロセッサは別のPCB上に置かれています。マイクロプロセッサPCBと最初のLTC6804-1 PCB間の2線絶縁を実現するには、LTC6820サポート・デバイスを使用します。LTC6820は、図16に示す図と機能的に等価です。

LTC6804-2のシリアル・ポート(ポートA)は1つで、これはISOMDピンの状態に応じて2線または4線とすることができます。2線通信用に構成した場合は、図18に示すように、複数のデバイスをマルチドロップ構成で接続できます。LTC6820は、MPU(マスタ)とLTC6804-2(スレーブ)のインタフェースを取るために使用します。

バイアス抵抗の選択

送信パルスの強度を調整することで、システムの消費電力を重視するか、通信の安定性を重視するかを選択できます。また、可変コンパレータのしきい値を調整することにより、システムの信号受信精度を調整できます。

isoSPIトランスミッタの駆動電流とコンパレータの電圧しきい値は、IBIASと V^- の間の抵抗分割器($R_{BIAS} = R_{B1} + R_{B2}$)によって設定されます。分割された電圧はICMPピンに接続され、コンパレータのしきい値をこの電圧(V_{ICMP})の1/2に設定します。いずれかのisoSPIインタフェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流 I_B がIBIASピンから流れ出します。IPおよびIMピンの駆動電流は $20 \cdot I_B$ です。

例えば、分割器の抵抗 R_{B1} が2.8k、抵抗 R_{B2} が1.21k(したがって、 $R_{BIAS} = 4k$)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 0.5mA$$

$$I_{DRV} = I_P = I_{IM} = 20 \cdot I_B = 10mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 603mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 302mV$$

この例では、パルス駆動電流 I_{DRV} は10mAになります。レシーバ・コンパレータは、IP-IM振幅が $\pm 302mV$ より大きいパルスを検出します。

もし、絶縁障壁として1:1トランスを使用し、ツイストペアケーブルで接続される通信バスの両端が 120Ω で終端される場合、差動通信信号の振幅は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 0.6V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています。)

isoSPIパルスの詳細

2つのLTC6804デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタは、 $+V_A$ 、0V、および $-V_A$ という3つの電圧レベルを出力できます。正の出力は、負荷抵抗 R_M の両端のIPソース電流とIMシンク電流から生じます。負の電圧は、IPシンク電流とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力が0Vに強制されます。

動作

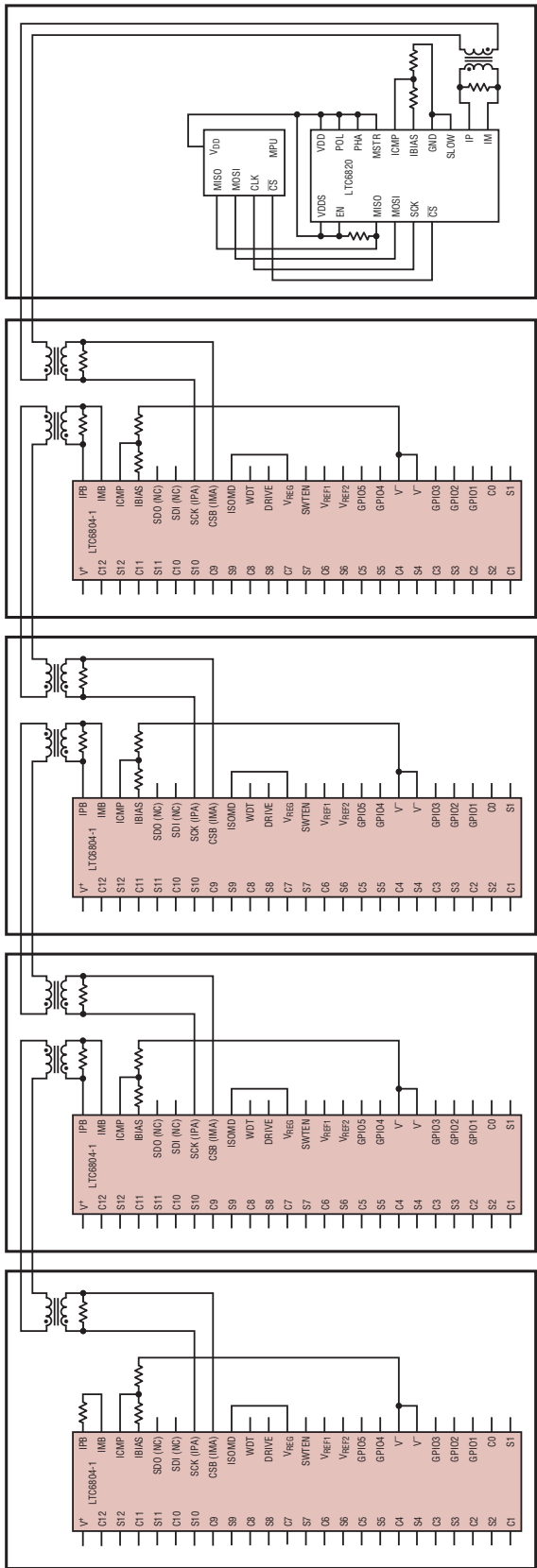


図 17.LTC6804-1を使用したトランス絶縁型デジチーチェーン構成

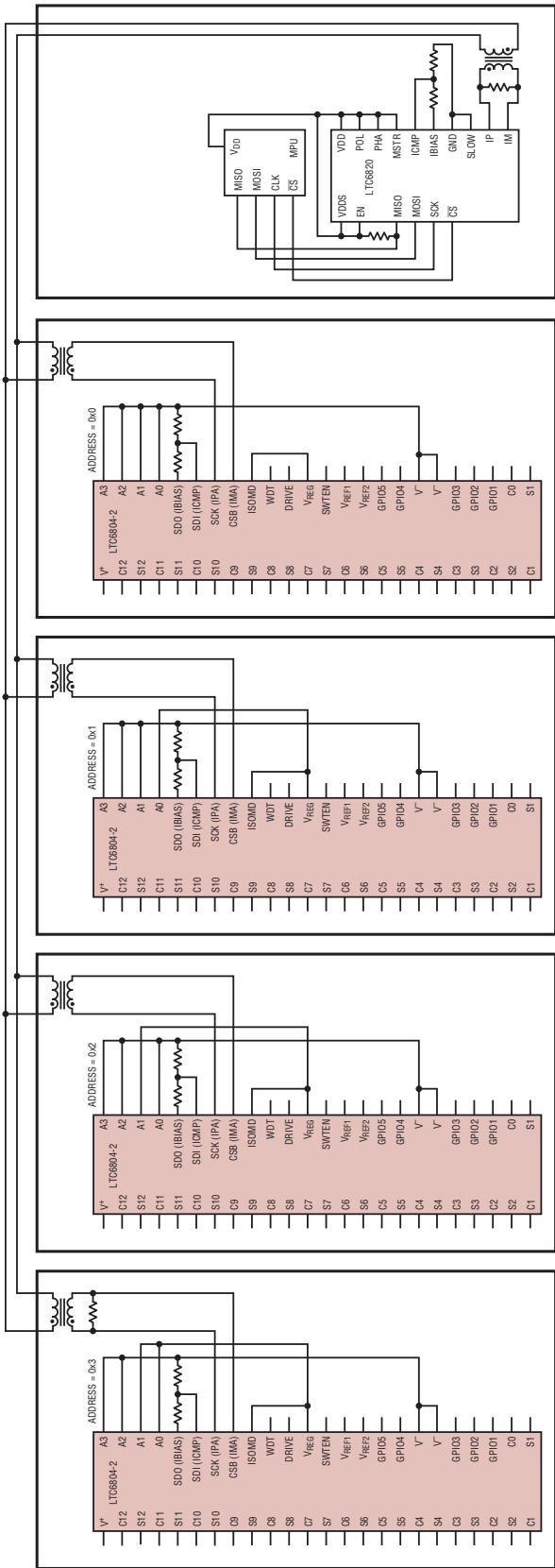


図 18.LTC6804-2を使用したマルチドロップ構成

動作

DC 信号成分を除去して信頼性を向上させるために、isoSPI は 2 種類のパルス長を使用します。これによって、表 21 に示すような 4 種類のパルスを送信できます。A +1 パルスは正のパルスとして送信され、その次に負のパルスが送信されます。A -1 のパルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の 1/2 であるため、 $t_{1/2PW}$ として定義されます。(isoSPI パルスの総持続時間は $2 \cdot t_{1/2PW}$) です。

表 21. isoSPI パルスの種類

パルスの種類	1 番目のレベル ($t_{1/2PW}$)	2 番目のレベル ($t_{1/2PW}$)	最終レベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

ホスト・マイクロコントローラは、この 2 線インタフェースを使用するために、isoSPI パルスを生成する必要がありません。システム内の 1 番目の LTC6804 は、ポート A 上の 4 線 SPI インタフェースを使用してマイクロコントローラと通信し、次にポート B 上の 2 線 isoSPI インタフェースを使用して他の LTC6804 とデジタイゼーション接続できます。あるいは、LTC6820 を使用して、SPI 信号を isoSPI パルスに変換できます。

SPI 用にポート A を構成した LTC6804-1 の動作

LTC6804-1 が、ポート A を SPI (ISOMD = V⁻) として使用して動作している場合、SPI は 4 つの通信イベント (SDI = 0 での CSB の立下り、CSB の立ち上がり、SCK の立ち上がり、および SDI = 1 での SCK での立ち上がり) のうちのいずれかを検出します。各イベントは、LTC6804-1 のデジタイゼーションを経由して送信するために、4 種類のパルスのうちのいずれかに変換されます。CSB の変化を送信する場合、長いパルスが使用され、データを送信する場合、短いパルスが使用されます。これを表 22 で説明します。

表 22. LTC6804-1 のポート B (マスタ) isoSPI ポートの機能

通信イベント (ポート A SPI)	送信パルス (ポート B isoSPI)
CSB Rising	Long +1
CSB Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

絶縁障壁のもう一方の側 (つまり、ケーブルのもう一方の終端) では、2 番目の LTC6804 は、ISOMD = V_{REG} の設定になります。ポート A は、スレーブ isoSPI インタフェースとして動作します。この LTC6804-1 は、送信された各パルスを受信し、表 23 に示すように内部で SPI 信号を再構築します。さらに、このポートは、READ コマンドの実行時にリターン・データ・パルスを送信でき

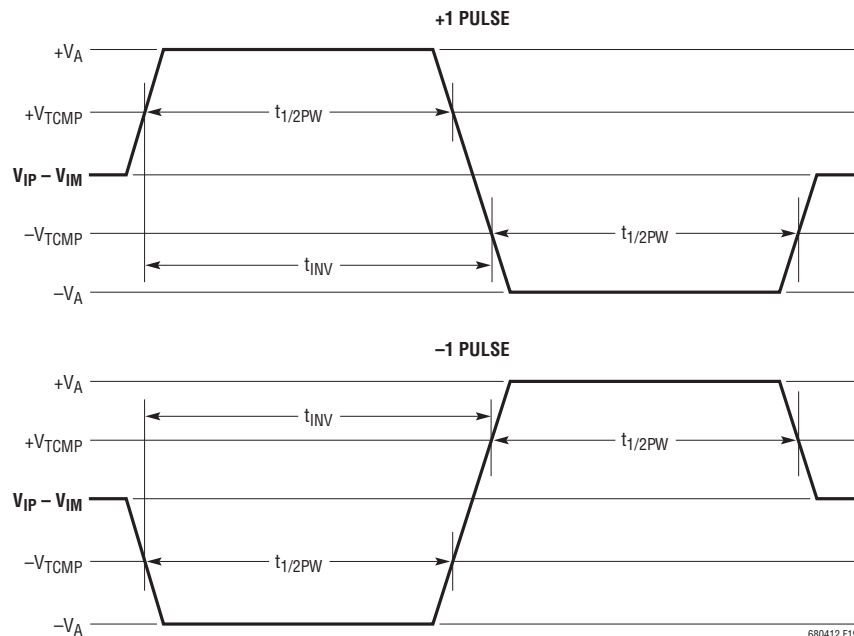


図 19. isoSPI パルスの詳細

680412 F19

動作

ます。

表 23. LTC6804-1 のポート A (スレーブ) isoSPI ポートの機能

受信パルス (ポート A isoSPI)	SPI ポートの 内部動作	リターン・パルス
Long +1	Drive CSB High	None
Long -1	Drive CSB Low	
Short +1	1. Set SDI = 1 2. Pulse SCK	Short -1 Pulse if Reading a 0 bit
Short -1	1. Set SDI = 0 2. Pulse SCK	(No Return Pulse if Not in READ Mode or if Reading a 1 bit)

下側の isoSPI ポート (ポート A) は、長い (CSB) パルスを送信しません。さらに、スレーブ isoSPI ポートは、短い -1 パルスのみを送信し、+1 パルスを送信しません。マスタ・ポートは、ヌル応答をロジック 1 として認識します。これにより、1 本のケーブルに複数のスレーブ・デバイスを接続しても、衝突が発生する

おそれはありません (マルチドロップ)。

デジチェーン接続された LTC6804-1 への読み出しコマンドについて、isoSPI のタイミング図を図 20 に示します。ボトム・デバイスの ISOMD ピンは V⁻ に接続されるので、そのポート A は SPI ポート (CSB、SCK、SDI、および SDO) として構成されます。スタックされた 3 つのデバイスの isoSPI 信号を、ポート名 (A または B) とデバイス番号のラベルを付けて示します。なお、ISO B1 と ISO A2 は、実際には同じ信号ですが、デバイス 1 と 2 を接続する送信ケーブルの各終端に現れます。同様に、ISO B2 と ISO A3 は同じ信号ですが、デバイス 2 と 3 の間には信号遅れが生じます。

ビット $W_n \sim W_0$ は、読み出しコマンドの 16 ビット・コマンド・コードと 16 ビット PEC を表します。ビット W_0 の終了時に、3 つのデバイスが読み出しコマンドをデコードして、クロック SCK の次の立ち上がりエッジで有効になるデータのシフトアウトを開始します。ビット $X_n \sim X_0$ は、デバイス 1 によってシフトアウトされ

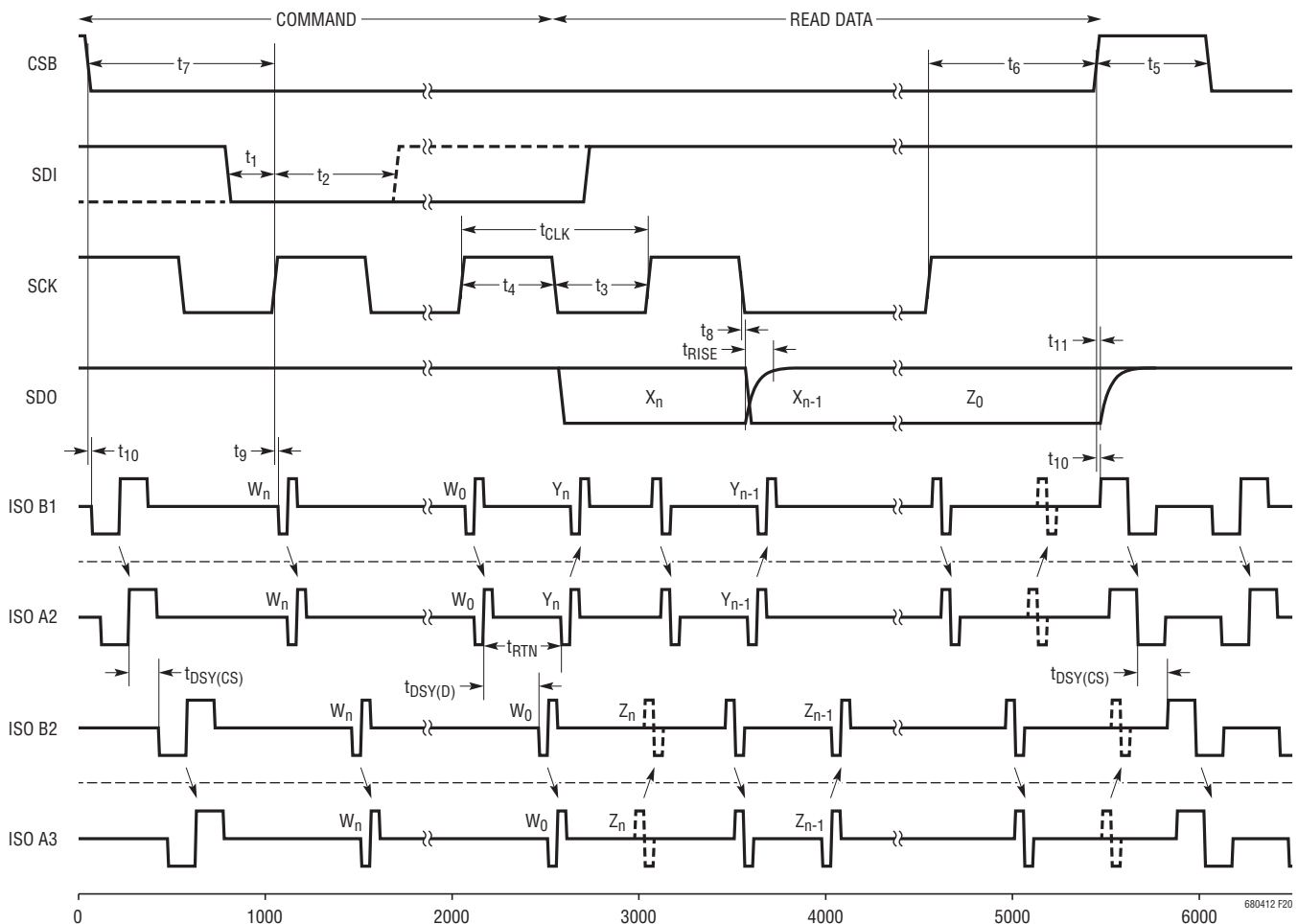


図 20. isoSPI のタイミング図

680412f

動作

たデータを表します。ビット $Y_n \sim Y_0$ は、デバイス2によってシフトアウトされたデータを表します。ビット $Z_n \sim Z_0$ は、デバイス3によってシフトアウトされたデータを表します。これらのデータはすべて、デバイス1のSDOポートからデジチェーン式に読み出されます。

シリアル・インタフェースのウェイクアップ

時間 t_{IDLE} の間、ポートAが動作しなかった場合、シリアル・ポート(SPIまたはisoSPI)は、低消費電力のIDLEステートに移行します。ウェイクアップ回路は、ピン41および42で活動をモニタします。

ISOMD = V^- である場合、ポートAはSPIモードになっています。CSBピンまたはSCKピンに活動があると、SPIインタフェースがウェイクアップします。ISOMD = V_{REG} である場合、ポートAはisoSPIモードになっています。IPA \sim IMBで差動動作が発生すると、isoSPIインタフェースがウェイクアップします。isoSPIが t_{WAKE} または t_{READY} の時間内にコアのステートに応じてREADYステートに変わると、LTC6804は通信できる状態になります(詳細については、図1およびステートの説明を参照)。

LTC6804-1は、通信できる状態になった後、ポートB上で長い+1パルスを送信します。デジチェーン接続された構成では、このパルスがスタック内の次のデバイスをウェイクアップし、ウェイクアップされたデバイスがさらに次のデバイスをウェイクアップします。スタック内にN個のデバイスが存在する場合、すべてのデバイスは、コアのステートに応じて $N \cdot t_{WAKE}$ または $N \cdot t_{READY}$ の時間内にパワーアップされます。大規模なスタックの場合、 $N \cdot t_{WAKE}$ の時間は、 t_{IDLE} 以上になることがあります。その場合、ホストは、 $N \cdot t_{WAKE}$ の時間よりも長く待

機した後、別のダミー・バイトを送信し、すべてのデバイスが確実にREADYステートになるために、 $N \cdot t_{READY}$ の間、待機することがあります。

図21は、タイミングと、機能的に等価な回路を示したものです。同相信号は、シリアル・インタフェースをウェイクアップさせません。このインタフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後にウェイクアップするよう設計されています。差動信号 $|SCK(IPA) - CSB(IMA)|$ は、シリアル・インタフェースをパワーアップするウェイクアップ信号として有効になるために、 $t_{DWELL} = 240ns$ の最小期間の間、 $V_{WAKE} = 200mV$ 以上である必要があります。

データ・リンク層

LTC6804では、すべてのデータ転送はバイト・グループ単位で発生します。すべてのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、“L”のままである必要があります。書き込みコマンドでは、データは、CSBの立ち上がりエッジでラッチされます。

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内のすべてのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期シード値000000000010000と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使用して、渡された順番に行なわれます。15ビットのPEC値の計算に

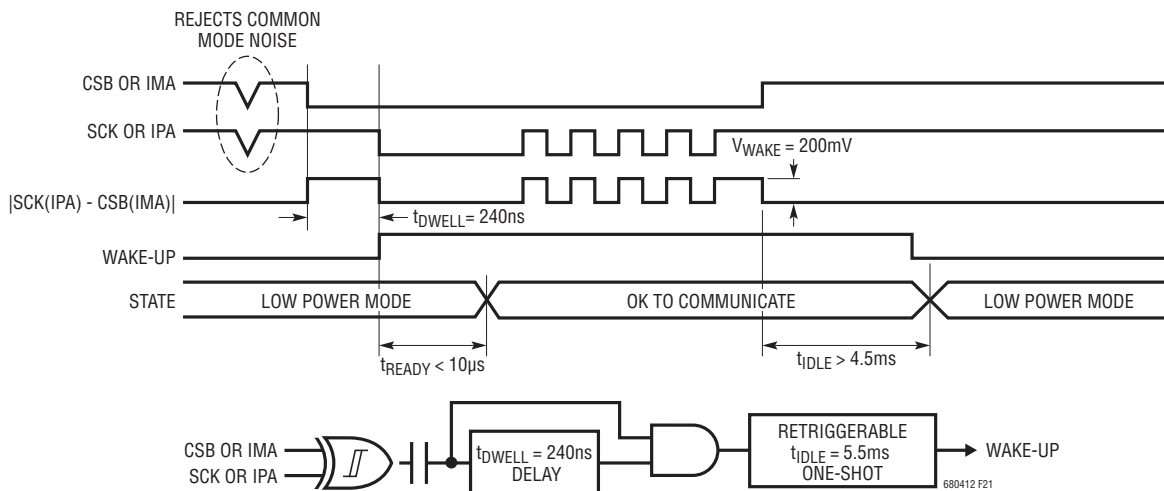


図21. ウェイクアップ検出とIDLEタイマ

680412f

動作

は、簡単な手順を定めることができます。

1. PECを000000000010000に初期化する(PECは15ビット・レジスタ・グループ)。
2. PECレジスタ・グループに送られてくる各DINビットを、次のように設定する。

$$IN0 = \text{DIN XOR PEC [14]}$$

$$IN3 = IN0 \text{ XOR PEC [2]}$$

$$IN4 = IN0 \text{ XOR PEC [3]}$$

$$IN7 = IN0 \text{ XOR PEC [6]}$$

$$IN8 = IN0 \text{ XOR PEC [7]}$$

$$IN10 = IN0 \text{ XOR PEC [9]}$$

$$IN14 = IN0 \text{ XOR PEC [13]}$$

3. 15ビットPECを次のように更新する。

$$\text{PEC [14]} = IN14$$

$$\text{PEC [13]} = \text{PEC [12]}$$

$$\text{PEC [12]} = \text{PEC [11]}$$

$$\text{PEC [11]} = \text{PEC [10]}$$

$$\text{PEC [10]} = IN10$$

$$\text{PEC [9]} = \text{PEC [8]}$$

$$\text{PEC [8]} = IN8$$

$$\text{PEC [7]} = IN7$$

$$\text{PEC [6]} = \text{PEC [5]}$$

$$\text{PEC [5]} = \text{PEC [4]}$$

$$\text{PEC [4]} = IN4$$

$$\text{PEC [3]} = IN3$$

$$\text{PEC [2]} = \text{PEC [1]}$$

$$\text{PEC [1]} = \text{PEC [0]}$$

$$\text{PEC [0]} = IN0$$

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、LSBに0ビットが追加される。

前述のアルゴリズムを図22に示します。16ビット・ワード(0x0001)に対するPEC計算の例を表24に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。

LTC6804は、受け取ったどのコマンドまたはどのデータに対してもPECを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC6804は、シフトアウトするデータの末尾に、計算されたPECを付加します。LTC6804への書き込み時またはLTC6804からの読み出し時のPECのフォーマットを、表25に示します。

いずれかのコマンドがLTC6804に書き込まれるときに、コマンド・バイトのCMD0とCMD1(表32と表33を参照)、およびPECバイトのPEC0とPEC1が、次の順序でポートAで送信されます。

CMD0、CMD1、PEC0、PEC1

デジタイチェーン接続されたLTC6804-1へのブロードキャスト書き込みコマンドの実行後、データが各デバイスに送信され、その後PECが送信されます。例えば、設定レジスタ・グループをデジタイチェーン接続された2つのデバイス(1次デバイスPとスタックされたデバイスS)に書き込む場合、1次デバイスのポートAに、次の順序でデータが送信されます。

CFGR0(S)、…、CFGR5(S)、PEC0(S)、PEC1(S)、CFGR0(P)、…、CFGR5(P)、PEC0(P)、PEC1(P)

デジタイチェーン接続されたデバイスに対して読み出しコマンドを実行すると、各デバイスは、データと、そのデータに対して

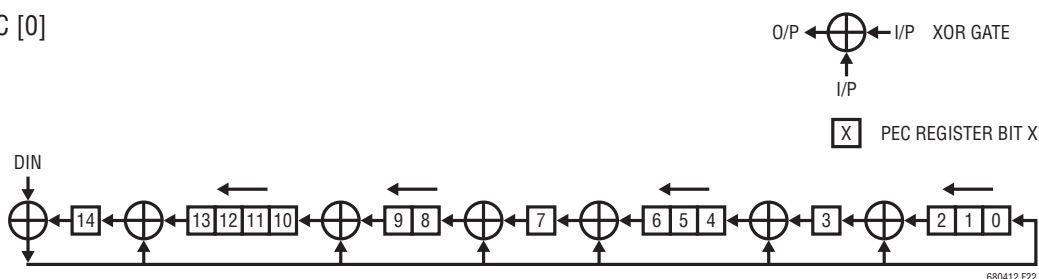


図22.15 16ビットPEC計算回路

680412f

動作

表 24. 0x0001 の PEC 計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
クロック・サイクル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表 25. 書き込み/読み出し PEC フォーマット

名称	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

計算された PEC をポート A でシフトアウトし、その後ポート B でデータが受信されます。例えば、デイジーチェーン接続された 2 つのデバイス (1 次デバイス P とスタックされたデバイス S) からステータス・レジスタ・グループ B を読み出すときに、1 次デバイスは、ポート A で次の順序でデータを送信します。

STBR0(P)、…、STBR5(P)、PEC0(P)、PEC1(P)、

STBR0(S)、…、STBR5(S)、PEC0(S)、PEC1(S)

ブロードキャスト・コマンド

ブロードキャスト・コマンドは、デバイスのアドレスに関係なく、バス上の全デバイスが応答するコマンドです。このコマンドは、LTC6804-1 と LTC6804-2 で使用できます。ブロードキャスト・コマンドのフォーマットについては、「バス・プロトコル」を参照

動作

してください。ブロードキャスト・コマンドでは、全デバイスに同時にコマンドを送ることができます。

並列構成では、これはADC変換コマンドとポーリング・コマンドとして有用です。全デバイスに同じデータを書き込むときに、書き込みコマンドと一緒に使うこともできます。並列構成では、ブロードキャストの読み出しコマンドは使用しません。

デジチェーン構成では、ブロードキャスト・コマンドだけがサポートされています。コマンド・バイトは、チェーン内のすべてのデバイスが同時に受け取ります。例えば、スタック構成のデバイスでADC変換を開始する場合は、1つのADCVコマンドを送ると、全デバイスが同時に変換を開始します。読み出しと書き込みのコマンドでは、1つのコマンドが送られ、次いでスタック構成のデバイスが実効的にカスケード接続されたシフトレジスタになり、データが各デバイスを通してスタック内で隣接するデバイスにシフトされます。「シリアル・プログラミング

の例」のセクションを参照してください。

アドレス・コマンド

アドレス・コマンドは、それに対してバス上の呼び出されたデバイスだけが応答するコマンドです。アドレス・コマンドはLTC6804-2でのみ使われます。アドレス・コマンドのフォーマットについては、「バス・プロトコル」を参照してください。

ポーリング方法

ADCの完了を判断する最も簡単な方法は、コントローラにADC変換を開始させて、指定された変換時間が経過するのを待ってから結果を読み出すことです。デジチェーン通信では、ポーリングはサポートされていません。

SPIモード(ISOMDピンを“L”に接続)で通信を行う並列構成では、2つのポーリング方法があります。ひとつは、ADC変

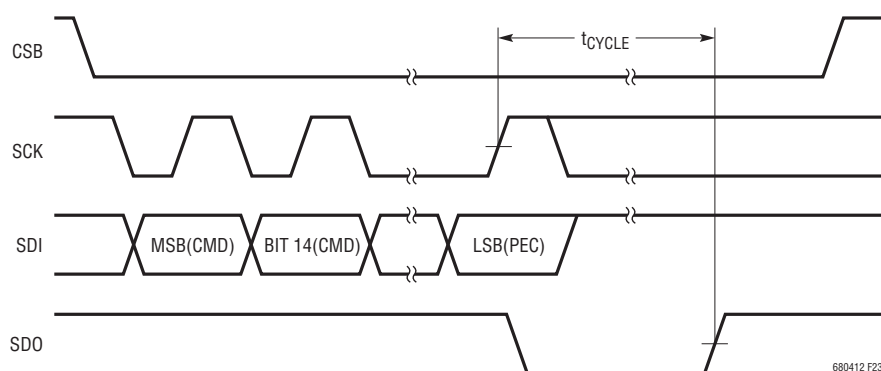


図23.ADC変換コマンド実行後のSDOポーリング

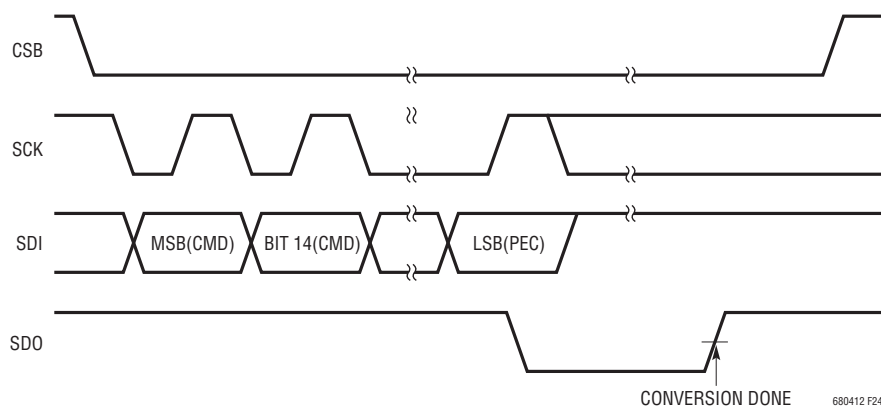


図24.PLADCコマンドを使用したSDOポーリング

動作

換コマンドが送られた後で、CSBを“L”に保持する方法です。変換コマンド入力後、デバイスが変換実行によってビジー状態になっている時は、SDOラインが“L”にドライブされます(図23)。デバイスが変換を完了すると、SDOは“H”にドライブされます。ただし、CSBが“H”になると、デバイスが変換を完了していなくてもSDOも“H”に戻ります。アドレスが割り当てられたデバイスは、その状態のみに基づいてSDOラインをドライブします。この方法に伴う問題は、ADC変換の完了を待っている間、コントローラが他のシリアル通信を自由に行えないということです。もう1つの方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にADCコンバータの状態をポーリングするコマンド(PLADC)を送って、ADC変換の状態を判断できます(図24)。PLADCコマンド入力後、デバイスが変換実行によってビジー状態になっている間は、SDOが“L”になります。変換が終了するとSDOは“H”になります。ただし、CSBが“H”になると、デバイスが変換を完了していなくてもSDOは“H”になります。並列構成のデバイスでPLADCコマンドを使用する方法については、「プログラミング例」のセクションを参照してください。

isoSPIモードで通信を行う並列構成では、ローサイド・ポートは、受信したマスター isoSPIパルスに応答する形でのみデータ・パルスを送信します。したがって、上に述べたどちらかのポーリング方法でコマンドを入力した後は、isoSPIデータ・パルスがデバイスに送られて変換状態が更新されます。これらのパルスは、LTC6820を使用し、そのSCKピンからクロックを出力することによって送信できます。このパルスに응答して、LTC6804は、変換のためまだビジー状態にある場合はisoSPIパルスを返し、変換が完了している場合はパルスを返しません。CSBのハイisoSPIパルスがLTC6804に送られると、LTC6804はポーリング・コマンドを終了します。

バス・プロトコル

プロトコル・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのプロトコル・フォーマットを表27～31に示しま

す。表26はプロトコル図を読み取る鍵となります。

表26. プロトコル・キー

CMD0	First Command Byte (See Tables 32 and 33)
CMD1	Second Command Byte (See Tables 32 and 33)
PEC0	First PEC Byte (See Table 25)
PEC1	Second PEC Byte (See Table 25)
<i>n</i>	Number of Bytes
...	Continuation of Protocol
	Master to Slave
	Slave to Master

コマンド・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのフォーマットを、それぞれ表32と表33に示します。11ビットのコマンド・コードCC[10:0]は、ブロードキャスト・コマンドもアドレス・コマンドも同じです。すべてのコマンド・コードの一覧を表34に示します。ブロードキャスト・コマンドのCMD0[7]からCMD0[3]までの値は0です。アドレス・コマンドのCMD0[7]の値は1で、その後のビットCMD0[6:3]にはデバイスの4ビット・アドレス(a3、a2、a1、a0)が入ります。アドレスが割り当てられたデバイスは、ピンA3～A0で表されるそのデバイスの物理アドレスがアドレス・コマンドに指定されたアドレスに一致した場合のみ、アドレス・コマンドに応答します。ブロードキャスト・コマンドとアドレス・コマンドのPECは、16ビットのコマンド(CMD0およびCMD1)全体に対して計算する必要があります。

コマンド

表34に、LTC6804-1とLTC6804-2のすべてのコマンドと、その

動作

表 27. ブロードキャスト/アドレス・ポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	ポーリング・データ

表 28. ブロードキャスト書き込みコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	データ・バイト・ロー	...	データ・バイト・ハイ	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

表 29. アドレス書き込みコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	データ・バイト・ロー	...	データ・バイト・ハイ	PEC0	PEC1

表 30. ブロードキャスト読み出しコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	データ・バイト・ロー	...	データ・バイト・ハイ	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

表 31. アドレス読み出しコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	データ・バイト・ロー	...	データ・バイト・ハイ	PEC0	PEC1

表 32. ブロードキャスト・コマンド・フォーマット

名称	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

表 33. アドレス・コマンド・フォーマット

名称	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CMD0	WR	1	a3*	a2*	a1*	a0*	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

*axはアドレス・ビットx

動作

表 34. コマンドのコード

コマンドの説明	名称	CC[10:0] - コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Write Configuration Register Group	WRCFG	0	0	0	0	0	0	0	0	0	0	1
Read Configuration Register Group	RDCFG	0	0	0	0	0	0	0	0	0	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD	0	0	0	0	0	0	0	1	0	1	0
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self-Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start GPIOs ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG [2]	CHG [1]	CHG [0]
Start Self-Test GPIOs Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST [2]	CHST [1]	CHST [0]
Start Self-Test Status group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and GPIO1, GPIO2 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Clear Cell Voltage Register Group	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Group	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Group	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C/SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1

LTC6804-1/LTC6804-2

動作

表 35. コマンド・ビットの説明

名称	説明	値							
MD[1:0]	ADC Mode	MD	ADCOPT(CFGR0[0]) = 0				ADCOPT(CFGR0[0]) = 1		
		01	27kHz Mode (Fast)				14kHz Mode		
		10	7kHz Mode (Normal)				3kHz Mode		
		11	26Hz Mode (Filtered)				2kHz Mode		
DCP	Discharge Permitted	DCP							
		0	Discharge Not Permitted						
		1	Discharge Permitted						
CH[2:0]	Cell Selection for ADC Conversion			Total Conversion Time in the 6 ADC Modes					
		CH		27kHz	14kHz	7kHz	3kHz	2kHz	26Hz
		000	全セル	1.1ms	1.3ms	2.3ms	3.0ms	4.4ms	201ms
		001	セル1とセル7	201μs	230μs	405μs	501μs	754μs	34ms
		010	セル2とセル8						
		011	セル3とセル9						
		100	セル4とセル10						
		101	セル5とセル11						
		110	セル6とセル12						
PUP	Pull-Up/Pull-Down Current for Open-Wire Conversions	PUP							
		0	Pull-Down Current						
		1	Pull-Up Current						
ST[1:0]	Self-Test Mode Selection			Self-Test Conversion Result					
		ST		27kHz	14kHz	7kHz	3kHz	2kHz	26Hz
		01	Self Test 1	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555
		10	Self test 2	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA
CHG[2:0]	GPIO Selection for ADC Conversion			Total Conversion Time in the 6 ADC Modes					
		CHG		27kHz	14kHz	7kHz	3kHz	2kHz	26Hz
		000	GPIO 1-5, 2nd Ref	1.1ms	1.3ms	2.3ms	3.0ms	4.4ms	201ms
		001	GPIO 1	201μs	230μs	405μs	501μs	754μs	34ms
		010	GPIO 2						
		011	GPIO 3						
		100	GPIO 4						
		101	GPIO 5						
		110	2nd Reference						
CHST[2:0]*	Status Group Selection			Total Conversion Time in the 6 ADC Modes					
		CHST		27kHz	14kHz	7kHz	3kHz	2kHz	26Hz
		000	SOC, ITMP, VA, VD	748μs	865μs	1.6ms	2.0ms	3.0ms	134ms
		001	SOC	201μs	230μs	405μs	501μs	754μs	34ms
		010	ITMP						
		011	VA						
		100	VD						

*注記: ADSTAT コマンドの CHST に対して有効なオプションは、0~4。ADSTAT コマンドで CHST を 5/6 に設定した場合、LTC6804 は、ADAX コマンドで CHG = 5/6 を設定した場合と同様にそれを扱う。

動作

表 36. 設定レジスタ・グループ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CFGR0	RD/WR	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	REFON	SWTRD	ADCOPT
CFGR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGR3	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGR4	RD/WR	DCC8	DCC7	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGR5	RD/WR	DCT0[3]	DCT0[2]	DCT0[1]	DCT0[0]	DCC12	DCC11	DCC10	DCC9

表 37. セル電圧レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 38. セル電圧レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表 39. セル電圧レジスタ・グループ C

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVCR0	RD	C7V[7]	C7V[6]	C7V[5]	C7V[4]	C7V[3]	C7V[2]	C7V[1]	C7V[0]
CVCR1	RD	C7V[15]	C7V[14]	C7V[13]	C7V[12]	C7V[11]	C7V[10]	C7V[9]	C7V[8]
CVCR2	RD	C8V[7]	C8V[6]	C8V[5]	C8V[4]	C8V[3]	C8V[2]	C8V[1]	C8V[0]
CVCR3	RD	C8V[15]	C8V[14]	C8V[13]	C8V[12]	C8V[11]	C8V[10]	C8V[9]	C8V[8]
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

表 40. セル電圧レジスタ・グループ D

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

動作

表 41. 補助レジスタ・グループ A

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
AVAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
AVAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

表 42. 補助レジスタ・グループ B

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
AVBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

表 43. ステータス・レジスタ・グループ A

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
STAR0	RD	SOC[7]	SOC[6]	SOC[5]	SOC[4]	SOC[3]	SOC[2]	SOC[1]	SOC[0]
STAR1	RD	SOC[15]	SOC[14]	SOC[13]	SOC[12]	SOC[11]	SOC[10]	SOC[9]	SOC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

表 44. ステータス・レジスタ・グループ B

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C40V	C4UV	C30V	C3UV	C20V	C2UV	C10V	C1UV
STBR3	RD	C80V	C8UV	C70V	C7UV	C60V	C6UV	C50V	C5UV
STBR4	RD	C120V	C12UV	C110V	C11UV	C100V	C10UV	C90V	C9UV
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表 45. COMM レジスタ・グループ

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

動作

表 46. メモリ・ビットの説明

名称	説明	値
GPIOx	GPIOx Pin Control	Write: 0 -> GPIOx Pin Pull-Down ON; 1 -> GPIOx Pin Pull-Down OFF Read: 0 -> GPIOx Pin at Logic 0; 1 -> GPIOx Pin at Logic 1
REFON	Reference Powered Up	1 -> Reference Remains Powered Up Until Watchdog Timeout 0 -> Reference Shuts Down after Conversions
SWTRD	SWTEN Pin Status (Read Only)	1 -> SWTEN Pin at Logic 1 0 -> SWTEN Pin at Logic 0
ADCOPT	ADC Mode Option Bit	ADCOPT: 0 -> Selects Modes 27kHz, 7kHz or 26Hz with MD[1:0] Bits in ADC Conversion Commands. 1 -> Selects Modes 14kHz, 3kHz or 2kHz with MD[1:0] Bits in ADC Conversion Commands.
VUV	Undervoltage Comparison Voltage*	Comparison voltage = $(VUV + 1) \cdot 16 \cdot 100\mu V$ Default: VUV = 0x000
VOV	Overvoltage Comparison Voltage*	Comparison voltage = $VOV \cdot 16 \cdot 100\mu V$ Default: VOV = 0x000
DCC[x]	Discharge Cell x	x = 1 to 12 1 -> Turn ON Shorting Switch for Cell x 0 -> Turn OFF Shorting Switch for Cell x (Default)
DCTO	Discharge Time Out Value	DCTO (Write)
		0 1 2 3 4 5 6 7 8 9 A B C D E F
		Time (Min) ディスエーブル 0.5 1 2 3 4 5 10 15 20 30 40 60 75 90 120
		DCTO (Read)
		0 1 2 3 4 5 6 7 8 9 A B C D E F
		Time Left (Min) Disabled or Timeout 0 to 0.5 0.5 to 1 1 to 2 2 to 3 3 to 4 4 to 5 5 to 10 10 to 15 15 to 20 20 to 30 30 to 40 40 to 60 60 to 75 75 to 90 90 to 120
CxV	Cell x Voltage*	x = 1 to 12 16-Bit ADC Measurement Value for Cell x Cell Voltage for Cell x = $CxV \cdot 100\mu V$ CxV Is Reset to 0xFFFF on Power-Up and After Clear Command
GxV	GPIO x Voltage*	x = 1 to 5 16-Bit ADC Measurement Value for GPIOx Voltage for GPIOx = $GxV \cdot 100\mu V$ GxV Is Reset to 0xFFFF on Power-Up and After Clear Command
REF	2nd Reference Voltage*	16-Bit ADC Measurement Value for 2nd Reference Voltage for 2nd Reference = $REF \cdot 100\mu V$ Normal Range Is within 2.980V to 3.020V
SOC	Sum of Cells Measurement*	16-Bit ADC Measurement Value of the Sum of All Cell Voltages Sum of All Cells Voltage = $SOC \cdot 100\mu V \cdot 20$
ITMP	Internal Die Temperature*	16-Bit ADC Measurement Value of Internal Die Temperature Temperature Measurement Voltage = $ITMP \cdot 100\mu V / 7.5mV/^{\circ}C - 273^{\circ}C$
VA	Analog Power Supply Voltage*	16-Bit ADC Measurement Value of Analog Power Supply Voltage Analog Power Supply Voltage = $VA \cdot 100\mu V$ Normal Range Is within 4.5V to 5.5V
VD	Digital Power Supply Voltage*	16-Bit ADC Measurement Value of Digital Power Supply Voltage Digital Power Supply Voltage = $VA \cdot 100\mu V$ Normal Range Is within 2.7V to 3.6V
CxOV	Cell x Overvoltage Flag	x = 1 to 12 Cell Voltage Compared to VOV Comparison Voltage 0 -> Cell x Not Flagged for Overvoltage Condition. 1 -> Cell x Flagged
CxUV	Cell x Undervoltage Flag	x = 1 to 12 Cell Voltage Compared to VUV Comparison Voltage 0 -> Cell x Not Flagged for Undervoltage Condition. 1 -> Cell x Flagged
REV	Revision Code	Device Revision Code
RSVD	Reserved Bits	Read: Read Back Value Is Always 0

動作

表 46. メモリ・ビットの概要

名称	説明	値											
MUXFAIL	Multiplexer Self-Test Result	Read:0 -> Multiplexer Passed Self Test 1 -> Multiplexer Failed Self Test											
THSD	Thermal Shutdown Status	Read:0 -> Thermal Shutdown Has Not Occurred 1 -> Thermal Shutdown Has Occurred THSD Bit Cleared to 0 on Read of Status Register Group B											
ICOMn	Initial Communication Control Bits	Write	I2C	0110		0001		0000		0111			
				START		STOP		BLANK		NO TRANSMIT			
			SPI	1000			1001			1111			
				CSB Low			CSB High			NO TRANSMIT			
		Read	I2C	0110		0001		0000		0111			
				START from Master		STOP from Master		SDA Low Between Bytes		SDA High Between Bytes			
			SPI	0111									
Dn	I ² C/SPI Communication Data Byte	Data Transmitted (Received) to (From) I ² C/SPI Slave Device											
FCOMn	Final Communication Control Bits	Write	I2C	0000			1000			1001			
				Master ACK			Master NACK			Master NACK + STOP			
			SPI	X000					1001				
				CSB Low					CSB High				
		Read	I2C	0000		0111		1111		0001		1001	
				ACK from Master		ACK from Slave		NACK from Slave		ACK from Slave + STOP from Master		NACK from Slave + STOP from Master	
			SPI	1111									

*電圧の式にはレジスタの10進数(12ビットでは0～4095、16ビットでは0～65535)を使用する。

オプションを示します。

プログラミング例

以下の例では、スタックされた3つのLTC6804-1デバイス(S1、S2、S3)の構成を使用します。デバイスS1のポートAは、SPIモードに設定されています(ISOMDピンが“L”)。デバイスS2およびS3のポートAは、isoSPIモードに設定されています(ISOMDピンが“H”)。S1のポートBは、S2のポートAに接続されます。S2のポートBは、S3のポートAに接続されます。マイクロコントローラは、S1のポートAを介してスタックと通信します。

シリアル・インタフェースのウェイクアップ

1. ダミー・バイトを送信する。CSBとSCKの活動によって、デバイスS1のシリアル・インタフェースがウェイクアップする。
2. すべてのデバイス(S1、S2、およびS3)をパワーアップするために、時間3・t_{WAKE}の間、待機する。

ウェイクアップ後に一部のデバイスがIDLEステートに移行することのある大規模なスタックの場合、以下のステップ3と4

を適用する。

3. 2番目のダミー・バイトを送信する。
4. 時間3・t_{READY}の間、待機する。
5. コマンドを送信する。

設定レジスタへの書込み

1. CSBを“L”に引き下げる。
2. WRCFGコマンド(0x00 0x01)とそのPEC(0x3D 0x6E)を送信する。
3. デバイスS3のCFGR0バイトを送信してから、CFGR1(S3)、…CFGR5(S3)、CFGR0(S3)～CFGR5(S3)のPECを送信する。
4. デバイスS2のCFGR0バイトを送信してから、CFGR1(S2)、…CFGR5(S2)、CFGR0(S2)～CFGR5(S2)のPECを送信する。
5. デバイスS1のCFGR0バイトを送信してから、CFGR1(S1)、…CFGR5(S1)、CFGR0(S1)～CFGR5(S1)のPECを送

動作

信する。

6. CSBを“H”に引き上げる。データはCSBの立ち上がりエッジで全デバイスにラッチされる。

上のシーケンスのシリアル・インタフェースの時間の計算:

デジタイゼーション・スタック内のLTC6804-1の数 = n

シーケンスのバイト数(B):

コマンド: $2(\text{コマンド・バイト}) + 2(\text{コマンド PEC}) = 4$

データ: $\text{LTC6804 当たり } 6(\text{データ・バイト}) + 2(\text{データ PEC}) = \text{デバイス当たり } 8 \text{ バイト}$

$B = 4 + 8 \cdot n$

ビット当たりのシリアル・ポートの周波数 = F

時間 = $(1/F) \cdot B \cdot 8 \text{ ビット/バイト} = (1/F) \cdot [4 + 8 \cdot n] \cdot 8$

上に示す3つのLTC6804の例の1MHzシリアル・ポートの時間 = $(1/1e6) \cdot (4 + 8 \cdot 3) \cdot 8 = 224 \mu\text{s}$

注記: この時間はすべての書き込みコマンドと読み出しコマンドについて同じです。

セル電圧レジスタ・グループAからの読み出し

1. CSBを“L”に引き下げる。
2. RDCVA コマンド (0x00 0x04) とその PEC (0x07 0xC2) を送信する。
3. デバイスS1のCVAR0バイトを読み出してから、CVAR1(S1)、…CVAR5(S1)、CVAR0(S1) ~ CVAR5(S1)のPECを読み出す。
4. デバイスS2のCVAR0バイトを読み出してから、CVAR1(S2)、…CVAR5(S2)、CVAR0(S2) ~ CVAR5(S2)のPECを読み出す。
5. デバイスS3のCVAR0バイトを読み出してから、CVAR1(S3)、…CVAR5(S3)、CVAR0(S3) ~ CVAR5(S3)のPECを読み出す。
6. CSBを“H”に引き上げる。

セル電圧のADC変換開始

(全てのセル、ノーマル・モード、放電を許可)と状態のポーリング

1. CSBを“L”に引き下げる。

2. ADCV コマンドと MD[1:0] = 10 および DCP = 1、つまり、0x03 0x70 とその PEC (0xAF 0x42) を送信する。

3. CSBを“H”に引き上げる。

セル電圧レジスタをクリア

1. CSBを“L”に引き下げる。
2. CLRCELL コマンド (0x07 0x11) とその PEC (0xC9 0xC0) を送信する。
3. CSBを“H”に引き上げる。

ADCの状態をポーリング

(並列構成、ISOMD = 0)

この例では、A [3:0] = 0011 というアドレスを割り当て、ISOMD = 0 と設定したLTC6804-2を使用します。

1. CSBを“L”に引き下げる。
2. PLADC コマンド (0x9F 0x14) とその PEC (0x1C 0x48) を送信する。
3. LTC6804-2がビジーの場合はSDO出力が“L”になる。ホストは、アドレス指定されたデバイスからポーリング状態を更新するために、SCKでクロックを送信する必要がある。
4. LTC6804-2が変換を完了するとSDO出力が“H”になる。
5. CSBを“H”に引き上げてポーリングを終了。

LTC6804に接続されたI²Cスレーブとの通信

LTC6804は、GPIO4(SDA)とGPIO5(SCL)に接続することに

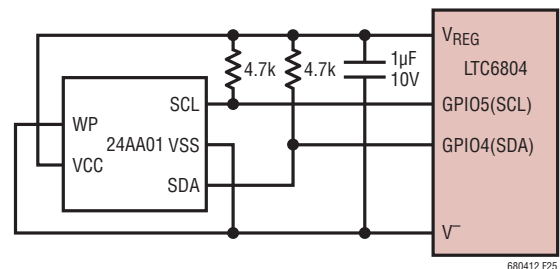


図 25. LTC6804のGPIOピンへのI²C EEPROMの接続

動作

よって、I²C スレーブ・デバイスをサポートします。この機能に関して役立つ用途の1つは、図 25 に示すような接続を使用して、製造較正定数などの情報を、小型シリアルEEPROMに格納することです。

この例では、1つのLTC6804-1を使用して1バイトのデータをI²C EEPROMに書き込みます。LTC6804は、3バイトのデータをI²C スレーブ・デバイスに送信します。送信されるデータは、B0 = 0xA0 (EEPROMアドレス)、B1 = 0x01 (書き込みコマンド)、およびB2 = 0xAA (EEPROMに格納されるデータ)です。3バイトが、以下のフォーマットでI²C スレーブ・デバイスに送信されます。

START – B0 – NACK – B1 – NACK – B2 – NACK – STOP

1. WRCOMM コマンドを使用して、COMMレジスタにデータを書き込む。
 - a. CSBを“L”に引き下げる。
 - b. WRCOMM コマンド (0x07 0x21) とその PEC (0x24 0xB2) を送信する。
 - c. COMM0 = 0x6A、COMM1 = 0x08 ([START] [B0] [NACK])、
COMM2 = 0x00、COMM3 = 0x18 ([BLANK] [B1] [NACK])、
COMM4 = 0x0A、COMM5 = 0xA9 ([BLANK] [B2] [NACK+STOP])、
および、上記データの PEC = 0x6D 0xFB を送信する。
 - d. CSBを“H”に引き上げる。
2. STCOMM コマンドを使用して、I²C スレーブ・デバイスに3バイトのデータを送信する。
 - a. CSBを“L”に引き下げる。

- b. STCOMM コマンド (0x07 0x23) とその PEC (0xB9 0xE4) を送信する。
 - c. SCK で 72 個のクロック・サイクルを送信する。
 - d. CSBを“H”に引き上げる。
3. STCOMM コマンドの実行時にスレーブに送信されたデータが、COMMレジスタに格納される。RDCOMM コマンドを使用してデータを取り出す。
 - a. CSBを“L”に引き下げる。
 - b. RDCOMM コマンド (0x07 0x22) とその PEC (0x32 0xD6) を送信する。
 - c. COMM0 ~ COMM5、および6バイトのデータのPECを読み出す。
スレーブが3バイトのデータすべてのアクノリッジを返したと仮定すると、この例の読み出しデータは、次のようになる。
COMM0 = 0x6A、COMM1 = 0x07、COMM2 = 0x70、
COMM3 = 0x17、COMM4 = 0x7A、COMM5 = 0xA1、
PEC = 0xD0 0xDE
 - d. CSBを“H”に引き上げる。

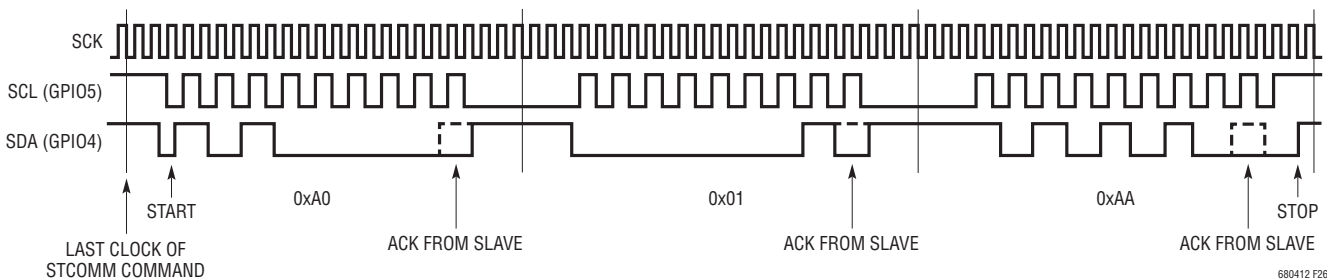


図 26. LTC6804 の I²C 通信の例

680412 F26

動作

注記: スレーブがデータを返した場合、そのデータはCOMM0～COMM5に配置されます。

図26は、上記の例でSTCOMMコマンドを実行したときの72クロック・サイクルについて、I²CマスタのGPIO5 (SCL) ポートおよびGPIO4 (SDA) ポート上の動作を示しています。

LTC6804に接続されたSPIスレーブとの通信

この例では、GPIO3 (CSBM)、GPIO4 (SDOM)、およびGPIO5 (SCKM) を通じてSPIデバイスに接続されたLTC6804-1を1個使用します。この例では、LTC6804は、3バイトのデータ (B0 = 0x55、B1 = 0xAA、およびB2 = 0xCC) を、次のフォーマットでSPIスレーブ・デバイスに送信します: CSB“L” – B0 – B1 – B2 – CSB“H”

1. WRCOMM コマンドを使用して、COMMレジスタにデータを書き込む。
 - a. CSBMを“L”に引き下げる。
 - b. WRCOMM コマンド (0x07 0x21) と その PEC (0x24 0xB2) を送信する。
 - c. 以下を送信する。
 COMM0 = 0x85、COMM1 = 0x50 ([CSBM “L”] [B0] [CSBM “L”])、
 COMM2 = 0x8A、COMM3 = 0xA0 ([CSBM “L”] [B1] [CSBM “L”])、
 COMM4 = 0x8C、COMM5 = 0xC9 ([CSBM “L”] [B2] [CSBM “H”])、
 および上記データの PEC = 0x89 0xA4。
 - d. CSBを“H”に引き上げる。
2. STCOMM コマンドを使用して、SPIスレーブ・デバイスに3バイトのデータを送信する。

- a. CSBを“L”に引き下げる。
 - b. STCOMM コマンド (0x07 0x23) と その PEC (0xB9 0xE4) を送信する。
 - c. SCKで72個のクロック・サイクルを送信する。
 - d. CSBを“H”に引き上げる。
3. STCOMM コマンドの実行時にスレーブに送信されたデータが、COMMレジスタに格納される。RDCOMM コマンドを使用してデータを取り出す。
 - a. CSBを“L”に引き下げる。
 - b. RDCOMM コマンド (0x07 0x22) と その PEC (0x32 0xD6) を送信する。
 - c. COMM0～COMM5、および6バイトのデータのPECを読み出す。この例では、読み出されるデータは次のようになる。
 COMM0 = 0x755F、COMM1 = 0x7AAF、COMM2 = 7CCF、PEC = 0xF2BA
 - d. CSBを“H”に引き上げる。

注記: スレーブがデータを返すと、そのデータはCOMM0～COMM5に配置されます。

図27は、上記の例でSTCOMMコマンドを実行したときの72クロック・サイクルについて、SPIマスタのGPIO3 (CSBM) ポート、GPIO5 (SCKM) ポート、およびGPIO4 (SDOM) ポートの動作を示しています。

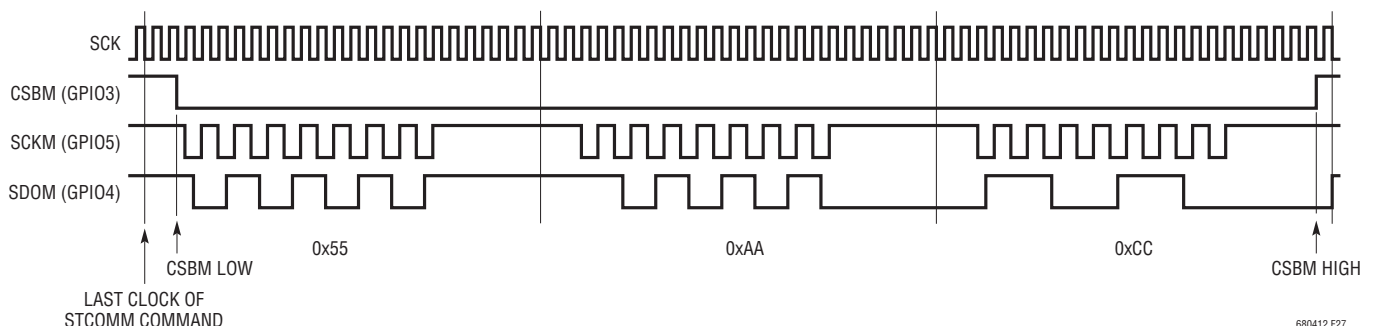


図27. LTC6804のSPI通信の例

アプリケーション情報

簡易リニア・レギュレータ

LTC6804は、その電源のほとんどをV_{REG}入力ピンから取り
ます。V_{REG}には、5V ±0.5Vを供給する必要があります。安
定化DC/DCコンバータによって直接V_{REG}に電力を供給で
きます。あるいは、いくつかの外付け部品を追加してDRIVE
ピンを使用し、ディスクリット・レギュレータを形成できます。
動作時にDRIVE出力ピンは、5.6Vの低電流出力を供給しま
す。この出力は、図28に示すように、ディスクリットNPNトラ
ンジスタを使用してバッファできます。V₊を超える6V以上の
任意の電位(モニターされている電池セル、や非安定化コン
バータ電源など)から、NPNのコレクタ電力を供給できます。
NPNを過渡電流から保護するために、コレクタ電力の接続に
は100Ω/100nF RCデカップリング・ネットワークを推奨しま
す。NPNのエミッタは、1μFコンデンサでバイパスされます。これよ
りも大きな値のコンデンサは、LTC6804のウェイクアップ時間
が増えるため、使用しないでください。高いコレクタ電圧によ
って著しく発熱する場合があるため、NPNの熱特性には注意が
必要です。示したNSV1C201MZ4は、良好な設計マージンを
提供するSOT-223 デバイスです。

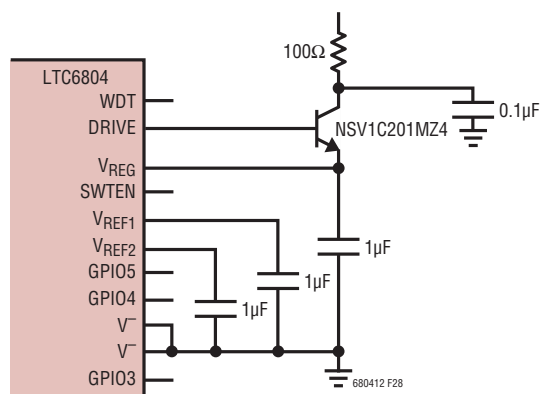


図 28. NPN パス・トランジスタを使用した簡易 V_{REG} 電源

向上したレギュレータの電力効率

LTC6804の内部消費電力を最小に抑えるために、V⁺ピンに流れる電流は、非常に小さく(500μA)なるように設計されています。正確な測定値を提供するには、V⁺ピンの電圧が、最上位セルの電圧以上である必要があります。V⁺ピンとV_{REG}ピンに給電しないで、極めて低いバッテリー・ドレイン・シャットダウン・モードを実現できます。多くのアプリケーションでは、過渡電流から保護するために、V⁺をデカップリングRC(100Ω/100nFを推奨)を経由して恒久的に最上位セルの電位に接続します。

セル・スタックから電力を供給するときの実行効率をさらに改善する場合、NPNパス・トランジスタではなく、降圧コンバータから V_{REG} に電力を供給できます。これに最適な回路は、図29に示すようにLT3990をベースにします。スタックに接続するときの突入電流を防ぎ、伝導EMIを低減するために、入力と直列に接続された1k抵抗を使用します。LTC6804と共にコンバータがスリープするように、EN/UVLOピンをDRIVEに接続します。

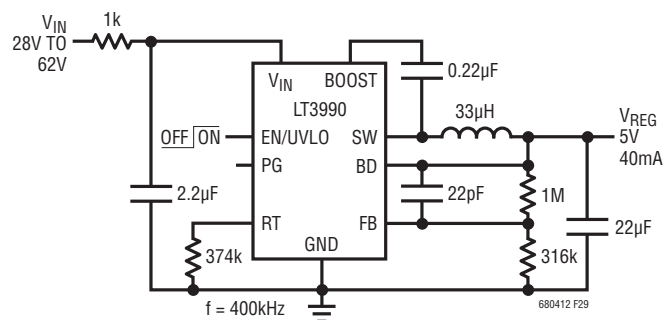


図29. 高効率のセル・スタックから電力を供給される V_{REG}

アプリケーション情報

完全に絶縁された電源

簡易DC/DCフライバック・コンバータは、図30に示すように、リモートの12V電源からLTC6804に絶縁された電力を供給できます。この回路とisoSPIトランスの絶縁によって、LTC6804回路は完全にフロート状態になり、バッテリー電力をほとんど消費しないようになります。このように構成することで、バッテリー電位で動作する回路の量が減ることに加え、バッテリー負荷がアンバランスになることを防ぎます。

外部温度プローブの読み取り

図31は、標準的な負温度係数(NTC)のサーミスタのバイアス回路を示しています。25°Cでの10k Ω が最も一般的なセンサ値であり、V_{REF2}出力段は、これら複数のプローブを直接バイアスするために必要な電流を供給するように設計されています。回路が25°Cで1.5V (V_{REF2}は公称3V)を供給するように、NTCの値に応じてバイアス抵抗を選択します。回路全体の応答は、標準的なセルの温度の範囲内で、約-1%/°Cです。これを図31のグラフに示します。

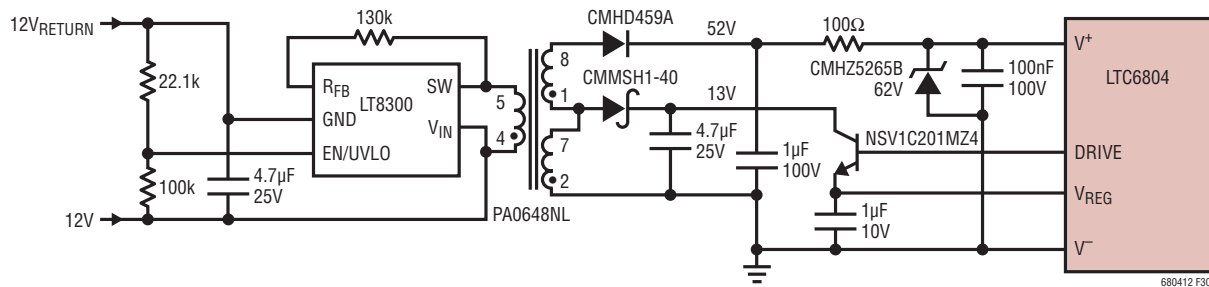


図30. リモートの12V電源からのLTC6804への電力供給

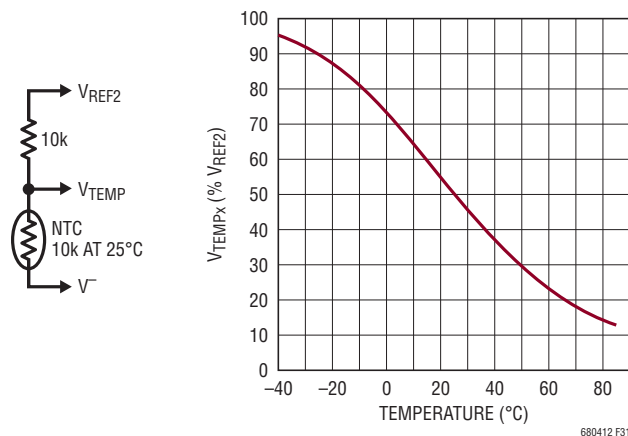


図31. 標準的な温度プローブ回路と相対出力

アプリケーション情報

補助測定入力の拡張

LTC6804は、それぞれADC入力として使用できる5つのGPIOピンを備えています。アプリケーションによっては、これよりも多くの信号を測定する必要があります。そのため、これよりも多くの信号数をサポートする1つの方法は、図32に示すように、MUX回路を追加することです。この回路は、GPIO1 ADC入力を使用して、最大16のソース信号をデジタル化します。MUX制御は、I²Cポートとして構成された他の2つのGPIOラインによって提供されます。バッファ・アンプは、使用可能な変換レートを増やすために、選択された信号の高速セトリングを提供します。

内部保護機能

LTC6804は、堅牢な性能を確保するために、さまざまなESD保護機能を搭載しています。具体的な保護構造を表す等価回路を、図33に示します。ピン43～48は、-1と-2のバージョンに対して異なる機能を備えていますが、その保護構造は同じです。ツェナー式サプレッサは、それらの公称クランプ電圧で示され、他のダイオードは標準PN接合動作を示しています。

セル入力とGPIO入力のフィルタリング

LTC6804は、デルタシグマ変調器とその後ろにSINC3有限インパルス応答(FIR)デジタル・フィルタを備えるデルタシグマ型ADCを使用します。これによって、入力フィルタの要件が大幅に減ります。さらに、プログラム可能なオーバーサンプリング率を使用して、測定速度とフィルタのカットオフ周波数との間の最適なトレードオフを決定できます。この高次ローパス・フィルタを使用しても、特に高速変換モードの場合に、高速過渡ノイズによって測定で残留ノイズが発生することがあります。これは、各ADC入力にRCローパス・デカップリングを追加することによって、最小限に抑えることができます。これを追加することで、損傷を与える可能性のある高エネルギーの過渡電流を除去することもできます。約100Ωを超える抵抗をADC入力に追加すると、測定で系統的な誤差が発生するようになります。この誤差は、フィルタ容量を増やすか、ソフトウェアでのキャリブレーションを使用して数学的に補償することによって改善できます。最高レベルのバッテリー電圧のリップル除去が要求される状況では、接地コンデンサ・フィルタを推奨します。この構成では、直列接続された抵抗とコンデンサを使用して、HFノイズをV⁻から分離します。ノイズの周期性が少ない

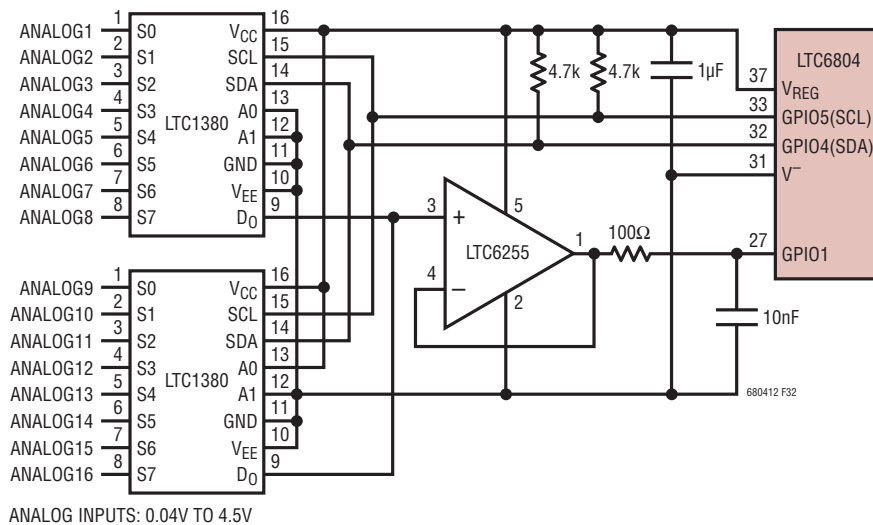


図32.16の追加アナログ測定をサポートするMUX回路

アプリケーション情報

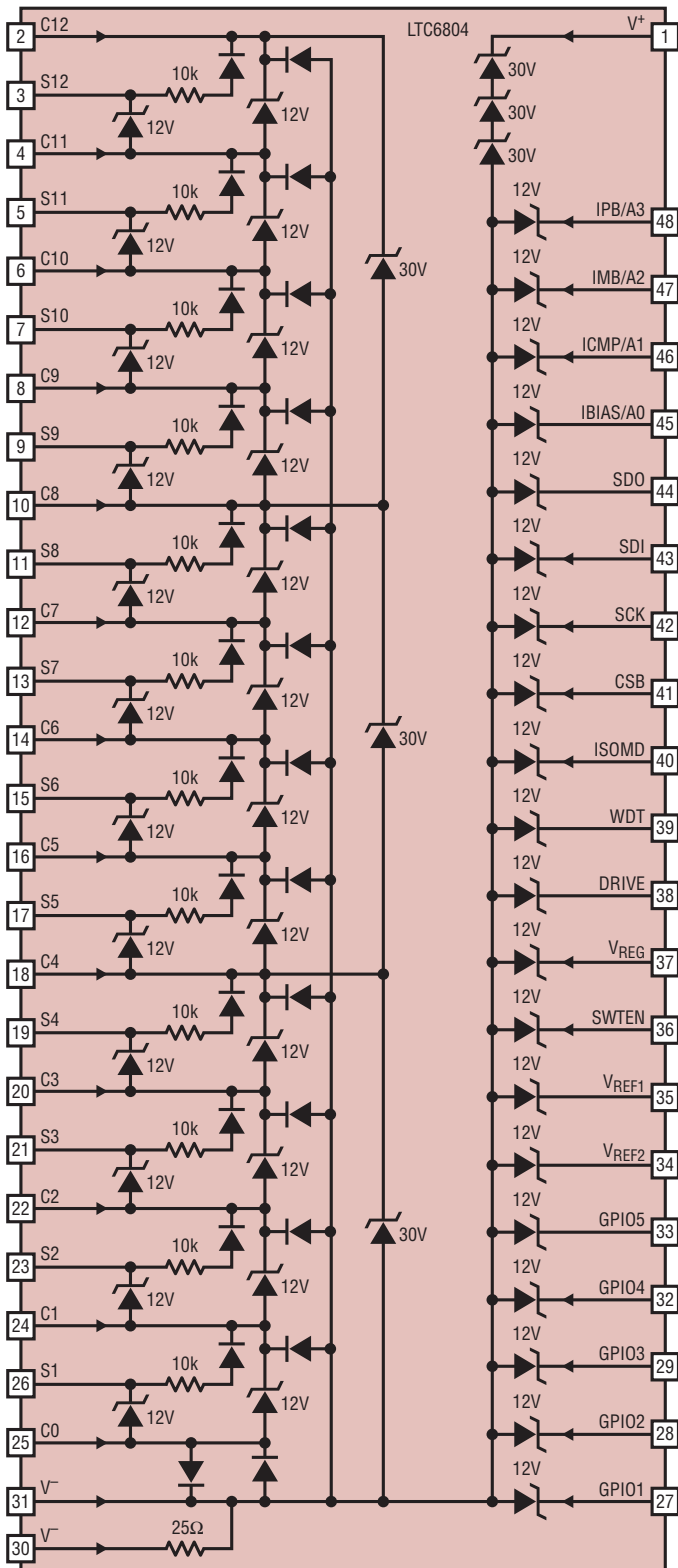


図33. LTC6804 の内部 ESD 保護構造

か、高いオーバーサンプル・レートを使用しているシステムでは、差動コンデンサ・フィルタ構造が適しています。この構成では、抵抗は各入力に直列接続されますが、コンデンサは隣接するCピン間に接続されます。ただし、差動コンデンサの各部分が相互作用します。その結果、フィルタ応答の一貫性が低くなり、減衰がRCによる予測値よりも(約1デケード)低くなります。これらのコンデンサには、加えられる電圧のうちの1セル分の電圧が発生します(そのため、コンデンサ値が小さく低コスト)。また、これらのコンデンサは、過渡エネルギーをデバイス全体に均一に分配する傾向があり、これによって、内部の電位構造に対するストレスの発生が抑えられます。これら2つの方法を、図34の回路図で示します。ADCの基本的な精度は、標準的性能曲線に示すようにRとCによって変化しますが、誤差は、 $R = 100\Omega$ かつ $C = 10\text{nF}$ の場合に最小になります。測定ではすべて V^- が基準になるため、GPIOピンは接地されたコンデンサの構成を常に使用します。

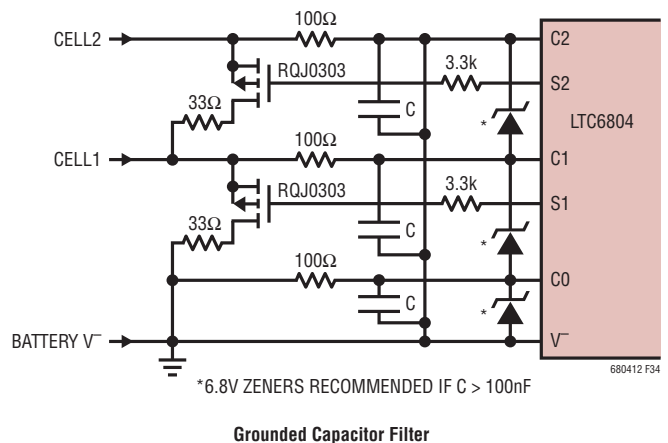
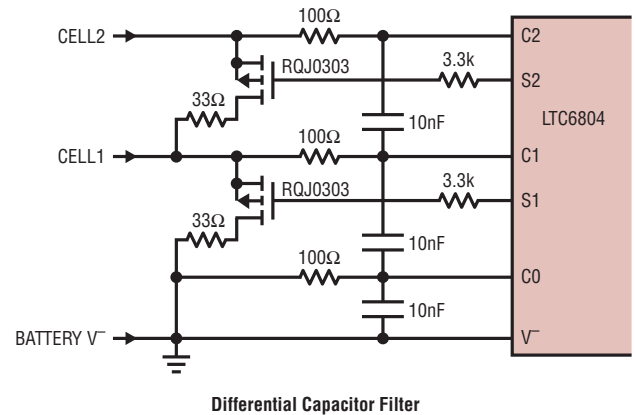


図34. 入力フィルタ構造の構成

アプリケーション情報

内部 MOSFET によるセル・バランスング

S1～S12ピンは、バッテリー・セル間のバランスを保つために使用されます。直列に接続された1つのセルが過充電になった場合、S出力を使用してそのセルを放電できます。各S出力には、放電用の内部Nチャネル MOSFETが存在します。このNMOSは、最大20Ωのオン抵抗を持ちます。LTC6804のパッケージの外部に放熱するために、図35に示すように、NMOSと直列に外付け抵抗を接続する必要があります。RCを使用して、セル電圧測定にさらにフィルタを追加できます。ただし、フィルタのRを小さいまま(通常は約10Ω)にして、設定されたバランス電流への影響を減らす必要があります。内部MOSFETを使用してセルを放電する場合、ダイ温度をモニターする必要があります。「電力損失とサーマル・シャットダウン」のセクションを参照してください。

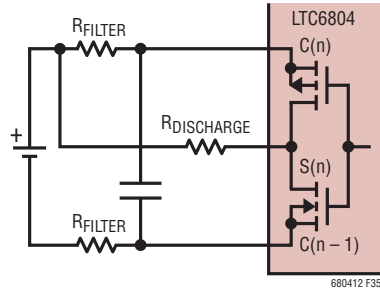


図35. 内部放電回路

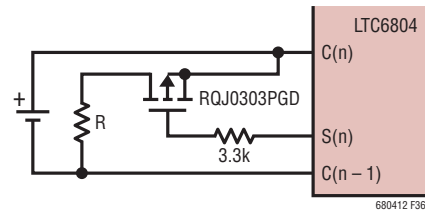


図36. 外部放電回路

外部 MOSFET によるセル・バランスング

S出力は、内部プルアップPMOSトランジスタを備えています。Sピンは、外部MOSFETのゲート駆動に適したデジタル出力として動作できます。高い放電電流が必要なアプリケーションの場合、ディスクリートPMOSスイッチ・デバイスと適切な放電抵抗をセルに接続し、ゲート端子をS出力ピンに接続します。これを、図36に示します。RCフィルタを備える外部MOSFET回路を、図34に示します。

セル測定時の放電制御

セル測定コマンドの放電許可(DCP)コマンド・ビットが“H”である場合、セルの測定中にSピンの放電状態は変化しません。しかし、DCPビットが“L”である場合、対応するセルまたは隣接するセルの測定中に、オンになっているすべての放電がオフになります。DCP = 0でADCVコマンドを実行したときの放電

表 47. DCP=0でのADCVコマンド実行時の放電制御

放電ピン	セルの測定期間						セルの較正期間					
	セル1/7	セル2/8	セル3/9	セル4/10	セル5/11	セル6/12	セル1/7	セル2/8	セル3/9	セル4/10	セル5/11	セル6/12
	t ₀ ～t _{1M}	t _{1M} ～t _{2M}	t _{2M} ～t _{3M}	t _{3M} ～t _{4M}	t _{4M} ～t _{5M}	t _{5M} ～t _{6M}	t _{6M} ～t _{1C}	t _{1C} ～t _{2C}	t _{2C} ～t _{3C}	t _{3C} ～t _{4C}	t _{4C} ～t _{5C}	t _{5C} ～t _{6C}
S1	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S2	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S3	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S4	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S5	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S6	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF
S7	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S8	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S9	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S10	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S11	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S12	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF

アプリケーション情報

制御を表47に示します。この表では、オフは、設定レジスタ内の対応するDCC[x]ビットが“H”である場合でも、その期間中に放電が強制的にオフになることを意味しています。オンは、放電がオンになると、その期間中は放電がオンのままになることを意味します。ADCV コマンドのタイミングについては、図3を参照してください。

電力損失とサーマル・シャットダウン

S1～S12ピンに接続された内部MOSFETを使用して、バッテリー・セルを放電できます。外付け抵抗を使用して、MOSFETによる電力損失を制限する必要があります。MOSFETでの最大電力損失は、LTC6804が許容できる熱量によって制限されます。過剰な熱は、ダイ温度を上昇させます。125°Cまでのダイ温度では、測定精度の劣化は、観測されないか、観測されたとしてもわずかです。150°Cを超えると損傷が発生する恐れがあるため、最大125°Cのダイ温度が推奨されます。過熱による損傷からLTC6804を保護するために、サーマル・シャットダウン回路が内蔵されています。セル放電スイッチでの電力損失が大きいと、デバイスが過熱する可能性があります。デバイスがスリープ・モードでない場合、サーマル・シャットダウン回路は必ずイネーブルされます(動作モードを参照)。デバイスで検出された温度が約150°Cを超えると、設定レジスタがデフォルト状態にリセットされ、すべての放電スイッチがオフになります。サーマル・シャットダウンが発生すると、ステータス・レジスタ・グループBのTHSDビットが“H”になります。このビットは、ステータス・レジスタ・グループBの読み出し動作の後にクリアされます。このビットは、CLRSTAT コマンドを使用して設定することもできます。サーマル・シャットダウンは、正常動作を中断します。そのため、デバイス温度が許容できないレベルに近づいたことを、内部温度モニタを使用して判定する必要があります。

バランシング回路の検証方法

放電回路の機能は、セルの測定によって最も正しく検証されます。LTC6804 バッテリー・モニタ・デバイスを使用する例を、図37に示します。バッテリーと放電MOSFETのソースの間の抵抗によって、セル電圧の測定値が減少します。測定の変化量は、抵抗値と、その抵抗値に対するMOSFETに応じて変わります。

以下のアルゴリズムを、図37と合わせて使用できます。

1. 放電していない(すべてのS出力がオフの)すべてのセルを測定し、その結果を読み出して格納する。
2. S1とS7をオンにする。
3. C1～C0、C7～C6を測定する。
4. S1とS7をオフにする。
5. S2とS8をオンにする。
6. C2～C1、C8～C7を測定する。
7. S2とS8をオフにする。
- ...
14. S6とS12をオンにする。
15. C6～C5、C12～C11を測定する。
16. S6とS12をオフにする。
17. 電圧レジスタ・グループを読み出し、ステップ2～16の結果を取得する。
18. 新しい読み出し値と古い読み出し値を比較する。各セル電圧の読み出し値は、 R_{B1} と R_{B2} (図37)によって設定された固定の割合で減少している必要があります。正確な減少量は、抵抗値とMOSFETの特性によって変わります。

改良されたPEC計算

ユーザーは、LTC6804から読み出されたシリアル・データが有効であり、外部ノイズ源によって破損していないという信頼性を、PECによって確認できます。この機能は、信頼性の高い通信にとって重要です。LTC6804では、読み出されるデータおよび書き込まれるデータすべてについて、PECを計算する必要があります。このため、PECを計算するための効率的な手段を持つことが重要になります。下のコードは、ルックアップ・テーブルから求めるPEC計算方法の簡単な実装を示しています。ここには、2つの関数があります。1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後のすべてのPEC計算で使用されます。起動時にinit_PEC15_Table()関数を実行せずに、PEC15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、指定された任意の長さのバイト配列で、適切な15ビットのPECを返します。

アプリケーション情報

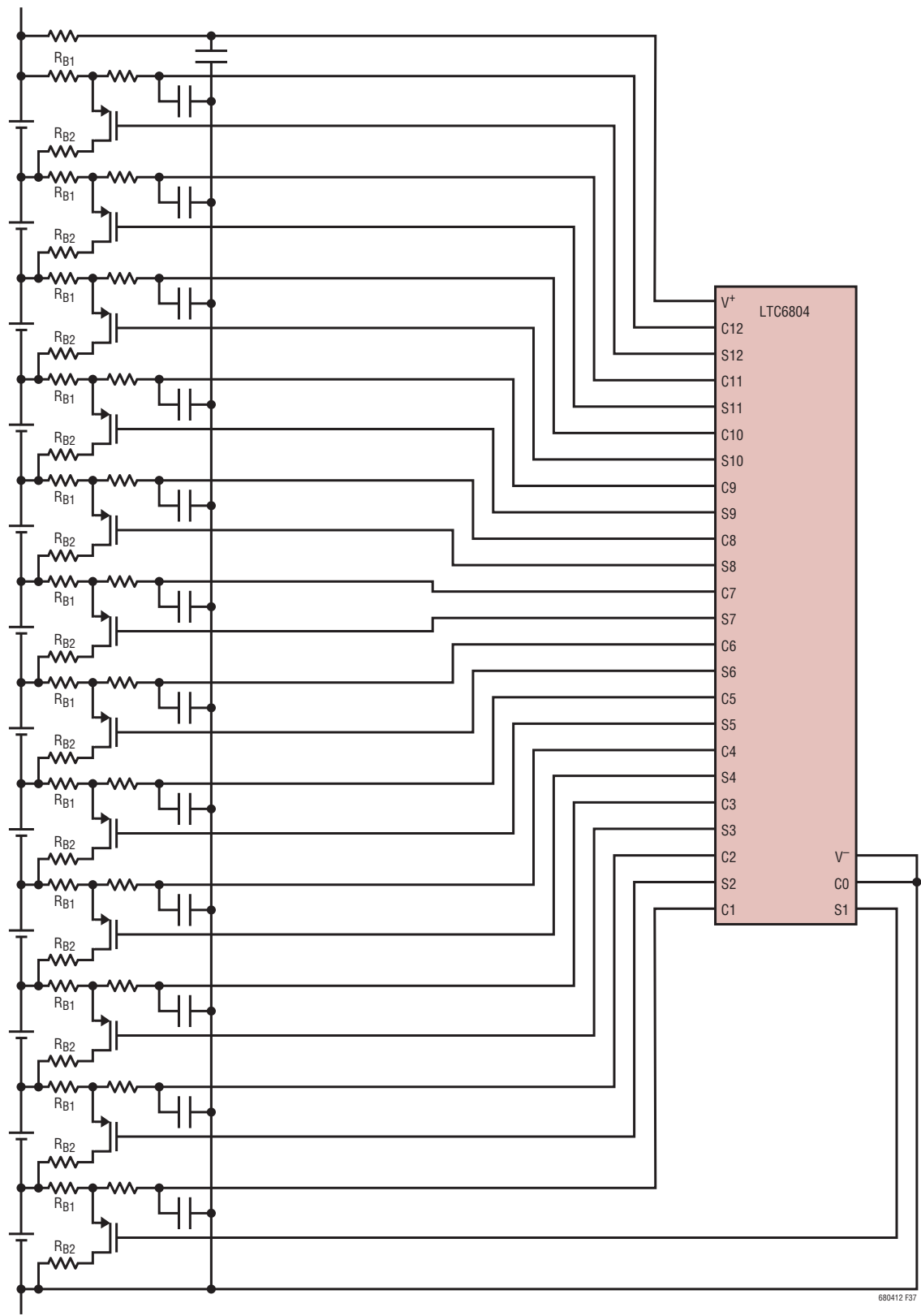


図37. バランシング・セルフ・テスト回路

アプリケーション情報

```

/*****

```

Copyright 2012 Linear Technology Corp. (LTC)
 Permission to freely use, copy, modify, and distribute this software for any purpose with or without fee is hereby granted, provided that the above copyright notice and this permission notice appear in all copies:

THIS SOFTWARE IS PROVIDED "AS IS" AND LTC DISCLAIMS ALL WARRANTIES INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO EVENT SHALL LTC BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL DAMAGES OR ANY DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING ANY LOSS OF USE OR DATA OR PROFITS, WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN CONNECTION WITH THE USE OR PERFORMANCE OF THIS SOFTWARE.

```

*****/

```

```

int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
    for (int i = 0; i < 256; i++)
    {
        remainder = i << 7;
        for (int bit = 8; bit > 0; --bit)
        {
            if (remainder & 0x4000)
            {
                remainder = ((remainder << 1));
                remainder = (remainder ^ CRC15poly)
            }
            else
            {
                remainder = ((remainder << 1));
            }
        }
        pec15Table[i] = remainder&0xFFFF;
    }
}

unsigned int16 pec15 (char *data , int len)
{
    int16 remainder,address;

    remainder = 16;//PEC seed
    for (int i = 0; i < len; i++)
    {
        address = ((remainder >> 7) ^ data[i]) & 0xff;//calculate PEC table address
        remainder = (remainder << 8 ) ^ pec15Table[address];
    }
    return (remainder*2);//The CRC15 has a 0 in the LSB so the final value must be multiplied by 2
}

```

アプリケーション情報

ホール効果センサを使用した電流測定

任意のアナログ信号(適合する電圧を生成するさまざまなアクティブ・センサからのアナログ信号など)に対して、LTC6804の補助ADC入力(GPIOピン)を使用できます。バッテリー管理設定に役立つことのできる、そのような例の1つは、バッテリー電流の取得です。ホール効果センサは、このテクノロジーが非接触の低消費電力ソリューションを提供するため、大きなバッテリー電流の測定で一般的です。入力された V_{CC} に比例して2つの出力を生成する標準的なホール・センサを、図38に示します。このセンサは、5V電源から電力を供給され、アナログ出力を生成します。このアナログ出力は、GPIOピン、つまり図32に

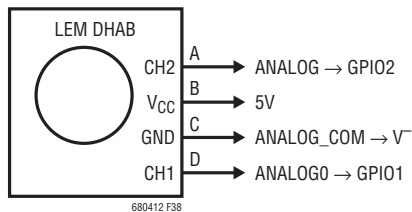


図38. 標準的なホール効果バッテリー電流センサと補助ADC入力のインタフェース

示すMUXアプリケーションの入力に接続されます。GPIO1とGPIO2をADCの入力として使用すると、同じ変換シーケンス内でセル入力として(ADCVAXコマンドを使用して)デジタル化できます。そのため、セル電圧の測定とセル電流の測定を同期させることができます。

シャント抵抗を使用した電流測定

高性能電流検出アンプとシャントを使用して、LTC6804のGPIOピンでバッテリー電流を測定できます。2個のLTC6102を使用して、12個のセルのバッテリー・スタックに対して放電電流と充電電流を測定する例を、図39に示します。高い精度を維持しながら大きなダイナミックレンジを実現するには、LTC6102が必要です。ここに示した回路を使用して、 $\pm 200A$ の範囲の電流を0.1Aの精度で測定できます。LTC6102のオフセットが寄与する誤差は、わずか20mAです。非常に低いスリープ電流を維持するには、 V_{DRIVE} を使用してLTC6102の回路をデイスエーブルし、LTC6804がスリープに移行したときに電流が流れないようにします。

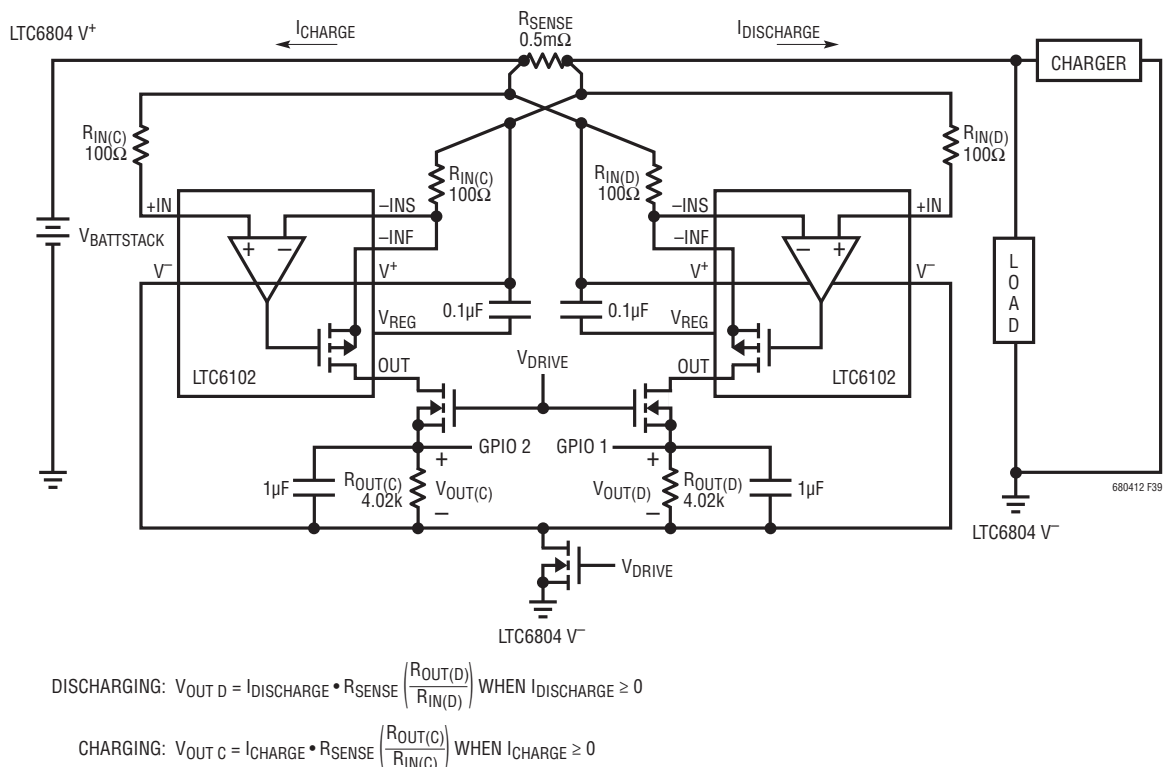


図39. LTC6102による充電電流と放電電流のモニタ

680412f

アプリケーション情報

12個より少ないセルでのLTC6804の使用

バッテリー・スタックからLTC6804に電力を供給する場合、LTC6804がモニタできる最小セル数は、LTC6804の電源電圧要件に左右されます。LTC6804を適切にバイアスするために、セル電圧の合計は11V以上である必要があります。LTC6804を使用し、セル測定を最適に同期させて8個のセルをモニタする例を、図40に示します。LTC6804によってモニタされる12個のセルは、6個のセルを含む2つのグループに分割され、2つの内部マルチプレクサと2つのADCを使用して測定されます。12個未満のセルを使用するアプリケーション

で測定の同期を最適化するには、2番目のMUXの先頭(C12)と1番目のMUXの先頭(C6)の間で、未使用のCピンを均一に分配する必要があります。使用中のセルの数が奇数である場合、上位のMUXに接続されるセルの数を少なくします。未使用のセル・チャネルを、同じMUXの他の未使用のチャネルに接続し、次に100Ω抵抗を経由してバッテリー・スタックに接続します。入力を使用されないと、それらのセル・チャネルで0Vの読み出しが発生します。従来のシーケンスで、すべての未使用のセル入力を最上位に接続してもかまいません。

同一PCB上での複数のLTC6804-1の接続

複数のLTC6804-1デバイスを同一のPCB上で接続する場合、LTC6804-1のisoSPIポート間に必要なトランスは1つのみです。同一PCB上の複数のLTC6804-1デバイスでは、ノイズ除去の必要性が大幅に低下し、絶縁要件が簡略化されます。このため、バッテリー・スタック上のデバイス間で、必要な絶縁とノイズ除去を提供する場合、1つのトランスで十分です。複数のLTC6804-1が同一のPCB上に存在し、LTC6820を経由して最後尾のMCUと通信するアプリケーション例を、図41に示します。

isoSPIデータ・リンクを使用したMCUとLTC6804-1の接続

独立したデバイスLTC6820は、標準の4線SPIリンクを2線isoSPIリンクに変換し、LTC6804と直接通信できます。例を図42に示します。アプリケーションでLTC6820を使用して、コントローラとLTC6804のスタックとの間を簡単に絶縁できます。また、LTC6820を使用すると、LTC6804デバイスとバッテリー・パックに対してリモートの場所にBMSコントローラを置くシステム構成が可能になります。

マルチドロップisoSPIリンクでのLTC6804-2の構成

LTC6804-2のアドレス指定機能を使用して、1本のツイストペアケーブル上でマルチドロップ接続を行うことによって、複数のデバイスを1つのisoSPIマスタに接続できます。これによって、実質的に大規模な並列SPIネットワークが作成されます。マルチドロップ・システムの例を図43に示します。ツイストペアケーブルは始点(マスタ)と終点でのみ終端します。その中間では、他のLTC6804-2が、ツイストペアケーブルのスタブに接続されます。これらのスタブは、isoSPI配線上の終端の劣化を

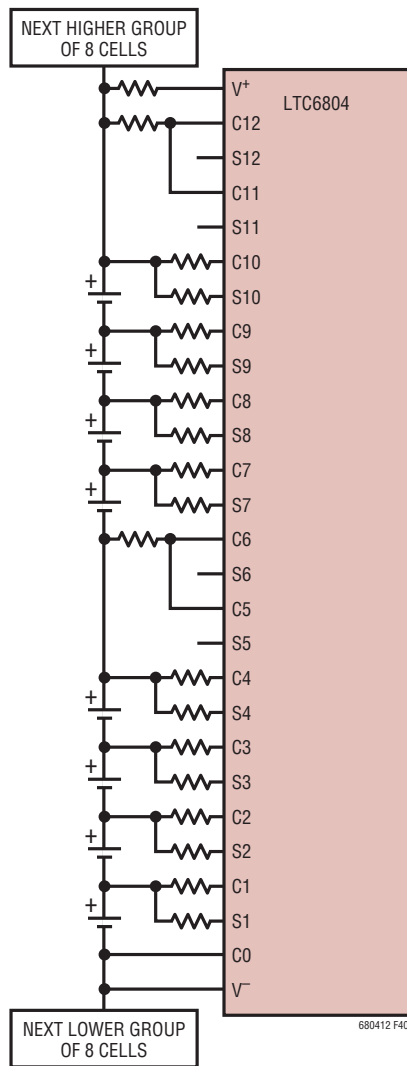


図40.8 セルの接続図

アプリケーション情報

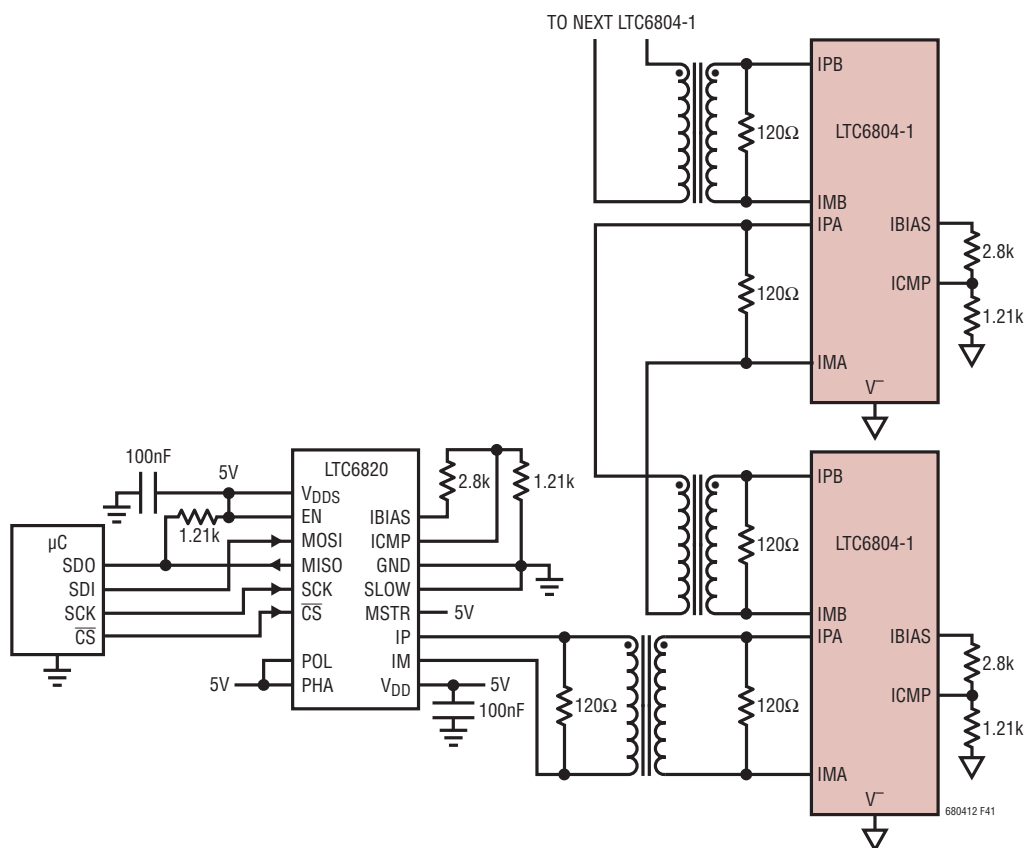


図 41. 同一 PCB 上での複数の LTC6804-1 デバイスの接続

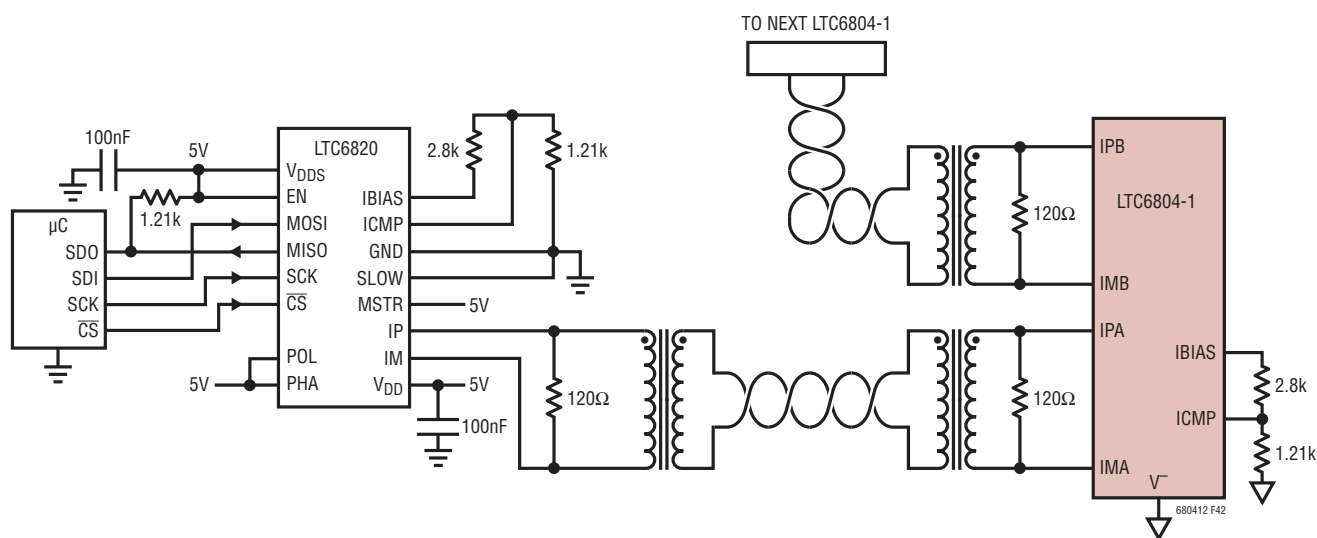


図 42. 絶縁型 SPI 制御のための LTC6804-1 と LTC6820 のインタフェース

アプリケーション情報

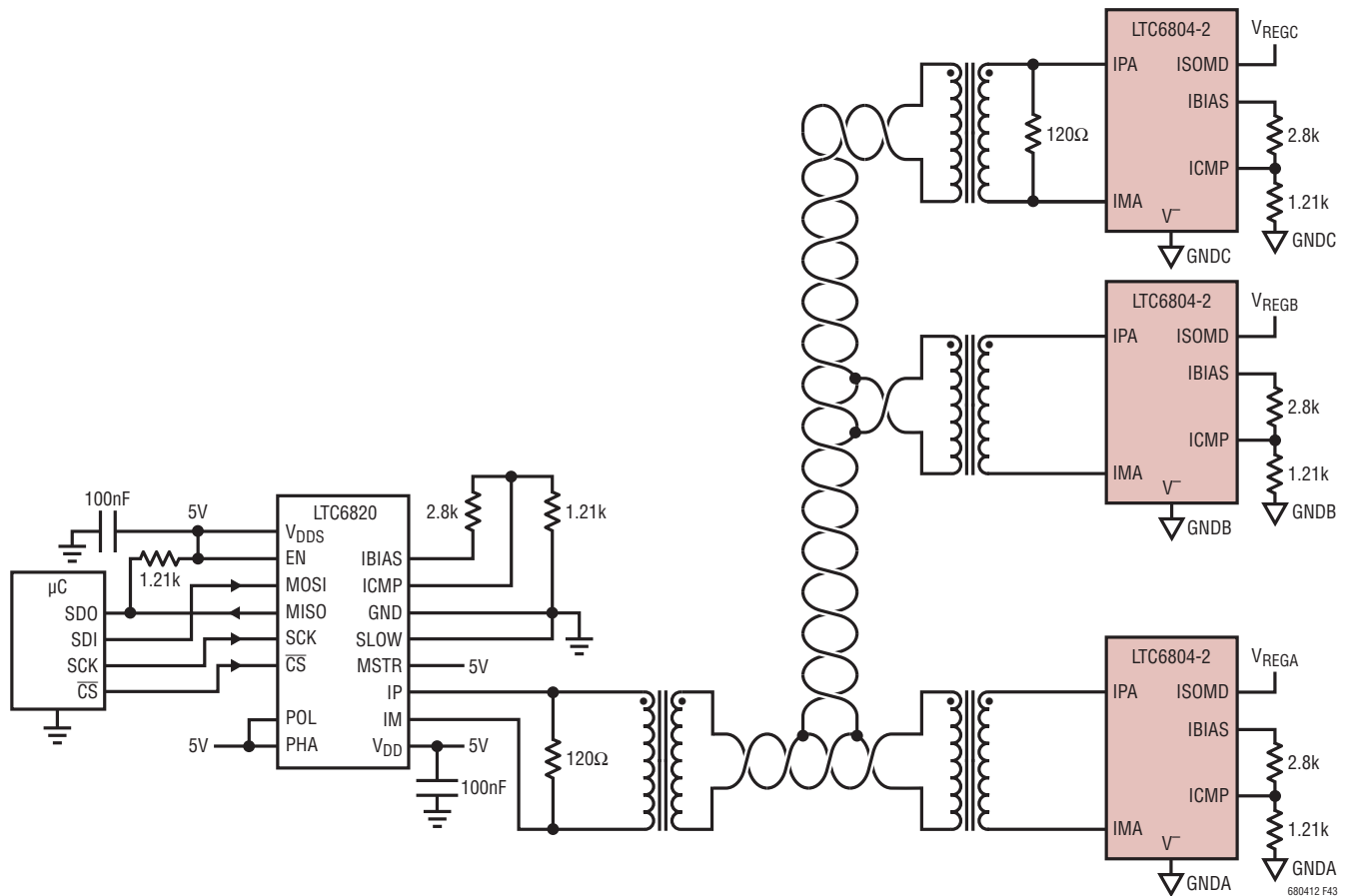


図43. マルチドロップ構成でのLTC6804-2の接続

避けるため、できるだけ短く、小さな容量にします。LTC6804-2は、アドレス指定されない場合、データ・パルスを送信しません。これにより、アドレス指定されたデバイスだけがマスタにデータを戻すため、衝突が起こる可能性がなくなります。マルチドロップ・ネットワークについては、EMCのセクションで概略説明されている標準的なフィルタ回路とレイアウトのガイドラインに従ってください。

トランス選択ガイド

2つのisoSPIポート間のisoSPI信号を絶縁するには、図44に示すように、1つまたは2つのトランスを使用します。isoSPI信号は、プログラム可能な最大1.6Vのパルス振幅と、50nsと150nsのパルス幅を備えています。これらの要件を満たすには、50μH～350μHの磁化インダクタンスと1:1の巻数比のトランス

スを選択します。トランスの挿入損失を最小限に抑えれば、必要な送信電力を低減できます。一般的に、挿入損失を -1.5dB より小さくすることを推奨します。最適な同相ノイズ除去を得るには、中間タップ付きトランスまたは図45に示す集積型同相チョーク付きトランスを選択します。中間タップは、 27pF 以下のコンデンサに接続する必要があります(これより大容量のコンデンサに接続すると、ドライバの同相電圧設定能力が制限されます)。トランスの1次側に中間タップと同相チョークの両方を付ける場合は、 100pF より大きなコンデンサを使用できます。LTC6804と組み合わせて使用する推奨トランスのリストを表48に示します。10/100BaseTX イーサネット・トランスは低価格であり、このアプリケーションで非常に有効に機能します。イーサネット・トランスには、通常、同相チョークが内蔵され、他のトランスよりも同相除去が向上するというメリットもあります。

LTC6804-1/LTC6804-2

アプリケーション情報

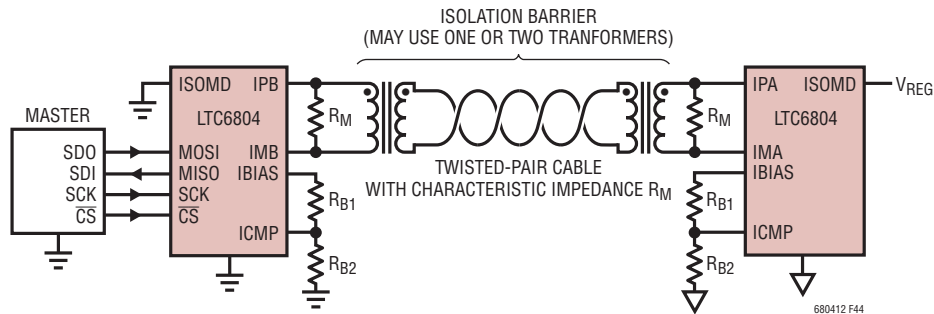


図 44. isoSPI 回路

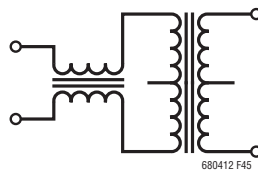


図 45. 同相チョーク付きトランス

表 48. 推奨トランス

メーカー	製品番号	絶縁電圧	巻数比	温度範囲	同相チョーク	中間タップ
Halo	TG110-AEX50N5LF	1500V _{RMS}	1:1	-45°C to 125°C	Yes	Yes
Halo	TG110-AE050N5LF	1500V _{RMS}	1:1	-45°C to 85°C	Yes	Yes
Halo	TGR01-6506V6NL	3000V _{RMS}	1:1	-40°C to 105°C	No	No
Pulse	PE-68386NL	1500V _{DC}	1:1	-40°C to 130°C	No	No
Pulse	HX1188NL	1500V _{RMS}	1:1	-40°C to 85°C	Yes	Yes
Würth	7490100111	1500V _{RMS}	1:1	-40°C to 105°C	Yes	Yes
Würth	750340848	3750V _{RMS}	1:1	-40°C to 105°C	No	No

容量性絶縁障壁

一部のアプリケーションでは、2つのバッテリー列を並列に接続して冗長化するために、2つの LTC6804 を使用して同一グループのバッテリーをモニタできます。そのようなアプリケーションでは、両方の LTC6804 は、同じ同相電圧になります。そのため、CMRR の高いトランスが不要になることがあります。そのような状況では、絶縁として、トランスの代わりにコンデンサを使用します。コンデンサの使用は、絶縁される信号の配線が短く (1メートル以下)、大きなノイズ除去が不要な低コストの場合に適しています。コンデンサは電気的な絶縁を提供しますが、同相除去機能はありません。このオプションは、ブルアップ抵抗を使って同相電圧を V_{REG} 近くに保つという異なる方法でドライバを使用し、シンク駆動電流だけに影響があります。1メートルのケーブルを駆動できる容量性絶縁を使用した回路の例を図 46 に示します。

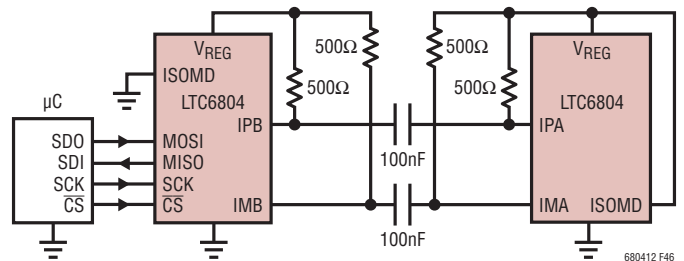


図 46. コンデンサの絶縁

isoSPI のセットアップ

LTC6804 は、消費電力またはノイズ排除性を重視して各アプリケーションの isoSPI リンクの構成を最適化できます。isoSPI システムの消費電力とノイズ排除性は、プログラムされた I_B 電流によって決まります。 I_B 電流の範囲は 100μA ~ 1mA です。 I_B が小さい場合、READY および ACTIVE ステートでの

680412 F46

アプリケーション情報

isoSPIの消費電力が低減されます。 I_B が大きい場合、マッチする終端抵抗 R_M の差動信号電圧 V_A の振幅が大きくなります。 I_B は、図44に示すように、IBIASピンとGNDの間に接続される R_{B1} および R_{B2} 抵抗の和によって設定されます。大半のアプリケーションでは、 I_B を0.5mAに設定すると、消費電力とノイズ排除性のバランスがよくなります。この I_B の設定を巻数比1:1のトランスと $R_M = 120\Omega$ で使用する場合は、 R_{B1} を2.8k、 R_{B2} を1.2kに設定します。標準CAT5 ツイストペアケーブルでは、この設定で最大50mの通信が可能です。50mを超える長さのケーブルが必要なアプリケーションでは、 I_B を1mAに増やすことを推奨します。これにより、ケーブル内の挿入損失の増加が補償され、高いノイズ排除性を維持できます。したがって、50mを超えるケーブルと巻数比1:1のトランスおよび $R_M = 120\Omega$ を使用する場合は、 R_{B1} を1.4k、 R_{B2} を600 Ω にします。アプリケーションに応じて、消費電力の削減またはノイズ排除性の向上を目的として、他の I_B 設定を使用できます。これらの場合は、次の規則に従ってしきい値電圧 V_{ICMP} を設定し、 R_{B1} および R_{B2} の抵抗値を選択します。

50m未満のケーブルの場合:

$$I_B = 0.5\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = \frac{1}{2} \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

50mを超えるケーブルの場合:

$$I_B = 1\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = \frac{1}{4} \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

isoSPIリンクの最大データレートは、使用するケーブルの長さによって異なります。ケーブル長が10メートル以下の場合、SPIの最大クロック周波数の1MHzが可能です。ケーブルが長くなるほど、可能な最大SPIクロック・レートは低下します。これは、ケーブルの伝播遅延の増加によってタイミングずれが

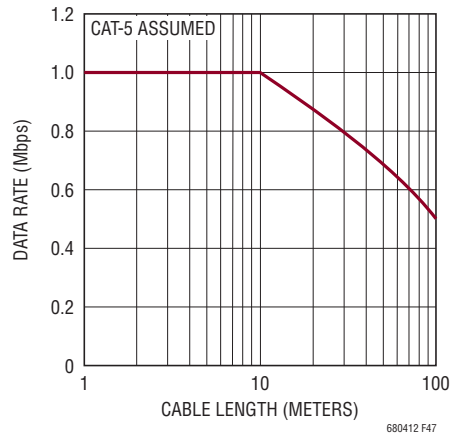


図47. データレートとケーブル長

発生するためです。CAT 5 ツイストペアケーブルを使用した場合に、ケーブル長が増えるに従って最大データレートがどのように減少するかを、図47に示します。

ケーブルの遅延は、 t_{CLK} 、 t_6 、および t_7 の3つのタイミング仕様に影響を与えます。「電気的特性」の表では、各方向に50nsのケーブル遅延を許容するために、それぞれの仕様に100nsが加算されています。10メートルを超えるケーブルを使用する場合は、次の式で最小タイミング・パラメータを計算できます。

$$t_{CLK}, t_6, \text{および } t_7 > 0.9\mu\text{s} + 2 \cdot t_{CABLE}$$

EMC

最高の電磁環境適合性(EMC)性能を得るために、図48と図49のいずれかの回路を使用することを推奨します。トランスの中間タップは100pFコンデンサでバイパスされます。中間タップ・コンデンサは同相信号を減衰させます。大きな中間タップ・コンデンサを使用すると、isoSPIトランスミッタの同相電圧のセトリングの妨げになるため、100pFよりも大きなコンデンサの使用は避けてください。中間タップのないトランスを使用する場合、終端抵抗を2つに等分割し、IPラインとDMラインの間で直列に接続します。図49に示すように、コンデンサを使用して2つの抵抗の中央をバイパスします。同相電流除去を改善するには、LTC6804のIPラインおよびIMラインに対して直列に同相チョークを配置します。同相チョークにより、EMIの影響を受けにくくなり、EMIの放射も少なくなります。同相チョークを選ぶ際は、50MHz以下の信号で差動モード・インピーダンスが20 Ω 以下のものにします。イーサネット・アプリケーションに使用されるものと同等の同相チョークを推奨します。

アプリケーション情報

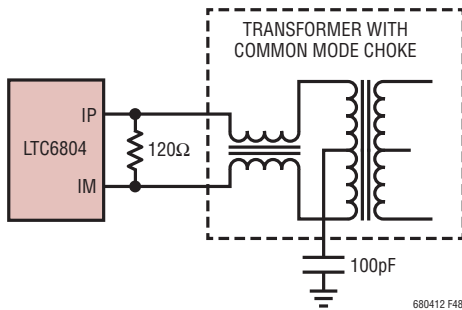


図 48. 最高の EMC 性能を得るための推奨 isoSPI 回路

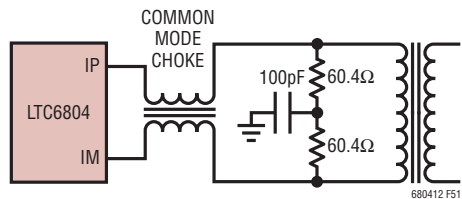


図 49. 中間タップのないトランスを使用する場合に最高の EMC 性能を得るための推奨 isoSPI 回路

表 49. 推奨同相チョーク

メーカー	製品番号
TDK	ACT45B-220-2P
Murata	DLW43SH510XK2

isoSPI 信号線のレイアウトは、回路のノイズ排除性を最大限に高めるのにも重要な役割を果たします。次のレイアウトのガイドラインに従います。

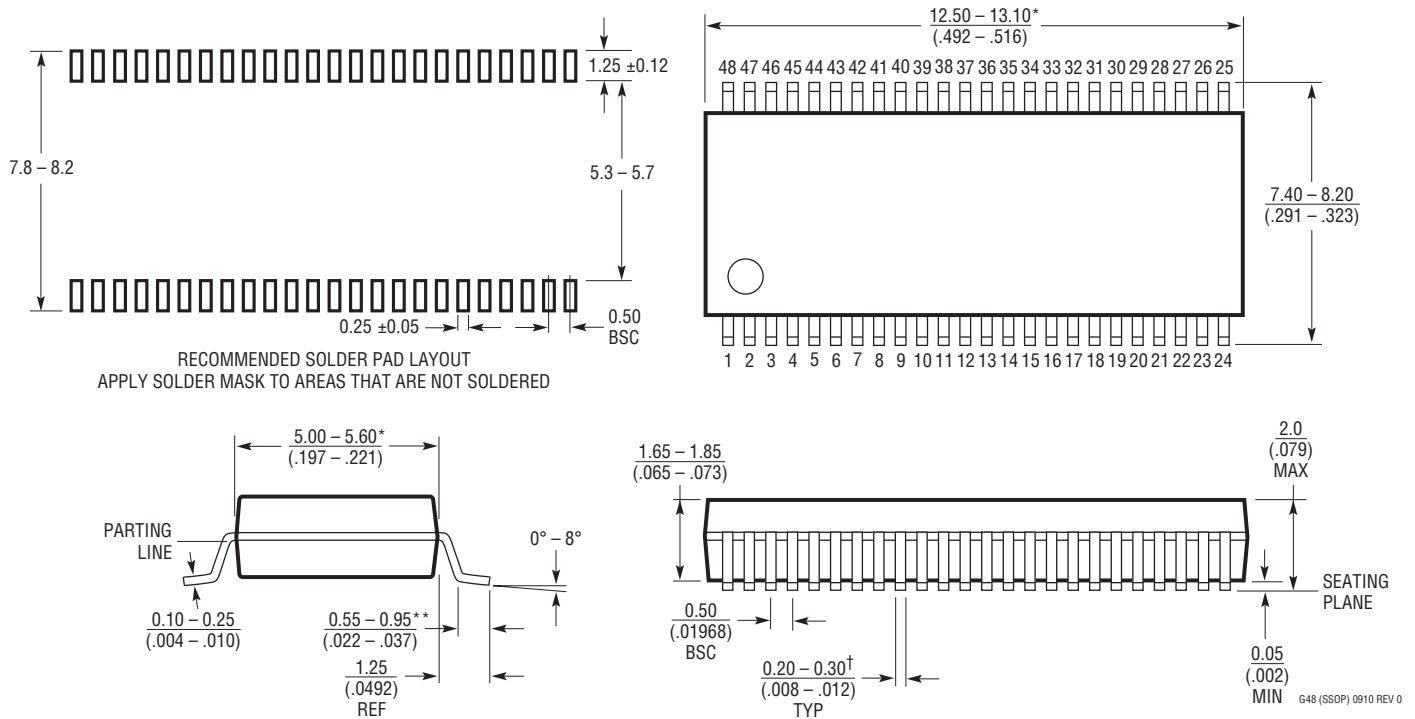
1. トランスは isoSPI ケーブル・コネクタにできるだけ近づけて配置する。距離は 2cm 以下に保つ。LTC6804 はトランスから 1cm ～ 2cm 以上離して配置し、磁界結合からデバイスを絶縁する。
2. トップ・コンポーネント層では、トランス、isoSPI コネクタの下、またはトランスとコネクタの間にはグラウンド・プレーンを配置しない。
3. isoSPI 信号のトレースを、グラウンド・メタルまたはスペースによって、周囲の回路およびトレースから絶縁する。内部層上のグラウンド・プレーンによって分離されている場合を除き、トレースが isoSPI 信号線と交差しないようにする。

isoSPI 駆動電流はプログラム可能であり、消費電力とノイズ排除性の間のバランスを調整できます。LTC6804 のノイズ排除性は、バルク電流注入 (BCI) テストによって評価されています。BCI テストは、1MHz ～ 400MHz の周波数範囲で設定されたレベルの電流をツイストペアケーブルに注入します。最小 I_B 電流 (100μA) では、isoSPI シリアル・リンクは 40mA の BCI テストにビット・エラーなしで合格できました。産業用アプリケーションの場合、40mA の BCI テスト・レベルで十分です。自動車アプリケーションでは BCI 要件が非常に高いため、LTC6804 の I_B は、最大電力レベルの 1mA に設定されます。isoSPI システムは、200mA の BCI テストに送信ビット・エラーなしで合格できます。自動車アプリケーションの要件では、200mA のテスト・レベルが標準的です。

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

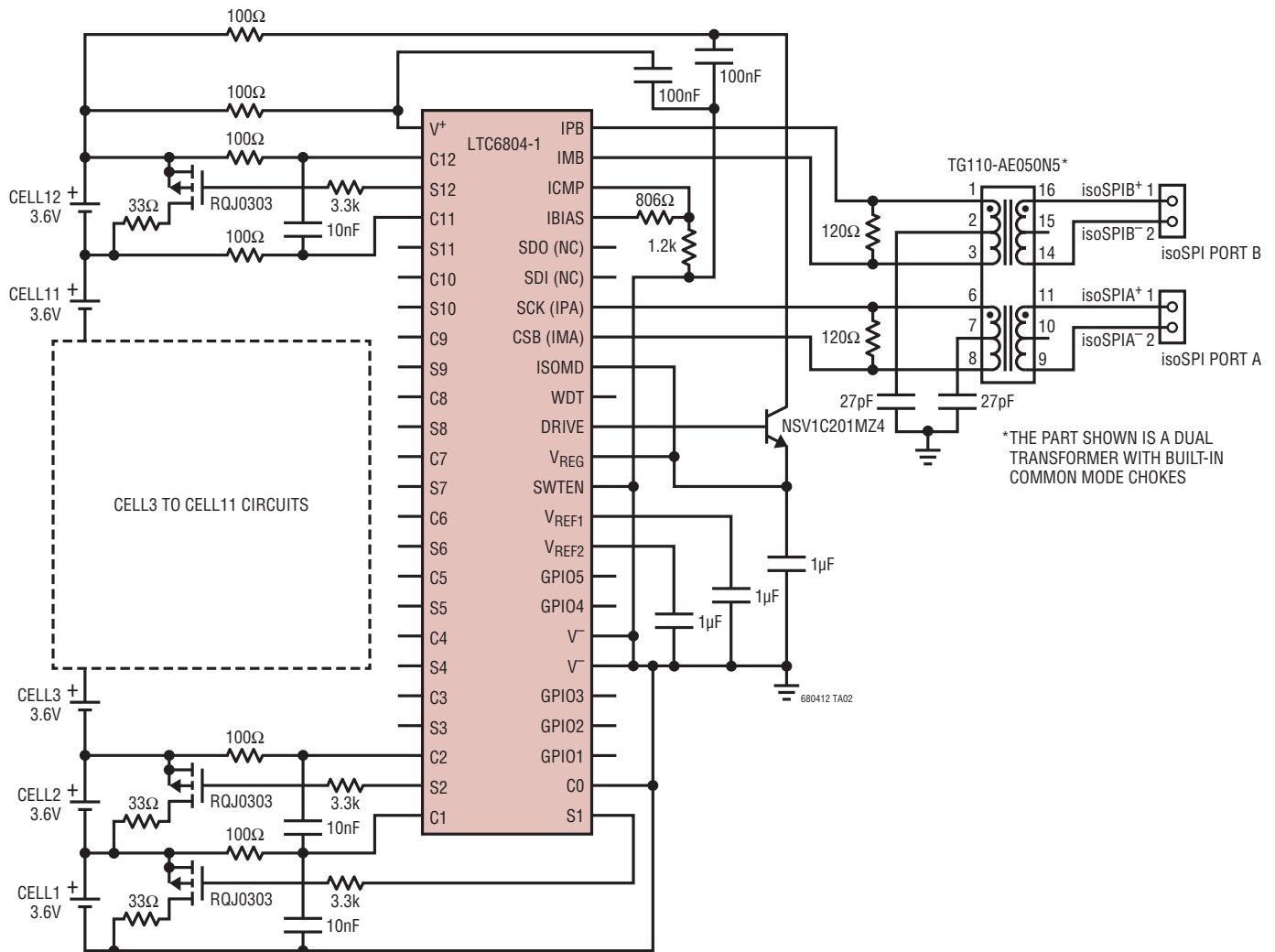
G Package 48-Lead Plastic SSOP (5.3mm) (Reference LTC DWG # 05-08-1887 Rev 0)



LTC6804-1/LTC6804-2

標準的応用例

isoSPI デイジー・チェーンを使用した基本的な 12 セル・モニタ



関連製品

製品番号	説明	注釈
LTC6801	独立動作のマルチセル・バッテリー・スタック・フォールト・モニタ	直列に接続された最大 12 個のバッテリー・セルの低電圧と過電圧をモニタする。LTC6802、LTC6803、および LTC6804 の姉妹品
LTC6802	高精度マルチセル・バッテリー・スタック・モニタ	第 1 世代: 新設計の LTC6804 と LTC6803 によって置き換えられた
LTC6803	高精度マルチセル・バッテリー・スタック・モニタ	第 2 世代: LTC6802 に対して機能拡張されたピン互換のデバイス
LTC6820	SPI 用の絶縁型双方向通信インタフェース	ツイストペアケーブルを使用する最大 100 メートルの SPI 通信用の絶縁型インタフェースを提供。LTC6804 の姉妹品
LTC3300	高効率の双方向マルチセル・バッテリー・バランス	最大 6 個のリチウムイオン・セルまたは LiFePO4 セルを直列に接続した双方向同期整流式フライバック・バランスング。最大 10A のバランスング電流 (外付け部品によって設定)。双方向アーキテクチャにより、バランスング時間と電力損失を最小化。電荷転送効率 は最大 92%。48 ピン露出パッド付き QFN パッケージおよび LQFP パッケージ

680412f