

特長

- 理想ダイオードおよび冗長電源の突入電流の制御
- パワー・ショットキ・ダイオードを低損失で置き換え
- 入力電圧の低下から出力電圧を保護
- 通電状態のバックプレーンからの安全な活線挿入が可能
- 動作電圧範囲: 2.9V ~ 18V
- バック・トゥ・バック接続の N チャンネル MOSFET を制御
- ピーク・フォルト電流を 1μs 以下に制限
- フォールドバック特性の調整可能な電流制限
- 起動時と電流制限フォルト時の遅延時間を調整可能
- 理想ダイオードのターンオン時間およびターンオフ時間: 0.5μs
- 低電圧保護および過電圧保護
- 状態出力、フォルト出力、およびパワーグッド出力
- フォルト後のラッチオフまたは自動再試行をピンで選択可能
- 4mm×5mm の 24 ピン QFN パッケージおよび SSOP パッケージ

アプリケーション

- 冗長電源
- 電源電圧の保持
- 高可用性システムおよびサーバ
- 通信インフラおよびネットワーク・インフラ
- 電源プライオリタイザ

概要

LTC[®]4229 は、2つの外付け N チャンネル MOSFET を制御することにより、2つの電源レールに対して理想ダイオード機能および Hot Swap[™]機能を実現します。理想ダイオードとして機能する MOSFET は、大電力ショットキ・ダイオードと付随するヒートシンクを置き換えるので、消費電力と基板面積を抑えることができます。活線挿抜 MOSFET 制御では、突入電流を制限することにより、通電状態のバックプレーンで基板を安全に抜き差しすることができます。電源の出力は、高速動作のフォールドバック電流制限回路と電子回路ブレーカにより、短絡フォルトからも保護されます。

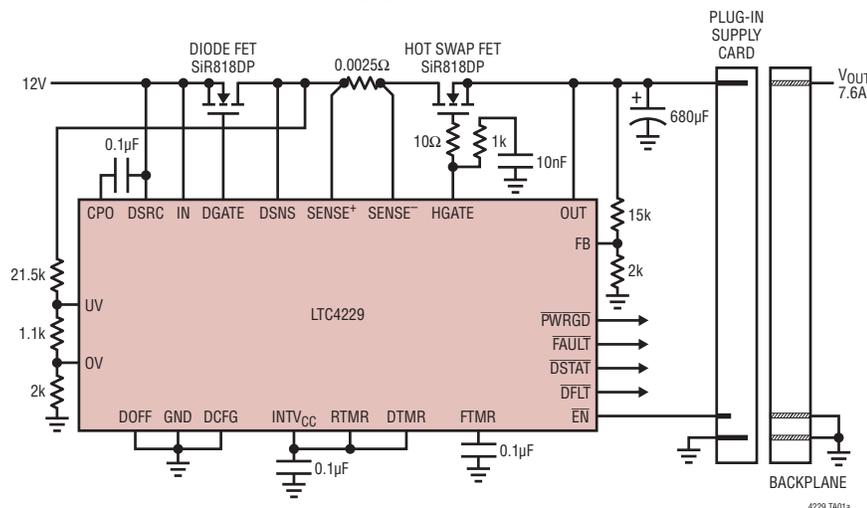
LTC4229 は、外付け MOSFET 両端の順方向電圧降下を制御して、ダイオード OR アプリケーションで電流が滑らかに切り替わるようにします。理想ダイオードは、迅速にオンすることにより、電源切り替え時の負荷の電圧低下を抑えます。入力電源が故障した場合や短絡した場合は、高速ターンオフによって逆方向電流トランジェントが最小限に抑えられます。

LTC4229 は起動遅延時間を調整可能で、低電圧保護回路と過電圧保護回路を内蔵しており、電源のフォルト状態およびパワーグッド状態を通知します。このデバイスは、フォルト後のラッチオフまたは自動再試行を設定できます。

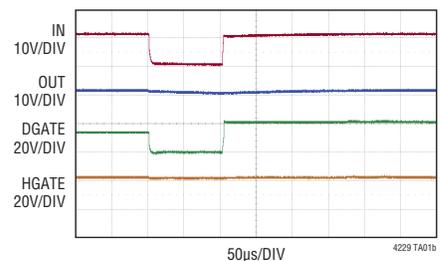
LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。Hot Swap はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7920013、8022679 を含む米国特許によって保護されています。

標準的応用例

プラグイン式電源カード・アプリケーション



ダイオード接続 FET により入力電圧の低下から出力電圧を保護



LTC4229

絶対最大定格 (Note 1, 2)

電源電圧

IN -0.3V ~ 24V
 INTV_{CC} -0.3V ~ 7V

入力電圧

FB, DCFG -0.3V ~ 7V
 FTMR, DTMR, RTMR -0.3V ~ INTV_{CC} + 0.3V
 UV, OV, EN, DOFF -0.3V ~ 24V
 SENSE⁺, SENSE⁻, DSNS, DSRC -0.3V ~ 24V

出力電圧

FAULT, PWRGD, DSTAT, DFLT, OUT -0.3V ~ 24V
 CPO, DGATE (Note 3) -0.3V ~ 35V
 HGATE (Note 4) -0.3V ~ 35V

平均電流

FAULT, PWRGD, DSTAT, DFLT 5mA
 INTV_{CC} 1mA

動作周囲温度範囲

LTC4229C 0°C ~ 70°C
 LTC4229I -40°C ~ 85°C

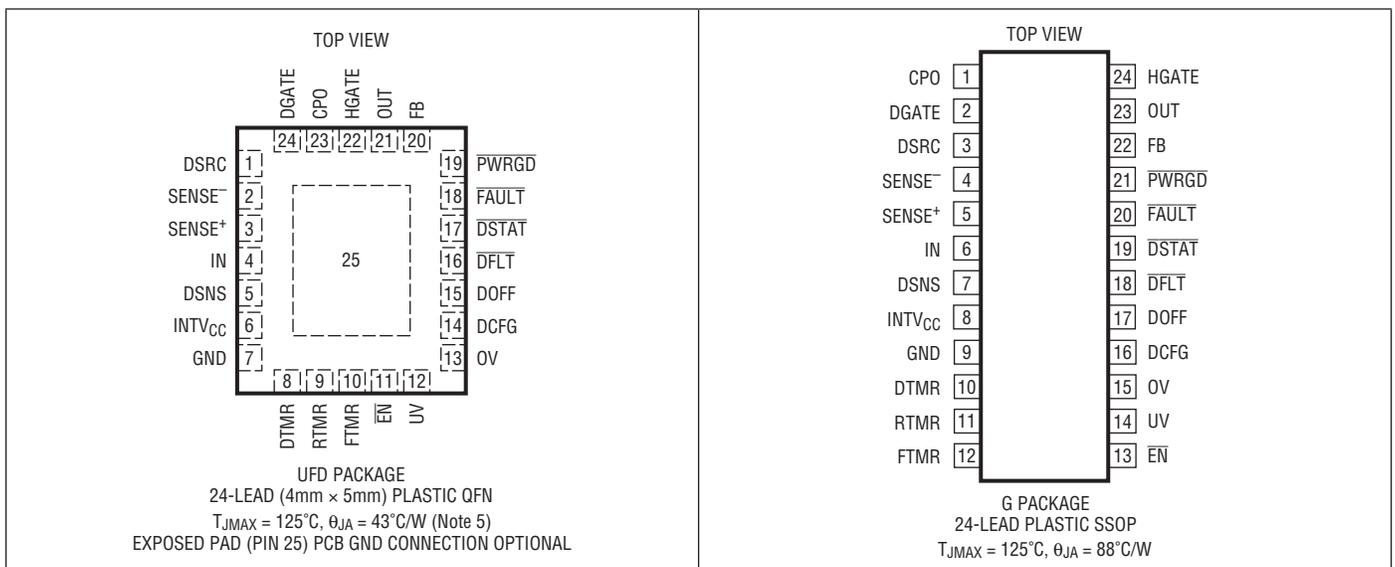
保存温度範囲

..... -65°C ~ 150°C

リード温度 (半田付け, 10秒)

Gパッケージ 300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4229CUFD#PBF	LTC4229CUFD#TRPBF	4229	24-Lead (4mm x 5mm) Plastic QFN	0°C to 70°C
LTC4229IUFD#PBF	LTC4229IUFD#TRPBF	4229	24-Lead (4mm x 5mm) Plastic QFN	-40°C to 85°C
LTC4229CG#PBF	LTC4229CG#TRPBF	LTC4229G	24-Lead Plastic SSOP	0°C to 70°C
LTC4229IG#PBF	LTC4229IG#TRPBF	LTC4229G	24-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
電源						
V_{IN}	Input Supply Range		● 2.9		18	V
I_{IN}	Input Supply Current		●	2	4	mA
V_{INTVCC}	Internal Regulator Voltage	$I = 0, -500\mu\text{A}$	● 4.5	5	5.5	V
$V_{INTVCC(UVL)}$	Internal V_{CC} Undervoltage Lockout	INTVCC Rising	● 2.1	2.2	2.3	V
$\Delta V_{INTVCC(HYST)}$	Internal V_{CC} Undervoltage Lockout Hysteresis		● 30	60	90	mV
理想ダイオード制御						
$\Delta V_{FWD(REG)}$	Forward Regulation Voltage ($V_{IN} - V_{DSNS}$)		● 35	50	65	mV
ΔV_{DGATE}	External N-Channel Gate Drive ($V_{DGATE} - V_{DSRC}$)	$IN < 7\text{V}, \Delta V_{FWD} = 0.15\text{V}; I = 0, -1\mu\text{A}$	● 5	7	14	V
		$IN = 7\text{V to } 18\text{V}, \Delta V_{FWD} = 0.15\text{V}; I = 0, -1\mu\text{A}$	● 10	12	14	V
$\Delta V_{DGATE(ST)}$	Diode MOSFET On Detect Threshold ($V_{DGATE} - V_{DSRC}$)	DSTAT Pulls Low, $\Delta V_{FWD} = 75\text{mV}$	● 0.3	0.7	1.1	V
$\Delta V_{FWD(FLT)}$	Open Diode MOSFET Threshold ($V_{IN} - V_{DSNS}$)	DFLT Pulls Low	● 200	250	300	mV
I_{DSNS}	DSNS Pin Current	DSNS = 12V	● 50	150	300	μA
I_{DSRC}	DSRC Pin Current	DSRC = 0V	●	-95	-150	μA
$I_{CPO(UP)}$	CPO Pull-Up Current	CPO = DSRC = IN = 2.9V	● -70	-105	-130	μA
		CPO = DSRC = IN = 18V	● -60	-95	-120	μA
$I_{DGATE(FPU)}$	DGATE Fast Pull-Up Current	$\Delta V_{FWD} = 0.2\text{V}, \Delta V_{DGATE} = 0\text{V}, \text{CPO} = 17\text{V}$		-1.5		A
$I_{DGATE(FPD)}$	DGATE Fast Pull-Down Current	$\Delta V_{FWD} = -0.2\text{V}, \Delta V_{DGATE} = 5\text{V}$		1.5		A
$I_{DGATE(DN)}$	DGATE Off Pull-Down Current	DOFF = 2V, $\Delta V_{DGATE} = 2.5\text{V}$	● 50	100	200	μA
$t_{ON(DGATE)}$	DGATE Turn-On Delay	$\Delta V_{FWD} = 0.2\text{V}, C_{DGATE} = 10\text{nF}$	●	0.25	0.5	μs
$t_{OFF(DGATE)}$	DGATE Turn-Off Delay	$\Delta V_{FWD} = -0.2\text{V}, C_{DGATE} = 10\text{nF}$	●	0.2	0.5	μs
$t_{PLH(DGATE)}$	DOFF Low to DGATE High		●	50	100	μs
活線挿抜制御						
$\Delta V_{SENSE(TH)}$	Current Limit Sense Voltage Threshold ($V_{SENSE^+} - V_{SENSE^-}$)	FB = 1.23V	● 22.5	25	27.5	mV
		FB = 0V	● 6	8.3	10.6	mV
$V_{SENSE^+(UVL)}$	SENSE ⁺ Undervoltage Lockout	SENSE ⁺ Rising	● 1.8	1.9	2	V
$\Delta V_{SENSE^+(HYST)}$	SENSE ⁺ Undervoltage Lockout Hysteresis		● 10	50	90	mV
I_{SENSE^+}	SENSE ⁺ Pin Current	SENSE ⁺ = 11V, IN = 12V, OUT = 0V	● 150	300	450	μA
		SENSE ⁺ = 13V, IN = 12V, OUT = 0V	●	2	4	mA
I_{SENSE^-}	SENSE ⁻ Pin Current	SENSE ⁻ = 12V	● 10	40	100	μA
ΔV_{HGATE}	External N-Channel Gate Drive ($V_{HGATE} - V_{OUT}$)	$IN < 7\text{V}; I = 0, -1\mu\text{A}$	● 5	7	14	V
		$IN = 7\text{V to } 18\text{V}; I = 0, -1\mu\text{A}$	● 10	12	14	V
$\Delta V_{HGATE(H)}$	Gate High Threshold ($V_{HGATE} - V_{OUT}$)		● 3.6	4.2	4.8	V
$I_{HGATE(UP)}$	External N-Channel Gate Pull-Up Current	Gate Drive On, HGATE = 0V	● -7	-10	-13	μA
$I_{HGATE(DN)}$	External N-Channel Gate Pull-Down Current	Gate Drive Off, OUT = 12V, HGATE = OUT + 5V	● 1	2	4	mA
$I_{HGATE(FPD)}$	External N-Channel Gate Fast Pull-Down Current	Fast Turn-Off, OUT = 12V, HGATE = OUT + 5V	● 100	200	350	mA
$t_{PHL(SENSE)}$	Sense Voltage ($SENSE^+ - SENSE^-$) High to HGATE Low	$\Delta V_{SENSE} = 200\text{mV}, C_{HGATE} = 10\text{nF}$	●	0.5	1	μs
$t_{OFF(HGATE)}$	OV High to HGATE Low		●	10	20	μs
	UV Low to HGATE Low		●	10	20	μs
	\overline{EN} High to HGATE Low		●	20	40	μs
	SENSE ⁺ Low to HGATE Low		●	10	20	μs

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$t_D(\text{HGATE})$	UV High, $\overline{\text{EN}}$ Low to HGATE Turn-On Delay	DTMR = INTV _{CC}	●	50	100	150	ms
$t_P(\text{HGATE})$	UV to HGATE Propagation Delay	UV = Step 0.8V to 2V	●		10	20	μs
入力/出力ピン							
$V_{\text{DOFF(H,TH)}}$	DOFF Pin High Threshold	DOFF Rising	●	1.21	1.235	1.26	V
$V_{\text{DOFF(L,TH)}}$	DOFF Pin Low Threshold	DOFF Falling	●	1.19	1.215	1.24	V
$\Delta V_{\text{DOFF(HYST)}}$	DOFF Pin Hysteresis		●	10	20	30	mV
$V_{\text{IN(TH)}}$	UV, OV, FB Pin Threshold Voltage	Voltage Rising	●	1.21	1.235	1.26	V
$\Delta V_{\text{UV(HYST)}}$	UV Pin Hysteresis		●	40	80	120	mV
$\Delta V_{\text{OV(HYST)}}$	OV Pin Hysteresis		●	10	20	30	mV
$\Delta V_{\text{FB(HYST)}}$	FB Pin Hysteresis		●	10	20	30	mV
$V_{\text{UV(RESET)}}$	UV Pin Fault Reset Threshold Voltage	UV Falling	●	0.57	0.6	0.63	V
$I_{\text{IN(LEAK)}}$	Input Leakage Current (UV, OV, FB, DOFF)	V = 5V	●		0	±1	μA
$V_{\overline{\text{EN}}(\text{TH})}$	$\overline{\text{EN}}$ Pin Threshold Voltage	$\overline{\text{EN}}$ Rising	●	1.185	1.235	1.284	V
$\Delta V_{\overline{\text{EN}}(\text{HYST})}$	$\overline{\text{EN}}$ Pin Hysteresis		●	60	110	160	mV
$I_{\overline{\text{EN}}(\text{UP})}$	$\overline{\text{EN}}$ Pull-Up Current	$\overline{\text{EN}} = 1\text{V}$	●	-7	-10	-13	μA
$V_{\text{TMR(H)}}$	FTMR, DTMR, RTMR Pin High Threshold		●	1.198	1.235	1.272	V
$V_{\text{TMR(L)}}$	FTMR, DTMR, RTMR Pin Low Threshold		●	0.15	0.2	0.25	V
$I_{\text{FTMR(UP)}}$	FTMR Pull-Up Current	FTMR = 1V, In Fault Mode	●	-80	-100	-120	μA
$I_{\text{FTMR(DN)}}$	FTMR Pull-Down Current	FTMR = 2V, No Faults	●	1.3	2	2.6	μA
$I_{\text{FTMR(RATIO)}}$	FTMR Current Ratio $I_{\text{FTMR(DN)}}/I_{\text{FTMR(UP)}}$		●	1.3	2	2.7	%
$I_{\text{TMR(UP)}}$	DTMR, RTMR Pull-Up Current	V = 0V	●	-8	-10	-12	μA
$I_{\text{TMR(DN)}}$	DTMR, RTMR Pull-Down Current	V = 1.5V	●	1	5	10	mA
V_{IH}	Input High Voltage (DTMR, RTMR)		●	INTV _{CC} - 0.1		INTV _{CC} + 0.1	V
$V_{\text{DCFG(TH)}}$	Logic Input Threshold (DCFG)		●	0.5		2	V
I_{OUT}	OUT Pin Current	OUT = 11V, IN = 12V, SENSE ⁺ = 11.5V OUT = 13V, IN = 12V, SENSE ⁺ = 11.5V	● ●		40 1.7	100 4	μA mA
V_{OL}	Output Low Voltage (PWRGD, FAULT, DSTAT, DFLT)	I = 1mA I = 3mA	● ●		0.15 0.4	0.4 1.2	V V
V_{OH}	Output High Voltage (PWRGD, FAULT, DFLT)	I = -1μA	●	INTV _{CC} - 1	INTV _{CC} - 0.5		V
I_{OH}	Input Leakage Current (PWRGD, FAULT, DSTAT, DFLT)	V = 18V	●		0	±1	μA
I_{PU}	Output Pull-Up Current (PWRGD, FAULT, DFLT)	V = 1.5V	●	-7	-10	-13	μA
$t_{\text{RST(UV)}}$	UV Low to FAULT High		●		20	40	μs
$t_{\text{PG(FB)}}$	FB Low to PWRGD High		●		20	40	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れ出す電流はすべて負。注記がない限り、すべての電圧は GND 基準。

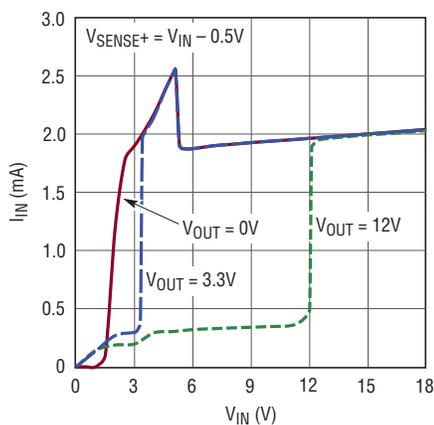
Note 3: 内部クランプは、DGATE ピンと CPO ピンの電圧を、DSRC の電圧より少なくとも 10V 高い値と DSRC の電圧よりダイオード 1 個分の電圧だけ低い値に制限する。これらのピンをクランプより高い電圧にドライブするとデバイスを損傷する恐れがある。

Note 4: 内部クランプは、HGATE ピンの電圧を、OUT の電圧より少なくとも 10V 高い値と OUT の電圧よりダイオード 1 個分の電圧だけ低い値に制限する。このピンをクランプ電圧より高い電圧にドライブするとデバイスを損傷する恐れがある。

Note 5: 熱抵抗は、露出パッドが 3 インチ × 4.5 インチ、4 層 FR4 基板に半田付けされている場合に規定される。

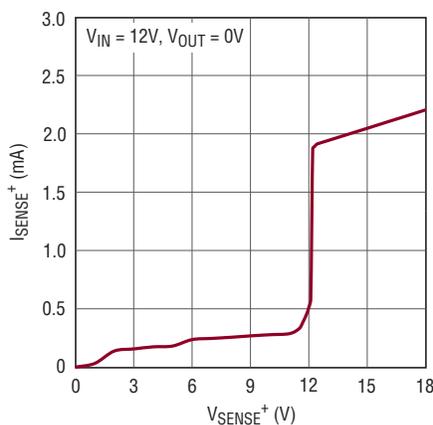
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

INの電源電流と電圧



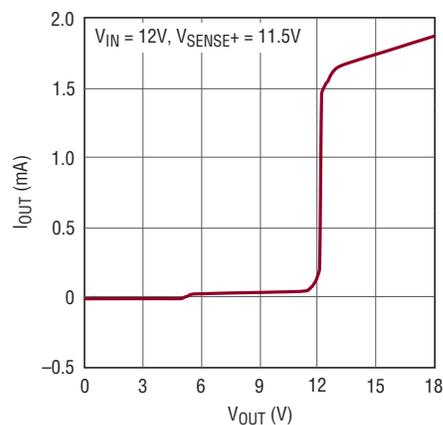
4229 G01

SENSE+の電流と電圧



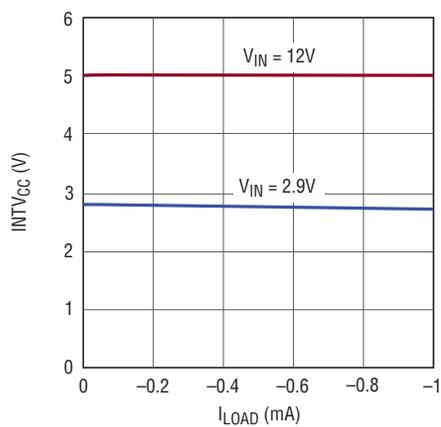
4229 G02

OUTの電流と電圧



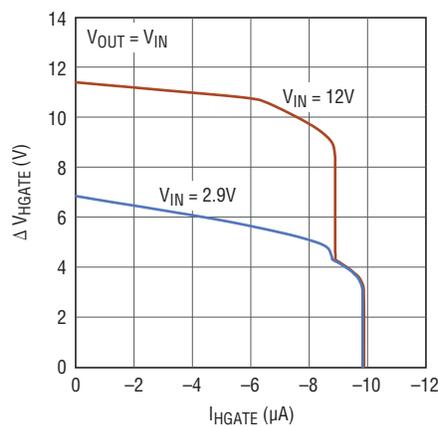
4229 G03

INTV_{CC}の負荷レギュレーション



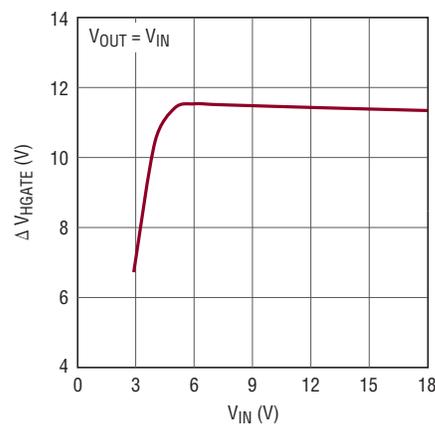
4229 G04

Hot Swap ゲート電圧と電流



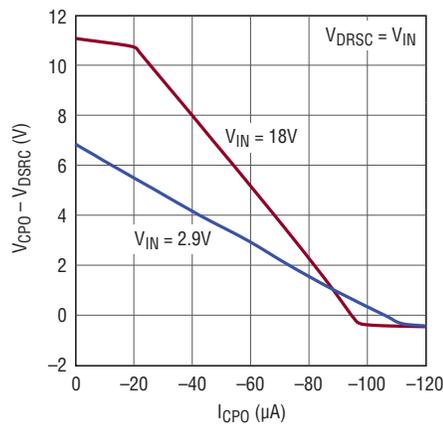
4229 G05

Hot Swap ゲート電圧とINの電圧



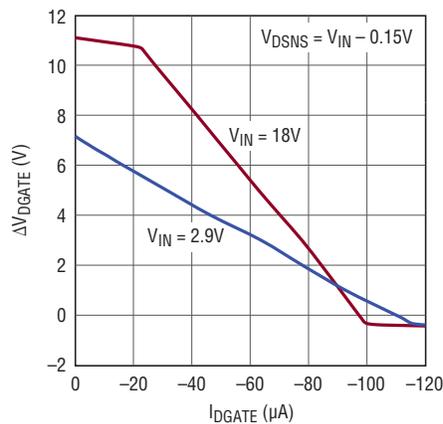
4229 G06

CPOの電圧と電流



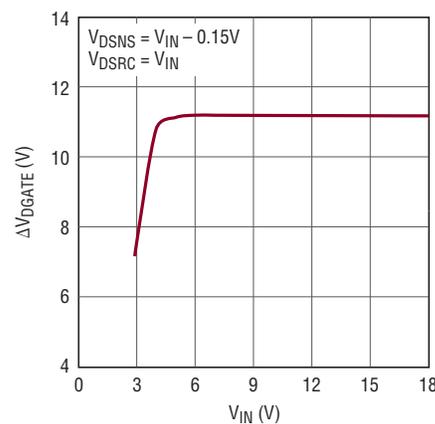
4229 G07

ダイオードのゲート電圧と電流



4229 G08

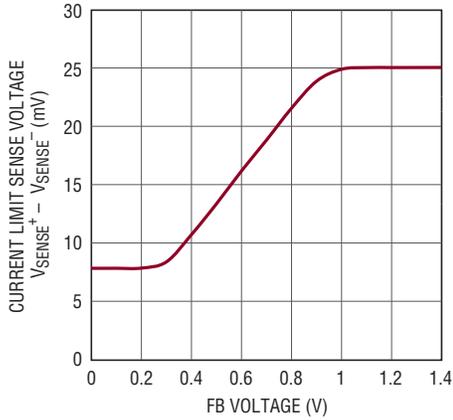
ダイオードのゲート電圧とINの電圧



4229 G09

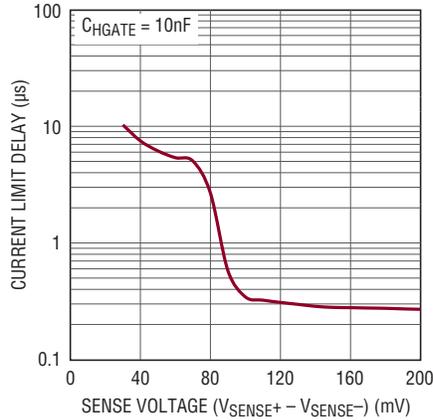
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

電流制限しきい値のフォールドバック



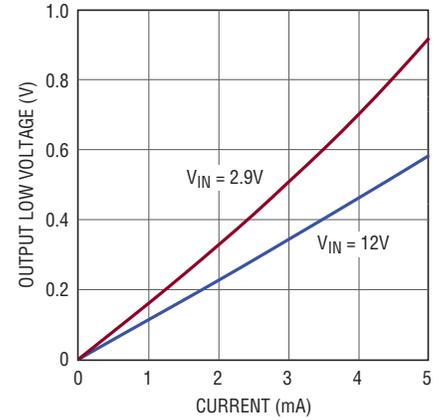
4229 G10

電流制限遅延と検出電圧



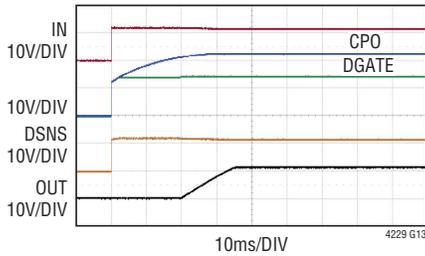
4229 G11

PWRGD、FAULT、DSTAT、DFLT出力 “L”の電圧と電流



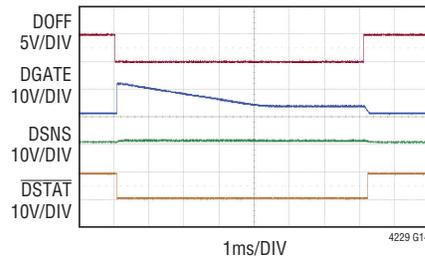
4229 G12

INピン電源投入時の理想ダイオードの起動波形



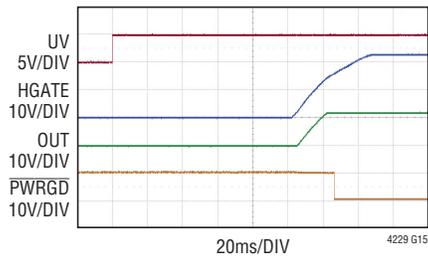
4229 G13

理想ダイオードのオンとオフの波形



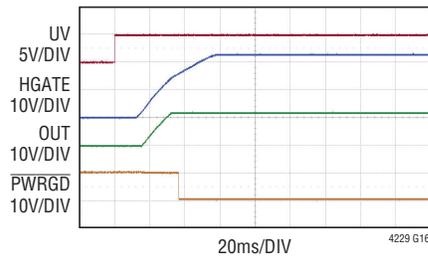
4229 G14

DTMRピンをINTV_{CC}に接続した場合のHGATEピンの起動遅延時間100ms



4229 G15

DTMRピンに0.1μFのコンデンサを接続したことによる調整可能なHGATEピンの遅延時間



4229 G16

ピン機能

CPO : チャージポンプの出力。CPOピンとDSRCピンの間にコンデンサを接続します。このコンデンサの値は、理想ダイオード制御用の外付けMOSFETのゲート容量(C_{ISS})の約10倍です。このコンデンサに蓄えられる電荷は、高速ターンオン時に理想ダイオードMOSFETのゲートをプルアップするために使用されます。理想ダイオードを迅速にオンする必要がない場合は、このピンを開放のままにしてください。

DCFG : ロジック入力。ダイオード検出(DSNS)の接続箇所に応じてDFLT出力の状態表示を設定します。ダイオード検出の接続箇所が理想ダイオードMOSFETの両端だけの場合は、このピンをGNDに接続します。ダイオード検出の接続箇所が理想ダイオードMOSFET、検出抵抗、およびHot Swap MOSFETにわたっている場合は、INTV_{CC}に接続します。

DFLT : ダイオードMOSFETのフォルト状態出力。INピンとDSNSピンの間の電圧が250mVを超えると、このピンは内部スイッチによって“L”になります。外部理想ダイオードMOSFETは、フォルト時にオフになりません。10 μ Aの内部電流源により、このピンの電圧はINTV_{CC}よりダイオード1個分だけ低い電圧まで上昇します。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。使用しない場合は、開放のままにします。

DGATE : 理想ダイオードMOSFETのゲート駆動出力。このピンは理想ダイオード制御用の外付けNチャネルMOSFETのゲートに接続します。内部クランプにより、ゲート電圧はDSRCの電圧より12V高い値およびダイオード1個分の電圧だけ低い値に制限されます。高速ターンオン時には、CPOピンから1.5Aのプルアップ電流が流れてDGATEピンを充電します。高速ターンオフ時には、DGATEピンが放電してDSRCピンに1.5Aのプルダウン電流が流れます。

DOFF : 制御入力。立ち上がりエッジが1.235Vより高いと外部理想ダイオードMOSFETはオフになり、立ち下がりエッジが1.215Vより低いとこのMOSFETはオンになります。

DSNS : 理想ダイオードの出力電圧検出入力。このピンは、ダイオード出力を検出するため、理想ダイオードMOSFETまたはHot Swap MOSFETの出力に接続します。このピンで検出される電圧を使用し、順方向電圧のレギュレーションおよび逆ターンオフを行うためにDGATEを制御します。

DSRC : 理想ダイオードMOSFETのゲート駆動帰路。このピンは外付けのNチャネルMOSFETスイッチのソースに接続してください。DGATEピンが放電すると、ゲートの高速プルダウン電流はこのピンを通過して戻ります。

DSTAT : ダイオードMOSFETの状態出力。DGATEピンとDSRCピンの間のMOSFETゲート駆動電圧が0.7Vを超えると“L”になるオープンドレイン出力です。ゲート駆動電圧が0.7V以下の場合、このピンは高インピーダンスになります。このピンには10 μ Aの内部電流源がないので、プルアップ抵抗を正の電源に外付けすることが必要です。使用しない場合は、開放のままにします。

DTMR : デバウンス・タイマのコンデンサ用端子。このピンは、ENピンが“L”に切り替わったときに100ms固定の遅延時間を設定する場合はINTV_{CC}に接続し、調整可能な起動時の遅延時間(123ms/ μ F)を設定する場合はグラウンドとの間に外付けコンデンサを接続します。

EN : イネーブル入力。活線挿抜制御をイネーブルするには、このピンを接地します。このピンを“H”にした場合は、MOSFETをオンすることができません。10 μ Aの電流源により、このピンの電圧はINTV_{CC}よりダイオード1個分だけ低い電圧まで上昇します。UVピンが“H”でOVピンが“L”のときにENピンを“L”にすると、フォルトが解消された後、DTMRピンでの設定に応じて、デバウンスを行うための起動遅延時間が生じます。

露出パッド(UFDパッケージ) : 露出パッドは開放のままにするか、デバイスのグラウンドに接続することができます。

FAULT : 過電流フォルト状態出力。過電流フォルトの発生中にフォルト・フィルタがタイムアウトすると“L”になる出力です。それ以外の場合は、10 μ Aの電流源によって“H”(INTV_{CC}よりダイオード1個分だけ低い電圧)になります。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。使用しない場合は、開放のままにします。

FB : フォールドバック入力およびパワーグッド・コンパレータ入力。このピンはOUTピンからの外付け抵抗分割器に接続します。このピンの電圧が1.215Vより低くなると、PWRGDピンが“H”になり、電源の状態が良くないことを示します。この電圧が0.9Vより低くなると、出力電力は不良状態とみなされ、電流制限が軽減されます。フォールドバック機能をデイスエーブルするには、INTV_{CC}に接続します。

FTMR : フォルト・タイマのコンデンサ用端子。このピンとグラウンドの間にコンデンサを接続して、外付けHot Swap MOSFETがオフする前に電流制限を行うため12ms/ μ Fの持続時間を設定します。オフ時間の長さは11s/ μ Fなので、0.1%のデューティ・サイクルになります。

GND : デバイスのグラウンド。

ピン機能

HGATE : Hot Swap MOSFETのゲート駆動出力。このピンは活線挿抜制御のため外付けNチャンネルMOSFETのゲートに接続します。10 μ Aの内部電流源がMOSFETのゲートを充電します。内部クランプにより、ゲート電圧はOUTピンの電圧より12V高い値を上限とし、OUTピンの電圧よりダイオード1個分低い電圧を下限として制限されます。低電圧または過電圧が原因でオフになっている間は、HGATEピンが放電され、2mAのプルダウン電流がグラウンドに流れます。出力短絡またはINTV_{CC}の低電圧ロックアウトの間は、HGATEピンが放電され、200mAの高速プルダウン電流がOUTピンに流れます。

IN : 正電源入力。5VのINTV_{CC}電源は、内部ダイオードORを介して、IN、SENSE⁺、およびOUTの各ピンから発生します。このピンで検出される電圧はDGATEピンの電圧を制御するのに使用されます。

INTV_{CC} : 5Vの内部電源のデカップリング出力。このピンには0.1 μ F以上のコンデンサが必要です。500 μ A未満の外部負荷をこのピンに接続することができます。2.2Vの低電圧ロックアウトしきい値に達すると、MOSFETは両方ともオフになります。

OUT : Hot Swap MOSFETのゲート駆動帰路。このピンは外付けMOSFETの出力側に接続します。HGATEピンが放電すると、ゲートの高速プルダウン電流はこのピンを通過して戻ります。

OV : 過電圧コンパレータの入力。このピンをINピンまたはSENSE⁺ピンからの外付け抵抗分割器に接続して、電源の過電圧状態をモニタします。このピンの電圧が1.235Vを超えると、過電圧フォルトが検出されてHot Swap MOSFETがオフします。使用しない場合はGNDに接続します。

PWRGD : 電源の状態出力。FBピンの電圧が1.235Vより高くなり、HGATEピンとOUTピンの間のMOSFETゲート駆動電圧が4.2Vを超えると“L”になる出力です。それ以外の場合は、10 μ Aの電流源によって“H”(INTV_{CC}よりダイオード1個分だけ低い電圧)になります。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。使用しない場合は、開放のままにします。

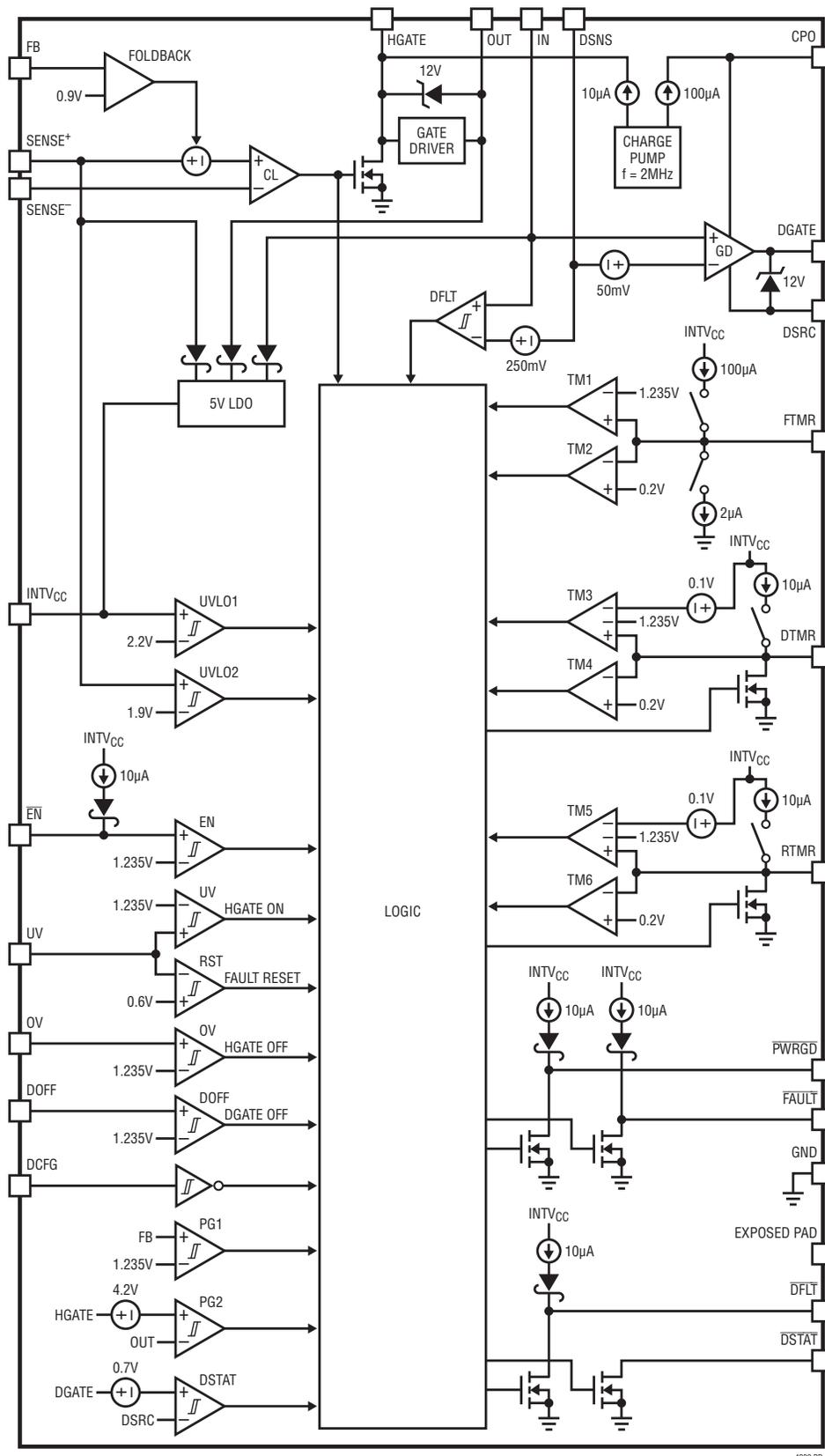
RTMR : 自動再試行タイマのコンデンサ用端子。フォルトによるラッチをオフにするには、このピンをINTV_{CC}に接続します。フォルト発生後に0.1%のデューティ・サイクルで自動再試行するには、開放のままにしておきます。FTMRピンのコンデンサで設定したHot Swap MOSFETのオフ時間を延長して、フォルト発生後の自動再試行デューティ・サイクルが0.1%より小さくなるようにするには、このピンにコンデンサを外付けします。

SENSE⁺ : 正の電流検出入力。このピンは電流検出抵抗の入力側に接続します。このピンで検出される電圧が電流制限のモニタに使用されます。このピンには1.9Vの低電圧ロックアウトしきい値があり、この値でHot Swap MOSFETがオフします。

SENSE⁻ : 負の電流検出入力。このピンは電流検出抵抗の出力側に接続します。電流制限回路はHGATEピンを制御して、SENSE⁺ピンとSENSE⁻ピンの間の電圧をFBピンの電圧に応じて25mV以下に制限します。

UV : 低電圧コンパレータの入力。このピンをINピンまたはSENSE⁺ピンからの外付け抵抗分割器に接続して、電源の低電圧状態をモニタします。このピンの電圧が1.155Vより低くなると、低電圧フォルトが検出されてHot Swap MOSFETがオフします。UVピンの電圧を0.6Vより低くすると、過電流フォルト発生後のフォルト・ラッチはリセットされます。使用しない場合は、INTV_{CC}に接続します。

ブロック図



4229f

動作

LTC4229は、突入電流制限回路と過電流保護回路を備えた理想ダイオードとして機能します。このデバイスは電源経路上の2つの外付けNチャンネルMOSFETであるダイオードMOSFET (M_D) と Hot Swap MOSFET (M_H) を制御します。

LTC4229に初めて電源を投入したとき、外付けMOSFETのゲートは“L”に保持されてオフ状態に保たれます。ゲート駆動アンプ (GD) はINピンとDSNSピンの間の電圧をモニタし、DGATEピンを駆動します。このアンプは、大きな順方向電圧降下を検出すると、DGATEピンを直ちにプルアップし、理想ダイオード制御のMOSFETをオンします。CPOピンとDSRCピン間に接続された外付けコンデンサには、理想ダイオードMOSFETを素早くオンするのに必要な電荷が蓄積されます。内部チャージポンプがこのコンデンサを充電するのは、デバイスの電源投入時です。DGATEピンに流れる電流はCPOピンから流れ出し、DSRCピンおよびGNDピンに流れ込みます。DGATEピンとDSRCピンの間の電圧が0.7Vを超えると、DSTATピンが“L”になり、理想ダイオードMOSFETがオンしていることが示されます。

LTC4229が低電圧状態でも過電圧状態でもない場合は、 \overline{EN} ピンを“L”にするとデバウンス・タイミング・サイクルが開始されます。このサイクルは、DTMRピンでの設定に応じて、固定の100msにすることも調整可能な遅延時間にすることもできます。このタイミング・サイクルの経過後は、チャージポンプからの10 μ Aの電流源によってHGATEピンの電圧が上昇します。Hot Swap MOSFETがオンすると、SENSE⁺ピンとSENSE⁻ピンの間に接続された外付け検出抵抗 (R_S) によって設定されるレベルに突入電流が制限されます。アクティブな電流制限アンプ (CL) は、FBピンの電圧に応じてMOSFETのゲートをサーボ制御し、電流検出抵抗両端に生じる電圧を25mV以下に制御します。必要に応じて、HGATEピンとGNDの間にコンデンサを追加することにより、突入電流をさらに減らすことができます。FBピンの電圧が1.235Vより高くなり、MOSFETのゲート駆動電圧 (HGATEピンとOUTピンの間の電圧) が4.2Vを超えると、 \overline{PWRGD} ピンは“L”になります。

DSNSピンとOUTピンを互いに接続している場合は、両方のMOSFETがオンすると、ゲート駆動アンプがDGATEピンの電圧を制御して、検出抵抗と2個のMOSFETの間の順方向電

圧降下 ($V_{IN} - V_{DSNS}$) が50mVになるようサーボ制御します。負荷電流により電圧降下が50mVを上回ると、DGATEの電圧が上昇して、理想ダイオード制御に使用されるMOSFETを導通させます。大きな出力電流では、理想ダイオードMOSFETは完全にオン状態にドライブされており、MOSFET両端の電圧降下は直列に接続された2個のMOSFETの $I_{LOAD} \cdot R_{DS(ON)}$ の和に等しくなります。ただし、DSNSピンとSENSE⁺ピンを互いに接続している場合、ゲート駆動アンプはHot Swap MOSFET両端での $I_{LOAD} \cdot R_{DS(ON)}$ による電圧降下に関係なく、理想ダイオードMOSFET両端の電圧だけを50mVに調整しようとします。

MOSFETが導通しているときに入力電源が短絡すると、大きな逆電流が負荷から入力に向けて流れ始めます。ゲート駆動アンプはこの障害状態を検出し、DGATEピンの電圧を低下させることで理想ダイオードMOSFETをオフします。

電源の出力に過電流フォルトが生じた場合、電流はフォールドバック特性により制限されます。FTMRピンのコンデンサを充電する100 μ Aの電流によって設定される遅延時間が経過すると、フォルト・フィルタがタイムアウトしてHGATEピンが“L”になり、Hot Swap MOSFETはオフになります。FAULTピンも“L”にラッチされます。この時点で、DGATEピンは“H”状態を継続し、理想ダイオードMOSFETをオン状態に保ちます。

DGATEピンとDSRCピンの間の電圧およびCPOピンとDSRCピンの間の電圧は、両方とも内部クランプによって12Vに制限されます。また、CPOピンとDGATEピンの電圧も、同じクランプによってDSRCピンの電圧よりダイオード1個分の電圧だけ低い値に制限されます。別の内部クランプにより、HGATEピンとOUTピンの間の電圧は12Vに制限され、さらに、HGATEピンの電圧はOUTピンよりダイオード1個分の電圧だけ低い値にクランプされます。

LTC4229への電力は、内部ダイオードOR回路から低ドロップアウト・レギュレータ (LDO) を介して、INピン、SENSE⁺ピンまたはOUTピンから供給されます。このLDOはINTV_{CC}ピンで5Vの電源を発生し、LTC4229の内部低電圧回路に給電します。

アプリケーション情報

高い可用性を要するシステムでは、冗長性を持たせてシステムの信頼性を高めるため、多くの場合、並列に接続された電源やバッテリー・フィードが採用されます。電源のOR接続用ダイオードは、一般にこれらの電源を負荷ポイントで接続するのに使用されますが、代償としてダイオードの大きな順方向電圧降下による電力損失を生じます。LTC4229は、外付けのNチャネルMOSFETをパス素子として使用してこの電力損失を最小限に抑えるので、MOSFETがオンしているときの電源から負荷までの電圧降下を抑えることができます。入力電源の電圧が出力の共通電源電圧を下回ると、対応するMOSFETがオフになるので、理想ダイオードと等しい機能と性能が得られます。個別に制御される2個の外付けMOSFETの間に電流検出抵抗を追加することにより、LTC4229は突入電流制限と過電流保護によって理想ダイオードの性能を向上します(図1参照)。これにより、コネクタを損傷することなく、通電状態のバックプレーンに対して基板を安全に抜き差しすることができます。

内部V_{CC}電源

LTC4229は2.9V～18Vの入力電源電圧で動作します。デバイスの電源は、INTV_{CC}ピンを出力とする低ドロップアウト・レギュレータ(LDO)によって内部で5Vに安定化されます。内部ダイオードOR回路は、INピン、SENSE⁺ピン、OUTピンのうち最も電圧が高い電源を選択して、LDOを介してデバイスに給電します。ダイオードOR方式を採用しているため、INピンとSENSE⁺ピンの電源電圧が急激に低下するか遮断されても、OUTピンの電圧によってデバイスの電源を動作状態に保つことができます。

低電圧ロックアウト回路は、INTV_{CC}電圧が2.2Vを超えるまで、すべてのMOSFETがオンするのを防ぎます。0.1μFのコンデンサをINTV_{CC}ピンとGNDピンの間にデバイスに近づけて設置してバイパスすることを推奨します。LDOの動作に影響を与えないように、INTV_{CC}ピンには外部電源を接続しないようにしてください。500μA未満の小さな外部負荷をINTV_{CC}ピンに接続することができます。

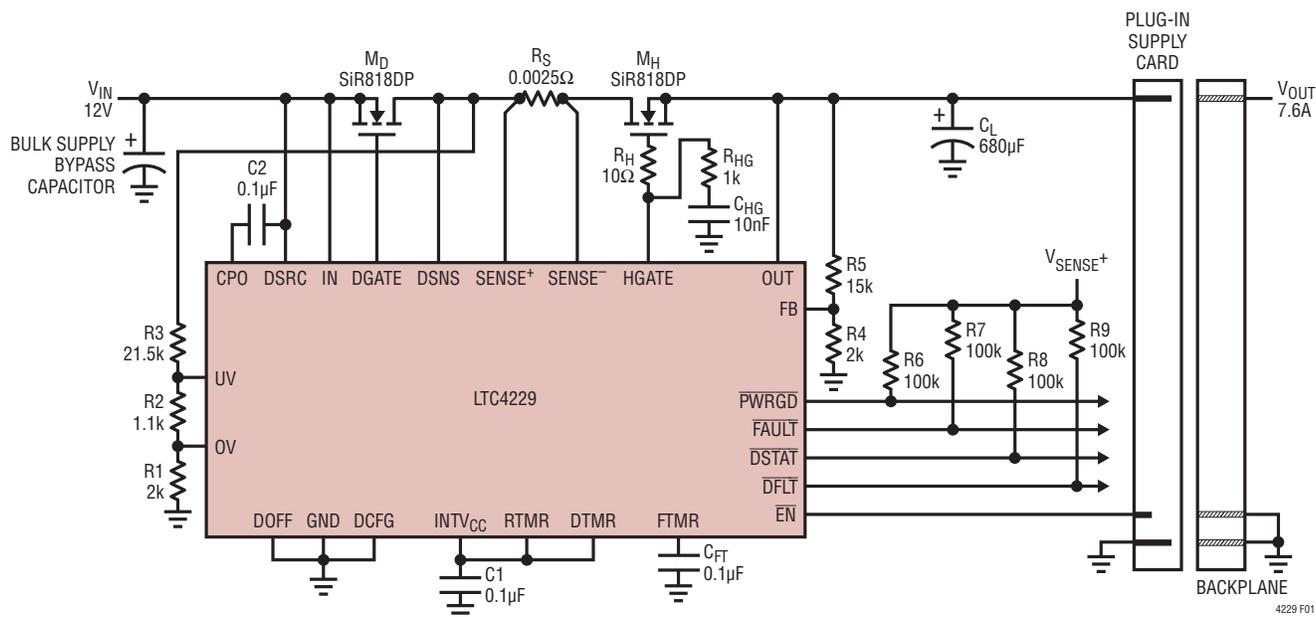
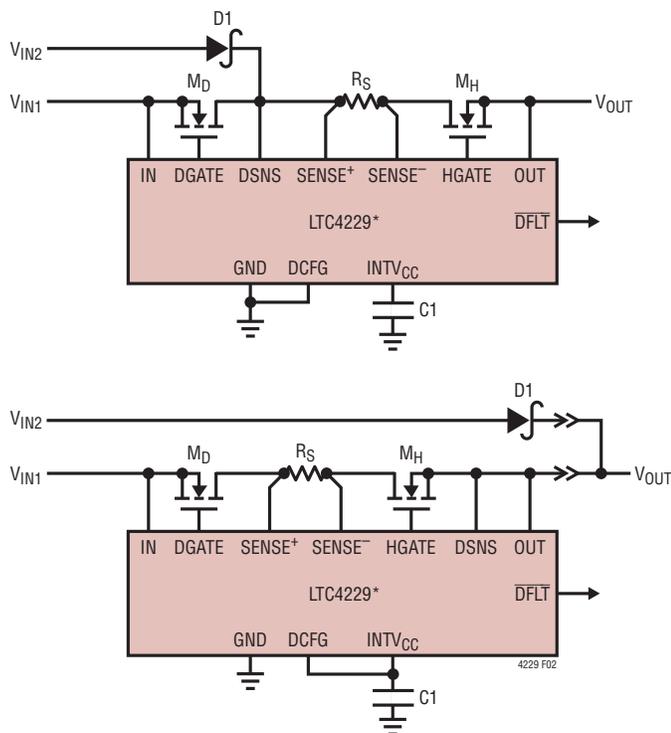


図1. 12Vの電源をバックプレーンに供給するプラグイン式カード

アプリケーション情報

DSNSピンとDCFGピンの構成

LTC4229は、SENSE⁺ピンまたはOUTピンにダイオードOR回路の出力を設定できるDSNSピンおよびDCFGピンを備えています(図2参照)。DSNSピンをSENSE⁺ピンに接続すると、順方向電圧は理想ダイオードMOSFET M_Dの両端で検出されます。Hot Swap MOSFET M_Hはダイオード検出回路の一部になっていないので、DCFGピンをGNDに接続して、Hot Swap MOSFETのゲートのオーバードライブ電圧が、 $\overline{\text{DFLT}}$ ピンでの理想ダイオードMOSFETのフォルト状態表示の基準として考慮されないようにします。DSNSピンをOUTピンに接続した場合、順方向電圧は理想ダイオードMOSFETの検出抵抗とHot Swap MOSFETの両端で検出されます。Hot Swap MOSFETがダイオード検出回路の一部になっており起動時にはオフしているため、順方向電圧が250mVを超えると、 $\overline{\text{DFLT}}$ ピンが誤って“L”になり、理想ダイオードMOSFETの開放フォルトを示すことがあります。このような構成の場合は、Hot Swap MOSFETのゲートのオーバードライブ状態を考慮して $\overline{\text{DFLT}}$ 出力状態の誤表示を避けるように、DCFGピンをINTV_{CC}に接続してください。



*ADDITIONAL DETAILS OMITTED FOR CLARITY

図2. DSNSピンとDCFGピンの構成

ターンオン・シーケンス

OUTピンの基板電源は、図1に示すように2個の外付けNチャンネルMOSFET (M_D、M_H) で制御されます。電源側のMOSFET M_Dは理想ダイオードとして機能し、負荷側のM_Hは出力負荷に供給される電力を制御するHot Swapとして機能します。検出抵抗R_Sは、過電流検出のために負荷電流をモニタします。HGATEピンのコンデンサC_{HG}は、ゲートのスルーレートを制御して突入電流を制限します。抵抗R_{HG}はC_{HG}とともに電流制御ループを補償し、R_HはHot Swap MOSFETの高周波発振を防ぎます。

通常の電源投入時には、理想ダイオードMOSFETが最初にオンします。内部で生成される電源電圧(INTV_{CC})がその低電圧ロックアウトしきい値である2.2Vを超えると、内部チャージポンプは直ちにCPOピンを充電できるようになります。ゲート駆動アンプは理想ダイオードMOSFETのゲート電圧を制御して、INピンとDSNSピンの間の順方向電圧降下を50mVにサーボ制御します。順方向電圧降下が大きい場合、ゲート駆動アンプはDGATEピンの電圧をCPOピンの電圧まで高くして、MOSFETのゲートを完全に導通させます。

Hot Swap MOSFETをオンするには、UVピンとOVピンの電圧要件を満たし、DTMRピンでの設定に応じてデバウンス・サイクルの間ENピンを“L”のままにして、挿入中に接触バウンスが発生しないようにする必要があります。デバウンス・サイクルが終了すると、内部のフォルト・ラッチはクリアされます。次いで、Hot Swap MOSFETは、チャージポンプからの10μAの電流源によってHGATEを充電することにより、オンすることができます。HGATEピンの電圧は10μA/C_{HG}に等しい勾配で上昇し、電源から負荷コンデンサC_Lに流れ込む突入電流は次の値に制限されます。

$$I_{\text{INRUSH}} = \frac{C_L}{C_{\text{HG}}} \cdot 10\mu\text{A}$$

Hot Swap MOSFETがオンすると、OUTピンの電圧はHGATEピンの電圧に追従します。電流検出抵抗R_S両端の電圧が、FBピンの電圧を基準にして高くなりすぎると、内部電流制限回路によって突入電流が制限されます。MOSFETのゲートのオーバードライブ電圧が4.2Vを超え、FBピンの電圧が1.235Vより高くなると、PWRGDピンが“L”になり、電源の状態が良

アプリケーション情報

好であることが示されます。OUTピンの電圧が入力電源電圧に達すると、HGATEピンの電圧は上昇し続けます。HGATEピンの電圧は12Vの内部クランプによってOUTピンの電圧より高い値に制限されます。

ターンオフ・シーケンス

外付けMOSFETはさまざまな条件でオフすることができます。Hot Swap MOSFETの通常のターンオフは、UVピンの電圧をしきい値の1.155V (UVピンのヒステリシスは80mV)より低くするか、または $\overline{\text{EN}}$ ピンの電圧をしきい値の1.235Vより高くすることにより開始されます。さらに、過電圧フォルトまたは過電流フォルトの時間がフォルト・タイマのタイムアウト時間を超えた場合もHot Swap MOSFETはオフします。通常、LTC4229は2mAのシンク電流でHGATEピンの電圧をグランドに引き下げてMOSFETをオフします。

INTV_{CC}がその低電圧ロックアウトしきい値(2.2V)を下回ると、すべてのMOSFETがオフします。DGATEピンの電圧は100 μ Aの電流によりDSRCピンの電圧よりダイオード1個分の電圧だけ低い値まで低下し、HGATEピンの電圧は200mAの電流によってOUTピンの電圧まで低下します。

ゲート駆動アンプは理想ダイオードMOSFETを制御して、入力電源電圧がDSNSピン(SENSE⁺ピンまたはOUTピンに接続)の電圧より低くなった場合、逆電流が流れないようにします。入力電源電圧が急激に低下した場合、ゲート駆動アンプは高速プルダウン回路によって理想ダイオードMOSFETをオフします。入力電源電圧の低下速度が緩やかな場合、ゲート駆動アンプはMOSFETを制御して、DSNSピンの電圧をINピンの電圧より50mV低い電圧に保ちます。

$\overline{\text{EN}}$ による基板の接続検出

入力電圧が安定して過電圧および低電圧の制限範囲内に入った後、 $\overline{\text{EN}}$ ピンが“L”になって基板の接続を示すと、LTC4229はDTMRピンでの設定に応じてタイミング・サイクルを開始して、接触のデバウンスを行います。DTMRピンをINTV_{CC}に接続している場合、デフォルトの内部遅延は100msです。DTMRピンとGNDの間に外付けコンデンサC_{DT}を接続すると、遅延はこのコンデンサを10 μ Aの電流で1.235Vまで充電することによって得られます。その後、コンデンサは5mAの電流でグランドに放電されます。任意のデバウンス遅延について、外付けコンデンサC_{DT}の値を設定するための式は次のとおりです。

$$C_{DT} = t_{DB} \cdot 0.0081 \text{ } [\mu\text{F/ms}]$$

基板を挿入したときに、 $\overline{\text{EN}}$ ピンにバウンスがあるとタイミング・サイクルが再開されます。デバウンスのタイミング・サイクルが終了すると、内部のフォルト・ラッチはクリアされます。タイミング・サイクルの終了時に $\overline{\text{EN}}$ ピンが“L”のままの場合、HGATEピンは10 μ Aの電流源で充電され、Hot Swap MOSFETをオンします。

$\overline{\text{EN}}$ ピンが“H”になって基板が取り外されたことが示されると、20 μ sの遅延の後、HGATEピンは2mAの電流シンクによって“L”になり、ラッチされたフォルトを解消することなく、Hot Swap MOSFETをオフします。

過電流フォルト

LTC4229はフォールドバック特性の調整可能な電流制限機能を備えており、短絡や過大な負荷電流から外付けMOSFETを保護します。外付けの検出抵抗R_S両端の電圧は、アクティブな電流制限アンプによってモニタされます。このアンプは、Hot Swap MOSFETのゲート電圧を制御して、電流制限の作動時にFBピンで検出される出力電圧の関数として負荷電流を減少します。電流制限検出電圧とFBピンの電圧の関係は、「標準的性能特性」のグラフに示します。

過電流フォルトが生じるのは、出力の電流制限状態が、FTMRピンで設定したフォルト・フィルタ遅延時間より長くなった場合です。電流制限は、SENSE⁺ピンとSENSE⁻ピンの間の検出電圧が、FBピンの電圧に応じて8.3mV～25mVに達すると始まります。Hot Swap MOSFETのゲートは電流制限アンプによって制御され、出力電流は検出電圧を25mV未満に制限するために安定化されます。この時点で、FTMRピンのコンデンサを充電する100 μ Aの電流により、フォルト・フィルタがタイムアウトを開始します。FTMRピンの電圧がそのしきい値(1.235V)を超えると、2mAの電流によってHGATEピンの電圧がグランドまで低下して外付けMOSFETがオフになり、FAULTピンが“L”になります。

Hot Swap MOSFETがオフした後、FTMRピンのコンデンサは、2 μ Aのプルダウン電流によってFTMRピンのしきい値が0.2Vに達するまで放電します。「FTMRピンの機能」で説明するように、タイミング・サイクル14回分の冷却期間がこの後に続きます。12V出力での過電流フォルトを図3に示します。

アプリケーション情報

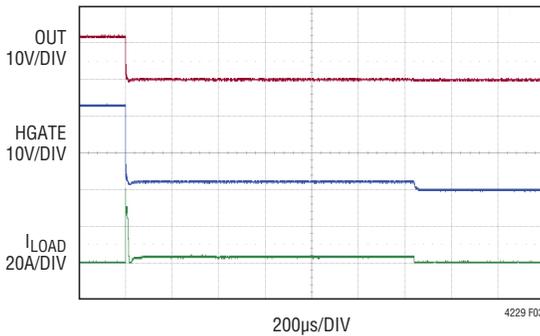


図3. 12V出力の過電流フォルト

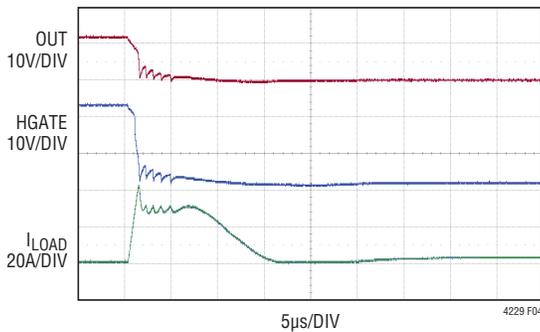


図4. 12V出力の重度の短絡

図4に示すように、12V出力に重大な短絡フォルトが生じた場合、出力電流は数十アンペアに急増することがあります。LTC4229は1µs以内に応答し、HGATEピンとOUTピンの間の電圧を0Vに減少することにより、電流を制御します。R_{HG}とC_{HG}の回路網に蓄積された電荷により、Hot Swap MOSFETのゲート電圧は急速に回復し、フォルト・フィルタがタイムアウトになるまで電流はアクティブに制限されます。電源ピンの寄生インダクタンスにより、バイパス・コンデンサのない入力電源は高電流サージの発生期間、急落し、次いで電流が遮断されると上方向にスパイクを生じる可能性があります。入力容量がない場合、Z₁、R_{SNUB}、およびC_{SNUB}で構成される、電源の入力電源トランジェント・サプレッサを図13に示します。

FTMRピンの機能

FTMRピンとGNDの間に接続した外付けコンデンサC_{FT}は、電源の出力がアクティブな電流制限状態のとき、フォルト・フィルタとして機能します。検出抵抗両端の電圧がフォールドバック電流制限しきい値(25mV～8.3mV)を超えると、FTMRピンの電圧は100µAの電流により上昇します。それ以外の場

合は、2µAの電流により電圧は低下します。1.235VのFTMRしきい値を超えると、フォルト・フィルタはタイムアウトになり、 $\overline{\text{FAULT}}$ ピンは“L”になります。任意のフォルト・フィルタ遅延について、外付けコンデンサC_{FT}の値を設定するための式は次のとおりです。

$$C_{FT} = t_{FF} \cdot 0.083 \text{ [}\mu\text{F/ms]}$$

フォルト・フィルタのタイムアウト後、FTMRピンのコンデンサの電圧は、1.235VのFTMRしきい値から0.2Vに達するまで2µAの電流によって低下します。次いで、FTMRピンのコンデンサを100µAの電流で1.235Vまで充電し、2µAの電流で0.2Vまで放電する冷却サイクルを14回実行します。「フォルトのリセット」のセクションで説明するように、この時点でフォルトが解消されているならば、HGATEピンの電圧を立ち上げることができます。ラッチされているフォルトが冷却時間の間に解消されると、 $\overline{\text{FAULT}}$ ピンは“H”になります。過電流フォルト後のMOSFETの全冷却時間は次のようになります。

$$t_{COOL} = C_{FT} \cdot 11 \text{ [s/}\mu\text{F]}$$

ラッチオフ構成では、フォルトが解消された場合だけ、冷却時間の経過後にHGATEピンの電圧を高くすることができます。自動再試行構成では、延長された冷却期間の経過後、ラッチされているフォルトが自動的に解消され、HGATEピンの電圧を再び上昇させることができます。

フォルトのリセット

RTMRピンをINTV_{CC}に接続したラッチオフ構成では、フォルト・フィルタのタイムアウト後に過電流フォルトがラッチされ、 $\overline{\text{FAULT}}$ ピンは“L”にアサートされます。ラッチされたフォルトをリセットし、出力を再起動するには、UVピンの電圧を0.6Vより低い状態に100µs以上維持してから、1.235Vより高くします。フォルト・ラッチがリセットされ、 $\overline{\text{FAULT}}$ ピンがデアサートするのは、UVピンの立ち下がりエッジです。UVピンが再度“H”になると、HGATEピンの電圧が再び上昇する前にデバウンス・タイミング・サイクルが開始されます。ENピンを“H”にしてから再度“L”に切り替えてもフォルトはリセットされますが、 $\overline{\text{FAULT}}$ ピンはデバウンス・サイクルが終わると“H”になり、その後、HGATEピンの電圧が上昇します。電源電圧をINTV_{CC}の低電圧ロックアウトしきい値(2.2V)より低くすると、すべてのMOSFETがオフになり、フォルト・ラッチがリセットされます。電源電圧がINTV_{CC}のUVLOしきい値より高い電圧まで回復すると、通常の起動の前にデバウンス・サイクルが開始されます。

アプリケーション情報

フォルト後の自動再試行

自動再試行構成では、RTMRピンを開放のままにした場合、「FTMRピンの機能」のセクションで説明したように、ラッチされているフォルトは冷却期間が終わると自動的にリセットされます。この場合、自動再試行のデューティ・サイクルは、 C_{FT} に関係なく0.1%に等しくなります。RTMRピンとGNDの間に外付けコンデンサ C_{RT} を接続すると、RTMRピンのコンデンサを10 μ Aの電流で1.235Vまで充電し、5mAの電流で0.2Vまで放電する冷却サイクルを15回追加することによって、冷却時間をさらに延長することができます。MOSFETの任意の追加冷却時間に対して外付けコンデンサ C_{RT} の値を設定するための式は次のとおりです。

$$C_{RT} = t_{XCOOL} \cdot 0.54 \text{ [}\mu\text{F/s]}$$

延長された冷却期間が終わるとフォルト・ラッチはクリアされ、 $\overline{\text{FAULT}}$ ピンは“H”になります。HGATEピンの電圧を立ち上げて、Hot Swap MOSFETをオンすることができます。出力短絡が持続する場合は、フォルト・フィルタがタイムアウトして $\overline{\text{FAULT}}$ ピンが再度“L”になるまで、電源は電流制限がアクティブな短絡状態で投入されます。2 μ Aの電流でFTMRピンの電圧が徐々に低下することから、新しい延長冷却サイクルが始まります。出力短絡が解消するまで、このプロセス全体が繰り返されます。

自動再試行のデューティ・サイクルは次式で与えられます。

$$\text{Duty Cycle} = \frac{t_{FF}}{t_{COOL} + t_{XCOOL}} \cdot 100\%$$

たとえば、 $C_{FT} = 0.1\mu\text{F}$ 、 $C_{RT} = 1\mu\text{F}$ 、 $t_{FF} = 1.2\text{ms}$ の場合、自動再試行のデューティ・サイクルを計算すると0.04%になります。過電流フォルトの後の自動再試行のシーケンスを図5に示します。

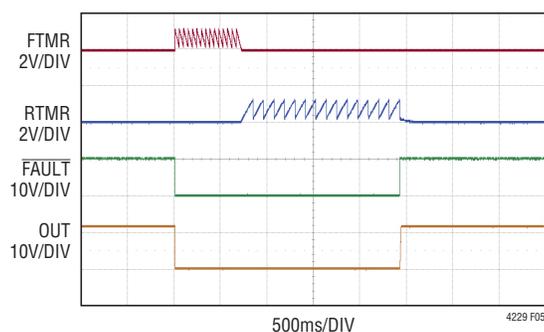


図5. フォルト後の自動再試行のシーケンス

過電圧フォルトおよび低電圧フォルトのモニタ

OVピンおよびUVピンは、どちらも入力電源モニタとして機能しますが、UVピンはオン/オフ制御ピンとしても機能します。入力電源(INまたはSENSE+)とGNDの間に接続した抵抗分割器の分割点をOVピンおよびUVピンに接続することにより、それぞれ電源電圧の過電圧状態および低電圧状態をモニタできます。過電圧および低電圧のしきい値は、OVおよびUVそれぞれの立ち上がりしきい値電圧(1.235V)で抵抗を適切に選択することによって設定します。

図1の $R1 = 2\text{k}$ 、 $R2 = 1.1\text{k}$ 、 $R3 = 21.5\text{k}$ の場合、入力電源の過電圧しきい値および低電圧しきい値は、それぞれ15.2Vおよび9.8Vと設定されます。

入力電源電圧が過電圧しきい値より高くなると、過電圧フォルトが発生します。Hot Swap MOSFETは、HGATEピンからグラウンドへの2mAのプルダウン電流によってオフになります。その後、入力電源電圧が過電圧しきい値より低くなると、Hot Swap MOSFETは直ちにオンすることができます。過電圧状態から脱出したとき、OVピンの電圧は1.215Vです。

入力電源電圧が低電圧しきい値より低くなると、低電圧フォルトが発生します。UVピンの電圧が1.155Vより低くなっても0.6Vより高い値を保っている場合、Hot Swap MOSFETはHGATEピンからグラウンドへの2mAのプルダウン電流によってオフになります。入力電源電圧が低電圧しきい値より高くなると、Hot Swap MOSFETはデバウンス・サイクルなしで直ちにオン状態に戻ります。ただし、UVピンの電圧が0.6Vより低くなると、Hot Swap MOSFETはオフになり、フォルト・ラッチはクリアされます。入力電源電圧が低電圧しきい値より高い値に回復した場合、Hot Swap MOSFETはデバウンス・サイクルが経過したときだけオン状態に戻ります。

過電圧および低電圧のフォルト状態のとき、 $\overline{\text{FAULT}}$ ピンは“L”になりませんが、HGATEピンが“L”になるので $\overline{\text{PWRGD}}$ ピンは“H”になります。理想ダイオードMOSFETによって制御される理想ダイオード機能は、OVおよびUVのフォルト状態には影響されません。

パワーグッド・モニタ

HGATEピンとOUTピン間のMOSFETのゲートのオーバードライブは、内部回路によってモニタされます。また、抵抗分割器を介してOUTピンに接続するFBピンを使用してパワーグッド状態を調べます。パワーグッド・コンパレータは、FBピンの電圧が1.235Vより高くなると“H”になり、1.215Vより低くなると“L”になります。入力電源のパワーグッド状態は、オープン

アプリケーション情報

ドレイン出力である $\overline{\text{PWRGD}}$ ピンを介して通知されます。このピンは通常、外付けプルアップ抵抗または $10\mu\text{A}$ の内部プルアップ電流によって“H”になります。

パワーグッド・コンパレータの入力である FB ピンが“H”になり、HGATE ピンの駆動電圧が 4.2V を超えると、 $\overline{\text{PWRGD}}$ ピンは“L”になります。 $\overline{\text{PWRGD}}$ ピンが“H”になるのは、UV ピン、OV ピン、または $\overline{\text{EN}}$ ピンの電圧によって HGATE ピンがオフになる場合、FB ピンのパワーグッド・コンパレータが“L”になる場合、または INTV_{CC} が低電圧ロックアウト状態になる場合です。

CPO ピンと DGATE ピンの電圧の立ち上がり

電源側に理想ダイオード MOSFET を 1 つ配置するアプリケーションでは、最初の電源投入時に、CPO ピンの初期電圧が DSRC ピンの電圧よりダイオード 1 個分低い電圧になります (図 13 参照)。MOSFET をバック・トゥ・バック接続するアプリケーションでは、DSRC ピンの電圧がグランド電位に近いので、CPO ピンの初期電圧は 0V になります (図 14 参照)。CPO ピンの電圧が上昇し始めるのは、 INTV_{CC} が低電圧ロックアウト・レベルをクリアしてから $7\mu\text{s}$ 後です。さらに $40\mu\text{s}$ 後、DGATE ピンの電圧も CPO ピンとともに上昇し始めます。CPO ピン電圧のランプレートは、CPO ピンと DGATE ピンの総容量に流れ込む CPO ピンのプルアップ電流によって決まります。CPO ピンの電圧は内部クランプによって DSRC ピンの電圧より 12V 高い値に制限されますが、DGATE ピンの最終電圧はゲート駆動アンプによって決まります。DGATE ピンの電圧は、 12V の内部クランプによって DSRC ピンの電圧より高い値に制限されます。

CPO コンデンサの選択

CPO ピンと DSRC ピンの間のコンデンサの推奨値は、理想ダイオード MOSFET の入力容量 C_{ISS} の約 10 倍です。コンデンサの容量が大きいくほど、内部チャージポンプによる充電時間は長くなります。このコンデンサは、MOSFET のゲート容量と電荷を共有するため、容量が小さいとゲートの高速ターンオン時に電圧降下が大きくなります。

MOSFET の選択

LTC4229 は N チャネル MOSFET を駆動して負荷電流を流します。MOSFET の重要な特性は、オン抵抗 $R_{\text{DS(ON)}}$ 、ドレイン-ソース間最大電圧 BV_{DSS} 、およびしきい値電圧です。

理想ダイオード MOSFET と Hot Swap MOSFET のゲート駆動電圧は、IN ピンの電源電圧が $2.9\text{V} \sim 7\text{V}$ の場合、 5V より大きいことが保証されています。IN ピンの電源電圧が 7V より高い場合、ゲート駆動電圧は 10V より大きいことが保証されます。ゲート駆動電圧は 14V に制限されます。定格ブレークダウン電圧が 14V 未満のとき、外付けツェナー・ダイオードを使って、MOSFET のゲート-ソース間の電位をクランプすることができます。

全電源電圧が MOSFET の両端に生じることがあるので、電源トランジエントを含むドレイン-ソース間の最大許容電圧 BV_{DSS} は電源電圧より高くなければなりません。入力または出力がグランドに接続されると、全電源電圧が MOSFET の両端に生じます。 $R_{\text{DS(ON)}}$ は、最大負荷電流を流せるように十分小さくすると同時に、MOSFET の電力定格を超えないよう注意してください。

電源トランジエント保護

入力と出力の容量が非常に小さい場合、入力または出力の短絡発生時の急激な電流変化により、IN ピンと OUT ピンの 24V の絶対最大定格を超えるトランジエントが生じる可能性があります。このようなスパイクを最小限に抑えるには、幅の広いトレースやメッキの厚いトレースを使って電力トレースのインダクタンスを減らします。また、 $10\mu\text{F}$ の電解コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサをデバイスの近くに配置してバイパスするか、あるいはトランジエント電圧サプレッサ Z1 を使用して入力をクランプします。 100Ω と $0.1\mu\text{F}$ のスナバ回路によって応答が減衰し、リングングが除去されます (図 13 参照)。

設計例

部品を選択するための設計例として、入力電源の最大負荷電流が 7.6A の 12V システムを検査します (図 1 参照)。

まず、 12V 電源の電流検出抵抗 R_{S} の適切な値を選択します。最大負荷電流 $I_{\text{LOAD(MAX)}}$ と電流制限電圧しきい値の下限 $\Delta V_{\text{SENSE(TH)(MIN)}}$ に基づいて、検出抵抗の値を計算します。

$$R_{\text{S}} = \frac{\Delta V_{\text{SENSE(TH)(MIN)}}}{I_{\text{LOAD(MAX)}}} = \frac{22.5\text{mV}}{7.6\text{A}} = 2.9\text{m}\Omega$$

許容誤差 1% の $2.5\text{m}\Omega$ の検出抵抗を選択します。

アプリケーション情報

次に、順方向電圧降下が最大負荷時に所望の値になるように理想ダイオードMOSFETの $R_{DS(ON)}$ を計算します。理想ダイオードMOSFET両端の順方向電圧降下 ΔV_{FWD} を50mVとすると、次のようになります。

$$R_{DS(ON)} \leq \frac{\Delta V_{FWD}}{I_{LOAD(MAX)}} = \frac{50mV}{7.6A} = 6.5m\Omega$$

SiR818DPは、 $V_{GS} = 10V$ での $R_{DS(ON)}$ の最大値が $2.8m\Omega$ なので、選択肢として優れています。SiR818DPの入力容量 C_{ISS} は約3660pFです。推奨値である10倍をわずかに超えますが、CPOピンのC2として0.1 μF のコンデンサを選択します。

次に、電源投入時または過電流フォルト時に、選択したHot Swap MOSFETの熱定格を超えないことを検証します。

電源投入時に負荷コンデンサ C_L を充電する突入電流によってMOSFETが電力を消費すると仮定すると、MOSFET内部で消費されるエネルギーは負荷コンデンサに蓄えられるエネルギーと等しくなり、次式で与えられます。

$$E_{CL} = \frac{1}{2} \cdot C_L \cdot V_{IN}^2$$

$C_L = 680\mu F$ では、 C_L を充電するのに要する時間は次のように計算されます。

$$t_{CHARGE} = \frac{C_L \cdot V_{IN}}{I_{INRUSH}} = \frac{680\mu F \cdot 12V}{1A} = 8ms$$

突入電流はHot Swap MOSFETのゲートに容量 C_{HG} を追加することにより、1Aに設定されます。

$$C_{HG} = \frac{C_L \cdot I_{HGATE(UP)}}{I_{INRUSH}} = \frac{680\mu F \cdot 10\mu A}{1A} = 6.8nF$$

C_{HG} には実用的な値として10nFを選択します。

MOSFETの平均電力損失は次のように計算します。

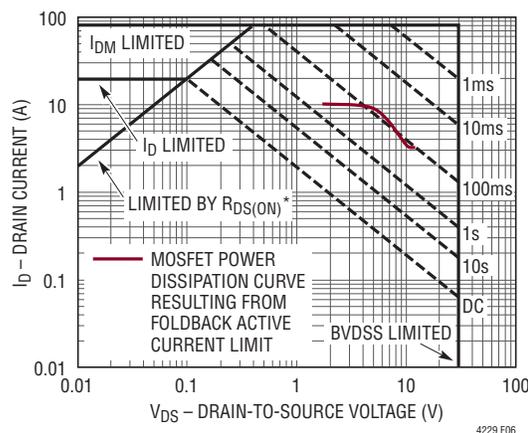
$$P_{AVG} = \frac{E_{CL}}{t_{CHARGE}} = \frac{1}{2} \cdot \frac{680\mu F \cdot (12V)^2}{8ms} = 6W$$

選択されたMOSFETは、電源投入時の8msの間6Wに耐えられなければなりません。SiR818DPのSOA曲線は、100msの間45W(30Vで1.5A)を示しています。これは要件を満たすのに十分です。MOSFET内部の電力損失による接合部温度の上昇分は $\Delta T = P_{AVG} \cdot Z_{thJC}$ です。ここで、 Z_{thJC} は接合部-ケース間の熱インピーダンスです。この条件では、SiR818DPのデータ

シートは、 $Z_{thJC} = 0.5^\circ C/W$ を使って接合部温度が $3^\circ C$ 上昇することを示しています(単一パルス)。

次に、過電流フォルト時にMOSFET内部で損失する電力を安全に制限する必要があります。フォルト・タイム・コンデンサ(C_{FT})を使用するのは、電流制限がアクティブなときにMOSFET内部での電力損失がSOA定格を超えないようにするためです。 C_{FT} に適した値を求めるには、「標準的性能特性」に示すフォールドバック電流制限のプロファイルをMOSFETのデータシートのSOA曲線に重ね合わせる方法が優れています。

SiR818DP MOSFETの場合、この操作によって図6のグラフが得られます。



* $V_{GS} >$ MINIMUM V_{GS} AT WHICH $R_{DS(ON)}$ IS SPECIFIED

図6. SiR818DPのSOAと設計例のMOSFETの電力損失の重ね合わせ

LTC4229のフォールドバック電流制限プロファイルは、図に示すように100msのSOA曲線とだいたい一致しています。このSOA曲線は周囲温度が $25^\circ C$ の場合に限られるので、フォルト・フィルタの最大時間が100msより大幅に短い(10ms以下など)ことも検討する必要があります。 C_{FT} の値として0.1 $\mu F \pm 10\%$ を選択すると、フォルト・フィルタの最大時間として1.75msが得られます。この値はどのような過電流フォルト・シナリオの間もMOSFETを保護するのに十分小さい値である必要があります。

次に、OVピンとUVピンに接続する抵抗分割器の値を選択します。この抵抗分割器は、12V入力電源の過電圧しきい値および低電圧しきい値をそれぞれ15.2Vおよび9.8Vに設定します。OVピンとUVピンの漏れ電流は、それぞれ $\pm 1\mu A$ 程度の大きさになる可能性があるため、抵抗分割器の全抵抗は、

アプリケーション情報

発生するオフセット誤差が最小限に抑えられるように十分小さい値にする必要があります。次の式に基づいて下側の抵抗 R1 を計算し、漏れ電流による誤差が ±0.5% 未満という結果を得ます。

$$R1 = \left(\frac{V_{OV(TH)}}{2 \cdot I_{IN(LEAK)}} \right) \cdot 0.5\% = \left(\frac{1.235V}{2\mu A} \right) \cdot 0.5\% = 3k$$

R1 として 2k を選択して ±0.5% 未満の誤差を達成し、R2/R3 を計算すると、次のようになります。

$$R2 = \left(\frac{V_{IN(OV)}}{V_{IN(UV)}} - 1 \right) \cdot R1 = \left(\frac{15.2V}{9.8V} - 1 \right) \cdot 2k = 1.1k$$

$$R3 = \left(\frac{V_{IN(UV)}}{V_{UV(TH)}} - 1 \right) \cdot (R1 + R2)$$

$$R3 = \left(\frac{9.8V}{1.235V} - 1 \right) \cdot (2k + 1.1k) = 21.5k$$

OV ピンと UV ピンの全漏れ電流 ($2 \cdot I_{IN(LEAK)}$) が R3 に流れることによって生じる OV ピンと UV ピンのワーストケースのしきい値オフセット電圧誤差は、それぞれ ±0.29% および ±0.44% と計算されます。

パワーグッドしきい値を 10.5V に設定するために、FB ピンの抵抗分割器の値を選択する作業が残っています。FB ピンには ±1μA の漏れ電流があることを念頭に置いて、下側抵抗 R4

の値として 2k を選択します。上側の抵抗 R5 を計算すると、次の結果が得られます。

$$R5 = \left(\frac{V_{OUT(PG)}}{V_{FB(TH)}} - 1 \right) \cdot R4 = \left(\frac{10.5V}{1.235V} - 1 \right) \cdot 2k = 15k$$

FB ピンの漏れ電流によって生じるオフセット誤差は ±0.14% 未満になります。

検討すべき最後の部品は、INTV_{CC} ピンに接続する 0.1μF のバイパス・コンデンサ (C1) です。

PCB レイアウトに関する検討事項

正確な電流検出を達成するため、検出抵抗に対してはケルビン接続を推奨します。配線による誤差を最小限に抑えるため、PCB レイアウトはバランスのとれた対称形にします。さらに、検出抵抗とパワー MOSFET の PCB レイアウトには、デバイスの電力損失を最適化するのに適した熱管理手法を使用します。PCB の推奨レイアウトを図 7 に示します。

IN ピンと OUT ピンのトレースは MOSFET の端子にできるだけ近づけて接続します。MOSFET へのトレースは幅を広く、長さを短くして抵抗性の損失を最小限に抑えます。MOSFET を通る電力経路に関連する PCB トレースは抵抗を小さくします。PCB トレースの抵抗、電圧降下、温度上昇を最小限に維持するために推奨する 1 オンスの銅箔のトレース幅は、1A の DC 電流あたり 0.03 インチです。1 オンスの銅箔のシート抵抗は約

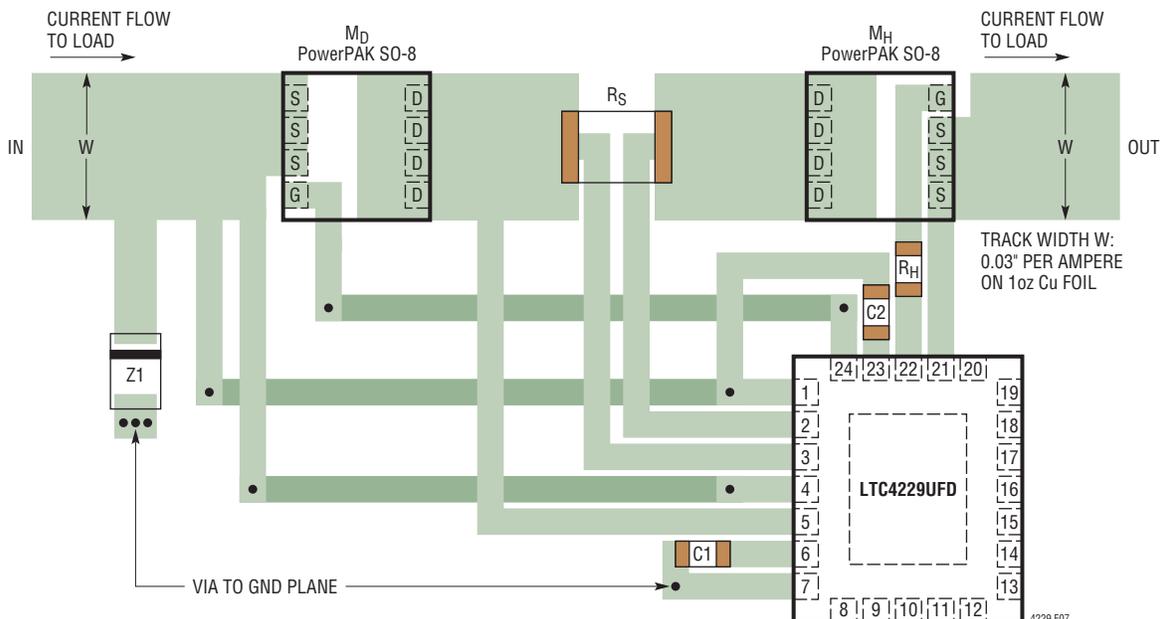


図 7. パワー MOSFET と検出抵抗の推奨 PCB レイアウト

アプリケーション情報

0.5mΩ/平方であり、大電流アプリケーションではトレース抵抗による電圧降下が急激に増大することに注意してください。

INTV_{CC}ピンのバイパス・コンデンサC1をINTV_{CC}とGNDの間にできるだけ近づけて配置することも重要です。C2もCPOピンとDSRCピンの近くに配置します。トランジェント電圧サプレッサZ1を使用する場合は、短いリード長でLTC4229の近くに実装します。

理想ダイオード MOSFET および Hot Swap MOSFET の柔軟な構成

LTC4229は、理想ダイオード制御用および活線挿抜制御用のNチャネルMOSFETであるM_DおよびM_Hの順序を、それぞれ電源側と負荷側の間で入れ替える柔軟性を備えています。

2つの入力電源をSENSE⁺ピンでダイオードOR接続し、下流でカード常駐アプリケーションの活線挿抜制御を行うことができる構成を図8に示します。LTC4229がバックプレーン上にあるアプリケーションでは、図9および図10に示すように、2つの電源が出力でダイオードOR接続されます。MOSFET M_DをMOSFET M_Hの下流に配置することにより、入力から電源を取り外した後に専用のバイパス・コンデンサで少量の負荷の通電状態を維持できるアプリケーションを図11に示します。SENSE⁺ピンが理想ダイオードによって瞬間的な負の入力トランジェントから保護されている図9の回路とは異なり、図10および11の負荷は電圧の低下に対してはるかに影響を受けやすくなっています。この理由は、SENSE⁺ピンのUVLOしきい値である1.9Vより電圧が低下する入力トランジェントによってHGATEピンが“L”になり、このためにMOSFET M_Hのゲート容量や外付け容量の電荷が放電されて、Hot Swapコントローラの回復時間が長くなることがあるからです。

LTC4229の理想ダイオードとHot Swapコントローラは独立して動作するので、MOSFET M_DおよびM_Hは、図12に示すように、2つの異なる電源で同時に動作するよう構成することもできます。一方の電源が供給されない場合、LTC4229は残りの電源を使用して引き続き動作します。内部のINTV_{CC}レギュレータの電源は、INピン、SENSE⁺ピン、およびOUTピンの内部ダイオードOR回路から供給されるからです。

電源プライオリタイザ

2つの電源のうち、単に電圧の高い方を使用するのではなく、優先順位に基づいてどちらかを出力に接続するアプリケーションを図14に示します。5Vの主電源(V_{IN1})は、供給可能なときは必ず出力に供給されます。主電源を供給できない場合のみ、12Vのバックアップ電源(V_{IN2})から電力が供給されます。R6とR7の抵抗分割器でDOFFピンに設定される4.7Vのしきい値よりV_{IN1}の方が高い限り、バック・トゥ・バックの理想ダイオードMOSFET (M_{D1}およびM_{D2})はオフになり、別の理想ダイオード・コントローラLTC4352が制御するM_{D3}を介してV_{IN1}を出力に接続できます。M_{D1}およびM_{D2}の共通のソース端子はDSRCピンに接続されています。これにより、M_{D1}のボディダイオードは、電圧の高いバックアップ電源(V_{IN2})から出力へ電流が逆流しないよう遮断することができます。主電源に障害が発生してV_{IN1}が4.3Vより低くなると、DOFFピンの電圧によってM_{D1}およびM_{D2}をオンにして、V_{IN2}を出力に接続することができます。V_{IN1}が持続動作可能な電圧に戻ると、M_{D1}およびM_{D2}はオフになり、出力はV_{IN1}に接続されます。R6とR7の抵抗分割器にR8を追加し、 $\overline{\text{DSTAT}}$ ピンの制御によってR8をバイパスすると、DOFFピンのヒステリシスを20mVから100mVに増やすことができます。OVピンとUVピンに接続した抵抗分割器により、SENSE⁺ピンでの過電圧しきい値と低電圧しきい値はそれぞれ15Vおよび4.1Vに設定されます。

Hot Swap MOSFET の下流に理想ダイオードがあるアプリケーション

Hot Swap MOSFETが電源側に配置され、理想ダイオードMOSFETが負荷側に配置されてソース端子が互いに接続されているアプリケーションを図15に示します。理想ダイオードの電圧は、M_Dの両端、つまりINピンとDSNSピンの間で検出されます。12V電源を接続すると、そこから負荷に電力が供給され、SENSE⁺ピンの予備バッテリー・セルもM_Hおよび(M_Dはオフしているので)R6を介して充電されます。電源が切り離されると、M_Dがオンするので、負荷への電力は予備バッテリーによって供給されます。LTC4229の内部12Vクランプ回路が制限するのはHGATEピン-OUTピン間電圧だけなので、入力をグランドに接続するとHot Swap MOSFETのゲート-ソース間ブレークダウン電圧を超える可能性があります。Hot Swap MOSFETがブレークダウンしないようにするには、MOSFETのGATEピンとSOURCEピンの間に外付けツェナー・ダイオードによるクランプ回路が必要です。

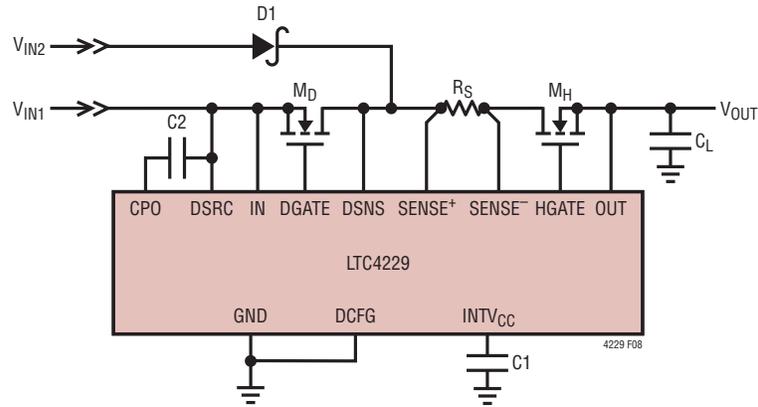


図 8. 理想ダイオード MOSFET の下流に Hot Swap MOSFET があり、 M_D 両端間のダイオードを検出する構成

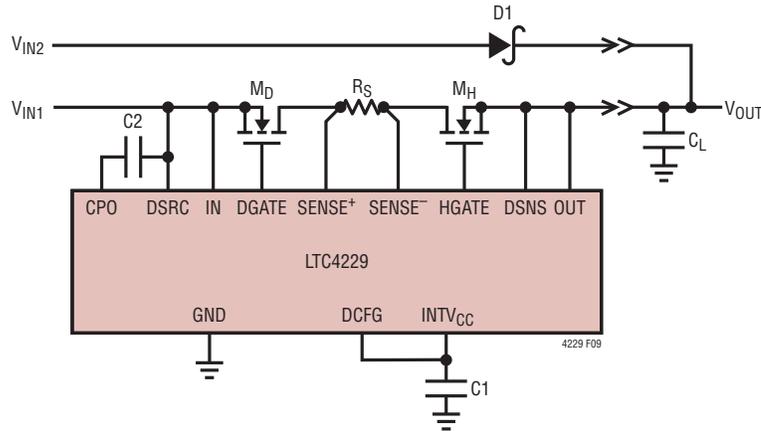


図 9. 理想ダイオード MOSFET の下流に Hot Swap MOSFET があり、 M_D 、 R_S 、 M_H の間のダイオードを検出する構成

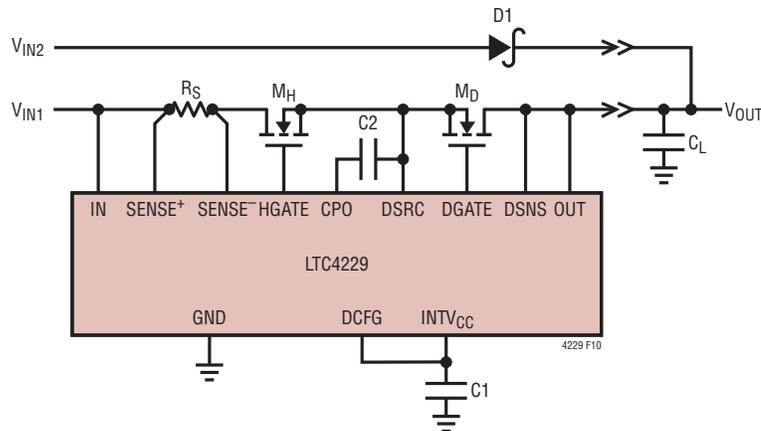


図 10. Hot Swap MOSFET の下流に理想ダイオード MOSFET があり、 R_S 、 M_H 、 M_D の間のダイオードを検出する構成

アプリケーション情報

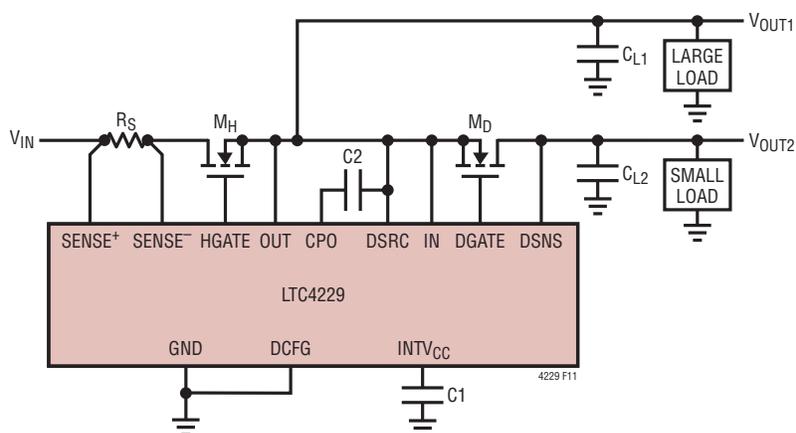


図 11. Hot Swap MOSFET の下流に理想ダイオード MOSFET があり、 M_D 両端間のダイオードを検出する構成

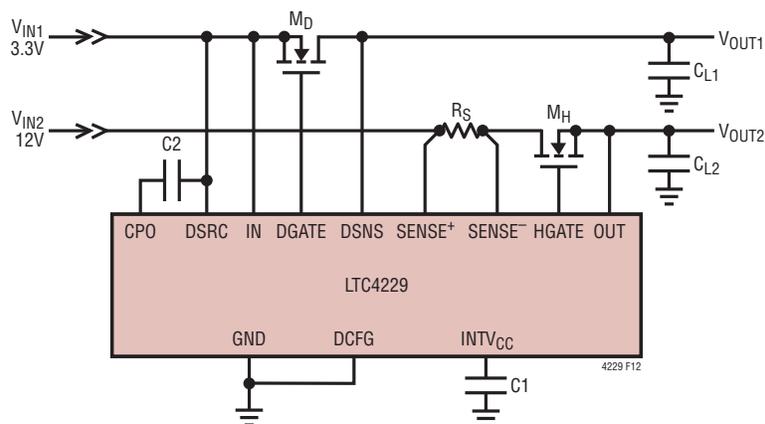


図 12. 理想ダイオード MOSFET と Hot Swap MOSFET の経路が分かれており、 M_D 両端間のダイオードを検出する構成

アプリケーション情報

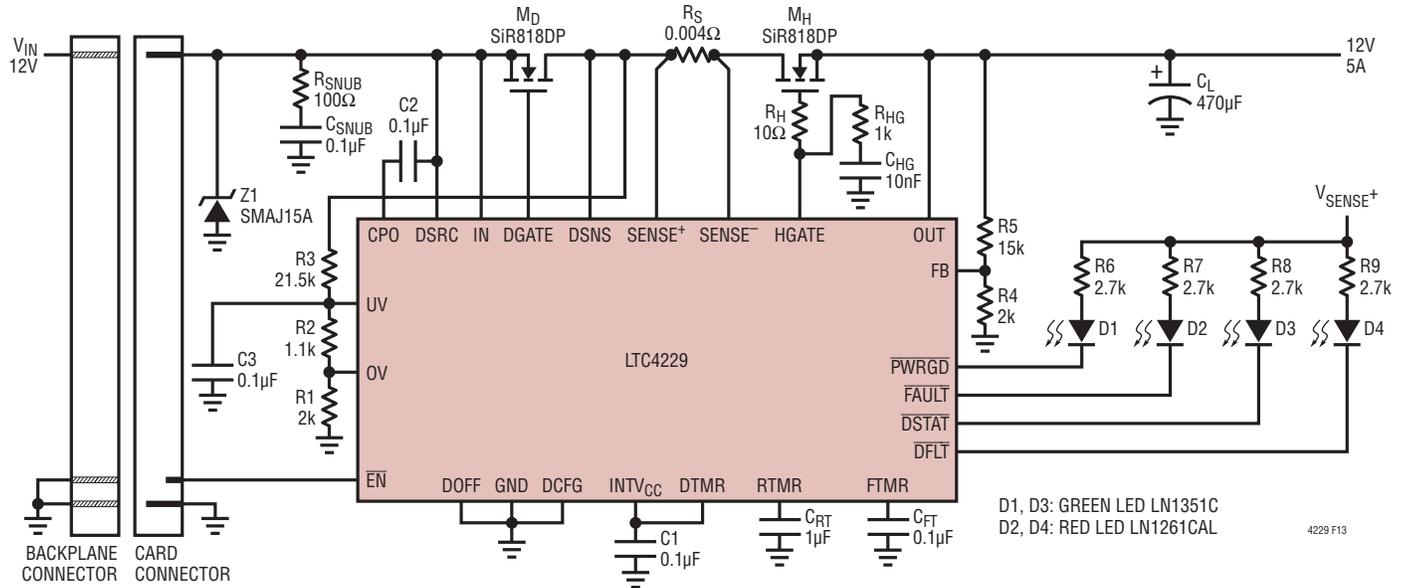


図13. 入りに理想ダイオードを使用したプラグイン式カードの電源電圧保持

アプリケーション情報

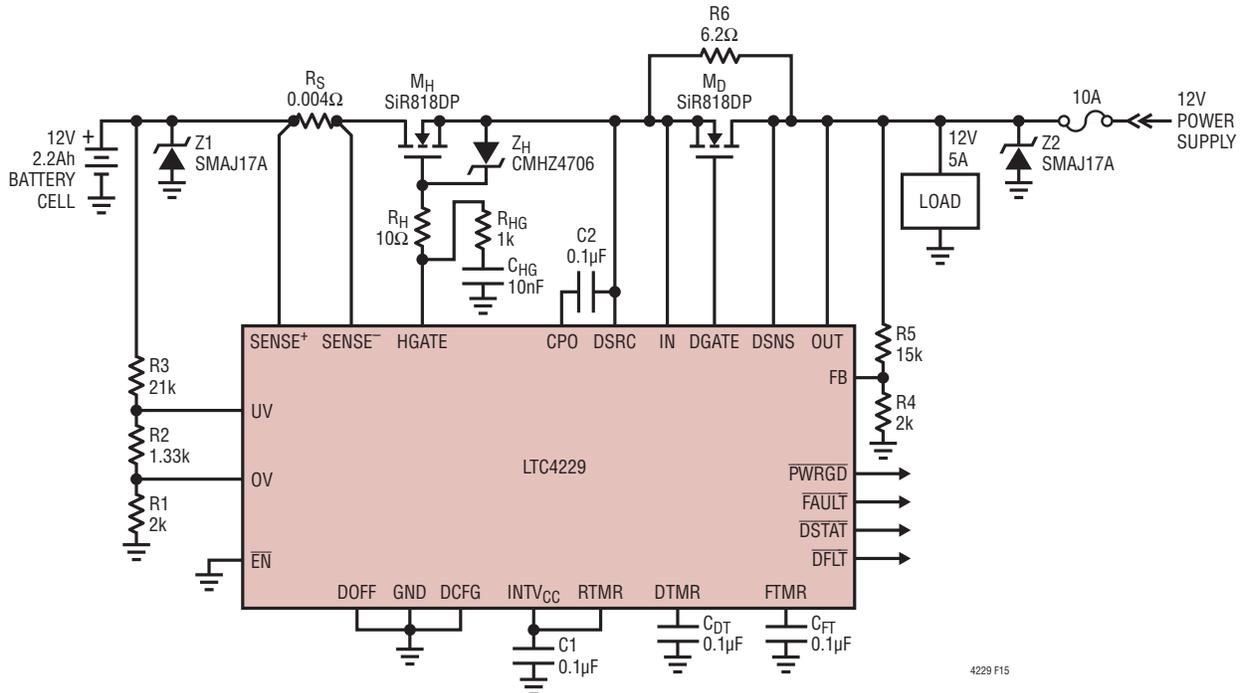


図 15. 電源側に Hot Swap MOSFET、負荷側に理想ダイオード MOSFET を配置したバッテリー・アプリケーション

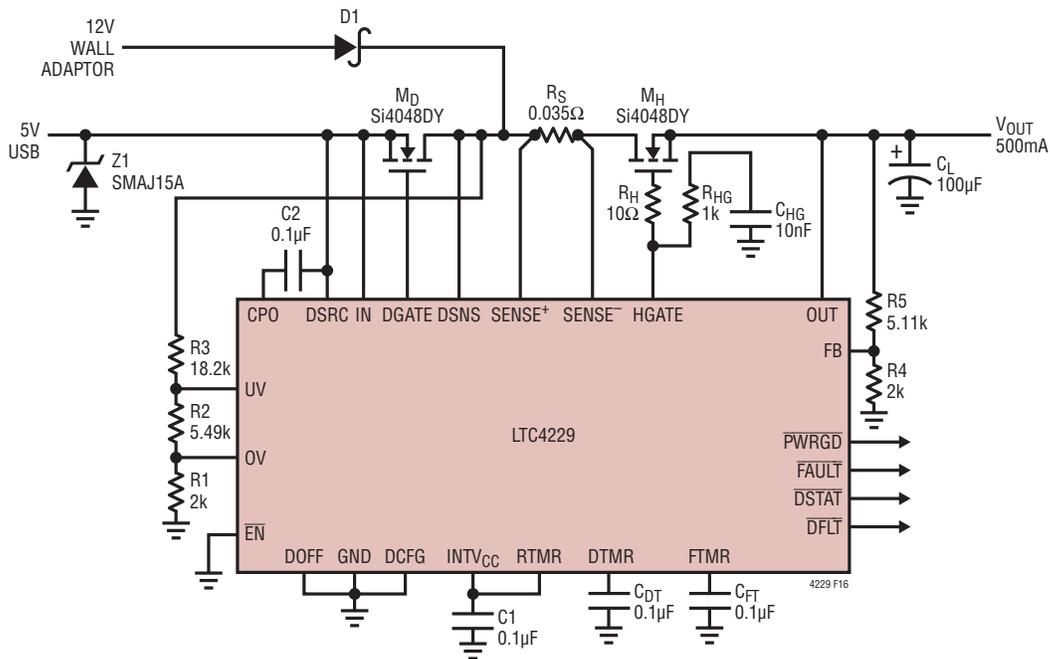
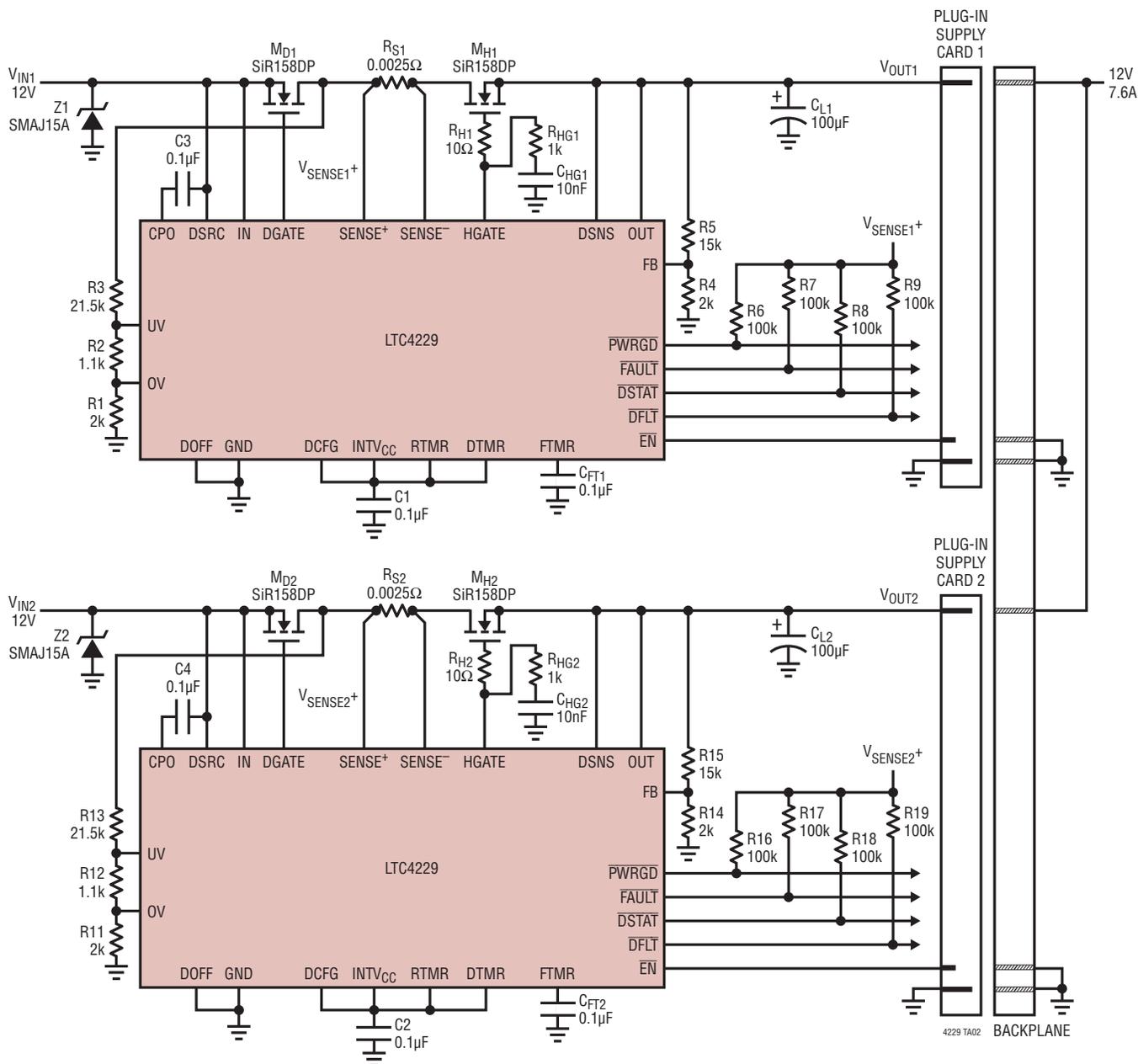


図 16. AC アダプタと組み合わせた USB 電源

標準的応用例

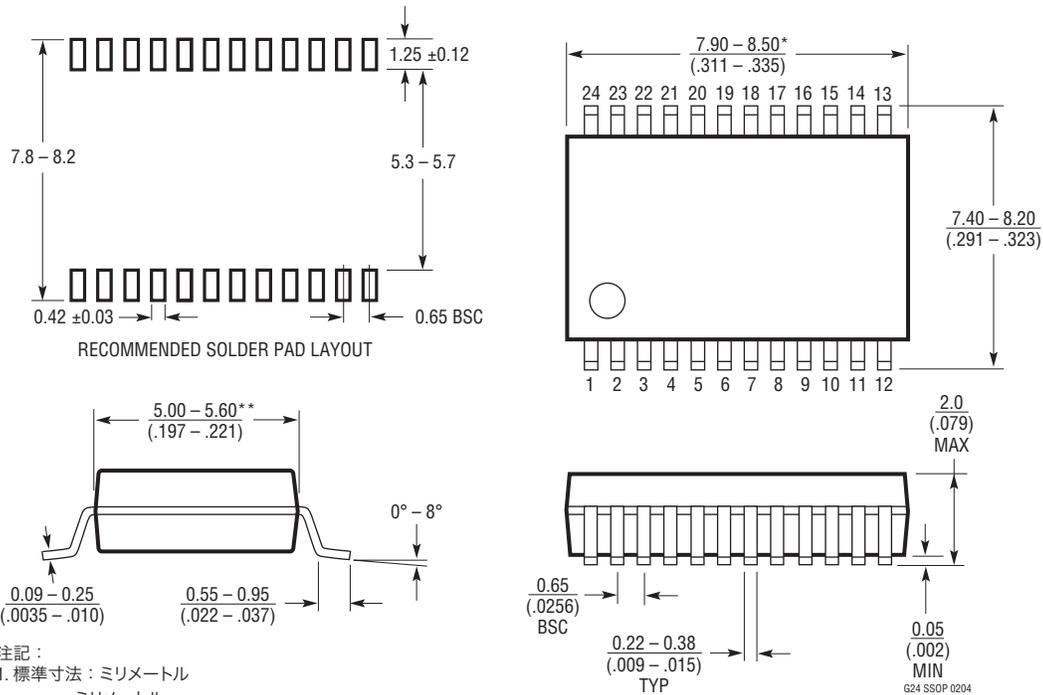
理想ダイオード MOSFET 下流の初段に活線挿抜制御 MOSFET を配置したバックプレーン上でのダイオード OR 接続アプリケーション



パッケージ

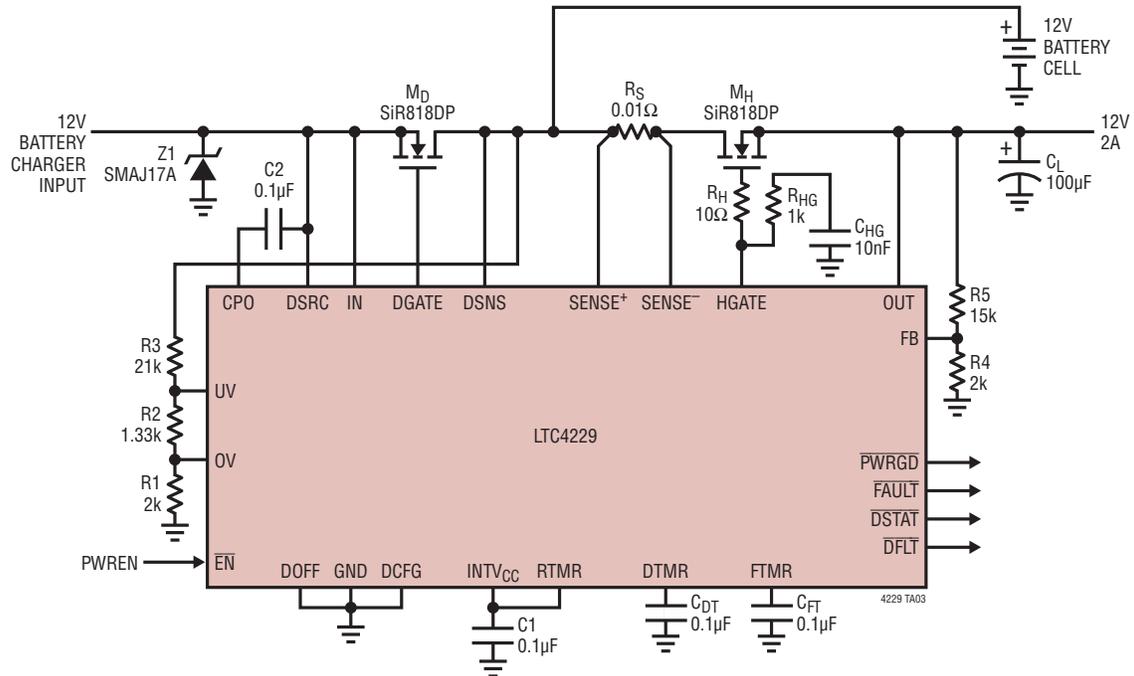
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

G Package
24-Lead Plastic SSOP (5.3mm)
 (Reference LTC DWG # 05-08-1640)



標準的応用例

入力に理想ダイオードを接続したバッテリー充電アプリケーション



関連製品

製品番号	説明	注釈
LTC4210	シングル・チャンネル Hot Swap コントローラ	2.7V ~ 16.5V で動作、アクティブ電流制限、TSOT23-6
LTC4211	シングル・チャンネル Hot Swap コントローラ	2.5V ~ 16.5V で動作、多機能電流制御、MSOP-8、SO-8 または MSOP-10
LTC4215	シングル・チャンネル Hot Swap コントローラ	2.9V ~ 15V で動作、I ² C 互換モニタ、SSOP-16 または QFN-24
LTC4216	シングル・チャンネル Hot Swap コントローラ	0V ~ 6V で動作、アクティブ電流制限、MSOP-10 または DFN-12
LTC4218	シングル・チャンネル Hot Swap コントローラ	2.9V ~ 26.5V で動作、アクティブ電流制限、SSOP-16 または DFN-16
LTC4221	デュアル・チャンネル Hot Swap コントローラ	1V ~ 13.5V で動作、多機能電流制御、SSOP-16
LTC4222	デュアル・チャンネル Hot Swap コントローラ	2.9V ~ 29V で動作、I ² C 互換モニタ、SSOP-36 または QFN-32
LTC4223	両電源 Hot Swap コントローラ	12V と 3.3V を制御、アクティブ電流制限、SSOP-16 または DFN-16
LTC4224	デュアル・チャンネル Hot Swap コントローラ	1V ~ 6V で動作、アクティブ電流制限、MSOP-10 または DFN-10
LTC4227	デュアル理想ダイオードおよびシングル Hot Swap コントローラ	2.9V ~ 18V で動作、3つの N チャンネルを制御、SSOP-16 または QFN-20
LTC4228	デュアル理想ダイオードおよび Hot Swap コントローラ	2.9V ~ 18V で動作、4つの N チャンネルを制御、SSOP-28 または QFN-28
LTC4352	低電圧理想ダイオード・コントローラ	0V ~ 18V で動作、N チャンネルを制御、MSOP-12 または DFN-12
LTC4353	デュアル低電圧理想ダイオード・コントローラ	0V ~ 18V で動作、2つの N チャンネルを制御、MSOP-16 または DFN-16
LTC4355	正の高電圧理想ダイオード OR およびモニタ	9V ~ 80V で動作、2つの N チャンネルを制御、SO-16、DFN-14 または MSOP-16
LTC4357	正の高電圧理想ダイオード・コントローラ	9V ~ 80V で動作、N チャンネルを制御、MSOP-8 または DFN-6
LTC4358	5A 理想ダイオード	9V ~ 26.5V で動作、N チャンネルを内蔵、TSSOP-16 または DFN-14