

動作範囲の広い デュアル・ホットスワップ・ コントローラ

特長

- 通電中のバックプレーンへの安全な基板挿入が可能
- 選択可能な電流制限およびデュアル・レート・タイマにより負荷サージに適応
- 高速応答によるピーク・フォルト電流の制限
- 広い動作電圧範囲: 4.5V ~ 44V
- 過電流フォルト後の自動再試行またはラッチオフ (オプション)
- 外付けNチャンネルMOSFETの高電位側駆動
- 大電流アプリケーション用に並列電力経路が可能
- 16ピンQFNパッケージ(3mm×3mm)およびMSOPパッケージで供給可能

アプリケーション

- Apple FireWire/IEEE 1394
- ディスク・ドライブ装置
- 堅牢な12V、24Vアプリケーション
- 基板/コネクタの活線挿入
- 単方向/双方向の電流制限回路/回路ブレーカ

概要

LTC®4226デュアルHot Swap™コントローラは、通電中のバックプレーンまたは給電中のコネクタに対する2つの電力経路の挿入および除去を安全に行うことができます。Nチャンネルのパス・トランジスタを使用することにより、範囲が4.5V ~ 44Vの電源電圧は調整可能な速度で上昇します。

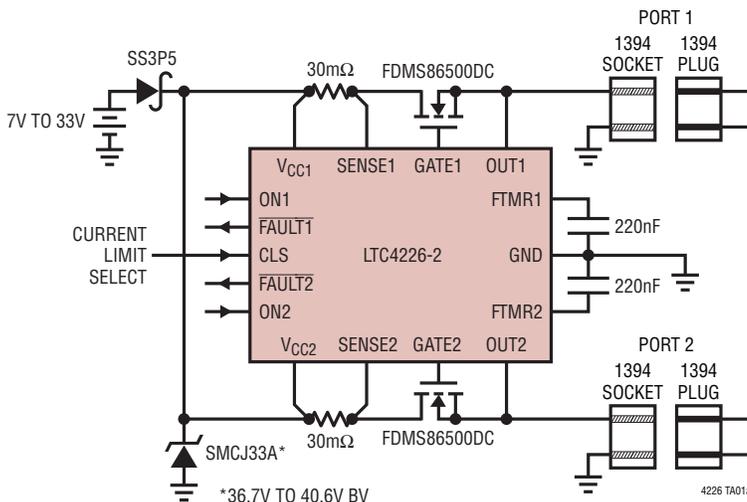
電流制限値と回路ブレーカしきい値の比を3種類から選択できるので、ノイズの多い負荷や瞬間的に大きなピーク電流に対して中断することなく適応し、さらにデュアル・レートのフォルト・タイマにより、長時間にわたる出力過電流事象からMOSFETを保護します。FAULT出力は回路ブレーカの状態を示します。LTC4226-1はフォルト後オフのままですが、LTC4226-2は0.5秒の遅延後に自動的に再試行します。

LTC4226は、双方向の電流制限回路/回路ブレーカとして構成することもできます。大電流のアプリケーションでは、2つのチャンネルを並列電力経路として構成できます。

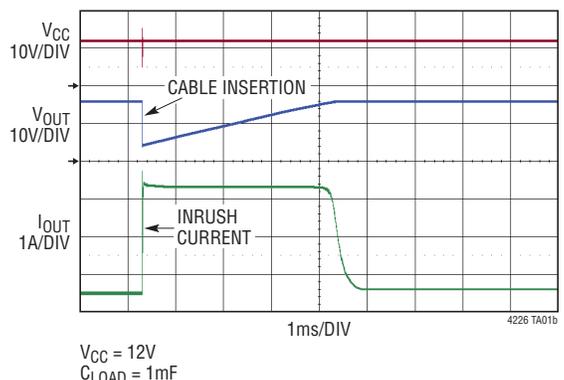
LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

2ポートのFireWireアプリケーション



負荷接続後の突入電流



LTC4226

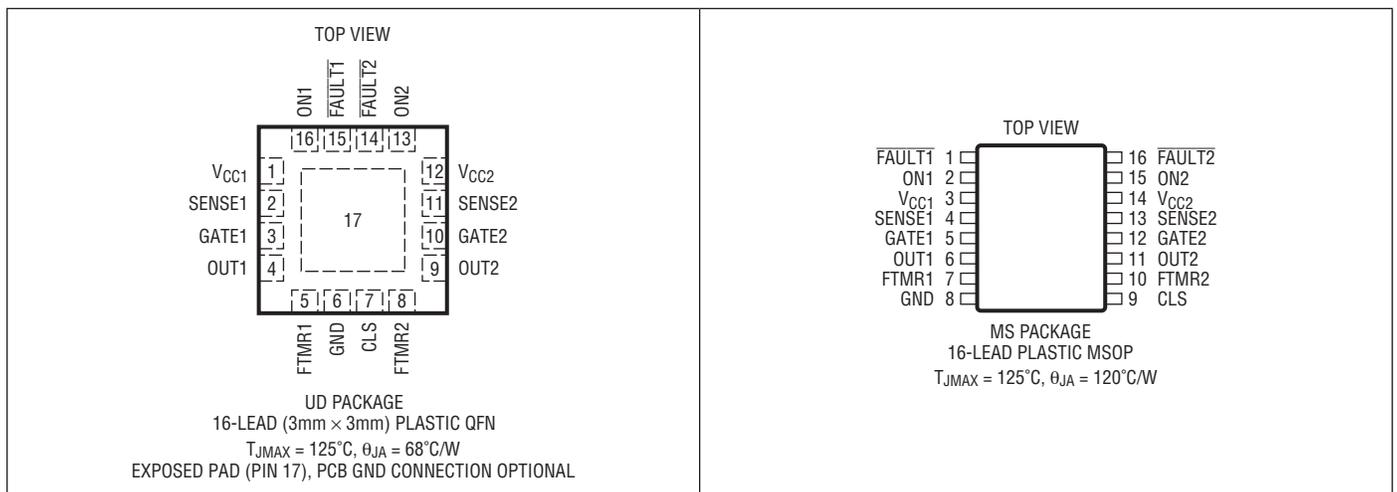
絶対最大定格 (Note 1, 2)

V _{CCn}	-0.3V ~ 55V
SENSE _n , ON _n , FAULT _n , CLS	-0.3V ~ 55V
GATE _n (Note 3)	-0.3V ~ 68V
OUT _n (Note 3)	-0.3V ~ 55V
GATE _n – OUT _n (Note 3)	-0.3V ~ 18V
FTMR _n	-0.3V ~ 4V

動作周囲温度範囲

LTC4226C	0°C ~ 70°C
LTC4226I	-40°C ~ 85°C
保存温度範囲	-65°C ~ 150°C
MSOP リード温度 (半田付け、10 秒)	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4226CUD-1#PBF	LTC4226CUD-1#TRPBF	LFRC	16-Lead (3mm × 3mm) Plastic QFN	0°C to 70°C
LTC4226CUD-2#PBF	LTC4226CUD-2#TRPBF	LFRD	16-Lead (3mm × 3mm) Plastic QFN	0°C to 70°C
LTC4226IUD-1#PBF	LTC4226IUD-1#TRPBF	LFRC	16-Lead (3mm × 3mm) Plastic QFN	-40°C to 85°C
LTC4226IUD-2#PBF	LTC4226IUD-2#TRPBF	LFRD	16-Lead (3mm × 3mm) Plastic QFN	-40°C to 85°C
LTC4226CMS-1#PBF	LTC4226CMS-1#TRPBF	42261	16-Lead Plastic MSOP	0°C to 70°C
LTC4226CMS-2#PBF	LTC4226CMS-2#TRPBF	42262	16-Lead Plastic MSOP	0°C to 70°C
LTC4226IMS-1#PBF	LTC4226IMS-1#TRPBF	42261	16-Lead Plastic MSOP	-40°C to 85°C
LTC4226IMS-2#PBF	LTC4226IMS-2#TRPBF	42262	16-Lead Plastic MSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 12\text{V}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電源							
V_{CCn}	Input Supply Range		●	4.5	44	V	
I_{CCn}	Input Supply Current	$V_{CC} = 12\text{V}$	●	0.7	2	mA	
$V_{CCn(UVL)}$	Input Supply Undervoltage Lockout	V_{CC} Rising	●	3	3.7	4.5	V
$\Delta V_{CCn(HYST)}$	Input Supply Undervoltage Lockout Hysteresis			200		mV	
回路ブレーカおよび電流制限							
V_{CB}	Circuit Breaker Threshold	$(V_{CC} - \text{SENSE})$	●	45	50	55	mV
	Channel-to-Channel V_{CB} Mismatch		●		± 6		%
V_{LIMIT}	Current Limit Voltage	$(V_{CC} - \text{SENSE})$, CLS = 0V	●	70	86	103	mV
		$(V_{CC} - \text{SENSE})$, CLS = Open	●	93	115	136	mV
		$(V_{CC} - \text{SENSE})$, CLS = 3V	●	139	173	205	mV
	Channel-to-Channel V_{LIMIT} Mismatch		●		± 6		%
I_{SENSE}	Sense Pin Input Current	$(V_{CC} - \text{SENSE} = 0\text{V})$	●	40	200	μA	
ゲート駆動							
ΔV_{GATE}	External N-Channel Gate Drive (GATE – OUT)	$I_{GATE} = 0\mu\text{A}$, $-1\mu\text{A}$; $V_{CC} > 6\text{V}$	●	10	12	16	V
		$I_{GATE} = 0\mu\text{A}$, $-1\mu\text{A}$; $V_{CC} < 6\text{V}$	●	8	12	16	V
$I_{GATE(UP)}$	Gate Pull-Up Current	GATE = OUT = 1V	●	-5	-9	-13	μA
$I_{GATE(DN)}$	Gate Pull-Down Current	GATE = 12V, OUT = 0V, ON = 0V	●	1	3	5	mA
		GATE = OUT = $V_{CC} = 12\text{V}$, ON = 0V or FAULT = 0V	●	50	150	300	μA
		GATE = 5V, OUT = 0V, ON = 3V, Severe Fault	●	100	200	1000	mA
コンパレータの入力							
V_{ON}	ON Pin Threshold Voltage	V_{ON} Rising	●	1.17	1.24	1.3	V
$\Delta V_{ON(HYST)}$	ON Pin Hysteresis Voltage			50		mV	
I_{ON}	ON Pin Input Current	$V_{ON} = 1.2\text{V}$	●	0	± 1	μA	
フォルト・タイマ							
$I_{FTMR(CB)}$	FTMR Pin Pull-Up Current (Circuit Breaker)	$V_{FTMR} = 0\text{V}$, Circuit Breaker Fault	●	-1.4	-2	-2.6	μA
$I_{FTMR(CL)}$	FTMR Pin Pull-Up Current (Current Limit)	$V_{FTMR} = 0\text{V}$, Current Limit Engaged, CLS = 0V	●	-14	-20	-26	μA
		$V_{FTMR} = 0\text{V}$, Current Limit Engaged, CLS = Open	●	-25	-36	-46	μA
		$V_{FTMR} = 0\text{V}$, Current Limit Engaged, CLS = 3V	●	-56	-80	-104	μA
$I_{FTMR(DEF)}$	FTMR Pin Pull-Down Current (Default)	$V_{FTMR} = 1\text{V}$, Default	●	1.4	2	2.6	μA
$I_{FTMR(RST)}$	FTMR Pin Pull-Down Current (Reset)	$V_{FTMR} = 1\text{V}$, Reset	●	70	100	130	μA
$V_{FTMR(H)}$	FTMR Pin Threshold Voltage (Trip)		●	1.17	1.23	1.3	V
$V_{FTMR(L)}$	FTMR Pin Threshold Voltage (Reset)		●		0.1	0.2	V
フォルト I/O							
$V_{(OL)}$	FAULT Pin Low Output Voltage	Circuit Breaker Fault, $I_{FAULT} = 2\text{mA}$	●		0.2	0.4	V
$I_{(OL)}$	FAULT Pin Low Output Pull-Down Current	Circuit Breaker Fault, $V_{FAULT} = 5\text{V}$, $V_{CC} = 12\text{V}$	●	2	5	10	mA
V_{FAULT}	FAULT Pin Input Threshold Voltage	No Internal Fault, External Input	●	0.3	0.5	0.8	V
$I_{(OH)}$	FAULT Pin Pull-Up Current	No Internal Fault, $V_{FAULT} = 2\text{V}$	●	-5	-10	-20	μA
$V_{(OH)}$	FAULT Pin High Output Voltage	No Internal Fault, $I_{FAULT} = 0\mu\text{A}$, $V_{CC} = 12\text{V}$	●	2	3.8	5	V

LTC4226

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 12\text{V}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
3状態入力							
$V_{CLS(L)}$	CLS Pin Low Threshold Voltage		●		0.4	V	
$V_{CLS(H)}$	CLS Pin High Threshold Voltage		●	2		V	
$V_{CLS(Z)}$	CLS Pin Voltage in Open State			1.38		V	
$I_{CLS(Z)}$	Allowable CLS Pin Leakage in Open State		●		± 2	μA	
$I_{CLS(L)}$	CLS Pin Low Input Current		●	-2	-4	-8	μA
$I_{CLS(H)}$	CLS Pin High Input Current		●	2	4	8	μA
タイミングの遅延							
$t_{OFF(SENSE)}$	Severe Overcurrent Fault to GATE Low	$C_{GATE} = 1\text{nF}$, ($V_{CC} - SENSE = 4\text{V}$)	●	0.1	1	μs	
$t_{OFF(FAULT)}$	FAULT Input Low to GATE Low	$C_{GATE} = 1\text{nF}$	●	3	6	30	μs
$t_{OFF(FMTR)}$	FTMR High to GATE Low	$C_{GATE} = 1\text{nF}$	●	3	7	30	μs
$t_{OFF(ON)}$	ON Low to GATE Low	$C_{GATE} = 1\text{nF}$	●	25	60	μs	
$t_{OFF(UVLO)}$	V_{CC} Enters Undervoltage to GATE Low	$C_{GATE} = 1\text{nF}$	●	25	60	μs	
$t_{ON(ON)}$	ON High to GATE High	V_{CC} Above Undervoltage	●	5	10	20	ms
	Channel-to-Channel $t_{ON(ON)}$ Mismatch		●		± 10	%	
$t_{ON(UVL)}$	V_{CC} Exits Undervoltage to GATE High	ON High	●	25	50	100	ms
	Channel-to-Channel $t_{ON(UVL)}$ Mismatch		●		± 10	%	
$t_D(\text{COOL})$	Auto-Retry Delay	LTC4226-2 Only	●	0.25	0.5	1	s

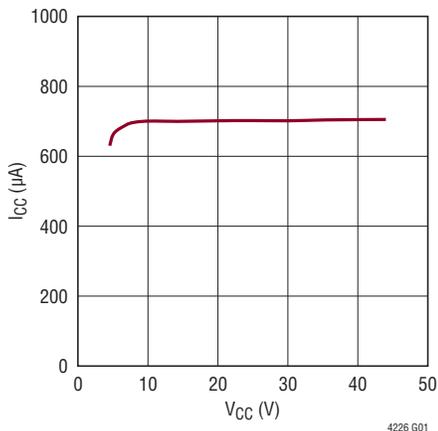
Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 注記がない限り、ピンに流れ込む電流はすべて正であり、すべての電圧はGNDを基準にしている。

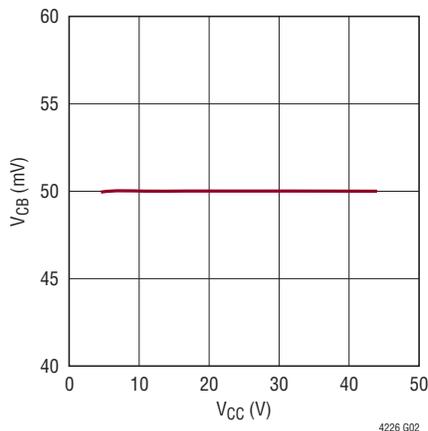
Note 3: 最大定格に対する制限は、いずれかの制限値に最初に達したものと定義する。内部クランプは、GATEピンの電圧をOUTピンの電圧より少なくとも12V高い電圧と、OUTピンの電圧よりダイオードの電圧降下分だけ低い電圧か、GNDよりダイオードの電圧降下分だけ低い電圧に制限する。GATEピン-OUTピン間の電圧をクランプ電圧より高い電圧に駆動するとデバイスを損傷する恐れがある。

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 12\text{V}$ 。

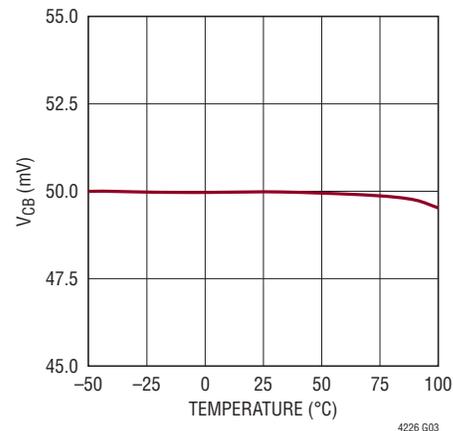
電源電流と電源電圧



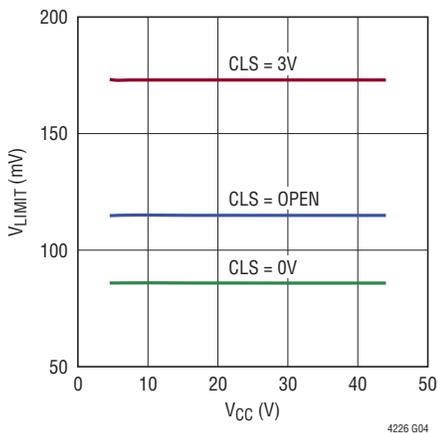
回路ブレーカ電圧と電源電圧



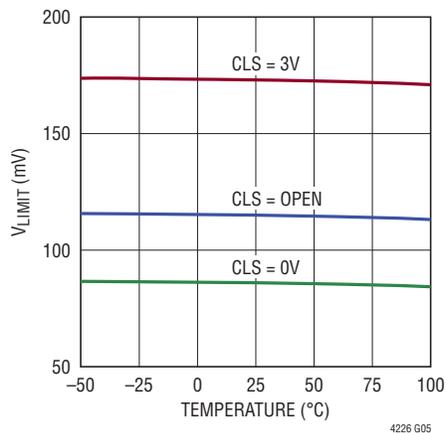
回路ブレーカ電圧と温度



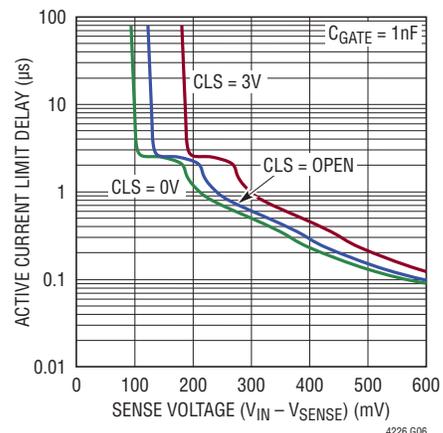
電流制限電圧と電源電圧



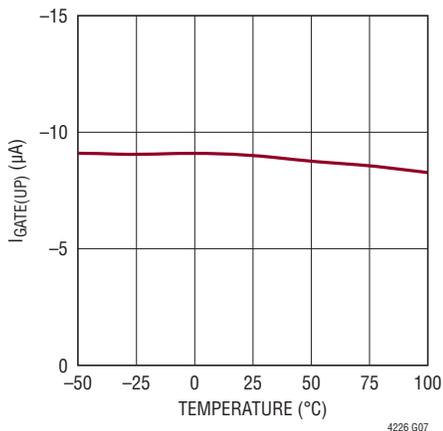
電流制限電圧と温度



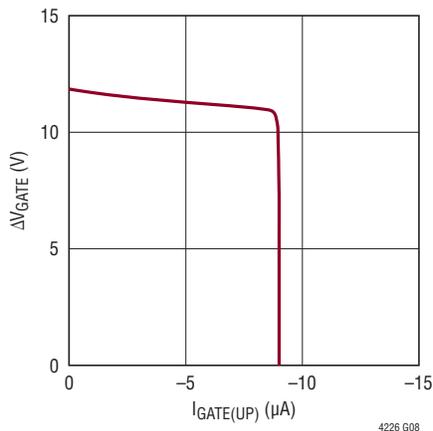
アクティブな電流制限遅延と検出電圧



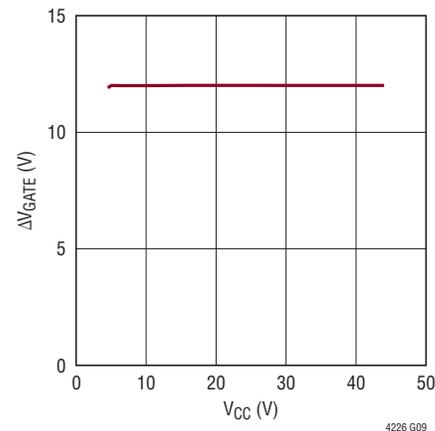
ゲートのプルアップ電流と温度



ゲート電圧とゲートのプルアップ電流



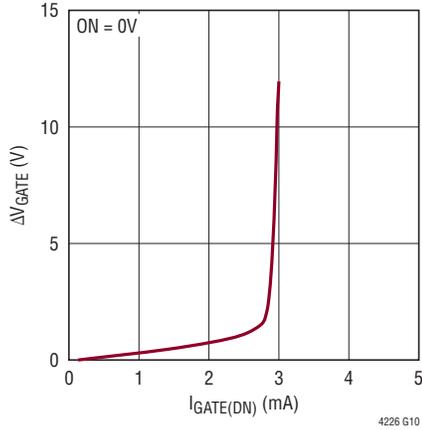
ゲート電圧と電源電圧



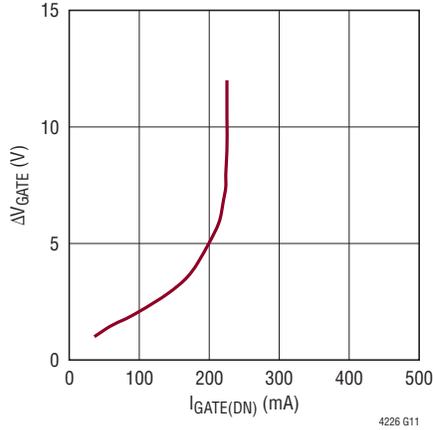
LTC4226

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 12\text{V}$ 。

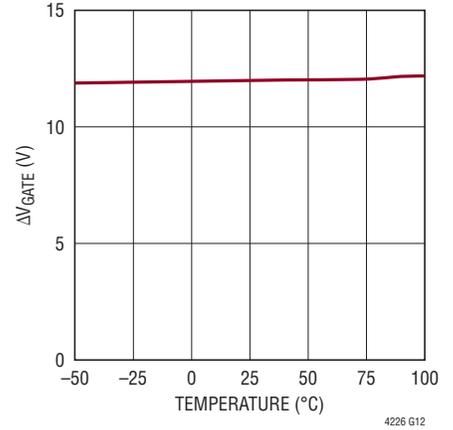
ゲート電圧とゲートの
プルダウン電流



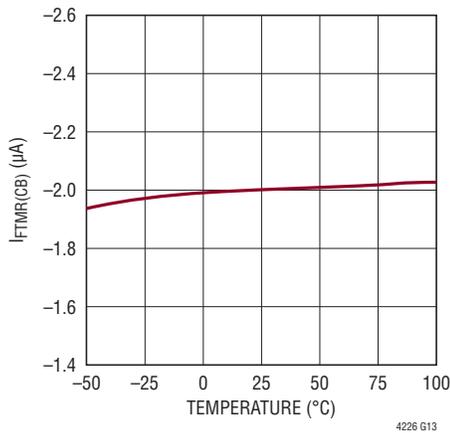
ゲート電圧と重大なフォルト時の
ゲート・プルダウン電流



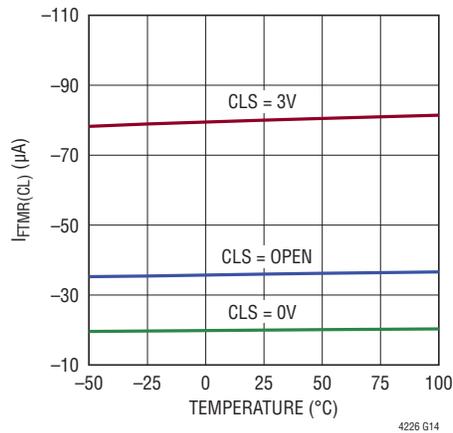
ゲート電圧と温度



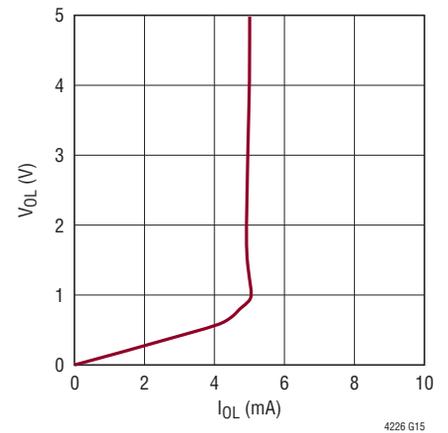
回路ブレーカのタイマ電流と温度



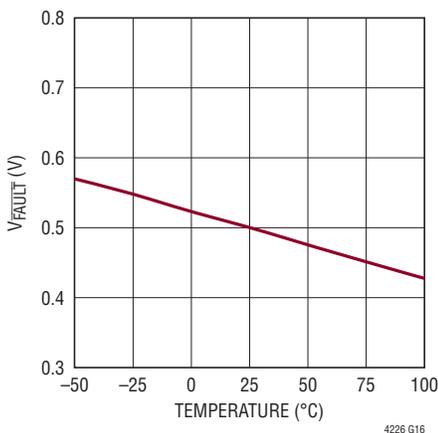
電流制限回路のタイマ電流と温度



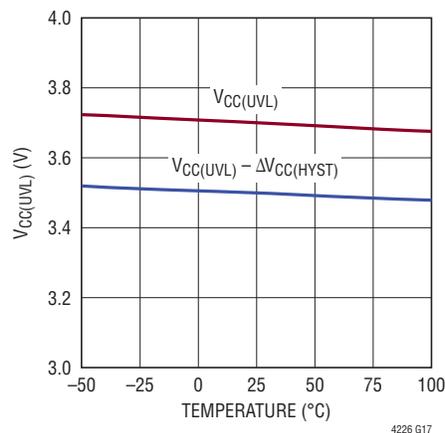
フォルト出力“L”の電圧と電流



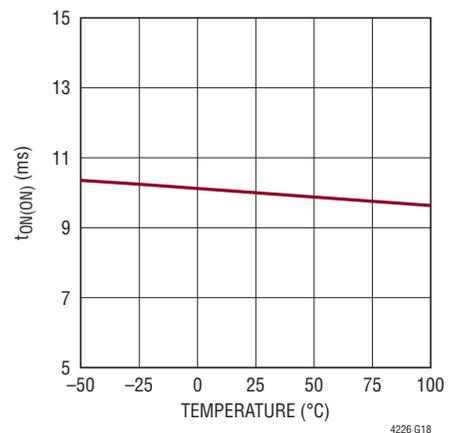
フォルト入力のしきい値電圧と
温度



電源の低電圧ロックアウトと温度



ONピンのターンオン時間と温度



ピン機能

CLS: 3 状態の電流制限選択入力。このピンを“L”に接続すると電流制限値は1.5 倍になり、このピンを開放状態にすると電流制限値は2 倍になり、このピンを“H” (2V 超) に接続すると電流制限値は3 倍になります。電流制限値を高くすればするほど、電流制限回路を起動せずに、より大きい電流トランジェントを通過させることができます。CLS ピンにより、動的な電流制限を選択できます。3 つの入力状態により、プリセット電流制限電圧 V_{LIMIT} は $1.15 \cdot V_{CB}$ の約 1.5 倍、2 倍、または 3 倍に設定されます。

露出パッド: 露出パッドは開放のままにするか、デバイスのグラウンドに接続することができます。

FAULT1, FAULT2: FAULT の入力状態または出力状態。FTMR ピンの電圧が V_{FTMR} (H) しきい値に達すると、フォルト状態がアクティブになり、FAULT ピン出力は“L”になります。フォルトが非アクティブ状態のときは、 $10\mu A$ の電流源により、このピンはその内部電源電圧よりダイオードの順方向電圧だけ低い値になります。FAULT ピンを“L”にすると、FTMR ピンの状態に影響を及ぼさずに外付けの MOSFET をオフにすることができます。FAULT ピンはラッチされません。

FTMR1, FTMR2: フォルト・タイマ。コンデンサにより、デュアル・レート of フォルト・タイマ時間 (回路ブレーカ CB のタイムアウトと電流制限回路 CL のタイムアウト) が設定されます。検出抵抗の電圧が $V_{CB} \sim V_{LIMIT}$ の範囲に入ると、FTMR ピンの電圧は I_{FTMR} (CB) によって上昇します。検出抵抗の電圧が V_{LIMIT} 以上になると、FTMR ピンの電圧は I_{FTMR} (CL) によって上昇します。検出抵抗の電圧が V_{CB} より低くなると、FTMR ピンの電圧は I_{FTMR} (DEF) によって低くなります。FTMR ピンの電圧が V_{FTMR} (H) しきい値に達すると、フォルト状態はアクティブになります。FTMR ピンの電圧をリセットするには、ON ピンを“L”にするか、対応する電源電圧を低電圧ロックアウトしきい値より低くします。FTMR ピンに取り付けられているコンデンサは I_{FTMR} (RST) によって GND 電位になり、フォルト状態がクリアされます。LTC4226-1 のラッチオフ・オプションでは、ON ピンの電圧をサイクルさせるか、対応する電源を低電圧状態にすることによってフォルトをクリアするまで MOSFET はオフのままです。LTC4226-2 の自動再試行オプションでは、遅延時間 t_D (COOL) の経過後、FTMR ピンの電圧がリセットされ、フォルト状態がクリアされて、GATE ピンの電圧が次第に上昇します。LTC4226-2 は、ON ピンの電圧をサイクルさせるか、対応する電源を低電圧状態にすることによって強制的に再起動することができます。

GATE1, GATE2: 外付けの N チャネル MOSFET のゲート駆動ピン。ゲート・ドライバは、MOSFET のゲート・ピンとソース・ピンにそれぞれ接続している GATE ピンと OUT ピンの間に電圧を加えることにより、外付けの N チャネル MOSFET スイッチを制御します。チャージ・ポンプ回路が GATE ピンで $9\mu A$ の電流を流し出すことにより、外付けの MOSFET がオンします。MOSFET がオンになると、GATE ピンの電圧は OUT ピンより ΔV_{GATE} だけ高い電圧でクランプされます。MOSFET がオフしている間、GATE ピンの電圧は $3mA$ のプルダウン電流によって放電され、約 $2.85mA$ の電流が OUT ピンに流れます。重大なフォルトが発生すると、GATE ピンの電圧は $100mA$ 以上の電流によって OUT ピンへ放電されます。MOSFET がオフになると、GATE ピンの電圧は $150\mu A$ の電流によってグラウンドの方向へ向かい、電圧クランプによって GATE ピンの電圧は OUT ピンの電圧よりダイオードの順方向電圧だけ低い電圧に制限されます。

GND: デバイスのグラウンド。

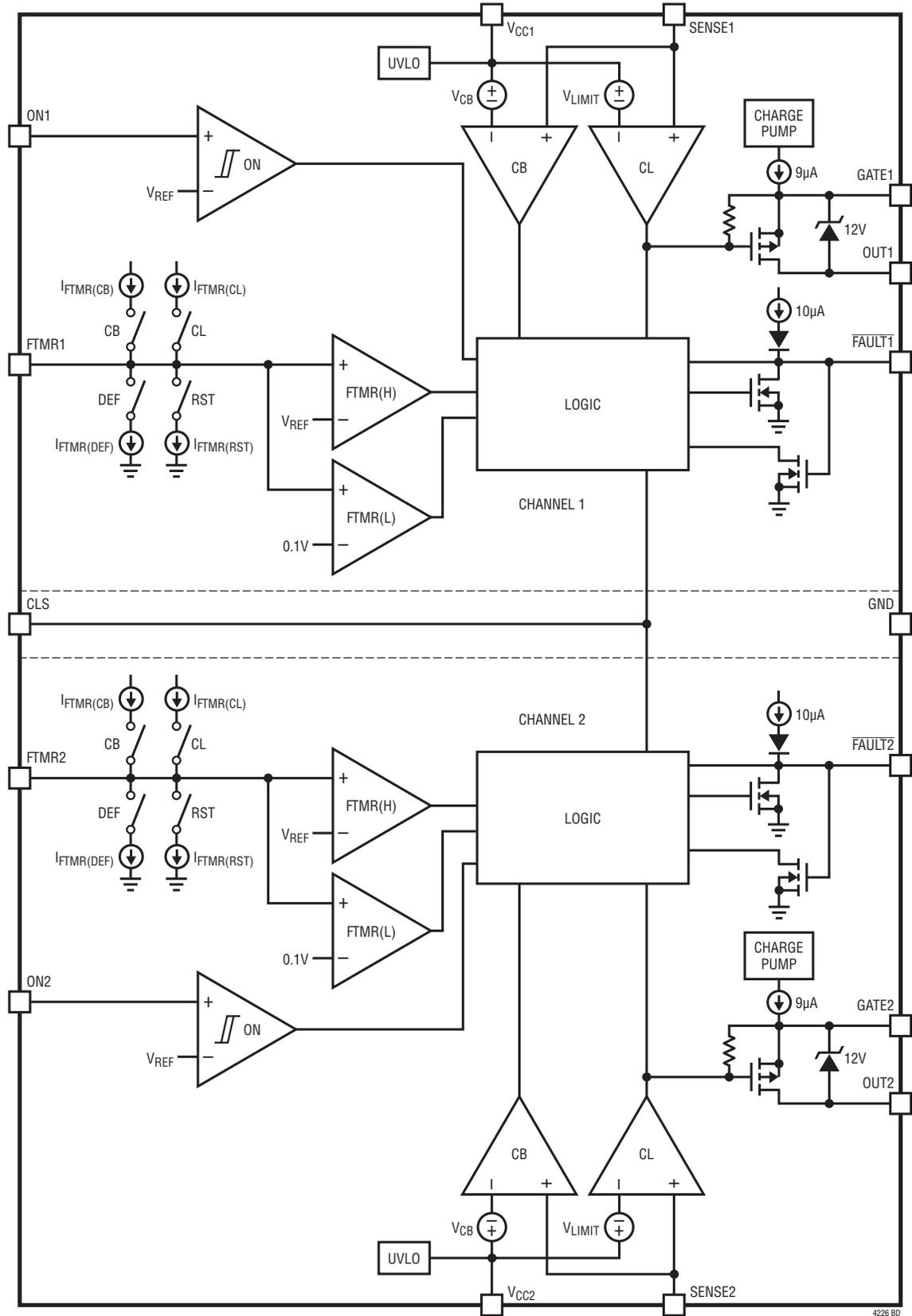
ON1, ON2: ON コンパレータの制御入力。ON ピンのしきい値は $1.23V$ で、これには $50mV$ のヒステリシスがあります。このピンの入力を“H”にすると、 $10ms$ の遅延後に外付け MOSFET がオンになります。このピンの入力を“L”にすると、外付け MOSFET はオフになり、回路ブレーカのフォルトはリセットされます。

OUT1, OUT2: ゲート駆動回路の帰路。このピンは外付けの N チャネル MOSFET スイッチのソースに接続してください。このピンは、ゲート・プルダウン回路の帰路になります。GATE ピンの電圧が OUT ピンの電圧より低いと、内部のクランプ・ダイオードによってこの OUT ピンから電流が流れます。

SENSE1, SENSE2: 電流検出回路の負入力。回路ブレーカ・コンパレータおよび電流制限アンプは、検出抵抗両端の電圧をモニタします。電流制限アンプは、外付け MOSFET のゲートを制御して、検出抵抗の電圧を V_{LIMIT} に保ちます。回路ブレーカ・コンパレータのしきい値を瞬間的に超えるノイズの多い負荷に対応するため、電流制限のしきい値は回路ブレーカのしきい値より高く設定されています。

V_{CC1}, V_{CC2}: 電源電圧および電流検出回路の正入力。V_{CC} が $50ms$ の間ロックアウト電圧 $V_{CC}(UVL)$ より高いと、低電圧ロックアウト回路が MOSFET スイッチをディスエーブルします。

機能ブロック図



動作

LTC4226は、独立した2つのホットスワップ・チャンネルを制御します。このデバイスは各電源のオンとオフを制御方式で行うよう設計されているので、給電中のコネクタやバックプレーンへの活線挿入が可能です。

LTC4226がチャンネルの出力に電力を供給するのは、そのチャンネルのV_{CC}ピンの電圧が3.7Vの低電圧ロックアウトしきい値V_{CC(UVL)}より高い値に50msより長い時間維持され、そのONピンの電圧がしきい値V_{ON}より高い値に10msより長い時間維持された場合です。通常動作の間は、チャージ・ポンプ回路が、負荷に電力を供給する外付けのNチャンネルMOSFETをオンします。各チャンネルのチャージ・ポンプ回路は、各チャンネル専用のV_{CC}電源ピンから電力を得ます。MOSFETを保護するため、GATEピンの電圧はOUTピンの電圧より約12V高い電圧でクランプされます。GATEピンの電圧は、OUTピンの電圧よりダイオードの順方向電圧だけ低い電圧と、GNDよりダイオードの順方向電圧だけ低い電圧でもクランプされます。

MOSFETを流れる電流は、外付けの検出抵抗で測定します。検出抵抗両端の検出電圧は、V_{CC}ピンとSENSEピンの間で測定します。LTC4226は、回路ブレーカ(CB)しきい値を超える検出電流を検出する回路ブレーカ・コンパレータと、電流制限しきい値で検出電流を能動的にクランプする電流制限(CL)アンプを内蔵しています。CBコンパレータとCLアンプは、どちらもV_{CC}ピンとSENSEピンの間の検出抵抗電圧をモニタします。検出電圧がV_{CB}を超えているがV_{LIMIT}よりは低い場合、CBコンパレータは、FTMRピンの電圧を上昇させる2 μ AのI_{FTMR(CB)}電流源をイネーブルします。検出抵抗の電圧がV_{LIMIT}を超えると、CLアンプはアクティブな制御ループを使用してGATEピン-OUTピン間電圧を低下させることにより、MOSFETを流れる電流を制限します。CLアンプは応答が高速なので、OUTピン-GND間が短絡した場合でも、GATEピン-OUTピン間電圧の利得を迅速に制御できます。FTMRピンの電圧は、電流制限がアクティブな間はより大きいI_{FTMR(CL)}電流源によって上昇します。検出電圧がV_{CB}より低くなると、FTMRピンの電圧はデフォルトの2 μ A I_{FTMR(DEF)}プルダウン電流によって下降します。

FTMRピンの電圧がV_{FTMR(H)}しきい値まで上昇する原因となる過電流状態がV_{CB}より高い電圧でも解消されないと、フォルト・タイムアウトが発生します。この状態が発生すると、MOSFETはオフになり、FAULTピンは“L”にアサートされます。FTMRには2つのタイムアウト時間があります。電流制限回路が動作していない場合は、電流の小さいI_{FTMR(CB)}による電圧上昇を使用した時間の長い回路ブレーカ(CB)タイムアウトであり、電流制限回路が動作している場合は、電流の大きいI_{FTMR(CL)}による電圧上昇を使用した時間の短い電流制限(CL)タイム

アウトです。CLSピンの入力状態に応じて、CLSピンの電圧が0Vの場合は電流の大きいI_{FTMR(CL)}が20 μ Aに設定されます。CLSピンが開放の場合は36 μ Aに設定され、CLSピンの電圧が2Vより高い場合は80 μ Aに設定されます。

電流制限状態の間、検出電圧はV_{LIMIT}です。電流制限時にはドレイン-ソース間電圧がかなり大きいので、MOSFETの電力損失がきわめて大きくなることがあります。外付けMOSFETの損傷を防ぐため、CLタイムアウト時間はMOSFETの安全動作領域に基づいて選択してください。CLタイムアウト時間は、FTMRピンのコンデンサC_Tと、V_{FTMR(H)}しきい値に達するまでのI_{FTMR(CL)}プルアップ電流によって設定されます。電流制限値を回路ブレーカしきい値よりも高く設定すると、平均電流が回路ブレーカの制限値より低い値に維持される限り、瞬間的な電流負荷スパイクが許容されます。

両チャンネルとも共通の電流制限選択ピンであるCLSピンを共用します。このピンには、“L”、開放、“H”という3つの入力状態があります。3つの入力状態により、プリセット電流制限電圧V_{LIMIT}は1.15・V_{CB}の約1.5倍、2倍、または3倍に設定されます。

フォルト・タイムアウト後、自動再試行バージョン(LTC4266-2)では、0.5秒待ってからFTMRピン電圧をリセットします。FTMRピンのコンデンサが放電されると、FAULTピンがリセットされて“H”になった後、GATEピンの電圧は再び自由に上昇します。ラッチオフ・バージョン(LTC4266-1)の場合は、0.5秒の再起動遅延時間はありません。どちらのバージョンの場合も、FTMRピンの電圧をリセットするには、ONピンの電圧を“L”にしてから“H”にするか、V_{CC}ピンの電圧をUVLOしきい値より低くしてから高くします。

FAULTピンは、アクティブになっている場合“L”になり、電流制限は5mAです。このピンは、V_{CC}ピンに直列抵抗を接続することにより、2mAの低電流LEDを駆動できます。FAULTピンには内部に10 μ Aのプルアップ電流源が接続されており、フォルトなしを通知するときは、内部のV_{CC}よりダイオードの順方向電圧だけ低い値になります。FAULTピンの電圧をV_{FAULT}しきい値より低くすると、FTMRの状態に影響を及ぼさずに外付けのMOSFETがオフになります。FAULTピンは、他のオープンドレイン出力とワイヤードOR接続することもできます。

ONピンが“L”に遷移するか、V_{CC}が3.7Vの低電圧ロックアウトしきい値より低くなると、ホットスワップ回路の出力電圧は次第に下降します。ゲート・ドライバは、GATEピンの電圧がOUTピンの電圧より高い場合は(OUTピンに流れる2.85mAを含む)3mAでGATEピンの電圧を放電します。逆にGATEピンの電圧がOUTピンの電圧より低い場合は150 μ Aで放電します。

アプリケーション情報

LTC4226の標準的なアプリケーションは、電圧範囲が4.5V～44Vの正電源から活線挿抜可能なポートまたはカードに至る高可用性システム内に存在します。FireWireなどのデイジー・チェーン・ポート・アプリケーションに使用して瞬時の電流制限機能を実現することもできます。

基本的な2チャンネル・アプリケーションを図1および図2に示します。図1に示すのは、上流にコネクタがあるカード常駐型アプリケーションでのLTC4226です。図2に示すのは、下流にコネクタがあるバックプレーンまたはマザーボードにあるLTC4226です。各ホットスワップ・チャンネルには、外付けのMOSFETスイッチによって制御される電力経路と、電流をモニタするための検出抵抗があります。

ターンオン・シーケンス

ターンオン時には、9 μ Aの電流によってMOSFETスイッチのゲートが充電されます。チャンネル1の場合、MOSFETはQ1です。電流制限アンプは、抵抗R_{S1}両端の電圧を検出することにより、チャンネル1の電力経路を流れる電流をモニタします。

起動時にスイッチ電流の主体となるのは、通常、負荷コンデンサC_{L1}を充電する電流です。検出電圧がV_{LIMIT}に達すると、電流制限アンプは閉ループ内でMOSFETのゲートを制御します。これにより、起動時の突入電流は電流制限値に保持されます。

外付けのMOSFETをオンするには、事前にいくつかの状態が存在している必要があります。フォルト・タイマFTMRは、低電圧ロックアウト状態になるか、ONピンの状態を“L”にすることによってリセットされます。外部電源V_{CC}は、その低電圧ロックアウト・レベルV_{CC(UVL)}を50msより長い時間超える必要があります。ONピンは10msより長い時間“H”にする必要があります。外付けのMOSFETが追加の遅延なしでオンになる前に、FAULTピンを“H”にしておく必要があります。

対象のチャンネルが定電圧ロックアウト状態ではない場合、ONピンが“L”から“H”になるアサーション遅延時間は10msです。FAULTピンは、外部スイッチがオンになる前に“H”にしておく必要があります。対象のチャンネルが定電圧ロックアウト状態ではなく、ONピンが“H”である場合は、FAULTピンが“L”から“H”に遷移してから遅延時間なしで外部スイッチがオンになります。

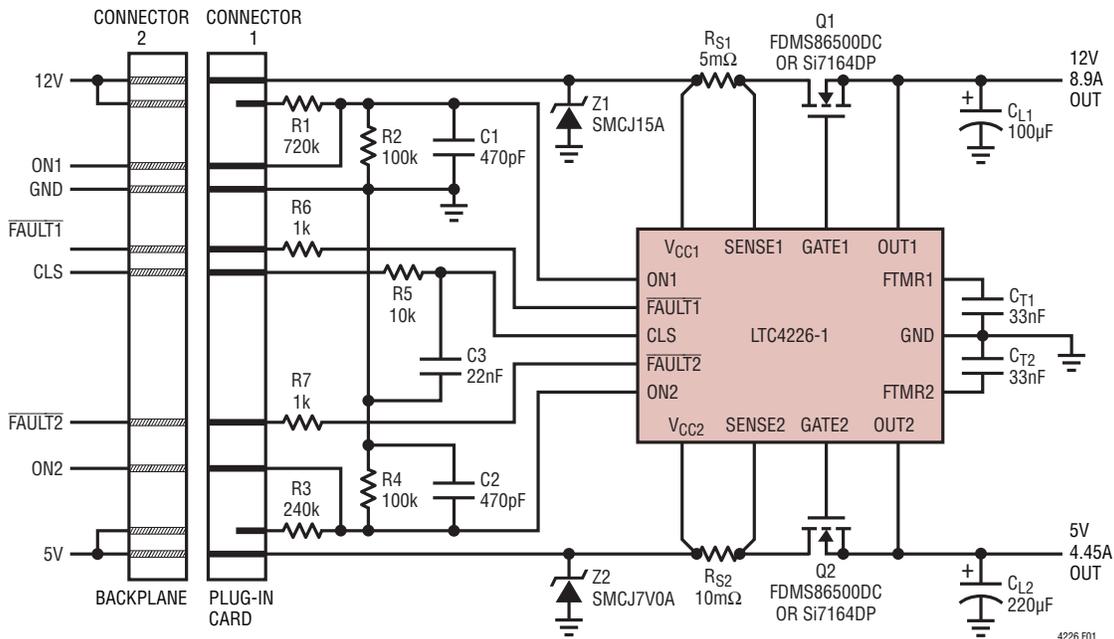


図1. 上流にコネクタがある2チャンネルのカード常駐型コントローラ

アプリケーション情報

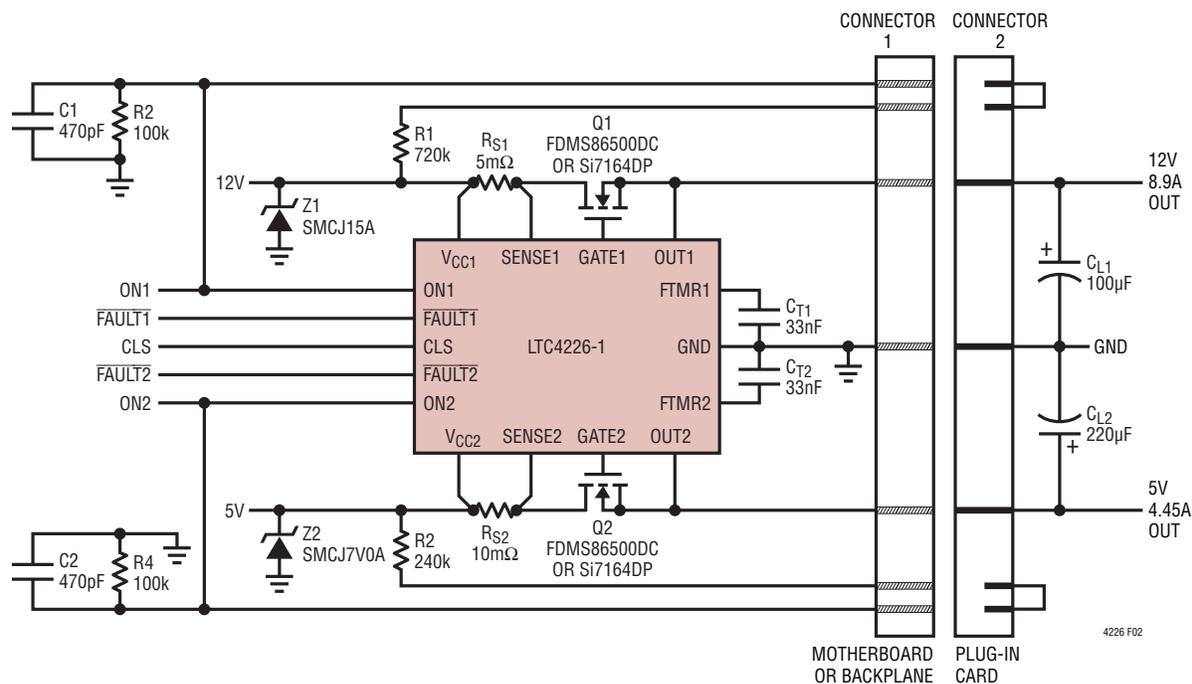


図2. 下流にコネクタがある2チャンネルのバックプレーン常駐型コントローラ

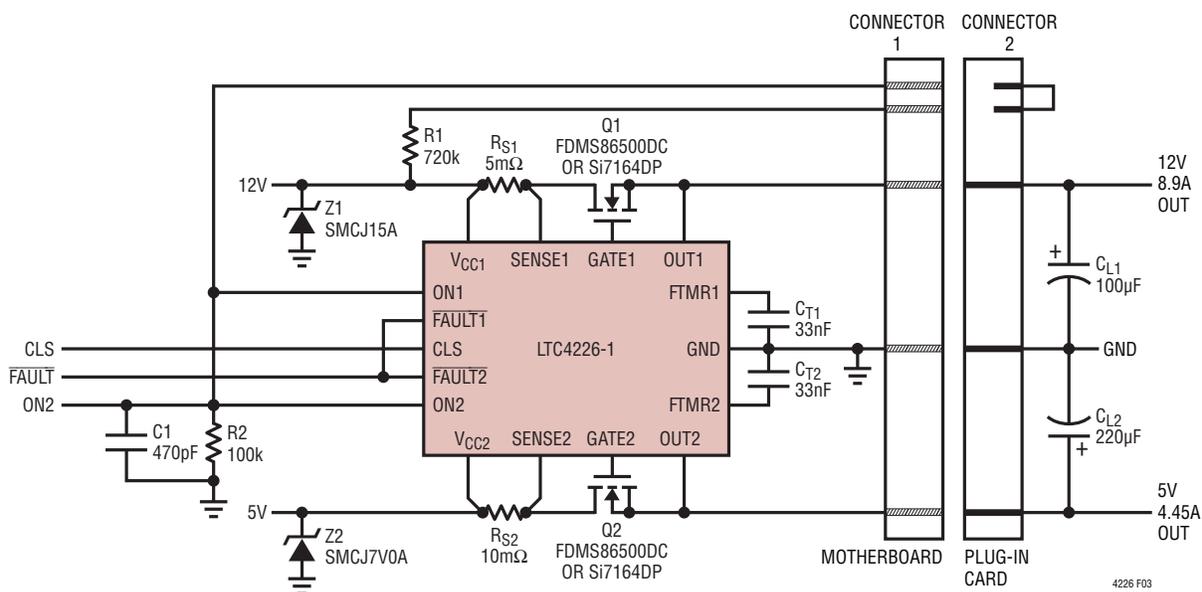


図3. オン/オフ接続線が共通の2チャンネルのコントローラ

アプリケーション情報

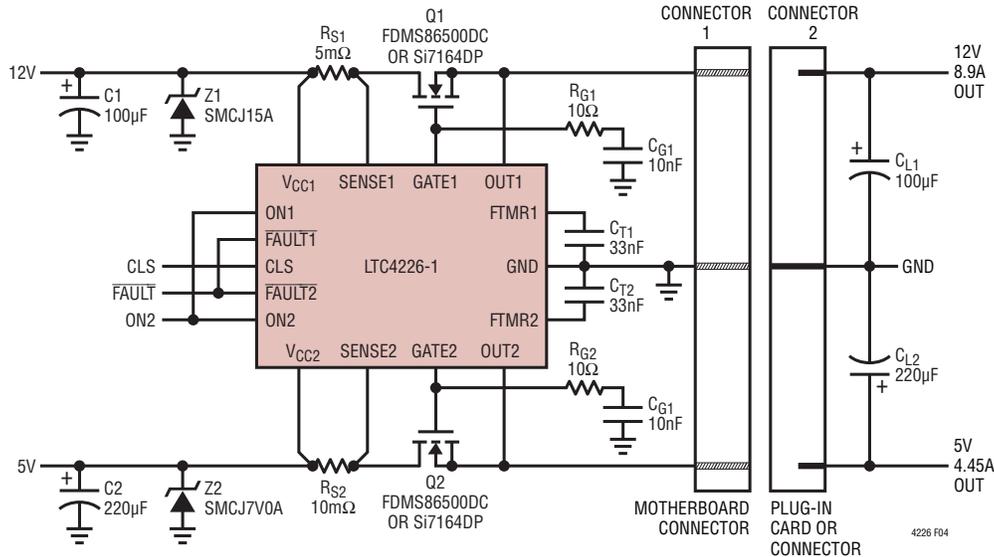


図4. 突入電流制御回路を備えているがコネクタのイネーブル回路はない2チャンネルのコントローラ

ターンオフ・シーケンス

MOSFETスイッチは、さまざまな条件でオフすることができます。通常のターンオフは、ONピンが“L”になると開始されます。さらに、V_{CC}がその低電圧ロックアウト電位であるV_{CC}(UVL)より低くなると、MOSFETは回路ブレーカ・タイムアウトまたは電流制限タイムアウトによってオフします。あるいは、FAULTピンを外部から“L”にすると、ゲートを強制的にシャットダウンすることができます。これらいずれかの条件下では、GATEピンに3mAのプルダウン電流を流すことにより、MOSFETはオフします。その電流のうち約2.85mAはGATEからOUTへ流れ、残りはGNDに流れます。GATEピンの電圧がOUTピンの電圧より低くなると、GATEピンの電圧は150μAの電流源によってGND電位の方向へ低下します。

突入電流の制御

大半のアプリケーションでは、突入電流を電流制限値に保つ起動方法が許容されますが、それは、この方法でフォルト・タイマFTMRが作動せず、MOSFETに安全動作上の適切な余裕がある場合です。突入電流検出抵抗の電圧を回路ブレーカのしきい値電圧V_{CB}より低い値に保つには、図4に示すように、抵抗R_GとコンデンサC_GをGATEピンとグラウンドの間に挿入します。コンデンサC_Gと接地端子および相互接続のインダクタンスにより、MOSFETの寄生発振が生じることがあります。寄生発振を防ぐには、通常は抵抗R_Gを10Ω～100Ωの範囲にするのが適切です。また、R_Gを挿入すると、電流制限状態の間にC_Gが電荷の蓄積先として動作できる一

方で、ゲート電位を迅速に低下させる機能も維持できます。コンデンサC_Gは、突入電流を回路ブレーカの作動電流より小さくなるよう制限する大きさにしてください。ヒートシンクを取り付けてリード線で配線したMOSFETでは、(図13にR1として示す)10Ωの抵抗をMOSFETのゲート・ピンの近くに追加することにより、配線インダクタンスおよび配線容量が大きいことに起因する寄生発振を防止できます。

このMOSFETは、GATEピン(MOSFETのゲート)を充電してその電位を高くする9μAの電流源によってオンします。GATEピンの電圧(ゲート電圧)がMOSFETのしきい値電圧に達すると、MOSFETがオンします。また、ソース電圧はゲート電圧を追従し、ゲート電圧が高くなるのに応じて高くなります。GATEピンの電圧は9μA/C_Gの傾斜で上昇し、電源の突入電流は次式で表されます。

$$I_{\text{INRUSH}} = \frac{C_L}{C_G} \cdot 9\mu\text{A} \quad (1)$$

MOSFETスイッチ両端の電圧は、突入電流の制御中に大きくなる可能性があります。突入電流が回路ブレーカのしきい値より小さい場合、フォルト・タイマFTMRは作動しません。大規模な電源電圧昇圧トランジェントが発生する可能性があるFirewireのような一部のアプリケーションでは、電流制限アンブが瞬時に作動し、GATEピンの電圧が半ば放電されます。スイッチ電流が電流制限値より小さくなると、GATEピンは電源突入電流の制御速度で引き続き充電されます。

アプリケーション情報

過電流フォルト

LTC4226は、回路ブレーカのフォルトと電流制限のフォルトを区別することによって過電流フォルトを管理します。標準的応用例には、負荷電流をフィルタにかける負荷コンデンサがあります。大きい負荷コンデンサは有効なフィルタになりますが、起動時や昇圧型の電源トランジェントの発生時にはMOSFETスイッチの電力損失が大きくなることがあります。

MOSFETが完全に導通していて電流は電流制限値より小さい場合、MOSFETの電力損失は少なく、その値は $R_{DS(ON)}$ とスイッチ電流で決まります。電流が回路ブレーカのしきい値より大きい、電流制限値よりは小さい場合は、回路ブレーカ(CB)コンパレータにより、FTMRピンの $I_{FTMR(CB)}$ プルアップ電流源が作動します。

チャンネルの電流が電流制限値を超えると、CLアンプにより、ゲート・ドライバのプルダウン回路が閉ループ方式で作動します。GATEピンのオーバードライブ電圧は過剰になると急にOUTピンへ放電されます。この放電は V_{CC} ピンとSENSEピンの間の検出電圧が V_{LIMIT} より低くなるまで続きます。この短い時間間隔は、過剰なチャンネル電流を低減するため、高速応答アンプによって短く保たれます。次に、CLアンプはGATEピンの電圧をサーボ制御して、検出電圧を V_{LIMIT} に維持します。この電流制限間隔中は、MOSFETの電力損失が増加します。ワースト・ケースのスイッチ電力損失が発生するのは、電流が電流制限回路によって設定されており、全電源電圧がMOSFETの両端にかかっている状態で負荷が短絡した場合です。電流制限の動作中、FTMRピンの電圧は $I_{FTMR(CL)}$ とともに上昇します。

デュアル・レートのフォルト・タイマ

図5のタイミング波形に示すように、フォルト・タイマ・ピンFTMRには、デュアル・レートのフォルト・プルアップ電流源があります。この電流源により、回路ブレーカのしきい値より大きく電流制限レベルより小さいピーク電流の許容時間が長くなります。負荷電流が電流制限しきい値を超えると、ドレイン・ソース間電圧が大きくなる可能性があるため、MOSFETの電力損失が大きくなる可能性があります。この条件では、FTMRピンのプルアップ電流が増加してフォルト・タイマ時間が短くなります。負荷電流が電流制限しきい値より小さい場合、MOSFETは完全に導通しており、ドレイン・ソース間電圧は小さいので、MOSFETの電力損失は少なくなります。したがって、電流が電流制限しきい値より小さいが、回路ブレーカしきい値より大きいと、FTMRのプルアップ電流は減少します。平均電流は回路ブレーカしきい値より大きい、電流制限レ

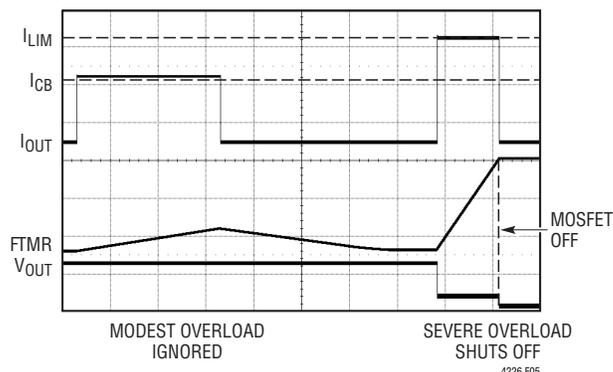


図5. デュアル・レートのフォルトのタイミング

ベルより小さい値に維持されるピーク電流の許容時間をデュアル・レート・タイマが延長するフォルト状態では、MOSFETはオフになります。

FTMRピンにはコンパレータと4つの電流源があり、外付けのコンデンサ C_T に接続されます。4つの電流源とは、デフォルトのプルダウン電流である $I_{FTMR(DEF)}$ 、回路ブレーカのプルアップ電流源である $I_{FTMR(CB)}$ 、大きい方の電流制限プルアップ電流源である $I_{FTMR(CL)}$ 、およびリセット・プルダウン電流源である $I_{FTMR(RST)}$ です。FTMRピンの電圧が $V_{FTMR(H)}$ のしきい値を超えると、FTMRコンパレータはフォルトのタイムアウト信号を出力します。

回路ブレーカ・コンパレータ、電流制限アンプ、およびリセット回路のすべてが非アクティブである場合は必ず、FTMRピンはデフォルトの通常モードで“L”になります。デフォルトのモードでは $I_{FTMR(DEF)}$ プルダウン電流源が作動します。検出電圧が回路ブレーカのしきい値 V_{CB} より高いが V_{LIMIT} より低い場合は、回路ブレーカ・コンパレータが $I_{FTMR(CB)}$ プルアップ電流源をイネーブルして $I_{FTMR(DEF)}$ 電流源をディスエーブルします。検出電圧がしきい値である V_{LIMIT} に達すると、電流制限アンプが大きい方の $I_{FTMR(CL)}$ プルアップ電流源を作動させます。

FTMRピンの電圧が上昇して $V_{FTMR(H)}$ になると、FTMR(H)コンパレータが作動します。FAULTピンは“L”にアサートされ、GATEピン-OUTピン間の電圧が放電されてMOSFETがオフになります。自動再試行オプションの場合は、自動再試行間隔のタイミングが開始されます。FTMRピンは $V_{FTMR(H)}$ で“H”にアサートされ、その状態は $I_{FTMR(RST)}$ プルダウン電流源によってFTMR(L)コンパレータが $V_{FTMR(L)}$ でリセットされて“L”になるまで保持されます。このプルダウン電流源が作動する条件は、ONピンが“L”になるか、UVLO条件か、または標準0.5秒の自動再試行間隔終了時です。FTMRピンの電圧が $V_{FTMR(L)}$ より低くなると、FAULTピンは“H”になります。ONピンが“H”で V_{CC}

アプリケーション情報

が低電圧ロックアウト状態ではない場合、自動再試行モードではGATEピン-OUTピン間の電圧が上昇することがあります。

MOSFETの電流が回路ブレーカのしきい値を超えるが、電流制限値より低い値に維持される場合、フォルト・タイマの時間は次式で与えられます。

$$t_{CB} = C_T \cdot \frac{1.23V}{I_{FTMR(CB)}} \quad (2)$$

電流制限が作動する場合、フォルト・タイマの時間は次式で与えられます。

$$t_{LIMIT} = C_T \cdot \frac{1.23V}{I_{FTMR(CL)}} \quad (3)$$

電流制限の動作中は、MOSFETのドレイン-ソース間電圧が大きくなる可能性があるため、OUTピンがグランドに短絡した最悪のMOSFET安全動作領域に基づいて、 t_{LIMIT} を適切に選択してください。

フォルト状態をリセットすると、 $I_{FTMR(RST)}$ プルダウン電流源が作動します。FTMRピンの電流源は外部からオーバードライブできます。FTMRピンの電圧を外部から $V_{FTMR(H)}$ より高くすると、強制的にフォルト状態にすることができます。逆に、FTMRピンの電圧を外部からグランド付近まで低くすると、強制的にリセット状態にすることができます。内部モードについて前述したように、 \overline{FAULT} ピンとGATEピンは、どちらも外部から駆動したFTMRピンの場合と同様に動作します。外部からのプルダウン時間を長くすることを推奨します。こうすると、通常のFTMR動作をマスクできるからです。

電流制限電圧と回路ブレーカ電圧の比の選択

電流制限電圧 V_{LIMIT} と回路ブレーカ電圧 V_{CB} の比を設定することにより、ハードディスクの回転数上昇のようなデューティ・サイクルが低く波高率の高い負荷事象を、電流制限回路を起動させずに平均負荷電流の最大値を超える電流で動作させることができます。電流制限アンプによって負荷の電圧に必要以上にグリッチが発生せず、MOSFETの電力損失が低く保たれるので、電流制限事象を回避することを推奨します。ラッチされていないCLSピンの入力状態は3種類(“L”、開放、“H”)です。このピンを使用すると、2つのホットスワップ・チャンネルのプリセット電流制限電圧 V_{LIMIT} を $1.15 \cdot V_{CB}$ の約1.5倍、2倍、または3倍に同時に設定できます。ただし、電流制限の設定値を高くすると、負荷が短絡したときにMOSFETの電力損失が大きくなります。ワーストケースの短絡状態でMOSFETの電力損失が大きい状態に対応できるように、MOSFETを適切に選択する必要があります。

ます。 $I_{FTMR(CL)}$ には3種類あり、それぞれがCLSピンの入力状態によって選択された V_{LIMIT} に対応します。MOSFETの標準的なSOA(安全動作領域)では、幅の狭い(<10ms)単発パルスの損失に対しては P^2t 特性が一定です。MOSFETのドレイン-ソース間電圧が一定の場合に電流(つまり V_{LIMIT})が増加すると、許容されるストレス印加時間 t_{LIMIT} が電流の2乗に比例して減少(つまり、 $I_{FTMR(CL)}$ が電流の2乗に比例して増加)します。

CLSピンは内部で1.23Vに固定されています。このピンが3状態出力によって駆動される場合、開放状態での許容最大漏れ電流は $\pm 2\mu A$ です。駆動出力での“H”状態でのソース電流または“L”状態でのシンク電流は、 $10\mu A$ より高い値である必要があります。CLSピンの配線がノイズの多いデジタル信号線と交差する場合は、CLSピンの近くにRCフィルタ(R5/C3:図1)を形成することにより、拾ったノイズを取り除くことができます。

自動再試行とラッチオフ

LTC4226-2(自動再試行)バージョンは、 V_{CC} の電圧が低電圧ロックアウトしきい値である $V_{CC(UVL)}$ (4V)より高い電圧に保たれ、ONピンの電圧がその1.23Vの V_{ON} しきい値より高い電圧で維持されている場合、FTMR(H)コンパレータのタイムアウトに続く0.5秒の遅延後、FTMRピンをリセットします。この再試行遅延を終了させて、50msの遅延後に強制的に再起動するには、 V_{CC} を $V_{CC(UVL)}$ 低電圧しきい値よりいったん低くした後に高くします。また、10msの遅延後に再起動するには、ONピンの電圧をいったん V_{ON} しきい値より低くした後に高くします。ラッチオフ・オプション(LTC4226-1)では、FTMR(L)コンパレータが自動的にリセットされることはありません。FTMRピンをリセットするには、ONピンまたは V_{CC} ピンの電圧をいったん低くした後に高くする必要があります。

フォルトのリセット

回路ブレーカのフォルトをリセットするには、ONピンの電圧をONコンパレータのしきい値よりいったん低くした後に高くします。ONピンが“H”に遷移した後は、10msのターンオン遅延があります。

別の方法として、 V_{CC} ピンの電圧を低電圧ロックアウトしきい値よりいったん低くした後に高くしてフォルトをリセットすることもできます。 V_{CC} ピンの低電圧ロックアウト終了後は、50msのターンオン遅延があります。

FTMRピンのリセットは、FTMRピンの電圧が $100\mu A$ の電流によってグランドに低下すると始まります。この後、 \overline{FAULT} ピンの $10\mu A$ のプルアップ電流と、GATEピンの $9\mu A$ のプルアップ電流によって起動します。

アプリケーション情報

フォルト状態

$\overline{\text{FAULT}}$ 状態ピンはアクティブ“L”であり、10 μA の電流源によりその内部電圧(7Vより高い任意の V_{CC} の場合、標準で5V)よりダイオードの順方向電圧だけ低い電圧になります。フォルトが発生すると、 $\overline{\text{FAULT}}$ ピンの電圧はグラウンドに低下し、電流は5mAに制限されます。 $\overline{\text{FAULT}}$ ピンの電圧定格は電源ピンと同じですが、図9に示すようにLED電流を流し込むには、直列抵抗を接続してピンの電力損失を低減することが必要です。

$\overline{\text{FAULT}}$ ピンは、MOSFETのゲートを同期化するための非ラッチ型入力にもなっています。このピンの電圧を外部から0.3Vより低くすると、ゲートはただちに遮断されます。いずれかのLTC4226に回路ブレーカ・フォルトが発生し、FTMRピンが $V_{\text{FTMR}}(\text{H})$ でアサートされている場合、このピンは、オプションで他のLTC4226の $\overline{\text{FAULT}}$ ピンとワイヤードOR接続して、そのGATEピンの電圧をオフの電圧にすることができます。 $\overline{\text{FAULT}}$ ピンに外部から“L”を入力しても、他のLTC4226のFTMRピンは影響を受けません。フォルト状態のLTC4226をリセットすると(自動再試行およびフォルトのリセットに関するセクションを参照)、ワイヤードOR接続された $\overline{\text{FAULT}}$ ピンは“H”に戻り、GATEピンは以前の状態に戻ります。ワイヤードOR接続されている $\overline{\text{FAULT}}$ ピンにLEDを接続するのは推奨しません。

デジタイズ・チェーン接続ポート

LTC4226ホットスワップ回路と電源のダイオードOR接続を備えたFireWire電力分散回路を図7に示します。FireWireデバイスは、電力供給回路、電力消費回路、あるいはそれらを互いにデジタイズ・チェーン接続したものでも構いません。

図8では、2ポートのデバイスにより、いずれのポートもD1を介して内部から電力を供給するか、反対のポートから電力を供給することができます。電圧が高い方の電圧源が外部ポートのデバイスと内部のFireWireコントローラ・インタフェースに電力を供給します。こうすると、ホストの電力をシャットダウンしている間、ポートから外部の電力を供給することにより、FireWireコントローラは動作状態を維持することができます。チェーン内に電源がある限り、ポートは電流制限された電源を能動的に中継することができます。1デバイス当たり3ポート以上が可能なので、複数のポート間での電力の消費または分散が可能です。これらのポートでは、図8の場合、33Vで最大1mFのポート負荷容量での活線挿抜が可能です。出力ポートでの昇圧サージ電流は能動的に制限されます。

Si2318DSのような小型のMOSFETで離れた場所にある100 μF までの負荷容量を駆動できる12Vのホスト電圧源アプ

リケーションを図9に示します。 $\overline{\text{FAULT}}$ ピンでの電力損失を低減する抵抗を接続し、2mA定格のLEDを $\overline{\text{FAULT}}$ インジケータとして使用することができます。

V_{CC} の過電圧検出

図6に示すように、FTMRピンにツェナー・ダイオードZ2を接続して、 V_{CC} の過電圧状態を検出することができます。抵抗R5とツェナーZ3はFTMRピンを過大な電圧から保護する役割を果たし、R6はグラウンドへの経路となります。 V_{CC} ピンでの過電圧が35Vを超えると、FTMRピンの電圧がダイオードD2Aを介して1.23Vより高くなり、強制的にフォルト状態になります。図10に示すように V_{CC} ピンにトランジェント・サプレッサを取り付けた場合は、トランジェント・サプレッサSMCJ33Aの耐圧の最小値である36.7Vより低い35Vに過電圧しきい値を設定してください。

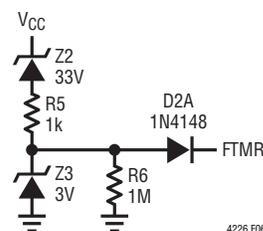


図6. V_{CC} の過電圧検出

電源トランジェント保護

LTC4226のすべてのピンは、FTMRピンとGATEピンを除き、44V動作を対象にテストされます。GATEピンの電圧は、FTMRピンの電圧が低電圧のとき、OUTピンまたはGNDピンの電圧にクランプされます。44Vより大きい電源トランジェントが発生する可能性がある場合は、33Vのトランジェント・サプレッサを V_{CC} ピンに取り付けて、このピンの電圧の絶対最大定格である55Vより低い電圧にクランプすることを強く推奨します。

出力の正の過電圧の絶縁

トランジェント電圧サプレッサは、ポートでの短い過電圧パルスをクランプする場合には適していますが、大電流の吸い込みを長時間にわたって強制されると過熱することがあります。直列接続したMOSFETを使用して、MOSFETの V_{BVDSS} までの正のポート電圧を絶縁する方法を図10に示します。過電圧検出用ツェナー・ダイオードZ2が導通し、D2AとD2Bを介してFTMR1ピンとFTMR2ピンが両方とも“H”になると、Q3およびQ4はオフになります。抵抗R7およびR8とMOSFET Q5およびQ6の回路は、それぞれQ1およびQ2のボディ・ダイオードを介して電圧が高くなることにより、再起動を促進します。

4226f

アプリケーション情報

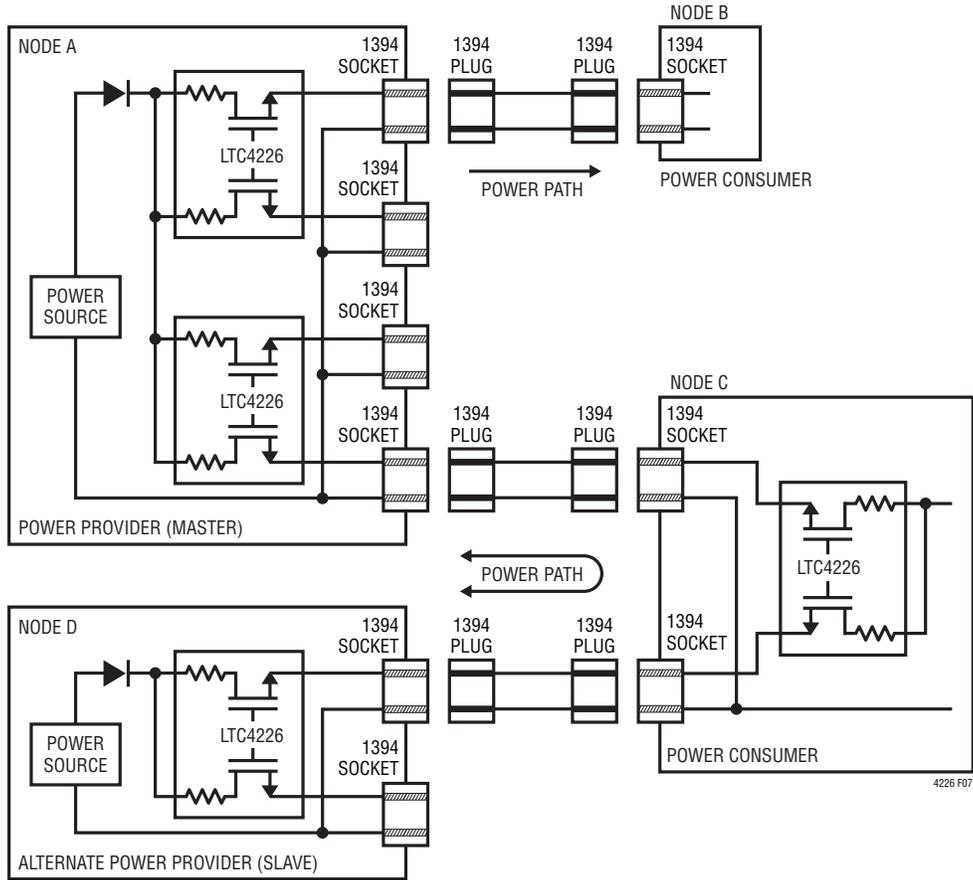


図7. FireWire 電力分散回路の例

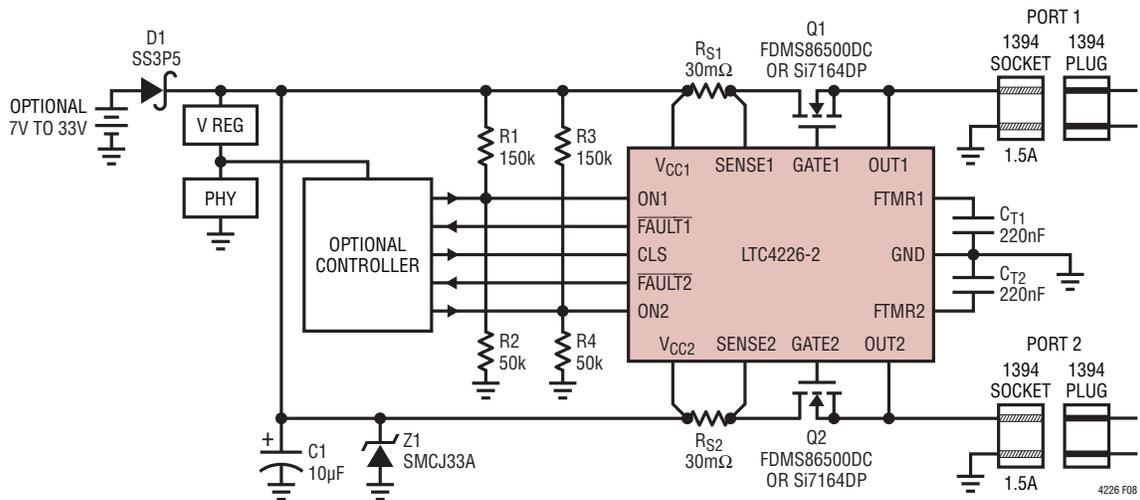


図8. 2ポートのFireWire マスタ・アプリケーションまたはスレーブ・アプリケーション

アプリケーション情報

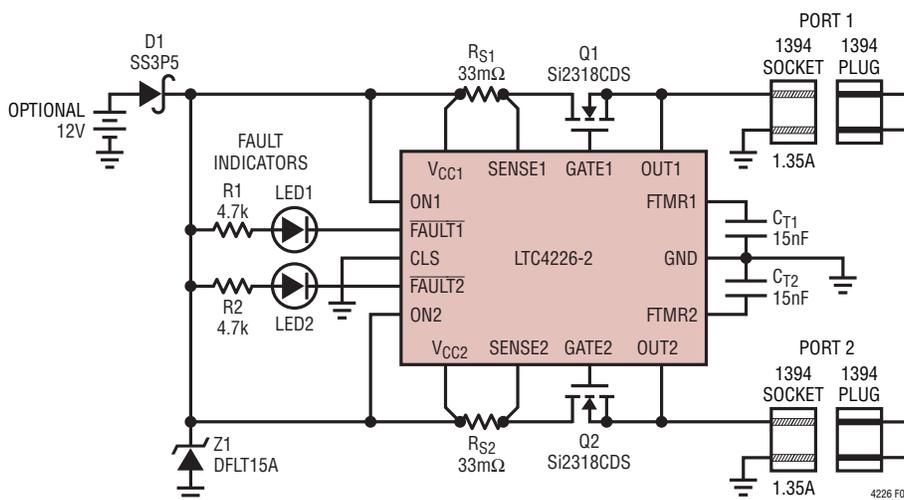


図9. LEDフォルト・インジケータを備えた12VのFireWireポート

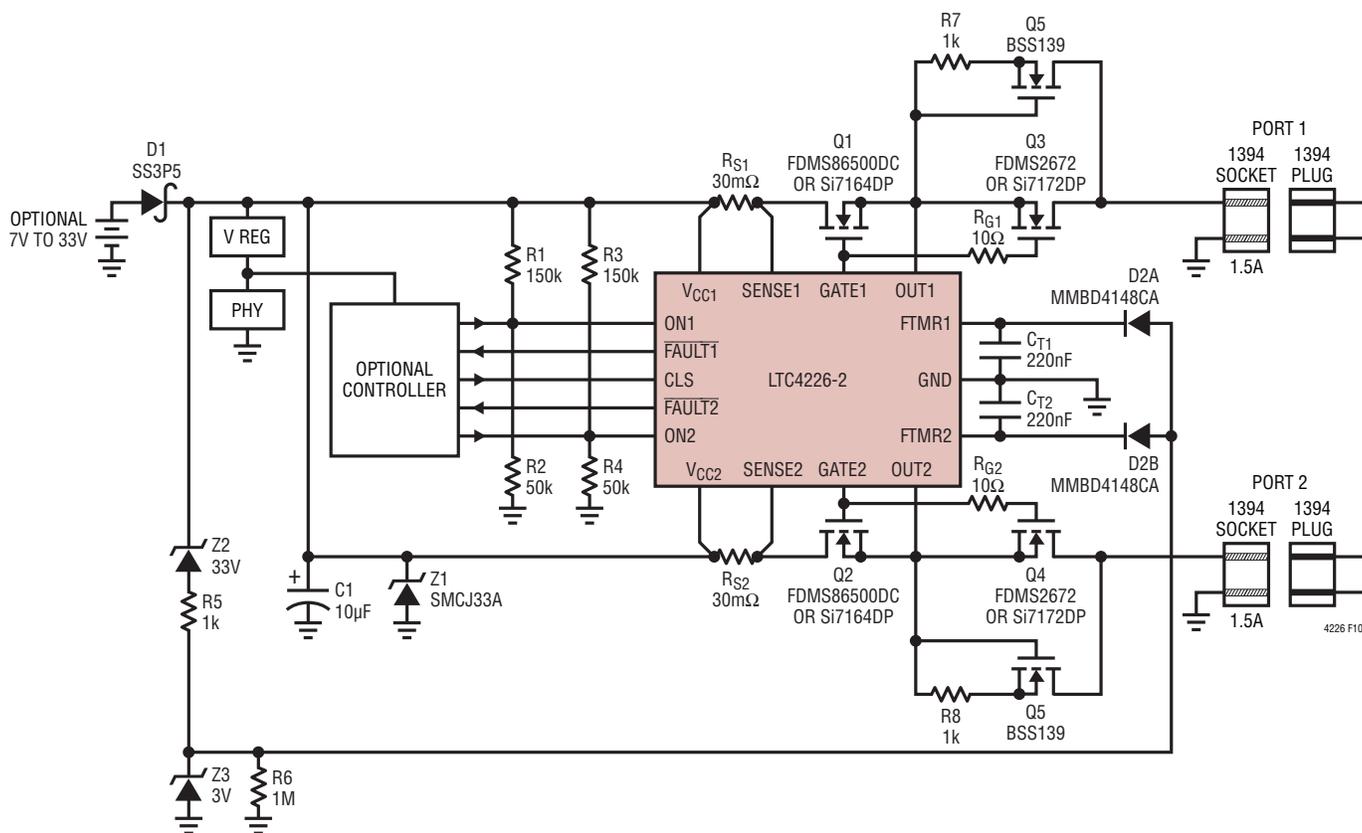


図10. 正の過電圧絶縁回路を備えた2つのFireWireポート

アプリケーション情報

設計例

設計例として、図8のポート1のケーブル端に(回路図には示されていない)1mFの負荷コンデンサC_{OUT}を取り付けた回路に対して以下の仕様を採用します。

チャンネルの定格はV_{CC}の最大値が33V(1.5A時)で、C_{OUT} = 1mFであり、回路ブレーカ電流の1.5倍で電流制限が作動します。

回路ブレーカ電流に15%の余裕をもたせるので、次式で得られます。

$$I_{CB} = 1.5A \cdot 1.15 = 1.725A$$

検出抵抗は次式のとおりです。

$$R_S = \frac{50mV}{1.5A \cdot 1.15} \approx 29m\Omega$$

CLSピンを“L”にして、起動時の電流制限値を設定します。

$$V_{LIMIT} = 1.5 \cdot 1.15 \cdot V_{CB}$$

および

$$I_{LIMIT} = 1.5 \cdot 1.15 \cdot I_{CB} \approx 2.98A$$

電流制限状態でC_{OUT}を充電するのに要する時間を次式で計算します。

$$t_{CHARGE} = \frac{C_{OUT} \cdot V_{CC}}{I_{LIMIT}} \approx 11ms$$

すべての電流がC_{OUT}を充電する通常の起動時では、MOSFETでの平均電力損失は次式で求められます。

$$P_{DISS} = \frac{V_{CC} \cdot I_{LIMIT}}{2} = 49.2W$$

出力がグラウンドに短絡した場合、MOSFETでの平均電力損失は倍になります。

$$P_{DISS} = V_{CC} \cdot I_{LIMIT} = 98.4W$$

FDMS86500DC (MOSFET)のSOA (安全動作領域)曲線は100W (時間: 35ms)を示しています。通常の起動時に、SOAの余裕を適切にとった場合、MOSFETの損失は33Vで49.2W (時間: 11ms)です。

電流制限フォルトのタイムアウトを約14msに設定すると、次の結果が得られます。

$$C_T = \frac{t_{LIMIT} \cdot 20\mu A}{1.23V} = 228nF$$

標準値である220nFを選択します。この結果、電流制限状態でのFTMRタイムアウト時間は、次のようになります。

$$t_{LIMIT} = 13.5ms$$

FTMRの回路ブレーカ・タイムアウト時間は、次のとおりです。

$$t_{CB} = 135ms$$

抵抗対R1およびR2は、両チャンネルのONピンしきい値電圧を設定します。この場合は、R1 = 150k、R2 = 50kです。

$$V_{CC \text{ ON Threshold}} = \frac{(R1+R2) \cdot 1.23}{R2} = 4.92V$$

レイアウトに関する検討事項

正確な電流検出を達成するため、検出抵抗に対してはケルビン接続を推奨します。ケルビン検出配線のPCBレイアウトは、誤差を減らすため、バランスを保ち、対称的にして長さを最小限に抑えてください。さらに、検出抵抗およびパワーMOSFETのPCBレイアウトには、ビアや広い金属領域など、デバイスの電力損失に関する良好な熱管理技法を盛り込むようにしてください。検出抵抗とパワーMOSFETの推奨PCBレイアウトを図11に示します。MOSFETのゲート・ピンに抵抗(図13のR1)を追加しなくても済むように、グラウンド・プレーン上のゲート配線では、配線長および配線容量を最小限に抑えてください。

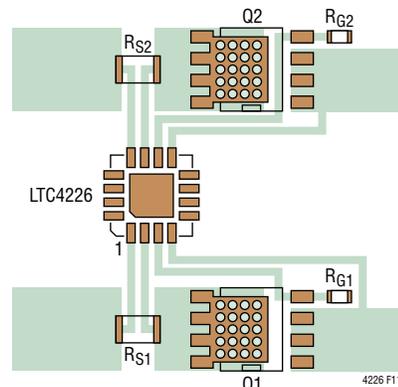


図11. 推奨レイアウト

アプリケーション情報

負荷電流が5Aになることがあるホットスワップ・アプリケーションでは、狭いPCBトラックは広いトラックよりも大きな抵抗値を示し、高い温度で動作します。配線を適度な温度に保つための、アンプ1個あたりの1オンスの銅箔の最小線幅は0.02"です。アンプ1個あたり0.03"以上の幅にすることを推奨します。1オンスの銅には約0.5mΩ/平方のシート抵抗があることに注意してください。ビアを使用すると、多層の銅プレーンを使用して電気伝導と熱損失の両方を改善できます。上面および底面の銅層を3オンス以上のように厚くすると、電気伝導を改善してPCB配線での損失を減少することができます。

ON、FTMR、 $\overline{\text{FAULT}}$ 、CLS、GATEのPCB配線では、ノイズの拾い上げを最小限に抑えることが重要です。RG抵抗を使用する場合は、この抵抗をMOSFETのゲートのできるだけ近くに配置して、MOSFETの自己発振を誘導する寄生配線容量を制限してください。

双方向の電流制限

共通の検出抵抗を使用した双方向の電流制限機能を備えたアプリケーションを図16に示します。2つの異なる検出抵抗を使用して7V～30Vの電圧範囲で動作する非同期の双方向電流制限回路を図12に示します。別個の抵抗を使用すると、各方向で異なる電流制限値を設定できます。SENSEピンにト

ランジェント・サブレッサを接続しておく、入力電圧または出力電圧がサブレッサの耐圧を超えたら回路ブレーカを作動させることができます。OUTピンの電圧がサブレッサの耐圧を超えると、FTMR2のタイムアウト後にGATE2ピンの電圧がシャットダウンし、それによってサブレッサの破壊を防止できます。FTMR2ピンのタイミング・コンデンサを選択することにより、サブレッサを安全動作領域内に保つことができます。

大電流アプリケーション

バスの電力を分散するための44Aおよび89Aの連続電流アプリケーションを図13および図14に示します。バス接続箇所のインダクタンスは、負荷トランジェントが発生すると、検出抵抗で電源電圧が一時的に低下する原因になります。最悪のトランジェントが発生するのは、出力を短絡した場合か、未充電の負荷コンデンサを急に接続した場合です。チャンネル1の場合はコンデンサC1およびC2がないと、VCC1の電圧がLTC4226の低電圧ロックアウトしきい値より一時的に低くなり、それによってチャンネル1の低電圧ロックアウトがリセットされることがあります。低ESRの電解コンデンサC1とセラミック・コンデンサC2は検出抵抗のVCC1ピン側の端子とグランド・プレーンのすぐ近くに配置して、インダクタンスを最小限に抑えてください。

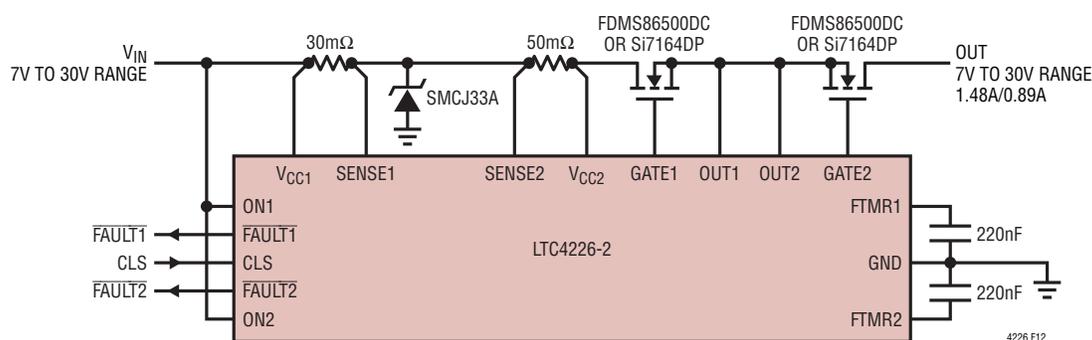


図12. 7V～30V動作の非同期双方向電流制限回路

アプリケーション情報

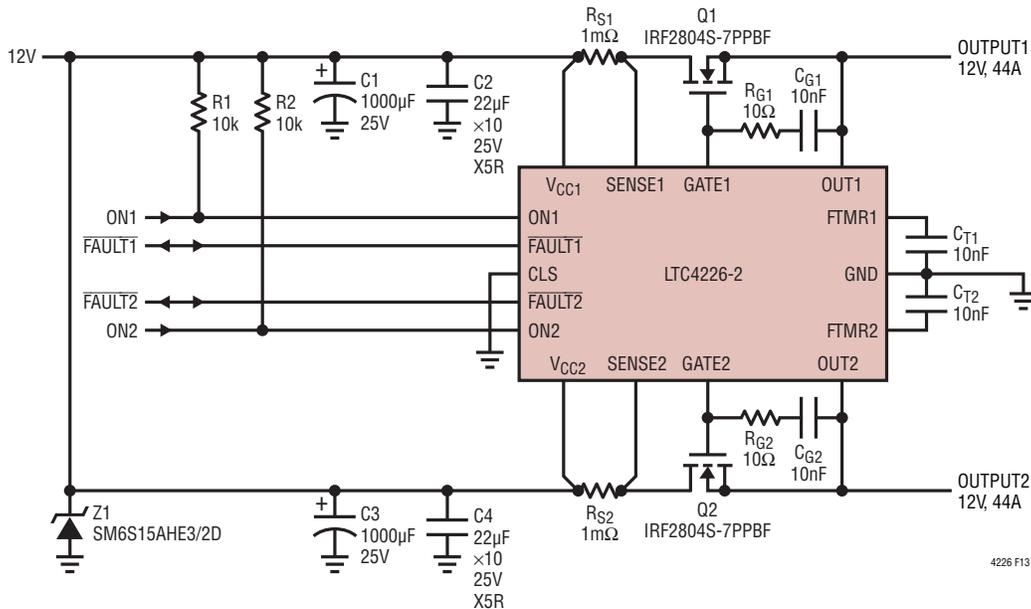


図13. 標準44Aのデュアル連続出力

厳しい負荷トランジェントが発生すると、GATE1ピンの電圧にアンダーシュートが生じて、電流制限レギュレーションに必要な電圧に満たなくなります。GATE1ピンとOUT1ピンの間にある R_{G1} と C_{CG1} の回路網は、GATE1ピンの電圧を電流制限レギュレーションに必要な電圧に素早く戻すのに役立ちます。ヒートシンクを使用していて、ゲートの相互接続によってかなりの容量とインダクタンスが生じる場合は、オプションの抵抗 $R1$ および $R2$ をMOSFETのゲートの近くに挿入することで、寄生発振を防ぐことができます。 $R1$ とMOSFETの C_{ISS} の積の分だけ、電流制限応答の遅延時間は長くなります。PCB上でのゲートの相互接続距離が短い場合、これらのオプション抵抗は必要ありません。

2つのホットスワップ・チャンネルの検出抵抗とMOSFETを同一にすると、出力を互いに接続して電流出力能力をほぼ2倍にすることができます。このとき、MOSFETのSOAを大幅に改善する必要はありません。図14でOUTPUT1をOUTPUT2に接続すると、178Aの電流が得られます。コンデンサ C_{T1} と C_{T2} は、 R_{S1} および R_{S2} の両端に生じる検出電圧をそれぞれ独立してモニタするので、FTMR1ピンとFTMR2ピンは別々

にしておいてください。電流フォルトが発生した場合は、不整合により、片方のチャンネルの方が隣接チャンネルよりも早くタイムアウトすることがあります。 $\overline{FAULT1}$ ピンと $\overline{FAULT2}$ ピンを別々にしている場合は、先にフォルトが発生したチャンネルの電流が、その後でフォルト・タイムアウトが発生した隣接チャンネルに分流します。

ここで、電流フォルトの発生時に $\overline{FAULT1}$ ピンと $\overline{FAULT2}$ ピンが互いに接続されている場合について考えます。最初のフォルト・チャンネルである $\overline{FAULT1}$ ピンが“L”になり、これによって $\overline{FAULT2}$ ピンの入力が“L”になるので、GATE2ピンは直ちに“L”になります。 \overline{FAULT} ピンが別々に接続されるより前に、 \overline{FAULT} ピンはGATE2ピンがディスエーブルされた状態で共通に接続されていたので、FTMR2ピンはタイムアウトになりません。電流フォルトが最初に発生したMOSFET Q1はQ2ほどはストレスを受けません。これは、並列チャンネルのVCCピンおよびOUTピンの電圧降下は、完全に導通しているQ2によって決まるからです。並列チャンネル・アプリケーションでは、ONピンの接続を共通にすることが望まれます。

アプリケーション情報

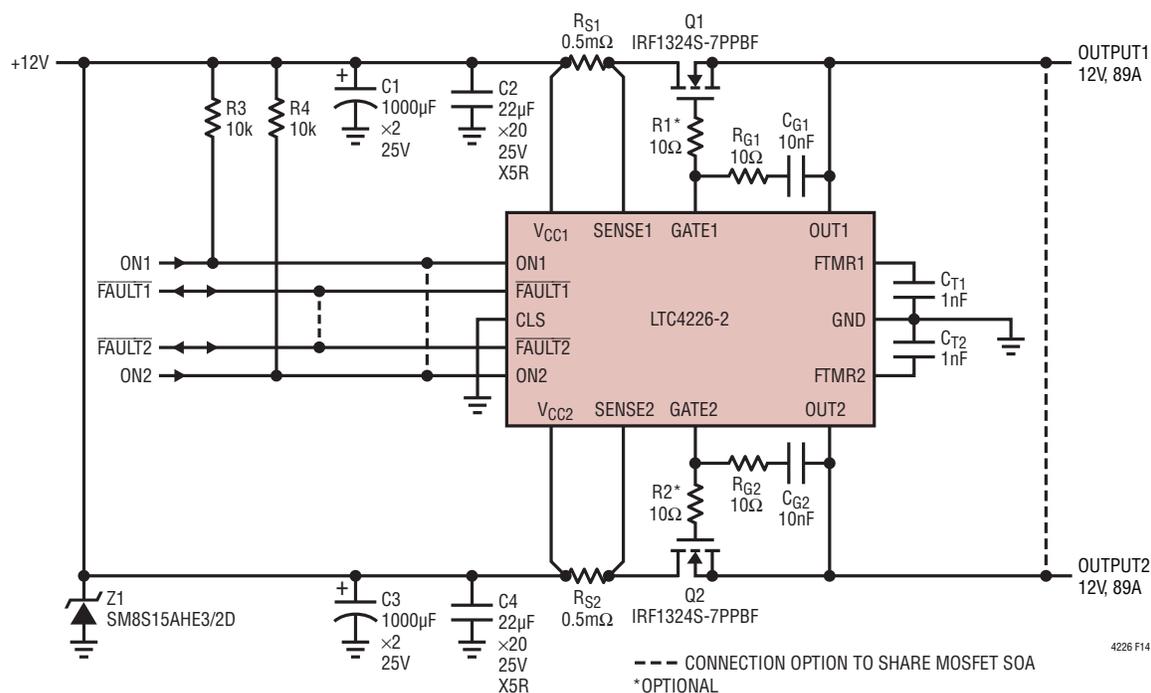


図 14. 標準 89A のデュアル連続出力

並列チャネルのFTMRを分離する方式の1つの欠点は、電流制限モードで一方のタイマの電圧がもう一方のチャネルより早く上昇して、回路ブレーカのタイマ時間が短くなるか、 $R_{DS(ON)}$ に不整合があることが原因で、統合後の回路ブレーカ電流しきい値が小さくなる場合があることです。これらの問題は、図 15 に示すように、FTMR ピン間に接続した2つのたすきがけPNP クランプ・トランジスタを使用することによって解決されます。FAULT ピンは互いに短絡され、ゲート同期信号によって制御される外付けのオープンドレイン・プルダウン回路に接続されています。PNP トランジスタにより、一方のチャネルがまだ回路ブレーカ・モードであるときに、電流制限モード側チャネルのFTMR ピン電圧上昇率が速すぎることがなく

なります。一方のチャネルだけが電流制限モードの場合は、図 15 に付記されている波形に示すように、もう一方のチャネルからのクランプにより、電流制限モード側チャネルのFTMR ピン電圧上昇率は低下します。この方式は V_{CC} ピンと ON ピンが共通になっていることが前提になっており、両方のチャネルが同じチップ上にあることが必要です。チャネル間の整合誤差は V_{CB} 、 V_{LIMIT} とも 6% であり、GATE ピンが“H”になる斜行曲線の遅延のタイミングは、ON ピンと V_{CC} ピンのいずれの場合も 10% です。FAULT ピン入力を“L”にアサートして $t_{ON(UVL)}$ の斜行をマスクすることにより、2つの GATE ピンを同期させる必要があります。電源投入時に FAULT ピンを 100ms 以上“L”にアサートすることにより、MOSFET は必ず一緒にオンになります。

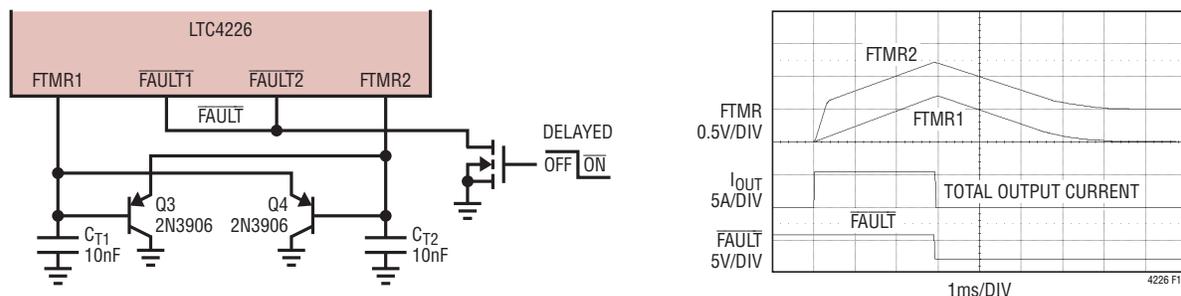
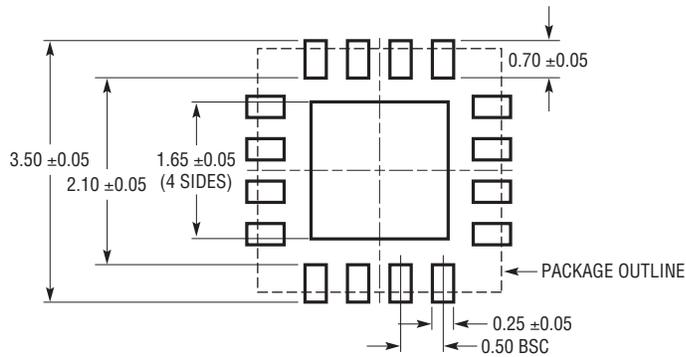


図 15. 2つの並列チャネルのFTMRピンに接続されたPNP

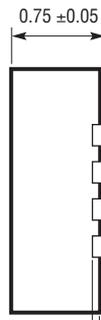
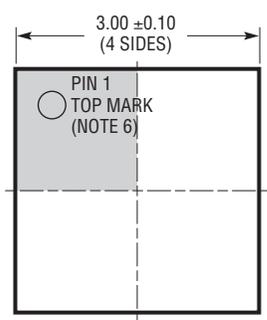
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

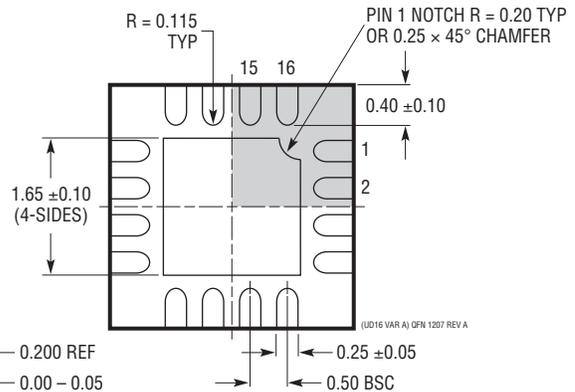
UD パッケージ 16ピン・プラスチック QFN (3mm×3mm) (Reference LTC DWG # 05-08-1700 Rev A) Exposed Pad Variation AA



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



BOTTOM VIEW—EXPOSED PAD



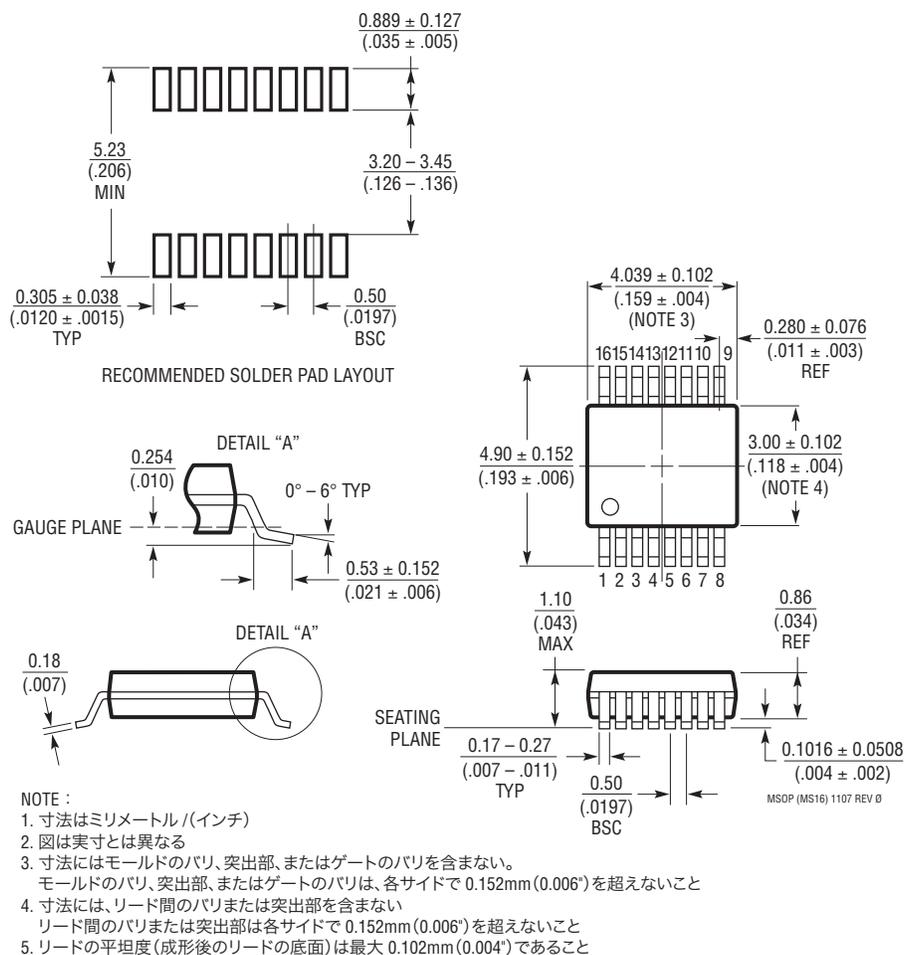
NOTE :

1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WEED-4) に適合
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージのトップとボトムのパイン 1 の位置の参考に過ぎない

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

MS パッケージ
16 ピン・プラスチック MSOP
(Reference LTC DWG # 05-08-1669 Rev 0)



標準的応用例

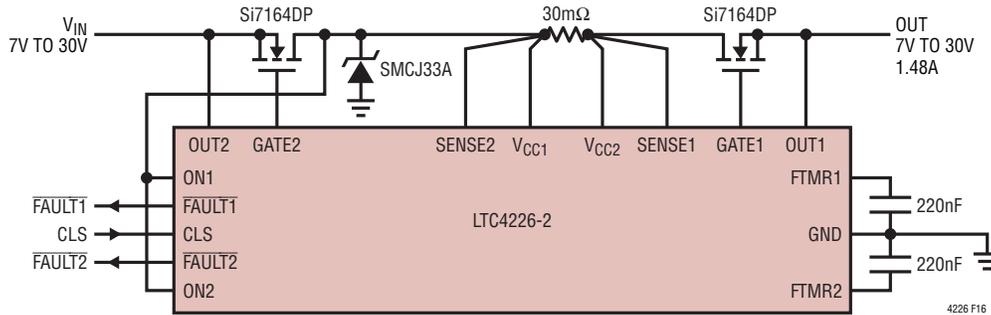


図 16. 双方向の電流制限回路

関連製品

製品番号	説明	注釈
LTC1421	デュアル・チャンネル・ホットスワップ・コントローラ	3V ~ 12V で動作、-12V をサポート
LTC1422	シングル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 12V で動作
LTC1645	デュアル・チャンネル・ホットスワップ・コントローラ	3V ~ 12V で動作、電源シーケンス制御
LTC1647	デュアル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 16.5V で動作
LTC4210	シングル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 16.5V で動作、アクティブな電流制限
LTC4211	シングル・チャンネル・ホットスワップ・コントローラ	2.5V ~ 16.5V で動作、多機能電流制御
LTC4215	A/D コンバータと I ² C インタフェースを備えたシングル・ホットスワップ・コントローラ	2.9V ~ 15V で動作、8ビットの A/D コンバータにより電圧と電流をモニタ
LTC4216	シングル・チャンネル・ホットスワップ・コントローラ	0V ~ 6V で動作
LTC4218	シングル・チャンネル・ホットスワップ・コントローラ	2.9V ~ 26.5V で動作、調整可能な 5% 精度 (15mV) の電流制限
LTC4222	A/D コンバータと I ² C インタフェースを備えたデュアル・ホットスワップ・コントローラ	2.9V ~ 29V で動作、10ビットの A/D コンバータにより電圧と電流をデジタル方式でモニタ
LTC4224	デュアル・チャンネル・ホットスワップ・コントローラ	1V ~ 6V で動作
LTC4227	デュアル理想ダイオードおよびシングル・ホットスワップ・コントローラ	2.9V ~ 18V で動作
LTC4228	デュアル理想ダイオードおよびホットスワップ・コントローラ	2.9V ~ 18V で動作
LTC4230	トリプル・チャンネル・ホットスワップ・コントローラ	1.7V ~ 16V で動作、多機能電流制御
LTC4280	A/D コンバータと I ² C インタフェースを備えたシングル・ホットスワップ・コントローラ	2.9V ~ 15V で動作、8ビットの A/D コンバータにより電圧と電流をモニタ
LTC4352	モニタ付き理想ダイオード・コントローラ	0V ~ 18V で動作、UV、OV 保護
LTC4364	理想ダイオードを備えたサージ・ストッパ / ホットスワップ・コントローラ	4V ~ 80V で動作、-40V 逆入力保護