

同相電圧範囲が±230V、
G = 10の差電圧アンプ

特長

- 同相電圧範囲:±230V
 - 入力換算ノイズ:105nV/ $\sqrt{\text{Hz}}$ (抵抗分割比 = 3.1)
 - CMRR:最小90dB
 - 最大利得誤差:0.0075%(75ppm)
 - 利得誤差ドリフト:最大1ppm/ $^{\circ}\text{C}$
 - 利得非直線性:最大2ppm
 - 広い電源電圧範囲:3.3V~50V
 - レール・トゥ・レール出力
 - 電源電流:350 μA
 - 内部抵抗分割器の比を選択可能
 - 入力オフセット電圧:最大200 μV
 - -3dB 帯域幅:300kHz(抵抗分割比 = 3.1)
 - -3dB 帯域幅:160kHz(抵抗分割比 = 10.3)
 - 規定温度範囲:-40 $^{\circ}\text{C}$ ~125 $^{\circ}\text{C}$
 - 低消費電力のシャットダウン時電流:
20 μA (DFNパッケージのみ)
 - 省スペースのMSOPおよびDFNパッケージ

アプリケーション

- 高電位側または低電位側の電流検出
 - 同相範囲の広い双方向電流検出
 - 高電圧から低電圧へのレベル変換
 - 高精度の差電圧アンプ
 - 絶縁回路の置き換え

概要

LT[®]6376は利得10の差電圧アンプで、優れたDC精度、非常に高い入力同相電圧範囲、および広い電源電圧範囲を兼ね備えています。このデバイスは、高精度オペアンプと高整合の薄膜抵抗回路網を内蔵しています。このデバイスの特長は、優れたCMRR、非常に低い利得誤差、および非常に低い利得ドリフトです。

LT6376は同相電圧範囲の高い既存の差電圧アンプと比較して、利得が10で抵抗分割器の比を選択できることから、優れたシステム性能を発揮し、低い入力換算ノイズと最高の精度および速度を実現できます。

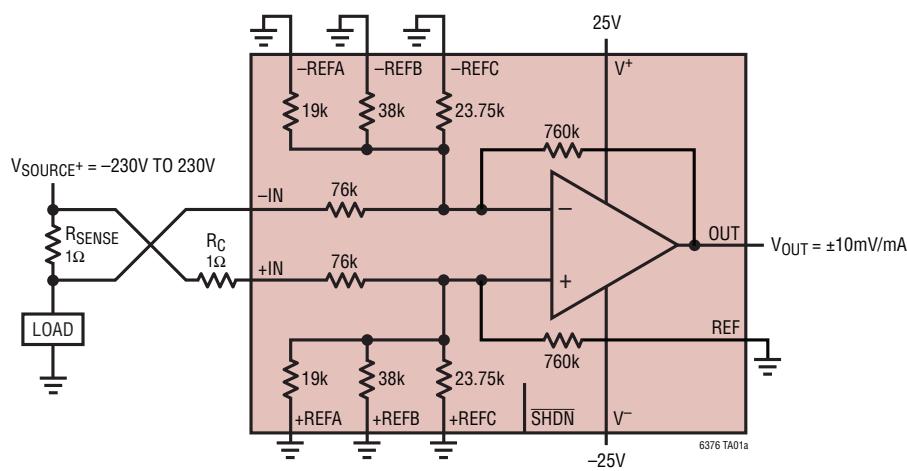
LT6376の中核にあるオペアンプは、電圧の状態が予測できない環境でも堅牢な動作が可能なOver-The-Top®保護入力を備えています。詳細は、「アプリケーション情報」のセクションを参照してください。

LT6376は-40°C～125°Cの温度範囲で規定されており、省スペースのMSOP16パッケージおよびDFN14パッケージで供給されます。

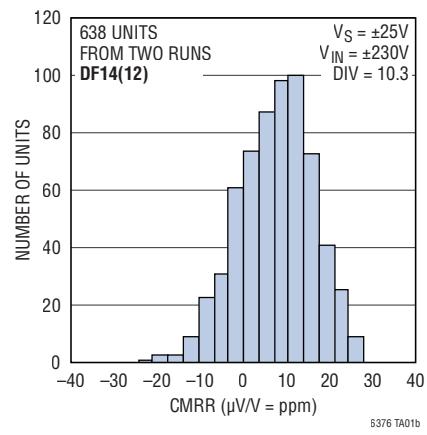
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的應用例

電圧範囲の広い高精度の双方向電流モニタ



CMRRの標準分布



絶対最大定格

(Note 1)

電源電圧 ($V^+ \sim V^-$)	60V
+IN, -IN (Note 2)		
各入力	$\pm 240V$
差動	$\pm 480V$
+REFA, -REFA, +REFB, -REFB, +REFC, -REFC, REF, SHDN (Note 2)	$(V^+ + 0.3V) \sim (V^- - 0.3V)$
出力電流(連続) (Note 6)	50mA

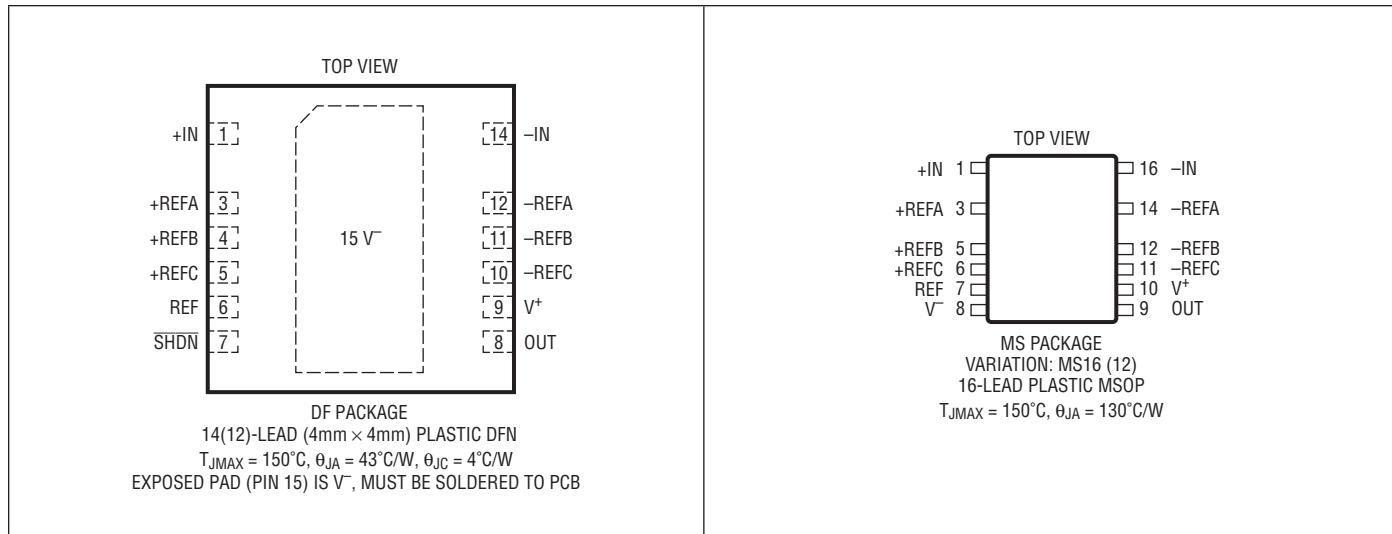
出力短絡時間 (Note 3) 温度により制限

温度範囲 (Note 4, 5)

LT6376I $-40^\circ C \sim 85^\circ C$ LT6376H $-40^\circ C \sim 125^\circ C$ 保存温度範囲 $-65^\circ C \sim 150^\circ C$

MSOP リード温度(半田付け、10秒) 300°C

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LT6376#orderinfo>

チューブ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LT6376IDF#PBF	LT6376IDF#TRPBF	6376	14-Lead (4mm x 4mm) Plastic DFN	$-40^\circ C$ to $85^\circ C$
LT6376HDF#PBF	LT6376HDF#TRPBF	6376	14-Lead (4mm x 4mm) Plastic DFN	$-40^\circ C$ to $125^\circ C$
LT6376IMS#PBF	LT6376IMS#TRPBF	6376	16-Lead Plastic MSOP	$-40^\circ C$ to $85^\circ C$
LT6376HMS#PBF	LT6376HMS#TRPBF	6376	16-Lead Plastic MSOP	$-40^\circ C$ to $125^\circ C$

* 温度グレードは出荷時のコンテナのラベルで識別されます。

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。製品名の末尾がPBFのデバイスはRoHSおよびWEEEに準拠しています。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/>をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。
それ以外は、 $T_A = 25^{\circ}\text{C}$, $V^+ = 15\text{V}$, $V^- = -15\text{V}$, $V_{CM} = V_{OUT} = V_{REF} = 0\text{V}$ での値。 V_{CMOP} は内部オペアンプの同相電圧。抵抗分割比 = 3.1の場合、 $\pm REFA = \pm REFc = \text{OPEN}$, $\pm REFb = 0\text{V}$ 。抵抗分割比 = 8.3の場合、 $\pm REFA = \pm REFc = 0\text{V}$, $\pm REFb = \text{OPEN}$ 。抵抗分割比 = 10.3の場合、 $\pm REFA = \pm REFb = \pm REFc = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
G	Gain	$V_{OUT} = \pm 10\text{V}$		10		V/V
ΔG	Gain Error, MS16 Package	$V_{OUT} = \pm 10\text{V}$	●	± 0.002	± 0.0075 ± 0.0085	% %
ΔG	Gain Error, DF14 Package	$V_{OUT} = \pm 10\text{V}$	●	± 0.002	± 0.0085 ± 0.0095	% %
$\Delta G/\Delta T$	Gain Drift vs Temperature (Note 6)	$V_{OUT} = \pm 10\text{V}$	●	± 0.2	± 1	ppm/ $^{\circ}\text{C}$
GNL	Gain Nonlinearity	$V_{OUT} = \pm 10\text{V}$	●	± 1	± 2 ± 3	ppm ppm
V_{OS}	Input Offset Voltage	$V^- < V_{CMOP} < V^+ - 1.75\text{V}$ Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 10.3 Resistor Divider Ratio = 10.3	● ● ● ● ● ●	50 600 120 500 1600 600 2000	200 μV 600 μV 120 500 1600 600 2000	μV μV μV μV μV μV μV
$\Delta V_{OS}/\Delta T$	Input Offset Voltage Drift (Note 6)	$V^- < V_{CMOP} < V^+ - 1.75\text{V}$ Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 10.3	● ●	1.5 5	4 12	μV/ $^{\circ}\text{C}$ μV/ $^{\circ}\text{C}$
R_{IN}	Input Impedance (Note 8)	Common Mode Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 10.3 Differential	● ● ● ● ●	47 36 35 128	56 43 42 152	65 kΩ 50 kΩ 49 kΩ 176 kΩ
CMRR	Common Mode Rejection Ratio, MS16 Package	Resistor Divider Ratio = 3.1, $V_{CM} = \pm 28\text{V}$	●	90 88	98	dB dB
		Resistor Divider Ratio = 8.3, $V_{CM} = \pm 28\text{V}$	●	90 88	98	dB dB
		Resistor Divider Ratio = 10.3, $V_{CM} = \pm 28\text{V}$	●	90 88	98	dB dB
CMRR	Common Mode Rejection Ratio, DF14 Package	Resistor Divider Ratio = 3.1, $V_{CM} = \pm 28\text{V}$	●	88 86	95	dB dB
		Resistor Divider Ratio = 8.3, $V_{CM} = \pm 28\text{V}$	●	88 86	95	dB dB
		Resistor Divider Ratio = 10.3, $V_{CM} = \pm 28\text{V}$	●	88 86	95	dB dB
		Resistor Divider Ratio = 10.3, $V_{CM} = \pm 150\text{V}$, $V_S = \pm 25\text{V}$, $T_A = -40^{\circ}\text{C}$ to 125°C	●	90 86	96	dB dB
		Resistor Divider Ratio = 10.3, $V_{CM} = \pm 230\text{V}$, $V_S = \pm 25\text{V}$, $T_A = -40^{\circ}\text{C}$ to 85°C	●	90 89	96	dB dB
V_{CM}	Input Voltage Range (Note 7)		●	-230	230	V
PSRR	Power Supply Rejection Ratio (Input Referred)	$V_S = \pm 1.65\text{V}$ to $\pm 25\text{V}$, $V_{CM} = V_{OUT}$ = Mid-Supply Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 10.3	● ● ●	105 98 96	120 110 107	dB dB dB
e_{ni}	Input Referred Noise Voltage Density	$f = 1\text{kHz}$ Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 10.3			105 245	nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$

電気的特性

- はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。
- それ以外は、 $T_A = 25^{\circ}\text{C}$ 、 $V^+ = 15\text{V}$ 、 $V^- = -15\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_{\text{REF}} = 0\text{V}$ での値。 V_{CMOP} は内部オペアンプの同相電圧。抵抗分割比 = 3.1の場合、 $\pm\text{REFA} = \pm\text{REFC} = \text{OPEN}$ 、 $\pm\text{REFB} = 0\text{V}$ 。抵抗分割比 = 8.3の場合、 $\pm\text{REFA} = \pm\text{REFC} = 0\text{V}$ 、 $\pm\text{REFB} = \text{OPEN}$ 。抵抗分割比 = 10.3の場合、 $\pm\text{REFA} = \pm\text{REFB} = \pm\text{REFC} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Input Referred Noise Voltage	$f = 0.1\text{Hz}$ to 10Hz Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 10.3		4 10		$\mu\text{V}_{\text{P-P}}$ $\mu\text{V}_{\text{P-P}}$
V_{OL}	Output Voltage Swing Low (Referred to V^-)	No Load $I_{\text{SINK}} = 5\text{mA}$	● ●	5 280	50 500	mV mV
V_{OH}	Output Voltage Swing High (Referred to V^+)	No Load $I_{\text{SOURCE}} = 5\text{mA}$	● ●	5 400	20 750	mV mV
I_{SC}	Short-Circuit Output Current	50Ω to V^+ 50Ω to V^-	● ●	10 10	28 30	mA mA
SR	Slew Rate	$\Delta V_{\text{OUT}} = \pm 5\text{V}$	●	2.2	4.1	$\text{V}/\mu\text{s}$
BW	Small Signal -3dB Bandwidth	Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 10.3			300 190 160	kHz kHz kHz
t_s	Settling Time	Resistor Divider Ratio = 3.1 0.01%, $\Delta V_{\text{OUT}} = 10\text{V}$ 0.1%, $\Delta V_{\text{OUT}} = 10\text{V}$ 0.01%, $\Delta V_{\text{CM}} = 10\text{V}$, $\Delta V_{\text{DIFF}} = 0\text{V}$		41 26 15		μs μs μs
		Resistor Divider Ratio = 10.3 0.01%, $\Delta V_{\text{OUT}} = 10\text{V}$ 0.1%, $\Delta V_{\text{OUT}} = 10\text{V}$ 0.01%, $\Delta V_{\text{CM}} = 10\text{V}$, $\Delta V_{\text{DIFF}} = 0\text{V}$		26 16 5		μs μs μs
V_s	Supply Voltage		●	3 3.3	50 50	V V
t_{ON}	Turn-On Time				16	μs
V_{IL}	$\bar{\text{SHDN}}$ Input Logic Low (Referred to V^+)		●		-2.5	V
V_{IH}	$\bar{\text{SHDN}}$ Input Logic High (Referred to V^+)		●	-1.2		V
I_{SHDN}	$\bar{\text{SHDN}}$ Pin Current		●		-10 -15	μA
I_s	Supply Current	Active, $V_{\text{SHDN}} \geq V^+ - 1.2\text{V}$ Active, $V_{\text{SHDN}} \geq V^+ - 1.2\text{V}$ Shutdown, $V_{\text{SHDN}} \leq V^+ - 2.5\text{V}$ Shutdown, $V_{\text{SHDN}} \leq V^+ - 2.5\text{V}$	● ●	350 20	400 25 70	μA μA μA μA

電気的特性

- はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。
- それ以外は、 $T_A = 25^{\circ}\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_{OUT} = V_{REF} = \text{電源電圧の中点}$ 。 V_{CMOP} は内部オペアンプの同相電圧。抵抗分割比 = 3.1の場合、 $\pm REFA = \pm REFc = \text{OPEN}$ 、 $\pm REFb = \text{電源電圧の中点}$ 。抵抗分割比 = 8.3の場合、 $\pm REFA = \pm REFc = \text{電源電圧の中点}$ 、 $\pm REFb = \text{OPEN}$ 。抵抗分割比 = 10.3の場合、 $\pm REFA = \pm REFb = \pm REFc = \text{電源電圧の中点}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
G	Gain	$V_{OUT} = 1\text{V to } 4\text{V}$		10		V/V
ΔG	Gain Error, MS16 Package	$V_{OUT} = 1\text{V to } 4\text{V}$	●	± 0.002	± 0.01	%
ΔG	Gain Error, DF14 Package	$V_{OUT} = 1\text{V to } 4\text{V}$	●	± 0.002	± 0.012	%
$\Delta G/\Delta T$	Gain Drift vs Temperature (Note 6)	$V_{OUT} = 1\text{V to } 4\text{V}$	●	± 0.2	± 1	ppm/ $^{\circ}\text{C}$
GNL	Gain Nonlinearity	$V_{OUT} = 1\text{V to } 4\text{V}$		± 1		ppm
V_{OS}	Input Offset Voltage	$0 < V_{CMOP} < V^+ - 1.75\text{V}$		50	200	μV
		Resistor Divider Ratio = 3.1	●	600		μV
		Resistor Divider Ratio = 3.1	●	120	500	μV
		Resistor Divider Ratio = 8.3	●	1600		μV
		Resistor Divider Ratio = 8.3	●	600		μV
		Resistor Divider Ratio = 10.3	●	2000		μV
$\Delta V_{OS}/\Delta T$	Input Offset Voltage Drift (Note 6)	$0 < V_{CMOP} < V^+ - 1.75\text{V}$		1.5	4	$\mu\text{V}/^{\circ}\text{C}$
		Resistor Divider Ratio = 3.1	●	5	12	$\mu\text{V}/^{\circ}\text{C}$
		Resistor Divider Ratio = 10.3	●			
R_{IN}	Input Impedance (Note 8)	Common Mode		47	56	k Ω
		Resistor Divider Ratio = 3.1	●	36	43	k Ω
		Resistor Divider Ratio = 8.3	●	35	42	k Ω
		Resistor Divider Ratio = 10.3	●	128	152	k Ω
		Differential				
CMRR	Common Mode Rejection Ratio, MS16 Package	Resistor Divider Ratio = 3.1 $V_{CM} = -5.25\text{V to } +4.825\text{V}$	●	90	97	dB
		Resistor Divider Ratio = 8.3 $V_{CM} = -18.25\text{V to } +8.725\text{V}$	●	87		dB
		Resistor Divider Ratio = 10.3 $V_{CM} = -23.25\text{V to } +10.225\text{V}$	●	90	97	dB
CMRR	Common Mode Rejection Ratio, DF14 Package	Resistor Divider Ratio = 3.1 $V_{CM} = -5.25\text{V to } +4.825\text{V}$	●	86	94	dB
		Resistor Divider Ratio = 8.3 $V_{CM} = -18.25\text{V to } +8.725\text{V}$	●	85		dB
		Resistor Divider Ratio = 10.3 $V_{CM} = -23.25\text{V to } +10.225\text{V}$	●	86	94	dB
		Resistor Divider Ratio = 10.3 $V_{CM} = -23.25\text{V to } +10.225\text{V}$	●	85		dB
PSRR	Power Supply Rejection Ratio (Input Referred)	$V_S = \pm 1.65\text{V to } \pm 25\text{V}$, $V_{CM} = V_{OUT} = \text{Mid-Supply}$		105	120	dB
		Resistor Divider Ratio = 3.1	●	98	110	dB
		Resistor Divider Ratio = 8.3	●	96	107	dB
e_{ni}	Input Referred Noise Voltage Density	$f = 1\text{kHz}$		105		$\text{nV}/\sqrt{\text{Hz}}$
		Resistor Divider Ratio = 3.1		245		$\text{nV}/\sqrt{\text{Hz}}$
	Input Referred Noise Voltage	$f = 0.1\text{Hz to } 10\text{Hz}$		4		$\mu\text{V}_{\text{P-P}}$
		Resistor Divider Ratio = 3.1		10		$\mu\text{V}_{\text{P-P}}$
V_{OL}	Output Voltage Swing Low (Referred to V^-)	No Load	●	5	50	mV
		$I_{SINK} = 5\text{mA}$	●	280	500	mV
V_{OH}	Output Voltage Swing High (Referred to V^+)	No Load	●	5	20	mV
		$I_{SOURCE} = 5\text{mA}$	●	400	750	mV

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。それ以外は、 $T_A = 25^{\circ}\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_{OUT} = V_{REF} = \text{電源電圧の中点}$ 。 V_{CMOP} は内部オペアンプの同相電圧。抵抗分割比 = 3.1の場合、 $\pm\text{REFA} = \pm\text{REFC} = \text{OPEN}$ 、 $\pm\text{REFB} = \text{電源電圧の中点}$ 。抵抗分割比 = 8.3の場合、 $\pm\text{REFB} = \pm\text{REFC} = \text{電源電圧の中点}$ 、 $\pm\text{REFB} = \text{OPEN}$ 。抵抗分割比 = 10.3の場合、 $\pm\text{REFB} = \pm\text{REFC} = \pm\text{REFB} = \text{電源電圧の中点}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_{SC}	Short-Circuit Output Current	$50\Omega \text{ to } V^+$ $50\Omega \text{ to } V^-$	● ●	10 10	27 25	mA mA
SR	Slew Rate	$\Delta V_{OUT} = 3\text{V}$	●	1.9	3	$\text{V}/\mu\text{s}$
BW	Small Signal -3dB Bandwidth	Resistor Divider Ratio = 3.1 Resistor Divider Ratio = 8.3 Resistor Divider Ratio = 10.3			300 190 160	kHz kHz kHz
t_s	Settling Time	Resistor Divider Ratio = 3.1 0.01%, $\Delta V_{OUT} = 2\text{V}$ 0.1%, $\Delta V_{OUT} = 2\text{V}$ 0.01%, $\Delta V_{CM} = 2\text{V}$, $\Delta V_{DIFF} = 0\text{V}$			34 20 10	μs μs μs
		Resistor Divider Ratio = 10.3 0.01%, $\Delta V_{OUT} = 2\text{V}$ 0.1%, $\Delta V_{OUT} = 2\text{V}$ 0.01%, $\Delta V_{CM} = 2\text{V}$, $\Delta V_{DIFF} = 0\text{V}$			40 16 5	μs μs μs
V_S	Supply Voltage		●	3 3.3	50 50	V V
t_{ON}	Turn-On Time				22	μs
V_{IL}	SHDN Input Logic Low (Referred to V^+)		●		-2.5	V
V_{IH}	SHDN Input Logic High (Referred to V^+)		●		-1.2	V
I_{SHDN}	SHDN Pin Current		●		-10 -15	μA
I_S	Supply Current	Active, $V_{SHDN} \geq V^+ - 1.2\text{V}$ Active, $V_{SHDN} \geq V^+ - 1.2\text{V}$ Shutdown, $V_{SHDN} \leq V^+ - 2.5\text{V}$ Shutdown, $V_{SHDN} \leq V^+ - 2.5\text{V}$	● ●	330 525	370 20	μA μA
				15	40	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: +IN/-INピンの電圧を $\pm 240\text{V}$ にする場合の他の検討事項については、このデータシートの「アプリケーション情報」セクションの「同相電圧範囲」を参照。他のピンは全て電源レベルから 0.3V を超えて外れなければならない。

Note 3: 接合部温度を絶対最大定格以下に抑えるためにヒートシンクが必要な場合がある。これは、電源、入力電圧、および出力電流によって決まる。

Note 4: LT6376Iは、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の動作温度範囲で機能することが保証されている。LT6376Hは、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲で機能することが保証されている。

Note 5: LT6376Iは $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で性能仕様に適合することが保証されている。LT6376Hは $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で性能仕様に適合することが保証されている。

Note 6: このパラメータに対しては全数テストは実施されない。

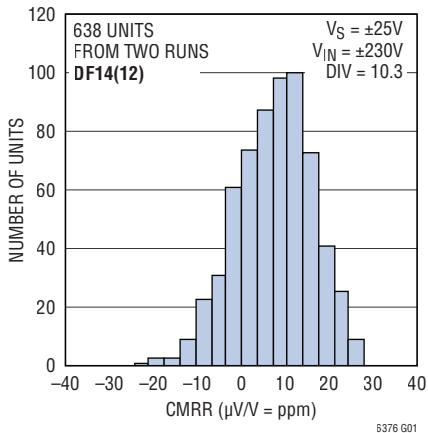
Note 7: 入力電圧範囲は、 $V_S = \pm 25\text{V}$ で、REFピンを全てグランドにした状態のCMRRテストで保証されている(抵抗分割比 = 10.3)。その他の電圧では、このパラメータは設計および $\pm 25\text{V}$ テストとの相関によって保証されている。さまざまな動作条件の下で有効な入力電圧範囲を知るには、「アプリケーション情報」セクションの「同相電圧範囲」を参照する。

Note 8: 入力インピーダンスは、CMRRテストおよび利得誤差テストとの相関と直接測定の組み合わせでテストされる。

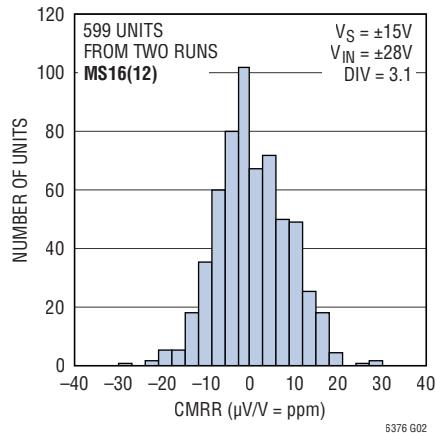
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。

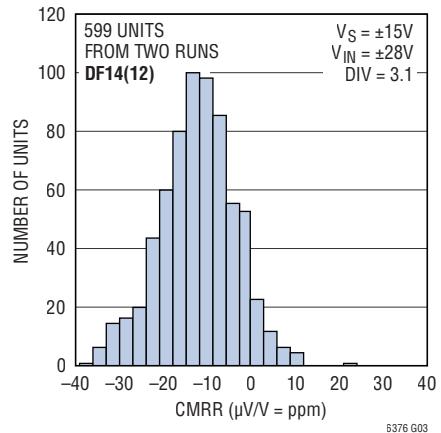
CMRR の標準分布



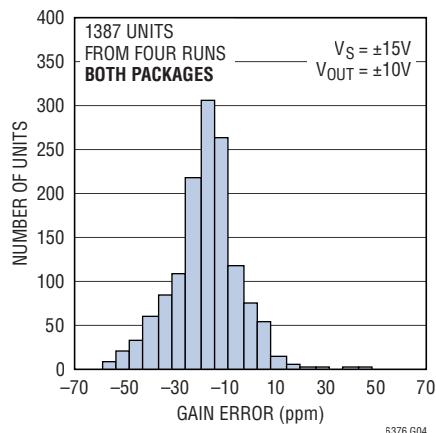
CMRR の標準分布



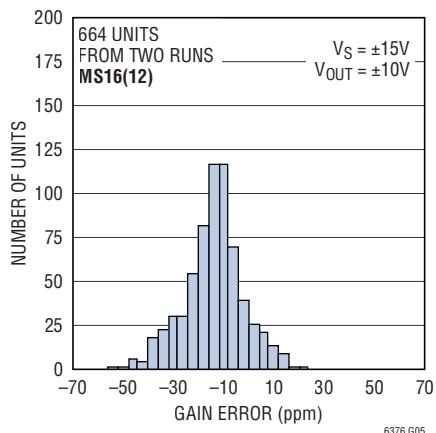
CMRR の標準分布



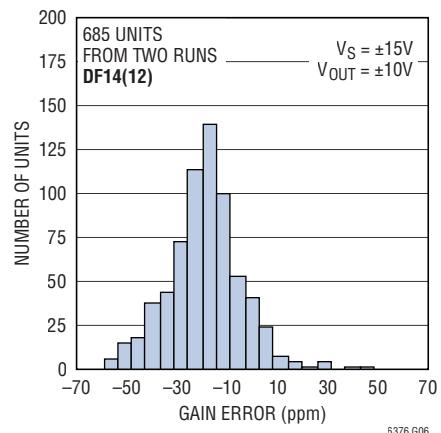
利得誤差の標準分布



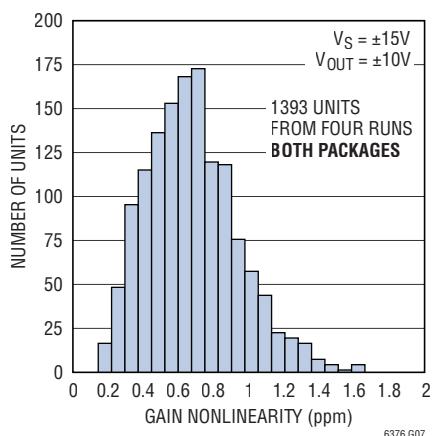
利得誤差の標準分布



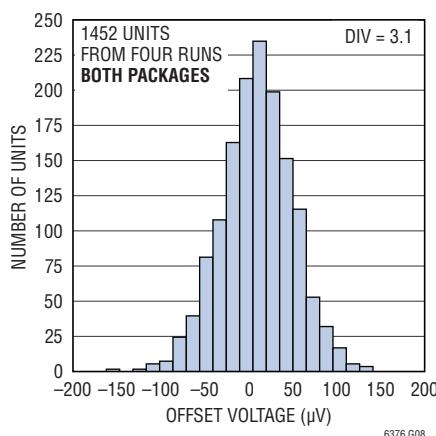
利得誤差の標準分布



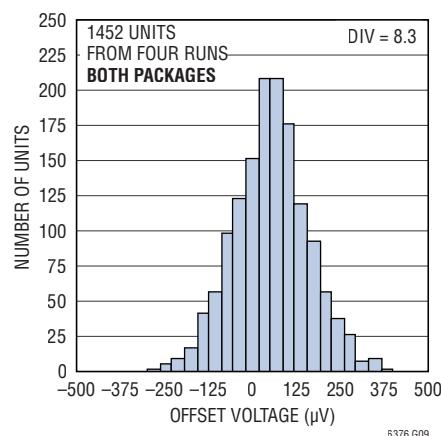
利得非直線性の標準分布



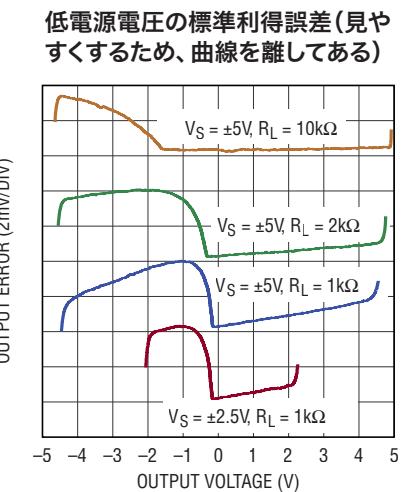
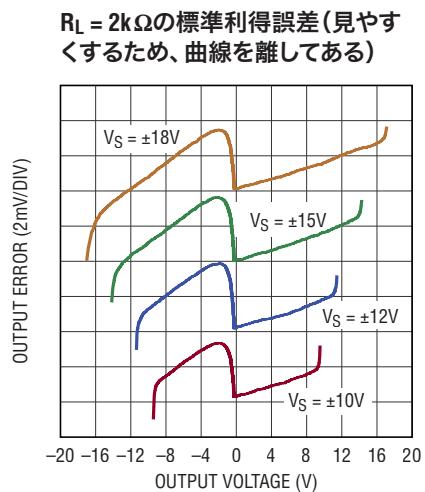
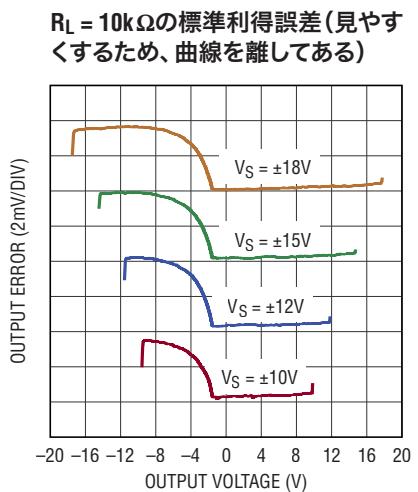
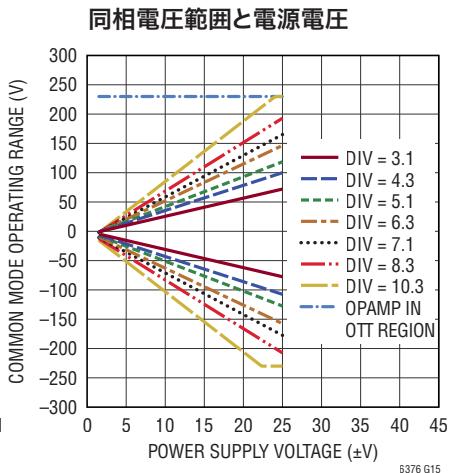
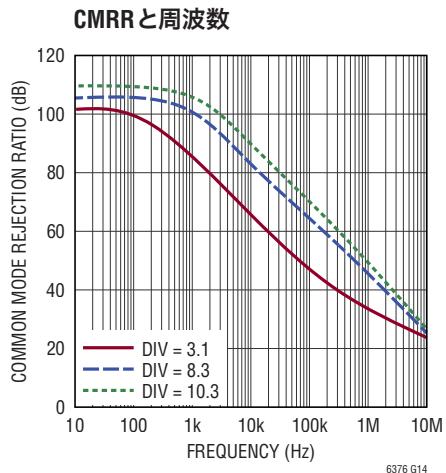
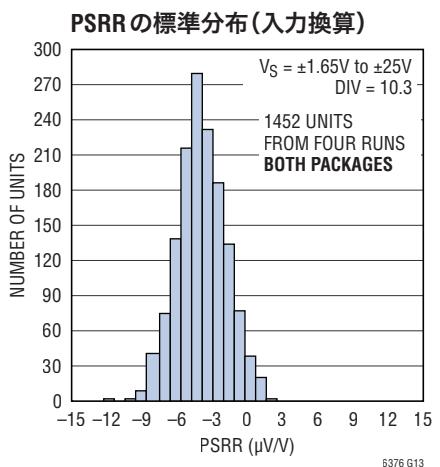
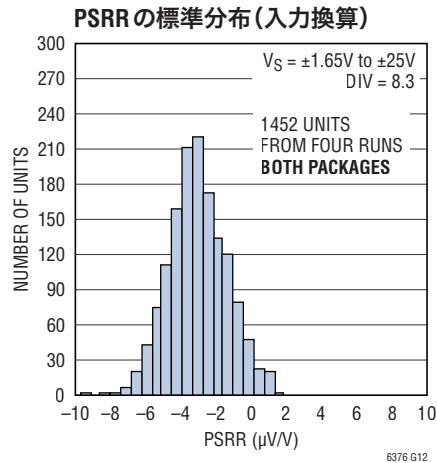
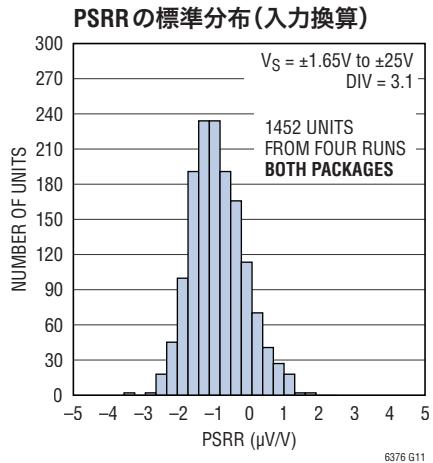
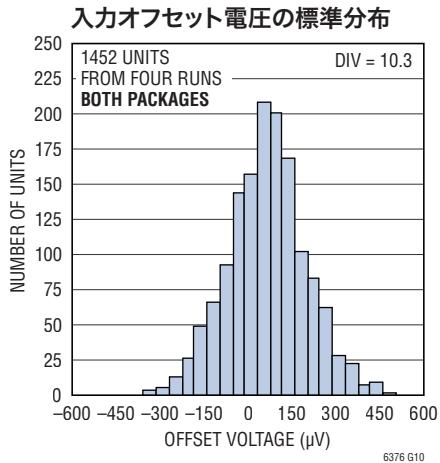
入力オフセット電圧の標準分布



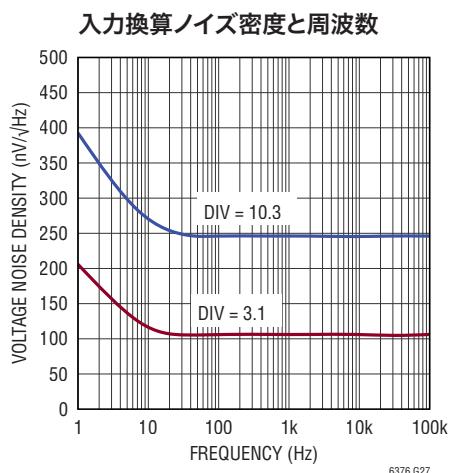
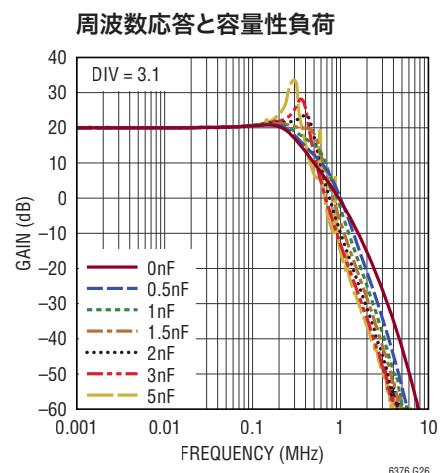
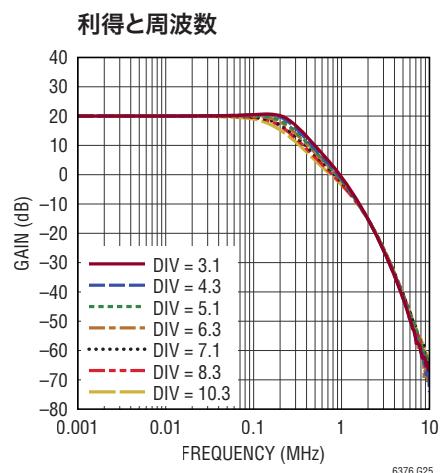
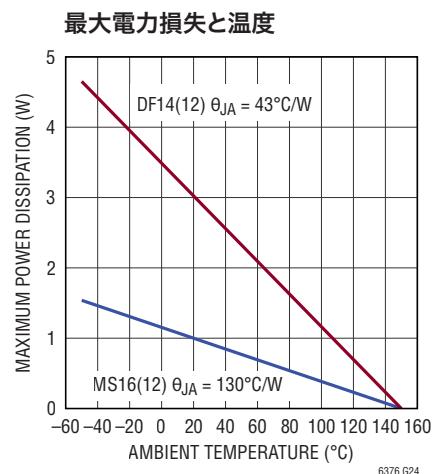
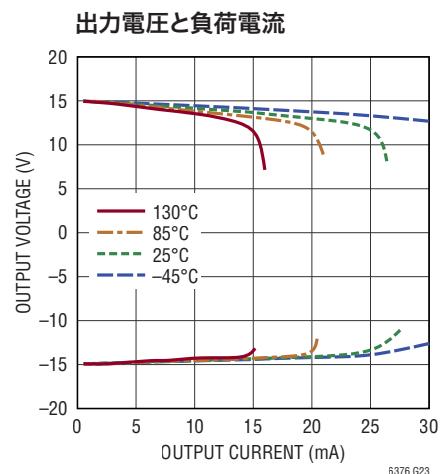
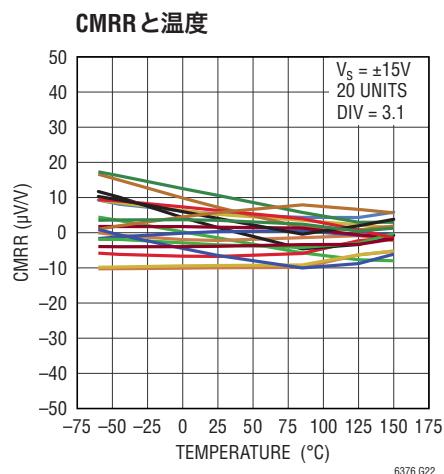
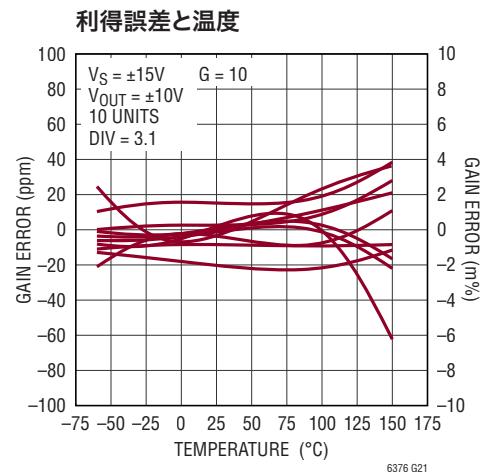
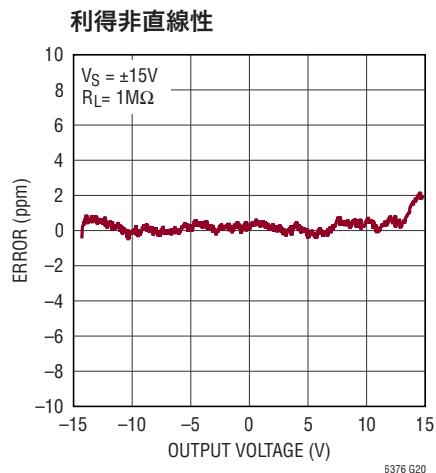
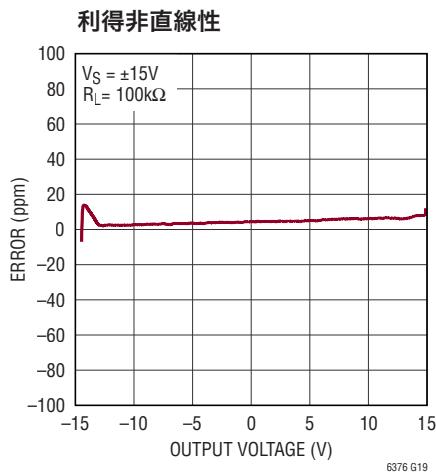
入力オフセット電圧の標準分布



標準的性能特性

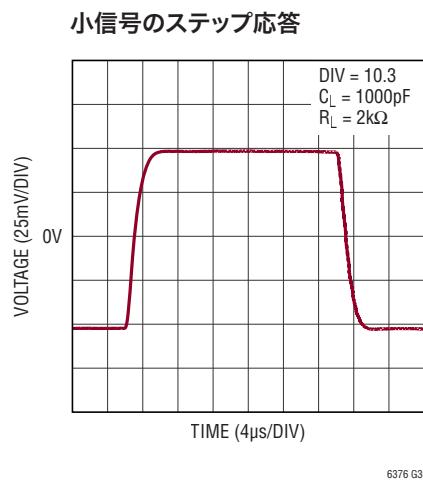
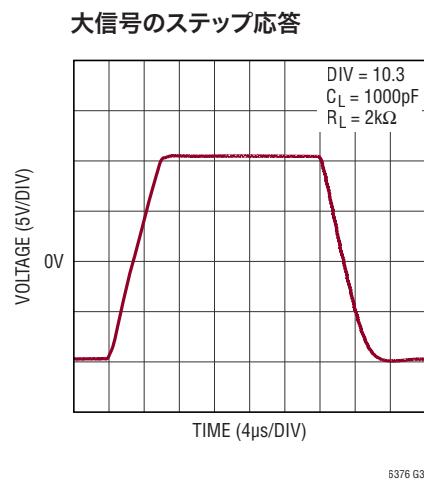
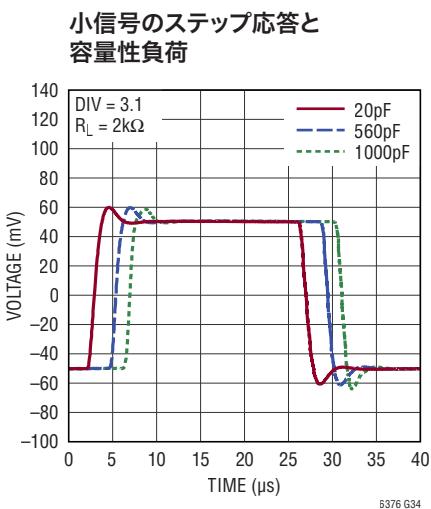
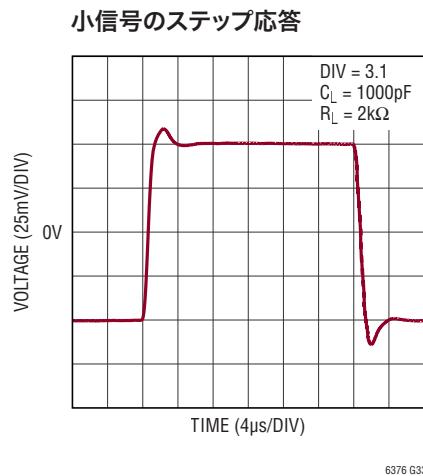
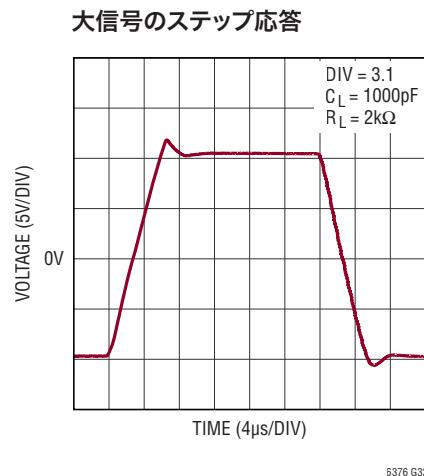
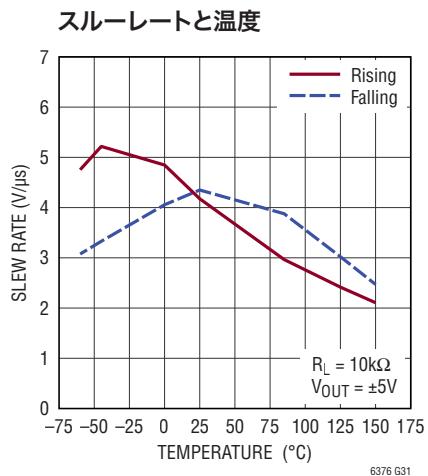
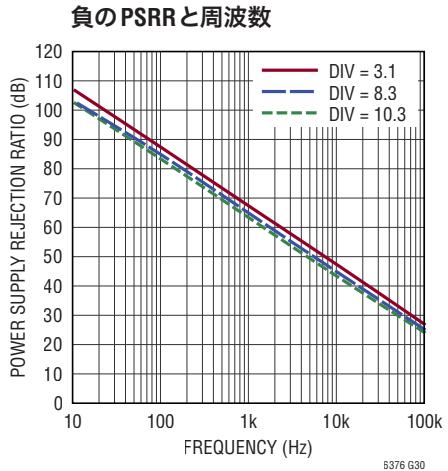
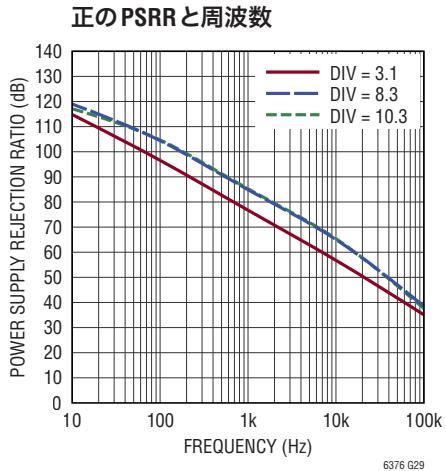
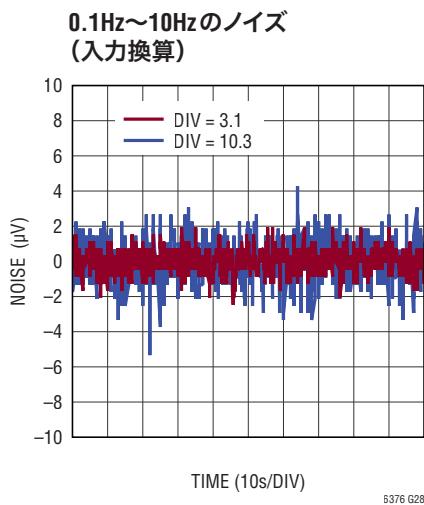
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。

標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。

標準的性能特性

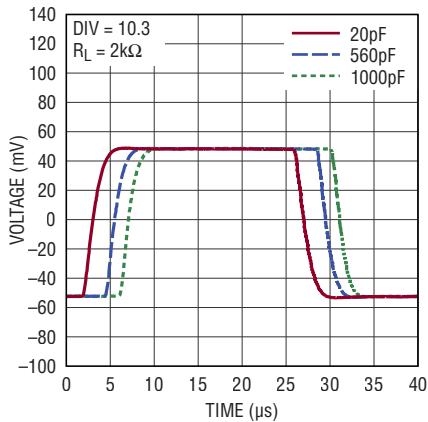
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。



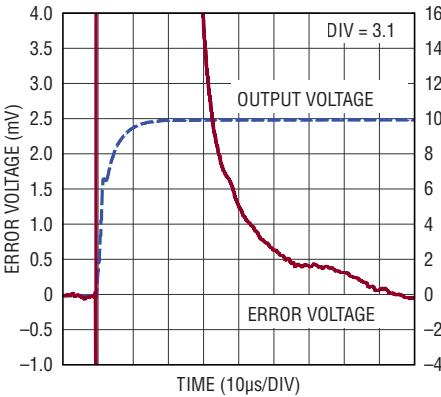
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。

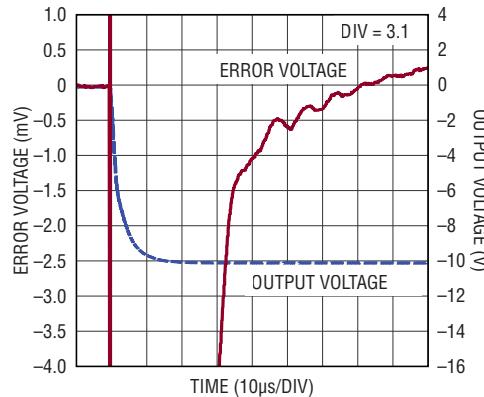
小信号のステップ応答と容量性負荷



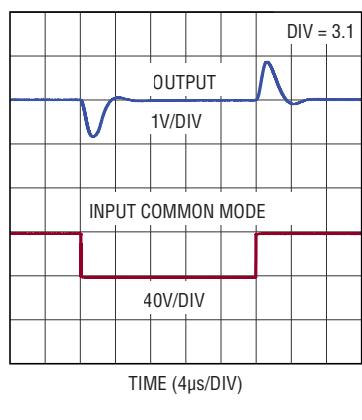
セッティング時間



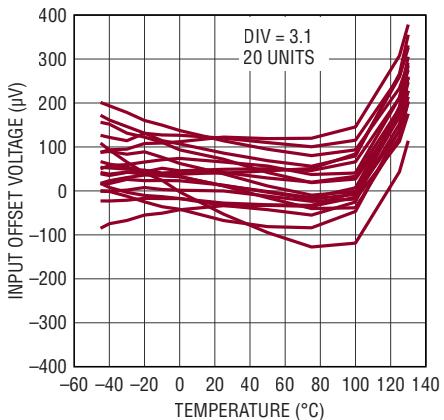
セッティング時間



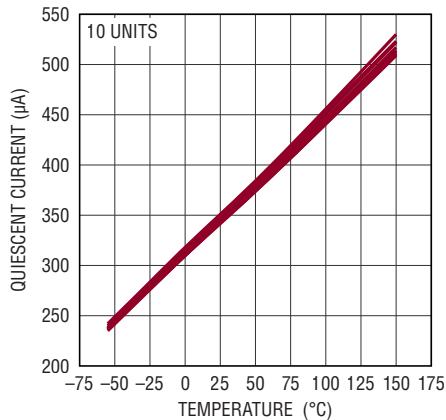
入力同相電圧のステップ応答



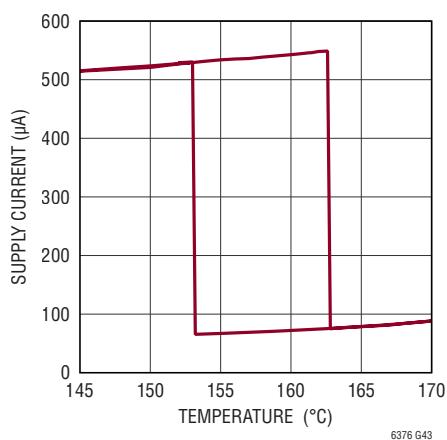
入力オフセット電圧と温度



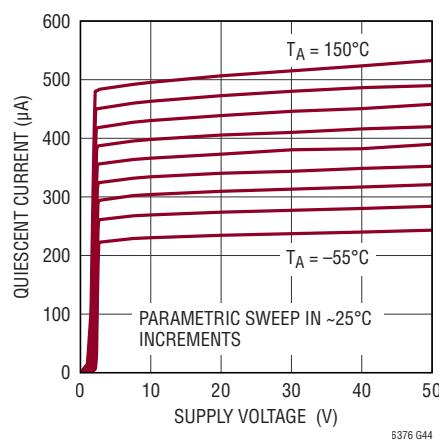
静止電流と温度



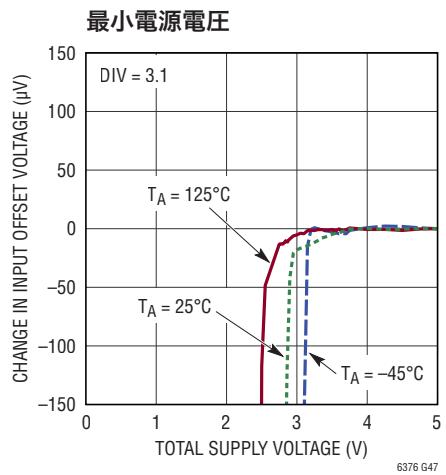
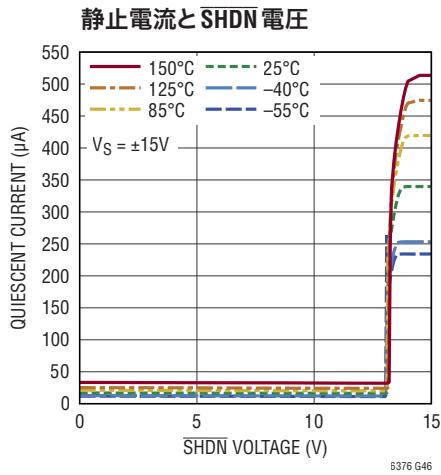
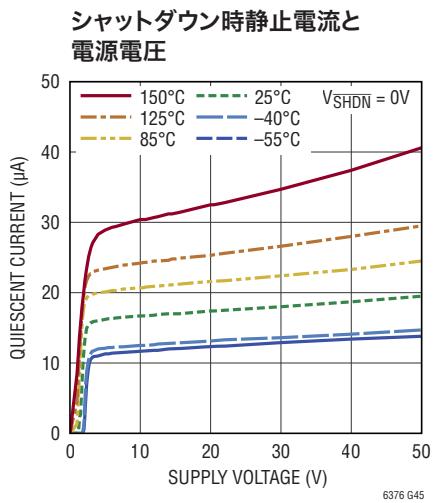
サーマル・シャットダウンのヒステリシス



静止電流と電源電圧



標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 。

ピン機能 (DFN/MSOP)

V⁺(ピン9/ピン10): 正電源ピン。

V⁻(露出パッド・ピン15/ピン8): 負電源ピン。

OUT(ピン8/ピン9): 出力ピン。

+IN(ピン1/ピン1): 非反転入力ピン。230V～−230Vの入力電圧を受け取ります。

+REFA(ピン3/ピン3): リファレンス・ピンA。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

+REFB(ピン4/ピン5): リファレンス・ピンB。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

+REFC(ピン5/ピン6): リファレンス・ピンC。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

-IN(ピン14/ピン16): 反転入力ピン。230V～−230Vの入力電圧を受け取ります。

-REFA(ピン12/ピン14): リファレンス・ピンA。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

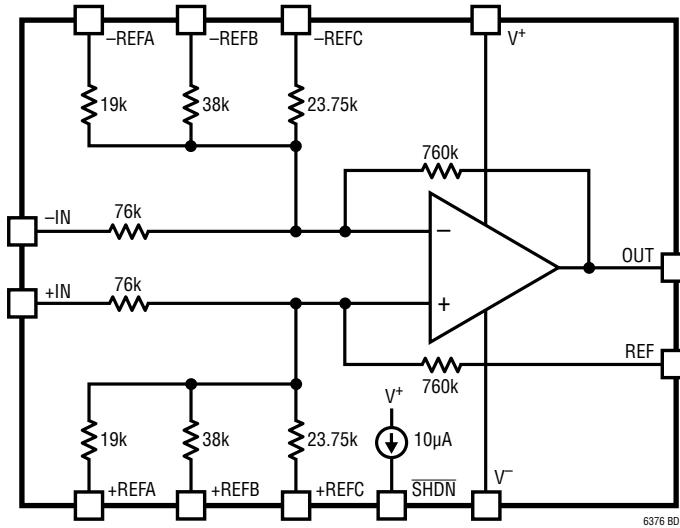
-REFB(ピン11/ピン12): リファレンス・ピンB。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

-REFC(ピン10/ピン11): リファレンス・ピンC。入力同相電圧範囲および出力ノイズ、出力オフセットを設定します。

REF(ピン6/ピン7): リファレンス入力。入力間の電圧差がゼロである場合に、出力レベルを設定します。

SHDN(ピン7) DFNのみ: シャットダウン・ピン。このピンをV⁺に接続するか、フロート状態のままにすると、アンプがアクティブになります。このピンの電圧がV⁺より2.5Vを超えて下回ると、アンプは低消費電力状態に移行します。

ブロック図



アプリケーション情報

伝達関数

LT6376は伝達関数を備えた利得10の差電圧アンプです。

$$V_{\text{OUT}} = 10 \cdot (V_{+\text{IN}} - V_{-\text{IN}}) + V_{\text{REF}}$$

差動入力電圧($V_{\text{DIFF}} = V_{+\text{IN}} - V_{-\text{IN}}$)がゼロのときは、REFビンの電圧により出力電圧が設定されます。このリファレンスを使用して、シグナル・チェーンの次の段に必要な入力レベルに出力電圧をシフトさせます。

選択可能な抵抗分割比の利点

LT6376は、同相電圧範囲が高い既存の差電圧アンプに比べ、パッケージが小型で利得精度とノイズ性能に優れています。また、入力同相電圧範囲に適した抵抗分割比(DIV)を選択することにより、LT6376はシステム性能を最大限に高めることができます。抵抗分割比(DIV)を大きくすると、入力ピンの同相電圧範囲を高くすることができますが、同時に出力ノイズと出力オフセット/ドリフトが大きくなり、-3dB帯域幅が狭くなります。したがって、入力範囲と、デバイスのDC、AC、ドリフト性能との間にトレードオフが存在します。システムのSNR、精度、および速度を最大限に高めるには、アプリケーションに必要な入力同相電圧範囲を実現する最小の抵抗分割比を選択することを推奨します。

利得10構成のLT6376のノイズ、オフセット/ドリフト、および-3dB帯域幅を表1に示します。

同相電圧範囲

LT6376は、高い入力電圧に耐えられる内部オペアンプと、オペアンプの入力の抵抗分割器によって、広い同相電圧範囲を実現しています。

入力同相電圧は、LT6376の内部抵抗ネットワークにより分圧されます。それによって生じるオペアンプの入力電圧により、オペアンプの動作領域が決まります。図1に示す構成では、76kの入力抵抗と、各入力とグランドの間の抵抗(約36.19k)により、オペアンプの両方の入力に抵抗分割器が形成されています。グランドへの抵抗は、並列に接続された38k(REFB抵抗)と760k(帰還/REF抵抗)によって形成されます。その結果が、入力電圧の3.1分割です。表1～表5に示すように、リファレンス・ピン(+REFA、-REFA、+REFB、-REFB、+REFC、-REFC)の接続を変えると、LT6376の入力同相電圧の抵抗分割比(DIV)と減衰が変化します。

アプリケーション情報

表1. さまざまな抵抗分割比におけるLT6376の性能

抵抗分割器のオプション				抵抗分割比 (DIV)	差動利得	1kHzでの 出力ノイズ (nV/ $\sqrt{\text{Hz}}$)	最大入力オフセット (μV)	最大入力オフセット・ ドリフト($\mu\text{V}/^{\circ}\text{C}$)	-3dB 帯域幅 (kHz)
+REFA および -REFB	+REFB および -REFC	+REFC および -REFB	REF						
19k	38k	23.75k	760k						
OPEN	GND	OPEN	REF	3.1	10	105	200	4	300
OPEN	OPEN	GND	REF	4.3	10	130	250	5.5	275
GND	OPEN	OPEN	REF	5.1	10	145	300	6.5	245
OPEN	GND	GND	REF	6.3	10	170	380	7.5	225
GND	GND	OPEN	REF	7.1	10	185	420	8.5	200
GND	OPEN	GND	REF	8.3	10	210	500	10	190
GND	GND	GND	REF	10.3	10	245	600	12	160

LT6376の内部オペアンプには、次の2つの動作範囲があります。(a) 内部オペアンプの入力の同相電圧(V_{CMOP})が $V^- \sim V^+ - 1.75\text{V}$ の範囲内である場合、オペアンプは通常領域で動作します。(b) V_{CMOP} が $V^+ - 1.75\text{V} \sim V^- + 76\text{V}$ の範囲内である場合、オペアンプは動作を継続しますが、Over-The-Top領域では性能が低下します(詳細については、このデータシートの「Over-The-Top動作」のセクションを参照)。

デュアル電源で使用する場合にリファレンス・ピンの設定を変えたときの、LT6376の有効な入力同相電圧範囲を表2に示します。この表の電圧範囲を使用すると、内部オペアンプを通常(かつ最良)の領域で動作させることができます。このデータシートの「標準的性能特性」のセクションにある「同相電圧範囲と電源電圧」の図は、表2の内容を図示したものです。

内部オペアンプがOver-The-Top領域で動作する場合のLT6376の有効な入力同相電圧範囲を表3に示します。

リファレンス・ピンは(表2と表3のように)グランドに接続することも、任意のリファレンス電圧に接続することもできます。LT6376の規定の利得精度とCMRR性能を実現するには、このリファレンスのインピーダンスを目的の帯域幅全体にわたり非常に小さくする必要があります。必要に応じて、高い品質の高周波用セラミック・コンデンサまたはフィルム・コンデンサおよび低周波用電解コンデンサが、リファレンスとグランドの間にあることを確認してください。

有効な入力同相電圧範囲は、選択したリファレンス・ピンの電圧に応じて変わります。単電源で使用して、さらにREFおよび他のリファレンス・ピンを電源電圧の中点に接続した場合のLT6376の有効な入力同相電圧範囲を表4に示します。表5に示すように、REFピンを電源電圧の中点に接続したまま他のリファレンス・ピンをグランドに接続した場合、正の入力電圧範囲は高くなりますが、負の入力電圧範囲はより制限されます。

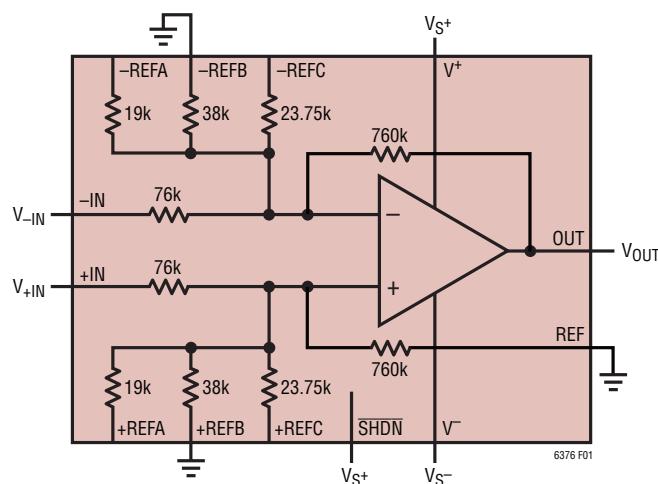


図1. デュアル電源動作の基本接続(抵抗分割比 = 3.1)

アプリケーション情報

表2. デュアル電源での同相電圧動作範囲(通常領域)

入力範囲(REF = GND)

+REFA および -REFB	+REFB および -REFC	+REFC および -REFB	DIV	VS = ±2.5V		VS = ±15V		VS = ±25V	
				"H"	"L"	"H"	"L"	"H"	"L"
OPEN	GND	OPEN	3.1	2.325	-7.75	41.075	-46.5	72.075	-77.5
OPEN	OPEN	GND	4.3	3.225	-10.75	56.975	-64.5	99.975	-107.5
GND	OPEN	OPEN	5.1	3.825	-12.75	67.575	-76.5	118.575	-127.5
OPEN	GND	GND	6.3	4.725	-15.75	83.475	-94.5	146.475	-157.5
GND	GND	OPEN	7.1	5.325	-17.75	94.075	-106.5	165.075	-177.5
GND	OPEN	GND	8.3	6.225	-20.75	109.975	-124.5	192.975	-207.5
GND	GND	GND	10.3	7.725	-25.75	136.475	-154.5	230	-230

表3. デュアル電源での同相電圧動作範囲
(Over-The-Top 領域)

入力範囲(REF = GND)

+REFA および -REFB	+REFB および -REFC	+REFC および -REFB	DIV	VS = ±2.5V		VS = ±15V		VS = ±25V	
				"H"	"L"	"H"	"L"	"H"	"L"
OPEN	GND	OPEN	3.1	227.85	-7.75	189.1	-46.5	158.1	-77.5
OPEN	OPEN	GND	4.3	230	-10.75	230	-64.5	219.3	-107.5
GND	OPEN	OPEN	5.1	230	-12.75	230	-76.5	230	-127.5
OPEN	GND	GND	6.3	230	-15.75	230	-94.5	230	-157.5
GND	GND	OPEN	7.1	230	-17.75	230	-106.5	230	-177.5
GND	OPEN	GND	8.3	230	-20.75	230	-124.5	230	-207.5
GND	GND	GND	10.3	230	-25.75	230	-154.5	230	-230

表4. 単電源での同相電圧動作範囲。
リファレンスは電源電圧の中点(通常領域)

入力範囲(REF = VS/2)

+REFA および -REFB	+REFB および -REFC	+REFC および -REFB	DIV	VS = 5V		VS = 30V		VS = 50V	
				"H"	"L"	"H"	"L"	"H"	"L"
OPEN	VS/2	OPEN	3.1	4.825	-5.25	56.075	-31.5	97.075	-52.5
OPEN	OPEN	VS/2	4.3	5.725	-8.25	71.975	-49.5	124.975	-82.5
VS/2	OPEN	OPEN	5.1	6.325	-10.25	82.575	-61.5	143.575	-102.5
OPEN	VS/2	VS/2	6.3	7.225	-13.25	98.475	-79.5	171.475	-132.5
VS/2	VS/2	OPEN	7.1	7.825	-15.25	109.075	-91.5	190.075	-152.5
VS/2	OPEN	VS/2	8.3	8.725	-18.25	124.975	-109.5	217.975	-182.5
VS/2	VS/2	VS/2	10.3	10.225	-23.25	151.475	-139.5	230	-230

表5. 単電源での同相電圧動作範囲。リファレンスはGND
(通常領域)

入力範囲(REF = VS/2)									
+REFA および -REFB	+REFB および -REFC	+REFC および -REFB	DIV	VS = 5V		VS = 30V		VS = 50V	
				"H"	"L"	"H"	"L"	"H"	"L"
OPEN	GND	OPEN	3.1	9.825	-0.25	86.075	-1.5	147.075	-2.5
OPEN	OPEN	GND	4.3	13.725	-0.25	119.975	-1.5	204.975	-2.5
GND	OPEN	OPEN	5.1	16.325	-0.25	142.575	-1.5	230	-2.5
OPEN	GND	GND	6.3	20.225	-0.25	176.475	-1.5	230	-2.5
GND	GND	OPEN	7.1	22.825	-0.25	199.075	-1.5	230	-2.5
GND	OPEN	GND	8.3	26.725	-0.25	230	-1.5	230	-2.5
GND	GND	GND	10.3	33.225	-0.25	230	-1.5	230	-2.5

LT6376は、入力ピンの同相電圧が上の表で規定された範囲を下回ると正常に動作しませんが、内部オペアンプの入力の同相電圧(V_{CMOP})の最低値がV⁻ -25Vを常に上回っている限り、デバイスは損傷を受けません。また、どのような状況でも、LT6376の入力ピンの電圧が230Vを超えて、-230Vを下回らないようにする必要があります。

シャットダウン

DFN14パッケージのLT6376は、シャットダウン・ピン(SHDN)を備えています。通常動作では、このピンをV⁺に接続するか、フロート状態にする必要があります。このピンをV⁺より2.5Vより低い電圧で駆動すると、デバイスは低消費電力状態に移行します。電源電流が25µA未満に減少し、オペアンプの出力が高インピーダンスになります。

電源電圧

LT6376の正電源ピンは、小容量コンデンサ(標準0.1µF)を電源ピンのできるだけ近くに配置してバイパスします。重い負荷を駆動するときには、4.7µFの電解コンデンサを追加する必要があります。両電源を使用するときは、V⁻電源ピンでも同様です。

アプリケーション情報

正確な電流測定

LT6376は、広い同相電圧範囲のハイサイド、ローサイド、双方向の電流検出に使用することができます。RSENSEの両端の電圧を測定して電流を検出するLT6376を図2に示します。検出抵抗を追加すると、CMRR誤差と利得誤差が生じます。RSENSEが 0.5Ω より大きいと、ソース抵抗の不整合によりCMRRが低下します。RSENSEと値の等しい抵抗(R_C)を+IN端子と直列に追加すれば、この不整合はなくなります。

4.7 Ω より大きいRSENSEを使用すると、利得誤差がLT6376の仕様である0.0075%を上回ります。この原因となるのは、LT6376の負荷効果です。

$$V_{OUT} = 10 \cdot I_{LOAD} \cdot R_{SENSE} \cdot 76k / (76k + R_{SENSE})$$

R_{SENSE} と R_C をわずかに大きくして R_{SENSE}' にすると、利得誤差は減少します。

$$R_{SENSE}' = R_{SENSE} \cdot 76k / (76k - R_{SENSE}).$$

ノイズとフィルタリング

LT6376のノイズ性能は、内部の減衰設定を適切に選択し、アンプの出力にフィルタを追加することにより、最適化できます(図3)。LT6376の全帯域幅を必要としないアプリケーションでは、出力フィルタを追加するとシステム・ノイズが低下します。内部抵抗分割器の比と出力フィルタの帯域幅を変えたときの出力ノイズを表6に示します。

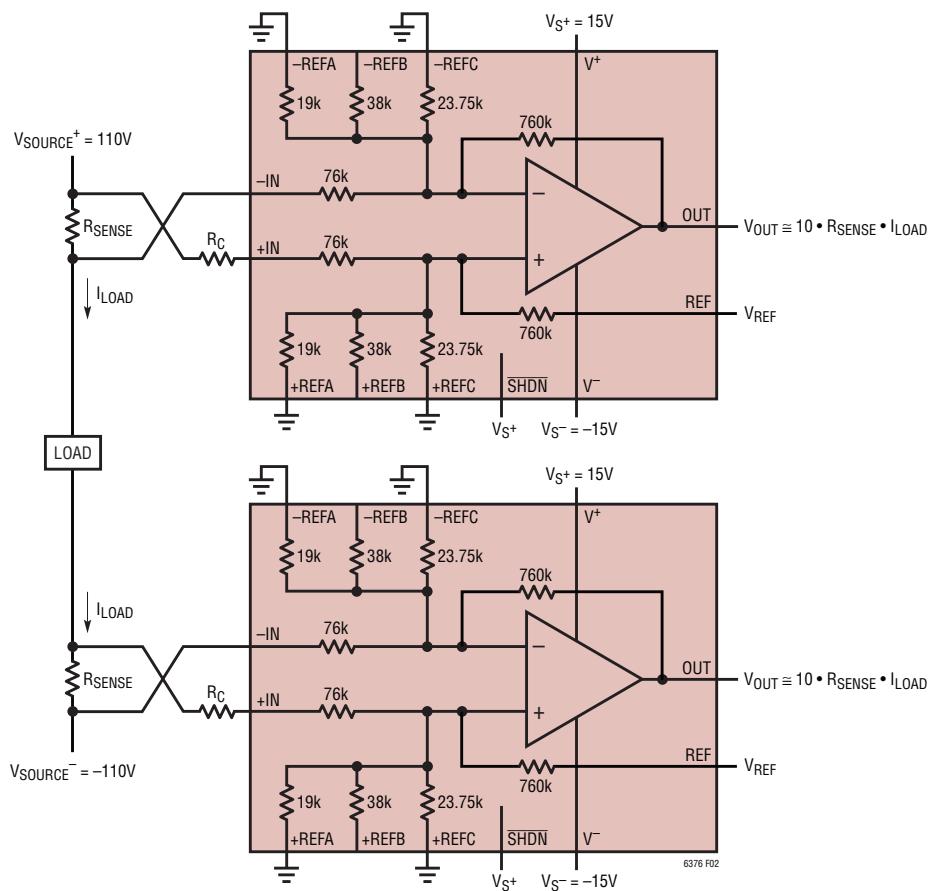


図2. 広い電圧範囲での電流検出

アプリケーション情報

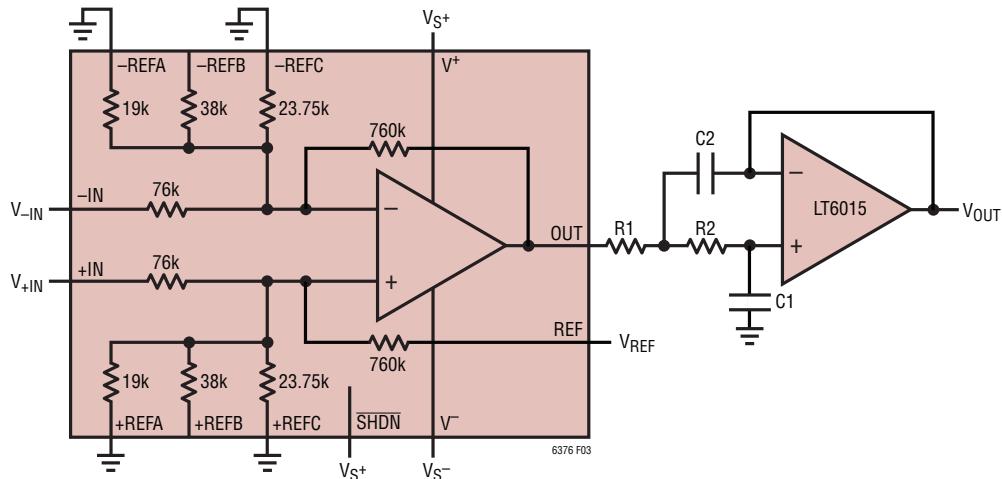


図3. 2ポール・バターワース・フィルタを使用した出力のフィルタリング

表6. 異なる内部抵抗分割器の比に対する2ポール・バターワース・フィルタの出力ノイズ(V_{P-P})

コーナー周波数	3.1	4.3	5.1	6.3	7.1	8.3	10.3
フィルタなし	548 μ V	606 μ V	638 μ V	678 μ V	707 μ V	747 μ V	809 μ V
100kHz	328 μ V	394 μ V	434 μ V	488 μ V	523 μ V	572 μ V	649 μ V
10kHz	107 μ V	131 μ V	146 μ V	168 μ V	183 μ V	204 μ V	239 μ V
1kHz	33 μ V	41 μ V	46 μ V	53 μ V	57 μ V	64 μ V	75 μ V
100Hz	12 μ V	15 μ V	17 μ V	19 μ V	21 μ V	24 μ V	28 μ V

表7. 異なる帯域幅の2ポール・バターワース・フィルタの部品の値

コーナー周波数	R1	R2	C1	C2
100kHz	11k Ω	11.3k Ω	100pF	200pF
10kHz	11k Ω	11.3k Ω	1nF	2nF
1kHz	11k Ω	11.3k Ω	10nF	20nF
100Hz	11k Ω	11.3k Ω	0.1 μ F	0.2 μ F

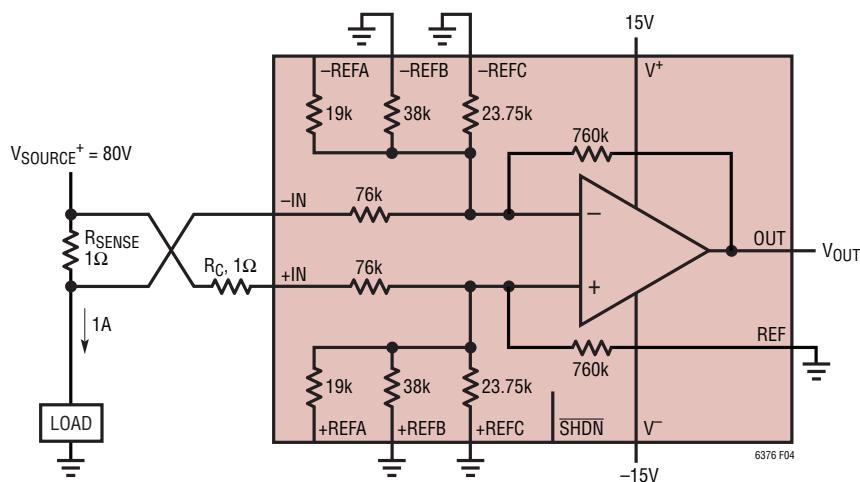


図4. 電流測定アプリケーション

アプリケーション情報

誤差バジェットの分析

電流測定アプリケーションに使用したLT6376を図4に示します。このアプリケーションの誤差バジェットを表8に示します。抵抗分割比を6.3に設定して、80Vの入力同相電圧をオペアンプの入力で12.7Vに分圧しています。1Aの電流と1Ωの検出抵抗により、10V(LT6376の場合)および1V(表に記載したその他全てのデバイスの場合)のフルスケール(FS)電圧が生成されます。表8は25°C～85°Cの温度範囲における出力フルスケール電圧の誤差要因をppm(parts per million)単位で示しています。

さまざまな誤差要因が、アプリケーションで達成可能な最大精度に影響を与えます。利得誤差、オフセット電圧、および同相除去誤差が合わさって初期誤差が生じます。また、利得誤差とオフセット電圧は、温度範囲全体にわたってドリフトします。LT6376の優れた利得精度、低オフセット電圧、高CMRR、低オフセット電圧ドリフト、および低利得誤差ドリフトが合わさって、きわめて正確な測定が可能となります。

Over-The-Top動作

LT6376の内部オペアンプの入力同相電圧(V_{CMOP})が、 V^+ 電源電圧の近くか、それより上にバイアスされると、オペアンプはOver-The-Top領域で動作します。オペアンプは、(正電源電圧 V^+ に関わらず) V^- より最大76V高い入力同相電圧で動

作を継続しますが、その性能は低下します。オペアンプの入力バイアス電流は、 $\pm 2\text{nA}$ 未満から $14\mu\text{A}$ まで変化します。オペアンプの入力オフセット電流は $\pm 50\text{nA}$ に上昇し、これによって $\pm 3.8\text{mV}$ が入力オフセット電圧に追加されます。

加えて、Over-The-Top領域で動作している場合、差動入力インピーダンスが、通常動作での $1\text{M}\Omega$ からOver-The-Top動作での約 $3.7\text{k}\Omega$ に減少します。この抵抗は内部オペアンプの加算ノードの両端に現れ、ノイズとオフセットを増加させるとともに、速度を低下させます。ノイズとオフセットは、抵抗分割比の設定に応じて、66%～83%増加します。帯域幅は、40%～45%狭くなります。Over-The-Top動作の詳細については、LT6015のデータシートを参照してください。

出力

LT6376の出力は、通常、無負荷状態で各レールの5mV以内で振幅可能で、約25mAをソーシングおよびシンキングすることができます。LT6376は、どのような出力負荷状態でも 1nF 以上の容量を駆動するように内部補償されています。出力とグランドの間に $0.22\mu\text{F}$ のコンデンサを 150Ω の抵抗と直列に接続すると、 1nF より大きな容量性負荷を駆動するように、このアンプを補償することができます。さらに、LT6376は、その抵抗分割比が増えるにつれて、利得と位相のマージンが増えます。

表8. 誤差バジェットの分析

誤差要因	LT6376 (DIV = 6.3)	LT6375 (DIV = 7)	AD629B	競合製品	出力フルスケール誤差(ppm)			
					LT6376	LT6375	AD629B	競合製品
差動利得(V/V)	10	1	1	1				
出力フルスケール電圧(V)	10	1	1	1				
精度、$T_A = 25^\circ\text{C}$								
初期利得誤差	0.0075% FS	0.006% FS	0.03% FS	0.02% FS	75	60	300	200
出力オフセット電圧	$3800\mu\text{V}$	$450\mu\text{V}$	$500\mu\text{V}$	$1100\mu\text{V}$	380	450	500	1100
同相電圧	$10 \cdot (80\text{V}/90\text{dB}) = 25300\mu\text{V}$	$80\text{V}/89\text{dB} = 2839\mu\text{V}$	$80\text{V}/86\text{dB} = 4009\mu\text{V}$	$80\text{V}/90\text{dB} = 2530\mu\text{V}$	2530	2839	4009	2530
全精度誤差					2985	3349	4809	3830
温度ドリフト								
利得	$1\text{ppm}/^\circ\text{C} \times 60^\circ\text{C}$	$1\text{ppm}/^\circ\text{C} \times 60^\circ\text{C}$	$10\text{ppm}/^\circ\text{C} \times 60^\circ\text{C}$	$10\text{ppm}/^\circ\text{C} \times 60^\circ\text{C}$	60	60	600	600
出力オフセット電圧	$75\mu\text{V}/^\circ\text{C} \times 60^\circ\text{C}$	$12\mu\text{V}/^\circ\text{C} \times 60^\circ\text{C}$	$10\mu\text{V}/^\circ\text{C} \times 60^\circ\text{C}$	$15\mu\text{V}/^\circ\text{C} \times 60^\circ\text{C}$	450	720	600	900
全ドリフト誤差					510	780	1200	1500
全誤差					3495	4129	6009	5330

アプリケーション情報

歪み

LT6376は、内部オペアンプが電源レール内で動作しているときの優れた歪み性能を特長としています。LT6376の動作中、入力同相電圧が通常動作からOver-The-Top動作へと移行すると、オペアンプに2種類の入力段の間を遷移する必要が生じるので、LT6376の直線性が著しく低下します。

電力損失に関する検討事項

LT6376は、非常に高い入力電圧に耐えて重い負荷を駆動するために、最大 $\pm 25V$ の電源電圧で動作することができます。ダイの接合部温度が $150^{\circ}C$ を超えないようにする必要があります。LT6376は、DF14パッケージ($\theta_{JA} = 43^{\circ}C/W$ 、 $\theta_{JC} = 4^{\circ}C/W$)およびMS16パッケージ($\theta_{JA} = 130^{\circ}C/W$)に収納されます。

一般に、ダイの接合部温度(T_J)は周囲温度(T_A)、およびデバイスの電力損失(P_D)から次のように概算することができます。

$$T_J = T_A + P_D \cdot \theta_{JA}$$

電力損失は、アンプの静止電流、抵抗性負荷を駆動する出力電流、およびLT6376の内部抵抗回路網を駆動する入力電流によって発生します。

$$P_D = ((V_S^+ - V_S^-) \cdot I_S) + P_{OD} + P_{RESD}$$

特定の電源電圧では、ワーストケースの出力電力損失 $P_{OD(MAX)}$ は、いずれかの電源電圧の半分の出力電圧で発生します。 $P_{OD(MAX)}$ は次式で求められます。

$$P_{OD(MAX)} = (V_S/2)^2/R_{LOAD}$$

内部抵抗で消費される電力(P_{RESD})は、入力電圧、抵抗分割比(DIV)、出力電圧、REFと他のリファレンス・ピンの電圧に依存します。LT6376の内部抵抗の各グループに対応した P_{RESD} の各成分を以下の式および図5に示します(LT6376を、デュアル電源構成で、REFおよび全てのリファレンス・ピンがグランドの状態で使用すると仮定)。

$$P_{RESDA} = (V_{+IN})^2/(76k + 76k/(DIV - 1))$$

$$P_{RESDB} = (V_{-IN} - V_{+IN}/DIV)^2/(76k)$$

$$P_{RESDC} = (V_{+IN}/DIV)^2/(76k/(DIV - 1.1))$$

$$P_{RESDD} = (V_{+IN}/DIV - V_{OUT})^2/(760k)$$

$$P_{RESD} = P_{RESDA} + P_{RESDB} + P_{RESDC} + P_{RESDD}$$

P_{RESD} は次のように整理されます。

$$P_{RESD} = 2(V_{+IN}^2((DIV - 1)/DIV - V_{OUT}/(10 \cdot V_{+IN})) + 0.055 \cdot V_{OUT}^2)/76k$$

P_{RESD} は、一般に、入力電圧が高いほど、抵抗分割比(DIV)が高いほど、出力電圧とREFピンおよびリファレンス・ピンの電圧が低いほど増加します。

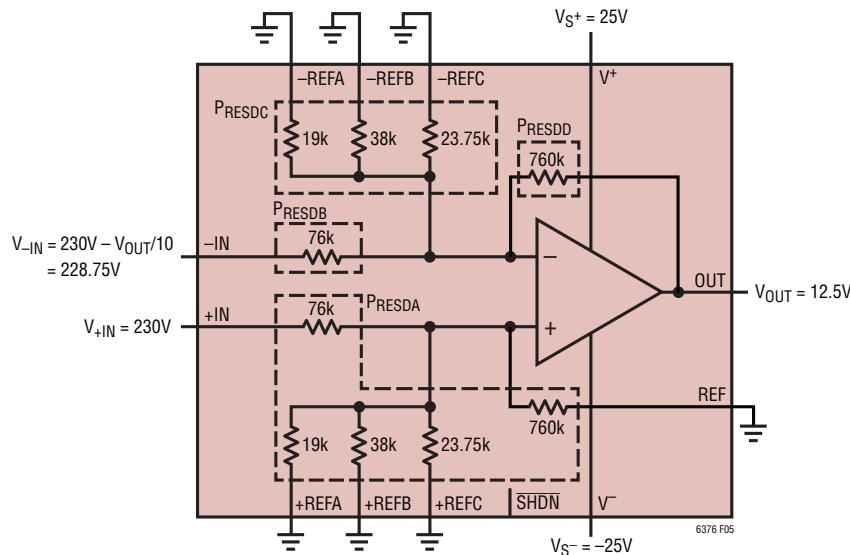


図5. 電力損失の例

アプリケーション情報

例：PC基板に実装されたDFNパッケージのLT6376の熱抵抗は $43^{\circ}\text{C}/\text{W}$ です。 $\pm 25\text{V}$ 電源で動作し、 $V_{+\text{IN}} = 230\text{V}$ および $\text{DIV} = 10.3$ で $2.5\text{k}\Omega$ の負荷を 12.5V で駆動するとき、総電力損失は次式で求められます。

$$\begin{aligned} P_D &= (50 \cdot 0.6\text{mA}) + 12.5^2/2.5\text{k} + 230^2/84.17\text{k} \\ &\quad + (228.75 - 230/10.3)^2/76\text{k} \\ &\quad + (230/10.3)^2/8.26\text{k} + (230/10.3 \\ &\quad - 12.5)^2/760\text{k} = 1.342\text{W} \end{aligned}$$

熱抵抗を $43^{\circ}\text{C}/\text{W}$ と仮定すると、ダイ温度は周囲温度を 57.7°C 上回ります。これにより、上の条件でLT6376を動作させる最大周囲温度は次のようになります。

$$T_A = 150^{\circ}\text{C} - 57.7^{\circ}\text{C} = 92.3^{\circ}\text{C}$$

DFNパッケージには露出パッドがあり、これを用いてパッケージの θ_{JA} を小さくできることに留意してください。露出パッドに接続するPCB金属面を広くするほど、熱抵抗は低くなります。

MSOPパッケージには露出パッドがないため、熱抵抗が高くなります($\theta_{JA} = 130^{\circ}\text{C}/\text{W}$)。MSOPパッケージは、周囲温度が高いアプリケーション、重い負荷を駆動する必要があるアプリケーション、または極端な入力電圧を必要とするアプリケーションでは使用しないでください。

サーマル・シャットダウン

LT6376は、ダイ温度が約 163°C に上昇した場合、安全のためにシャットダウン・モードに移行します。このサーマル・シャットダウンは、約 9°C のヒステリシスを備えており、アンプを再びイネーブルするには、ダイ温度が 9°C 下がる必要があります。

他の高精度DC利得での使用

LT6376内部の多数の抵抗を使って多種の接続を構成することができ、前述した差動利得 $G = 10$ のオプション以外にも高精度の利得を得ることができます。電源範囲外で動作可能なのは $+\text{IN}$ ピンおよび $-\text{IN}$ ピンのみであることに注意してください。これらの代替構成のほとんどで、 $+\text{IN}$ ピンおよび $-\text{IN}$ ピンに加えて REFx ピンを駆動するので、これらの入力信号を電源電圧より低く抑える必要があります。表9に示す完全差動利得を使用できますが、 REF オフセット信号により出力がシフ

トすることができます。これらの構成により、基本的に電源デカップリング用部品以外の外付け部品なしで、LT6376を汎用の高精度利得ブロックとして使用できます。ほとんどの場合、必要なのは正電源が1つだけです。表9では、接続を、NC(接続なし)、INPUT(+信号から+ピン、-信号から-ピンに駆動される両方の入力を指す)、CROSS(+信号から-ピン、-信号から+ピンに交差結合される入力を指す)、OUT(-ピンに帰還させる出力を指す)、またはREF(REFピンの+ピンへの接続を指す)のいずれかとして識別しています。同じ構成で、+信号源用の全てのピンを接地すると、反転利得が得られます。表には、内部の利得セクションの増幅率(ノイズ利得、構成の誤差バジェットの概算に役立つ)の他、差動入力抵抗も記載されています。

表10に示すように、シングルエンドの非反転利得も使用でき、それらの多くは(オペアンプの入力バイアスのみを負荷とする)バッファとして動作します。REFピンを追加の変数として使用すると、一揃いの豊富なオプションが得られます。表10では、接続を、NC(接続なし)、INPUT(入力により駆動)、OUT(出力から帰還)、GROUND(接地)のいずれかとして識別しています。表10には、内部抵抗分割比(DIV)、ノイズ利得(再増幅)、および回路による入力負荷も記載されています。

高精度AC利得ブロックとしての用途

単電源で動作するAC結合アプリケーションでは、出力電圧を電源電圧の中点の近くに設定すると、ダイナミック・レンジを最大限に広げるのに役立ちます。LT6376は、特定のピンを V^+ および V^- 電位に接続し、その信号経路をAC結合することにより、バイアス用の部品を追加しなくともこれに容易に対応します。表11には、利用可能な反転利得のほか、入力に現れる負荷抵抗も示します。表11では、接続を、NC(接続なし)、AC IN(入力にAC結合)、OUT(出力から帰還)、 V^+ への接続、 V^- への接続、AC GND(AC接地)のいずれかとして識別しています。AC接地を必要とする全てのピンは、1つのバイパス・コンデンサを共有できます。同様に、ソース信号で駆動される全てのピンは、カップリング・コンデンサも共有できます。出力もカップリング・コンデンサを使って負荷回路に接続して、電源電圧の中点のDC電圧をブロックします。

アプリケーション情報

入力減衰と再増幅を組み合わせることにより、LT6376は単電源、非反転のAC利得にも使用できます。減衰と再増幅の選択肢が多数あるため、0.1～73の範囲の利得を全体で数百とおりに組み合わせることができます。オフセットを最小限に抑えるための内部ソース抵抗の整合に関する制約がないので、この組み合わせはDC構成の場合より豊富です。

入力減衰器セクションは、表12に示すように、一部のピンをバイアス点を定めるのに使用し、残りのピンによって入力信号の分割比の選択肢を与えます。構成によって、バイアス点は電源電圧の20%～49%の範囲で変わります。 V^+ と V^- を入れ替えることで、回路を V^+ の近くにバイアスすることができます。

信号経路に+INピンのみを使用する高減衰構成では、ピーク電圧が電源電圧範囲を大きく上回る波形でも受け入れることができます。表12には、信号源に対して生じるAC負荷抵抗も一覧表示されています。この場合も、AC接地接続を必要とする全てのピンは、1つのバイパス・コンデンサを共有することができ、全てのAC信号接続は1つのカップリング・コンデンサを共有することができます。

単電源、AC結合の非反転回路は、減衰後の増幅率を設定すると完成します。使用可能な再増幅率を表13に示します。この場合も、AC接地接続を必要とする全てのピンは1つのバイパス・コンデンサを共有することができ、出力にはその負荷対象へのカップリング・コンデンサも使用します。

表9. 高精度の差動利得構成

LT6376の差動および反転の高精度DC利得

利得	±IN	±REFA	±REFB	±REFC	REF	DIFF R _{IN} (k)	ノイズ利得
2	CROSS	NC	CROSS	INPUT	REF	24.52	63
8	NC	INPUT	NC	CROSS	REF	21.11	73
10	INPUT	NC	NC	NC	REF	152	11
12	NC	NC	CROSS	INPUT	REF	29.23	53
18	INPUT	INPUT	NC	CROSS	REF	18.54	83
20	NC	NC	INPUT	NC	REF	76	21
22	CROSS	NC	NC	INPUT	REF	36.19	43
30	INPUT	NC	INPUT	NC	REF	50.67	31
32	NC	NC	NC	INPUT	REF	47.50	33
40	NC	INPUT	NC	NC	REF	38	41
42	INPUT	NC	NC	INPUT	REF	36.19	43
50	INPUT	INPUT	NC	NC	REF	30.40	51
52	NC	NC	INPUT	INPUT	REF	29.23	53
60	NC	INPUT	INPUT	NC	REF	25.33	61
62	INPUT	NC	INPUT	INPUT	REF	24.52	63
70	INPUT	INPUT	INPUT	NC	REF	21.71	71
72	NC	INPUT	NC	INPUT	REF	21.11	73
82	INPUT	INPUT	NC	INPUT	REF	18.54	83
92	NC	INPUT	INPUT	INPUT	REF	16.52	93
102	INPUT	INPUT	INPUT	INPUT	REF	14.90	103

アプリケーション情報

表10. 高精度の非反転利得構成

LT6376の非反転の高精度DC利得

利得	機能	+IN	+REFA	+REFB	+REFC	REF	-IN	-REFA	-REFB	-REFC	ノイズ 利得	DIV	R _{IN} (k)
1		GROUND	NC	NC	NC	INPUT	GROUND	NC	NC	NC	11	11	836
10		INPUT	NC	NC	NC	GROUND	GROUND	NC	NC	NC	11	1.10	836
11	BUFFER	INPUT	NC	NC	NC	INPUT	GROUND	NC	NC	NC	11	1	Hi-Z
30		INPUT	NC	INPUT	NC	GROUND	GROUND	NC	GROUND	NC	31	1.03	785.33
31	BUFFER	INPUT	NC	INPUT	NC	INPUT	GROUND	NC	GROUND	NC	31	1	Hi-Z
32		NC	NC	NC	INPUT	GROUND	NC	NC	NC	GROUND	33	1.03	783.75
40		NC	INPUT	NC	NC	GROUND	NC	GROUND	NC	NC	41	1.03	779
41	BUFFER	NC	INPUT	NC	NC	INPUT	NC	GROUND	NC	NC	41	1	Hi-Z
42		INPUT	NC	NC	INPUT	GROUND	GROUND	NC	NC	GROUND	43	1.02	778.10
50		INPUT	INPUT	NC	NC	GROUND	GROUND	GROUND	NC	NC	51	1.02	775.20
51	BUFFER	INPUT	INPUT	NC	NC	INPUT	GROUND	GROUND	NC	NC	51	1	Hi-Z
52		NC	NC	INPUT	INPUT	GROUND	NC	NC	GROUND	GROUND	53	1.02	774.62
60		NC	INPUT	INPUT	NC	GROUND	NC	GROUND	GROUND	NC	61	1.02	772.67
61	BUFFER	NC	INPUT	INPUT	NC	INPUT	NC	GROUND	GROUND	NC	61	1	Hi-Z
62		INPUT	NC	INPUT	INPUT	GROUND	GROUND	NC	GROUND	GROUND	63	1.02	772.26
70		INPUT	INPUT	INPUT	NC	GROUND	GROUND	GROUND	GROUND	NC	71	1.01	770.86
72		NC	INPUT	NC	INPUT	GROUND	NC	GROUND	NC	GROUND	73	1.01	770.56
82		INPUT	INPUT	NC	INPUT	GROUND	GROUND	GROUND	NC	GROUND	83	1.01	769.27
83	BUFFER	INPUT	INPUT	NC	INPUT	INPUT	GROUND	GROUND	NC	GROUND	83	1	Hi-Z
92		NC	INPUT	INPUT	INPUT	GROUND	NC	GROUND	GROUND	GROUND	93	1.01	768.26
93	BUFFER	NC	INPUT	INPUT	INPUT	INPUT	NC	GROUND	GROUND	GROUND	93	1	Hi-Z
102		INPUT	INPUT	INPUT	INPUT	GROUND	GROUND	GROUND	GROUND	GROUND	103	1.01	767.45
103	BUFFER	INPUT	INPUT	INPUT	INPUT	INPUT	GROUND	GROUND	GROUND	GROUND	103	1	Hi-Z

アプリケーション情報

表11. 単電源、AC結合の反転利得構成

LT6376の単電源の反転AC利得

利得	-IN	-REFA	-REFB	-REFC	+IN	+REFA	+REFB	+REFC	REF	AC R _{IN} (k)
-10	AC IN	NC	NC	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	76
-20	NC	NC	AC IN	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	38
-30	AC IN	NC	AC IN	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	25
-32	NC	NC	NC	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	24
-40	NC	AC IN	NC	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	19
-42	AC IN	NC	NC	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	18
-50	AC IN	AC IN	NC	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	15
-52	NC	NC	AC IN	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	15
-60	NC	AC IN	AC IN	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	13
-62	AC IN	NC	AC IN	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	12
-70	AC IN	AC IN	AC IN	NC	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	11
-72	NC	AC IN	NC	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	11
-82	AC IN	AC IN	NC	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	9
-92	NC	AC IN	AC IN	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	8
-102	AC IN	AC IN	AC IN	AC IN	V ⁻	AC GND	V ⁻	V ⁺	V ⁻	7

表12. 単電源、AC結合の入力減衰構成

LT6376の単電源のAC減衰器構成

DIV	DC BIAS	+IN	+REFA	+REFB	+REFC	REF	AC R _{IN} (k)
1.41	0.33	V ⁺	AC IN	V ⁻	AC IN	AC IN	36
1.42	0.33	V ⁺	AC IN	V ⁻	AC IN	NC	36
1.43	0.35	V ⁺	AC IN	V ⁻	AC IN	V ⁺	35
1.69	0.24	V ⁺	AC IN	AC IN	V ⁻	AC IN	31
1.70	0.24	V ⁺	AC IN	AC IN	V ⁻	NC	31
1.72	0.26	V ⁺	AC IN	AC IN	V ⁻	V ⁺	30
1.73	0.33	V ⁺	AC IN	V ⁻	NC	AC IN	44
1.75	0.33	V ⁺	AC IN	V ⁻	NC	NC	44
1.78	0.35	V ⁺	AC IN	V ⁻	NC	V ⁺	44
1.91	0.33	V ⁺	NC	V ⁻	AC IN	AC IN	48
1.94	0.33	V ⁺	NC	V ⁻	AC IN	NC	49
1.94	0.20	V ⁺	V ⁻	AC IN	AC IN	AC IN	30
1.96	0.20	V ⁺	V ⁻	AC IN	AC IN	NC	30
1.97	0.35	V ⁺	NC	V ⁻	AC IN	V ⁺	48
1.98	0.22	V ⁺	V ⁻	AC IN	AC IN	V ⁺	30
2.02	0.38	AC IN	AC IN	V ⁺	V ⁻	AC IN	30

アプリケーション情報

表12. 単電源、AC 結合の入力減衰構成（続き）

LT6376の単電源のAC 減衰器構成

DIV	DC BIAS	+IN	+REFA	+REFB	+REFC	REF	AC R _{IN} (k)
2.04	0.38	AC IN	AC IN	V ⁺	V ⁻	NC	30
2.06	0.40	AC IN	AC IN	V ⁺	V ⁻	V ⁺	30
2.27	0.38	NC	AC IN	V ⁺	V ⁻	AC IN	33
2.30	0.38	NC	AC IN	V ⁺	V ⁻	NC	34
2.33	0.40	NC	AC IN	V ⁺	V ⁻	V ⁺	33
2.51	0.48	V ⁺	AC IN	V ⁺	V ⁻	AC IN	31
2.55	0.48	V ⁺	AC IN	V ⁺	V ⁻	NC	31
2.58	0.49	V ⁺	AC IN	V ⁺	V ⁻	V ⁺	31
3.12	0.43	V ⁺	V ⁻	V ⁺	AC IN	AC IN	34
3.19	0.43	V ⁺	V ⁻	V ⁺	AC IN	NC	35
3.22	0.44	V ⁺	V ⁻	V ⁺	AC IN	V ⁺	34
3.32	0.44	AC IN	V ⁻	AC IN	V ⁺	AC IN	35
3.40	0.44	AC IN	V ⁻	AC IN	V ⁺	NC	36
3.43	0.45	AC IN	V ⁻	AC IN	V ⁺	V ⁺	36
3.38	0.20	V ⁺	V ⁻	AC IN	NC	AC IN	51
3.50	0.20	V ⁺	V ⁻	AC IN	NC	NC	53
3.55	0.22	V ⁺	V ⁻	AC IN	NC	V ⁺	53
4.90	0.49	V ⁻	V ⁺	AC IN	V ⁻	AC IN	45
5.10	0.49	V ⁻	V ⁺	AC IN	V ⁻	NC	47
5.15	0.48	V ⁻	V ⁺	AC IN	V ⁻	V ⁻	47
5.73	0.38	AC IN	NC	V ⁺	V ⁻	AC IN	84
6.20	0.38	AC IN	NC	V ⁺	V ⁻	NC	91
6.30	0.40	AC IN	NC	V ⁺	V ⁻	V ⁺	90
9.36	0.44	AC IN	V ⁻	AC GND	V ⁺	AC IN	77
10.20	0.44	AC IN	V ⁻	AC GND	V ₊	NC	84
10.30	0.45	AC IN	V ⁻	AC GND	V ₊	V ⁺	84
31	0.33	V ⁺	NC	V ⁻	NC	AC IN	785
43	0.24	V ⁺	NC	NC	V ⁻	AC IN	778
51	0.20	V ⁺	V ⁻	NC	NC	AC IN	775
53	0.38	NC	NC	V ⁺	V ⁻	AC IN	775
61	0.33	NC	V ⁻	V ⁺	NC	AC IN	773
63	0.48	V ⁺	NC	V ⁺	V ⁻	AC IN	772
71	0.43	V ⁺	V ⁻	V ⁺	NC	AC IN	771
73	0.44	NC	V ⁻	NC	V ⁺	AC IN	771
83	0.49	V ⁻	V ⁺	NC	V ⁻	AC IN	769
93	0.43	NC	V ⁺	V ⁻	V ⁻	AC IN	768
103	0.49	V ⁺	V ⁺	V ⁻	V ⁻	AC IN	767

アプリケーション情報

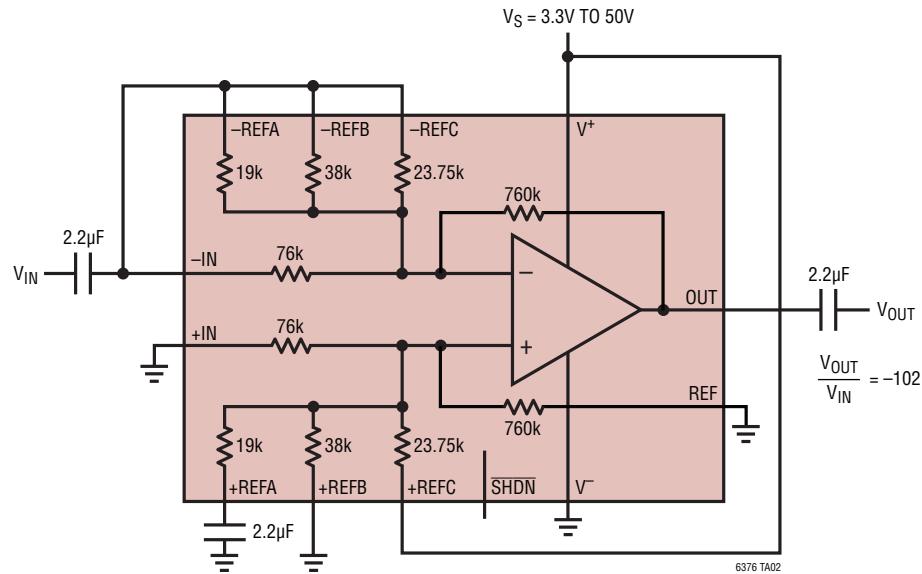
表13. 単電源、AC結合の再増幅構成

LT6376の非反転のAC再増幅

利得	-IN	-REFA	-REFB	-REFC
11	AC GND	NC	NC	NC
21	NC	NC	AC GND	NC
31	AC GND	NC	AC GND	NC
33	NC	NC	NC	AC GND
41	NC	AC GND	NC	NC
43	AC GND	NC	NC	AC GND
51	AC GND	AC GND	NC	NC
53	NC	NC	AC GND	AC GND
61	NC	AC GND	AC GND	NC
63	AC GND	NC	AC GND	AC GND
71	AC GND	AC GND	AC GND	NC
73	NC	AC GND	NC	AC GND
83	AC GND	AC GND	NC	AC GND
93	NC	AC GND	AC GND	AC GND
103	AC GND	AC GND	AC GND	AC GND

標準的応用例

40.2dBのオーディオ利得段

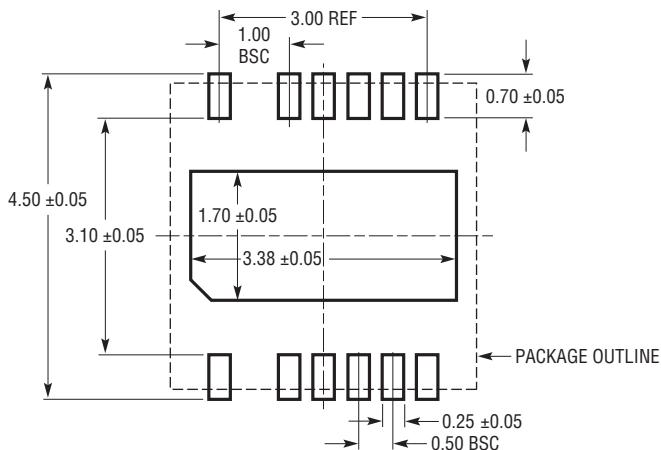


6376 TA02

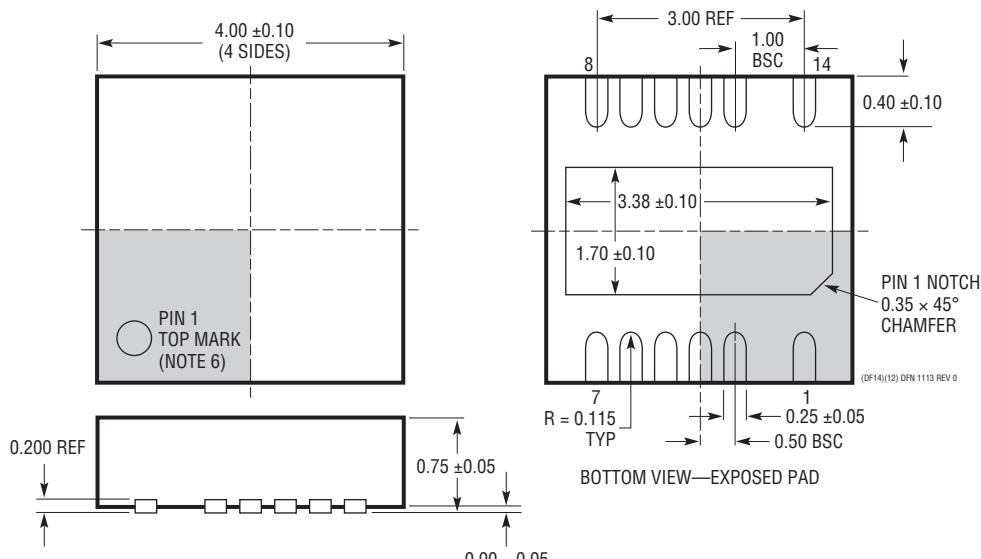
パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT6376#packaging> を参照してください。

DF Package
14(12)-Lead Plastic DFN (4mm × 4mm)
(Reference LTC DWG # 05-08-1963 Rev Ø)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注記

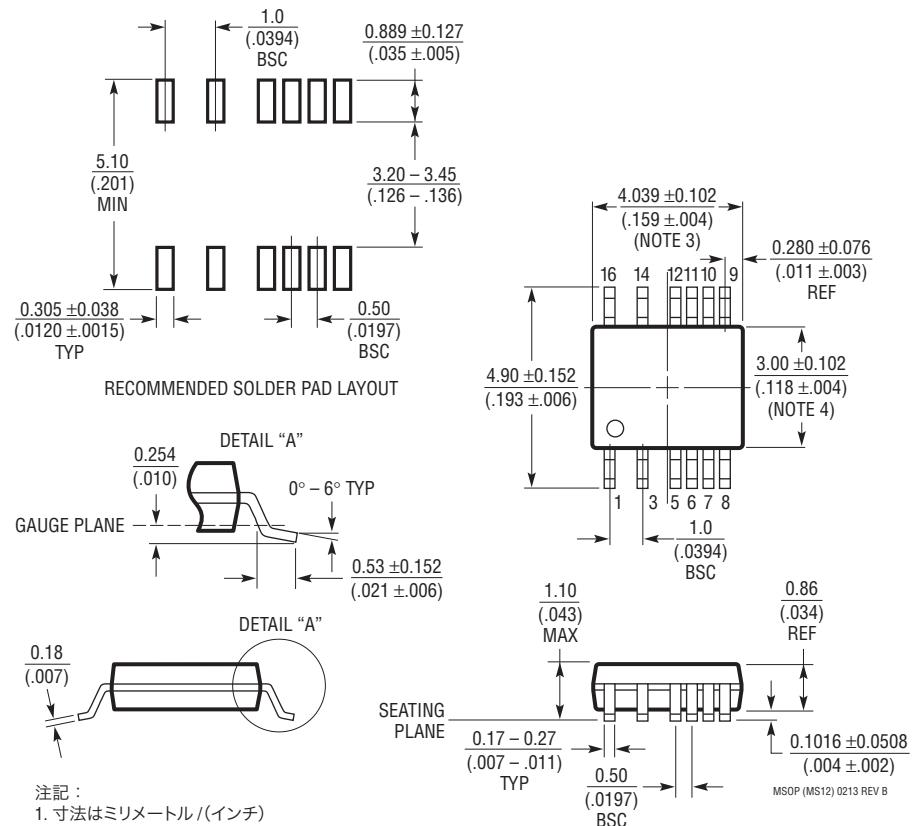
- 注記 :

 1. パッケージの外形は JEDEC M0-229 に適合していない
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT6376#packaging> を参照してください。

**MS Package
16 (12)-Lead Plastic MSOP with 4 Pins Removed**
(Reference LTC DWG # 05-08-1847 Rev B)

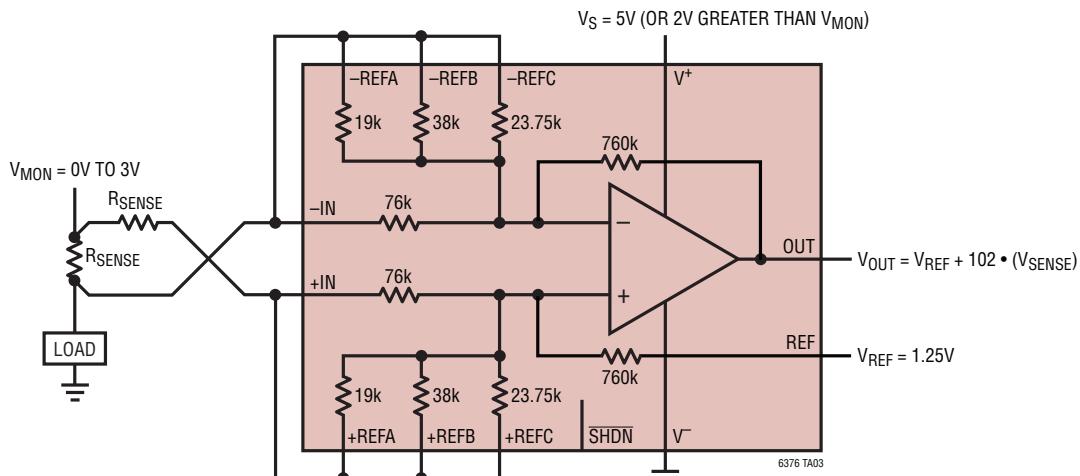


注記：

- 寸法はミリメートル/(インチ)
- 図は実寸とは異なる
- 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm(0.006")を超えないこと
- 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで 0.152mm(0.006")を超えないこと
- リードの平坦度(整形後のリードの底面)は最大 0.102mm(0.004")であること

標準的応用例

双方向のフルレンジ電流モニタ



関連製品

製品番号	概要	注釈
LT6375	入力範囲が±270Vの差電圧アンプ	動作電圧:3.3V~50V、CMRR > 90dB、入力電圧:±270V、G = 1
LT1990	入力範囲が±250Vの差電圧アンプ	動作電圧:2.7V~36V、CMRR > 70dB、入力電圧:±250V、G = 1 および 10
LT1997-3	電圧範囲の広い利得を選択可能な高精度アンプ	動作電圧:3.3V~50V、CMRR > 90dB、入力電圧:±160V、G = 1、3 および 9
LT1999-10/LT1999-20/ LT1999-50	高電圧の双方向電流検出アンプ	入力電圧:−5V~80V、V _{OS} :750μV、CMRR:80dB (100kHz)、利得:10V/V、20V/V、50V/V
LT1991	高精度、100μA、利得選択可能アンプ	動作電圧:2.7V~36V、オフセット電圧:50μV、CMRR > 75dB、入力電圧:±60V
LT1996	高精度、100μA、利得選択可能アンプ	マイクロパワー、ピンで選択可能な最大利得:118
LTC6090	140V オペアンプ	I _B :50pA、V _{OS} :1.6mV、V _S :9.5V~140V、I _S :4.5mA、RR出力
LT6108	リファレンス、コンパレータ、シャットダウン機能を備えたハイサイド電流センス・アンプ	2.7V~60V、オフセット電圧:125μV、抵抗による利得設定、しきい値誤差:±1.25%
LT1787/ LT1787HV	高精度、双方向ハイサイド電流検出アンプ	動作電圧:2.7V~60V、オフセット電圧:75μV、消費電流:60μA
LTC6101/LTC6101HV	高電圧、ハイサイド電流検出アンプ	動作電圧:4V~60V/5V~100V、外付け抵抗による利得設定、SOT23
LTC6102/LTC6102HV	ゼロドリフト・ハイサイド電流検出アンプ	動作電圧:4V~60V/5V~100V、オフセット電圧:±10μV、ステップ応答:1μs、MSOP8/DFNパッケージ
LTC6104	双方向、ハイサイド電流検出	4V~60V、利得を構成可能、8ピンMSOPパッケージ
LT6015/LT6016/ LT6017	シングル、デュアル、およびクワッド Over-The-Top 高精度オペアンプ	3.2MHz、0.8V/μs、V _{OS} :50μV、V _S :3V~50V、I _S :0.335mA、RR入出力
AD629	高同相電圧差電圧アンプ	動作電圧:5V~36V、CMRR > 86dB、入力電圧:±270V、G = 1