

特長

- すべての利得で1GHzの帯域幅
- OIP3: 48dBm (200MHz, 50Ωで2V_{P-P}, R_{OUT} = 100Ω)
- IMD3: -88dBc (200MHz, 50Ωで2V_{P-P}, R_{OUT} = 100Ω)
- 入力換算ノイズ(RTI): 1.4nV/ $\sqrt{\text{Hz}}$
- 出力P1dB: 20dBm (70MHz, R_{OUT} = 130Ω)
- 利得範囲: 2dB ~ 18dB (R_{OUT} = 50Ω)
- 利得ステップ・サイズ: 0.125dB
- グループ遅延のばらつき: 30ps
- 高速な利得セトリング: 5ns
- 高速なオーバードライブ回復: 5ns
- 逆絶縁: -80dB

アプリケーション

- 差動ADCドライバ
- IFサンプリング・レシーバ
- VGA IFパワーアンプ
- 50Ωドライバ
- 計測

 LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。
他のすべての商標はそれぞれの所有者に所有権があります。

概要

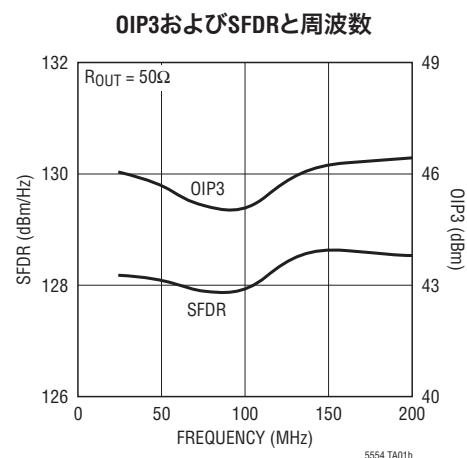
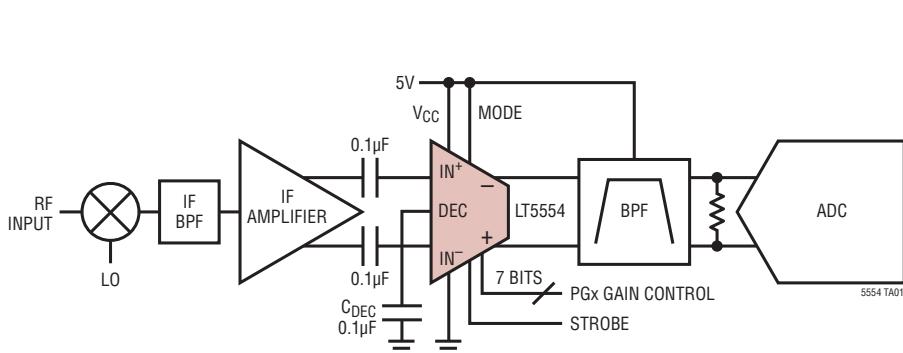
LT[®]5554は、利得制御範囲16dB、7ビット・デジタル制御式のプログラマブル・ゲイン(PG)アンプです。このデバイスは50Ω入力可変減衰器と、その後段に接続された高直線性可変トランスクンダクタンス・アンプで構成されています。入力減衰器の4dBの粗いステップは2ビットのデジタル制御(PG5, PG6)によって設定され、トランスクンダクタンス・アンプの0.125dBの細かいステップは、3.875dBの利得制御範囲で5ビット・デジタル制御(PG0 ~ PG4)によって設定されます。LT5554の利得制御入力(PGx)とSTROBE入力は、TTLまたはECLドライバに直接結合できます。7つのパラレル利得制御入力のタイムスキュームは、STROBE入力の正方向の遷移を使用することによって除去できます。

内部出力抵抗R_O = 400Ωにより、オープン出力時の全体利得は最大36dBに制限されます。オープン出力コレクタの内部回路により、LT5554は(外付けSAWフィルタなどの)あらゆる負荷状態において無条件に安定可能で、300MHzで-80dBの逆絶縁を実現します。

LT5554はオーバードライブ時に内部で保護され、電源レギュレータを内蔵しています。

0.125dBのステップの分解能と5nsのセトリング時間を特長とするLT5554は、連続的な利得制御を必要とするアプリケーションに適しています。

標準的応用例



LT5554

絶対最大定格

(Note 1,2)

電源電圧

V_{CC} 6V

ピン電圧および電流

OUT^+ 、 OUT^- 7V

STROBE、 PG_x $-0.5V \sim V_{CC}$

ENB、MODE $-0.5V \sim V_{CC}$

IN^+ 、 IN^- 、DEC $-0.5V \sim 4V$

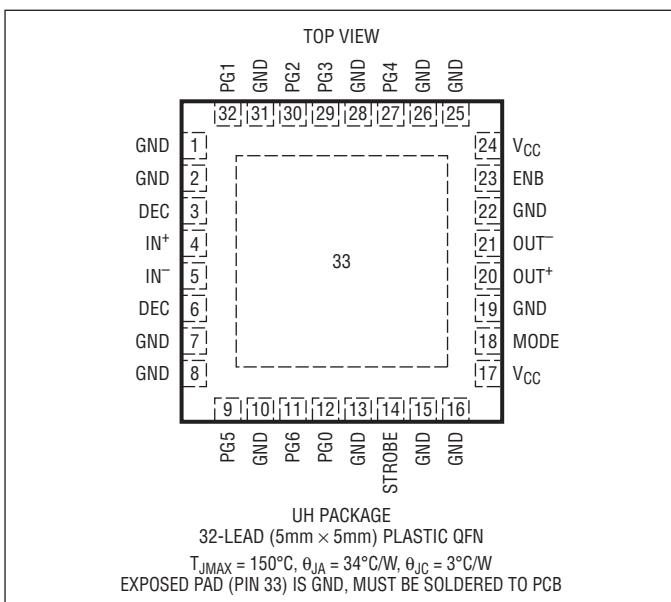
動作周囲温度範囲

LT5554 $-40^\circ C \sim +85^\circ C$

接合部温度 125°C

保存温度範囲 $-65^\circ C \sim +150^\circ C$

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT5554IUH#PBF	LT5554IUH#TRPBF	5554	32-Lead (5mm x 5mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

AC電気的特性

($R_{OUT} = 50\Omega$) 仕様は $T_A = 25^\circ C$ での値。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CC0} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 2.2V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ 、最大利得 (Note 3, 6) (図16に示すテスト回路)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Dynamic Performance						
BW	Large Signal –3dB Bandwidth	All Gain Settings (Note 7)	LF – 1000			MHz
OP1dB	Output 1dB Compression Point	All Gain Settings, $R_{OUT} = 130\Omega$, 70MHz	20			dBm
G_M	Amplifier Transconductance at G_{MAX}	$F_{IN} = 100MHz$	0.15			S
CMRR	Common Mode Gain to Single-Ended Output	$F_{IN} = 100MHz$, Figure 19	-6			dB
S12	Reverse Isolation	$F_{IN} = 100MHz$	-86			dB
		$F_{IN} = 400MHz$	-78			dB
	Overdrive Recovery Time	5ns Input Pulse, V_{OUT} within $\pm 10\%$	5			ns

Noise/Linearity Performance Two Tones, $P_{OUT} = 4dBm/Tone$ ($2V_{P-P}$ into 50Ω), $\Delta f = 200kHz$

IIP3	Input Third Order Intercept Point	$G_{MAX}, F_{IN} = 200MHz$ $G_{MAX} -3.875dB, F_{IN} = 200MHz$	27	30		dBm dBm
OIP3	Output Third Order Intercept Point for Max-Gain	$F_{IN} = 100MHz$ $F_{IN} = 200MHz$	45	46		dBm dBm
IMD3	Intermodulation Product for Max-Gain	$F_{IN} = 100MHz$ $F_{IN} = 200MHz$	-82	-84		dBc dBc
OIP3	Output Third Order Intercept Point for -3.875dB STEP	$F_{IN} = 100MHz$ $F_{IN} = 200MHz$	44	40		dBm dBm
OIP3	Output Third Order Intercept Point	$G_{MAX}, F_1 = 88MHz, F_2 = 112MHz$ $G_{MAX} -3.875dB, F_1 = 88MHz, F_2 = 112MHz$	40.5	47		dBm dBm
38			38	44		
HD3	Third Harmonic Distortion	$P_{out} = 10dBm, F_{IN} = 100MHz, G_{MAX}$	-62			dBc
V _{ONOISE}	Output Noise Noise Spectral Density	$G_{MAX}, F_{IN} = 200MHz$ $G_{MAX} -3.875dB, F_{IN} = 200MHz$	10.7	7.3		nV/ \sqrt{Hz} nV/ \sqrt{Hz}
NF	Noise Figure	$G_{MAX}, F_{IN} = 200MHz$ $G_{MAX} -3.875dB, F_{IN} = 200MHz$	10	10.5		dB dB
RTI	Input Referred Noise Spectral Density (RMS) (Note 5)	$G_{MAX}, F_{IN} = 200MHz$ $G_{MAX} -3.875dB, F_{IN} = 200MHz$	1.34	1.42		nV/ \sqrt{Hz} nV/ \sqrt{Hz}
SFDR	Spurious Free Dynamic Range in 1Hz BW.	$G_{MAX}, F_{IN} = 200MHz$ $G_{MAX} -3.875dB, F_{IN} = 200MHz$	128	129		dBm/Hz dBm/Hz

Amplifier Voltage Gain and Gain Step

G_{MAX}	Maximum Voltage and Power Gain	$F_{IN} = 112MHz$	15.3	17.6	19.7	dB
G_{MIN}	Minimum Voltage and Power Gain	$F_{IN} = 100MHz$		1.725		dB
G_{STEP}	Gain Step Size (Note 9)	Except For -4dB, -8dB, -12dB Steps For -4dB, -8dB, -12dB Steps		0.125	0.25 0.35	dB dB
GD_{ERROR}	Group Delay Step Accuracy	$F_{IN} = 100MHz$		10		ps

AMPLIFIER I/O Differential IMPEDANCE

R_{IN}	Input Resistance	$F_{IN} = 100MHz, G_{MAX}$ to $G_{MAX} -3.875dB$ $F_{IN} = 100MHz, G_{MAX} -4dB$ to G_{MIN}	43	47		Ω Ω
C_{IN}	Input Capacitance	$F_{IN} = 100MHz$	2.8			pF
R_O	Output Resistance	$F_{IN} = 100MHz$	400			Ω
C_O	Output Capacitance	$F_{IN} = 100MHz$	1.9			pF

AC電気的特性

($R_{OUT} = 100\Omega$) 仕様は $T_A = 25^\circ C$ の値。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 2.2V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ 、最大利得 (Note 3, 8) (図16に示すテスト回路)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Noise/Linearity Performance Two Tones, $P_{OUT} = 4\text{dBm/Tone}$ (2V_{P-P} into 50Ω), $\Delta f = 200\text{kHz}$						
IIP3	Input Third Order Intercept Point	$G_{MAX}, F_{IN} = 200\text{MHz}$ $G_{MAX} -3.875\text{dB}, F_{IN} = 200\text{MHz}$	27	27		dBm dBm
OIP3	Output Third Order Intercept Point for Max-Gain	$F_{IN} = 100\text{MHz}$ $F_{IN} = 200\text{MHz}$	48	48		dBm dBm
IMD3	Intermodulation Product for Max-Gain	$F_{IN} = 100\text{MHz}$ $F_{IN} = 200\text{MHz}$	-88	-88		dBc dBc
V_{ONOISE}	Output Noise Noise Spectral Density	$G_{MAX}, F_{IN} = 200\text{MHz}$ $G_{MAX} -3.875\text{dB}, F_{IN} = 200\text{MHz}$	21.4	14.5		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
NF	Noise Figure	$G_{MAX}, F_{IN} = 200\text{MHz}$ $G_{MAX} -3.875\text{dB}, F_{IN} = 200\text{MHz}$	10	10.5		dB dB
RTI	Input Referred Noise Spectral Density (RMS) (Note 5)	$G_{MAX}, F_{IN} = 200\text{MHz}$ $G_{MAX} -3.875\text{dB}, F_{IN} = 200\text{MHz}$	1.34	1.42		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
SFDR	Spurious Free Dynamic Range in 1Hz BW.	$G_{MAX}, F_{IN} = 200\text{MHz}$	128			dBm/Hz
G_{VMAX}	Maximum Voltage Gain	$F_{IN} = 100\text{MHz}$	23.6			dB
G_{PMAX}	Maximum Power Gain	$F_{IN} = 100\text{MHz}$	20.6			dB

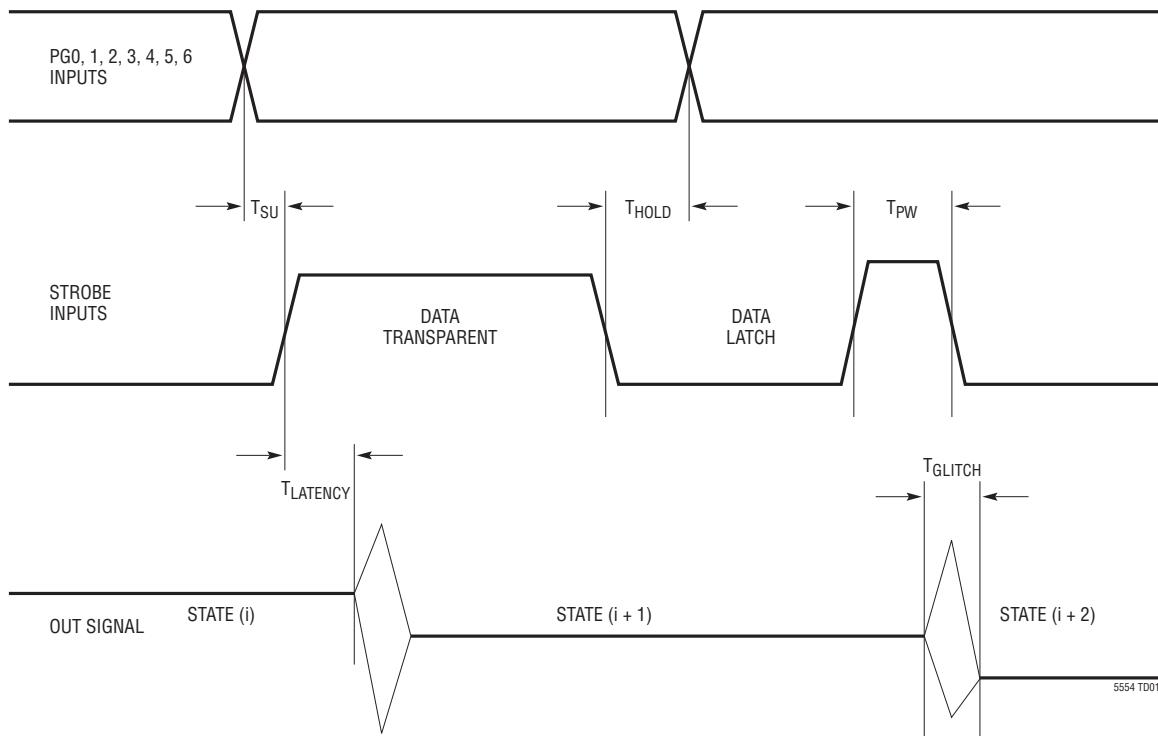
AC電気的特性 (タイミング図)

($R_{OUT} = 50\Omega$) 仕様は $T_A = 25^\circ C$ の値。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 2.2V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ 、最大利得 (図16に示すテスト回路)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
PGx and Strobe Timing Characteristics						
T_{SU}	Setup Time PGx vs STROBE		0			ns
T_{HOLD}	Hold Time PGx vs STROBE		1			ns
T_{PW}	STROBE Pulse Width		2			ns
T_R	STROBE Period		4			ns
$T_{LATENCY}$	Latency Time of the Previous Gain State	Output Settles within 1%	4			ns
T_{GLITCH}	Time Between Previous Stable Gain State to Next Stable State	Output Settles within 1%	5			ns
A_{GLITCH}	Max Glitch Amplitude	$V_{IN} = 0$ (No Signal or STROBE Transition During Output Signal Zero Crossing)	1			mV
		STROBE Transition when Output Power is at Peak + 10dBm Power	3			dB

AC電気的特性(タイミング図)

タイミング図



DC電気的特性

仕様は $T_A = 25^\circ\text{C}$ での値。注記がない限り $V_{CC} = 5\text{V}$ 、 $V_{CC0} = 5\text{V}$ 、 $\text{ENB} = 3\text{V}$ 、 $\text{MODE} = 5\text{V}_o$ (Note 3) (図16のテスト回路)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Normal Operating Conditions						
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{CC0}	OUT^+ , OUT^- Output Pin DC Common Mode Voltage	(Note 4)		5	6	V

Shutdown DC Characteristics, ENB = 0.6V

$V_{IN(BIAS)}$	DEC, IN^+ , IN^- Bias Voltage		2	2.15	V
$I_{IL(PG)}$	PGx, STR Input Current	$V_{IN} = 0.6\text{V}$	0		μA
$I_{IH(PG)}$	PGx, STR Input Current	$V_{IN} = 5\text{V}$		210	μA
I_{OUT}	OUT^+ , OUT^- Current			20	μA
I_{CC}	V_{CC} Supply Current		4	5.1	mA

Enable Input DC Characteristics

$V_{IL(EN)}$	ENB Input LOW Voltage	Disable		0.6	V
$V_{IH(EN)}$	ENB Input HIGH Voltage	Enable	3	V_{CC}	V
$I_{IL(EN)}$	ENB Input Current	$V_{IN} = 0.6\text{V}$		20	μA
$I_{IH(EN)}$	ENB Input Current	$V_{IN} = 3\text{V}$	70		μA
$I_{IH(EN)}$	ENB Input Current	$V_{IN} = 5\text{V}$	220	300	μA

DC電気的特性仕様は $T_A = 25^\circ\text{C}$ での値。注記がない限り $V_{CC} = 5\text{V}$ 、 $V_{CCO} = 5\text{V}$ 、 $\text{ENB} = 3\text{V}$ 、 $\text{MODE} = 5\text{V}$ 。(Note 3) (図16のテスト回路)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
DEC External Capacitor Charge/Discharge CURRENT						
$I_{IH(\text{DEC})}$	DEC Pin Source Current	$V_{\text{DEC}} = 4\text{V}$	27	50	70	mA
$I_{IL(\text{DEC})}$	DEC Pin Sink Current	$V_{\text{DEC}} = 1.8\text{V}$	-70	-38	-14	mA
Mode Input Three-State DC Characteristics						
$V_{IL(\text{MODE})}$	MODE Input LOW Voltage for AC-Couple	PGx AC-Coupled, STROBE AC-Coupled	0	0.6		V
$V_{\text{OPEN}(\text{MODE})}$	MODE Input OPEN	PGx AC-Coupled, STROBE DC-Coupled	1.7	OPEN	2.3	V
$V_{IH(\text{MODE})}$	MODE Input HIGH Voltage	PGx DC-Coupled, STROBE DC-Coupled	$V_{CC} - 0.4$	V_{CC}		V
$I_{IL(\text{MODE})}$	MODE Input Current	$V_{\text{MODE}} = 0\text{V}$	-42	-31	-23	μA
$I_{IH(\text{MODE})}$	MODE Input Current	$V_{\text{MODE}} = 5\text{V}$	43	72	100	μA
PGx (MODE = V_{CC}) and STROBE (MODE = OPEN or MODE = V_{CC}) INPUTS for DC-Coupled						
V_{IL}	Input LOW Voltage				0.6	V
V_{IH}	Input HIGH Voltage			2.2		V
$I_{IL(\text{DC})}$	Input Current	$V_{IN} = 0.6\text{V}$			30	μA
$I_{IH(\text{DC})}$	Input Current	$V_{IN} = 5\text{V}$	125	170	220	μA
PGx (MODE = 0V or MODE = OPEN) and STROBE (MODE = 0V) INPUTS for AC-Coupled						
$V_{IN(\text{AC})}$	Input Pulse Range	Instantaneous Input Voltage	0	4.6		V
$V_{IN(\text{AC})\text{P-P}}$	Input Pulse Amplitude	Rise and Fall Time <5ns Rise and Fall Time >80ns		600 300		$\text{mV}_{\text{P-P}}$ $\text{mV}_{\text{P-P}}$
$V_{IN(\text{AC})\text{MAX}}$	Maximum Input Noise Amplitude	No LT5554 Gain Update		100		$\text{mV}_{\text{P-P}}$
$I_{IL(\text{AC})}$	Input Current	$V_{IN} = 0\text{V}$	-210	-155	-100	μA
$I_{IH(\text{AC})}$	Input Current	$V_{IN} = 5\text{V}$	310	420	530	μA
Amplifier DC Characteristics						
$V_{IN(\text{DEC})}$	DEC	G_{MAX}	1.85	2	2.25	V
$V_{IN(\text{BIAS})}$	IN^+ , IN^- Bias Voltage	G_{MAX}	1.8	2.04	2.2	V
R_{IN}	INPUT Differential Resistance	G_{MAX} G_{MIN}		48 50		Ω Ω
G_M	Amplifier Transconductance	G_{MAX}		0.15		S
I_{ODC}	OUT^+ , OUT^- Quiescent Current	$V_{\text{OUT}} = 5\text{V}$	33	47	57	mA
$I_{\text{OUT}(\text{OFFSET})}$	Output Current Mismatch	IN^+ , IN^- Open		200		μA
I_{CC}	V_{CC} Supply Current	G_{MAX} , MODE = 0V G_{MIN} , MODE = 0V G_{MAX} , MODE = 5V G_{MIN} , MODE = 5V	78 77 75 75	110 109 106 106	132 131 127 127	mA mA mA mA
$I_{CC(\text{TOTAL})}$	Total Supply Current	$I_{CC} + 2 \cdot I_{ODC}$ (G_{MAX})		200		mA

Note 1: 絶対最大定格はそれを超えるとデバイスに永続的な損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: $R_S = R_{IN} = 50\Omega$ の入力整合を前提とする。 P_{IN} は使用可能な入力電力。 P_{OUT} は R_{OUT} への電力。 $R_{out} = R_0 \parallel R_{LOAD}$ は、アンプのオープンコレクタ出力における合計出力抵抗(G_V 、 G_P 利得の計算に使用)。 $R_0 = 400\Omega$ はLT5554の内部出力インピーダンス。 R_{LOAD} は OUT^+ 、 OUT^- ビンにおける負荷抵抗。

すべてのdBm値は 50Ω に対する値。仕様は差動入力と差動出力を表わす。

Note 4: チョーク・インダクタまたはセンタータップトランジストの出力インターフェースには V_{CCO} に等しい外部電源を使用する。 OUT^+ 、 OUT^- ビンが抵抗を介してバイアスされている場合は、DC出力電流(I_{ODC} = 標準45mA)によって生じる電圧降下によって、より大きな出力の外部電源が必要になる。しかし、LT5554をディスエーブルにするときは、 OUT^+ 、 OUT^- の絶対最大定格を超えないよう注意を払わなければならない。

電気的特性

Note 5: RTI (Referred-To-Input) は、合計入力換算ノイズ電圧源を意味する。RTI は、出力ノイズ電圧を電圧利得で除した値に近い(正確な式は「仕様の定義」の項に示す)。等価ノイズ源 e_{IN} は RTI 値の2倍である。

Note 6: LT5554 の OUT⁺/OUT⁻ ピンの外部負荷は $R_{LOAD} = 57\Omega$, $R_{OUT} = R_{LOAD} \parallel R_0 = 50\Omega$ 。

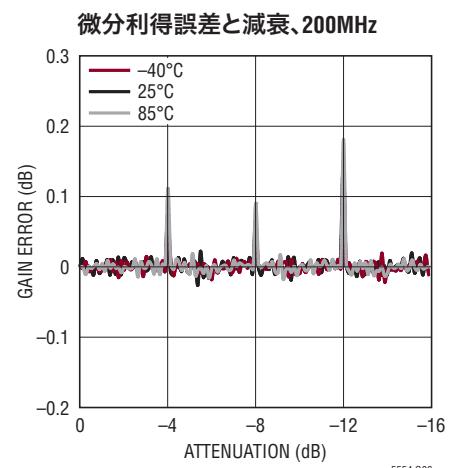
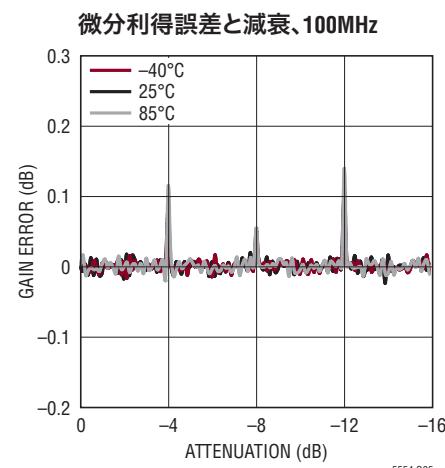
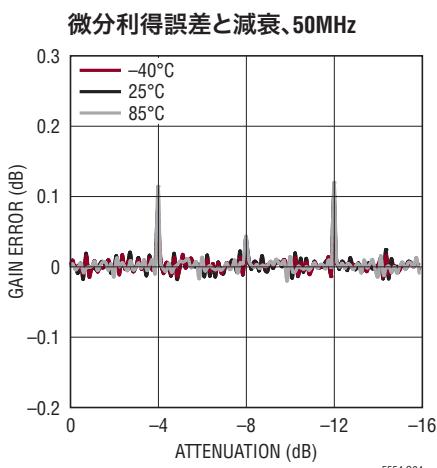
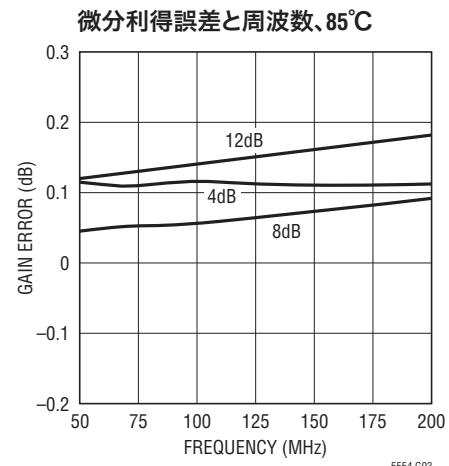
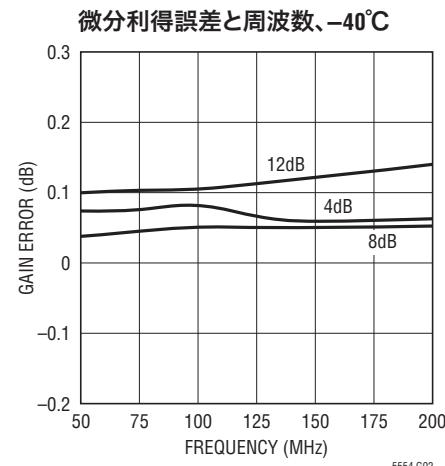
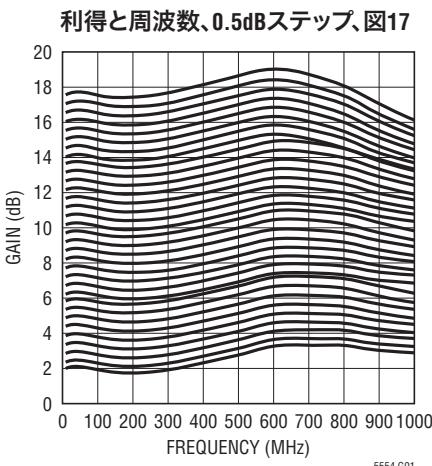
Note 7: IN⁺, IN⁻, DEC ピンは内部でバイアスされている。入力側の低周波数コーナー (LF) は、入力カッピング・コンデンサの時定数によって決まる。出力側の低周波数コーナー (LF) は、出力カッピング・コンデンサまたはトランジスタによって決まる。LT5554 は、内部的には DC に至るまでの範囲で動作する。

Note 8: OUT⁺/OUT⁻ ピンの外部負荷は $R_{LOAD} = 133\Omega$, $R_{OUT} = R_{LOAD} \parallel R_0 = 100\Omega$ 。

Note 9: 実際の入力整合条件および動作周波数によっては、入力減衰器のタップ変化に伴う LT5554 のステップが 0.125dB 未満となることがある。これらのステップは $G_{MAX} - 4dB$, $G_{MAX} - 8dB$, $G_{MAX} - 12dB$ で、そのコードは「プログラマブル利得一覧」に示されている。LT5554 では、利得誤差が 0.125dB を超えるコードをすべてスキップすれば、0.125dB ステップ分解能での単調動作が可能。

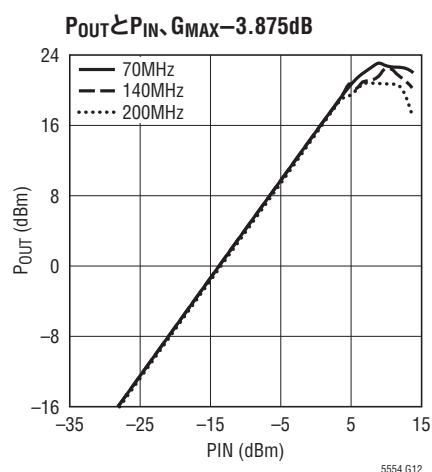
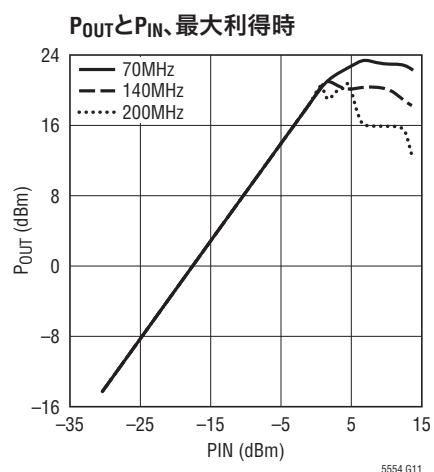
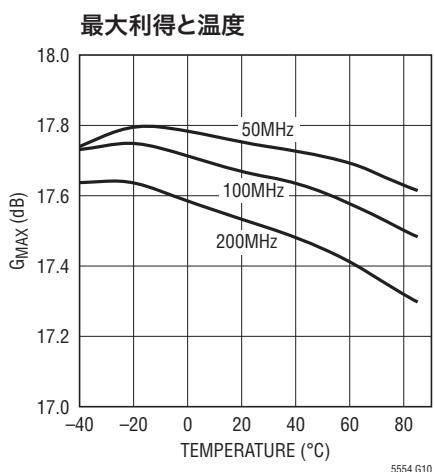
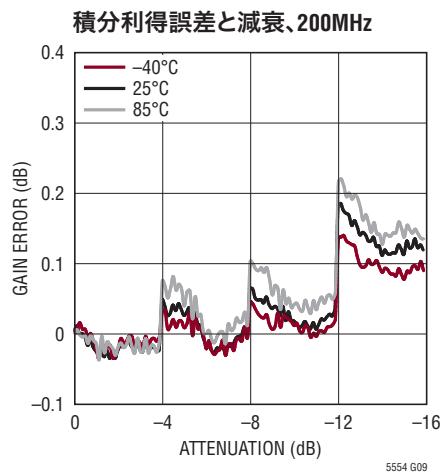
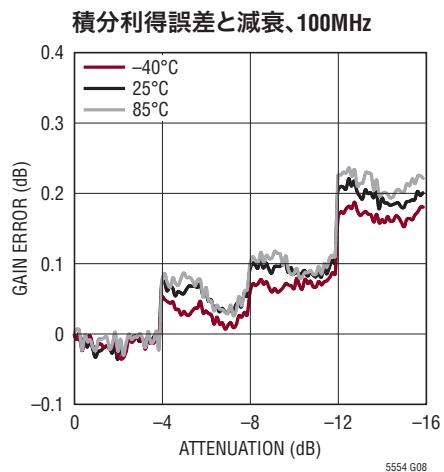
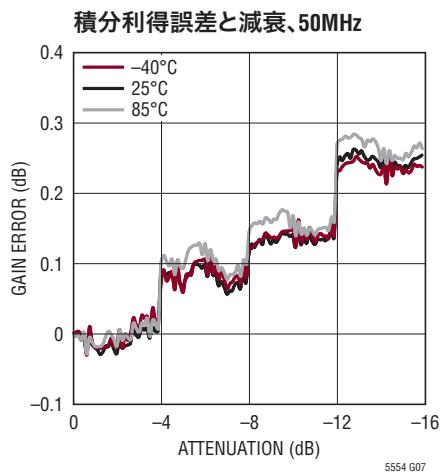
標準的性能特性

($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$, $V_{CCO} = 5V$, $ENB = 3V$, $MODE = 5V$, $STROBE = 3V$, $V_{IH} = 2.2V$, $V_{IL} = 0.6V$ (図16のテスト回路)。

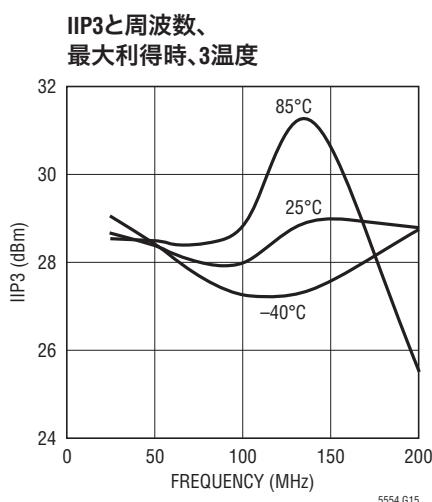
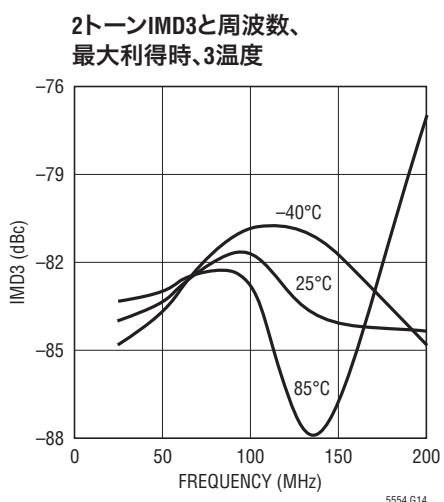
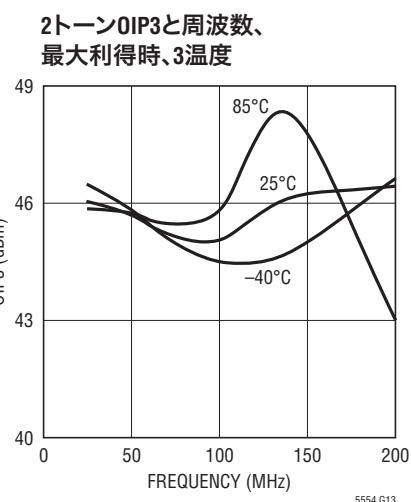


標準的性能特性

($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CC0} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)。



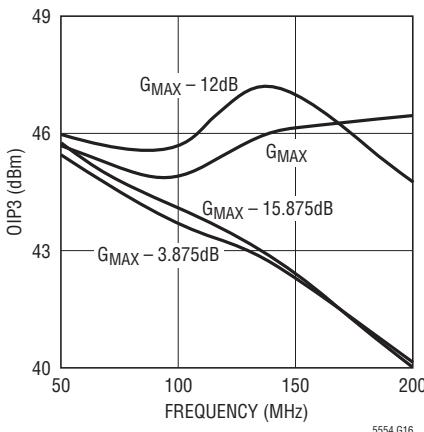
($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CC0} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、 $P_{OUT} = 4dBm$ /トーン (50Ω で $2V_{P-P}$)、 $\Delta f = 200kHz$ 。



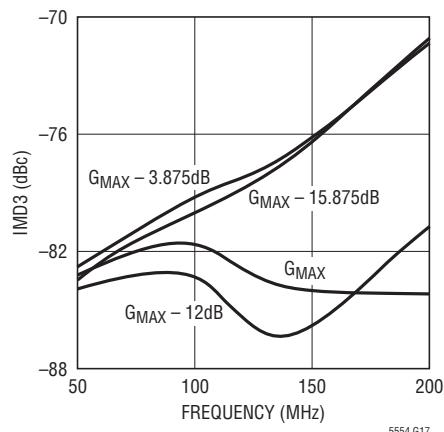
標準的性能特性

($R_{OUT} = 50\Omega$)、 $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、 $P_{OUT} = 4dBm$ /トーン(50Ω で $2V_{P-P}$)、 $\Delta f = 200kHz$ 。

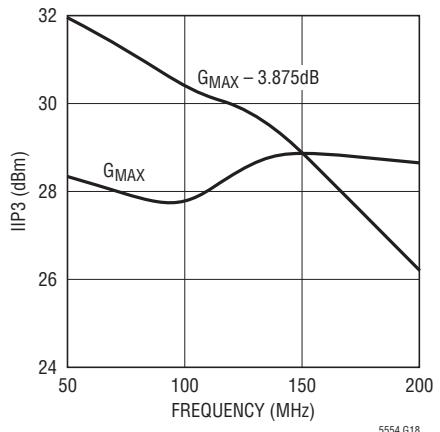
2トーンOIP3と周波数、
 G_{MAX} および重要利得ステップ時



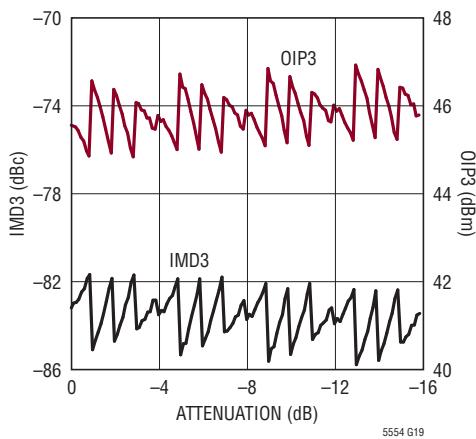
2トーンIMD3と周波数、
 G_{MAX} および重要利得ステップ時



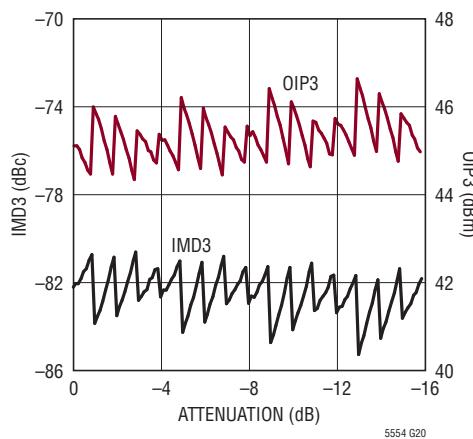
IIP3と周波数、 G_{MAX}
および $G_{MAX} - 3.875dB$



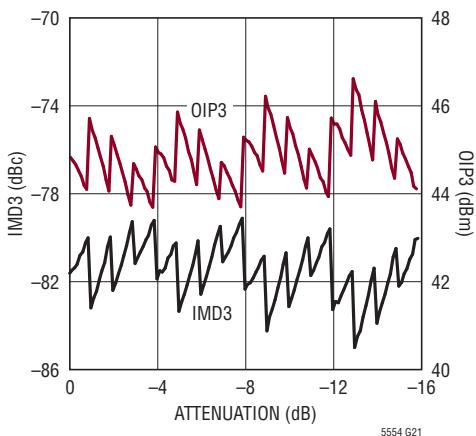
2トーンIMD3およびOIP3と減衰、
50MHz



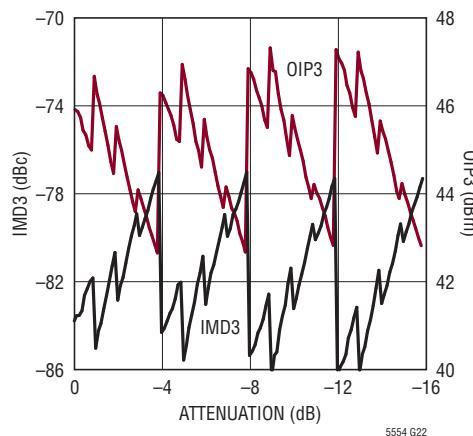
2トーンIMD3およびOIP3と減衰、
70MHz



2トーンIMD3およびOIP3と減衰、
100MHz



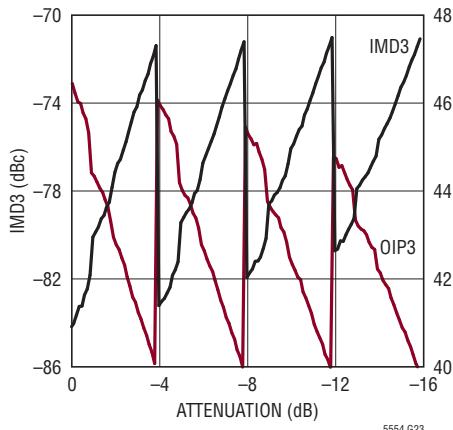
2トーンIMD3およびOIP3と減衰、
140MHz



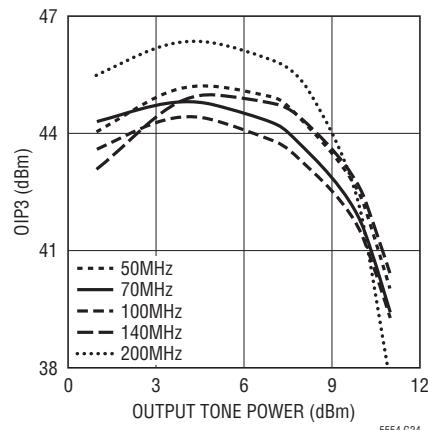
標準的性能特性

($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、 $P_{OUT} = 4dBm$ /トーン(50Ω で $2V_{P-P}$)、 $\Delta f = 200kHz$ 。

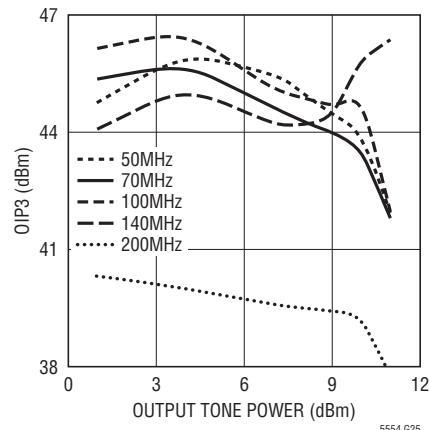
2トーンIMD3およびOIP3と減衰、
200MHz



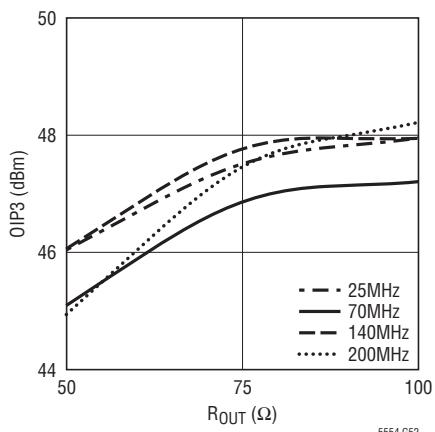
2トーンOIP3とトーン電力、
最大利得時



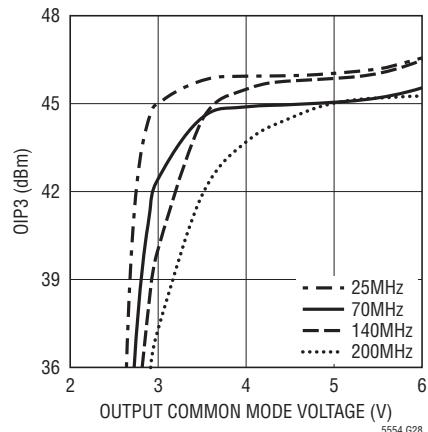
2トーンOIP3とトーン電力、
最小利得時



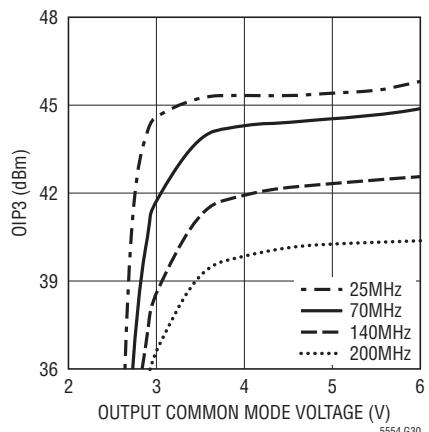
2トーンOIP3と R_{OUT} 、 G_{MAX} 時



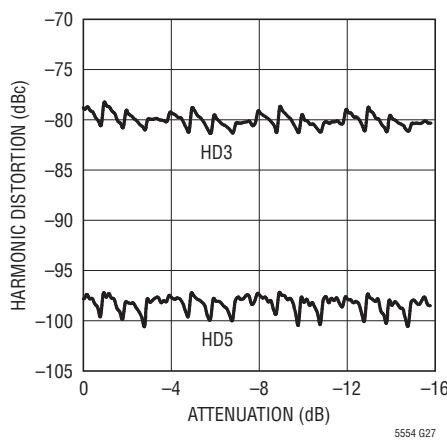
2トーンOIP3と V_{CCO} 、 G_{MAX} 時



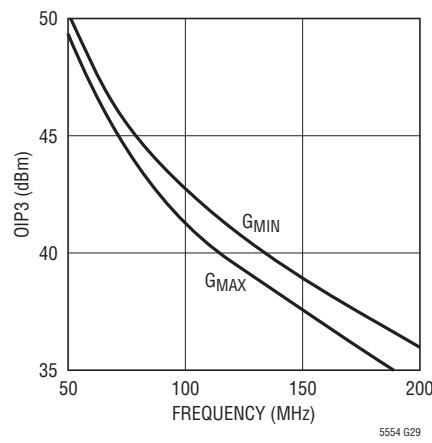
2トーンOIP3と V_{CCO} 、
 $G_{MAX}-3.875dB$ 時



高調波歪みと減衰、50MHz、
 $P_{OUT} = 10dBm$ 、図17



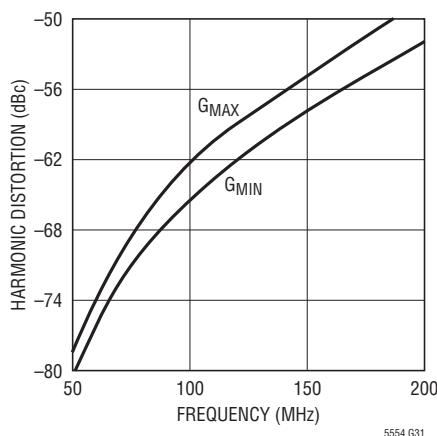
OIP3と周波数、 G_{MAX}
および G_{MIN} 時、 $P_{OUT} = 10dBm$



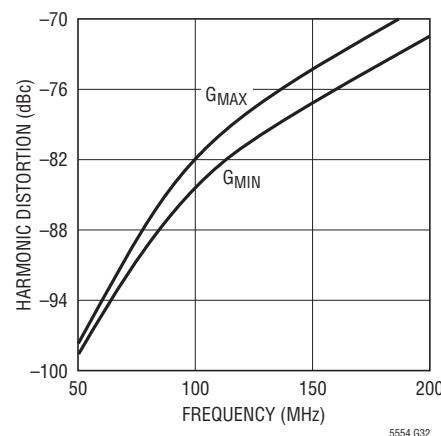
標準的性能特性

($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、 $P_{OUT} = 4dBm$ /トーン(50Ω で $2V_{P-P}$)、 $\Delta f = 200kHz$ 。

HD3と周波数、 G_{MAX} および G_{MIN} 時、
 $P_{OUT} = 10dBm$ 、図17

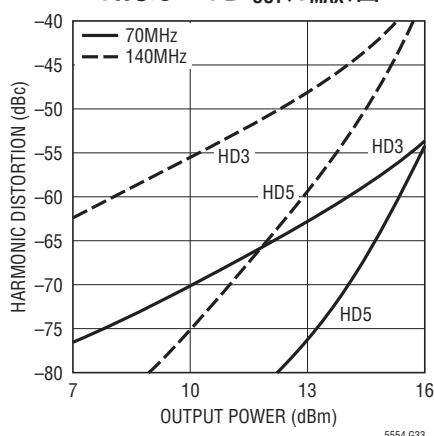


HD5と周波数、 G_{MAX} および G_{MIN} 時、
 $P_{OUT} = 10dBm$ 、図17

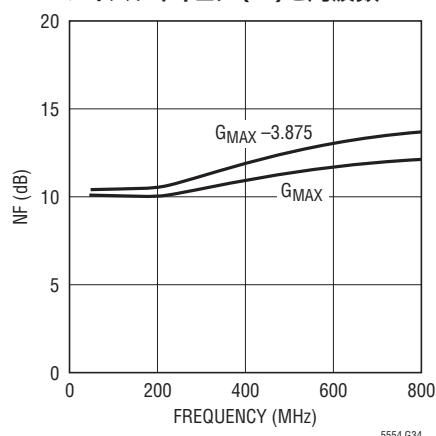


($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CCO} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、最大利得。

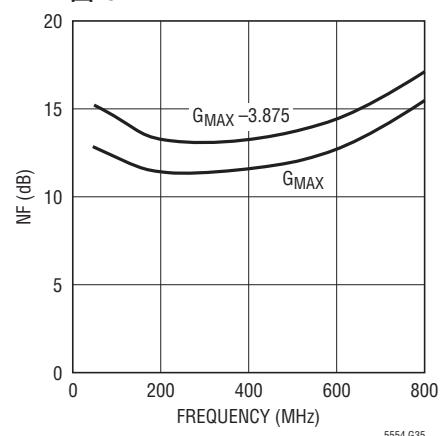
HD3およびHD5と P_{OUT} 、 G_{MAX} 、図17



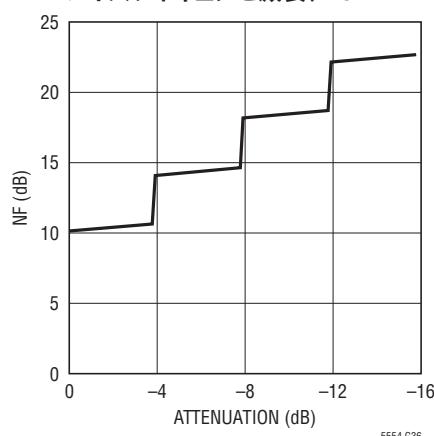
ノイズフィギュア(NF)と周波数



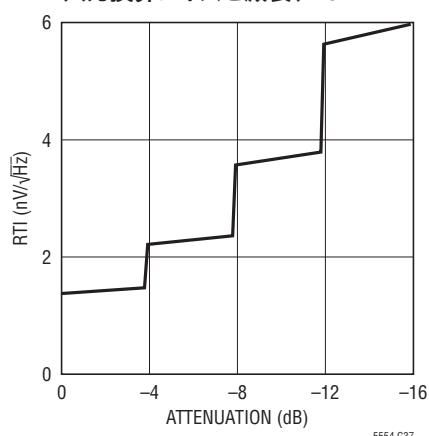
シングルエンド出力NFと周波数、
図18



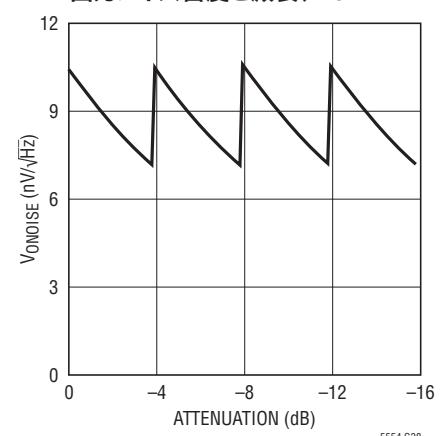
ノイズフィギュアと減衰、140MHz



入力換算ノイズと減衰、140MHz

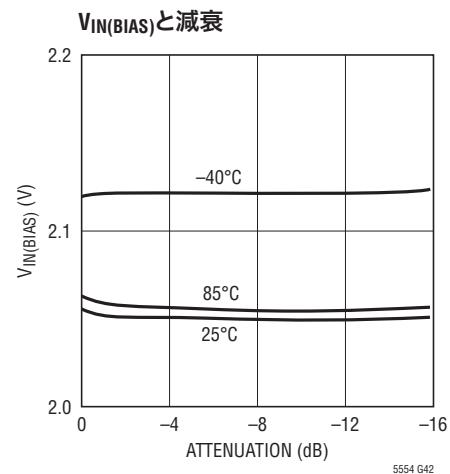
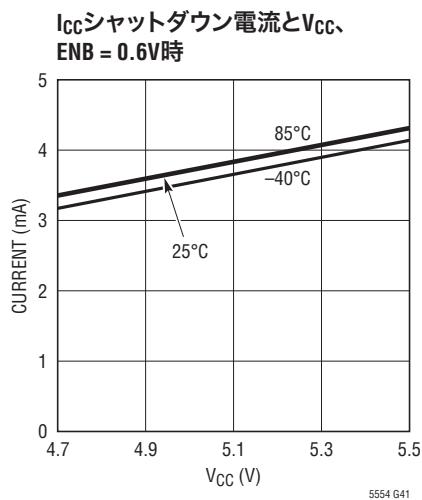
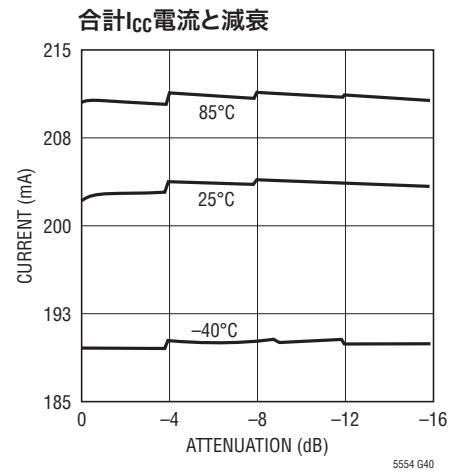
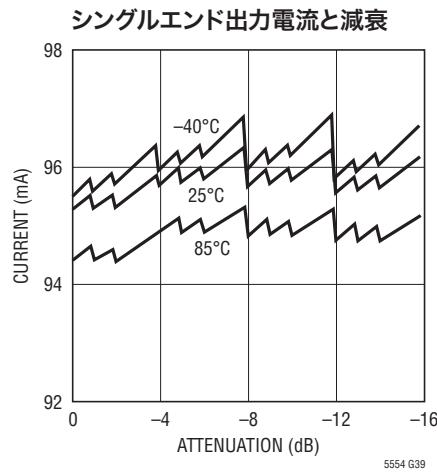


出力ノイズ密度と減衰、140MHz



標準的性能特性

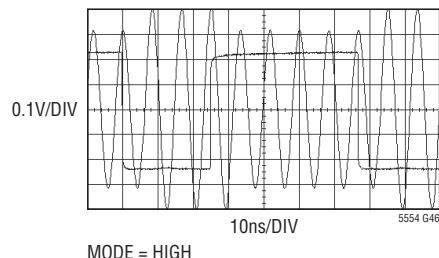
($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CC0} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、最大利得。



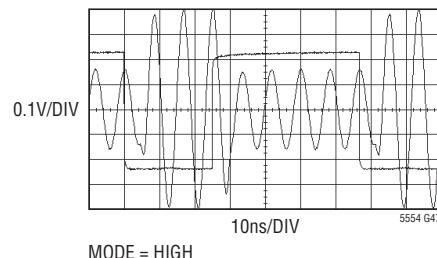
標準的性能特性

($R_{OUT} = 50\Omega$) $T_A = 25^\circ C$ 。注記がない限り、 $V_{CC} = 5V$ 、 $V_{CC0} = 5V$ 、 $ENB = 3V$ 、 $MODE = 5V$ 、 $STROBE = 3V$ 、 $V_{IH} = 2.2V$ 、 $V_{IL} = 0.6V$ (図16のテスト回路)、最大利得。

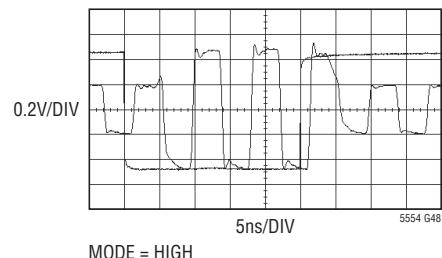
2dBステップ応答(PG4)、
120MHz信号



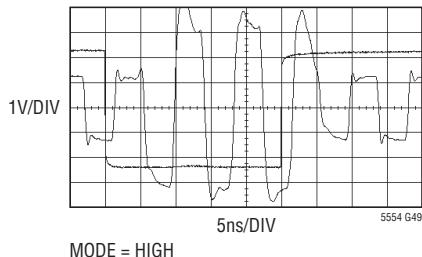
8dBステップ応答(PG6)、
120MHz信号



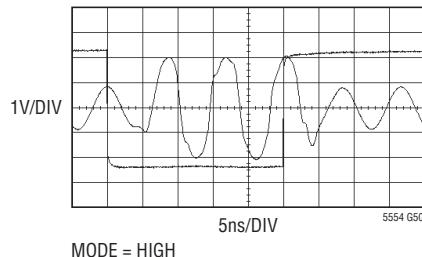
8dBステップ応答(PG6)、
120MHzパルス信号



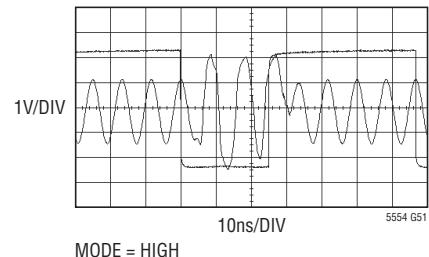
8dBステップ(PG6)、120MHzパルス
信号、8dBオーバードライブ



2dBステップ(PG6)、120MHz正弦波
信号、2dBオーバードライブ



8dBステップ(PG6)、120MHz正弦波
信号、8dBオーバードライブ



ピン機能

GND(ピン1、2、7、8、10、13、15、16、19、22、25、26、28、31): グラウンドピン。

DEC(ピン3、6): 差動入力IN⁺とIN⁻の内部DCバイアス電圧用デカップリング・ピン。また、入力抵抗減衰器の「仮想グラウンド」にも接続します。3dBまでのインバランスでIN⁺、IN⁻入力をドライブする場合は、直線性性能を維持するためにグラウンドに対して容量性デカップリングを行うことを推奨します。

IN⁺(ピン4): 内部で2VにDCバイアスされる正の信号入力ピン。

IN⁻(ピン5): 内部で2VにDCバイアスされる負の信号入力ピン。

PG5(ピン9): 4dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

PG6(ピン11): 8dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

PG0(ピン12): 0.125dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

STROBE(ピン14): プログラマブル利得制御入力(PGx)用のSTROBEピン。STROBEがLowの状態にあるときは、PGxの状態が変化してもアンプ利得は変化しません(ラッチ・モード)。STROBE信号がHighの状態にあるときは、アンプ利得はPGx入力の遷移によって非同期設定されます(トランスペアレント・モード)。PGxの状態は正のSTROBE遷移によって更新されます。LowになるかHighになるかはMODEピンのレベルによります(表1)。

V_{CC}(ピン17、24): 電源ピン。これらのピンは内部で接続されています。

MODE(ピン18): PGxとSTROBEの機能およびレベル制御ピン。MODEの電圧がV_{CC}-0.4Vより高いときは、PGxとSTROBEがDC結合されます。MODEピンの電圧が0.6Vより低いと、PGxとSTROBEはAC結合されます。

ピン機能

MODEピンをオープンのままにすると、PGx入力はAC結合され、STROBE入力はDC結合されます。

DC結合モードでのPGxとSTROBEの入力レベルは、0.6Vと2.2Vです。AC結合モードでは、PGx入力とSTROBE入力はDC電圧レベルに関わらず0.6V_{P-P}の最小振幅(立ち上がり時間と立ち下がり時間 < 5ns)でドライブされます。正の遷移の場合はHigh状態に、負の遷移の場合はLow状態にセットされます(PGx入力とSTROBE入力)。

OUT⁺(ピン20): 正のアンプ出力ピン。DC消費電流を流すには、トランスのセンタータップをV_{CC}またはチョーク・インダクタに接続することを推奨します。

OUT⁻(ピン21): 負のアンプ出力ピン。DC消費電流を流すには、トランスのセンタータップをV_{CC}またはチョーク・インダクタに接続することを推奨します。

ENB(ピン23): アンプ用イネーブルピン。ENB入力電圧が3Vを超えると、アンプがオンになります。ENB入力電圧

が0.6V以下になると、アンプがオフになります。

PG4(ピン27): 2dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

PG3(ピン29): 1dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

PG2(ピン30): 0.5dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

PG1(ピン32): 0.25dBステップのアンプ用プログラマブル利得制御入力ピン。入力レベルはMODEピンで制御します。

露出パッド(ピン33): グランド。放熱効果を上げるには、このピンをプリント基板のグランドに半田付けする必要があります。

ブロック図

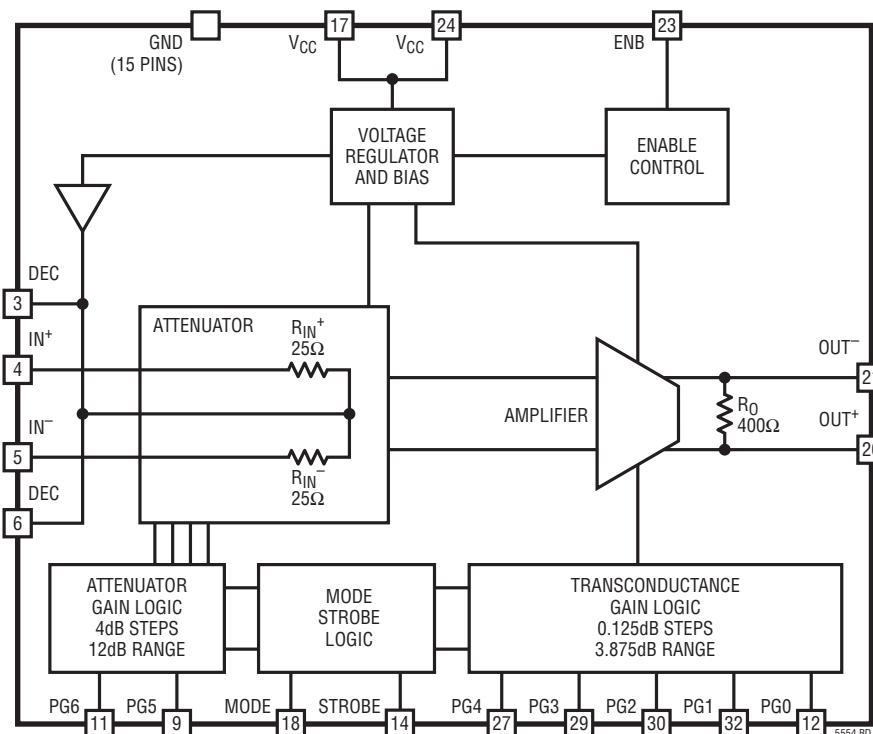


図1. 機能ブロック図

機能特性

プログラマブル利得一覧

STATE	PG0	PG1	PG2	PG3	PG4	PG5	PG6	ATTENUATION Step Relative to Max Gain	GAIN STATE NAME
N	Step Size in dB							dB	
	0.125	0.25	0.5	1	2	4	8	(N - 127) • 0.125dB	
127	H	H	H	H	H	H	H	0.00dB	G _{MAX} (Max Gain)
126	L	H	H	H	H	H	H	-0.125dB	G _{MAX} -0.125dB
125	H	L	H	H	H	H	H	-0.250dB	G _{MAX} -0.25dB
124	L	L	H	H	H	H	H	-0.375dB	G _{MAX} -0.375dB
123	H	H	L	H	H	H	H	-0.500dB	G _{MAX} -0.5dB
122	L	H	L	H	H	H	H	-0.625dB	G _{MAX} -0.625dB
121	H	L	L	H	H	H	H	-0.750dB	G _{MAX} -0.75dB
120	L	L	L	H	H	H	H	-0.875dB	
119	H	H	H	L	H	H	H	-1.00dB	G _{MAX} -1dB
118	L	H	H	L	H	H	H	-1.125dB	G _{MAX} -1.125dB
...									
112	L	L	L	L	H	H	H	-1.875dB	G _{MAX} -1.875dB
111	H	H	H	H	L	H	H	-2.00dB	G _{MAX} -2dB
...									
104	L	L	L	H	L	H	H	-2.875dB	G _{MAX} -2.875dB
103	H	H	H	L	L	H	H	-3.00dB	G _{MAX} -3dB
...									
96	L	L	L	L	L	H	H	-3.875dB	G _{MAX} -3.875dB
95	H	H	H	H	H	L	H	-4.00dB	G _{MAX} -4dB
...									
64	L	L	L	L	L	L	H	-7.875dB	G _{MAX} -7.875dB
63	H	H	H	H	H	H	L	-8.00dB	G _{MAX} -8dB
...									
32	L	L	L	L	L	H	L	-11.875dB	G _{MAX} -11.875dB
31	H	H	H	H	H	L	L	-12.000dB	G _{MAX} -12dB
...									
8	L	L	L	H	L	L	L	-14.875dB	G _{MAX} -14.875dB
7	H	H	H	L	L	L	L	-15.000dB	G _{MAX} -15dB
6	L	H	H	L	L	L	L	-15.125dB	G _{MAX} -15.125dB
5	H	L	H	L	L	L	L	-15.250dB	G _{MAX} -15.25dB
4	L	L	H	L	L	L	L	-15.375dB	G _{MAX} -15.375dB
3	H	H	L	L	L	L	L	-15.500dB	G _{MAX} -15.5dB
2	L	H	L	L	L	L	L	-15.625dB	G _{MAX} -15.625dB
1	H	L	L	L	L	L	L	-15.750dB	G _{MAX} -15.75dB
0	L	L	L	L	L	L	L	-15.875dB	G _{MIN} (Min Gain)

LT5554

仕様の定義

アンプのインピーダンスと利得の定義(差動)

R_S 入力ソース抵抗。入力整合の前提: $R_S = R_{IN}$

R_{IN} LT5554の入力抵抗(内部、 50Ω)

C_{IN} LT5554の入力容量(内部)

R_O LT5554の出力抵抗(内部、 400Ω)

C_O LT5554の出力容量(内部)

R_{LOAD} LT5554の出力ピンから見た負荷抵抗

C_{LOAD} LT5554の出力ピンから見た負荷容量

R_{OUT} LT5554のオープンコレクタ出力における合計出力抵抗(G_V, G_P利得の計算に使用)

$$R_{OUT} = R_O \parallel R_{LOAD}$$

C_{OUT} LT5554の出力における合計出力容量(利得計算に使用):

$$C_{OUT} = C_{LOAD} + C_O$$

G_M LT5554の差動トランスマッピングコンダクタンス:

$$G_M = \frac{I_{OUT}}{V_{IN}}$$

G_V LT5554の差動電圧利得:

$$G_V = 20 \log \left(\frac{V_{OUT}}{V_{IN}} \right) = 20 \log (G_M \cdot R_{OUT}) \text{、単位: dB}$$

G_P LT5554の差動電力利得:

$$G_P = 10 \log (R_{IN} \cdot G_M^2 \cdot R_{OUT}) \text{、単位: dB}$$

P_{IN} LT5554の入力に使用できる電力、

$R_S = R_{IN} = 50\Omega$ 入力整合:

$$P_{IN} = 10 \log \left(\frac{\left(\frac{V_{IN}^2}{2} \right)}{(R_{IN} \cdot 1mW)} \right)$$

ここで、単位: dBm、 V_{IN} はピーク値

P_{OUT} LT5554オープンコレクタ出力が供給する合計電力:

$$P_{OUT} = 10 \log \left(\frac{\left(\frac{V_{OUT}^2}{2} \right)}{(R_{OUT} \cdot 1mW)} \right)$$

ここで、単位: dBm、 V_{OUT} はピーク値

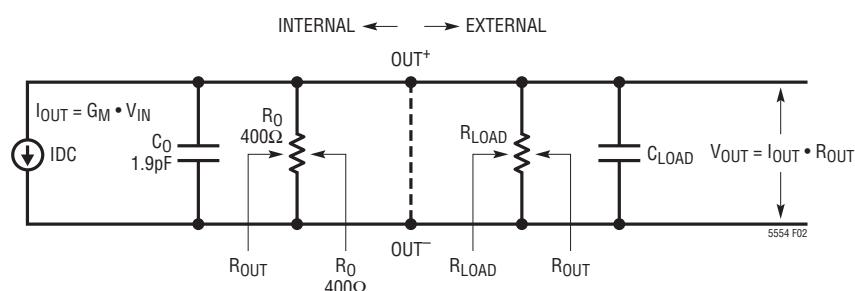


図2. 出力等価回路とインピーダンスの定義

仕様の定義

50Ω整合入力のノイズ定義

e_{RS} ソース抵抗のRMSノイズ電圧
 $e_{RS}^2 = 4 \cdot k \cdot T \cdot R_S$; $R_S = 50\Omega$ の場合
 $e_{RS} = \frac{0.9nV}{\sqrt{Hz}}$

e_N 等価短絡入力RMSノイズ電圧源

i_N 等価開路入力RMSノイズ電流源

v_N 等価合計入力RMSノイズ電圧源:

$$v_N^2 = e_N^2 + i_N^2 \cdot R_S^2 (R_S = 50\Omega)$$

RTI 入力換算のLT5554ノイズ電圧:

$$RTI = \frac{\sqrt{(e_{RS}^2 + e_N^2 + i_N^2 \cdot R_S^2)}}{2} = \frac{v_N}{2}$$

V_{ONOISE} LT5554の出力ノイズ電圧:

$$V_{ONOISE} = \sqrt{RTI^2 + \left(\frac{e_{RS}}{2}\right)^2} \cdot 10^{\left(\frac{GV}{20}\right)}$$

NF 以下のいずれかの式によるノイズフィギュア(dB):

$$NF = 10 \log \left(1 + \frac{(e_N^2 + i_N^2 \cdot R_S^2)}{e_{RS}^2} \right) = \\ 10 \log \left(\frac{1 + V_N^2}{e_{RS}^2} \right) = 10 \log \left(\frac{1 + RTI^2}{\left(\frac{e_{RS}}{2}\right)^2} \right)$$

50Ω整合入力の直線性定義

IMD3[dBc] 3次相互変調歪み(負の値)

$$IIP3[dBm] IIP3 = P_{IN} (\text{トーン当たり}) - \frac{IMD3}{2}$$

$$SFDR[dBm/Hz] SFDR = \left(\frac{2}{3} \right) \cdot (174 + IIP3 - NF)$$

$$OIP3[dBm] OIP3 = P_{OUT} - \frac{IMD3}{2} = IIP3 + G_P$$

アプリケーション情報

回路動作

LT5554は高ダイナミックレンジのプログラマブル・ゲイン・アンプで、以下のセクションから構成されています。

- 入力インピーダンス50Ωの入力可変減衰器(4×4dBステップ、PG5入力とPG6入力で制御)
- 差動プログラマブル・トランスコンダクタンス・アンプ(32ステップ、PG0、PG1、PG2、PG3、PG4入力により0.125dBごとに制御)
- プログラマブル論理ブロック
- 内部バイアス(電圧レギュレータ)
- イネーブル/ディスエーブル回路
- オーバードライブ保護回路。

LT5554はアンプの入出力間で内部フィードバック・ネットワークを使用しないので、以下を実現することができます。

- フィルタなどのI/Oリアクティブ負荷に対する無条件の安定性(絶縁出力抵抗は不要)
- 高い逆絶縁性

LT5554は、クラスAのトランスコンダクタンス・アンプです。入力信号電圧は、まず、LT5554の内部 G_M を介して出力電流に変換されます。次に、出力負荷(R_{OUT})が出力電流を出力電圧に変換します。 R_{OUT} はLT5554の利得と出力ノイズフロアを設定しますが、 R_{OUT} の値が25Ω～100Ωの範囲では、 R_{OUT} によるSFDR性能への影響はほとんどありません。

LT5554

アプリケーション情報

PGx利得制御入力とSTROBE入力は、MODEピンのレベルに応じてDC結合またはAC結合のどちらにも設定できます。LT5554利得制御入力は、外付け部品なしでさまざまなユーザー制御インターフェースに接続できます。

LT5554はオーバードライブ保護回路を内蔵しています。短時間(5ns未満)のオーバードライバ尔斯からの回復時間は5nsです。

入力インターフェース

IN⁺、IN⁻入力のDC電圧レベルは、LT5554がギネーブルまたはディスエーブルされる時に内部で約2Vにバイアスされます。最大限の直線性性能は、入力インバランスが2dB未満の時に得られます。

標準的な入力接続回路を図3と図4に示します。

最大限の利得誤差性能を得るには、50Ω(5%)の入力ソースが必要です。

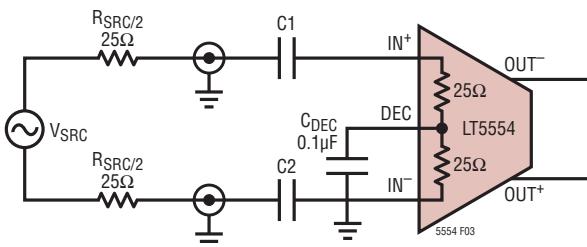


図3. 差動ソースに容量結合された入力

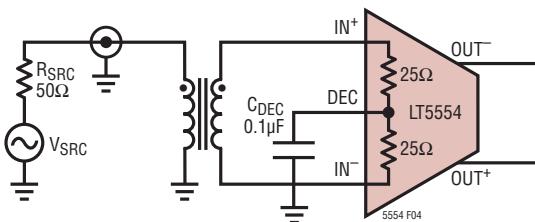


図4. シングルエンド・ソースにトランス結合された入力

デカップリング(DEC)入力

DECピンは内部バッファを介して差動入力IN⁺、IN⁻のためのDC電圧レベルを提供し、これにより、約30mAのソース電流またはシンク電流機能を使用して、LT5554の入力カップリング・コンデンサを高速で充電/放電することができます。

このバッファは、入力抵抗減衰器ネットワークにも接続します。DECピンは「仮想グランド」であり、通常は外付けコンデンサC_{DEC}に接続されます(図3と図4)。C_{DEC}使用時、LT5554の入力減衰は差動信号でも同相信号でも同じになります。DECピンのデカップリング・コンデンサは、差動IN⁺入力やIN⁻入力に3dBまでのインバランスがあった場合でも、同相でのAC特性を向上させます。

DC入力結合が必要な場合は、DECピンを外部回路用の電圧基準として使用できます。

出力インターフェース

出力インターフェースは、アンプ出力(OUT⁺、OUT⁻)に約45mAのDC電流を流さなければなりません。インターフェースの例を図5と図6に示します。

図5は広帯域ADC電圧インターフェースで、L1とL2はチョーク・インダクタです。狭帯域アプリケーションでは、LT5554の出力にバンドパス・フィルタを取り付けることができます。

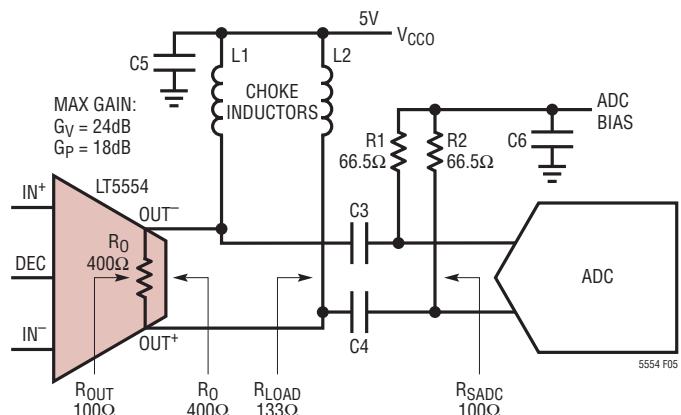


図5. 差動出力インターフェース

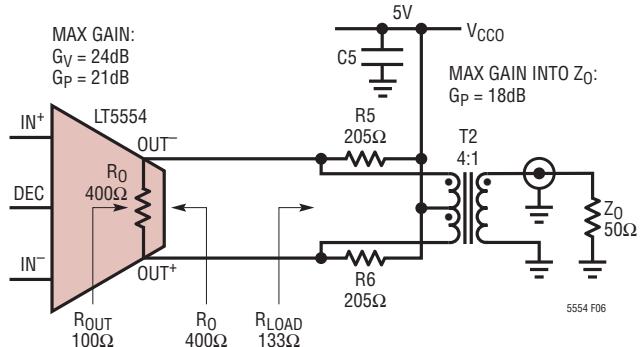


図6. シングルエンド整合出力インターフェース

5554f

アプリケーション情報

差動出力は、図6と図16に示すセンタータップ・トランス・インターフェースを使用してシングルエンドの 50Ω 負荷に変換することもできます。

内部 400Ω 差動抵抗(R_O)は出力インピーダンスを設定し、出力 OUT^+ 、 OUT^- がオープン状態の時の最大電圧利得(G_{MAX})を $36dB$ にします。

図7は電圧利得と電力利得を R_{OUT} の関数として示したもので、 R_{OUT} はオープンコレクタ・アンプ出力における合計出力負荷で、内部抵抗 $R_O = 400\Omega$ を含みます。

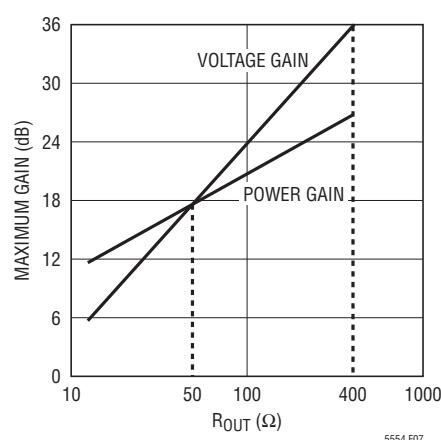


図7. 最大電圧および電力利得と R_{OUT}

利得と R_{OUT} の関係は次式で表わされます。

$$G_V = 20 \log(G_M \cdot R_{OUT}) \text{, 単位: dB}$$

$$G_P = 10 \log(R_{IN} \cdot G_M \cdot R_{OUT}) \text{, 単位: dB}$$

ここで、 G_{MAX} のとき $R_{IN} = 50\Omega$ 、 $G_M = 0.15$ ジーメンスです。

広帯域アプリケーションに対しては、インダクティブ・ピギング技術によってアンプの帯域幅を拡大することができます。LT5554の出力(OUT^+ 、 OUT^-)と直列に接続したインダクタの値は、 R_{OUT} の値とボードの容量によっては数十nHになることがあります。

$R_{OUT} < 140\Omega$ では電流が制限され、この場合は出力における瞬間信号電流が $I_{ODC} = 45mA$ を超えます。

$R_{OUT} > 140\Omega$ では電圧クリッピングが発生し、この場合 OUT^+ 出力と OUT^- 出力における瞬間電圧は $<2V$ または $>8V$ となります。

$R_{OUT} = 130\Omega$ のときは、出力 $OP1dB = 20dBm$ とすることができます。この場合、LT5554の出力は電流値も電圧値も最大出力制限値に達します。

利得制御インターフェース

LT5554利得制御ピンへのインターフェースは、MODEピンによって決定されます。

PGxおよびSTROBE制御入力は、DC結合(TTLインターフェース用)またはAC結合(ECLもしくは低電圧CMOSインターフェース用)に設定できます。

さらにSTROBE入力は、LT5554の利得状態が非同期で更新されるようにドライブしたり(トランスペアレン特・モードでのPGxラッチ制御)、正のSTROBE遷移によって制御したり(ストローブ・モードでのPGxラッチ制御)することができます。

結合タイプとラッチ制御にはいくつかの選択肢があります。これを下の表に示します。

表1. MODE入力の選択肢

MODE (状態)	結合タイプ		PGx (ラッチ制御)
	STROBE	PGx	
LOW	AC Positive Transition	AC	Strobe
OPEN	DC > 2.2V	AC	Transparent
OPEN	0.6 to 2.2V	AC	Strobe
HIGH	DC > 2.2V	DC	Transparent
HIGH	0.6 to 2.2V	DC	Strobe

表2. MODE入力レベル

MODE (状態)	MODE (最小レベル)	MODE (最大レベル)
LOW	0	0.6V
OPEN	1.5V	2.5V
HIGH	$V_{CC} - 0.4V$	V_{CC}

あるいは、MODEピンをオープンのままにしておくこともできます(内部2V)。

アプリケーション情報

7個のPGx利得制御入力とSTROBE入力は、DC結合またはAC結合とすることができます。したがって、MODE入力の選択(表1)に応じて2つの基本等価回路が考えられます(図8と図9を参照)。

図8と図9に示すそれぞれのPGx入力回路には、STROBE入力レベル(表1)で制御されるトランスペアレント・ラッチが続きます。

DC結合によるインターフェースを図8に示します。PGx入力とSTROBE入力のDCレベルは、 $V_{IL} < 0.6V$ 、 $V_{IH} > 2.2V$ です。

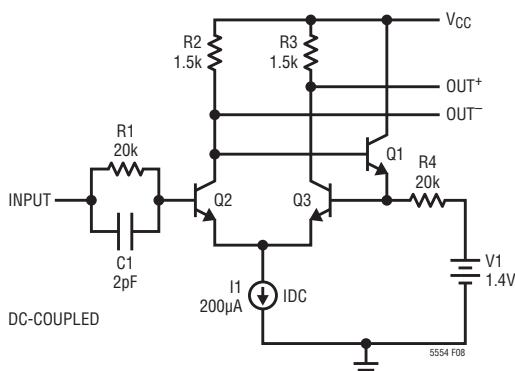


図8. DC結合によるPGxおよびSTROBE等価入力(概略図)

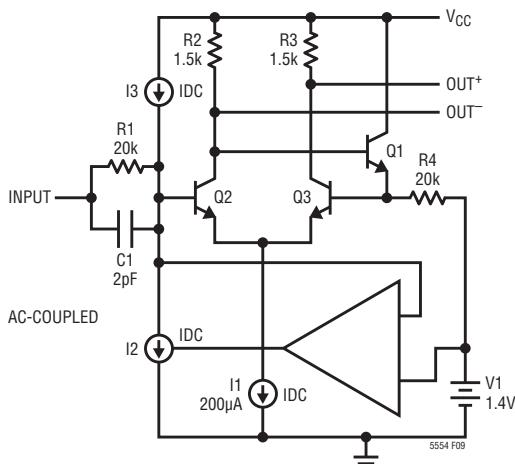


図9. AC結合によるPGxおよびSTROBE等価入力(概略図)

AC結合によるインターフェースを図9に示します。PGx入力とSTROBE入力の状態は、信号レベルではなく信号遷移によって決定されます。

HIGH状態は正の遷移によってセットされ、LOW状態は負の遷移によってセットされます。PGxおよびSTROBE入力は、容量性結合された入力です。PGxまたはSTROBE入力にかかるDC電圧(0V~V_{CC}範囲)は、図9に示す追加回路によって内部で1.4Vレベルにシフトされます。それぞれのPGxおよびSTROBE入力は、各入力を異なるDC電圧とすることができるよう独立したシフト回路を備えています。

各PGx入力には、時定数40nsの並列R-C($R1 = 20k$, $C1 = 2pF$)があります。STROBE入力回路は、 $R1 = 20k$, $C1 = 3pF$ 、時定数60nsです。信号周期が入力時定数未満になったときにPGxおよびSTROBE入力を適切な状態に変化させるには、0.6V_{P-P}の最小振幅が必要です。図8に示す回路は、シングルエンドの外部信号を内部差動信号に変換します。したがって、入力のアイドル状態が入力時定数以上にわたると、0.3V_{P-P}の遷移によってやはり利得制御状態が変化します。すべての制御入力は、入力ノイズ・レベルが100mV_{P-P}未満の場合にロジックレベルを安定させるため、200mVのヒステリシスを持っています。

トランスペアレント・ラッチ制御のために、アンプ利得はPGx入力状態の変化によって直接更新されます。異なるPGx入力の(外部)タイムスキュームが1nsを超える場合は、アンプ出力に顕著なグリッチが発生することがあります。このアンプ出力グリッチの発生を回避するには、ストローブ・ラッチ制御が推奨されます。

LT5554では、PGx入力と外付け部品を持たない各種外部利得制御回路へのアンプ出力とが内部で確実に絶縁されているので、PGx入力をダブルバッファする必要はありません。

ラッチモードでLT5554の電源を入れるかイネーブルにした場合、初期利得を確定することはできません。電源投入時に最小利得状態とする必要がある場合は、すべてのPGx入力をLOWにして、トランスペアレント・モードに設定することを推奨します。

アプリケーション情報

利得ステップ精度

4dBステップの減衰器を介したLT5554内部入力信号のトランスコンダクタンス・アンプ入力への結合は、周波数とともに増加します。LT5554の利得更新によって入力減衰器タップが変化すると(PG5, PG6の遷移)、利得ステップ誤差が大きくなります。この誤差は周波数に依存します。

利得誤差は「圧縮性」で、結果的にLT5554の利得範囲を狭くします。したがって、0.125dBステップの高周波単調動作を維

持するためにPG5, PG6の遷移が必要とされるときは、常に利得コードが1個スキップされる可能性があります。

利得範囲全体を通じた直線性とノイズ性能

100MHz、 $R_{OUT} = 100\Omega$ 、 $R_{SADC} = 50\Omega$ の時の16dB利得範囲にわたるLT5554のノイズ性能と直線性性能を図10から図13までに示します。

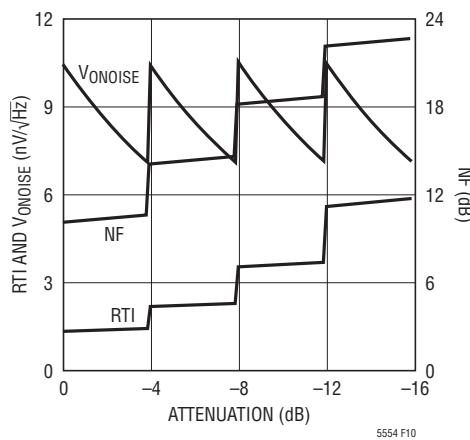


図10. ノイズ、140MHz、 $R_{OUT} = 50\Omega$

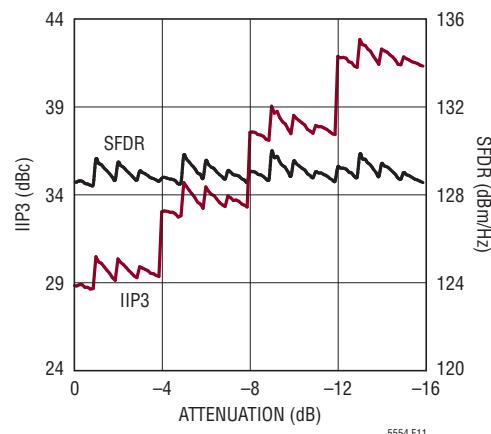


図11. ノイズ、140MHz、 $R_{OUT} = 50\Omega$

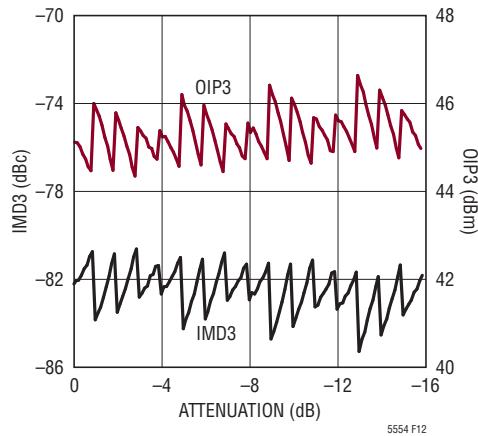


図12. 直線性、70MHz、 $R_{OUT} = 50\Omega$ 、4dBm/トーン

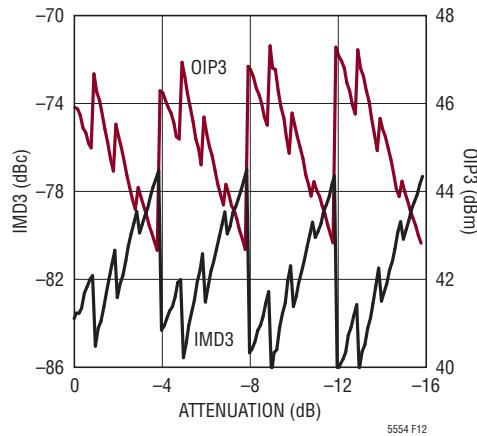


図13. 直線性、140MHz、 $R_{OUT} = 50\Omega$ 、4dBm/トーン

LT5554

アプリケーション情報

16dBの利得範囲にわたるLT5554のノイズおよび直線性性能は、4dBの利得ステップごとに明らかな不連続性を示します。ノイズフィギュアは、0dB(最大利得)からアンプのトランスクンダクタンスを下げることにより利得が減少する-3.875dBの減衰値まで、ほぼ一定です。そこから入力減衰器が-4dBに切り替えられてNFは4dB増加し、アンプ利得は最大トランスクンダクタンスにスイッチバックします。このパターンは、4dBの利得ステップ変化ごとに繰り返されます。

2次高調波歪み

LT5554の2次高調波歪み(HD2)を小さくするには、差動入力と差動出力のバランスを取りることが重要です。したがってシングルエンド入出力インターフェースで構成されている場合は、入力をシングルエンドから差動に変換し、出力を差動からシングルエンドに変換することがHD2性能に大きな影響を与えます。

たとえば図14は、シングルエンド入出力の望ましい構成を示したもので、この例では、外部トランスを使用して、シングルエンドから差動への変換と、差動からシングルエンドへの変換を行っています。また、良好なHD2性能を保証するには、R5とR6を1%以内に整合させるか、部品誤差が1%の2本の抵抗を使用する必要があります。このケースでは、出力電力を140MHzで10dBmとすれば、HD2を-80dBc程度に抑えることができます。

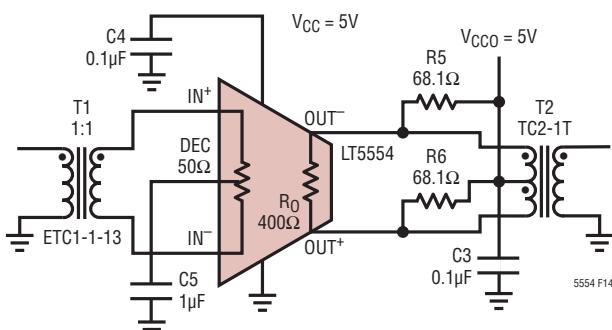


図14. 推奨されるシングルエンド入出力の構成、10dBm、
140MHzでHD2 = -80dBc

シングルエンド入力をバランスの取れた入力に変換しないと、LT5554のHD2性能は低下します。たとえば、図15に示すようにT1トランスを不用意に90°回転させると、差動入力信号のインバランスによってHD2が14dBほど悪化する結果となります。また、T2トランスのインバランスを減らすために、出力における差動抵抗R7を2つのシングルエンド抵抗R5とR6に分離することも重要です。これを行わないと、HD2性能がさらに3dB低下します。

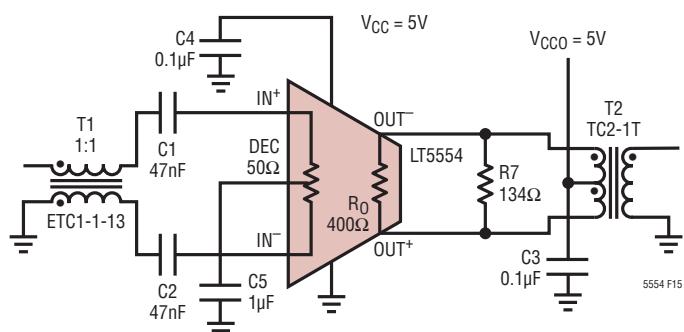


図15. 望ましくないシングルエンド入出力の構成、10dBm、
140MHzでHD2 = -63dBc

HD2性能は、IN⁺からグランドの間(数pF)とOUT⁻からグランドの間にキャパシタを取り付けることによって、さらに向上させることができます。狭帯域アプリケーションでは、これらのキャパシタが、図15に見られるようなT1およびT2のインバランスをある程度打ち消します。

最大限のHD2性能を得るには、LT5554に対して完全な差動入力インターフェースと出力インターフェースを使用することを推奨します。

アプリケーション情報

レイアウトに関する検討

プリント基板のレイアウトにあたっては、出力ピンから入力ピンへの結合(外部フィードバック)が発生しないよう注意を払う必要があります。評価ボード・レイアウトは良い例です。LT5554裏面の露出パッドは、PCBのグランド・プレーンに半田付けする必要があります。

特性テスト回路

LT5554の標準的特性データは図16、図17、および図18に示すテスト回路によるものですが、これらの図は図21の評価ボード配線図を簡略化したものです。

図16のトランス・ボードは、ROUTの関数として特性を評価した際に使用したもので、ROUTの値に応じたT2トランス・モデルと整合抵抗R5、R6の値を表3に示します。T2トランスの合計整合抵抗はRMATCH = $R_O \parallel (R_5 + R_6)$ (LT5554内部パーツと、ボード上パーツR5およびR6)。

表3. トランスボードのROUTの選択肢

ROUT (Ω)	50	75	100
T2 (Mini-Circuits)	TC2-1T	TC3-1T	TC4-1W
N _{LOAD} Ratio	2	3	4
R _{LOAD} (Ω)	57.1	92.3	133.3
R ₅ , R ₆ (Ω)	68.1	124	205
G _{P_BOARD} (dB)	13.2	16	17.2
IL(T2) at 200MHz (dB)	-0.6	-0.65	-1

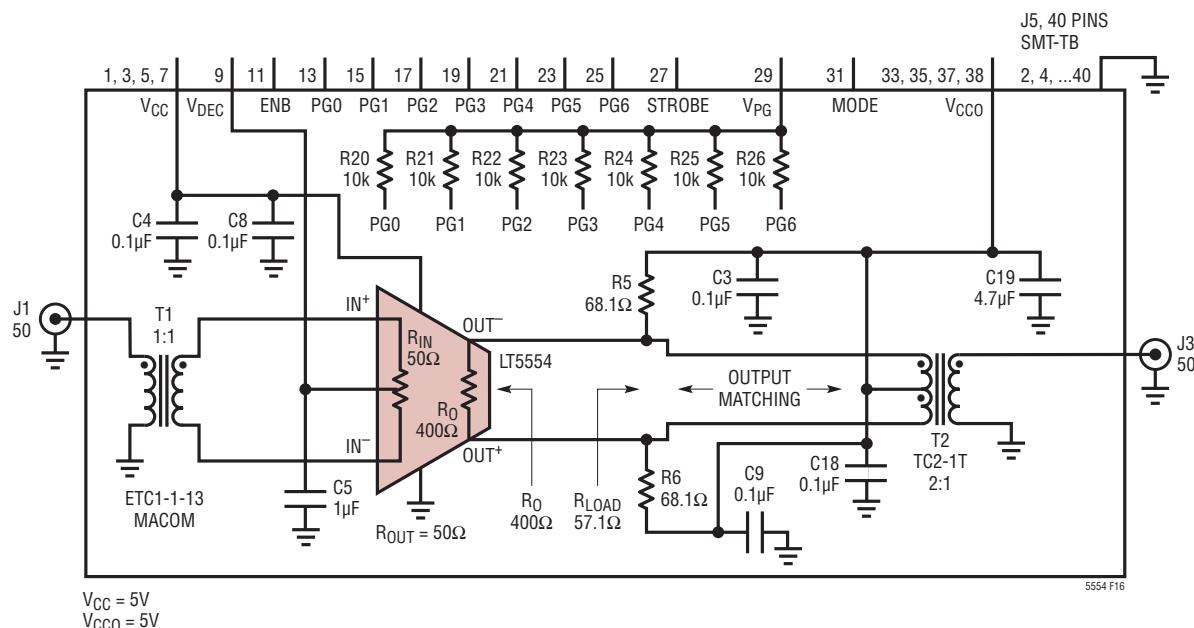


図16. シングルエンド・トランス・テストボード(概略図)

LT5554

アプリケーション情報

LT5554の出力電力 P_{OUT} は、J3コネクタのボード出力電力に、整合損失3dBと表3のトランス損失 $IL(T2)$ を加えることによって得られます。特性評価には、トランス挿入損失(周波数および温度による)が含まれています。

評価ボードに見られるようにLT5554が 50Ω の伝送線をドライブする場合は、出力整合の必要があります。

LT5554がADCデバイスなどのローカル(オンボード)負荷をドライブする場合、出力整合は不要で、OIP3はLT5554のオープンコレクタ出力における合計出力 P_{OUT} に基づいて決定されます。

図17は $R_{OUT} = 50\Omega$ における広帯域特性用の評価ボードで、この場合の出力バランの挿入損失は1GHzで約-1dBです。いくつかの R_{OUT} の選択肢と、LT5554出力5Vに対する出力パディング挿入損失と必要な V_{CCO} を表4に示します。オープンコレクタ出力におけるLT5554の出力電力は次の通りです：

$$P_{OUT} = P_{WR}(J3) + IL(T2) + 3dB + IL_{PAD}$$

表4. バラン・ボードの R_{OUT} の選択肢

R_{OUT} (Ω)	25	36	50	71	100
$R3, R4$ (Ω)	0	6.49	15.4	30.1	53.6
$R5, R6$ (Ω)	28.7	28.7	28	28	28
IL_{PAD}	0	1.88	3.66	5.76	8.08
V_{CCO} (V)	6.29	6.57	6.96	7.61	8.66

図18の差動出力ボードは、LT5554のシングルエンド出力の $R_{OUT} = 50\Omega$ における広帯域特性評価に使用したものです。

図17と図18では、ともに OUT^+ 、 OUT^- のDCバイアス電圧を5Vに維持できるように、45mA出力DC電流によって生じるR5、R6の電圧降下に伴って、ボードの V_{CCO} がシフトアップされます。LT5554は、 $V_{CCO} > 6V$ のとき常にイネーブルになっているなければなりません。ディスエーブルになっていると、絶対最大制限値6Vを超える V_{CCO} が OUT^+ 、 OUT^- にかかり、LT5554が故障する恐れがあります。

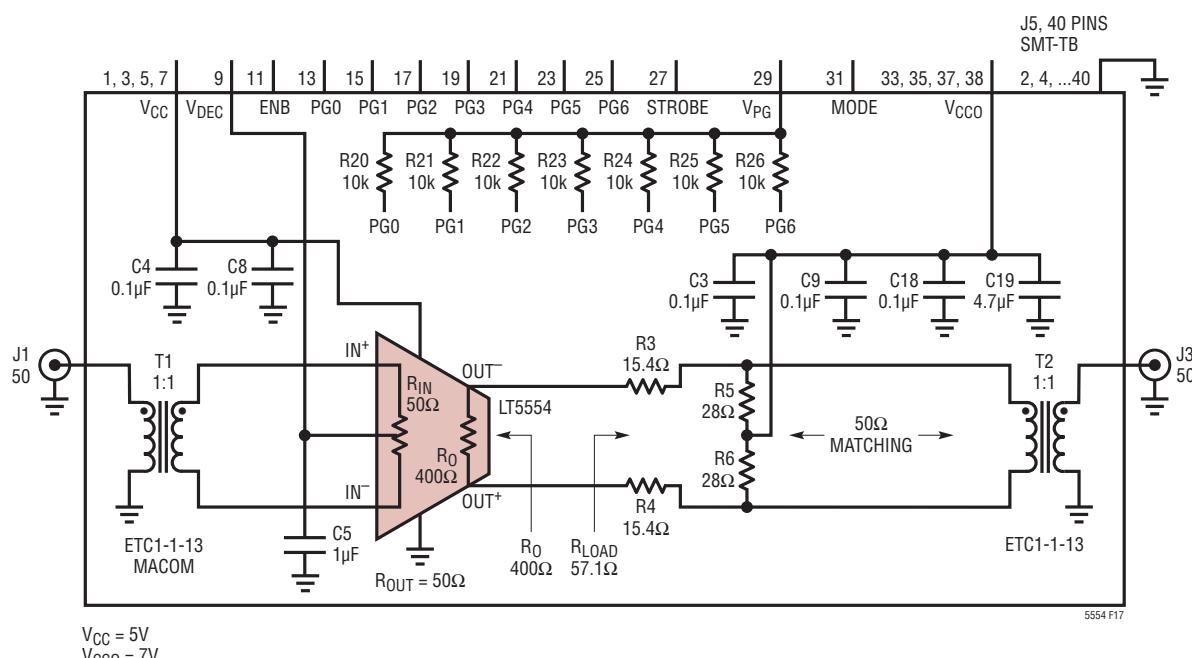


図17. シングルエンド・テストボード(概略図)

アプリケーション情報

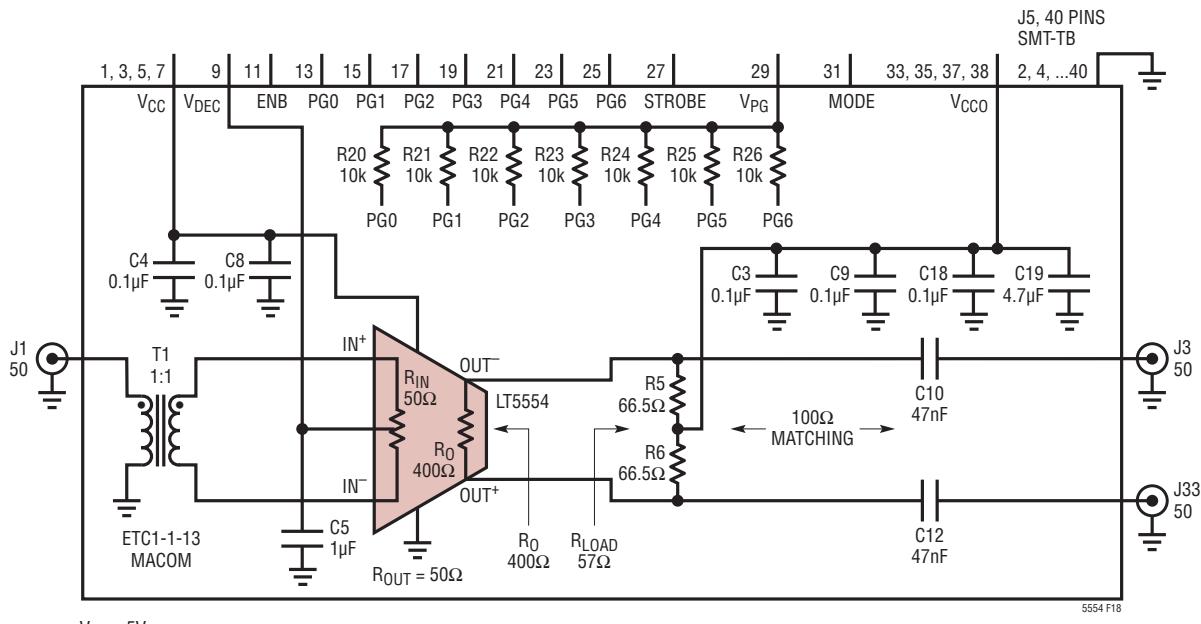


図18. 広帯域差動出力テストボード(概略図)

LT5554の同相特性評価には、図19に示す入力回路を使用しました。

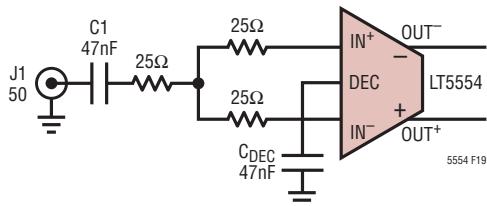


図19. 同相入力インタフェース

タイミング特性評価とAC結合利得制御入力のテストには評価ボードを使用しました。必要な回路変更を図20の概略図に示し、PG6(8dBステップ)に関する詳細を以下に述べます。PG6のパルス源はJ6コネクタに接続され、抵抗R16およびR33

で50Ω終端されます。C27はR33をグランドにデカップリングし、C16はグランド基準のパルス源とPG6のDC電圧間でDCデカップリングを行います。PG6ターレットに接続された電源は、PG6のDC電圧を0Vから5Vの範囲に設定します。他のすべての(未テスト)PGx DC電圧は、C88によりデカップリングされたV_{PG}ターレットに個別に印加することができます。

ストローブモード動作のテストは、図20に示すようにJ7コネクタにパルス源を印加して行います。

図21に示すように、J2およびJ4コネクタ周辺に同様の変更を加えれば、その他のPGx入力も評価できます。表1と表2に示したように、希望する状態の選択はMODEピンで行います。

アプリケーション情報

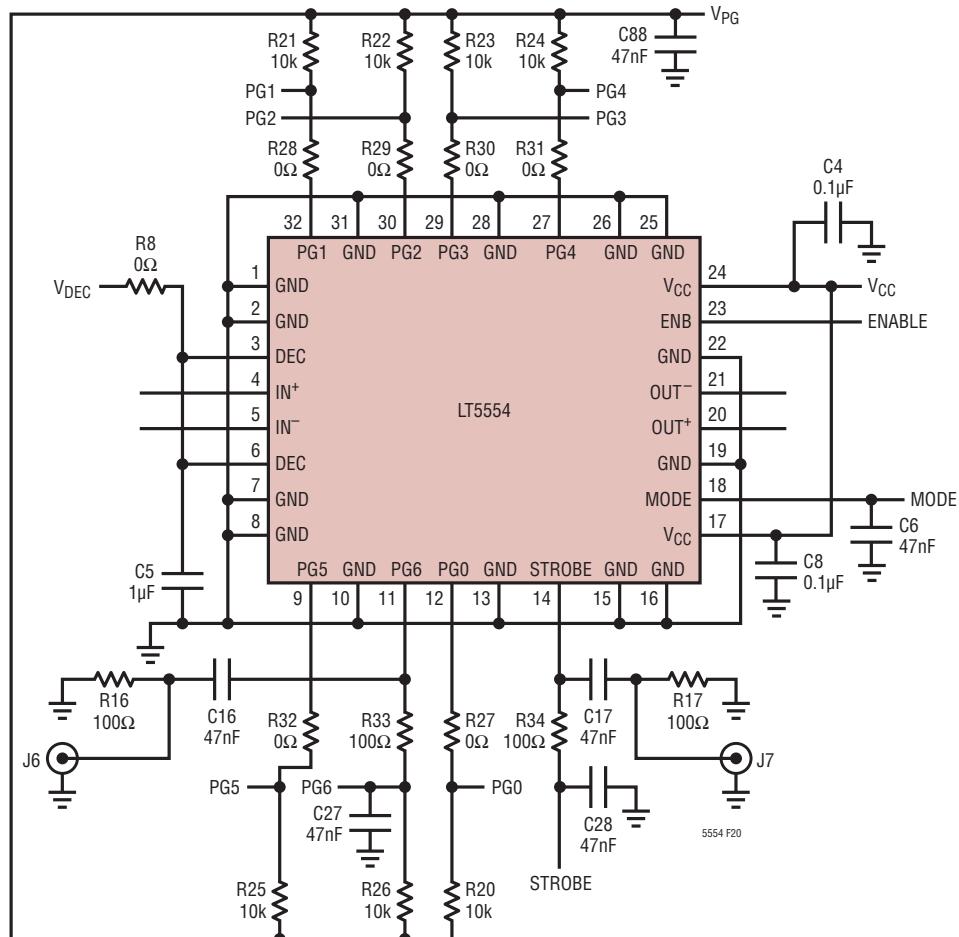


図20. PG6およびSTROBEのタイミングテスト(概略図)

評価ボード

図21に、LT5554評価ボードの回路図を示します。トランジスタT2はTC2-1Tで、抵抗はR5+R6 = 134Ω (ROUT = 50Ω, GP(J3) = 13.2dB)です。シルクスクリーンとレイアウトを図22から図27に示します。ボード制御であるJ5エッジ・コネクタ(40ピンSMT-TB)を使用すれば、LT5554のコンポーネント・ピンに容易にアクセスできます。あるいは信号用14個、GND用2個のテストポイント(ターレット)を使用することもできますが、これらはJ5と組み合わせて使用することも可能です。ボード電源には、V_{CC}およびV_{CCO}で4.75Vから5.25Vの単一電源を使用します(J5コネクタまたはターレット)。ENABLEピンをV_{CC}電源に接続すれば、LT5554をイネーブルにできます。PGx利得制御入力

とSTROBE入力は、MODE = 5V(同電源)でTTLレベル(DC結合)となります。7個すべてのPGxとSTROBEを5V電源に接続すれば、LT5554をトランスペアレント・モードで最大利得(G_{MAX})に設定できます。あるいは、2.2V電源をV_{PG}ピンおよびSTROBEターレットに接続すれば、同じG_{MAX}状態が設定されます。

J1(入力)とJ3(出力)は、50Ωシングルエンド・テスト・システムを使用して評価を行うためのデフォルトのボード信号ポートです。差動評価の場合は、ボードJ11およびJ33コネクタの構成設定を変更しなければなりません。

アプリケーション情報

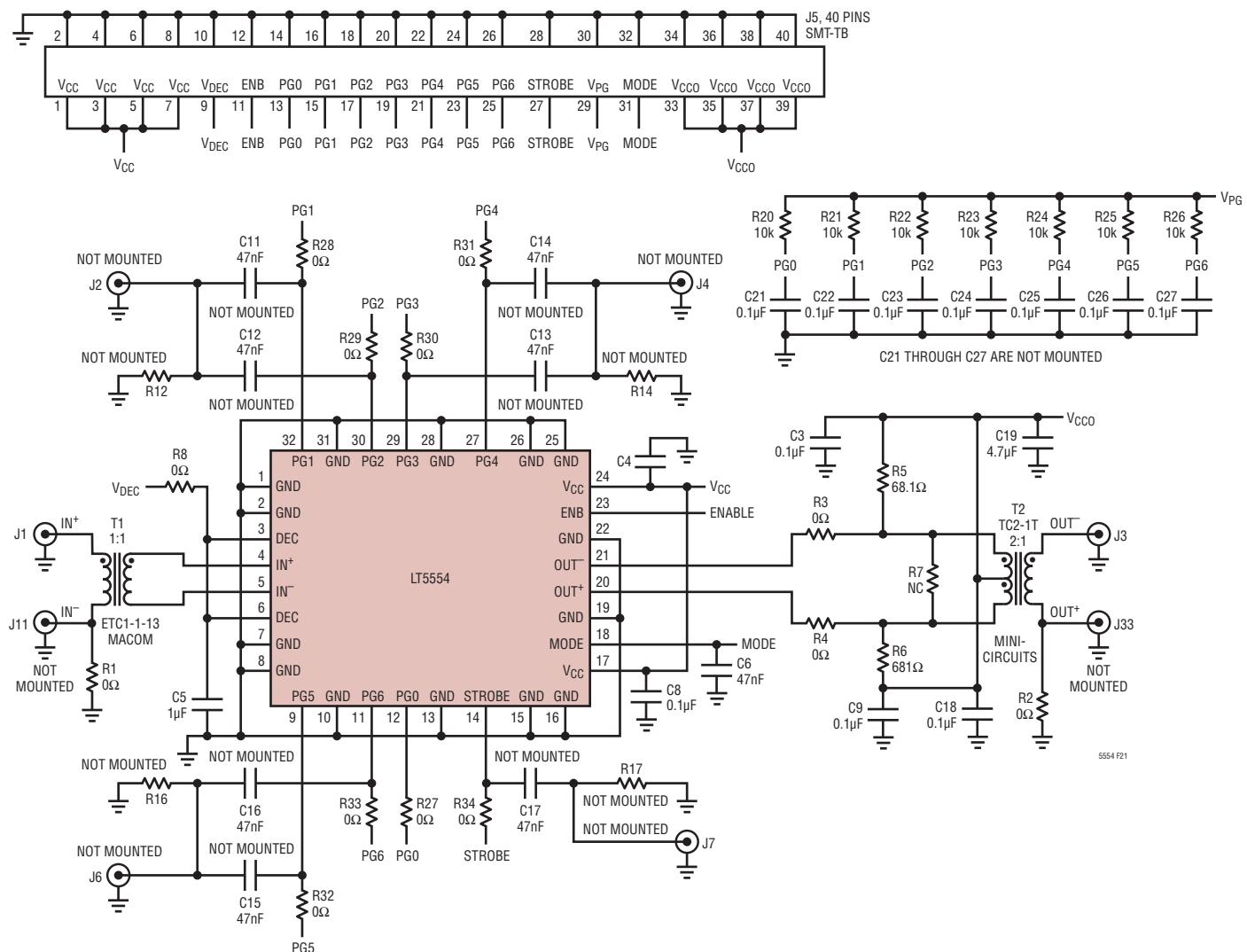


図21. 評価回路図

アプリケーション情報

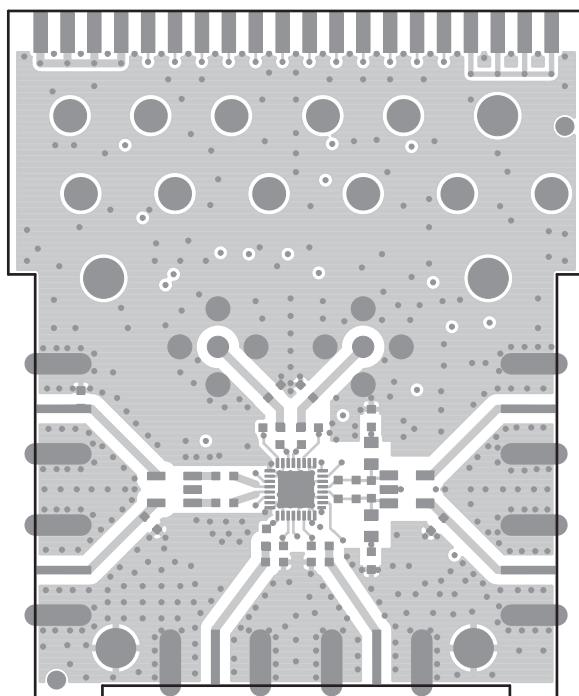


図22. 上面

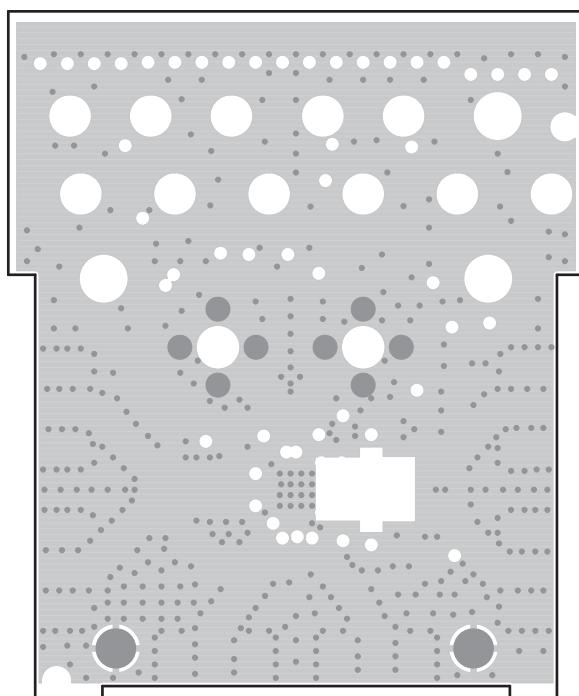


図23. 内部の第2層 GND

5554f

アプリケーション情報

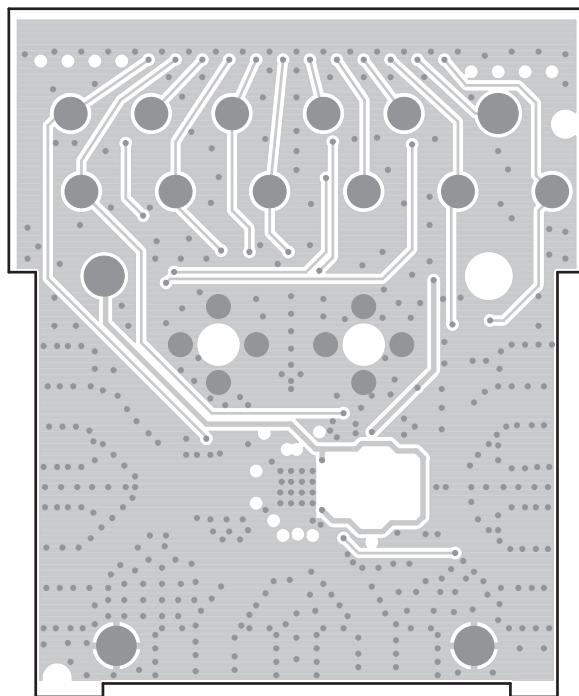


図24. 内部の第3層 電源

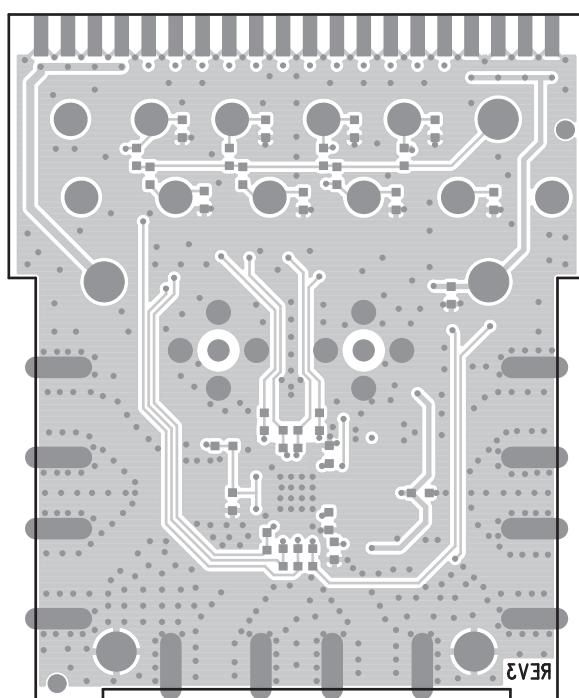


図25. 底面

LT5554

アプリケーション情報

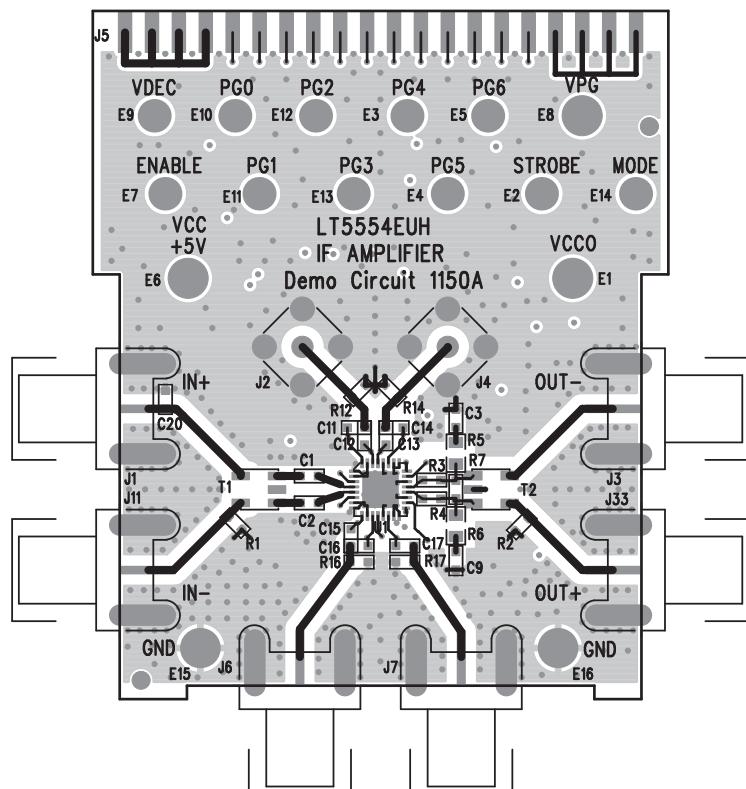


図26. シルクスクリーンの上面

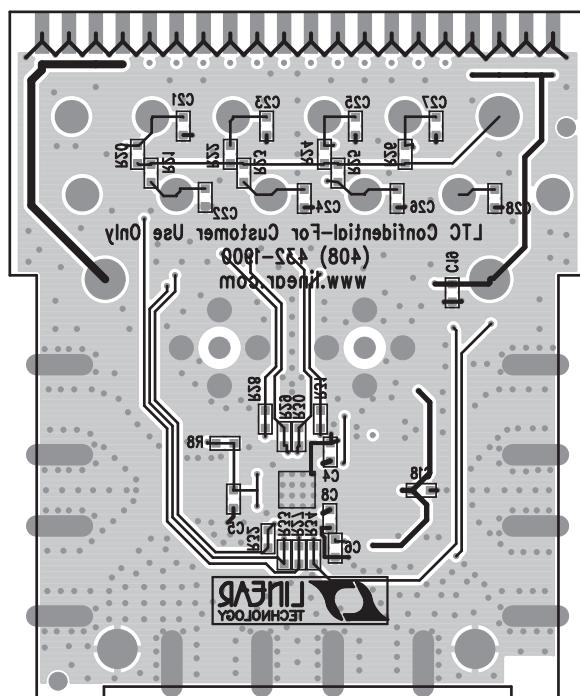
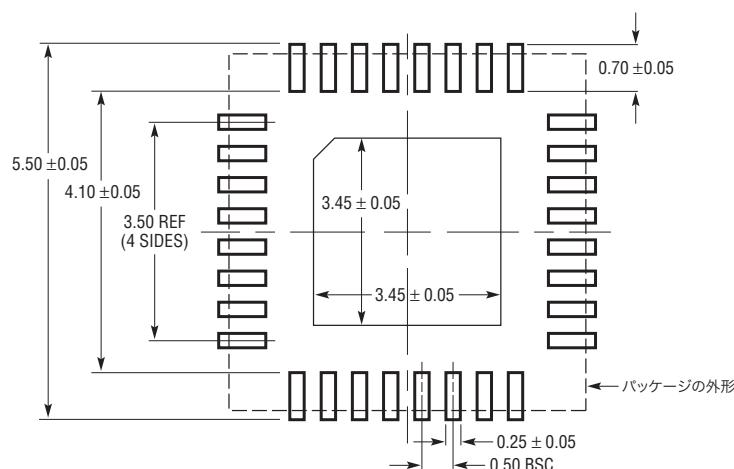


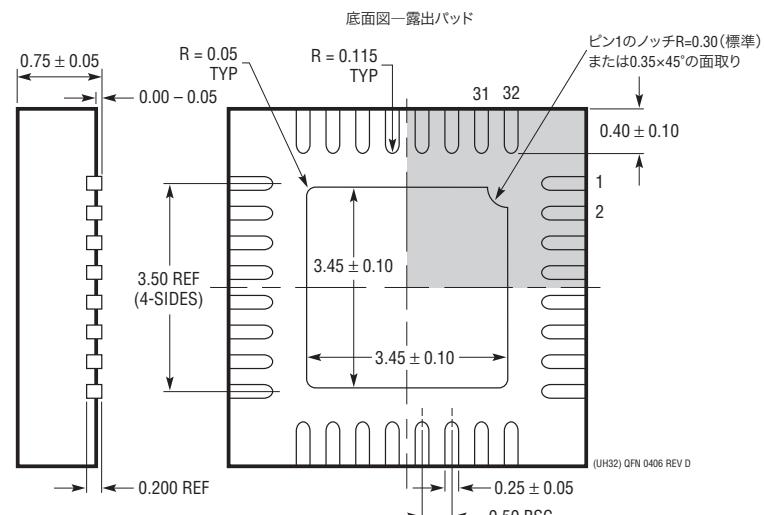
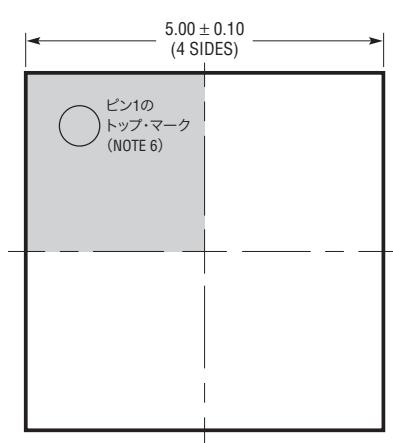
図27. シルクスクリーンの底面

パッケージ

**UHパッケージ
32ピン・プラスチックQFN (5mm×5mm)**
(Reference LTC DWG # 05-08-1693 Rev D)



推奨半田パッド・レイアウト
半田付けされない領域には半田マスクを使用する



NOTE:

1. 図はJEDECパッケージ外形M0-220のバリエーションWHHD-(X)に含めるよう提案されている(承認待ち)
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
- モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

LT554

関連製品

製品番号	説明	注釈
インフラストラクチャ		
LT5514	利得をデジタル制御する超低歪みIFアンプ/ADCドライバ	帯域幅:850MHz、OIP3:100MHzで47dBm、利得制御範囲:10.5dB~33dB
LT5517	40MHz~900MHz直交復調器	IIP3:21dBm、LO直交ジェネレータを内蔵
LT5518	1.5GHz~2.4GHz高直線性ダイレクト直交変調器	OIP3:2GHzで22.8dBm、ノイズフロア:-158.2dBm/Hz、50ΩシングルエンドRFおよびLOポート、4チャネルW-CDMA ACPR:2.14GHzで-64dBc
LT5519	0.7GHz~1.4GHz高直線性アップコンバーティング・ミキサ	IIP3:1GHzで17.1dBm、50Ω整合付きRF出力トランスを内蔵、シングルエンドのLOポートとRFポートの動作
LT5520	1.3GHz~2.3GHz高直線性アップコンバーティング・ミキサ	IIP3:1.9GHzで15.9dBm、50Ω整合付きRF出力トランスを内蔵、シングルエンドのLOポートとRFポートの動作
LT5521	10MHz~3700MHz高直線性アップコンバーティング・ミキサ	IIP3:1.95GHzで24.2dBm、NF=12.5dB、3.15V~5.25Vの電源、シングルエンドLOポート動作
LT5522	600MHz~2.7GHz高信号レベル・ダウンコンバーティング・ミキサ	4.5V~5.25Vの電源、IIP3:900MHzで25dBm、NF=12.5dB、50ΩシングルエンドRFおよびLOポート
LT5524	利得をデジタルで設定可能な、低消費電力、低歪みADCドライバ	帯域幅:450MHz、OIP3:40dBm、4.5dB~27dBの利得制御
LT5525	高直線性、低消費電力のダウンコンバーティング・ミキサ	50ΩシングルエンドRFおよびLOポート、IIP3:1900MHzで17.6dBm、I _{CC} =28A
LT5526	高直線性、低消費電力のダウンコンバーティング・ミキサ	3V~5.3Vの電源、IIP3:16.5dBm、RF:100kHz~2GHz、NF=11dB、I _{CC} :28mA、LO-RFリード:-65dBm
LT5527	400MHz~3.7GHz高信号レベル・ダウンコンバーティング・ミキサ	1900MHzでIIP3=23.5dBmおよびNF=12.5dBm、4.5V~5.25Vの電源、I _{CC} =78mA、変換利得=2dB
LT5528	1.5GHz~2.4GHz高直線性ダイレクト直交変調器	OIP3:2GHzで21.8dBm、ノイズフロア:-159.3dBm/Hz、50Ω、0.5V _{DC} ベースバンド・インターフェース、4チャネルW-CDMA ACPR:2.14GHzで-66dBc
LT5557	400MHz~3.8GHz、3.3V高信号レベル・ダウンコンバーティング・ミキサ	IIP3:2600MHzで23.7dBm、3600MHzで23.5dBm、I _{CC} =3.3Vで82A
LT5560	超低消費電力アクティブ・ミキサ	消費電流:10mA、IIP3:10dBm、NF:10dB、アップまたはダウン・コンバータとして使用可能
LT5568	700MHz~1050MHz高直線性ダイレクト直交変調器	OIP3:850MHzで22.9dBm、ノイズフロア:-160.3dBm/Hz、50Ω、0.5V _{DC} ベースバンド・インターフェース、3チャネルCDMA2000 ACPR:850MHzで-71.4dBc
LT5572	1.5GHz~2.5GHz高直線性ダイレクト直交変調器	OIP3:2GHzで21.6dBm、ノイズフロア:-158.6dBm/Hz、50Ω、高インピーダンス0.5V _{DC} ベースバンド・インターフェース、4チャネルW-CDMA ACPR:2.14GHzで-67.7dBc
LT5575	800MHz~2.7GHz高直線性ダイレクトコンバージョンI/Q復調器	50ΩシングルエンドのRFポートとLOポート、IIP3:900MHzで28dBm、P1dB:13.2dBm、I/Q利得不整合:0.04dB、I/Q位相不整合:0.4°
LT5579	1.5GHz~3.8GHz高直線性アップコンバーティング・ミキサ	OIP3:2.14GHzで27.3dBm、ノイズフロア:9.9dB、変換利得:2.6dB、LOリード:-35dBm
RFパワー検出器		
LTC®5505	ダイナミックレンジが>40dBのRFパワー検出器	300MHz~3GHz、温度補償、2.7V~6Vの電源
LTC5507	100kHz~1000MHzのRFパワー検出器	100kHz~1GHz、温度補償、2.7V~6Vの電源
LTC5508	300MHz~7GHzのRFパワー検出器	44dBのダイナミックレンジ、温度補償、SC70パッケージ
LTC5509	300MHz~3GHzのRFパワー検出器	36dBのダイナミックレンジ、低消費電力、SC70パッケージ
LTC5530	300MHz~7GHzの高精度RFパワー検出器	高精度V _{OUT} オフセット制御、シャットダウン、調整可能な利得
LTC5531	300MHz~7GHzの高精度RFパワー検出器	高精度V _{OUT} オフセット制御、シャットダウン、調整可能なオフセット
LTC5532	300MHz~7GHzの高精度RFパワー検出器	高精度V _{OUT} オフセット制御、調整可能な利得とオフセット
LT5534	ダイナミックレンジが60dBの50MHz~3GHzログRFパワー検出器	全温度範囲での出力変動:±1dB、応答時間:38ns、ログリニア応答
LTC5536	高速コンバーティング出力付き、600MHz~7GHz高精度RFパワー検出器	応答時間:25ns、コンバーティング・リファレンス入力、ラッチ・イネーブル入力、入力レンジ:-26dBm~12dBm
LT5537	広いダイナミックレンジのログRF/IF検出器	低周波数から1GHz、ログリニア・ダイナミックレンジ:83dB
LT5538	広いダイナミックレンジの3.8GHzログ検出器	ダイナミックレンジ:75dB、全温度範囲での出力変動:±1dB
LT5570	2.7GHz RMSパワー検出器	高速応答、ダイナミックレンジ:最大60dB、全温度範囲で±0.3dBの精度