



# データシート ADRF5345

## 高直線性、シリコンSP4Tスイッチ、1.8GHz～3.8GHz

### 特長

- ▶ 反射設計
- ▶ 低挿入損失
  - ▶ 0.35dB (2.8GHzまで) (代表値)
  - ▶ 0.40dB (3.8GHzまで) (代表値)
- ▶  $T_{CASE} = 105^{\circ}\text{C}$ で高電力に対応
  - ▶ 長期間 (10年超) の平均値
    - ▶ 連続波電力 : 39dBm
    - ▶ LTE信号
      - ▶ 平均電力 : 39dBm
      - ▶ ピーク電力 : 49dBm
- ▶ 高入力直線性、IP3 : 84dBm (代表値)
- ▶ ESD定格
  - ▶ HBM : 2000V、クラス2
  - ▶ CDM : 1000V、クラスC3
- ▶ 単電源動作、NVG内蔵 :
- ▶ 正電圧制御、LVC MOS/LV TTL互換
- ▶ 4mm × 4mm、22端子LGAパッケージ

### 機能ブロック図

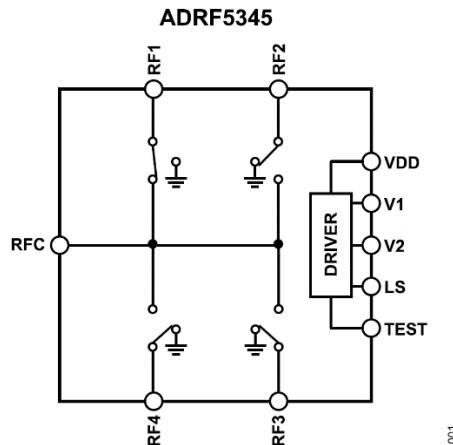


図 1.

### 概要

ADRF5345は、シリコン・プロセスを使って製造した直線性の高い反射単極4投 (SP4T) スイッチです。

このデバイスは、1.8GHz～3.8GHzで動作し、挿入損失の代表値は0.40dB未満、入力IP3の代表値は84dBmです。RF入力電力処理能力は、連続波信号に対し39dBm、ロング・ターム・エボリューション (LTE) 信号に対し39dBm (平均) および49dBm (ピーク) です。

ADRF5345は、負電圧発生器 (NVG) を内蔵しており、V<sub>DD</sub>ピンに供給される5V (V<sub>DD</sub>) の正側 (供給) 単電源で動作し、消費電流は2mAです。また、低電圧相補型金属酸化膜半導体 (LVC MOS) / 低電圧トランジスタ・トランジスタ・ロジック (LV TTL) 互換の制御機能を採用しています。

ADRF5345は、4mm × 4mm、22端子のRoHS準拠ランド・グリッド・アレイ (LGA) パッケージで提供され、-40°C～+105°Cで動作可能です。

### アプリケーション

- ▶ 5Gアンテナ傾斜角制御
- ▶ ワイヤレス・インフラストラクチャ
- ▶ 防衛および高信頼性アプリケーション
- ▶ 試験装置
- ▶ ピン・ダイオードに代わる製品

Rev. 0

文書に関するご意見

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

テクニカルサポート

## 目次

特長	1	代表的な性能特性	6
アプリケーション	1	挿入損失、リターン・ロス、アイソレーション	6
機能プロック図	1	入力3次インターーセプト	8
概要	1	動作原理	9
仕様	3	アプリケーション情報	10
絶対最大定格	4	外形寸法	11
熱抵抗	4	オーダー・ガイド	11
静電放電（ESD）定格	4	評価用ボード	11
ESDに関する注意	4		
ピン配置およびピン機能の説明	5		
インターフェース回路図	5		

## 改訂履歴

12/2021—Revision 0: Initial Version

## 仕様

特に指定のない限り、電源電圧 ( $V_{DD}$ ) = 5V、制御電圧 ( $V_{CTL}$ ) = 0Vまたは3.3V、 $T_A = 25^\circ\text{C}$ 、および50Ωシステムです。

表 1.

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE		1.8	3.8		GHz
INSERTION LOSS					
Between RFC and RF1 to RF4 (On)	2.3GHz～2.8GHz 3.3GHz～3.8GHz	0.35 0.40			dB dB
ISOLATION					
Between RFC and RF1 to RF4 (Off)	2.3GHz～2.8GHz 3.3GHz～3.8GHz	32 29			dB dB
RETURN LOSS					
RFC and RF1 to RF4 (On)	2.3GHz～2.8GHz 3.3GHz～3.8GHz	24 24			dB dB
SWITCHING					
Rise and Fall Time ( $t_{RISE}, t_{FALL}$ )	RF出力 ( $RF_{OUT}$ ) の90%～10%	120			μs
On and Off Time ( $t_{ON}, t_{OFF}$ )	$V_{CTL}$ の50%から $RF_{OUT}$ の10%まで、および $RF_{OUT}$ の90%まで	140			μs
0.1 dB Settling Time	$V_{CTL}$ の50%から最終 $RF_{OUT}$ の0.1dBまで	340			μs
INPUT LINEARITY					
0.1 dB Power Compression (P0.1dB)	LTE (10dBのピーク対平均値比 (PAR))	50			dBm
Third-Order Intercept (IP3)	ツー・トーン入力電力 = トーンあたり30dBmの連続波	84			dBm
SUPPLY CURRENT		2			mA
DIGITAL CONTROL INPUTS					
Voltage		0	0.8		V
Low Voltage ( $V_{IL}$ )		1.2	3.45		V
High Voltage ( $V_{IH}$ )					
Current					
Low ( $I_{IL}$ )	LS $V_1$ および $V_2$	35 <1			μA μA
High ( $I_{IH}$ )	LS $V_1$ および $V_2$	<1 1.5			μA μA
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage ( $V_{DD}$ )		4.75	5.25		V
Control Voltage ( $V_{CTL}$ )		0	3.45		V
RF Input Power	$T_{CASE} = 105^\circ\text{C}$ 、全寿命期間				
Continuous Wave			39		dBm
LTE Signal	10dBのPAR				
Average			39		dBm
Peak			49		dBm
Continuous Wave	$T_{CASE} = 105^\circ\text{C}$ 、単一イベント (10秒未満)				
LTE Signal	10dBのPAR				
Average			42		dBm
Peak			52		dBm
Case Temperature ( $T_{CASE}$ )		-40	+105		°C

## 絶対最大定格

表 2.

Parameter	Rating
V <sub>DD</sub>	-0.3 V to +5.5 V
V <sub>CTL</sub>	-0.3 V to +3.6 V
RF Input Power <sup>1</sup> (T <sub>CASE</sub> = 105°C)	
Average	42.5 dBm
Peak	52.5 dBm
Temperature	
Junction	135°C
Storage	-65°C to +150°C
Reflow	260°C

1 推奨動作条件については、表1を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$ は、ジャンクションからケース底部（チャンネルからパッケージ底部）への熱抵抗です。

表 3. 热抵抗

Package Type	$\theta_{JC}$ <sup>1</sup>	Unit
CC-22-2	37	°C/W

1  $\theta_{JC}$ は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達はチャンネルからグラウンド・パッドを通ってPCBまでの熱伝導のみに起因し、グラウンド・パッドは105°Cの動作温度で一定に保たれるものとします。

## 静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル（CDM）。

### ADRF5345のESD定格

表4. ADRF5345、22端子LGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	1000	C3

## ESDに関する注意



### ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

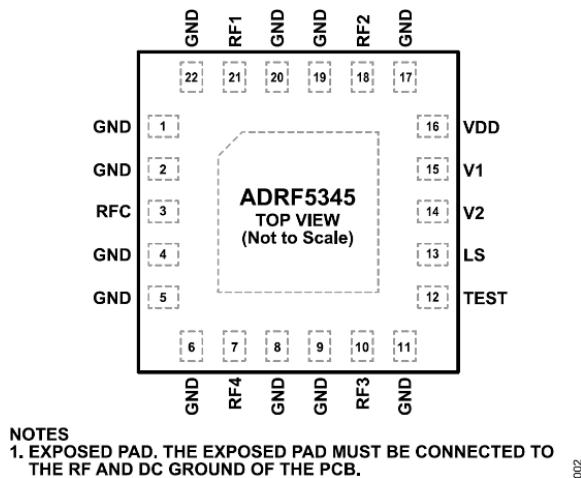


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 2, 4 to 6, 8, 9, 17, 19, 20, 22	GND	グラウンド。
3	RFC	RF共通ポート。RFCピンは0VにDCカッピングされ、50ΩにAC整合されています。RFラインの電位が0V dcに等しい場合は、DC阻止コンデンサは不要です。
7	RF4	RF投ポート4。RF4ピンは0VにDCカッピングされ、50ΩにAC整合されています。RFラインの電位が0V dcに等しい場合は、DC阻止コンデンサは不要です。
10	RF3	RF投ポート3。RF3ピンは0VにDCカッピングされ、50ΩにAC整合されています。RFラインの電位が0V dcに等しい場合は、DC阻止コンデンサは不要です。
12	TEST	工場テスト・ピン。TESTピンは、グラウンドに接続してください。
13	LS	ロジック・セレクト。 <a href="#">表6</a> を参照してください。
14	V2	制御入力2。 <a href="#">表6</a> を参照してください。
15	V1	制御入力1。 <a href="#">表6</a> を参照してください。
16	VDD	正電源電圧。
18	RF2	RF投ポート2。RF2ピンは0VにDCカッピングされ、50ΩにAC整合されています。RFラインの電位が0V dcに等しい場合は、DC阻止コンデンサは不要です。
21	RF1	RF投ポート1。RF1ピンは0VにDCカッピングされ、50ΩにAC整合されています。RFラインの電位が0V dcに等しい場合は、DC阻止コンデンサは不要です。
	EPAD	露出パッド。露出パッドは、PCBのRF/DCグラウンドに接続する必要があります。

## インターフェース回路図

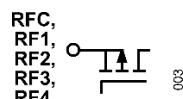


図 3. RFのインターフェース回路図

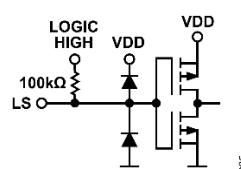


図 5. LSの制御インターフェース回路図

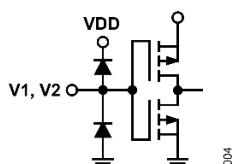


図 4. V1およびV2の制御インターフェース回路図

## 代表的な性能特性

### 挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、 $50\Omega$ システムに対し、 $V_{DD} = 5V$ 、 $V_{CTRL} = 0V$ または $3.3V$ 、 $T_{CASE} = 25^\circ C$ 。挿入損失およびリターン・ロスは、ADRF5345-EVALZ評価用ボードで測定。

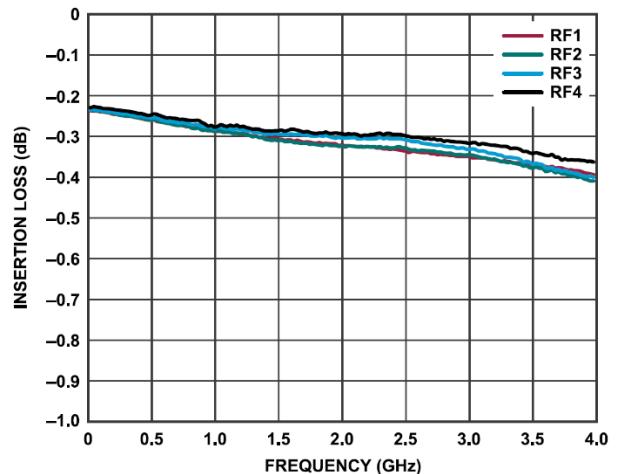


図6. RFCから選択したRFxへの挿入損失と周波数の関係

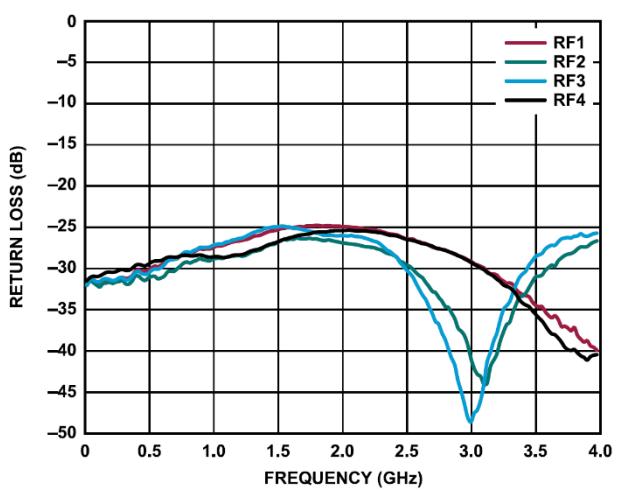


図7. RFxを選択時のRFCのリターン損失と周波数の関係

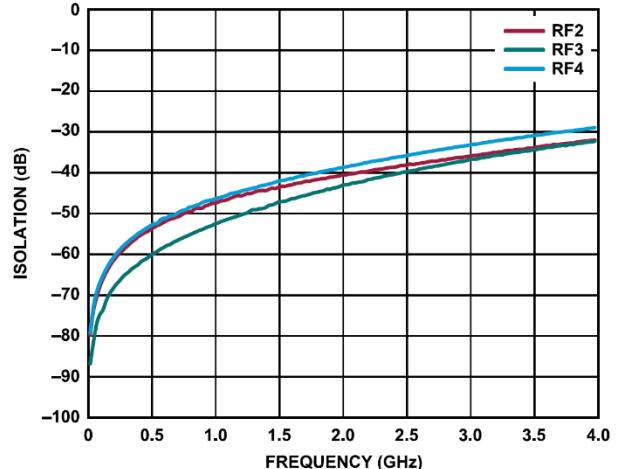


図8. RFCとRF2、RF3、RF4間のアイソレーションと周波数の関係、RF1を選択

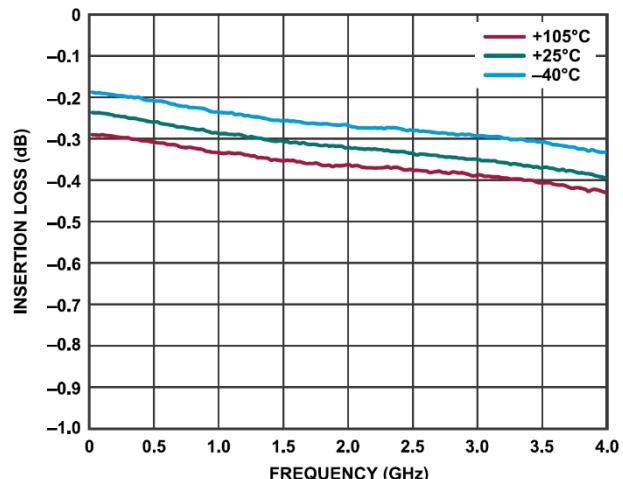


図9. 異なる温度におけるRFCから選択したRF1への挿入損失と周波数の関係

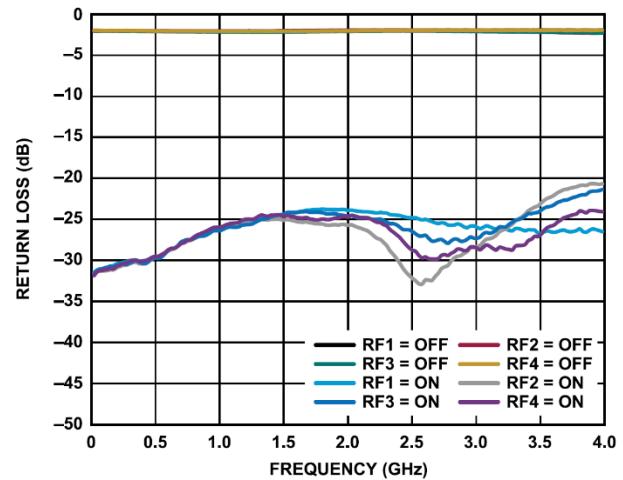


図10. 選択しないRFxおよび選択したRFxのリターン・ロス

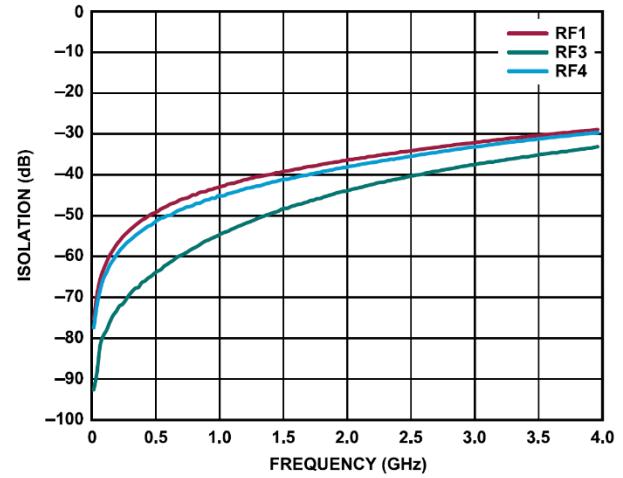


図11. RFCとRF1、RF3、RF4間のアイソレーションと周波数の関係、RF2を選択

## 代表的な性能特性

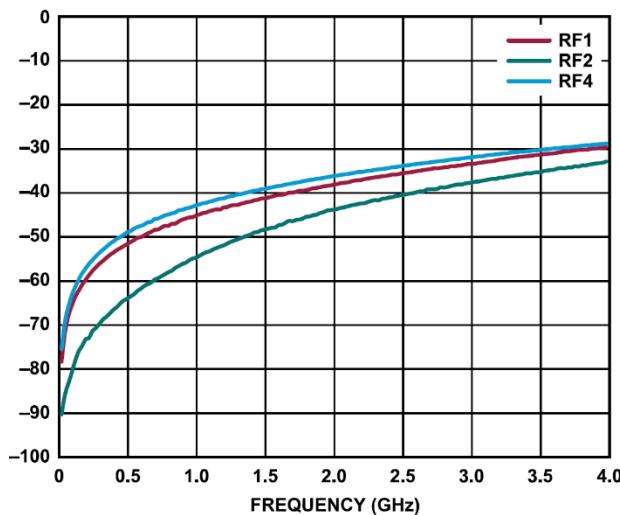


図 12. RFCとRF1、RF2、RF4間のアイソレーションと周波数の関係、RF3を選択

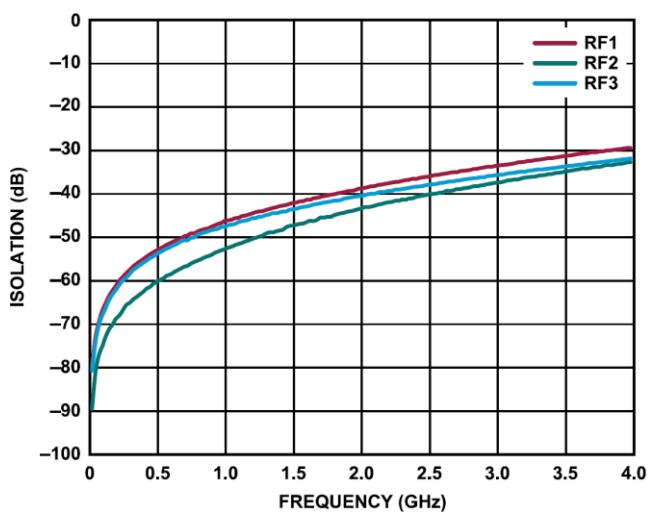


図 15. RFCとRF1、RF2、RF3間のアイソレーションと周波数の関係、RF4を選択

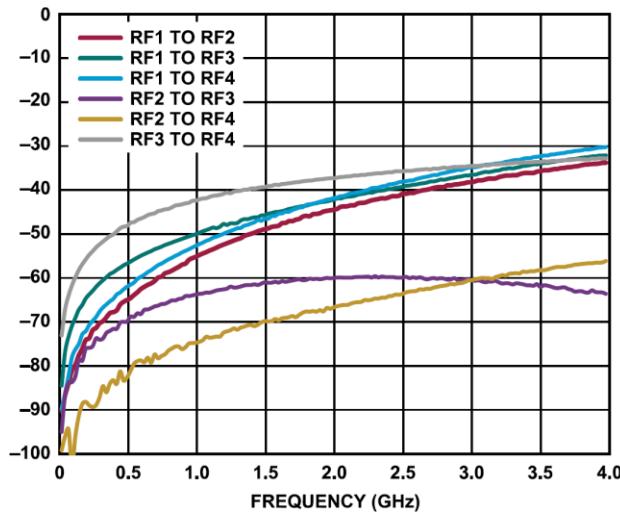


図 13. チャンネル間のアイソレーションと周波数の関係、RFCからRF1への経路を選択

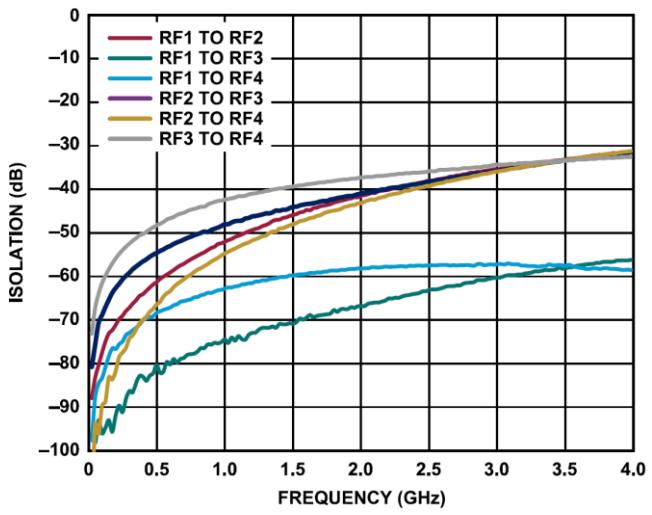


図 16. チャンネル間のアイソレーションと周波数の関係、RFCからRF2への経路を選択

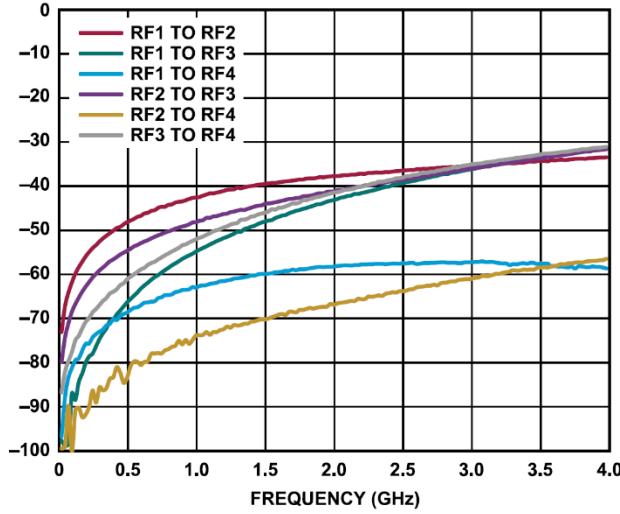


図 14. チャンネル間のアイソレーションと周波数の関係、RFCからRF3への経路を選択

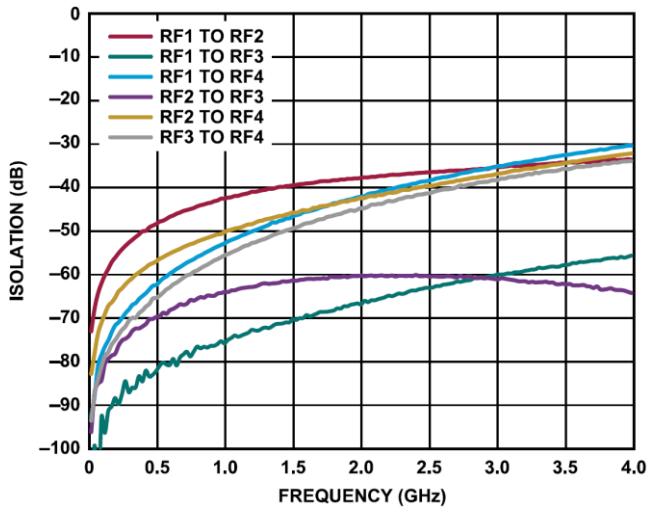


図 17. チャンネル間のアイソレーションと周波数の関係、RFCからRF4への経路を選択

## 代表的な性能特性

### 入力3次インターセプト

特に指定のない限り、 $50\Omega$ システムに対し、 $V_{DD} = 5V$ 、 $V_{CTRL} = 0V$ または $3.3V$ 、 $T_{CASE} = 25^{\circ}\text{C}$ 。すべての大信号性能パラメータは ADRF5345-EVALZ評価用ボードで測定。

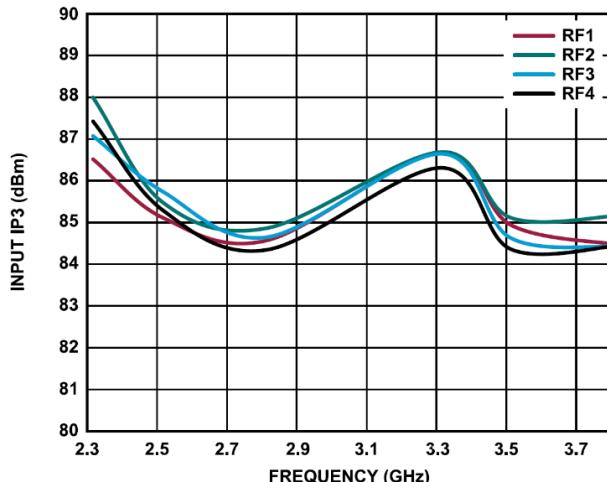


図 18. RFCから選択したRFxへの入力IP3と周波数の関係

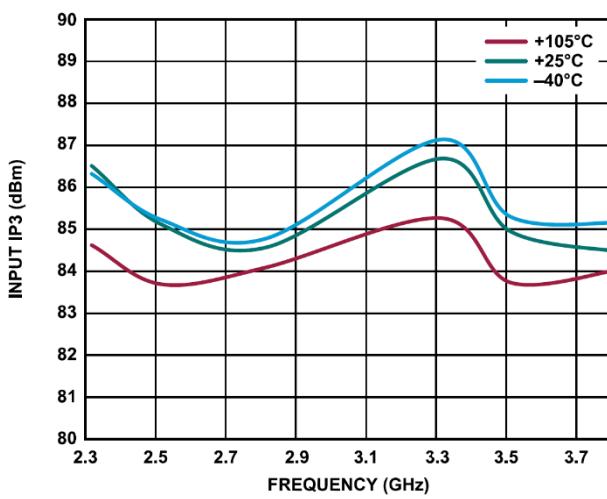


図 19. 異なる温度でのRF1の入力IP3と周波数の関係

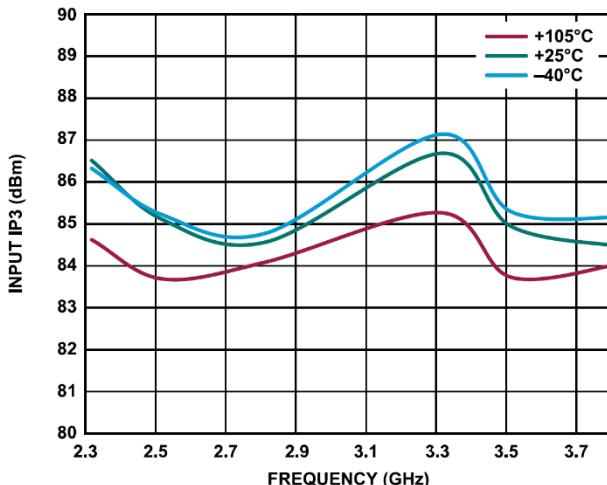


図 20. 異なる温度でのRF2の入力IP3と周波数の関係

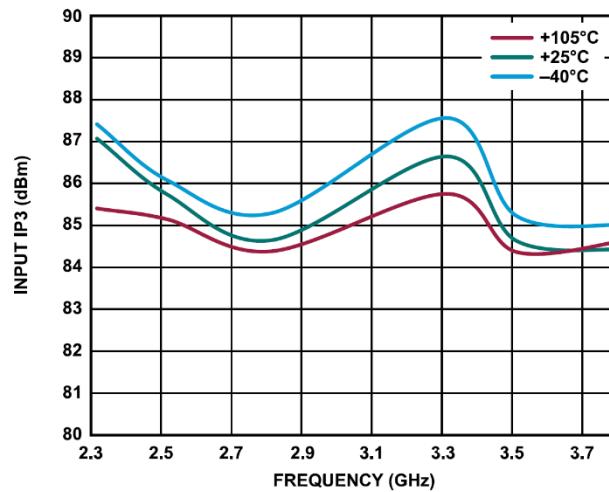


図 21. 異なる温度でのRF3の入力IP3と周波数の関係

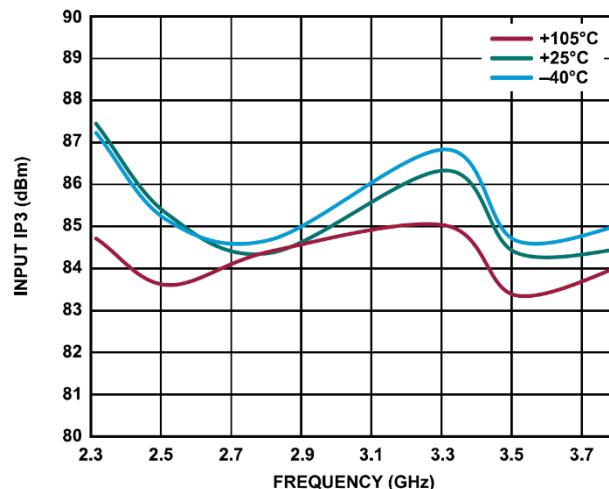


図 22. 異なる温度でのRF4の入力IP3と周波数の関係

## 動作原理

ADRF5345にはNVGが内蔵されており、VDDピンに正の単電源電圧を印加する必要があります。RFカッピングを最小限に抑えるために、電源ラインおよび制御ラインにはバイパス・コンデンサを接続することを推奨します。

すべてのRFポート（RFC、RF1～RF4）は0VにDCカッピングしており、RFラインの電位が0Vに等しい場合、RFポートでのDC阻止は不要です。RFポートは内部で $50\Omega$ に整合しています。そのため、外付けのマッチング回路は不要です。

ADRF5345にはロジック機能を内部で実行するためのドライバが内蔵されているため、LVCMOS/LVTTL互換の制御インターフェースを簡素化できるメリットがあります。このドライバは、RFx経路の状態を制御する3つのデジタル制御入力ピン（LS、V1、V2）を備えています。[表6](#)を参照してください。

ロジック・セレクト（LS）入力を使用すると、制御入力ロジック・シーケンスを定義してRF経路の選択ができます。V1ピンおよびV2ピンに加えられたロジック・レベルに応じて、どのRFxポートが挿入損失状態になり、その他の3本の経路がアイソレーション状態になるかが決まります。

挿入損失経路では、選択されたRF投ポートとRF共通ポートの間にRF信号が導通します。スイッチの設計は、均等な電力処理機能を

**表6. 制御電圧の真理値表**

Digital Control Inputs			RFx Paths			
LS	V1	V2	RF1 to RFC	RF2 to RFC	RF3 to RFC	RF4 to RFC
Low	Low	Low	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)
Low	High	Low	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
Low	Low	High	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
Low	High	High	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
High	Low	Low	Isolation (off)	Isolation (off)	Isolation (off)	Insertion loss (on)
High	High	Low	Isolation (off)	Isolation (off)	Insertion loss (on)	Isolation (off)
High	Low	High	Isolation (off)	Insertion loss (on)	Isolation (off)	Isolation (off)
High	High	High	Insertion loss (on)	Isolation (off)	Isolation (off)	Isolation (off)

備えた双方向のものとなっています。RF入力信号はRFCポートに印加することも、RF投ポートに印加することもできます。アイソレーション経路では、挿入損失経路と選択していないRF投ポートの間に大きな損失が発生します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GNDを接続します。
2. VDDに電源を投入します。
3. デジタル制御入力LS、V1、V2に電圧を印加します。VDDへの電源投入の前にデジタル制御入力に電圧を印加すると、意図せぬ順方向バイアスの原因となり、内部のESD保護構造に損傷を与えるおそれがあります。 $1k\Omega$ の抵抗を直列接続することで、そのような場合に電流が制御ピンに流れ込むのを制限できます。VDDへの電源投入後、制御ピンを有効なロジック状態に駆動できない（すなわち、コントローラ出力が高インピーダンス状態になっている）場合は、プルアップ抵抗やプルダウン抵抗を使用することを推奨します。
4. RF入力信号を印加します。

理想的なパワーダウン・シーケンスはこのパワーアップ・シーケンスの逆順序です。

## アプリケーション情報

ADRF5345のRFポートは、 $50\Omega$ の特性インピーダンスで伝送線に接続してください。パッケージのグラウンド・リードと裏面のグラウンド・スラグはグランド・プレーンに直接接続する必要があります。

ADRF5345には、1本の電源ピン（VDD）と3本の制御ピン（V1、V2、LS）があります。電源ピンは、 $100\text{pF}$ および $4.7\mu\text{F}$ のコンデンサを用いてデカップリングする必要があります。また、制御ピンは $100\text{pF}$ のコンデンサでデカップリングする必要があります。

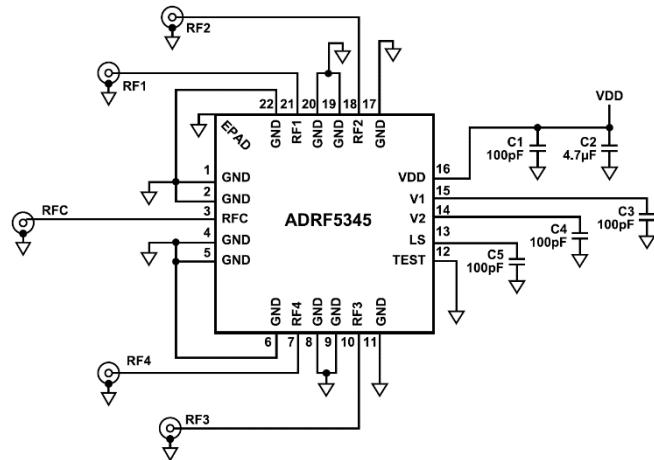


図 23. 推奨回路図

ADRF5345の代表的なアプリケーションは4段位相シフタで、これは、SP4Tスイッチを連結して実現できます。RFアームごとに異なる遅延線を設ける必要があります（図24参照）。

スイッチ制御入力V1およびV2を互いに接続すると連結位相シフタを構成できます。このシフタは、SW1とSW2のLSピンに反転ロジックを入力することで実現できます。LSピンにはプルアップが内蔵されているため、配線を追加する必要はありません。そのため、ADRF5345のLSピンは、直接グラウンドに接続するか、コンデンサを用いてデカップリングするだけで済みます。

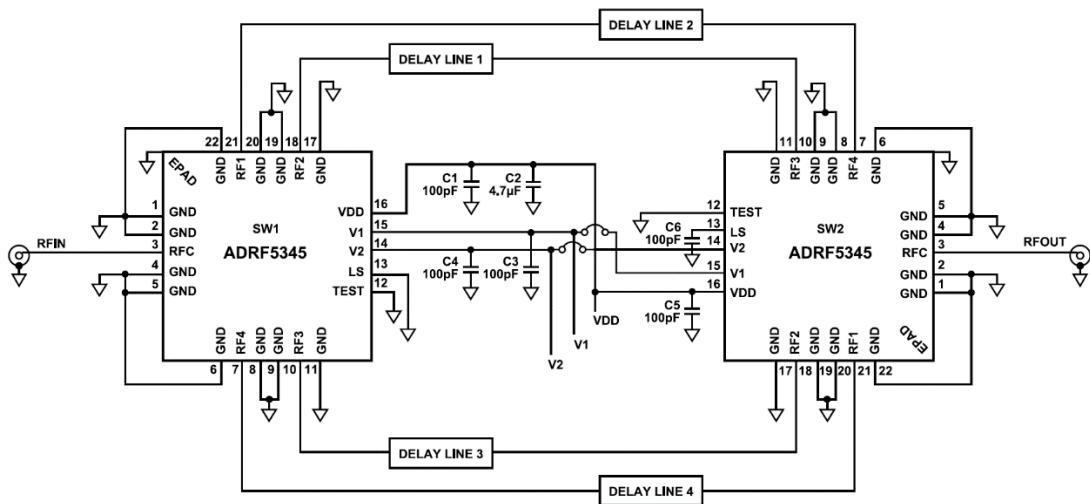
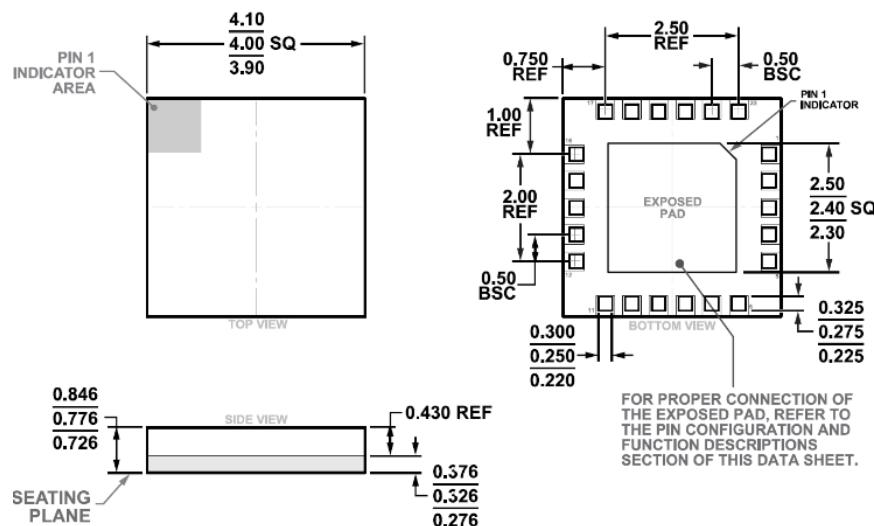


図 24. 連結構成の回路図

## 外形寸法



04-28-2021-A

図 25. 22端子ランド・グリッド・アレイ[LGA]  
4mm × 4mmボディ、0.776mmパッケージ高 (CC-22-2)  
寸法 : mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Information	Package Option
ADRF5345BCCZN	-40°C to +105°C	22-Terminal Land Grid Array [LGA]	Cut Tape, 1	CC-22-2
ADRF5345BCCZN-R7	-40°C to +105°C	22-Terminal Land Grid Array [LGA]	7" Tape and Reel, 1500	CC-22-2
ADRF5345BCCZN-RL	-40°C to +105°C	22-Terminal Land Grid Array [LGA]	13" Tape and Reel, 5000	CC-22-2

1 Z = RoHS準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
ADRF5345-EVALZ	Evaluation Board

1 Z = RoHS準拠製品。