



正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4821

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：22ページ、図52の説明文

【誤】

図52. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフト設定値(0~35)の関係

【正】

図52. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフトとDVGA設定値(0~35)の関係

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1
ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所／〒532-0003 大阪府大阪市淀川区富原3-5-36
新大阪トラストタワー
電話06(6350)6868



正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4821

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所 34ページ、右の段、上から3行目

【誤】

SCLK を **30.72GHz** より高い周波数で動作させる場合は、次の2つの回避策を推奨します。
係

【正】

SCLK を **30.72MHz** より高い周波数で動作させる場合は、次の2つの回避策を推奨します。

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1
ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区富原3-5-36
新大阪トラストタワー
電話 06 (6350) 6868

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4821

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所 36ページ、図91～図94の説明文

【誤】

- 図 91. 各温度での単一レシーバー・チャンネルのゲインと周波数の関係(最大ゲイン設定時)
- 図 92. 各温度での単一レシーバー・チャンネルのノイズ指数と周波数の関係(最大ゲイン設定時)
- 図 93. 各温度での単一レシーバー・チャンネルの入力 P1dB と周波数の関係(最大ゲイン設定時)
- 図 94. 各温度での単一レシーバー・チャンネルの入力 IP3 と周波数の関係(最大ゲイン設定時)

【正】

- 図 91. 各パワーモードでの単一レシーバー・チャンネルのゲインと周波数の関係(最大ゲイン設定時)
- 図 92. パワーモードでの単一レシーバー・チャンネルのノイズ指数と周波数の関係(最大ゲイン設定時)
- 図 93. パワーモードでの単一レシーバー・チャンネルの入力 P1dB と周波数の関係(最大ゲイン設定時)
- 図 94. パワーモードでの単一レシーバー・チャンネルの入力 IP3 と周波数の関係(最大ゲイン設定時)



24GHz～29.5GHzのトランスマッタ／レシーバーを備えたデュアル偏波ビームフォーマ

特長

- ▶ RF周波数範囲：24GHz～29.5GHz
- ▶ ユーザ設定可能な16個の送信チャンネル
- ▶ ユーザ設定可能な16個の受信チャンネル
- ▶ デュアル偏波：8個の水平チャンネルと8個の垂直チャンネル
- ▶ 外部ピンを使用した高速TDDスイッチング時間
- ▶ 50Ωに整合したシングルエンドRF入力および出力
- ▶ トランスマッタのパワー・ディテクタおよび温度センサーを内蔵
- ▶ 高分解能6ビット・ベクトル変調器による位相制御
- ▶ 高分解能6ビットおよび5ビットのDVGAによる振幅制御
- ▶ 全温度範囲でゲイン補償
- ▶ 256通りのビーム位置を保存するメモリ
- ▶ 必要な電源は1つ：3.3V（内蔵LDOレギュレータで1.8Vを供給）
- ▶ 調整可能な電力モードによる消費電力削減
- ▶ 61.44MHzのSPIクロック速度に対応する3線式または4線式SPI
- ▶ 72端子、10mm × 10mmのLGAパッケージ

アプリケーション

- ▶ 5Gアプリケーション
- ▶ ブロードバンド通信
- ▶ 試験および計測
- ▶ 航空宇宙／防衛

概要

ADMV4821は、シリコン・ゲルマニウム（SiGe）を使用した、24GHzミリ波（mmW）～29.5GHz mmWの5Gビームフォーマです。このRF ICは集積度が高く、送受信機能を備えた16個の独立チャンネルを搭載しています。ADMV4821は、個別のRFVおよびRFH入出力共通ピンを介し、8個の水平偏波アンテナと8個の垂直偏波アンテナに対応します。

送信モードでは、RFV入力信号およびRFH入力信号はどちらも2個の個別の1:8パワー・スプリッタで分配され、対応する8個の独立した送信チャンネルを通過します。このモードでは、位相制御用のベクトル変調器（VM）が1個と振幅を制御するデジタル可変ゲイン・アンプ（DVGA）が2個、各チャンネルに備わっています。受信モードでは、入力信号は8個の受信チャンネル（垂直または水平）2組を通過し、RFVピンに接続された独立した8:1のコンバイン1つとRFHピンに接続された独立の8:1結合器1つを介して結合されます。このモードでは、チャンネルごとに位相制御用VMと振幅制御用DVGAが備わっています。

VMの位相調整範囲は、送信モードと受信モードのどちらであっても360°全域にわたります。VMの分解能は6ビットで、位相ステップは5.625°です。

送信モードにおいて、DVGAの合計ダイナミック・レンジ調整範囲は32.4dBです。DVGAの分解能は5ビットまたは6ビットで、振幅ステップは、5ビット分解能の場合1.0dB、6ビット分解能の場合0.5dBです。

受信モードでは、DVGAで可能なダイナミック・レンジ調整範囲は17.1dBです。DVGAも6ビットの分解能を備え、振幅ステップは0.5dBです。DVGAは、全ゲイン範囲にわたりフラットな位相応答特性を示します。

送信チャンネルには、個別のパワー・ディテクタがあり、各チャンネルのゲインおよびチャンネル間のゲイン・ミスマッチの検出とキャリブレーションが可能です。ADMV4821のRFポートをパッチ・アンテナに直接接続すれば、デュアル偏波mmW 5Gサブアレイを作ることができます。

ADMV4821は、3線式または4線式のシリアル・ポート・インターフェース（SPI）を使用してプログラムできます。内蔵の低ドロップアウト（LDO）レギュレータがSPI用に1.8V電圧を生成するため、必要な電源ドメインの数を削減できます。通常動作時は、高速の起動や制御を可能にする様々なSPIモードが使用できます。

振幅と位相の設定はチャンネルごとに行うことができます。また、ビームフォーミング用の内蔵メモリを使用して複数のチャンネルを同時に設定することもできます。内蔵メモリは最大256通りのビーム・ポジションを保存でき、これらのポジションはトランスマッタ・モードとレシーバー・モードのどちらに対しても任意の組合せで指定可能です。更に、4本のアドレス・ピンにより、同じシリアル・ライン上で最大16個のデバイスをSPIで制御できます。専用の水平および垂直偏波ロード・ピンでも、同じアレイ内のすべてのデバイスを同期させることができます。また、水平偏波および垂直偏波の送受信モード制御ピン（TRXVおよびTRXH）が備わっているため、送信モードと受信モードを高速で切り替えることができます。

ADMV4821は、小型で優れた熱特性を持つ10mm × 10mmのRoHS準拠、ランド・グリッド・アレイ（LGA）パッケージを採用しています。ADMV4821は、-40°C～+95°Cのケース温度範囲で動作します。このLGAパッケージは、パッケージ上面からADMV4821の放熱が可能なため、最も効率的な放熱機能を実現できます。また、プリント回路基板（PCB）の裏面にはアンテナを柔軟に配置可能です。

このデータシート全体を通して、図中のTxは送信（またはトランスマッタ）、Rxは受信（またはレシーバー）を意味します。

目次

特長	1	RF信号パス	28
アプリケーション	1	位相およびゲイン制御	28
概要	1	送受信の制御	29
機能ブロック図	3	パワー・ディテクタ	29
仕様	4	温度センサー	30
トランスマッタ仕様	4	ADCの動作	30
レシーバー仕様	5	各種電力モードのためのバイアス制御	30
シリアル・ポート・インターフェース (SPI)	6	メモリ・アクセス	30
絶対最大定格	8	キャリブレーション	31
熱抵抗	8	SPIの情報	31
ESDに関する注意	8	アプリケーション情報	35
ピン配置およびピン機能の説明	9	ADMV4821への給電	35
代表的な性能特性	12	ヒート・シンクの選択	35
送信モード	12	各種電力モードでの性能	35
パワー・ディテクタの性能	17	送信モードのエラー・ベクトル振幅 (EVM) 性能	36
レシーバーからトランスマッタへの切替え速度と振幅／位相の		外形寸法	38
セトリング時間	18	オーダー・ガイド	38
受信モード	21	評価用ボード	38
トランスマッタからレシーバーへの切替え速度と振幅／位相の			
セトリング時間	25		
動作原理	28		
推奨するゲイン／位相係数の初期化	28		

改訂履歴

3/2022 — Revision B: Initial Version

機能ブロック図

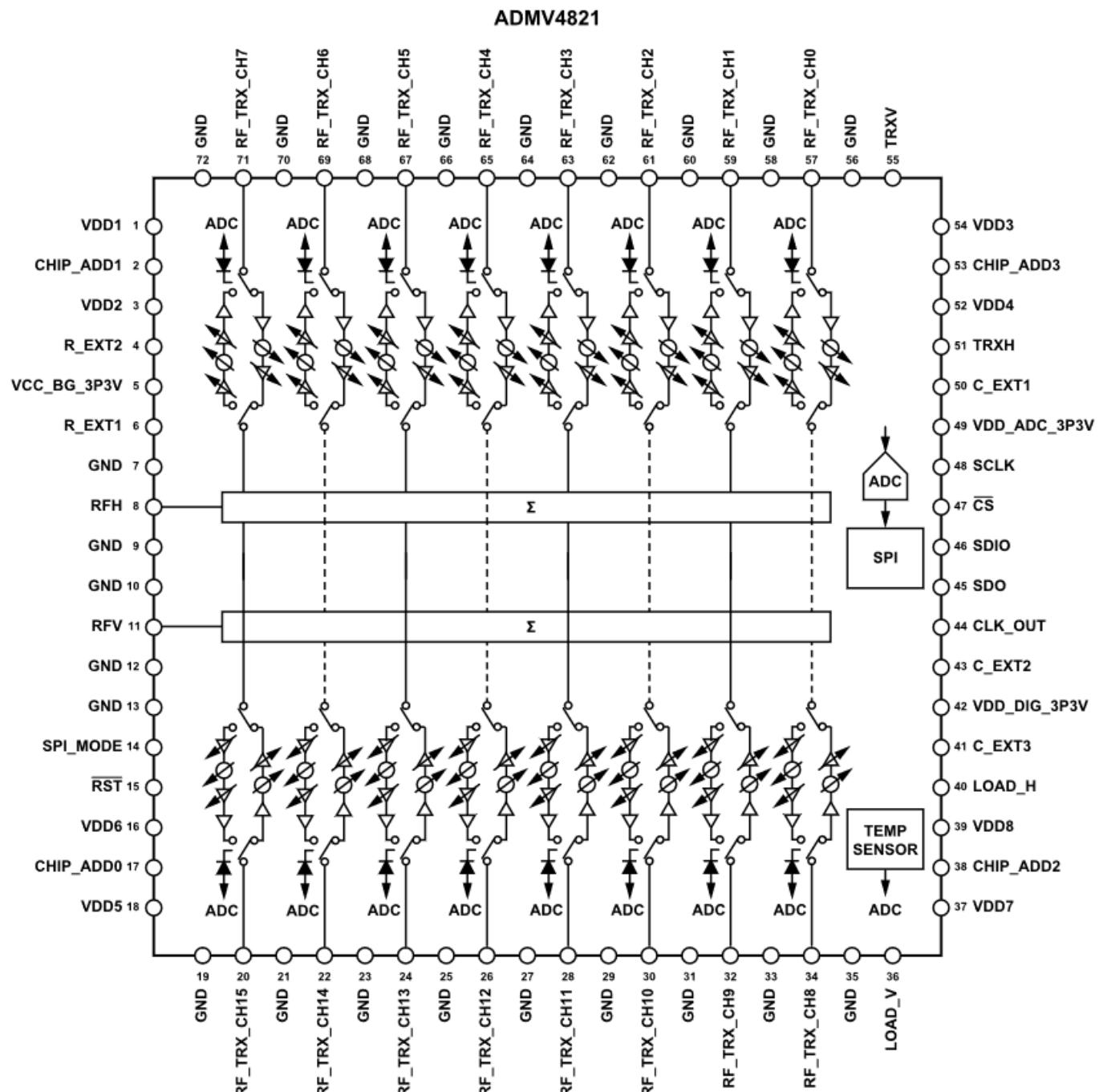


図 1.

仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、ケース温度 (Tc、パッケージ上面で測定) = 25°C。

表 1.

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
OPERATING CONDITIONS					
RF Range		24	29.5		GHz
Operating Temperature		-40	+95		°C
POWER SUPPLY					
Voltage Range		3.15	3.3	3.45	V
Transmit Mode	16チャンネルがアクティブ				
VDDx ¹ Current		1826			mA
VCC_BG_3P3V Current		45			mA
VDD_DIG_3P3V Current		9			mA
VDD_ADC_3P3V Current		16			mA
Receive Mode	16チャンネルがアクティブ				
VDDx Current		998			mA
VCC_BG_3P3V Current		45			mA
VDD_DIG_3P3V Current		8			mA
VDD_ADC_3P3V Current		15			mA
TRANSMITTER AND RECEIVER SECTION					
Impedance		50			Ω
Number of Channels		16			
Phase Accuracy	6ビットの制御を使用	5.625			Degrees
Gain Variation	位相設定による	0.6	1		dB
Phase RMS Error		1.5	3		Degrees
Phase Variation	ゲイン設定による	±2.0			Degrees
Gain Flatness		±0.13			dB
Across 100 MHz Bandwidth		±0.35			dB
Across 800 MHz Bandwidth		±0.7			dB
Across 3000 MHz Bandwidth		30			ns
Gain/Phase Settling Time					
Time Division Duplex (TDD) Switching Time		120			ns
Transmitter Off to Receiver On		60			ns
Receiver Off to Transmitter On					
TEMPERATURE SENSOR					
Range		-40		+125	°C
Slope	LSB (10進数)		0.93		LSB/°C
Resolution			8		Bits

1 x = 1~8。

トランスマッタ仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、Tc = 25°C。

測定は送信モードで行い、RF振幅 = -20dBm、チャンネルのデジタル可変ゲイン・アンプ1 (DVGA 1) および共通のデジタル可変ゲイン・アンプ2 (DVGA 2) は最大ゲインに設定。

仕様

表 2.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
TRANSMITTER					
Output 1 dB Compression Point (P1dB)	100MHzのトーン間隔	14	17.5		dBm
Output Third-Order Intercept Point (IP3)	分配損失を含む		26		dBm
Gain		16	25		dB
Gain Dynamic Range		30	32.4		dB
Gain Step					
DVGA 1	6ビットの制御を使用		0.5		dB
DVGA 2	5ビットの制御を使用		1.0		dB
Gain Error			±0.1		dB
Input Return Loss			-10		dB
Output Return Loss			-8		dB
Noise Figure			27.3		dB
Power Consumption per Channel					
Nominal Power Mode					
At P1dB	出力電力 = 17.5dBm		0.66		W
Backoff from P1dB	出力電力 = 0dBm		0.40		W
Medium Power Mode					
At P1dB	出力電力 = 17.5dBm		0.57		W
Backoff from P1dB	出力電力 = 0dBm		0.32		W
Low Power Mode					
At P1dB	出力電力 = 15.9dBm		0.44		W
Backoff from P1dB	出力電力 = 0dBm		0.24		W
POWER DETECTOR					
Output Power Range			±15		dBm
Power Detector Range ¹			30		dB
Resolution			6		Bits

1 SPIを介してプログラム可能な特定の範囲についての詳細は、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Note (問い合わせ先: アナログ・デバイセズ (mmwave5G@analog.com)) を参照してください。

レシーバー仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 。

特に指定のない限り、測定は受信モードでを行い、RF振幅 = -30dBm、レシーバーDVGAは最大ゲインに設定。

表 3.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RECEIVER					
Single-Channel Noise Figure					
8 Channels Active, Single Input			15.2		dB
1 Channel Active ¹ , Single Input			6.2		dB
Input P1dB		-23.5	-20.5		dBm
Input IP3	100MHzのトーン間隔		-12.7		dBm
Electrical Gain (EG) ²	8チャンネルがアクティブ		20.6		dB
Single Channel Gain (SCG)	1チャンネルがアクティブ	5	11.6		dB
Gain Dynamic Range			17.1		dB
Gain Step	6ビットの制御を使用		0.5		dB

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Gain Step Error		±0.1			dB
Input Return Loss		-11			dB
Output Return Loss		-10			dB
Power Consumption Per Channel					
Nominal Power Mode		0.22			W
Medium Power Mode		0.21			W
Low Power Mode		0.16			W

1 單一チャンネルのノイズ指数は、次式に従って計算します。 $SCNFM = SCNFI + 10 \times \log(M)$ 、ここで、 $SCNFM$ はアクティブなチャンネル数が M の場合に測定される单一チャンネルのノイズ指数。

2 電気的ゲイン (EG) は、 $EG = SCG + SPL$ に従って計算されます。ここで、 SCG は 1 チャンネルがアクティブな場合の单一チャンネルのゲイン、 SPL は理想的なスプリッタ・ネットワークの損失のこと $10 \times \log(N)$ で表されます (N は合計数)。ADMV4821 の場合、スプリッタの合計が 8:1 であるため、 SPL は 9 となります。通常、 EG の値は、カスケード・ノイズ指数とゲインの計算を行うために用います。コヒーレント・ゲイン (CG) は、 $CG = EG + 10 \times \log(M)$ に従って計算します。ここで、 EG は電気的ゲイン、 M はアクティブなチャンネルの数です。

シリアル・ポート・インターフェース (SPI)

詳細については、[SPIの情報](#)のセクションを参照してください。

表 4. ロジック入出力仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC INPUTS	CHIP_ADD0~CHIP_ADD3、SPI_MODE、 \overline{RST} 、LOAD_x ¹ 、SDIO、 \overline{CS} 、SCLK、TRx ¹				
Input Voltage					
High (V _{IH})		1.2	1.8		V
Low (V _{IL})		0	0.63		V
High and Low Input Current (I _{INH} , I _{INL})		7			μ A
Input Capacitance (C _{IN})		0.4			pF
LOGIC OUTPUTS	CLK_OUT、SDO、SDIO				
Output Voltage	出力ハイ電流 (I _{OH}) = 8mA	1.35			V
High (V _{OH})	出力ロー電流 (I _{OL}) = 8mA		0.45		V
Low (V _{OL})					V

1 x は V または H のいずれか。

表 5. タイミング仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Maximum SCLK Rate (t _{SCLK})					
SRAM Write		61.44			MHz
SRAM Read		61.44			MHz
Register Write		61.44			MHz
Register Read		30.72			MHz
Pulse Width	最初のデータ・ビットを倍クロックで抽出		61.44		MHz
SCLK Minimum Pulse Width					
High (t _{HIGH})		4			ns
Low (t _{LOW})		4			ns
\overline{CS} Minimum Pulse Width High	2回の書き込みまたは読み出しの間	3			ns
RST Minimum Pulse Width Low		2.5			ns
LOAD_V Minimum Pulse Width					

仕様

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
High		5.5			ns
Low		3.1			ns
Minimum Setup Time					
$\overline{\text{CS}}$ to SCLK (t_{S})		1.0			ns
SDIO to SCLK (t_{DS})		1.0			ns
Minimum Hold Time					
SCLK to $\overline{\text{CS}}$ (t_{H})	SCLKの立下がりエッジ、図80参照	0.8			ns
SCLK to SDIO (t_{DH})		2.8			ns
SDO					
Data Valid, SDO to SCLK (t_{DV})	SCLKの立下がりエッジ、図81参照	6.0			ns
Rise Time	10%から90%まで	2.0			ns
Fall Time	90%から10%まで	2.6			ns

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Supply Voltage	
VDD1 to VDD8, VDD_DIG_3P3V, VCC_BG_3P3V, VDD_ADC_3P3V	3.6 V
Digital Input/Output Voltages	
Logic Input Low	0.63 V
Logic Input High	1.95 V
RF Input Power	0 dBm
Maximum Junction Temperature	125°C
Maximum Power Dissipation ¹	25 W
Lifetime at Maximum Junction Temperature (T _J)	1 × 10 ⁶ hours
Operating Case Temperature Range	-40°C to +95°C
Storage Temperature Range	-55°C to +150°C
Lead Temperature (Soldering 60 sec)	260°C
Moisture Sensitivity Level (MSL) Rating ²	MSL3
Topside Force Ratings	
One Time Maximum	5.44 kgf
Constant	1 kgf
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	3.5 kV
Field Induced Charged Device Model (FICDM)	750 V

1 最大消費電力は、(T_J - 95°C)/θ_{JC_TOP}から計算した理論値です。

2 IPC/JEDEC J-STD-20 MSL分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCBの設計と動作環境に直接関連します。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA}は、1立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。θ_{JC}は、ジャンクションとケースの間の熱抵抗です。

記載されているすべてのテスト条件がJEDECの仕様と同じ場合は、θ_{JA}とθ_{JC}のみを用いて、異なるパッケージ間の熱性能を比較できます。それ以外の場合は、Ψ_{JT}とΨ_{JB}を用い、次式に従ってデバイスのジャンクション温度を計算します。

$$T_J = (P \times \Psi_{JT}) + T_{TOP} \quad (1)$$

ここで、

Pはチップ内の総消費電力 (W) 、

Ψ_{JT}はジャンクションと上面の間の熱特性値、

T_{TOP}はパッケージ上面の温度 (°C) 、

T_{TOP}はパッケージ上面中央で測定した値です。

$$T_J = (P \times \Psi_{JB}) + T_{BOARD} \quad (2)$$

ここで、

Pはチップ内の総消費電力 (W) 、

Ψ_{JB}はジャンクションとボードの間の熱特性値、

T_{BOARD}はパッケージ本体の長辺の中間で端から1mm以内の点で測定したボードの温度 (°C) です。

JEDEC51-12に記載のとおり、ヒート・シンクまたはヒート・スプレッダがない場合は、式1および式2のみを使用してください。ヒート・シンクまたはヒート・スプレッダが追加されている場合は、θ_{JC_TOP}を用いてジャンクション温度を推定または計算します。このデバイスに推奨されるヒート・シンクまたはヒート・スプレッダの配置方法は、適切な放熱グリースを用いてデバイスの露出パッドの上面にヒート・シンクを接触させることです。これにより、デバイスのジャンクション温度を効率的に下げることができます。

表 7. 热抵抗

Package Type ¹	θ _{JA} ²	θ _{JC_TOP} ³	Ψ _{JT} ⁴	Ψ _{JB} ⁵	Unit
CC-72-3					
Transmit Mode	16.0	0.9	1.3	2.7	°C/W
Receive Mode	17.3	1.5	1.9	3.2	°C/W

1 特に指定のない限り、表7に仕様規定されている熱抵抗値は、JEDEC仕様に基づいて計算されており、JESD51-12に準拠して使用します。

2 θ_{JA}は、自然対流 (JEDEC環境) でのジャンクションと周囲の間の熱抵抗です。

3 θ_{JC_TOP}は、ジャンクションとケース (上面) の間のJEDEC熱抵抗です。

4 Ψ_{JT}は、ジャンクションと上面の間のJEDEC熱特性評価パラメータです。

5 Ψ_{JB}は、ジャンクションとボードの間のJEDEC熱特性評価パラメータです。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

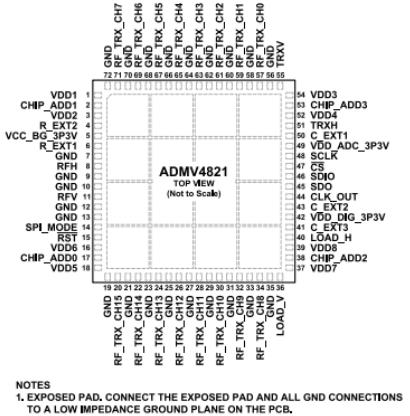


図 2. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	VDD1	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
2	CHIP_ADD1	チップ・セレクト・アドレス・ビット1の入力 (1.8V CMOSロジック)。CHIP_ADD0、CHIP_ADD2、CHIP_ADD3の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
3	VDD2	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
4	R_EXT2	内蔵LDOレギュレータ回路への接続。このピンとグラウンドの間には、公差1%未満の高精度1.1kΩ抵抗を直列に接続する必要があります。
5	VCC_BG_3P3V	可変ゲイン・アンプ (VGA) チップのバンド・ギャップ回路用3.3V電源。グラウンドとの間に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01μFのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
6	R_EXT1	内蔵LDOレギュレータ回路への接続。このピンとグラウンドの間には、公差1%未満の高精度1.1kΩ抵抗を直列に接続する必要があります。
7, 9, 10, 12, 13, 19, 21, 23, 25, 27, 29, 31, 33, 35, 56, 58, 60, 62, 64, 66, 68, 70, 72	GND	グラウンド。PCBの低インピーダンス・プレーンに、すべてのグラウンド・ピンとグラウンドをまとめて接続します。
8	RFH	水平偏波RFの入力または出力。このピンは内部でグラウンドにDCカップリングされ、50Ωのシングルエンドに整合されています。
11	RFV	垂直偏波RFの入力または出力。このピンは内部でグラウンドにDCカップリングされ、50Ωのシングルエンドに整合されています。
14	SPI_MODE	標準SPIモード・セレクト・ピン。標準SPIモード動作を行うには、このピンをロジック・ローに設定します。各種SPIモードの詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。
15	RST	SPIリセットはアクティブ・ローのインターフェースです。通常動作ではこのピンをロジック・ハイに接続します。SPIロジックは1.8Vです。
16	VDD6	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
17	CHIP_ADD0	チップ・セレクト・アドレス・ビット0の入力 (1.8V CMOSロジック)。CHIP_ADD1、CHIP_ADD2、CHIP_ADD3の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。

ピン配置およびピン機能の説明

ピン番号	記号	説明
18	VDD5	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
20	RF_TRX_CH15	受信モードまたは送信モードでの水平チャンネル15の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
22	RF_TRX_CH14	受信モードまたは送信モードでの垂直チャンネル14の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
24	RF_TRX_CH13	受信モードまたは送信モードでの水平チャンネル13の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
26	RF_TRX_CH12	受信モードまたは送信モードでの垂直チャンネル12の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
28	RF_TRX_CH11	受信モードまたは送信モードでの水平チャンネル11の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
30	RF_TRX_CH10	受信モードまたは送信モードでの垂直チャンネル10の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
32	RF_TRX_CH9	受信モードまたは送信モードでの水平チャンネル9の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
34	RF_TRX_CH8	受信モードまたは送信モードでの垂直チャンネル8の入力または出力用アンテナ接続このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
36	LOAD_V	垂直偏波チャンネル用トランスマッタ・レジスタおよびレシーバー・レジスタのロード入力（1.8V CMOSロジック）。このピンをロジック・ローからロジック・ハイに3回遷移させると、対応するレジスタに書き込まれた値、最後にそのようなロードが行われて以降に書き込まれた値が、デバイスにすべて読み込まれます。
37	VDD7	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
38	CHIP_ADD2	チップ・セレクト・アドレス・ビット2の入力（1.8V CMOSロジック）。CHIP_ADD0、CHIP_ADD1、CHIP_ADD3と共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
39	VDD8	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
40	LOAD_H	水平偏波チャンネル用トランスマッタ・レジスタおよびレシーバー・レジスタのロード入力（1.8V CMOSロジック）。このピンをロジック・ローからロジック・ハイに3回遷移させると、対応するレジスタに書き込まれた値、最後にそのようなロードが行われて以降に書き込まれた値が、デバイスにすべて読み込まれます。
41	C_EXT3	内蔵1.8VリファレンスLDOレギュレータ回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5Ωの抵抗と直列に3.3μFのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
42	VDD_DIG_3P3V	デジタル回路用LDOレギュレータ回路の3.3V電源。グラウンドとの間に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01μFのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
43	C_EXT2	内蔵1.8VリファレンスLDO回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5Ωの抵抗と直列に3.3μFのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
44	CLK_OUT	SPIクロック出力（1.8V CMOSロジック）。通常の動作条件では、このピンをグラウンドに接続します。
45	SDO	SPIシリアル・データ出力（1.8V CMOSロジック）。4線式SPIモードの場合、このピンはSPIシリアル・データ出力になります。3線式SPIモードの場合、このピンは使用せず、グラウンドに接続できます。
46	SDIO	SPIシリアル・データ入力/出力（1.8V CMOSロジック）。4線式SPIモードの場合、このピンはSPIシリアル・データ入力になります。3線式SPIモードの場合、このピンはSPIシリアル・データ入力/出力になります。
47	CS	SPIチップ・セレクト入力（1.8V CMOSロジック）。シリアル通信は、CSピンがロジック・ローになるとイネーブルになります。シリアル・データ・コマンドの最後でCSピンがロジック・ハイにセットされると、そのレジスタ・アドレスに書き込まれるデータはコマンド内で与えられます。各種SPIモードでのCSピンの使用方法の詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

ピン配置およびピン機能の説明

ピン番号	記号	説明
48	SCLK	SPIシリアル・クロック入力 (1.8V CMOSロジック)。書込みモードでは、SCLKピンの立上がりエッジでデータがサンプリングされます。読み出しサイクルでは、出力データはSCLKピンの立下がりエッジで変化します。
49	VDD_ADC_3P3V	デジタル回路用LDOレギュレータ回路の3.3V電源。グラウンドとの間に10 μ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01 μ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
50	C_EXT1	内蔵1.8VリファレンスLDOレギュレータ回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5 Ω の抵抗と直列に3.3 μ Fのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
51	TRXH	TDD動作用送信および受信モード・セレクト入力 (1.8V CMOSロジック)。入力信号の立上がりエッジで、モードが受信から送信に切り替わります。入力信号の立下がりエッジで、モードが送信から受信に切り替わります。スタートアップ時、ADMV4821が受信モードで起動するよう、このピンはロジック・ローに設定します。
52	VDD4	RF信号バス用3.3V電源。グラウンドとの間に6.04 Ω の抵抗と直列に10 μ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04 Ω の抵抗と直列に1 μ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5 Ω の抵抗と直列に0.15 μ Fのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
53	CHIP_ADD3	チップ・セレクト・アドレス・ビット3の入力 (1.8V CMOSロジック)。CHIP_ADD0、CHIP_ADD1、CHIP_ADD2の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
54	VDD3	RF信号バス用3.3V電源。グラウンドとの間に6.04 Ω の抵抗と直列に10 μ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04 Ω の抵抗と直列に1 μ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5 Ω の抵抗と直列に0.15 μ Fのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4821-EVALZのユーザ・ガイドを参照してください。
55	TRXV	垂直偏波チャンネルのTDD動作用送信および受信モード・セレクト入力 (1.8V CMOSロジック)。入力信号の立上がりエッジで、モードが受信から送信に切り替わります。入力信号の立下がりエッジで、モードが送信から受信に切り替わります。スタートアップ時、ADMV4821が受信モードで起動するよう、このピンはロジック・ローに設定します。
57	RF_TRX_CH0	受信モードまたは送信モードでの垂直チャンネル0の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
59	RF_TRX_CH1	受信モードまたは送信モードでの水平チャンネル1の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
61	RF_TRX_CH2	受信モードまたは送信モードでの垂直チャンネル2の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
63	RF_TRX_CH3	受信モードまたは送信モードでの水平チャンネル3の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
65	RF_TRX_CH4	受信モードまたは送信モードでの垂直チャンネル4の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
67	RF_TRX_CH5	受信モードまたは送信モードでの水平チャンネル5の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
69	RF_TRX_CH6	受信モードまたは送信モードでの垂直チャンネル6の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
71	RF_TRX_CH7	受信モードまたは送信モードでの水平チャンネル7の入力または出力用アンテナ接続このピンはDCカップリングされ、50 Ω のシングルエンドに整合されています。
	EPAD (裏面)	露出パッド。PCBの低インピーダンス・グラウンド・プレーンに、露出パッドとすべてのGND接続を接続します。

代表的な性能特性

送信モード

特に指定のない限り、VDD1～VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^{\circ}\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

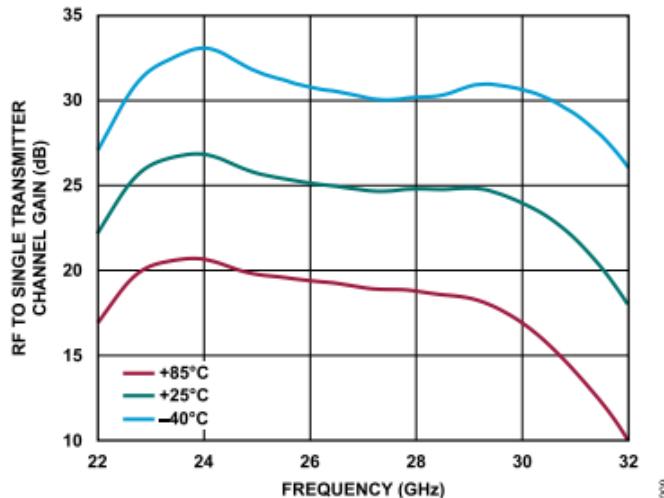


図 3. 異なる温度でのRFから単一トランシット・チャンネルまでのゲインと周波数の関係（最大ゲイン設定時）

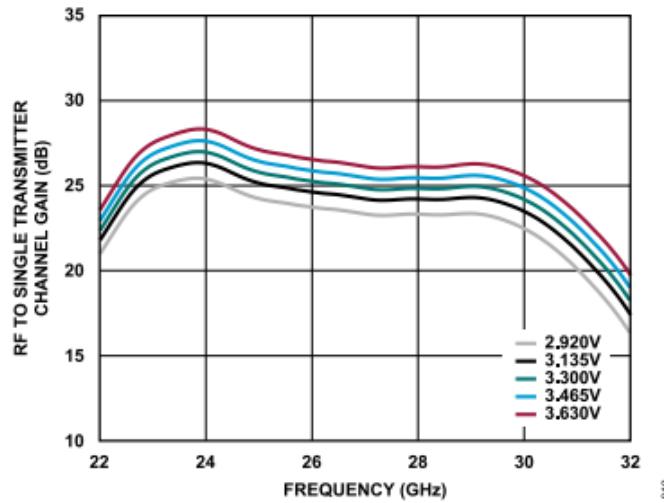


図 4. 異なる電源電圧でのRFから単一トランシット・チャンネルまでのゲインと周波数の関係（最大ゲイン設定時）

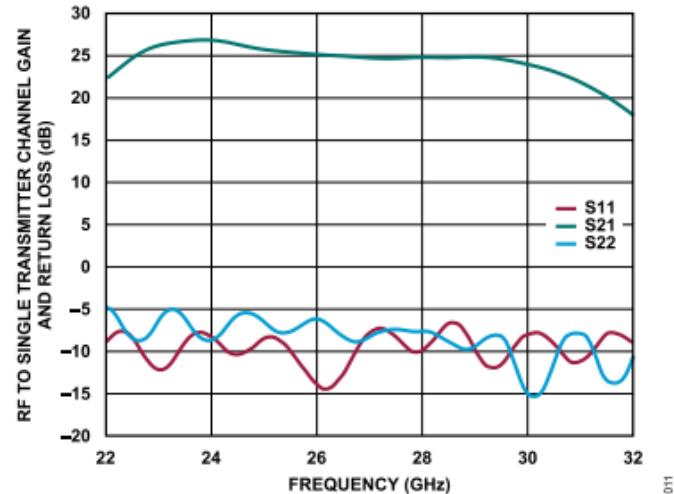


図 5. RFから単一トランシット・チャンネルまでのゲインおよびリターン損失と周波数の関係（最大ゲイン設定時）

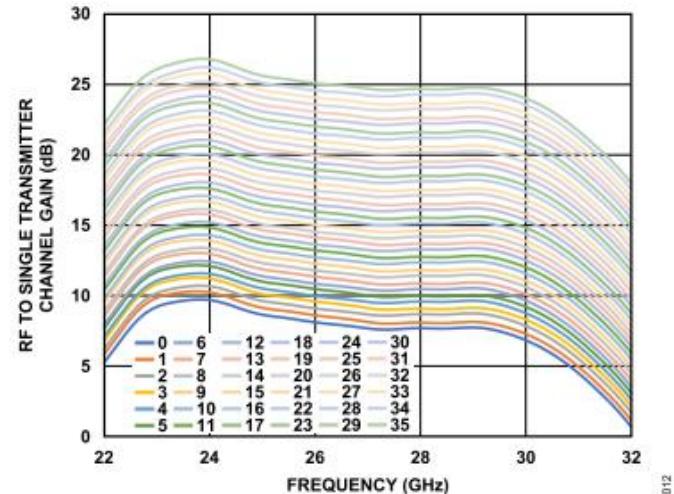


図 6. DVGA 1を0～35の様々な値に設定した場合のRFから単一トランシット・チャンネルまでのゲインと周波数の関係

代表的な性能特性

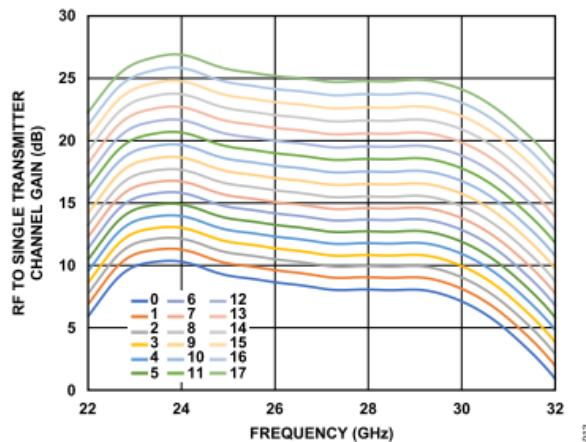


図 7. DVGA 2を0~17の様々な値に設定した場合のRFから單一トランスマッタ・チャンネルまでのゲインと周波数の関係

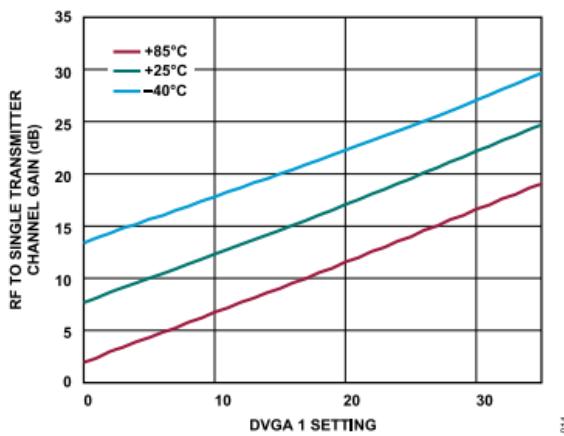


図 8. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲインとDVGA 1の設定値 (0~35) の関係

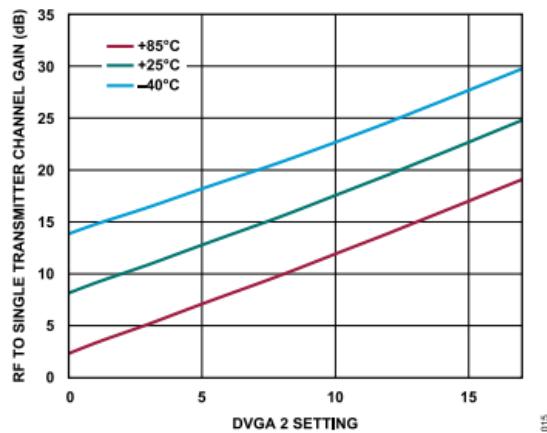


図 9. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲインとDVGA 2の設定値 (0~17) の関係

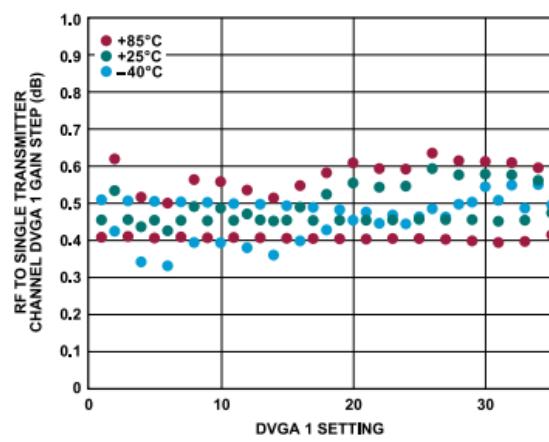


図 10. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのDVGA 1ゲイン・ステップとDVGA 1の設定値 (0~35) の関係

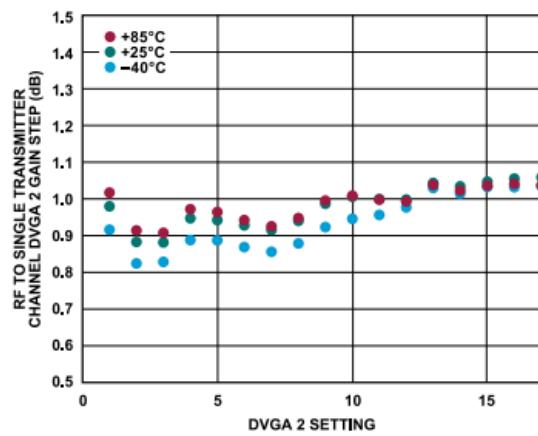


図 11. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのDVGA 2ゲイン・ステップとDVGA 2の設定値 (0~17) の関係

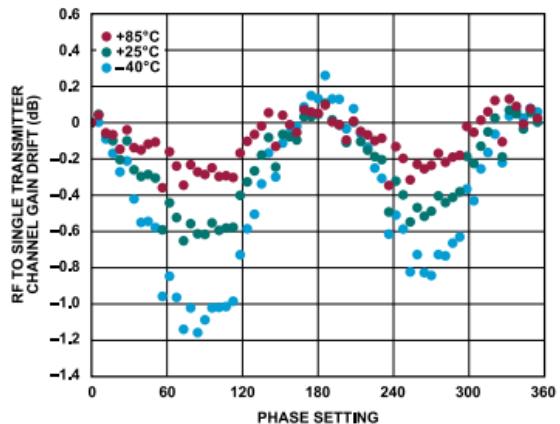


図 12. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲイン・ドリフトと位相設定値 (0°~360°) の関係 (最大ゲイン設定時)

代表的な性能特性

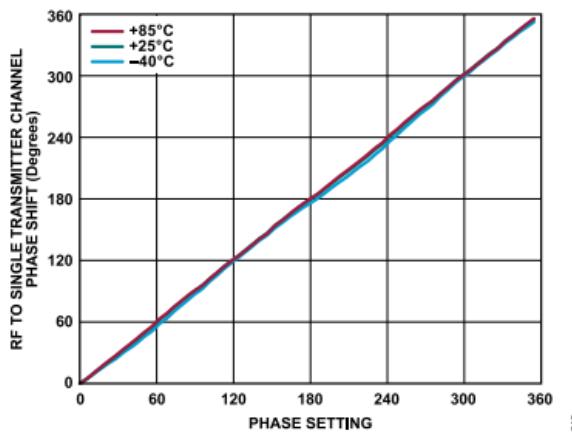


図 13. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでの位相シフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

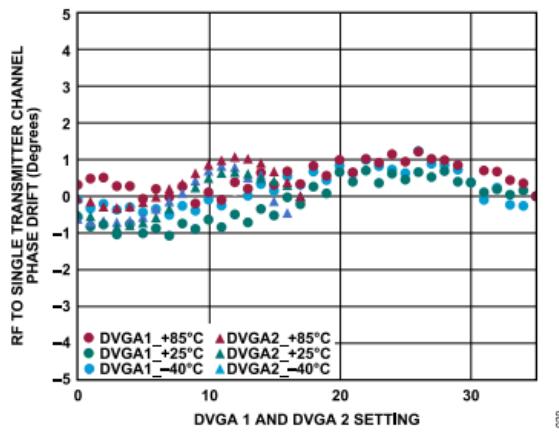


図 14. 異なる温度で27GHzにおけるRFから單一トランスマッタ・チャンネルまでの位相ドリフトとDVGA 1設定値（0～35）およびDVGA 2設定値（0～17）の関係

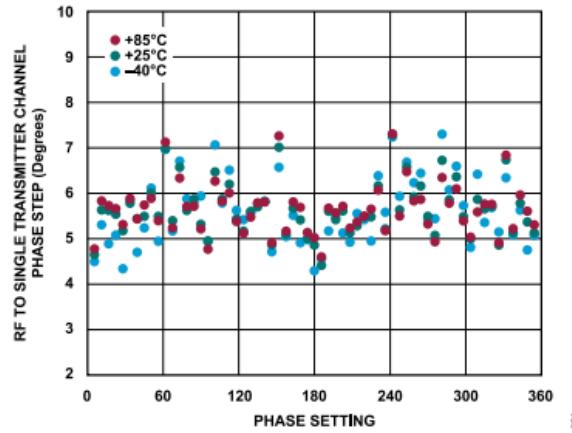


図 15. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでの位相ステップと位相設定値（0°～360°）の関係（最大ゲイン設定時）、公称ステップは5.623°

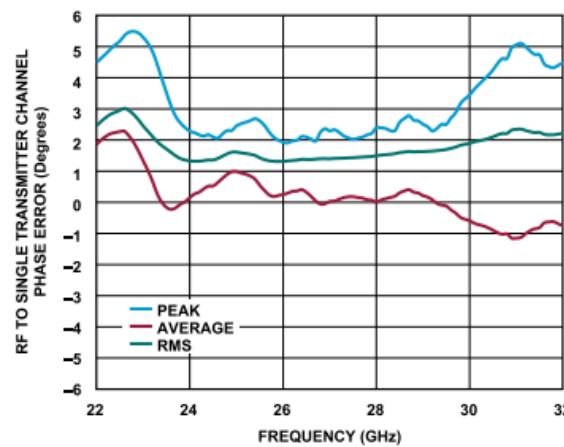


図 16. RFから單一トランスマッタ・チャンネルまでの位相誤差（ピーク誤差、平均誤差、RMS誤差）と周波数の関係

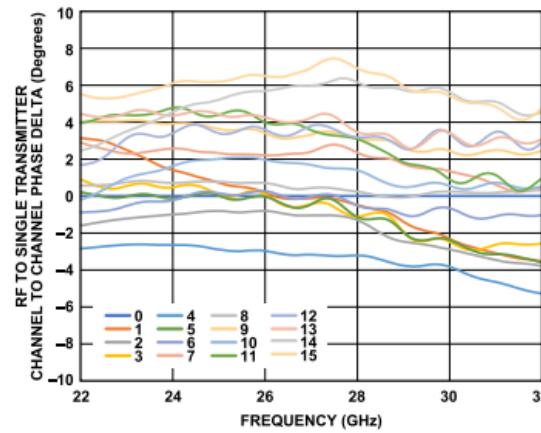


図 17. 最大ゲイン設定時のRFから單一トランスマッタ・チャンネルまでの位相偏差と周波数の関係（凡例の数値はチャンネル番号）

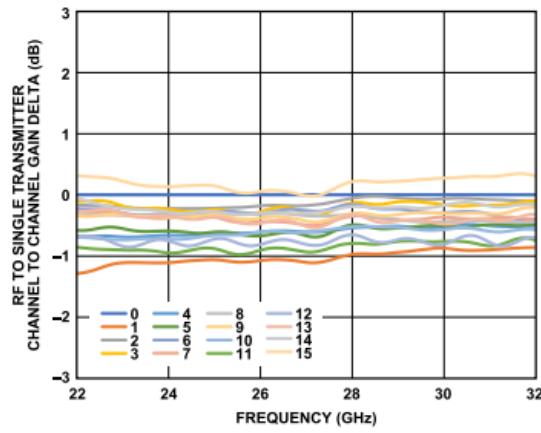


図 18. 最大ゲイン設定時のRFから單一トランスマッタ・チャンネルまでのゲイン偏差と周波数の関係（凡例の数値はチャンネル番号）

代表的な性能特性

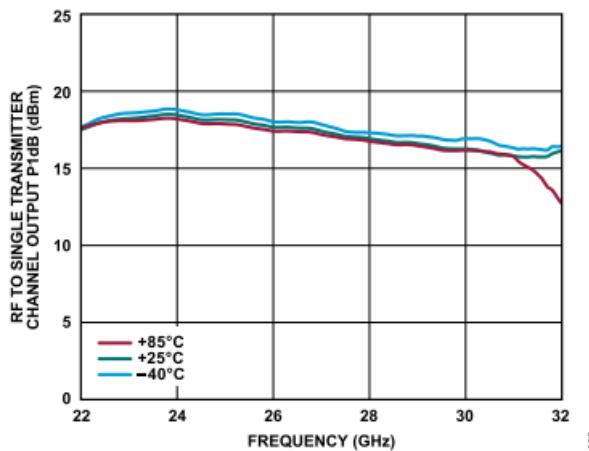


図 19. 異なる温度でのRFから単一トランスマッタ・チャンネルまでの出力P1dBと周波数の関係（最大ゲイン設定時）

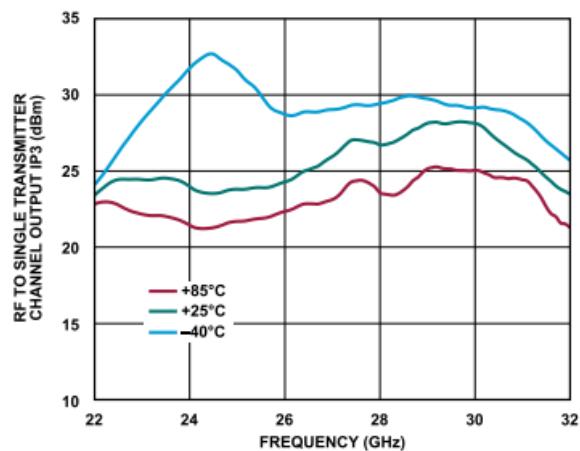


図 22. 異なる温度でのRFから単一トランスマッタ・チャンネルまでの出力IP3と周波数の関係（最大ゲイン設定時）

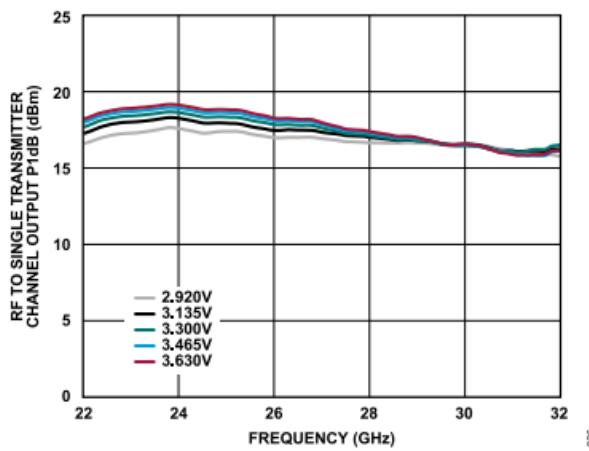


図 20. 異なる電源電圧でのRFから単一トランスマッタ・チャンネルまでの出力P1dBと周波数の関係（最大ゲイン設定時）

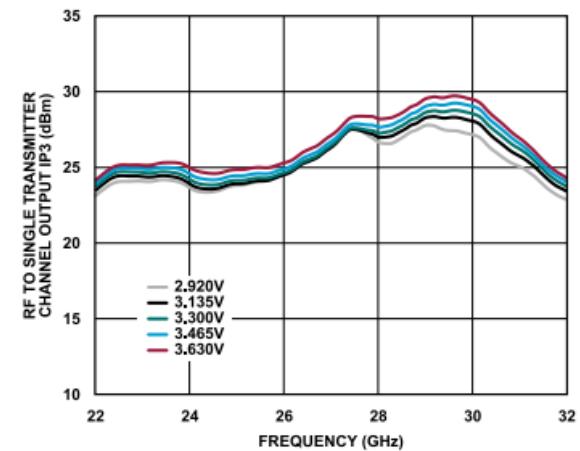


図 23. 異なる電源電圧でのRFから単一トランスマッタ・チャンネルまでの出力IP3と周波数の関係（最大ゲイン設定時）

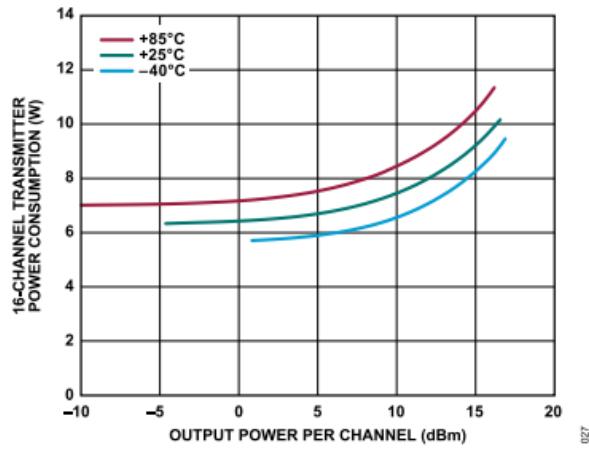


図 21. 異なる温度における16チャンネルのトランスマッタの消費電力とチャンネルあたりの出力電力の関係（最大ゲイン設定時）

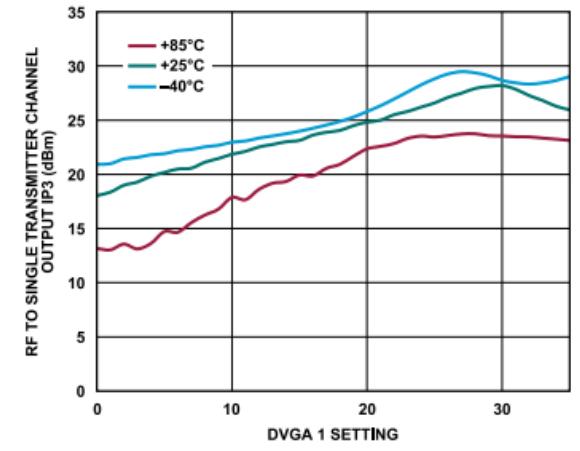


図 24. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでの出力IP3とDVGA 1の設定値（0～35）の関係

代表的な性能特性

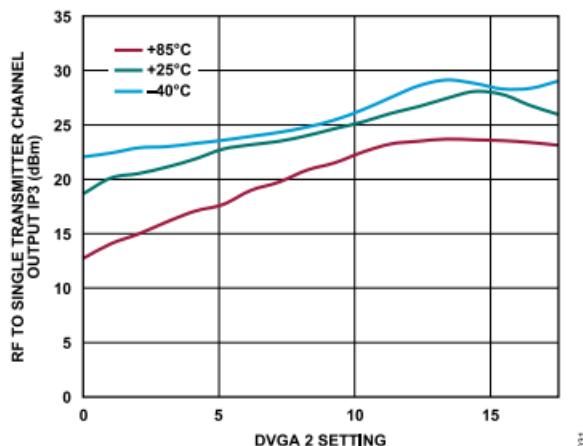


図 25. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでの出力IP3とDVGA 2の設定値(0~17)の関係

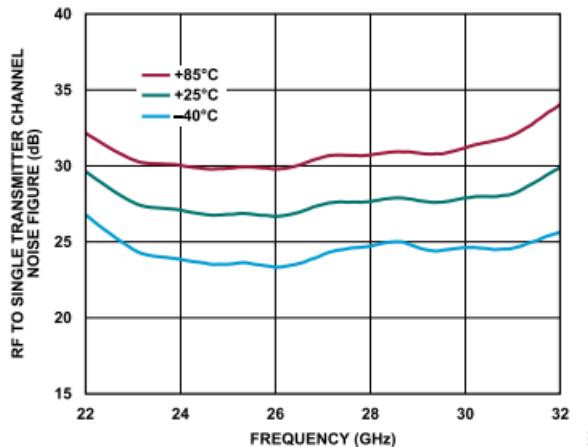


図 26. 異なる温度でのRFから單一トランスマッタ・チャンネルまでのノイズ指数と周波数の関係(最大ゲイン設定時)

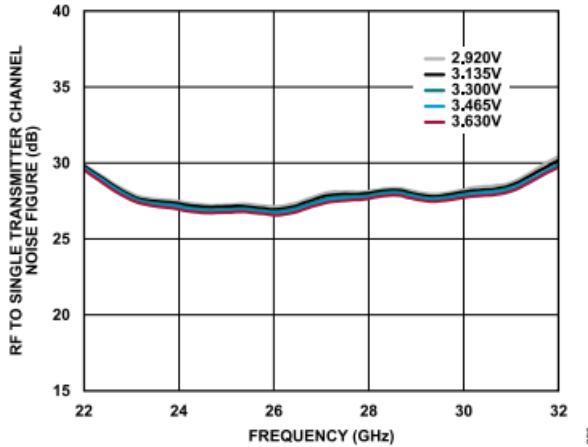


図 27. 異なる電源電圧でのRFから單一トランスマッタ・チャンネルまでのノイズ指数と周波数の関係(最大ゲイン設定時)

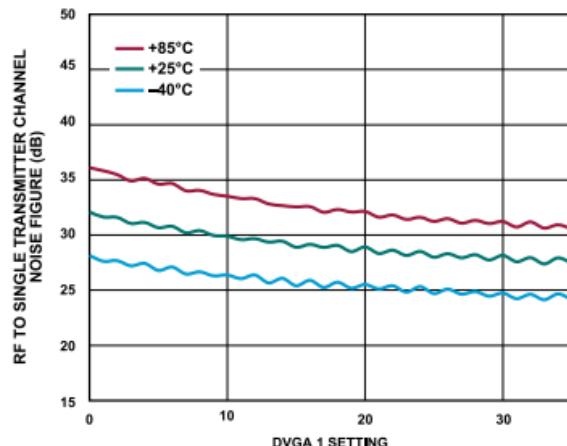


図 28. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのノイズ指指数とDVGA 1の設定値(0~35)の関係

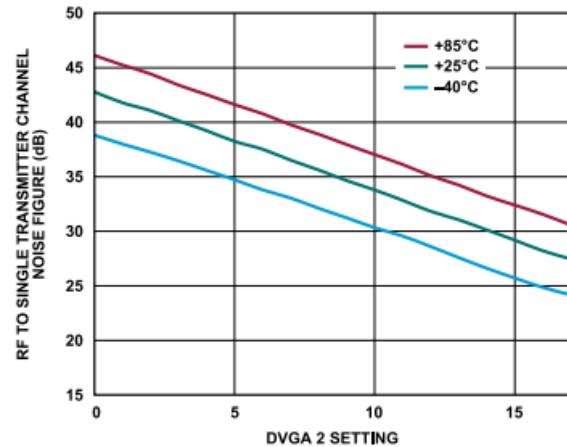


図 29. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのノイズ指指数とDVGA 2の設定値(0~17)の関係

代表的な性能特性

パワー・ディテクタの性能

特に指定のない限り、VDD1～VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_C = 25^{\circ}\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。ディテクタのレンジ設定はレジスタ0x027のビット[6:0]に書き込まれます。

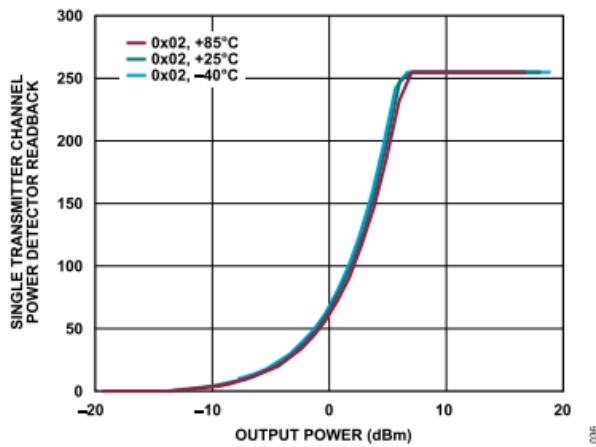


図 30. 異なる温度での27GHzにおける単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と出力電力の関係 (最大ゲイン設定時)、ディテクタ・レンジは0x02に設定

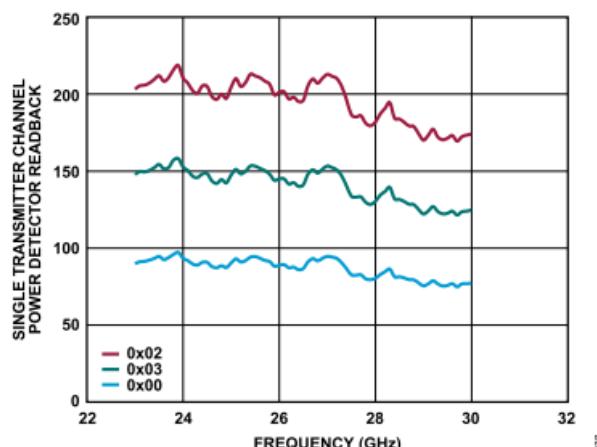


図 32. 異なるディテクタ・レンジ設定での単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と周波数の関係 (最大ゲイン設定時)、入力電力= 5dBm

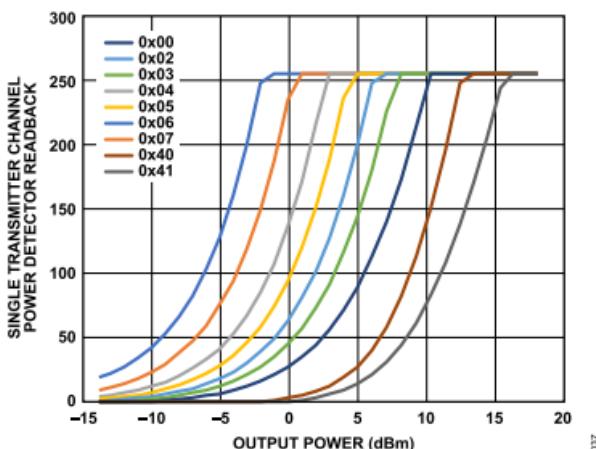


図 31. 27GHzにおける異なるディテクタ・レンジ設定での単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と出力電力の関係 (最大ゲイン設定時)

代表的な性能特性

レシーバーからトランスマッタへの切替え速度と振幅／位相のセトリング時間

特に指定のない限り、VDD1～VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

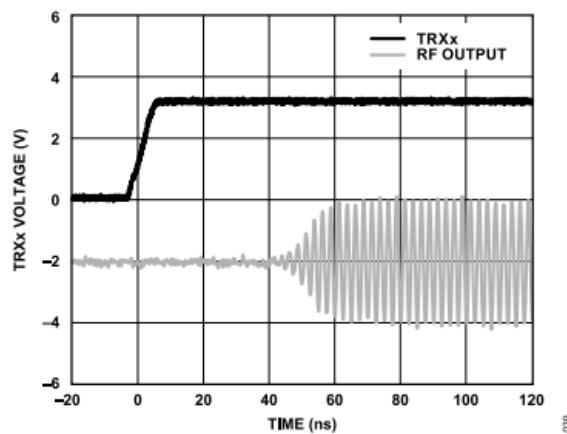


図 33. レシーバーからトランスマッタへのモード切替え時間

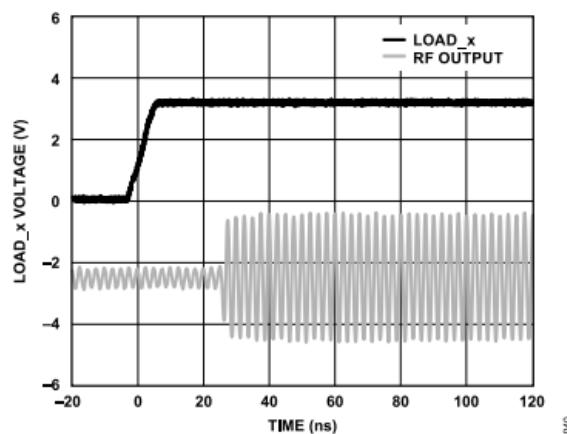


図 34. ゲインのセトリング時間

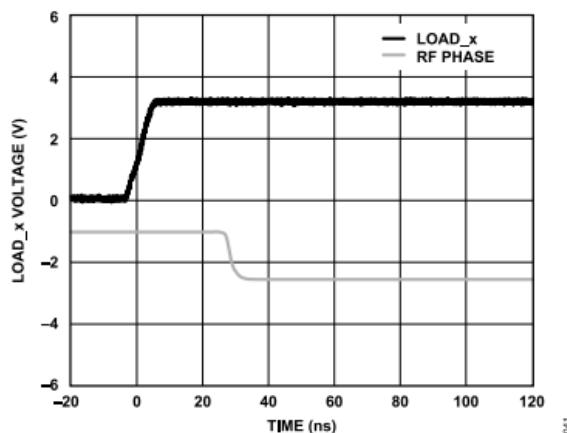


図 35. RF位相のセトリング時間

代表的な性能特性

トランスマッタのRFVプレーンとRFHプレーン間のアイソレーション性能

特に指定のない限り、 $VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V$ 、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^{\circ}\text{C}$ 。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

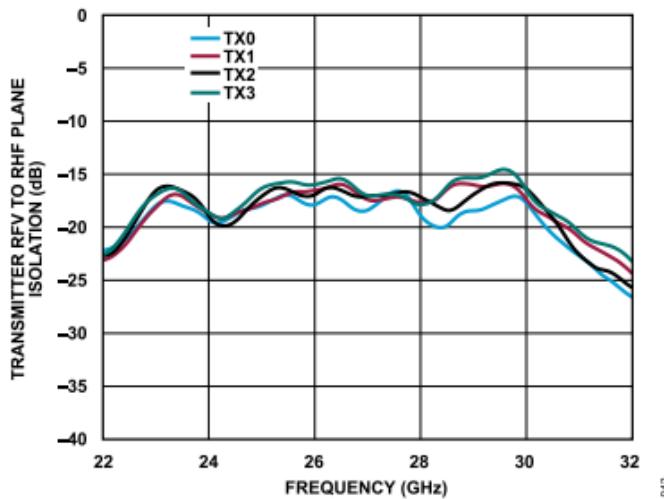


図 36. トランスマッタのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（トランスマッタ0 (TX0) 、トランスマッタ1 (TX1) 、トランスマッタ2 (TX2) 、トランスマッタ3 (TX3) の場合）

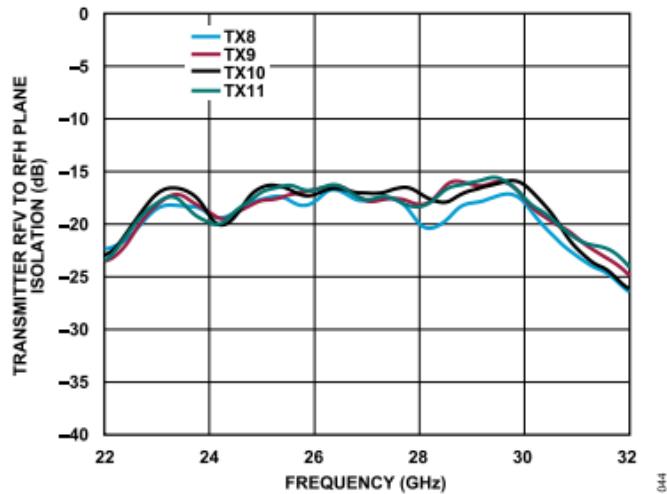


図 38. トランスマッタのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（トランスマッタ8 (TX8) 、トランスマッタ9 (TX9) 、トランスマッタ10 (TX10) 、トランスマッタ11 (TX11) の場合）

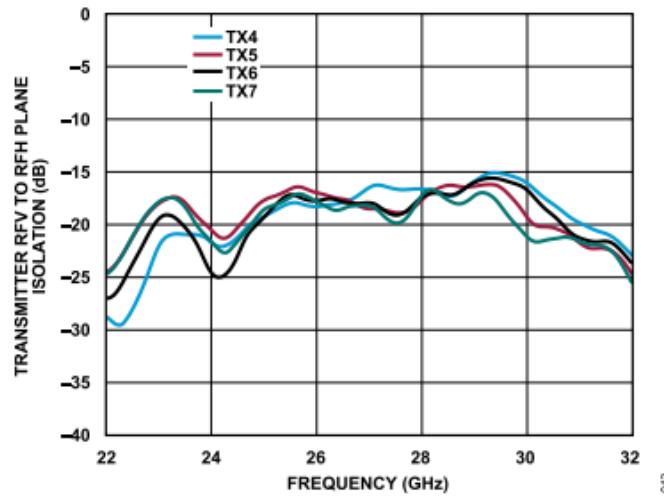


図 37. トランスマッタのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（トランスマッタ4 (TX4) 、トランスマッタ5 (TX5) 、トランスマッタ6 (TX6) 、トランスマッタ7 (TX7) の場合）

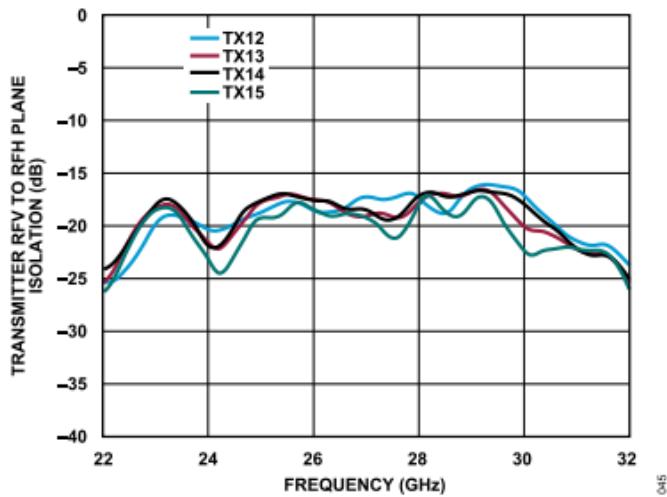


図 39. トランスマッタのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（トランスマッタ12 (TX12) 、トランスマッタ13 (TX13) 、トランスマッタ14 (TX14) 、トランスマッタ15 (TX15) の場合）

代表的な性能特性

トランスマッタのリバース・アイソレーション性能

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

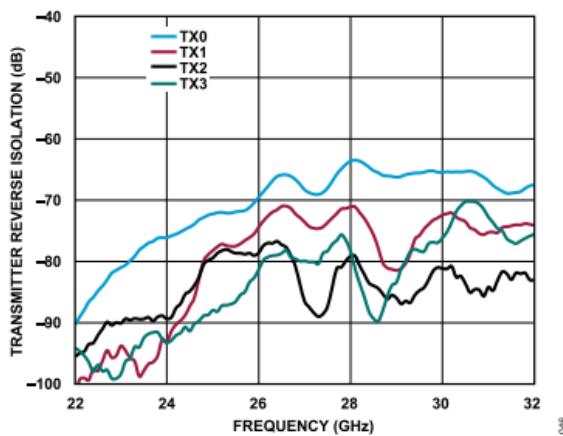


図 40. トランスマッタのリバース・アイソレーションと周波数の関係 (TX0～TX3の場合)

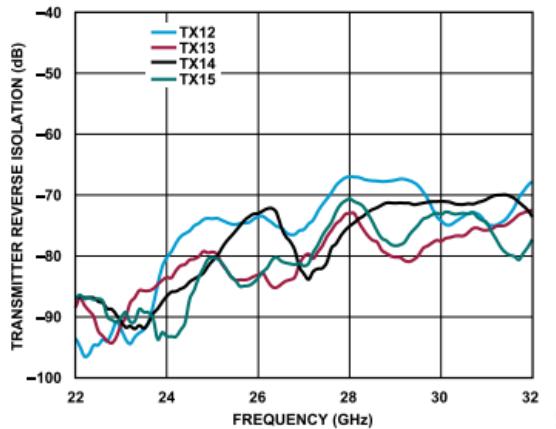


図 43. トランスマッタのリバース・アイソレーションと周波数の関係 (TX12～TX15の場合)

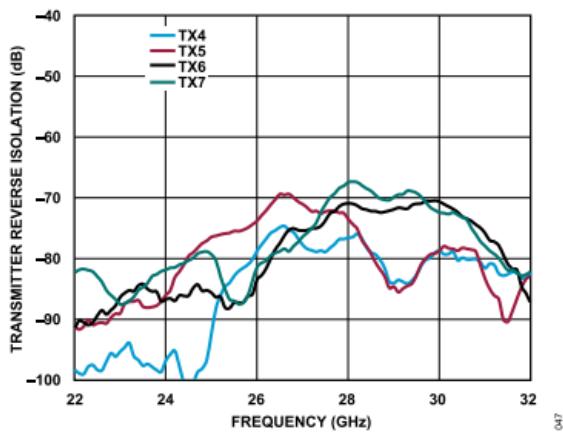


図 41. トランスマッタのリバース・アイソレーションと周波数の関係 (TX4～TX7の場合)

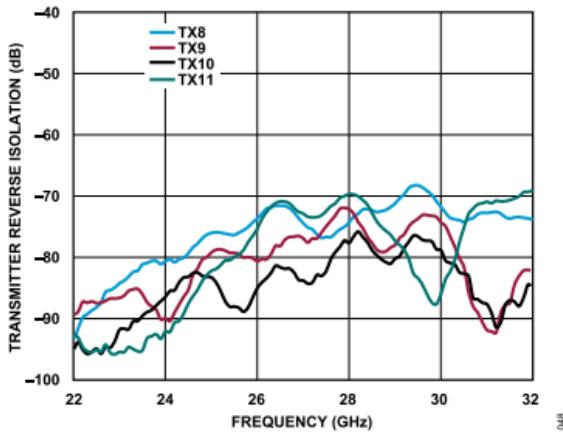


図 42. トランスマッタのリバース・アイソレーションと周波数の関係 (TX8～TX11の場合)

代表的な性能特性

受信モード

特に指定のない限り、VDD1～VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^{\circ}\text{C}$ 、RF振幅 = -30dBm、レシーバーDVGAは最大ゲインに設定。

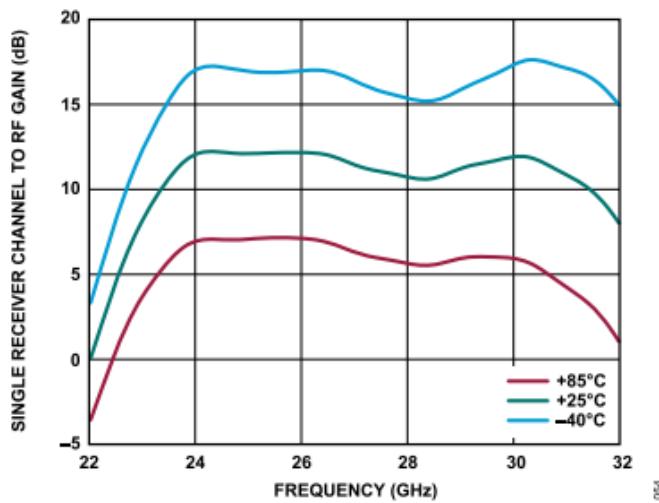


図 44. 異なる温度での単一レシーバー・チャンネルからRFまでのゲインと周波数の関係（最大ゲイン設定時）

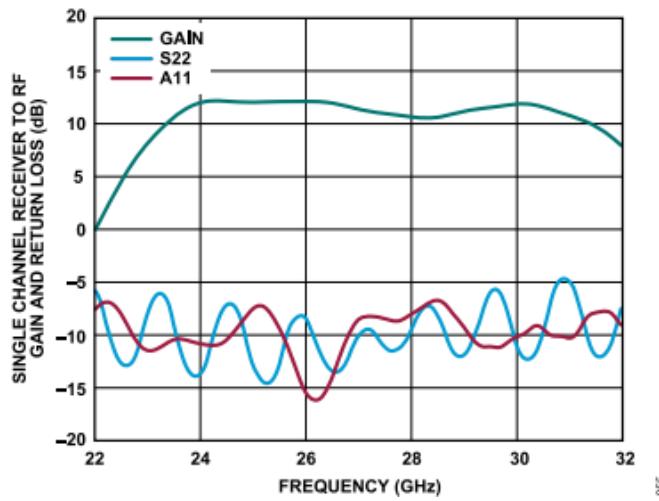


図 45. 単一レシーバー・チャンネルからRFまでのゲインおよびリターン損失と周波数の関係（最大ゲイン設定時）

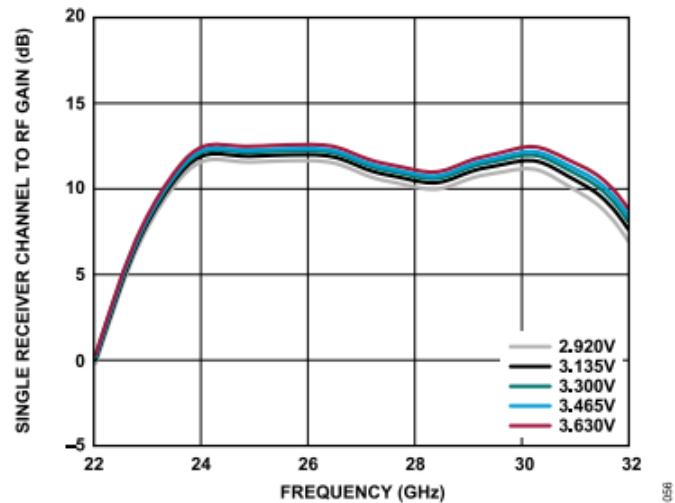


図 46. 異なる電源電圧での単一レシーバー・チャンネルからRFまでのゲインと周波数の関係（最大ゲイン設定時）

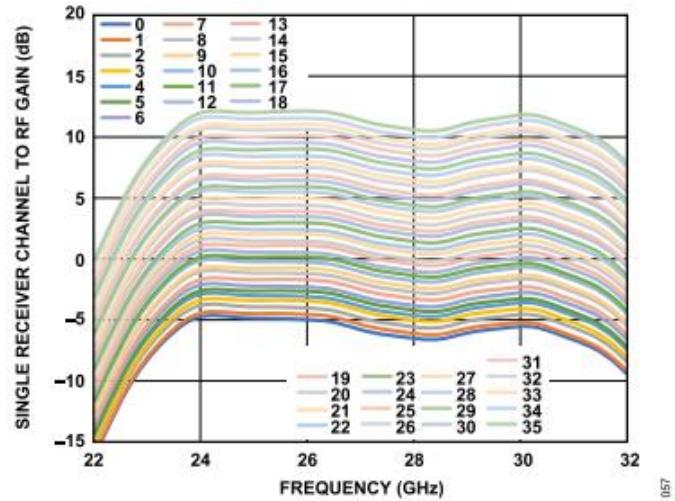


図 47. レシーバーDVGAを0～35の様々な値に設定して評価した単一レシーバー・チャンネルからRFまでのゲインと周波数の関係

代表的な性能特性

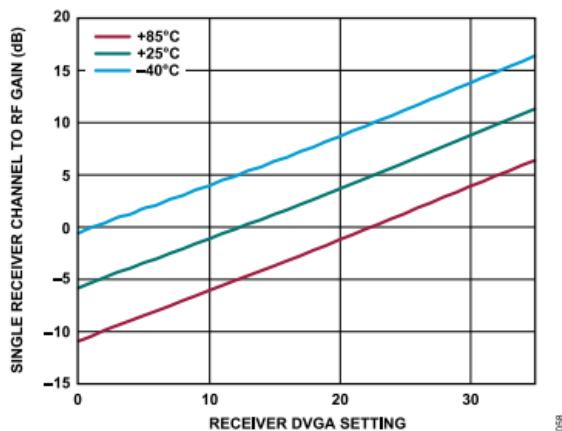


図 48. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのゲインとレシーバーDVGA設定値（0～35）の関係

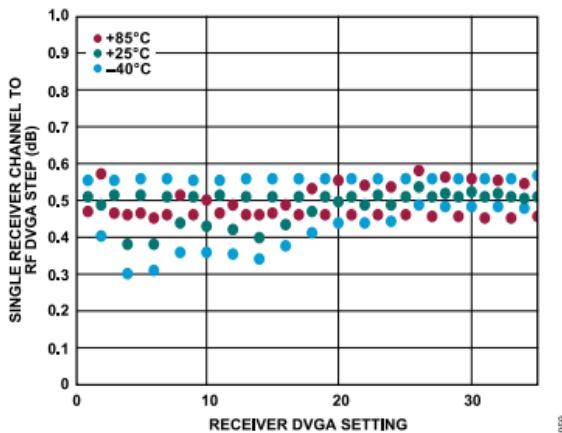


図 49. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのDVGAステップとレシーバーDVGA設定値（0～35）の関係

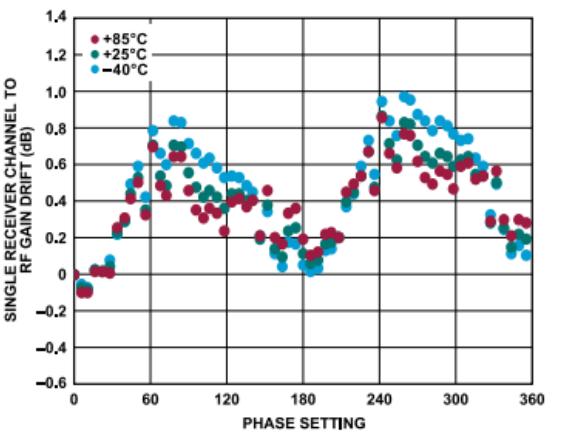


図 50. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのゲイン・ドリフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

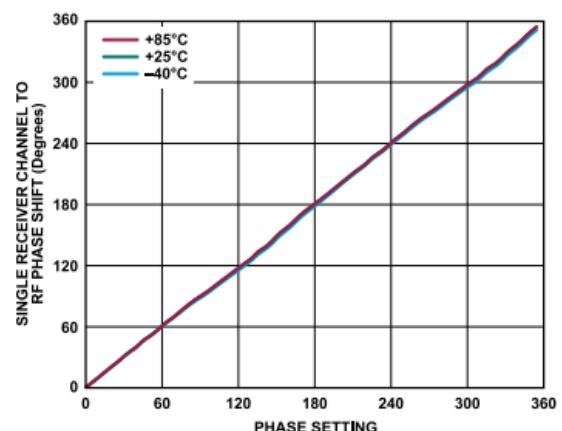


図 51. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相シフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

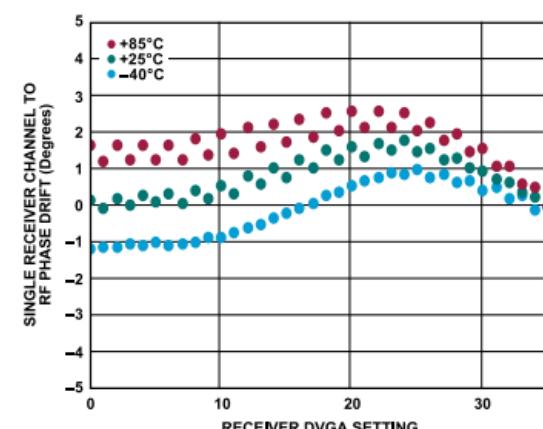


図 52. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフト設定値（0～35）

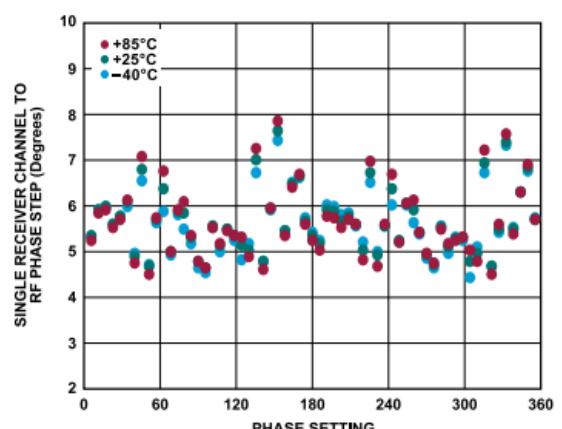


図 53. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ステップと位相設定値（0°～360°）の関係（最大ゲイン設定時）、公称ステップは5.625°

代表的な性能特性

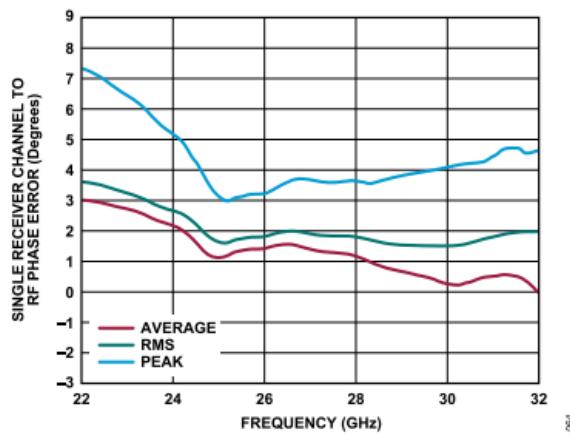


図 54. 単一レシーバー・チャンネルからRFまでの位相誤差（ピーク誤差、平均誤差、RMS誤差）と周波数の関係

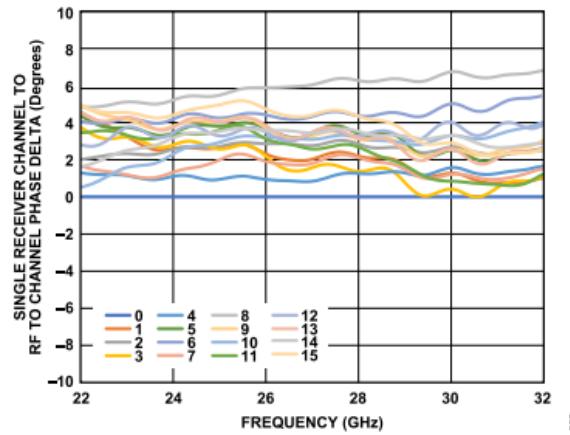


図 55. 最大ゲイン設定時の単一レシーバー・チャンネルからRFまでの位相偏差と周波数の関係（凡例の数値はチャンネル番号）

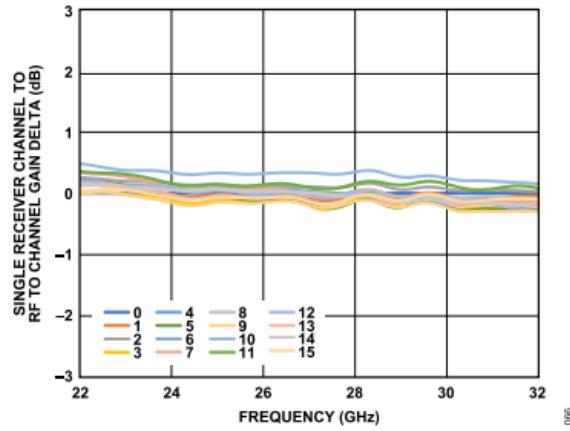


図 56. 最大ゲイン設定時の単一レシーバー・チャンネルからRFまでのゲイン偏差と周波数の関係（凡例の数値はチャンネル番号）

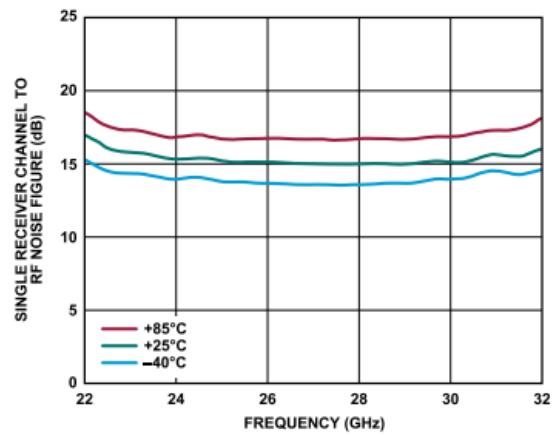


図 57. 異なる温度での単一レシーバー・チャンネルからRFまでのノイズ指数と周波数の関係（最大ゲイン設定時）

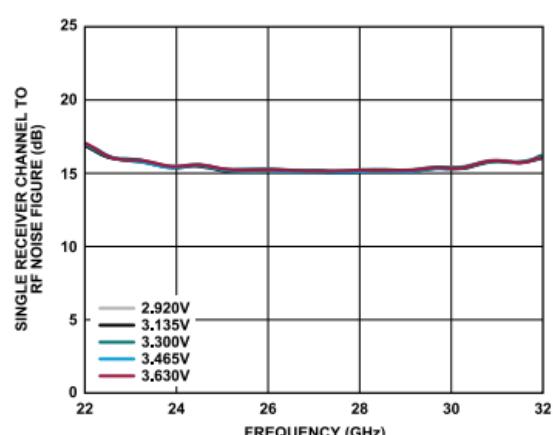


図 58. 異なる電源電圧での単一レシーバー・チャンネルからRFまでのノイズ指数と周波数の関係（最大ゲイン設定時）

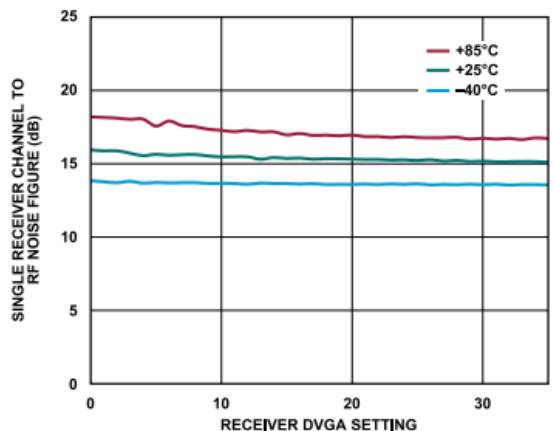


図 59. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのノイズ指数とレシーバーDVGA設定値（0～35）の関係

代表的な性能特性

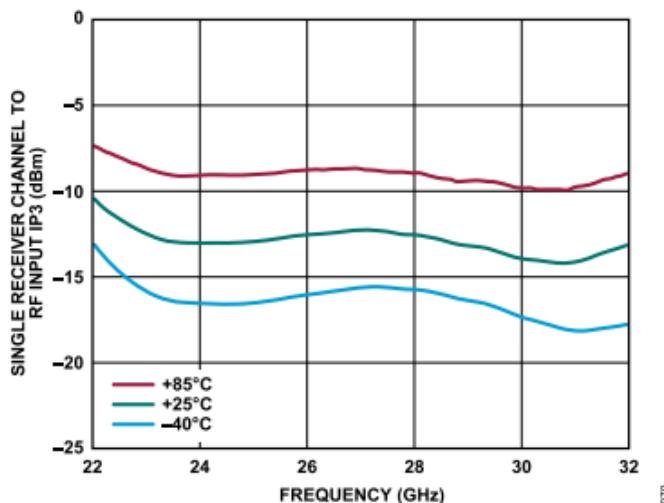


図 60. 異なる温度での単一レシーバー・チャンネルからRFまでの入力IP3と周波数の関係（最大ゲイン設定時）

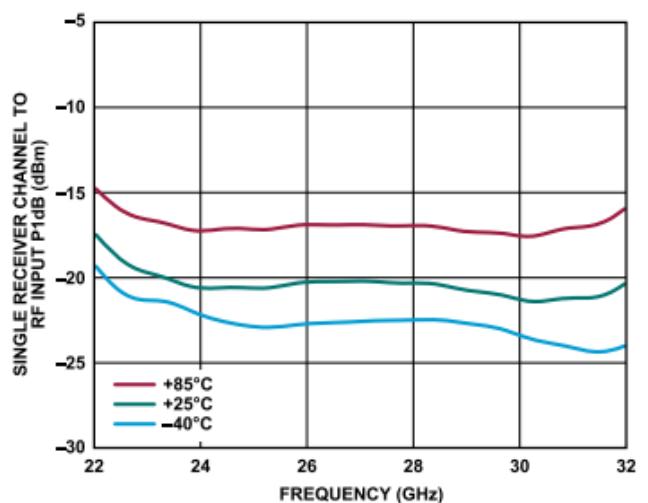


図 63. 異なる温度での単一レシーバー・チャンネルからRFまでの入力P1dBと周波数の関係（最大ゲイン設定時）

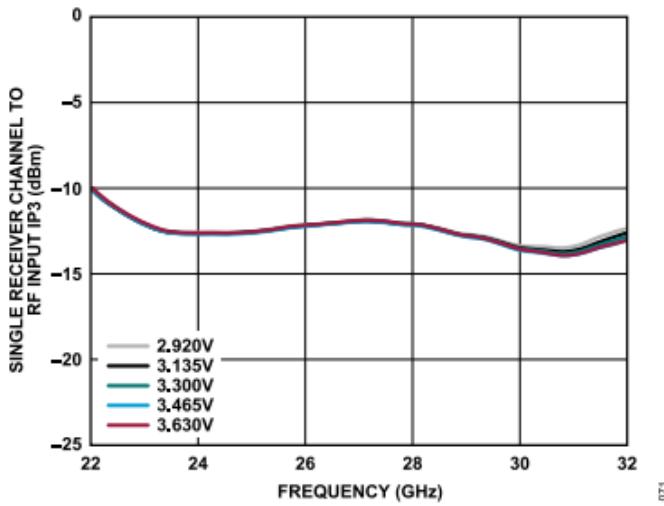


図 61. 異なる電源電圧での単一レシーバー・チャンネルからRFまでの入力IP3と周波数の関係（最大ゲイン設定時）

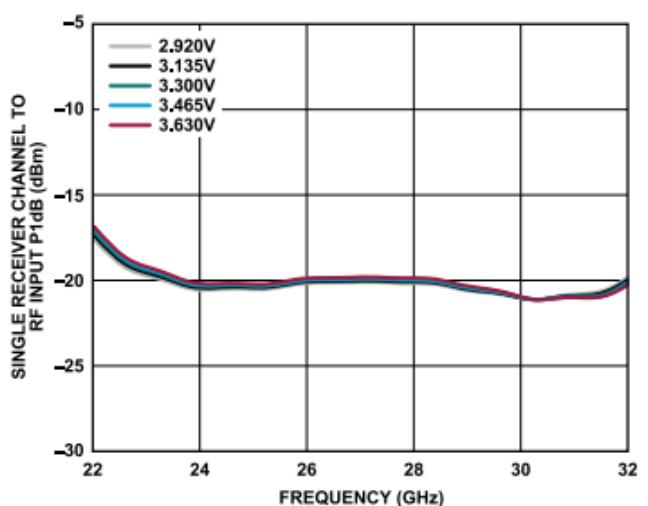


図 64. 異なる電源電圧での単一レシーバー・チャンネルからRFまでの入力P1dBと周波数の関係（最大ゲイン設定時）

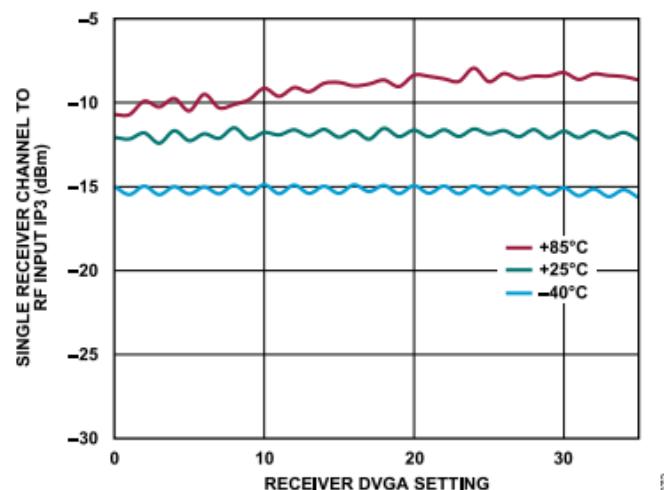


図 62. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの入力IP3とレシーバーDVGA設定値（0~35）の関係

代表的な性能特性

トランスマッタからレシーバーへの切替え速度と振幅／位相のセトリング時間

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^{\circ}\text{C}$ 、RF振幅 = -30dBm、レシーバーDVGAは最大ゲインに設定。

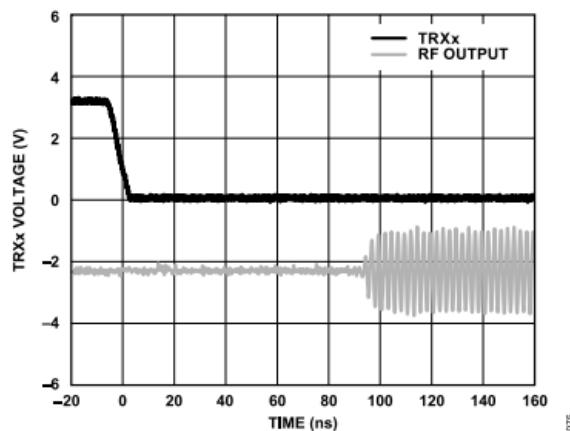


図 65. トランスマッタからレシーバーへのモード切替え時間

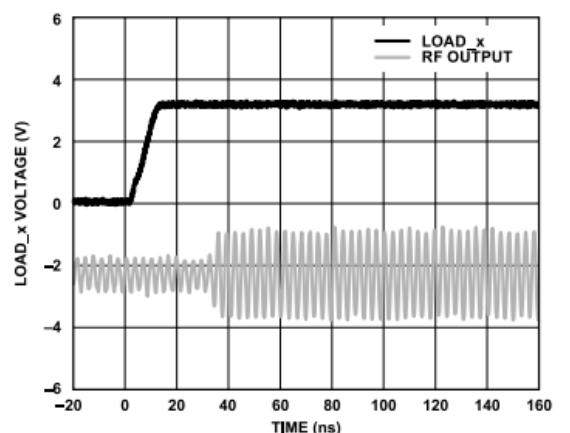


図 66. ゲインのセトリング時間

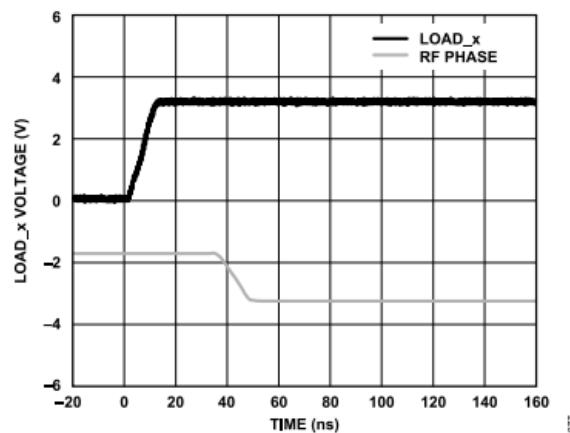


図 67. RF位相のセトリング時間

代表的な性能特性

レシーバーのRFVプレーンとRFHプレーン間のアイソレーション性能

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、レシーバーDVGAは最大ゲインに設定。

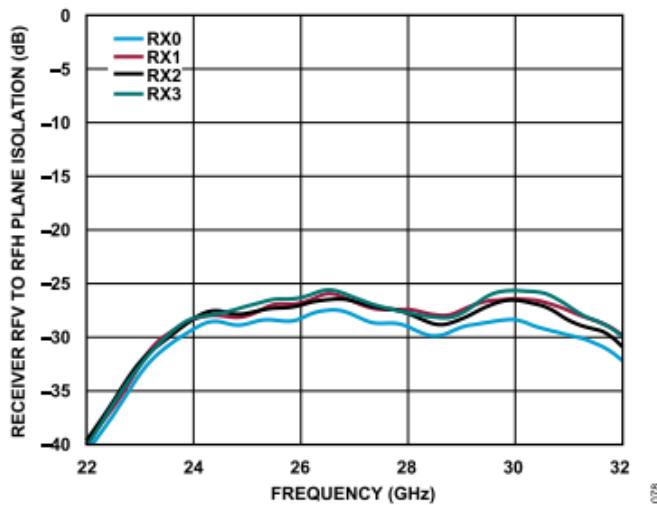


図 68. レシーバーのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（レシーバー0（RX0）、レシーバー1（RX1）、レシーバー2（RX2）、レシーバー3（RX3）の場合）

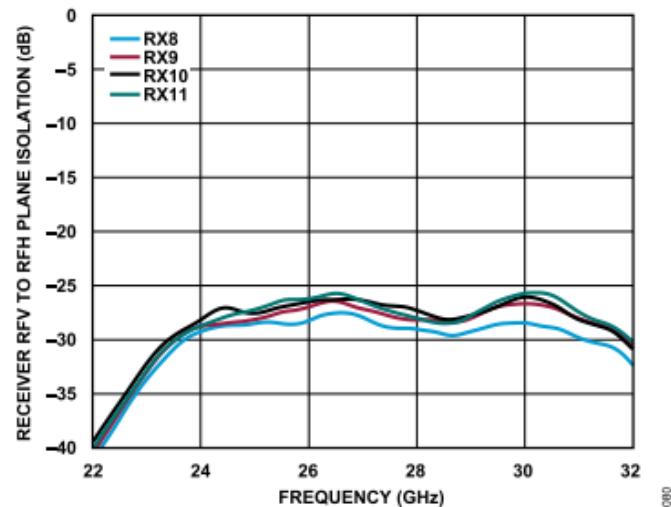


図 70. レシーバーのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（レシーバー8（RX8）、レシーバー9（RX9）、レシーバー10（RX10）、レシーバー11（RX11）の場合）

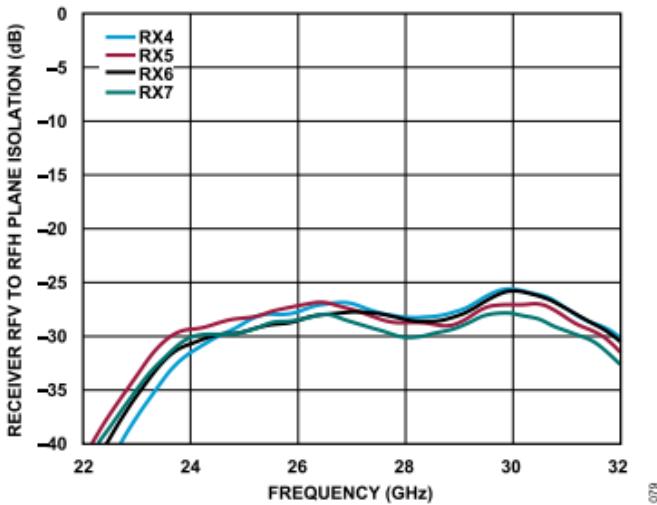


図 69. レシーバーのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（レシーバー4（RX4）、レシーバー5（RX5）、レシーバー6（RX6）、レシーバー7（RX7）の場合）

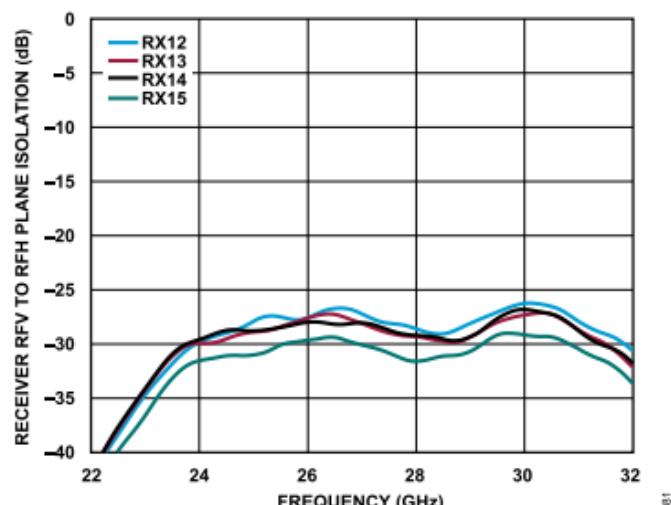


図 71. レシーバーのRFVプレーンとRFHプレーン間のアイソレーションと周波数の関係（レシーバー12（RX12）、レシーバー13（RX13）、レシーバー14（RX14）、レシーバー15（RX15）の場合）

代表的な性能特性

レシーバーのリバース・アイソレーション性能

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC_BG_3P3V = VDD_DIG_3P3V = VDD_ADC_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載されている起動シーケンスに基づき設定、 $T_c = 25^{\circ}\text{C}$ 。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGAは最大ゲインに設定。

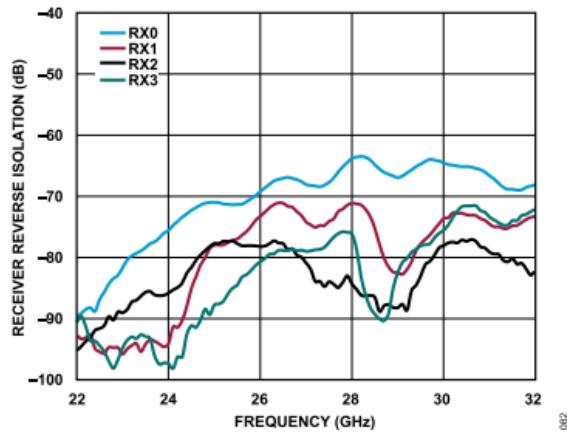


図 72. レシーバーのリバース・アイソレーションと周波数の関係
(RX0～RX3の場合)

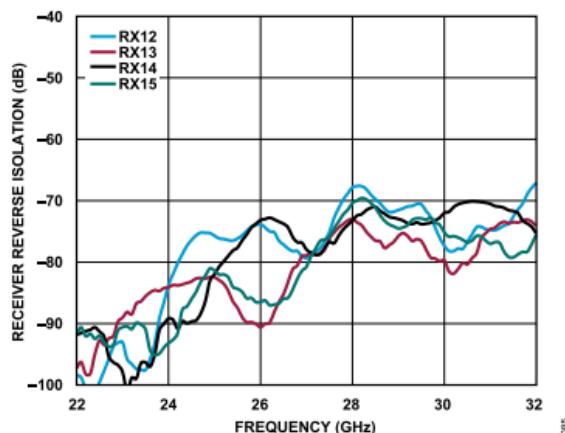


図 75. レシーバーのリバース・アイソレーションと周波数の関係
(RX12～RX15の場合)

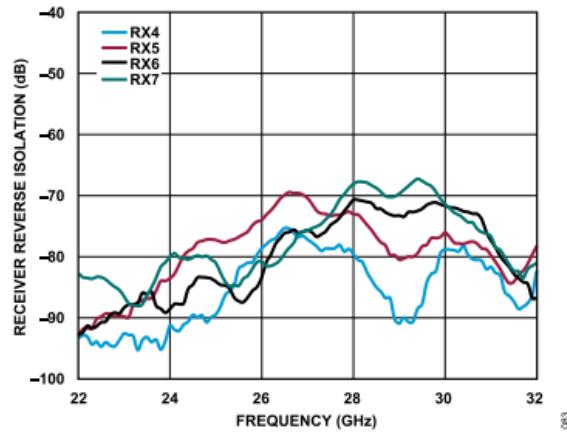


図 73. レシーバーのリバース・アイソレーションと周波数の関係
(RX4～RX7の場合)

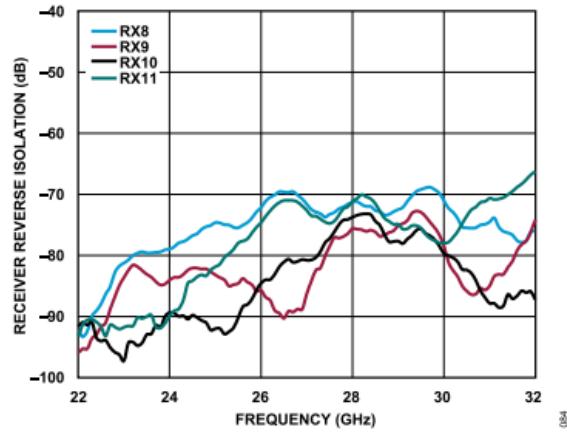


図 74. レシーバーのリバース・アイソレーションと周波数の関係
(RX8～RX11の場合)

動作原理

ADMV4821は、24GHz～29.5GHzの周波数範囲のmmW 5Gアプリケーション向けに最適化された高集積ビームフォーマです。このデバイスの機能ブロック図は図1を参照してください。

ADMV4821の16個の独立したチャンネルは、送信機能と受信機能のどちらにも対応可能です。奇数番号のチャンネルは、内部でRFH入出力ピンの水平偏波信号パスに接続されています。偶数番号のチャンネルは、内部でRFV入出力ピンの垂直偏波信号パスに接続されています。

推奨するゲイン/位相係数の初期化

選択した個々のチャンネルのゲインと位相を設定し、使用目的に応じた最小限のオーバーヘッドで効率的に起動するには2つの方法があります。1つは、ビーム・ポインタ・レジスタ0x081を用いることです。このレジスタはユーザ定義のビーム位置をSRAMから呼び出します。ビーム・ポインタは、ビーム・ステアリング値を16個のチャンネルにロードします。LOAD_xピンを3回トグルすると、メモリにあるゲインと位相の設定値を、選択したチャンネルに書き込みます。このロード機能により、選択したチャンネルに位相とゲインの設定値を同時に適用できます。

オプションのバイパス・モードを使用して、ビーム・ポインタ・モードをバイパスすることができます。このモードを使用すると、位相とゲインの値の設定とデバッグをチャンネルごとに行つたうえで、ビーム・ポインタ・モードを実行できます。ユーザは、チャンネルの位相およびゲインSRAM、共通ゲインSRAM、および送受信SRAMを使用して、チャンネルごとに直接ゲインと位相の変更や適用を行うことができます。LOAD_xピンを3回トグルすると、メモリにあるゲインと位相の設定値を、選択したチャンネルに書き込みます。このロード機能により、選択したチャンネルに位相とゲインの設定値を同時に適用できます。詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

RF信号パス

このチップの最も重要な機能は、信号が目的の方向にコヒーレントに追加されるように、各チャンネルの相対的な位相とゲインを正確に設定することです。個々の素子のゲイン制御をすることで、通常の動作においてチップに発生する多くの障害を補償できます。そのような障害には、温度変動、チップ間またはチャンネル間のばらつき、位相とゲインをサポートする外部回路のばらつき、およびサイドローブのレベルを低減するためのビームのテー パリング機能による変動などがあります。

16チャンネルの信号パスはすべて同じで、チャンネル間で対称な性能を発揮できます。そのため、TDD動作に必要な位相と振幅のキャリブレーション量を削減できます。図77に示すように、各送信チャンネルには、DVGA 2、同相直交 (I/Q) VM、DVGA 1、パワー・アンプ (PA)、パワー・ディテクタ、および2個の単極双投 (SPDT) スイッチがあります。各受信チャンネルには、低ノイズ・アンプ (LNA)、I/Q VM、チャンネルDVGA、および2個のSPDTスイッチがあります。これらのスイッチは、送信パスと受信パスの選択を行います。これらのパスは、パッシブな結合および分配ネットワークを通じて、RF信号パスをパッケージの対応する入出力ピン (RFV、RFH、16個のチャンネル) に接続します。

位相およびゲイン制御

位相制御は、図76に示すI/Q VMアーキテクチャで行われます。受信信号は等振幅の同相直交 (IおよびQ) 信号に分配されます。これらの信号は、2つの同一の2相VGAによって個別に増幅され、出力の段階で合成されて必要な位相シフトを生み出します。各VGAは7つの独立したビット (振幅の制御用に6ビット、極性の制御に1ビット) で制御され、位相シフタごとに合計14ビットが使用されます。ベクトル変調器の出力電圧振幅 (V_{OUT}) と位相シフト (Φ) は、以下の式で表されます。

$$V_{OUT} = \sqrt{V_Q^2 + V_I^2}$$

$$\Phi = \arctan \frac{V_Q}{V_I}$$

ここで、
 V_Q はQチャンネルVGAの出力電圧、
 V_I はIチャンネルVGAの出力電圧です。

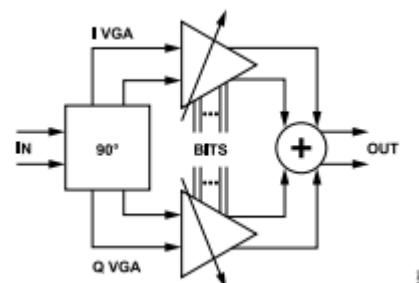


図 76. I/Q VMによる位相シフトのブロック図

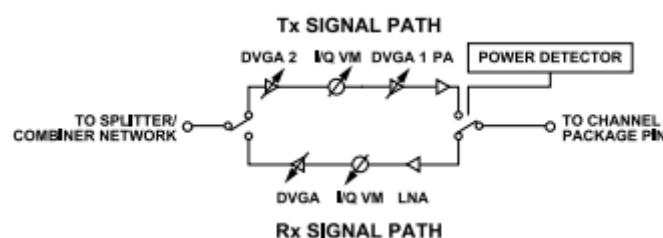


図 77. 送信および受信チャンネルの機能ブロック図

動作原理

逆正接関数を評価する場合、適切な位相象限を選択する必要があります。位相象限は、 V_I と V_Q の符号を基に次の場合分けに従って決まります。

- ▶ V_I と V_Q が両方とも負の場合、位相シフトは 0° ～ 90° です。
- ▶ V_I が正で V_Q が負の場合、位相シフトは 90° ～ 180° です。
- ▶ V_I と V_Q が両方とも正の場合、位相シフトは 180° ～ 270° です。
- ▶ V_I が負で V_Q が正の場合、位相シフトは 270° ～ 360° です。

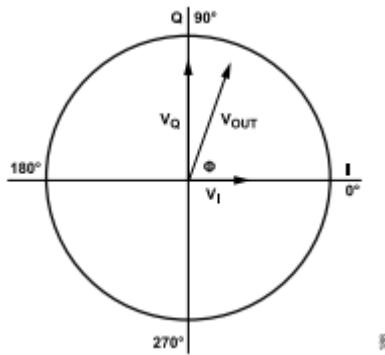


図 78. ゲインのベクトル表現

通常、 V_{OUT} （ゲイン）の変動を最小限に抑えながら、目的の位相シフトを達成できるように V_Q と V_I の値を選択しますが、許容振幅変動に多少のゆとりをもたせると、位相ステップの分解能が向上し、位相誤差が更に小さくなる可能性があります。

位相制御の詳細や機能については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteで示されている値をIとQのVGAに用いると、送信信号パスまたは受信信号パスのどちらであってもDVGAはゲイン制御を実行します。

送信信号パスには、ゲインを制御する2つの独立したDVGAがあります。各DVGAの柔軟な内蔵SPI制御を用いることで、各DVGAのダイナミック・レンジをシステム条件に応じて制御できる様々なオプションが可能です。DVGAは送信チャンネルごとにチャンネルのゲインを制御することも、全チャンネルをまとめて設定する共通ゲインを制御することもできます。共通ゲインはチャンネル・ゲインの出力に直接加えられます。共通ゲインのオフセットを送信チャンネルごとに個別に設定するには、レジスタ0x02Bのビット[5:1]を使用します。それぞれのDVGAにより、16dB（代表値）のダイナミック・レンジが可能となり、送信信号パスの合計ダイナミック・レンジは32.4dBとなります。共通ゲインのステップ分解能は1.0dBで、チャンネル・ゲインのステップ分解能は0.5dBです。デフォルトでは、チャンネル・ゲインの設定値でDVGA 1を制御し、共通ゲインの設定値でDVGA 2を制御します。この制御の割当では、レジスタ0x02Bのビット0を1に設定することで切り替えることができます。詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

受信信号パスでは、1つのDVGAでゲイン制御が行われます。このDVGAを個別にプログラムすることで、16個の受信チャンネルごとにゲインを制御できます。このDVGAにより、受信信号パスでは17.1dB（代表値）のダイナミック・レンジが可能となります。

DVGAのデジタル・ステップ分解能は0.5dBです。このDVGAはチャンネル・ゲインの設定値で制御され、16個の受信チャンネルごとに個別にDVGA設定値を制御できます。

ゲイン制御の詳細や機能については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

送受信の制御

送信モードから受信モードへの遷移、またはその逆の遷移を行えることが、TDDフェーズド・アレイ・システムの重要な動作条件です。ADMV4821では、垂直偏波信号バスと水平偏波信号バスのそれぞれに、独立した送信制御スイッチおよび受信制御スイッチがあります。この機能は、送信制御信号入力ピンと受信制御信号入力ピン（TRXHとTRXV）に基づきます。

TRXHピンとTRXVピンには、モード間の切替えを正しく制御するために、1.8Vのロジック信号が必要です。ADMV4821をオンにするとき、TRXxラインをロジック・ローに保持するとレシーバー・モードで開始します。TRXHピンとTRXVピンは、最大1.5MHzの矩形波に対応できます。ただし、送信バスと受信バスの振幅セトリング時間は、70ns程度です。

受信モードから送信モードに遷移するには、TRXHピンまたはTRXVピンがロジック・ロー（0V）からロジック・ハイ（1.8V）に遷移する必要があります。ロジック・ローからロジック・ハイへの遷移の立上がりエッジによって、送信モードへの移行が開始されます。

送信モードから受信モードに遷移するには、TRXHピンまたはTRXVピンがロジック・ハイ（1.8V）からロジック・ロー（0V）に遷移する必要があります。ロジック・ハイからロジック・ローへの遷移の立上がりエッジによって、受信モードへの移行が開始されます。

モード遷移の間、TDDアプリケーションの高速スイッチングが可能となるよう、どちらのモードについても必要な設定はすべて復元されます。

送受信制御の詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

パワー・ディテクタ

送信動作時の各パワー・アンプの出力からカッピングされるピーク電力をサンプリングするため、16個のパワー・ディテクタ（1トランスマッタ・チャンネルにつき1つ）が備わっています。これらのパワー・ディテクタは、パワー・モニタリングやチャンネル・ゲインおよびチャンネル間ゲイン・ミスマッチのキャリブレーションを行います。独立したそれぞれのパワー・ディテクタ回路は内蔵A/Dコンバータ（ADC）に配線され、パワー・ディテクタの8ビット分解能の各検出値に対してSPIリードバックを行うことができます。

パワー・ディテクタの入力電力の範囲はプログラマブルで、10dBmの入力電力検出範囲を-12dBm～+16dBmの間で2dBm刻みで調整できます。

動作原理

16個の各パワー・ディテクタ値は送信モードでのみ読み出せます。レジスタ0x040～レジスタ0x04Fは、チャンネル0～チャンネル15のパワー・ディテクタ用リードバック・レジスタです。パワー・ディテクタのリードバック値は図30および図31に示すように、dBm単位に変換できます。特定のSPIリードバックと範囲設定の調整に関する詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

温度センサー

ADMV4821の内蔵温度センサーを使用することで、送信モードのチップが示す温度の示度をサンプリングできます。温度センサーのデータはADCからリードバックでき、送信モードでのみ更新されます。

内蔵温度センサーのリードバック値を摂氏に変換するには、次式を用います（図79も参照）。

$$\text{温度} = 1.07 \times \text{温度センサー値} - 96$$

ここで、温度センサー値は10進数です。

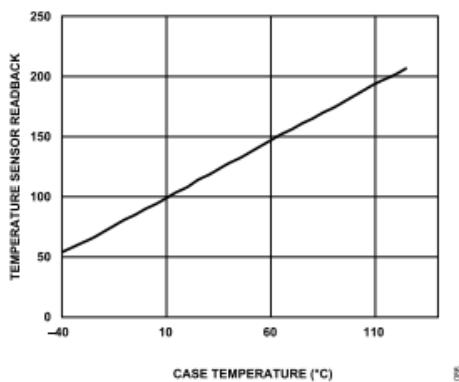


図 79. 温度センサーのリードバック値とケース温度の関係

レジスタ0x050を用いることで、温度センサーの示度をリードバックできます。温度センサーの測定範囲は-40°C～+125°Cです。特定のSPIリードバックに関する詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

ADCの動作

16個の内蔵パワー・ディテクタと内蔵温度センサーを個別にサンプリングするため、8ビットのADCが内蔵されています。

ADMV4821をオンにするとき、ADC_CLK_ENビット（レジスタ0x030のビット3）を1に設定します。

パワー・ディテクタと温度センサーのリードバックに関する特定のSPI設定やその他詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

各種電力モードのためのバイアス制御

DCの消費電力を削減するために、RF性能レベルに応じて中電力モードと低電力モードを用いることを推奨します（[アプリケーション情報](#)のセクションを参照）。

デバイスには、公称電力モード、中電力モード、低電力モードの3つの電力モードがあります。

公称電力モード：

- ▶ VDD1～VDD8、VDD_DIG_3P3V、VDD_ADC_3P3V、VCC_BG_3P3Vの各ピンを3.3Vに設定します。
- ▶ 全レジスタのデフォルトのプリセットSPI値については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

中電力モード：

- ▶ VDD1、VDD3、VDD5、VDD7の各ピンを3.3Vに設定します。
- ▶ VDD2、VDD4、VDD6、VDD8、VDD_DIG_3P3V、VDD_ADC_3P3V、VCC_BG_3P3Vの各ピンは2.5Vに設定します。
- ▶ 全レジスタのデフォルトのプリセットSPI値については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

低電力モード：

- ▶ VDD1～VDD8、VDD_DIG_3P3V、VDD_ADC_3P3V、VCC_BG_3P3Vの各ピンを2.5Vに設定します。
- ▶ レジスタ0x029のビットを以下のように設定します。
PA_BIAS_1のビット[2:0]を0x02、PA_BIAS_2のビット[5:3]を0x00に設定。
- ▶ レジスタ0x2Aのビットを以下のように設定します。
PA_BIAS_3のビット[3:0]を0x04、PA_VCC_SELのビット4を0x01に設定。

公称電力モードでは、[代表的な性能特性](#)のセクションに示した最高レベルの性能を提供します。送信モード時のADMV4821の総消費電力は、中電力モードでは20%、低電力モードでは40%低減されます。なお、全体的な送信ゲイン、直線性、出力圧縮は、消費電力が小さいモードほど低下します。

受信モードでは、総消費電力は、中電力モードでは3%、低電力モードでは30%低減されます。受信ゲインも各モードで低下します。性能特性と電力モードの関係については、[各種電力モードでの性能](#)のセクションを参照してください。

メモリ・アクセス

送信モードと受信モードの間の任意の構成で配置できる、最大256通りのビーム位置の位相と振幅の設定値を保存するため、SRAMが内蔵されています。ビーム・ポインタ・レジスタは、全16チャンネルについてゲインとI/Q VMの設定値を個々に備えた256個のビーム位置に対するアドレス・リファレンスとして用いられます。

動作原理

SPIレジスタ0x000でソフト・リセットを開始すると、チャンネル・レジスタおよびグローバル・レジスタはデフォルト値を復元します。ただし、チャンネルおよびグローバルのSRAMレジスタの値は失われません。

RSTピンをロジック・ローにプルダウンしてハード・リセットを開始すると、チャンネル、グローバル、グローバルSRAMを含む全レジスタがデフォルト値に復元されます。ただし、チャンネルSRAMレジスタの値は失われません。

チャンネルSRAMレジスタを含むすべてのレジスタをリセットするには、電源の再投入が必要です。

チャンネルSRAMレジスタとグローバルSRAMレジスタのどちらにも、固有のデフォルト値はありません。これらのSRAMレジスタへの書き込みは、起動時に実行が必要あります。

SRAMおよびその他の制御機能を用いてシステム・レベルの条件を満たす方法に関する詳細は、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

キャリブレーション

IおよびQの設定値を用いて生じる位相誤差の実効値は、位相およびゲイン制御のセクションおよびAN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteに記載の式を用いて求めることができます。位相誤差の実効値は、目的の周波数動作で各チャンネルのエア・アクティブ電子走査アレイ(AESA)キャリブレーションを完全に実行することで改善できます。次いで、実効値位相誤差を改善するために求めた各IおよびQの係数の設定値に、チャンネルごとに適切な位相調整を施すことができます。その後、これらの係数を内蔵SRAMにロードできます。ゲイン誤差は、個々の共通ゲインSRAMレジスタを用いることでチャンネルごとに補償することができ、これによって各チャンネルの潜在的なゲイン誤差を改善できます。

SPIの情報

ADMV4821はSPIを備えているため、3線式SPI (SCLK、SDIO、 \overline{CS}) と4線式SPI (SCLK、SDIO、SDO、 \overline{CS}) の2つのSPI構成のいずれかを用いて、デバイスに特定の動作を設定できます。このインターフェースにより柔軟性が高まり、カスタマイズが可能となります。SPIは1.8VのDCロジックに対応可能で、内蔵LDOレギュレータは、グローバルおよびチャンネル・デジタル回路に必要な1.8Vを生成します。

ADMV4821のプロトコルは、読み出し/書き込みビットと、その後に続く15個のレジスタ・アドレス・ビット (A14~A0)、および8個のデータビット (D7~D0) で構成されます。レジスタ0x000のビット6が0に設定されている場合、アドレス・フィールドとデータ・フィールドのデフォルト値はどちらも、MSBファーストで構成され、LSBで終了します。書き込みの場合は、各コマンドの最初のビットを0に設定し、読み出しの場合は1に設定します。

標準的なSPIデータは8ビット幅に設定されます。ただし、ADMV4821には、レジスタの値を正確に設定するために、8ビットより広いデータを必要とする様々なレジスタがあります。これらの特定のレジスタに書き込みを行うため、レジスタ0x008によって、コマンドのアドレス指定を16ビット・レジスタの8 LSBまたは8 MSBに設定します。レジスタ0x008に0x01を書き込んでから16ビット・レジスタに書き込みを行うと、8ビットのデータは8 LSBに書き込まれます。レジスタ0x008に0x02を書き込んでから16ビット・レジスタに書き込みを行うと、8ビットのデータは8 MSBに書き込まれます。

一部のレジスタは、LOAD_xピンを使用することを特色としており、デバイスに書き込まれるレジスタ値をロードするためにはこのピンを3回トグルする必要があります。このロード機能により、LOAD_xピンがトグルされるまでのスタンバイ状態の間にレジスタ・データを書き込むことができます。

ADMV4821のSPIの詳細については、AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteを参照してください。

標準SPIプロトコル

図80に標準SPIプロトコルを示します。

\overline{CS} 、SCLK、SDIOの各ピン、およびオプションでSDOピンを用いることでスレーブ・デバイスと通信できます。SCLKの立ち上がりエッジで、スレーブ・デバイスとやり取りするデータがラッピングされます。SPIレジスタの代表的なタイミング仕様を表5に示します。

なお、ステティック・ランダム・アクセス・メモリ (SRAM) レジスタの場合、レジスタからリードバックするには読み出しコマンドを2回送信する必要があります。

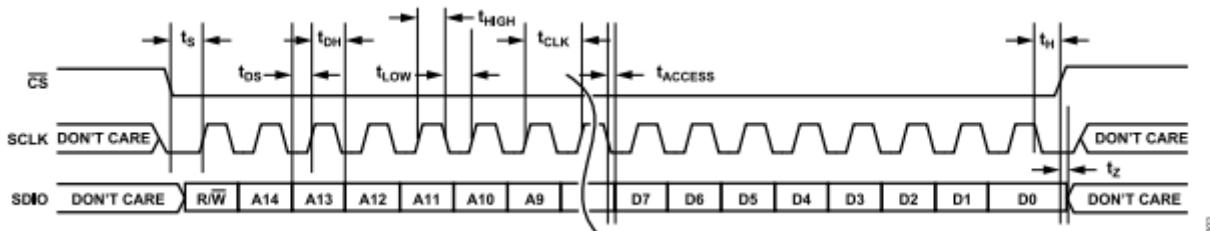


図 80. 標準SPIのSPIレジスタ・タイミング図、MSBファースト

動作原理

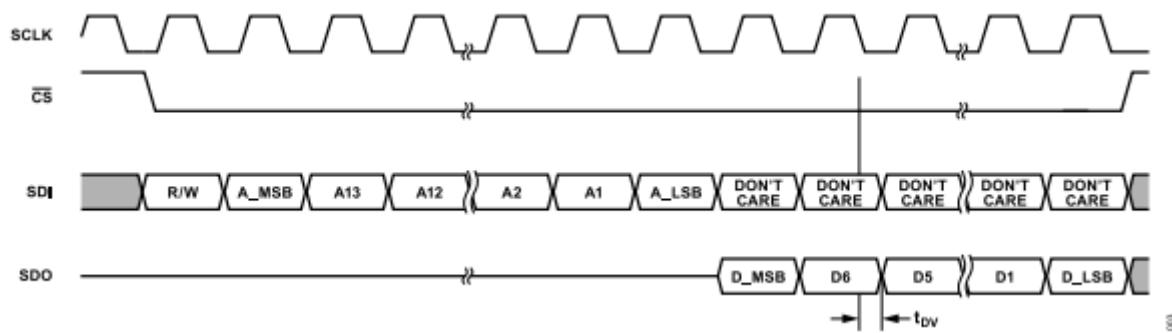


図 81. 標準的なSPIレジスタ読出しのタイミング図、4線式モード

動作原理

ストリーミング・モード

標準的なプロトコルでの動作時、 \overline{CS} ピンをローに保持したまま、1回の送信の間に複数のデータ・バイトをシフトすることができます。データ転送に伴うオーバーヘッドを削減できます。シーケンシャルなアドレス指定は、設定レジスタの設定状況に応じて昇順または降順が前提とされます。ストリーミング・モードを使うと、ユーザ定義のビーム位置のためのSRAMにゲインと位相のデータを手早くロードできます。このストリーミング・モードの手法により、バイトごとにアドレスを指定することなく、1つ以上のバイトを書き込んだり読み出したりできます。

図82に示すタイミング図は、3つの連続アドレスをストリーミングするデバイスへの代表的な書き込み方法を示しています。最初の書き込みアドレスは、アドレス・ビットA14~A0で定義され、データの最初の8ビットがこの最初のアドレスに書き込まれます。次の8ビットが、レジスタ0x000のビット5で選択されている順に従い、次の昇順または降順アドレスに書き込まれます。シーケンシャルなアドレス指定のデフォルト状態は降順です。



図 82. ストリーミング・モードの書き込みタイミング図、MSBファースト、降順アドレス

動作原理

レジスタ読出し時のSPI SDO遅延

SPIの読出し動作時は、SCLKの16番目の立下がりエッジがSCLKに到達してから7ns後に、データがSDOピンから読み出せます。このSDO遅延はSCLKの速度に関わらず一定です。詳細は、図83を参照してください。

例えば、10MHzの信号がSCLKピンに入力された場合、SDOビットでは、SCLKの立上がりエッジの約43ns前にサンプリングの準備が整います。このSCLKのレートは、正常に作用しボード上の伝搬時間を妥当な量にするためのマージンを提供します。これに対し、

61.44MHzの場合は、SCLKの立上がりエッジがSDOビットの立下がりエッジと近接し、読み出し動作が正常に行われない可能性があります。SCLKを30.72GHzより高い周波数で動作させる場合は、次の2つの回避策を推奨します。1つは、SCLK17～SCLK26に非対称のSCLKを用いることです（ローの時間を長くする）。このセットアップにより、SCLKの立上がりエッジをSDOビットに揃えることができます。図84を参照してください。もう1つの回避策は、遅延させたSCLKをフィールド・プログラマブル・ゲート・アレイ（FPGA）で用いて、SCLKの立上がりエッジをSDOビットに揃えることです。図85を参照してください。

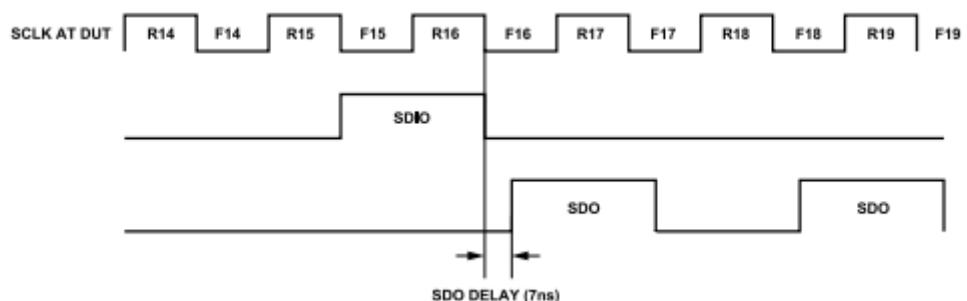


図 83. SDO遅延のタイミング図

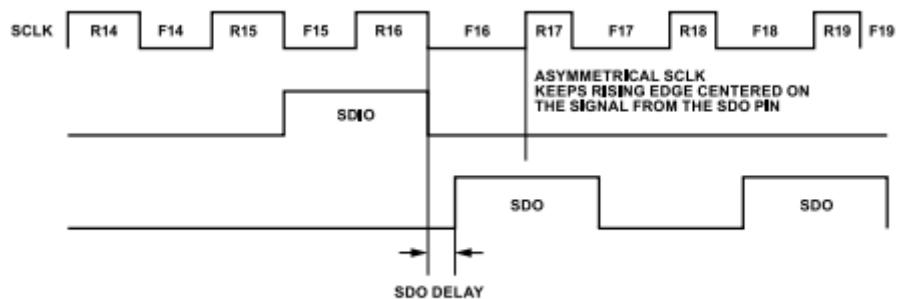


図 84. 非対称クロック・パルスの使用

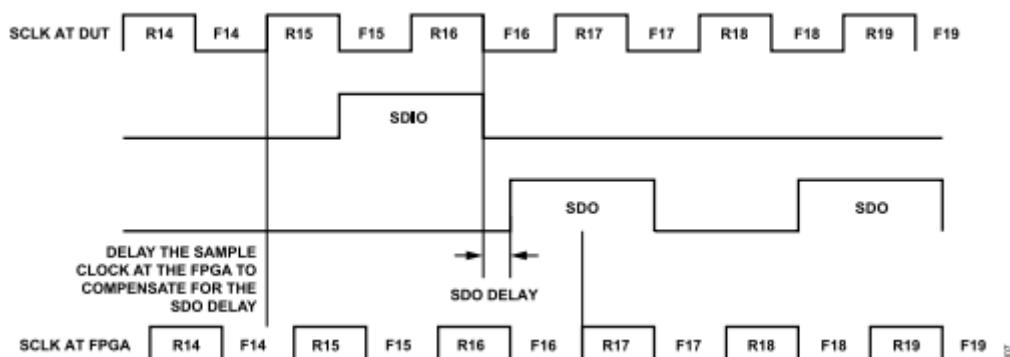


図 85. 遅延SCLKの使用

アプリケーション情報

AN-2021アプリケーション・ノートADMV4801/ADMV4821 SPI Application Noteには、SPIおよび、動作原理のセクションで説明しているその他の機能を使用した、ゲインと位相の制御に関する詳細が記載されています。アプリケーション・ノートには、システム・レベルの性能を実現するために必要なすべてのレジスタを初期化しロードするための推奨方法を実行する、SPIプログラミングの例が記載されています。

ADMV4821への給電

ADMV4821の電源ドメインは1つで、電圧は3.3Vです。チップ内のすべての回路で必要な1.8Vの電圧は、ADMV4821内蔵の電圧レギュレータが生成します。同じ電源ドメインを共有するすべての電源ラインを1つの電源電圧に接続できるため、ADMV4821-EVALZユーザー・ガイドに示すように、適切なデカップリング・コンデンサをADMV4821の電源ピン近くに配置することができます。

ヒート・シンクの選択

デバイスの上面と底面のどちらにもヒート・シンクを取り付けられるため、効率的な放熱が可能です。

底面のヒート・シンクには、デバイス下の基板最下層に広い露出銅領域が必要です。

上面のヒート・シンクの場合は、ヒート・シンクの大きさをデバイスと同じサイズにすることが必要です。ヒート・シンクを小さくすると放熱性低下の原因となります。上面のヒート・シンクをデバイスに取り付けるには、熱界面材料 (TIM) が必要です。このTIMでデバイスとヒート・シンク間の空隙を埋まり、デバイスとヒート・シンクの熱的な接触性が向上します。放熱性とデバイス性能を最大にするには、通常、0.5mm厚のTIMが推奨されます。

ヒート・シンクをデバイスに取り付ける際に加えることのできる最大の力は、表6に仕様規定されています。デバイス下の基板は、曲がることのないよう、しっかりと固定されている必要があります。デバイスに垂直な力を加える場合は、圧力がデバイスの上面に均等にかかるようにしてください。

各種電力モードでの性能

送信モードでの公称、中、低電力モードのデータ

図86～図90に、各種電力モードのためのバイアス制御のセクションに記載のバイアス条件を用いた場合の各パラメータの特性を示します。

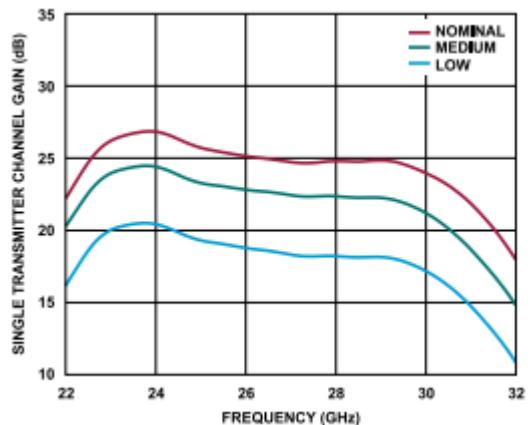


図 86. 各種電力モードでの単一トランスマッタ・チャンネルのゲインと周波数の関係（最大ゲイン設定時）

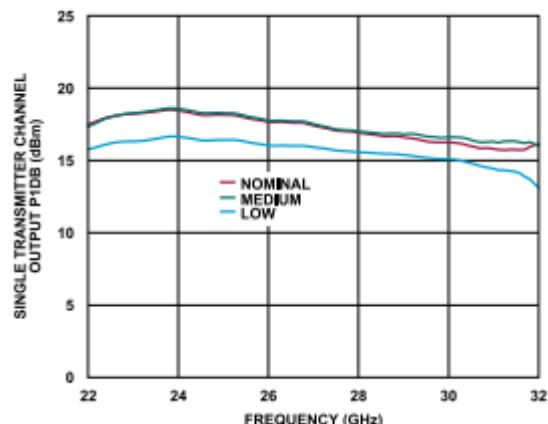


図 87. 各種電力モードでの単一トランスマッタ・チャンネルの出力P1dBと周波数の関係（最大ゲイン設定時）

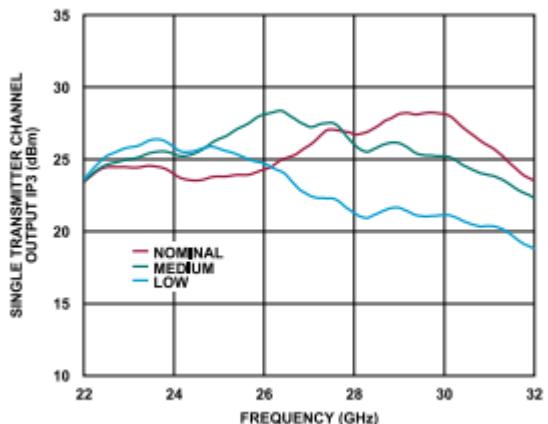


図 88. 各種電力モードでの単一トランスマッタ・チャンネルの出力IP3と周波数の関係（最大ゲイン設定時）

アプリケーション情報

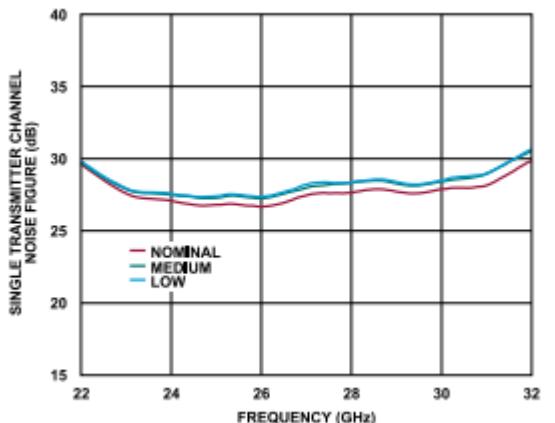


図 89. 各種電力モードでの単一トランシミッタ・チャンネルのノイズ指数と周波数の関係（最大ゲイン設定時）

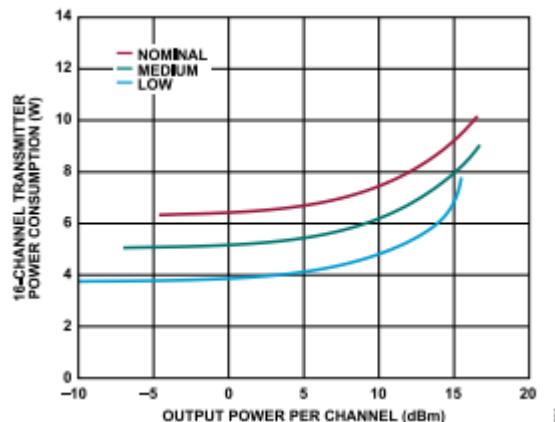


図 90. 16チャンネルのトランシミッタの消費電力とチャンネルあたりの出力電力の関係（最大ゲイン設定時）

受信モードでの公称、中、低電力モードのデータ

図91～図94に、各種電力モードのためのバイアス制御のセクションに記載のバイアス条件を用いた場合の各パラメータの特性を示します。

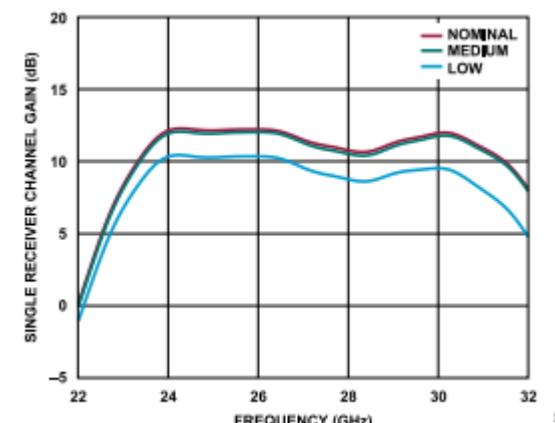


図 91. 各温度での単一レシーバー・チャンネルのゲインと周波数の関係（最大ゲイン設定時）

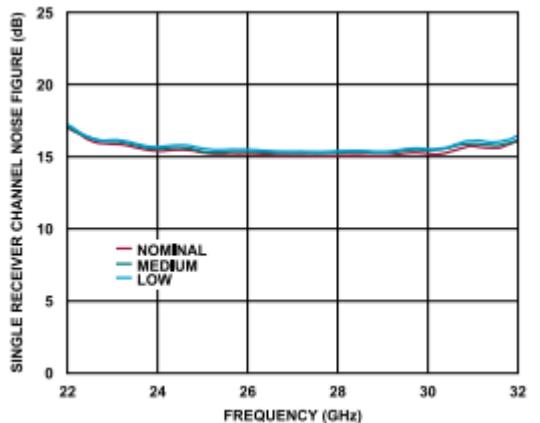


図 92. 各温度での単一レシーバー・チャンネルのノイズ指数と周波数の関係（最大ゲイン設定時）

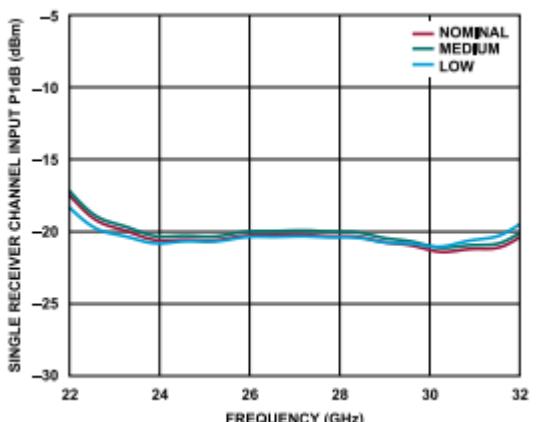


図 93. 各温度での単一レシーバー・チャンネルの入力P1dBと周波数の関係（最大ゲイン設定時）

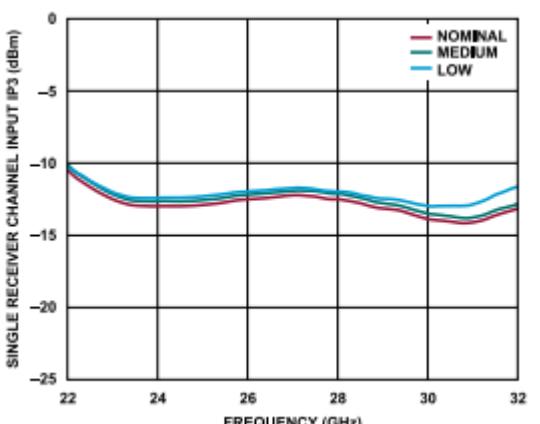


図 94. 各温度での単一レシーバー・チャンネルの入力IP3と周波数の関係（最大ゲイン設定時）

送信モードのエラー・ベクトル振幅 (EVM) 性能

ADMV4821のゲインを最大に設定した場合の、単一トランシミッタ・チャンネルのEVMとチャンネルあたりの出力電力の関係を図95に示します。EVMの測定は100MHz、5G NR (New Radio : 新たな無線技術)、256直交振幅変調 (QAM) の信号4つを使用して実施しています。

アプリケーション情報

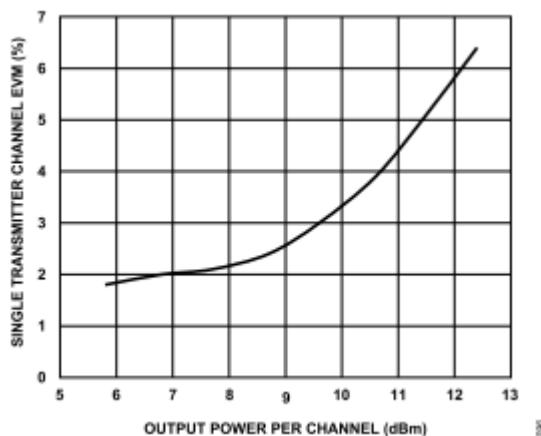


図 95. 単一トランスマッタ・チャンネルのEVMとチャンネルあたりの出力電力の関係（最大ゲイン設定時）

外形寸法

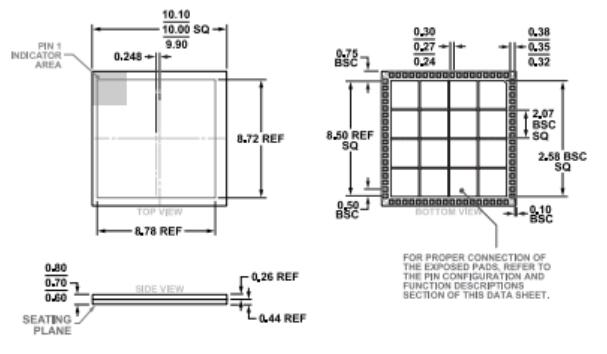


図 96. 72端子ランド・グリッド・アレイ [LGA] (CC-72-3)
寸法 : mm

更新 : 2022年2月13日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV4821BCCZ	-40°C to +95°C	72-Terminal LGA (10mm x 10mm x 0.7mm)	Tray, 31	CC-72-3

1 Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
ADMV4821-EVALZ	Evaluation Board

1 Z = RoHS準拠製品。