



## 正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4801

対象となるデータシートのリビジョン(Rev)：Rev.C

訂正箇所：22ページ、図50の説明文

### 【誤】

図50. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフト設定値(0~35)の関係

### 【正】

図50. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフトとVGA1設定値(0~35)の関係

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1  
ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所／〒532-0003 大阪府大阪市淀川区富原3-5-36  
新大阪トラストタワー  
電話 06 (6350) 6868



## 正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4801

対象となるデータシートのリビジョン(Rev)：Rev.C

訂正箇所：32ページ、右の段、上から3行目

### 【誤】

SCLKを30.72GHzより高い周波数で動作させる場合は、次の2つの回避策を推奨します。

### 【正】

SCLKを30.72MHzより高い周波数で動作させる場合は、次の2つの回避策を推奨します。

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1  
ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所／〒532-0003 大阪府大阪市淀川区富原3-5-36  
新大阪トラストタワー  
電話 06 (6350) 6868

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：ADMV4801

対象となるデータシートのリビジョン(Rev)：Rev.C

訂正箇所：34～35ページ、図87、図88、図89、図90の説明文

【誤】

図87. 異なる温度での単一レシーバー・チャンネルのゲインと周波数の関係（最大ゲイン設定時）。

図88. 異なる温度での単一レシーバー・チャンネルのノイズ指数と周波数の関係（最大ゲイン設定時）

図89. 異なる温度での単一レシーバー・チャンネルの入力 P1dB と周波数の関係（最大ゲイン設定時）

図90. 異なる温度での単一レシーバー・チャンネルの入力 IP3 と周波数の関係（最大ゲイン設定時）

【正】

図87. 異なるパワーモードでの単一レシーバー・チャンネルのゲインと周波数の関係（最大ゲイン設定時）。

図88. 異なるパワーモードでの単一レシーバー・チャンネルのノイズ指数と周波数の関係（最大ゲイン設定時）

図89. 異なるパワーモードでの単一レシーバー・チャンネルの入力 P1dB と周波数の関係（最大ゲイン設定時）

図90. 異なるパワーモードでの単一レシーバー・チャンネルの入力 IP3 と周波数の関係（最大ゲイン設定時）

## 24GHz～29.5GHzのトランスマッタ／レシーバーを備えた 単一偏波ビームフォーマ

### 特長

- ▶ RF周波数範囲：24GHz～29.5GHz
- ▶ ユーザ設定可能な16個の送信チャンネル
- ▶ ユーザ設定可能な16個の受信チャンネル
- ▶ 外部ピンを使用した高速TDDスイッチング時間
- ▶ 50Ωに整合したシングルエンドRF入力および出力
- ▶ トランスマッタのパワー・ディテクタおよび温度センサーを内蔵
- ▶ 高分解能6ビットのベクトル変調器による位相制御
- ▶ 高分解能6ビットおよび5ビットのDVGAによる振幅制御
- ▶ 全温度範囲でゲイン補償
- ▶ 256通りのビーム位置を保存するメモリ
- ▶ 必要な電源は1つ：3.3V（内蔵LDOレギュレータで1.8Vを供給）
- ▶ 調整可能な電力モードによる消費電力削減
- ▶ 61.44MHzのSPIクロック速度に対応する3線式または4線式SPI
- ▶ 10mm × 10mmの72ピン・マイクロ波LGAパッケージ

### アプリケーション

- ▶ 5Gアプリケーション
- ▶ ブロードバンド通信
- ▶ 試験および計測
- ▶ 航空宇宙／防衛

### 概要

ADMV4801は、シリコン・ゲルマニウム（SiGe）を使用した、24GHz～29.5GHzのミリ波（mmW）5Gビームフォーマです。このRF ICは集積度が高く、16個の独立した送受信チャンネルを備えています。送信モードでは、RFCの入力信号が1:16のパワー・スプリッタで分配され、16個の独立した送信チャンネルを通過します。受信モードでは、入力信号が16個の独立したチャンネルを通過し、16:1のコンバインによりRFCピンに結合されます。送信モードでは、位相を制御するベクトル変調器（VM）が1個と振幅を制御するデジタル可変ゲイン・アンプ（DVGA）が2個、各チャンネルに備わっています。受信モードでは、位相を制御するVMが1個と振幅を制御するDVGAが1個、各チャンネルに備わっています。VMの位相調整範囲は、送信モードと受信モードのどちらであっても360°全域にわたり、分解能は6ビットで、位相ステップは5.625°です。送信モードでのDVGAのダイナミック・レンジの調整範囲は合計34dBです。分解能は6ビットまたは5ビットで、振幅ステップは、6ビット分解能の場合0.5dB、5ビット分解能の場合1dBです。受信モードの合計ダイナミック・レンジは17dBで、6ビットの分解能により、振幅ステップは0.5dBになります。DVGAは、全ゲイン範囲にわたりフラットな位相応答特性を示します。

送信チャンネルには、個別のパワー・ディテクタがあり、各チャンネルのゲインやチャンネル間のゲイン・ミスマッチの検出とキャリブレーションが可能です。ADMV4801のRFポートをパッチ・アンテナに直接接続すれば、デュアル偏波mmW 5Gサブアレイを作ることができます。

ADMV4801は、3線式または4線式のシリアル・ポート・インターフェース（SPI）を使用してプログラムできます。内蔵の低ドロップアウト（LDO）レギュレータがSPI回路用に1.8V電圧を生成するため、必要な電源ドメインの数を削減できます。通常動作時は、高速の起動や制御を可能にする様々なSPIモードが使用できます。振幅と位相の設定はチャンネルごとに行うことができます。また、ビームフォーミング用の内蔵メモリを使用して複数のチャンネルを同時に設定することもできます。内蔵メモリは最大256通りのビーム位置を保存でき、これらのビーム位置は送信モードと受信モードのどちらに対しても指定できます。専用のロード・ピンを用いることで、同じアレイ内のすべてのデバイスを同期させることができます。送受信モード制御ピンを使用すれば、送信モードと受信モードの切り替えを高速で行うことができます。

ADMV4801は、優れた熱特性を持つRoHS準拠、10mm×10mmの小型ランド・グリッド・アレイ（LGA）パッケージを採用しています。ADMV4801は、-40°C～+95°Cのケース温度範囲で動作します。このLGAパッケージは、パッケージ上面からのADMV4801の放熱が可能なため、最も効率的な放熱機能を実現できます。また、プリント回路基板（PCB）の裏面にはアンテナを柔軟に配置可能です。

このデータシート全体を通して、図中のTxは送信（またはトランスマッタ）、Rxは受信（またはレシーバー）を意味します。

ADMV4801のデジタル性能に関する詳細は、AN-2021アプリケーション・ノートADMV4801 SPI Application Noteに記載されています。アナログ・デバイセズ（mmWave5G@analog.com）にお問い合わせください。

## 目次

特長	1	RF信号パス	27
アプリケーション	1	位相およびゲイン制御	27
概要	1	送受信の制御	28
機能ブロック図	3	パワー・ディテクタ	28
仕様	4	温度センサー	28
トランスマッタ仕様	4	ADCの動作	29
レシーバー仕様	5	各種電力モードのためのバイアス制御	29
シリアル・ポート・インターフェース (SPI)	6	メモリ・アクセス	29
絶対最大定格	8	キャリブレーション	29
熱抵抗	8	SPIの情報	30
ESDに関する注意	8	アプリケーション情報	33
ピン配置およびピン機能の説明	9	ADMV4801への給電	33
代表的な性能特性	12	ヒート・シンクの選択	33
送信モード	12	各種電力モードでの性能	34
パワー・ディテクタの性能	17	送信モードのエラー・ベクトル振幅 (EVM) 性能	35
レシーバーからトランスマッタへの切替え速度と振幅／位相のセトリング時間	18	外形寸法	36
受信モード	21	オーダー・ガイド	36
トランスマッタからレシーバーへの切替え速度と振幅／位相のセトリング時間	25	評価用ボード	36
動作原理	27		
推奨するゲイン／位相係数の初期化	27		

## 改訂履歴

3/2022—Revision C: Initial Version

## 機能ブロック図

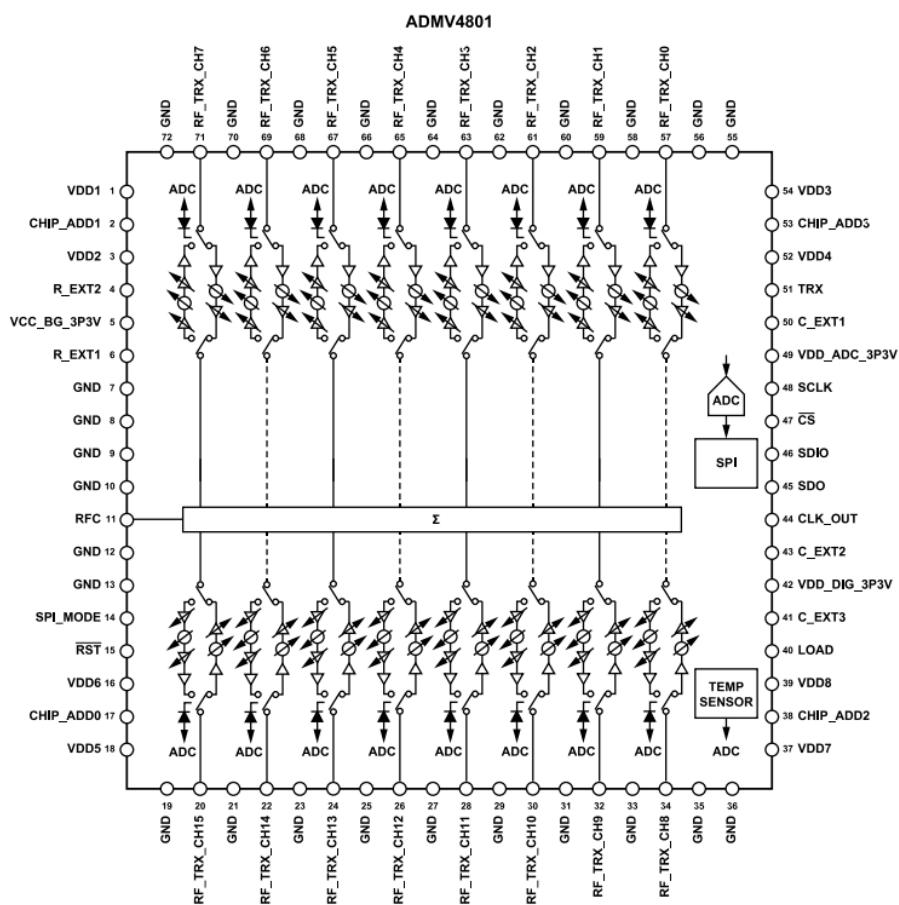


図 1.

001

## 仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、ケース温度 (Tc、パッケージ上面で測定) = 25°C。

表 1.

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
OPERATING CONDITIONS					
RF Range		24	29.5		GHz
Operating Temperature		-40	+95		°C
POWER SUPPLY					
Voltage Range		3.15	3.3	3.45	V
Transmit Mode	16チャンネルがアクティブ				
VDDx Current		1875			mA
VCC_BG_3P3V Current		46			mA
VDD_DIG_3P3V Current		9			mA
VDD_ADC_3P3V Current		17			mA
Receive Mode	16チャンネルがアクティブ				
VDDx Current		1020			mA
VCC_BG_3P3V Current		46			mA
VDD_DIG_3P3V Current		8			mA
VDD_ADC_3P3V Current		15			mA
TRANSMITTER AND RECEIVER SECTION					
Impedance		50			Ω
Number of Channels		16			
Phase Accuracy	6ビットの制御を使用	5.625			Degrees
Gain Variation	位相設定による	0.6	1		dB
Phase RMS Error		1.5	3		Degrees
Phase Variation	ゲイン設定による	±2.0			Degrees
Gain Flatness		±0.13			dB
Across 100 MHz Bandwidth		±0.35			dB
Across 800 MHz Bandwidth		±0.7			dB
Across 3000 MHz Bandwidth		30			ns
Gain/Phase Settling Time					
Time Division Duplex (TDD) Switching Time		120			ns
Transmitter Off to Receiver On		60			ns
Receiver Off to Transmitter On					
TEMPERATURE SENSOR					
Range		-40		+125	°C
Slope <sup>1</sup>		0.93			LSB/°C
Resolution		8			Bits

1 単位は、1°Cあたりの10進数で表した最下位ビット (LSB)。

## トランスマッタ仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、Tc = 25°C。

特に指定のない限り、測定は送信モードで行い、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定、16チャンネルすべてがアクティブ。

## 仕様

表 2.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
TRANSMITTER					
Output P1dB		15	17.9		dBm
Output IP3	100MHzのトーン間隔		23.1		dBm
Gain	分配損失を含む	16.5	21.4		dB
Gain Dynamic Range		31	33.4		dB
Gain Step					
DVGA 1	6ビットの制御を使用		0.5		dB
DVGA 2	5ビットの制御を使用		1.0		dB
Gain Error			±0.1		dB
Input Return Loss			-14		dB
Output Return Loss			-9		dB
Noise Figure			31.1		dB
Power Consumption per Channel					
Nominal Power Mode					
At P1dB	出力電力 = 17dBm		0.60		W
Backoff from P1dB	出力電力 = 0dBm		0.40		W
Medium Power Mode					
At P1dB	出力電力 = 15.5dBm		0.48		W
Backoff from P1dB	出力電力 = 0dBm		0.32		W
Low Power Mode					
At P1dB	出力電力 = 14dBm		0.36		W
Backoff from P1dB	出力電力 = 0dBm		0.24		W
POWER DETECTOR					
Output Power Range			-15/+15		dBm
Power Detector Range <sup>1</sup>			30		dB
Resolution			6		Bits

1 SPIを介してプログラム可能な特定の範囲についての詳細は、AN-2021アプリケーション・ノートを参照してください。

## レシーバー仕様

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、T<sub>c</sub> = 25°C。

特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGAは最大ゲインに設定、16チャンネルすべてがアクティブ。

表 3.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RECEIVER					
Single-Channel Noise Figure					
16 Channels Active, Single Input		17			dB
1 Channel Active <sup>1</sup> , Single Input		5			dB
Input P1dB		-22.5	-21.0		dBm
Input IP3	100MHzのトーン間隔		-13.3		dBm
Electrical Gain(EG) <sup>2</sup>	16チャンネルがアクティブ		20.0		dB
Single Channel Gain (SCG)	1チャンネルがアクティブ	4	8.0		dB
Gain Dynamic Range			17		dB
Gain Step	6ビットの制御を使用		0.5		dB
Gain Step Error			±0.1		dB

## 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Input Return Loss		-15			dB
Output Return Loss		-13			dB
Power Consumption Per Channel					
Nominal Power Mode		0.22			W
Medium Power Mode		0.21			W
Low Power Mode		0.16			W

- 1 単一チャンネルのノイズ指数は、次式に従って計算します。  $SCNFM = SCNFI + 10 \times \log(M)$ 、ここで、SCNFMはアクティブなチャンネル数がMの場合に測定される単一チャンネルのノイズ指数。
- 2 電気的ゲイン (EG) は、 $EG = SCG + SPL$ に従って計算されます。ここで、SCGは1つのチャンネルがアクティブな場合の単一チャンネルのゲイン、SPLは理想的なスプリッタ・ネットワークの損失のことで  $10 \times \log(N)$  で表されます (Nは合算数)。ADMV4801の場合、スプリッタの合計が16:1となるので、SPLは12となります。通常、EGの値は、カスケード・ノイズ指数とゲインの計算を行うために用います。コヒーレント・ゲイン (CG) は、 $CG = EG + 10 \times \log(M)$  に従って計算します。ここで、EGは電気的ゲイン、Mは同相信号を持つアクティブ・チャンネルの数です。

## シリアル・ポート・インターフェース (SPI)

詳細については、[SPIの情報](#)のセクションを参照してください。

表 4. ロジック入出力仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC INPUTS	CHIP_ADD0～CHIP_ADD3、SPI_MODE、RST、LOAD、SDIO、 $\overline{CS}$ 、SCLK、TRX				
Input Voltage					
High ( $V_{IH}$ )		1.2	1.8		V
Low ( $V_{IL}$ )		0	0.63		V
High and Low Input Current ( $I_{INH}$ , $I_{INL}$ )		7			$\mu$ A
Input Capacitance ( $C_{IN}$ )		0.4			pF
LOGIC OUTPUTS	CLK_OUT、SDO、SDIO				
Output Voltage					
High ( $V_{OH}$ )	出力ハイ電流 ( $I_{OH}$ ) = 8mA	1.35			V
Low ( $V_{OL}$ )	出力ロー電流 ( $I_{OL}$ ) = 8mA		0.45		V

表 5. タイミング仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Maximum SCLK Rate ( $t_{SCLK}$ )					
SRAM Write			61.44		MHz
SRAM Read			61.44		MHz
Register Write			61.44		MHz
Register Read			30.72		MHz
Pulse Width	最初のデータ・ビットを倍クロックで抽出		61.44		MHz
SCLK Minimum Pulse Width					
High ( $t_{HIGH}$ )		4			ns
Low ( $t_{LOW}$ )		4			ns
$\overline{CS}$ Minimum Pulse Width High	2回の書き込みまたは読み出しの間	3			ns
RSTB Minimum Pulse Width Low		2.5			ns
LOAD Minimum Pulse Width					
High		5.5			ns
Low		3.1			ns
Minimum Setup Time					

## 仕様

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
$\overline{\text{CS}}$ to SCLK ( $t_S$ )		1.0			ns
SDIO to SCLK ( $t_{DS}$ )		1.0			ns
Minimum Hold Time					
SCLK to $\overline{\text{CS}}$ ( $t_{H1}$ )	SCLKの立下がりエッジ図76参照	0.8			ns
SCLK to SDIO ( $t_{DH}$ )		2.8			ns
SDO					
Data Valid, SDO to SCLK ( $t_{DV}$ )	SCLKの立下がりエッジ図77参照	6.0			ns
Rise Time	10%/から90%まで	2.0			ns
Fall Time	90%/から10%まで	2.6			ns

## 絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Supply Voltage	
VDD1 to VDD8, VDD_DIG_3P3V, VCC_BG_3P3V, VDD_ADC_3P3V	3.6 V
Digital Input/Output (I/O) Voltages	
Logic Input Low	0.63 V
Logic Input High	1.95 V
RF Input Power	0 dBm
Maximum Junction Temperature	125°C
Maximum Power Dissipation <sup>1</sup>	25 W
Lifetime at Maximum Junction Temperature (T <sub>J</sub> )	1 × 10 <sup>6</sup> hours
Operating Case Temperature Range	-40°C to +95°C
Storage Temperature Range	-55°C to +150°C
Lead Temperature (Soldering 60 sec)	260°C
Moisture Sensitivity Level (MSL) Rating <sup>2</sup>	MSL3
Top Side Force Ratings	
One Time Maximum	5.44 kgf
Constant	1 kgf
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	3.5 kV
Field Induced Charged Device Model (FICDM)	750 V

1 最大消費電力は、(T<sub>J</sub> - 95°C)/θ<sub>JC\_TOP</sub>から計算した理論値です。

2 IPC/JEDEC J-STD-20 MSL分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ<sub>JA</sub>は、1立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。θ<sub>Jc</sub>は、ジャンクションとケースの間の熱抵抗です。

記載されているすべてのテスト条件がJEDEC仕様と同様な場合は、θ<sub>JA</sub>とθ<sub>Jc</sub>のみを用いて、異なるパッケージの熱性能を比較できます。それ以外の場合は、Ψ<sub>JT</sub>とΨ<sub>JB</sub>を用いて、次式に従ってデバイスのジャンクション温度を計算します。

$$T_J = (P \times \Psi_{JT}) + T_{TOP} \quad (1)$$

ここで、

T<sub>TOP</sub>はパッケージ上面の温度 (°C) 、T<sub>TOP</sub>はパッケージ上面中央で測定した値です。

Ψ<sub>JT</sub>はジャンクションと上面の間の熱特性値です。

Pはチップ内の総消費電力 (W) 。

$$T_J = (P \times \Psi_{JB}) + T_{BOARD} \quad (2)$$

ここで、

T<sub>BOARD</sub>はパッケージ本体の長辺の中間で端から1mm以内の点で測定したボードの温度 (°C) です。

Ψ<sub>JB</sub>は、ジャンクションとボードの間の熱特性値です。

Pはチップ内の総消費電力 (W) です。

JEDEC51-12に記載のとおり、ヒート・シンクまたはヒート・スプレッダがない場合は、式1および式2のみを使用してください。ヒート・シンクまたはヒート・スプレッダが追加されている場合は、θ<sub>Jc\_TOP</sub>を用いてジャンクション温度を推定または計算します。このデバイスに推奨されるヒート・シンクまたはヒート・スプレッダの配置方法は、適切な放熱グリースを用いてデバイスの露出パッドの上面にヒート・シンクを接触させることです。これにより、デバイスのジャンクション温度を効率的に下げることができます。

表 7. 热抵抗

Package Type <sup>1</sup>	θ <sub>JA</sub> <sup>2</sup>	θ <sub>Jc_TOP</sub> <sup>3</sup>	Ψ <sub>JT</sub> <sup>4</sup>	Ψ <sub>JB</sub> <sup>5</sup>	Unit
CC-72-3					
Transmit Mode	16.0	0.9	1.3	2.7	°C/W
Receive Mode	17.3	1.5	1.9	3.2	°C/W

1 特に指定のない限り、表7に仕様規定されている熱抵抗値は、JEDEC仕様に基づいて計算されており、JESD51-12に準拠して使用します。

2 θ<sub>JA</sub>は、自然対流 (JEDEC環境) でのジャンクションと周囲の間の熱抵抗です。

3 θ<sub>Jc\_TOP</sub>は、ジャンクションとケース (上面) の間のJEDEC熱抵抗です。

4 Ψ<sub>JT</sub>は、ジャンクションと上面の間のJEDEC熱特性評価パラメータです。

5 Ψ<sub>JB</sub>は、ジャンクションとボードの間のJEDEC熱特性評価パラメータです。

## ESDに関する注意



## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することができます。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

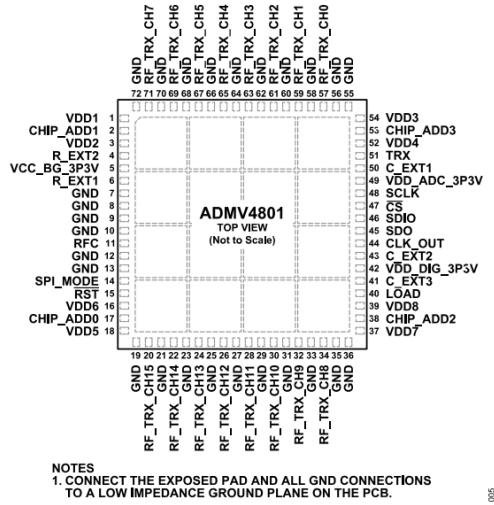


図 2. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	VDD1	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
2	CHIP_ADD1	チップ・セレクト・アドレス・ビット1の入力（1.8V CMOSロジック）。CHIP_ADD0、CHIP_ADD2、CHIP_ADD3の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
3	VDD2	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
4	R_EXT2	内蔵LDO回路への接続。このピンとグラウンドの間には、公差1%未満の高精度1.1kΩ抵抗を直列に接続する必要があります。
5	VCC_BG_3P3V	VGAチップのバンド・ギャップ回路用3.3V電源。グラウンドとの間に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01μFのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
6	R_EXT1	内蔵LDO回路への接続。このピンとグラウンドの間には、公差1%未満の高精度1.1kΩ抵抗を直列に接続する必要があります。
7 to 10, 12, 13, 19, 21, 23, 25, 27, 29, 31, 33, 35, 36, 55, 56, 58, 60, 62, 64, 66, 68, 70, 72	GND	グラウンド。PCBの低インピーダンス・プレーンに、すべてのグラウンド・ピンとグラウンドをまとめて接続します。
11	RFC	RF入力／出力共通。このピンは内部でグラウンドにDCカップリングされ、50Ωのシングルエンドに整合されています。
14	SPI_MODE	アナログ・デバイセズの標準SPIモード・セレクト・ピン。アナログ・デバイセズの標準SPIモード動作を行うには、このピンをロジック・ローに設定します。各種SPIモードの詳細については、AN-2021アプリケーション・ノートを参照してください。
15	RST	SPIリセットはアクティブ・ローのインターフェースです。通常動作ではこのピンをロジック・ハイに接続します。SPIロジックは1.8Vです。
16	VDD6	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。

## ピン配置およびピン機能の説明

ピン番号	記号	説明
17	CHIP_ADD0	チップ・セレクト・アドレス・ビット0の入力 (1.8V CMOSロジック)。CHIP_ADD1、CHIP_ADD2、CHIP_ADD3の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
18	VDD5	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
20	RF_TRX_CH15	受信モードまたは送信モードでのチャンネル15の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
22	RF_TRX_CH14	受信モードまたは送信モードでのチャンネル14の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
24	RF_TRX_CH13	受信モードまたは送信モードでのチャンネル13の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
26	RF_TRX_CH12	受信モードまたは送信モードでのチャンネル12の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
28	RF_TRX_CH11	受信モードまたは送信モードでのチャンネル11の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
30	RF_TRX_CH10	受信モードまたは送信モードでのチャンネル10の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
32	RF_TRX_CH9	受信モードまたは送信モードでのチャンネル9の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
34	RF_TRX_CH8	受信モードまたは送信モードでのチャンネル8の入力または出力用アンテナ接続。このピンはDCカップリングされ、50Ωのシングルエンドに整合されています。
37	VDD7	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
38	CHIP_ADD2	チップ・セレクト・アドレス・ビット2の入力 (1.8V CMOSロジック)。CHIP_ADD0、CHIP_ADD1、CHIP_ADD3の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンはグラウンドに接続します。
39	VDD8	RF信号バス用3.3V電源。グラウンドとの間に6.04Ωの抵抗と直列に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04Ωの抵抗と直列に1μFのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5Ωの抵抗と直列に0.15μFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
40	LOAD	16チャンネルすべてに対応するトランスマッタ・レジスタおよびレシーバー・レジスタのロード入力 (1.8V CMOSロジック)。このピンをロジック・ローからロジック・ハイに3回遷移させると、トランスマッタおよびレシーバー・チャンネルのホールディング・レジスタの内容がワーキング・レジスタに転送されます。
41	C_EXT3	内蔵1.8VリファレンスLDO回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5Ωの抵抗と直列に3.3μFのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
42	VDD_DIG_3P3V	デジタル回路用LDO回路の3.3V電源。グラウンドとの間に10μFのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01μFのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
43	C_EXT2	内蔵1.8VリファレンスLDO回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5Ωの抵抗と直列に3.3μFのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
44	CLK_OUT	SPIクロック出力 (1.8V CMOSロジック)。通常の動作条件では、このピンをグラウンドに接続します。
45	SDO	SPIシリアル・データ出力 (1.8V CMOSロジック)。
46	SDIO	SPIシリアル・データ入力/出力 (1.8V CMOSロジック)。4線式SPIモードの場合、このピンはSPIシリアル・データ入力になります。3線式SPIモードの場合、このピンはSPIシリアル・データ入力/出力になります。
47	CS	SPIチップ・セレクト入力 (1.8V CMOSロジック)。シリアル通信は、CSピンがロジック・ローになるとイネーブルになります。シリアル・データ・コマンドの最後でCSピンがロジック・ハイにセットされると、そのレジスタ・アドレスに書き込まれるデータがコマンド内で与えられます。各種SPIモードでのCSピンの使用方法の詳細については、AN-2021アプリケーション・ノートを参照してください。

## ピン配置およびピン機能の説明

ピン番号	記号	説明
48	SCLK	SPIシリアル・クロック入力 (1.8V CMOSロジック)。書込みモードでは、SCLKの立ち上がりエッジでデータがサンプリングされます。読み出しサイクルでは、出力データはSCLKの立ち下がりエッジで変化します。
49	VDD_ADC_3P3V	デジタル回路用LDO回路の3.3V電源。グラウンドとの間に10 $\mu$ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に0.01 $\mu$ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に100pFのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
50	C_EXT1	内蔵1.8VリファレンスLDO回路のデカップリング・ピン接続。このピンとグラウンドの間には、1.5 $\Omega$ の抵抗と直列に3.3 $\mu$ Fのコンデンサを接続する必要があります。このピンとグラウンドの間で測定される電圧は1.8Vです。
51	TRX	TDD動作用送信および受信モード・セレクト入力 (1.8V CMOSロジック)。入力信号の立上がりエッジで、受信モードから送信モードに切り替わります。入力信号の立下がりエッジで、送信モードから受信モードに切り替わります。スタートアップ時、ADMV4801が受信モードで起動するよう、このピンはロジック・ローに設定します。
52	VDD4	RF信号バス用3.3V電源。グラウンドとの間に6.04 $\Omega$ の抵抗と直列に10 $\mu$ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04 $\Omega$ の抵抗と直列に1 $\mu$ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5 $\Omega$ の抵抗と直列に0.15 $\mu$ Fのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
53	CHIP_ADD3	チップ・セレクト・アドレス・ビット2の入力 (1.8V CMOSロジック)。CHIP_ADD0、CHIP_ADD1、CHIP_ADD2の各ピンと共に、このピンは、シリアルの命令およびデータを受け取る16個のデバイスの1つを選択します。通常の動作条件では、このピンをグラウンドに接続します。
54	VDD3	RF信号バス用3.3V電源。グラウンドとの間に6.04 $\Omega$ の抵抗と直列に10 $\mu$ Fのシャント・コンデンサを接続します。次に、グラウンドとの間に6.04 $\Omega$ の抵抗と直列に1 $\mu$ Fのシャント・コンデンサを接続し、更に、グラウンドとの間に1.5 $\Omega$ の抵抗と直列に0.15 $\mu$ Fのシャント・コンデンサをこのピンのできるだけ近い位置に接続します。素子の配置については、ADMV4801-EVALZのユーザ・ガイドを参照してください。
57	RF_TRX_CH0	受信モードまたは送信モードでのチャンネル0の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
59	RF_TRX_CH1	受信モードまたは送信モードでのチャンネル1の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
61	RF_TRX_CH2	受信モードまたは送信モードでのチャンネル2の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
63	RF_TRX_CH3	受信モードまたは送信モードでのチャンネル3の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
65	RF_TRX_CH4	受信モードまたは送信モードでのチャンネル4の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
67	RF_TRX_CH5	受信モードまたは送信モードでのチャンネル5の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
69	RF_TRX_CH6	受信モードまたは送信モードでのチャンネル6の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
71	RF_TRX_CH7	受信モードまたは送信モードでのチャンネル7の入力または出力用アンテナ接続。このピンはDCカップリングされ、50 $\Omega$ のシングルエンドに整合されています。
	EPAD (裏面)	露出パッド。PCBの低インピーダンス・グラウンド・プレーンに、露出パッドとすべてのGND接続を接続します。

## 代表的な性能特性

## 送信モード

特に指定のない限り、VDD1～VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

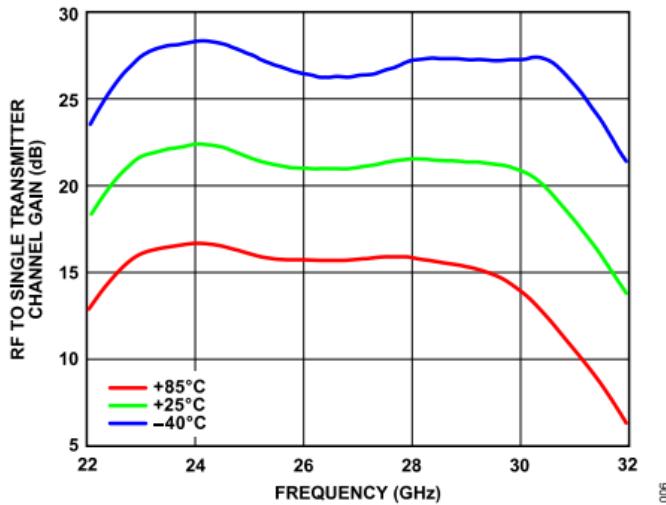


図 3. 異なる温度でのRFから単一トランシミッタ・チャンネルまでのゲインと周波数の関係（最大ゲイン設定時）

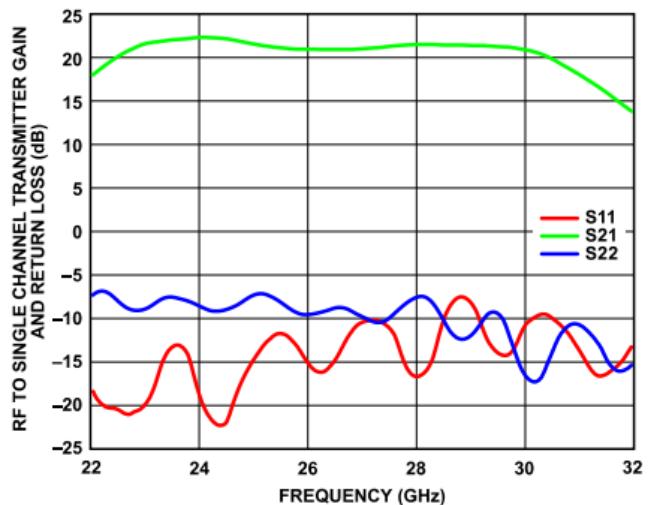


図 5. RFから単一チャンネル・トランシミッタまでのゲインおよびリターン損失と周波数の関係（最大ゲイン設定時）

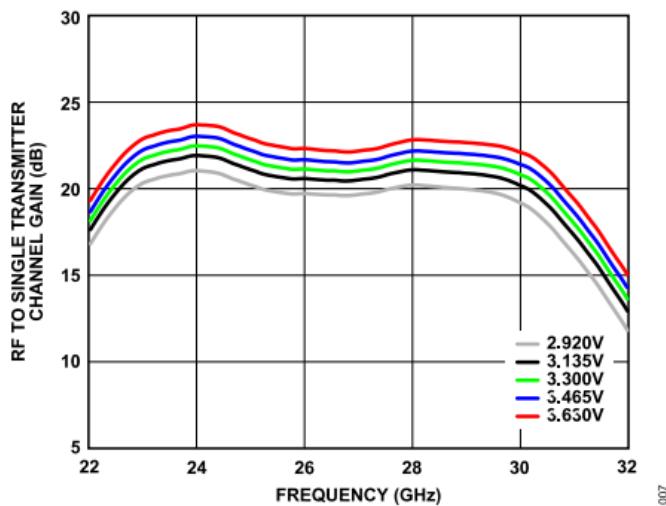


図 4. 異なる電源電圧でのRFから単一トランシミッタ・チャンネルまでのゲインと周波数の関係（最大ゲイン設定時）

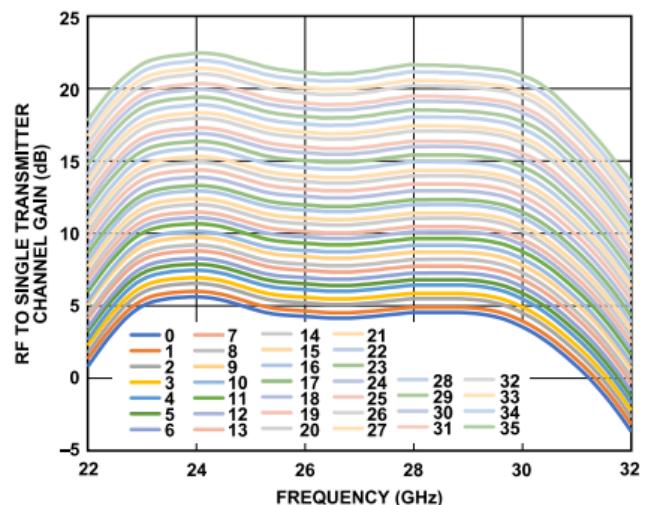


図 6. DVGA 1を0～35の様々な値に設定した場合のRFから単一トランシミッタ・チャンネルまでのゲインと周波数の関係

## 代表的な性能特性

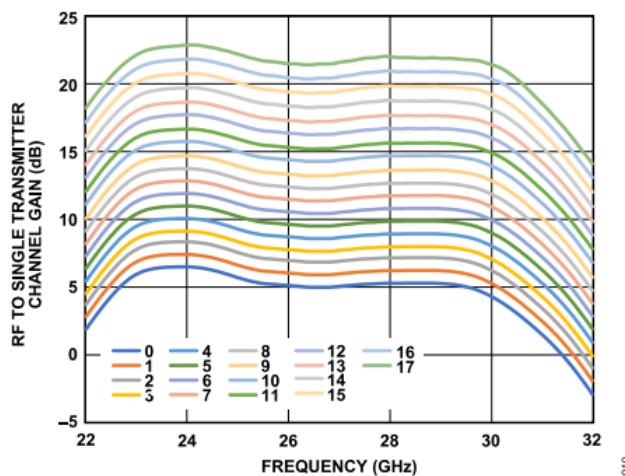


図 7. DVGA 2を0~17の様々な値に設定した場合のRFから單一トランスマッタ・チャンネルまでのゲインと周波数の関係

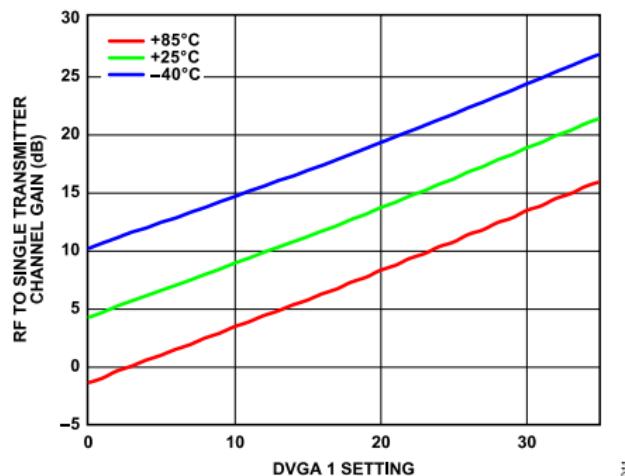


図 8. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲインとDVGA 1の設定値 (0~35) の関係

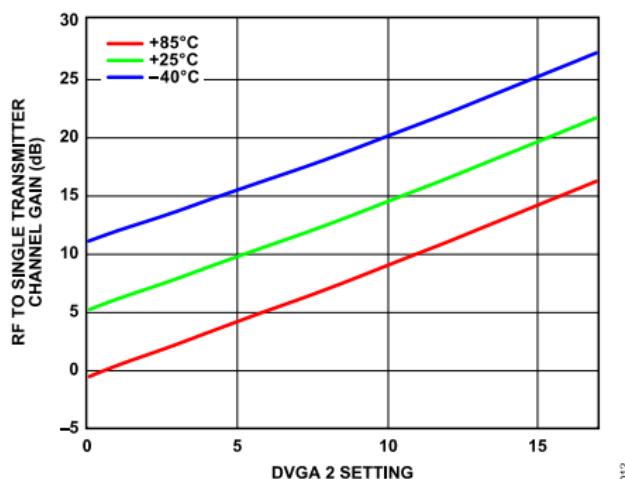


図 9. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲインとDVGA 2の設定値 (0~17) の関係

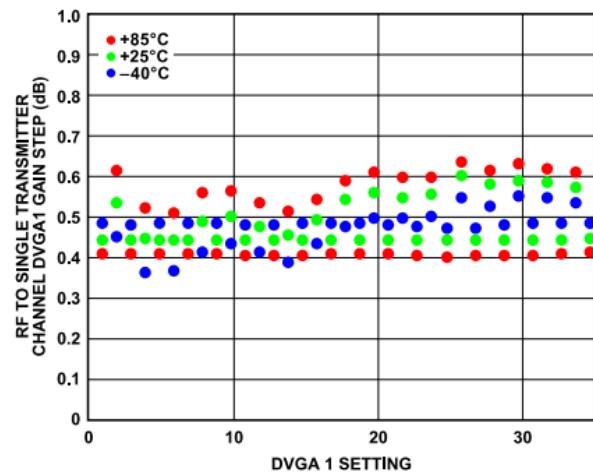


図 10. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのDVGA 1ゲイン・ステップとDVGA 1の設定値 (0~35) の関係

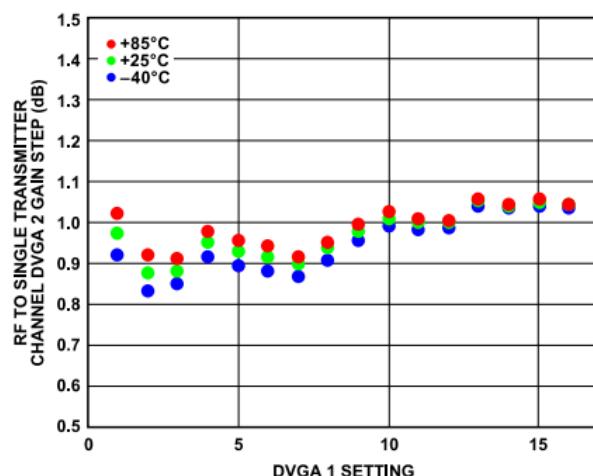


図 11. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのDVGA 2ゲイン・ステップとDVGA 2の設定値 (0~17) の関係

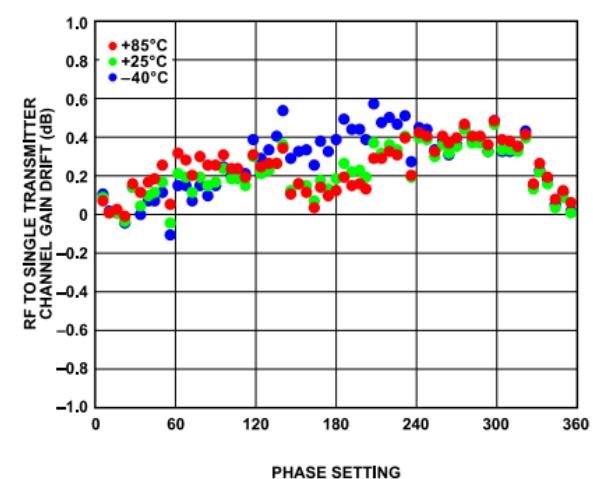


図 12. 異なる温度での27GHzにおけるRFから單一トランスマッタ・チャンネルまでのゲイン・ドリフトと位相設定値 (0°~360°) の関係 (最大ゲイン設定時)

## 代表的な性能特性

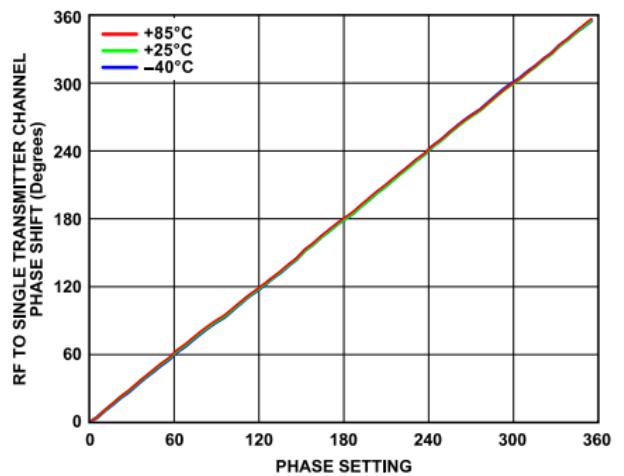


図 13. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでの位相シフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

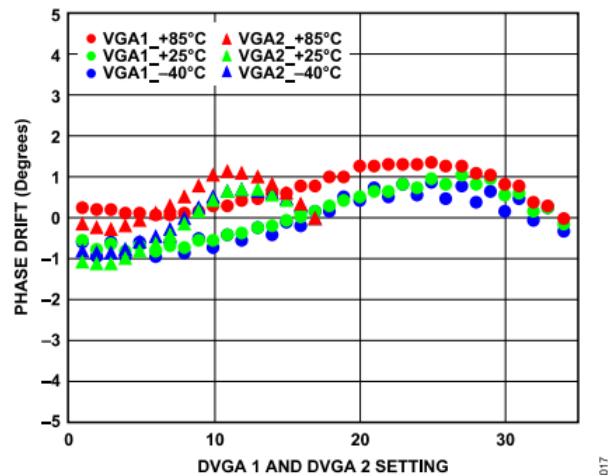


図 14. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでの位相ドリフトとDVGA 1設定値（0～35）およびDVGA 2設定値（0～17）の関係

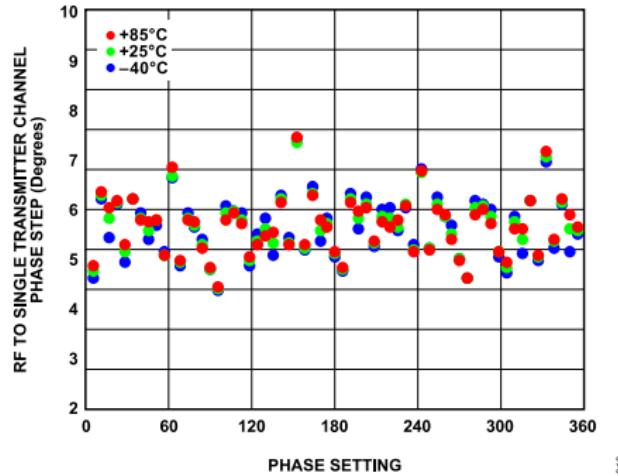


図 15. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでの位相ステップと位相設定値（0°～360°）の関係（最大ゲイン設定時）、公称ステップは5.625°

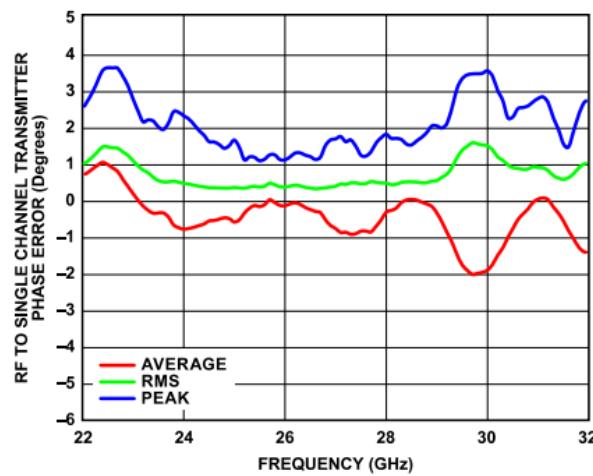


図 16. RFから単一チャンネル・トランスマッタまでの位相誤差（ピーク誤差、平均誤差、RMS誤差）と周波数の関係

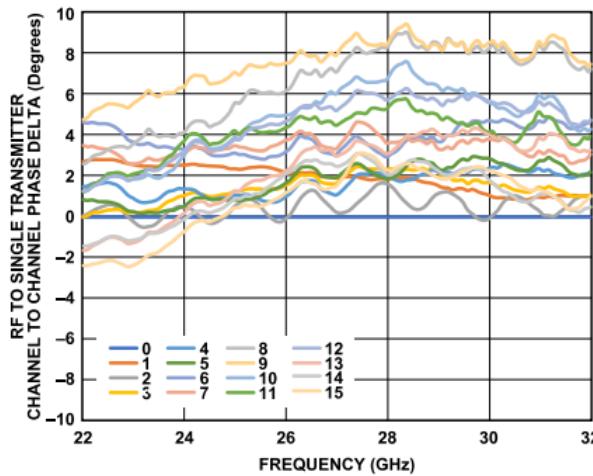


図 17. RFから単一トランスマッタ・チャンネルまでの位相偏差と周波数の関係（最大ゲイン設定時）

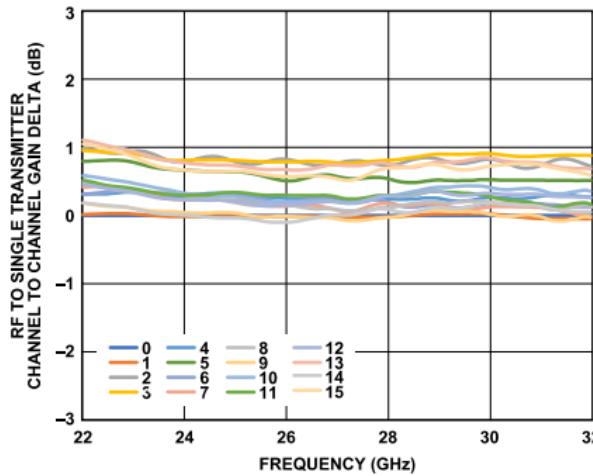


図 18. RFから単一トランスマッタ・チャンネルまでのゲイン偏差と周波数の関係（最大ゲイン設定時）

## 代表的な性能特性

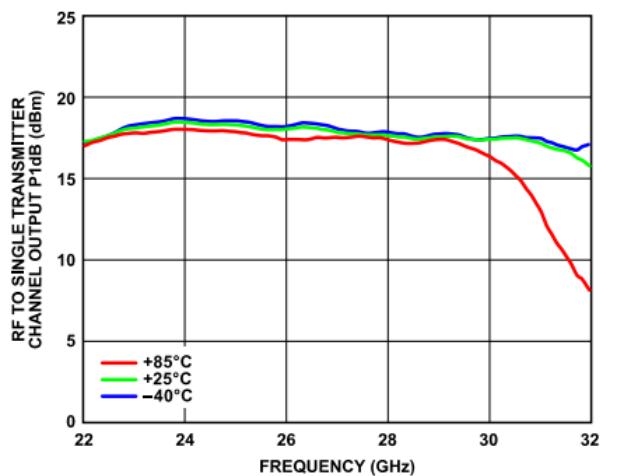


図 19. 異なる温度でのRFから単一トランシッタ・チャンネルまでの出力P1dBと周波数の関係（最大ゲイン設定時）

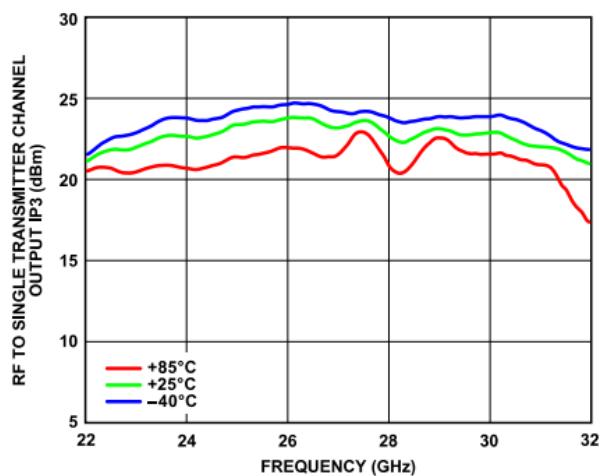


図 22. 異なる温度でのRFから単一トランシッタ・チャンネルまでの出力IP3 (OIP3)と周波数の関係（最大ゲイン設定時）

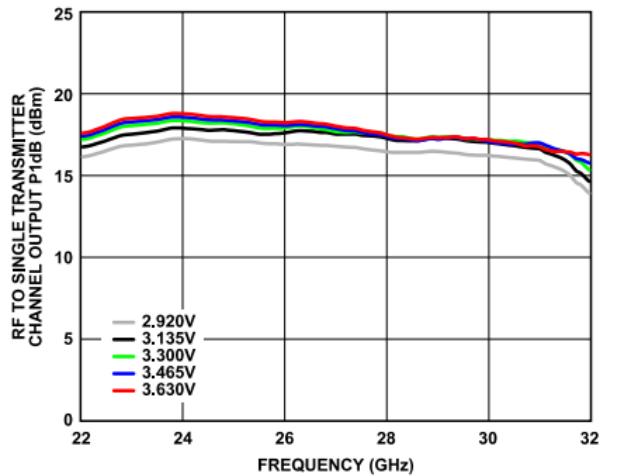


図 20. 異なる電源電圧でのRFから単一トランシッタ・チャンネルまでの出力P1dBと周波数の関係（最大ゲイン設定時）

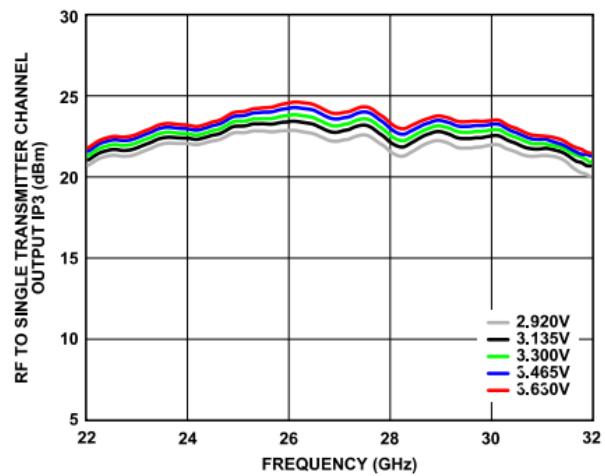


図 23. 異なる電源電圧でのRFから単一トランシッタ・チャンネルまでの出力IP3と周波数の関係（最大ゲイン設定時）

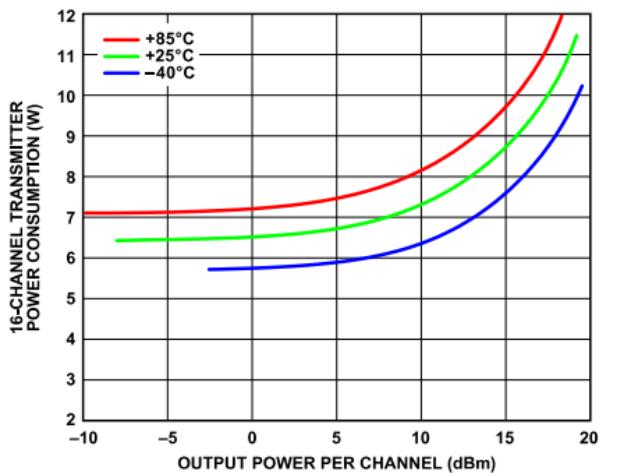


図 21. 16チャンネルのトランシッタの消費電力とチャンネルあたりの出力電力の関係（最大ゲイン設定時）

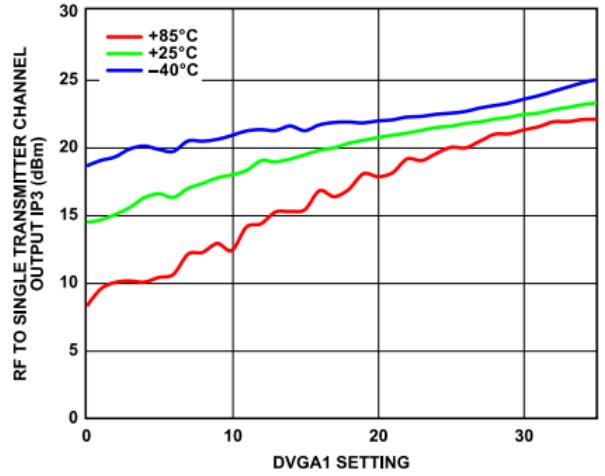


図 24. 異なる温度での27GHzにおけるRFから単一トランシッタ・チャンネルまでの出力IP3とDVGA 1の設定値（0～35）の関係

## 代表的な性能特性

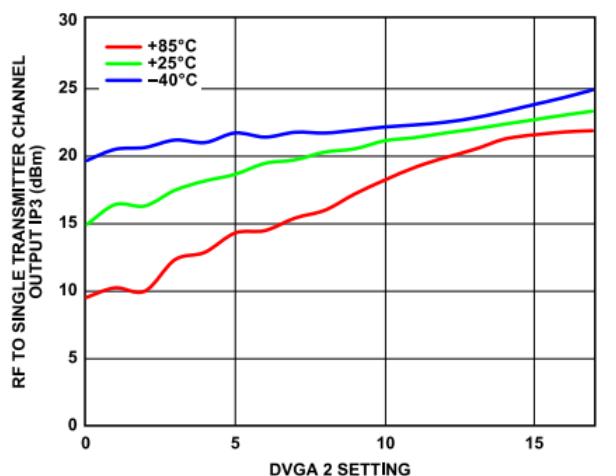


図 25. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでの出力IP3とDVGA 2の設定値（0～17）の関係

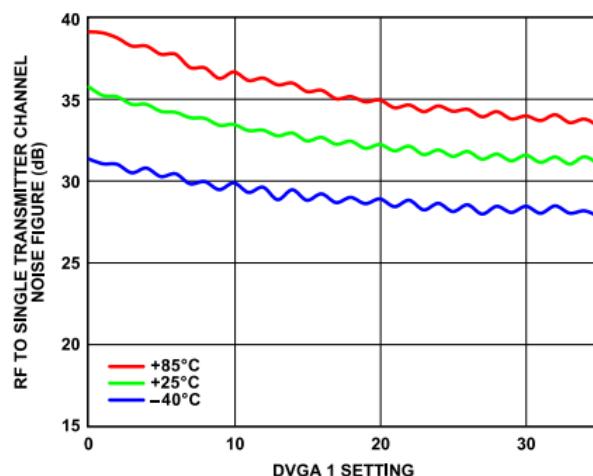


図 28. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでのノイズ指數とDVGA 1の設定値（0～35）の関係

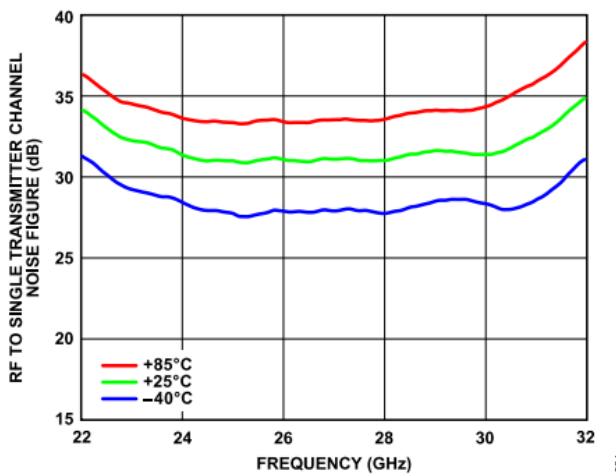


図 26. 異なる温度でのRFから単一トランスマッタ・チャンネルまでのノイズ指數と周波数の関係（最大ゲイン設定時）

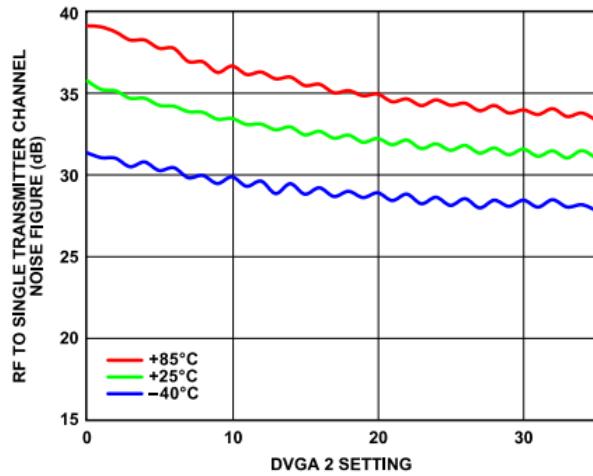


図 29. 異なる温度での27GHzにおけるRFから単一トランスマッタ・チャンネルまでのノイズ指數とDVGA 2の設定値（0～17）の関係

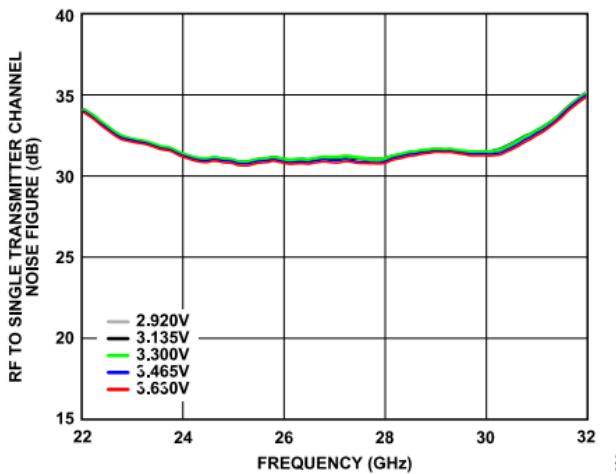


図 27. 異なる電源電圧でのRFから単一トランスマッタ・チャンネルまでのノイズ指數と周波数の関係（最大ゲイン設定時）

## 代表的な性能特性

## パワー・ディテクタの性能

特に指定のない限り、VDD1～VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_C = 25^\circ\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。ディテクタのレンジ設定はレジスタ0x027のビット[6:0]に書き込まれます。

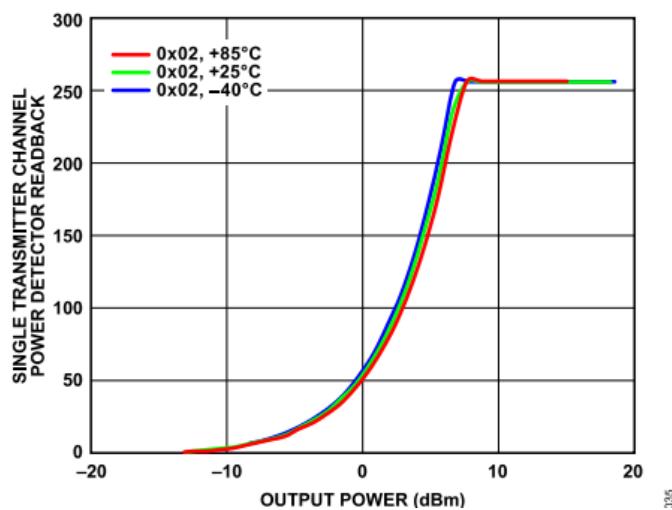


図 30. 異なる温度での27GHzにおける単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と出力電力の関係（最大ゲイン設定時）、ディテクタ・レンジは0x02に設定

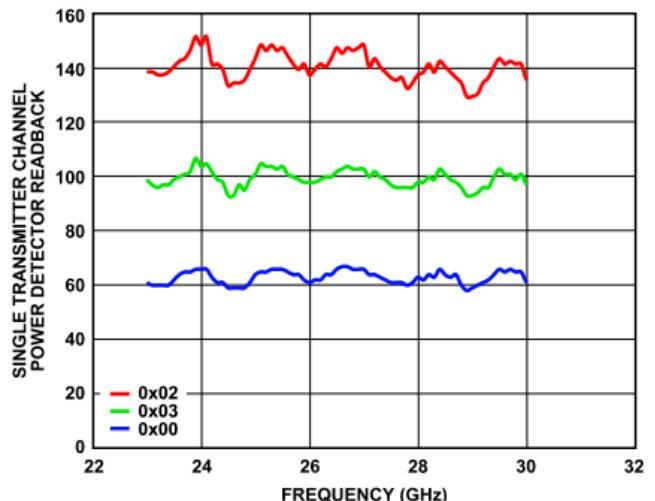


図 32. 異なるディテクタ・レンジ設定での27GHzにおける単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と周波数の関係（最大ゲイン設定時）、入力電力= 5dBm

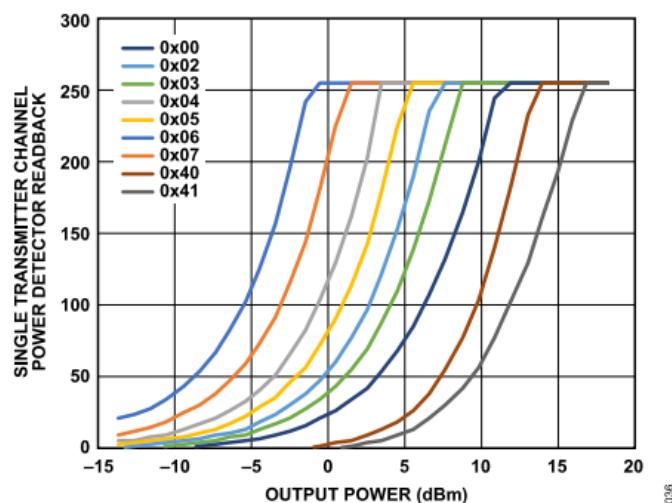


図 31. 異なるディテクタ・レンジ設定での27GHzにおける単一トランスマッタ・チャンネルのパワー・ディテクタのリードバック値と出力電力の関係（最大ゲイン設定時）

## 代表的な性能特性

## レシーバーからトランスマッタへの切替え速度と振幅／位相のセトリング時間

特に指定のない限り、VDD1～VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_C = 25^\circ\text{C}$ 、RF振幅 = -20dBm、DVGA 1およびDVGA 2は最大ゲインに設定。

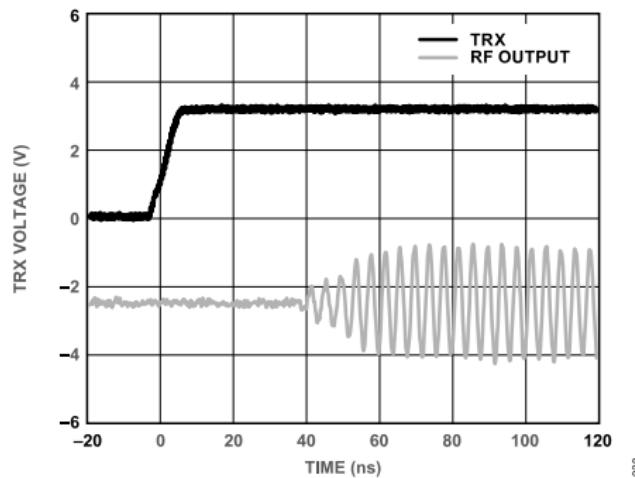


図 33. レシーバーからトランスマッタへのモード切替え時間

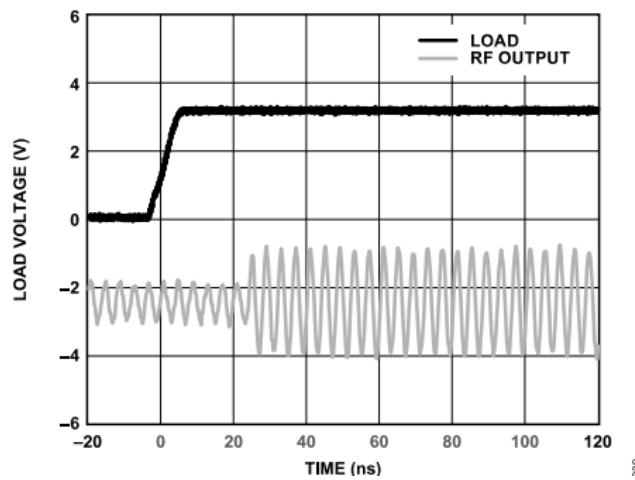


図 34. ゲインのセトリング時間

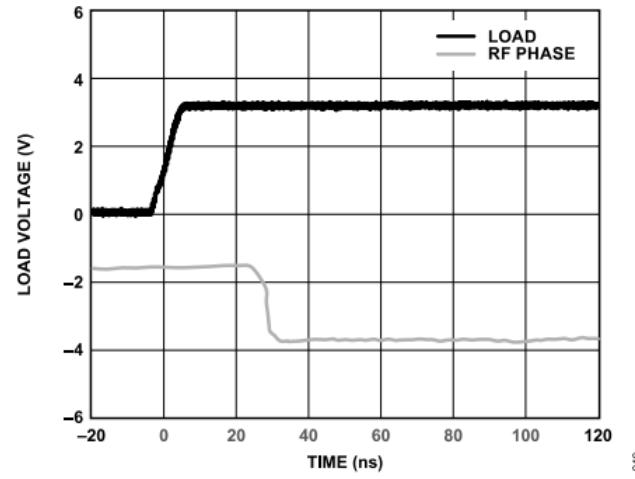


図 35. 位相のセトリング時間

## 代表的な性能特性

## トランスマッタのリバース・アイソレーション性能

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 = VDD6 = VDD7 = VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_c = 25^\circ\text{C}$ 。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGAは最大ゲインに設定。

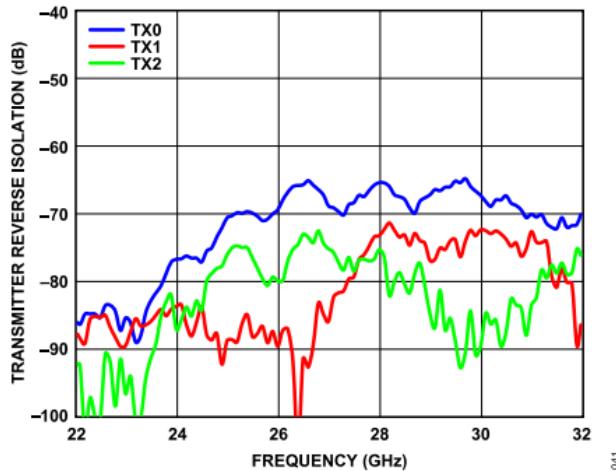


図 36. トランスマッタのリバース・アイソレーション (TX0、TX1、TX2) と周波数の関係

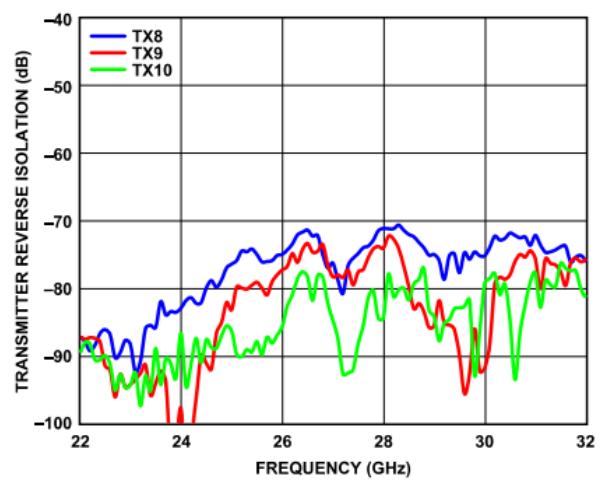


図 39. トランスマッタのリバース・アイソレーション (TX8、TX9、TX10) と周波数の関係

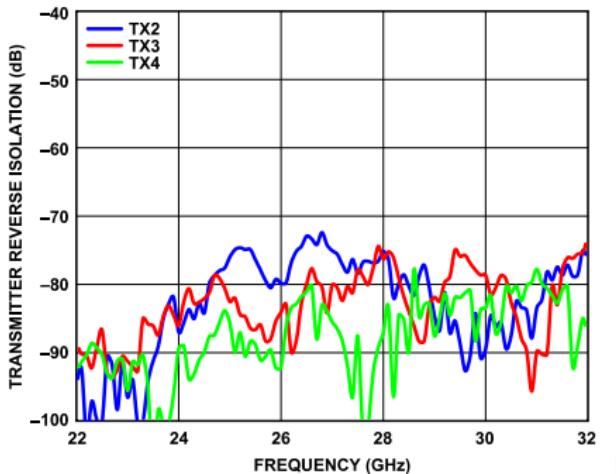


図 37. トランスマッタのリバース・アイソレーション (TX2、TX3、TX4) と周波数の関係

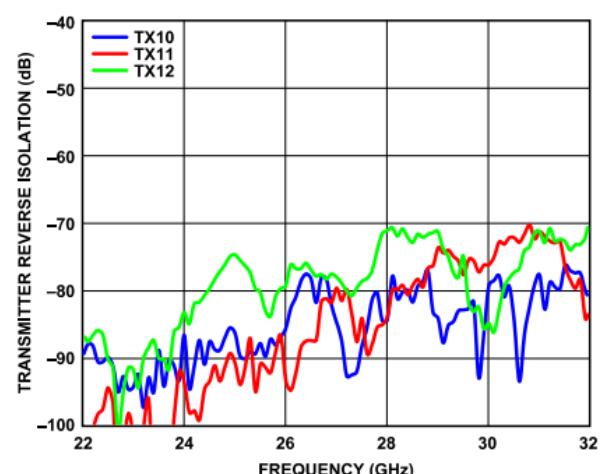


図 40. トランスマッタのリバース・アイソレーション (TX10、TX11、TX12) と周波数の関係

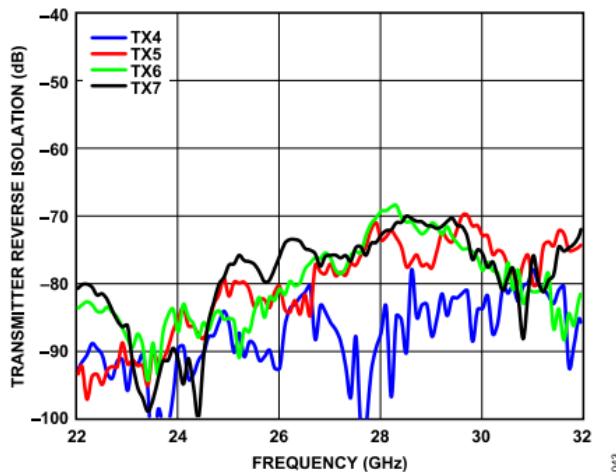


図 38. トランスマッタのリバース・アイソレーション (TX4、TX5、TX6、TX7) と周波数の関係

## 代表的な性能特性

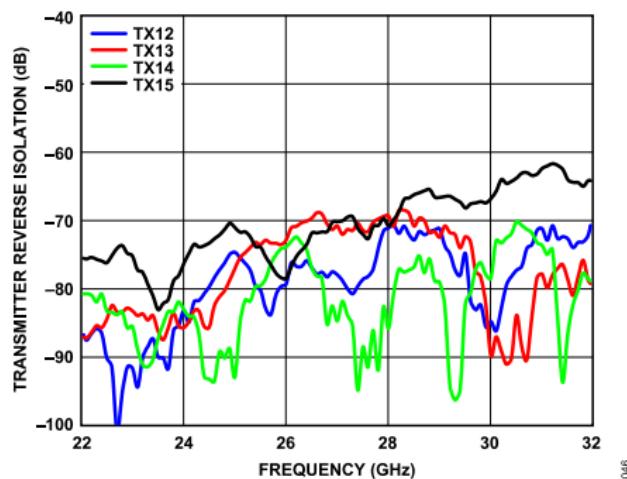


図 41. トランスマッタのリバース・アイソレーション (TX12、TX13、TX14、TX15) と周波数の関係

## 代表的な性能特性

## 受信モード

特に指定のない限り、VDD1～VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_C = 25^\circ\text{C}$ 、RF振幅 = -30dBm、DVGAは最大ゲインに設定。

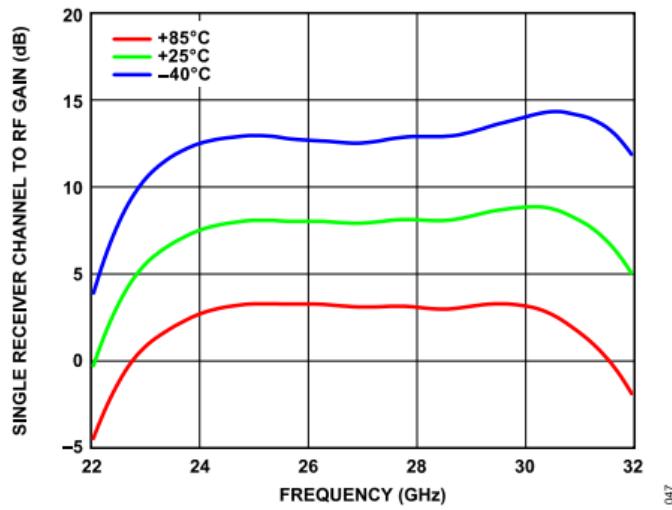


図 42. 異なる温度での単一レシーバー・チャンネルからRFまでのゲインと周波数の関係 (最大ゲイン設定時)

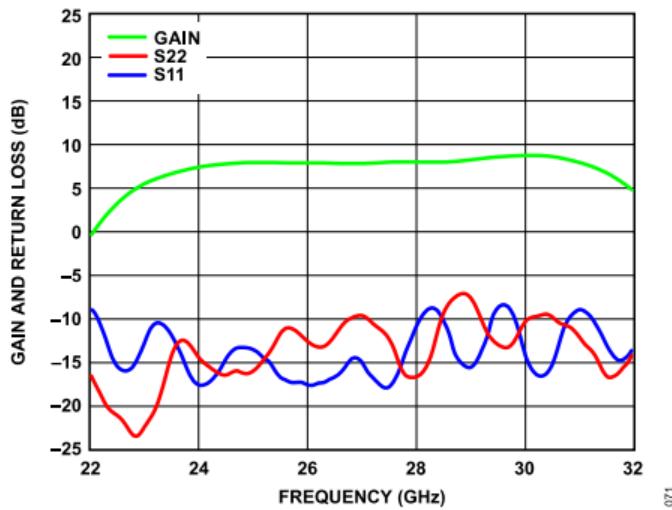


図 43. 単一レシーバー・チャンネルからRFまでのゲインおよびリターン損失と周波数の関係 (最大ゲイン設定時)

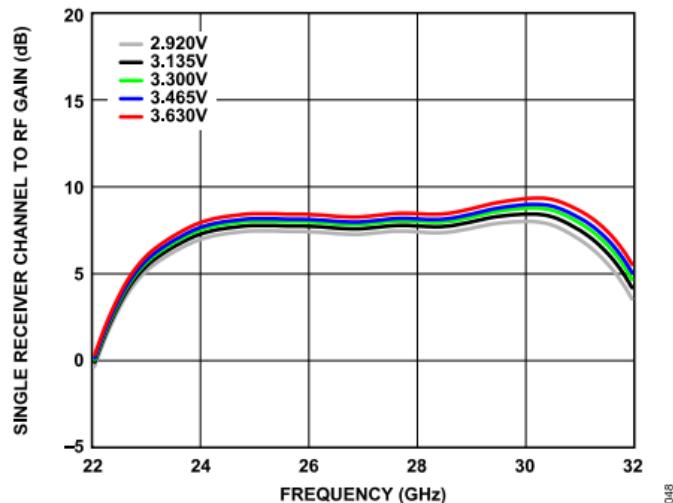


図 44. 異なる電源電圧での単一レシーバー・チャンネルからRFまでのゲインと周波数の関係 (最大ゲイン設定時)

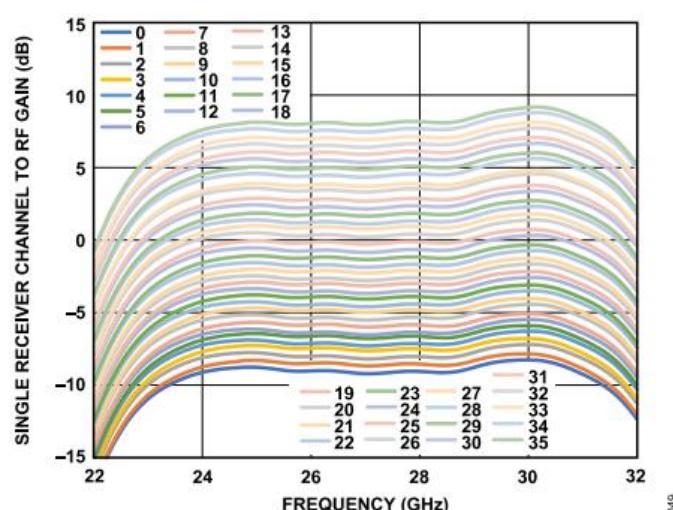


図 45. DVGAを0～35の様々な値に設定した場合の単一レシーバー・チャンネルからRFまでのゲインと周波数の関係

## 代表的な性能特性

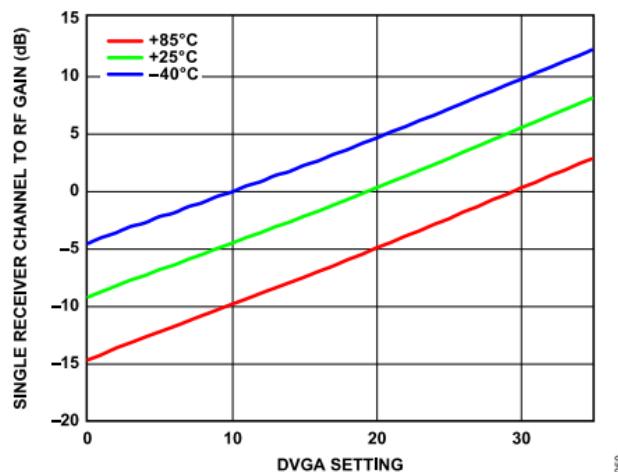


図 46. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのゲインとDVGA設定値（0～35）の関係

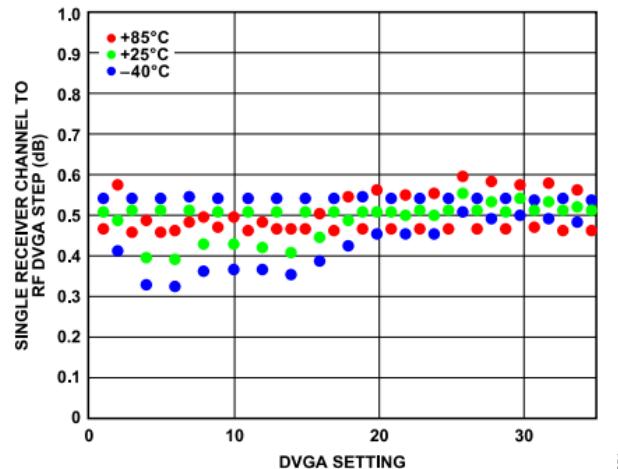


図 47. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのDVGAステップとDVGA設定値（0～35）の関係

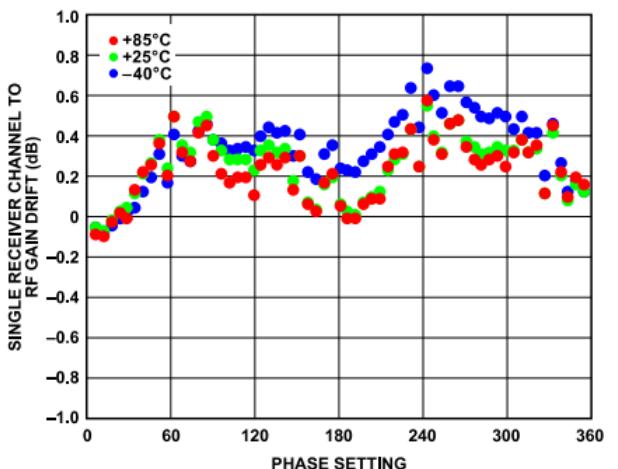


図 48. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのゲイン・ドリフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

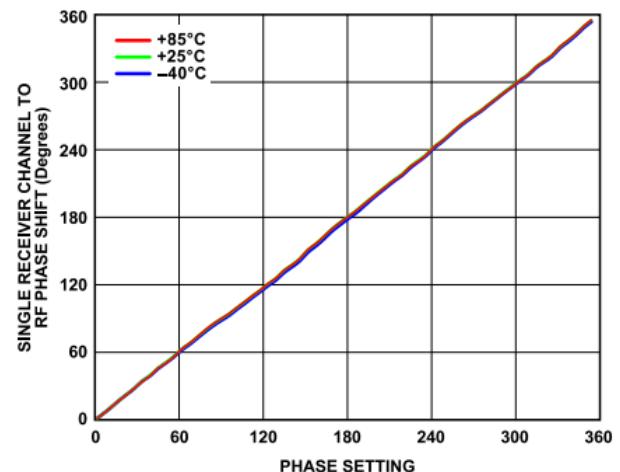


図 49. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相シフトと位相設定値（0°～360°）の関係（最大ゲイン設定時）

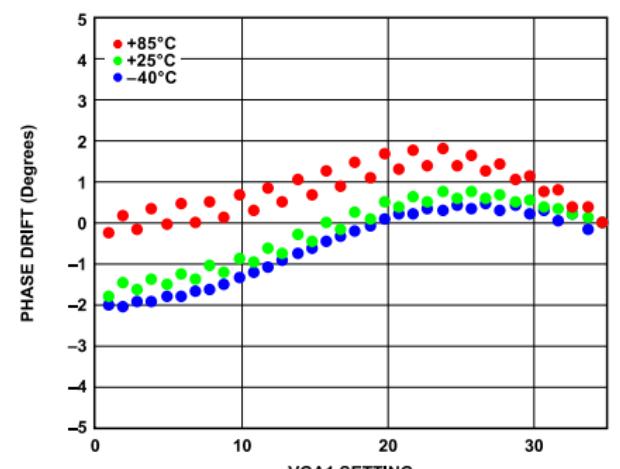


図 50. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ドリフト設定値（0～35）

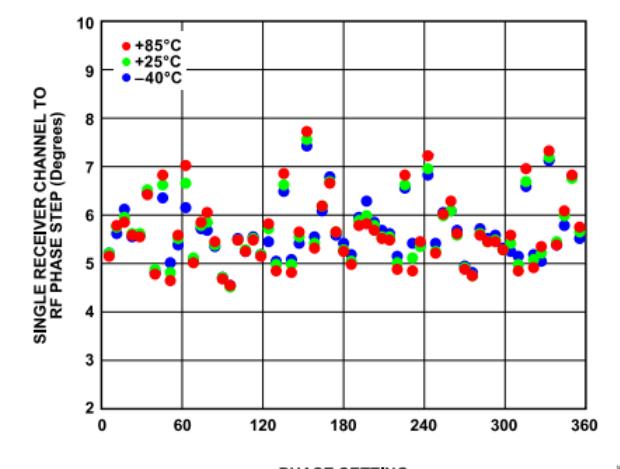


図 51. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの位相ステップと位相設定値（0°～360°）の関係（最大ゲイン設定時）、公称ステップは5.625°

## 代表的な性能特性

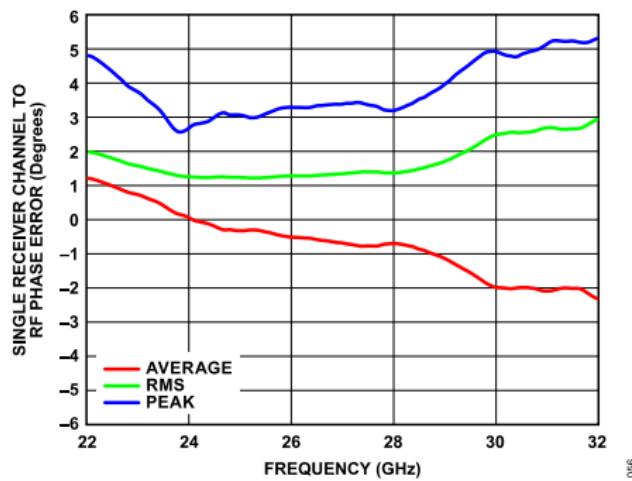


図 52. 単一レシーバー・チャンネルからRFまでの位相誤差（ピーク誤差、平均誤差、RMS誤差）と周波数の関係

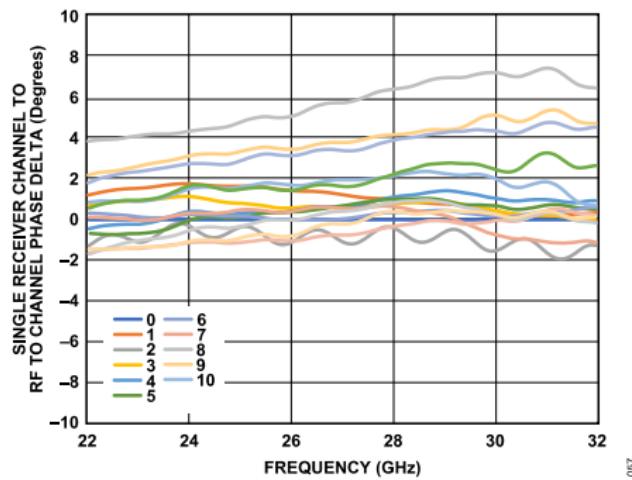


図 53. 単一レシーバー・チャンネルからRFまでの位相偏差と周波数の関係（最大ゲイン設定時）

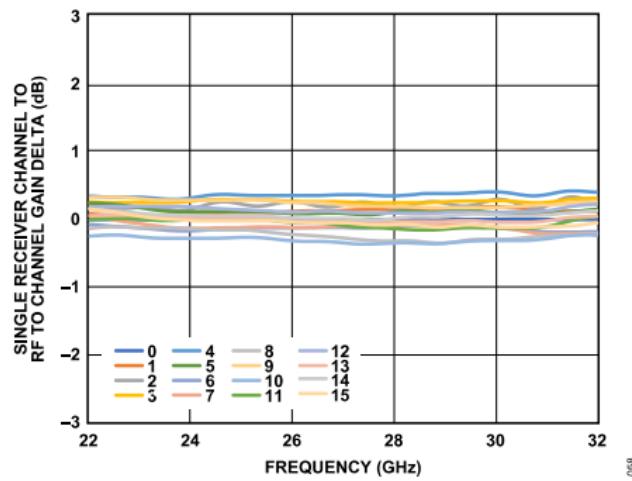


図 54. 単一レシーバー・チャンネルからRFまでのゲイン偏差と周波数の関係（最大ゲイン設定時）

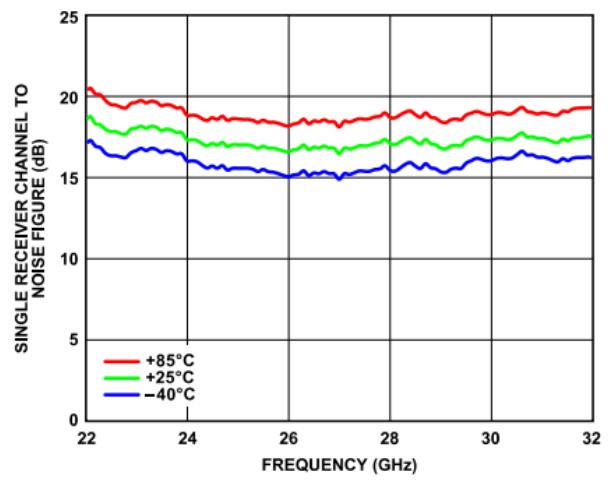


図 55. 異なる温度での単一レシーバー・チャンネルからRFまでのノイズ指數と周波数の関係（最大ゲイン設定時）、16チャンネルがすべてアクティブ

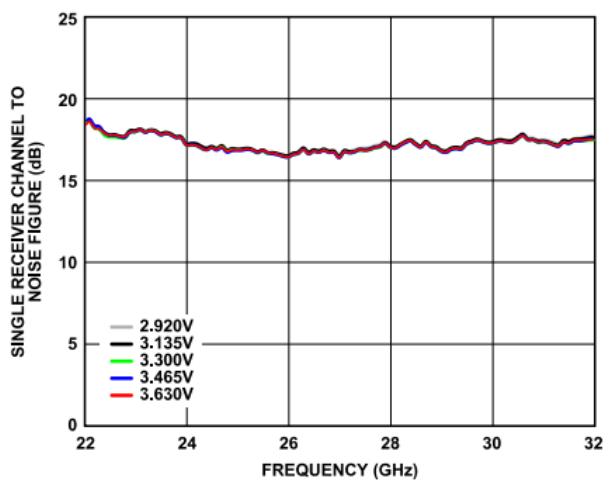


図 56. 異なる電源電圧での単一レシーバー・チャンネルからRFまでのノイズ指數と周波数の関係（最大ゲイン設定時）、16チャンネルがすべてアクティブ

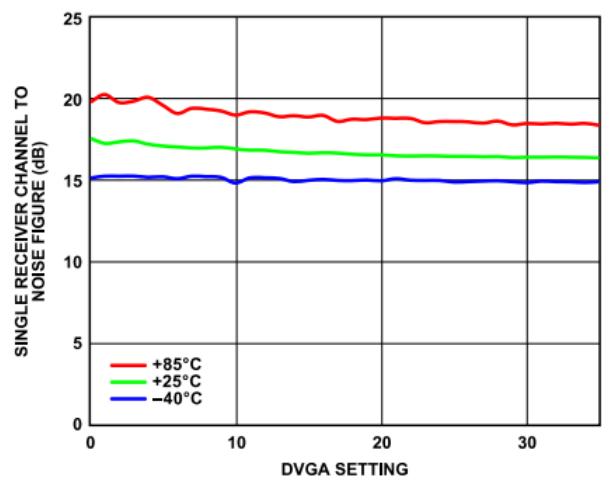


図 57. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでのノイズ指數とDVGA設定値（0～35）の関係、16チャンネルがすべてアクティブ

## 代表的な性能特性

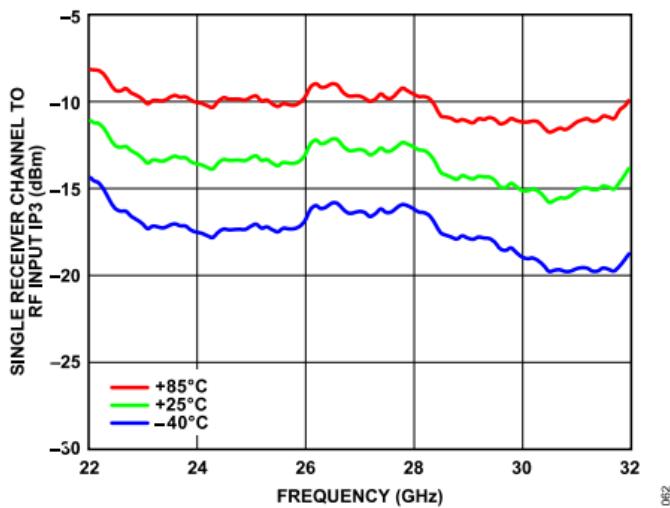


図 58. 異なる温度での単一レシーバー・チャンネルからRFまでの入力IP3(IIP3)と周波数の関係（最大ゲイン設定時）

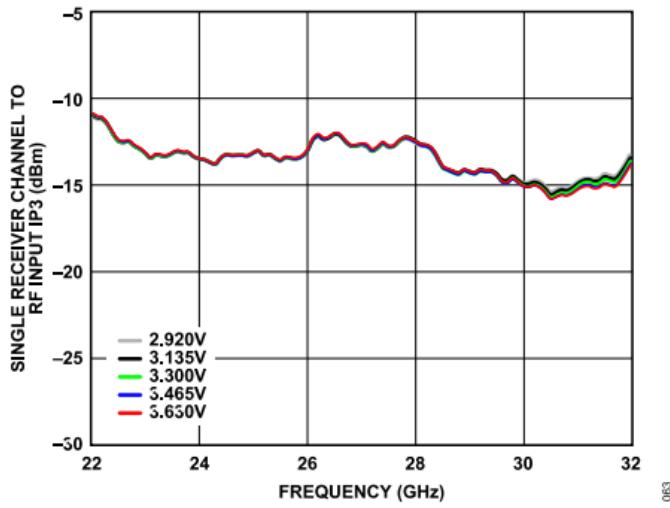


図 59. 異なる電源電圧での単一レシーバー・チャンネルからRFまでの入力IP3と周波数の関係（最大ゲイン設定時）

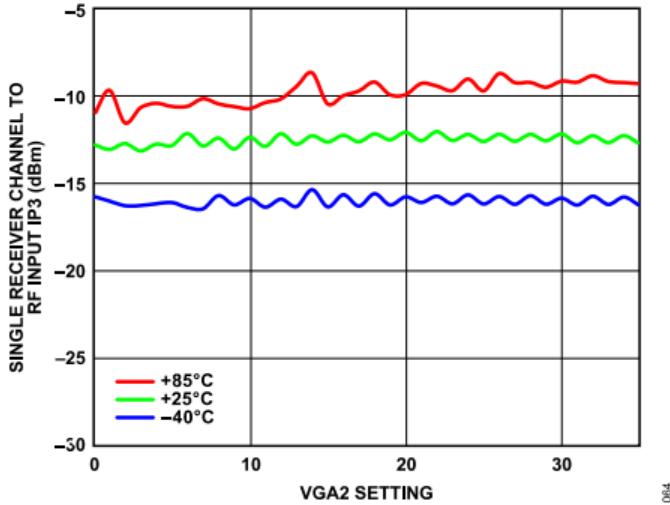


図 60. 異なる温度での27GHzにおける単一レシーバー・チャンネルからRFまでの入力IP3とDVGA設定値（0～35）の関係

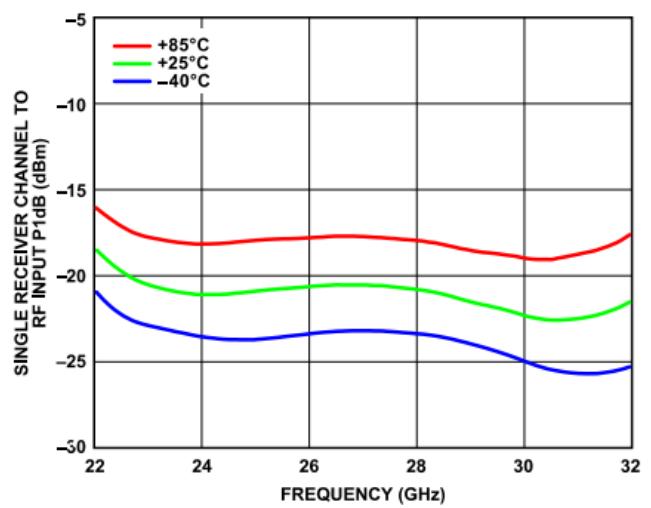


図 61. 異なる温度での単一レシーバー・チャンネルからRFまでの入力P1dBと周波数の関係（最大ゲイン設定時）

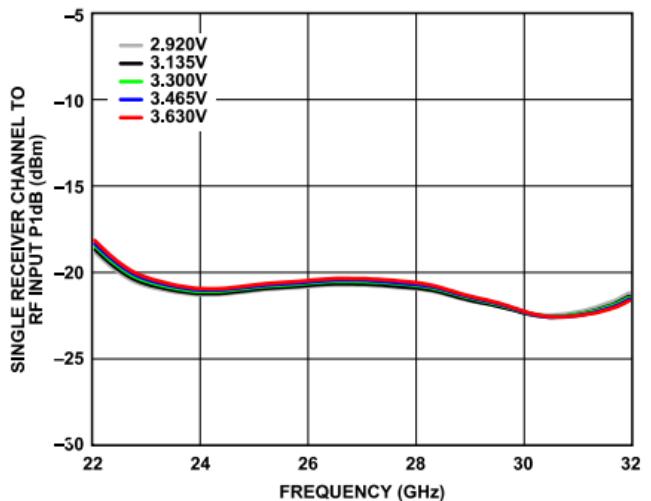


図 62. 異なる電源電圧での単一レシーバー・チャンネルからRFまでの入力P1dBと周波数の関係（最大ゲイン設定時）

## 代表的な性能特性

## トランスマッタからレシーバーへの切替え速度と振幅／位相のセトリング時間

特に指定のない限り、VDD1～VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、 $T_C = 25^\circ\text{C}$ 、RF振幅 = -30dBm、DVGAは最大ゲインに設定。

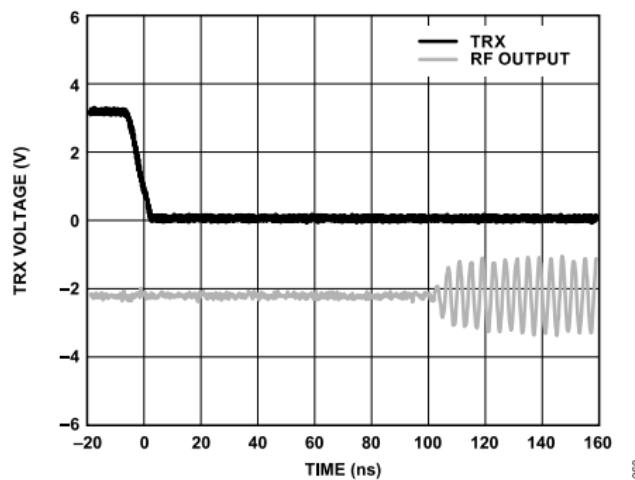


図 63. トランスマッタからレシーバーへのモード切替え時間

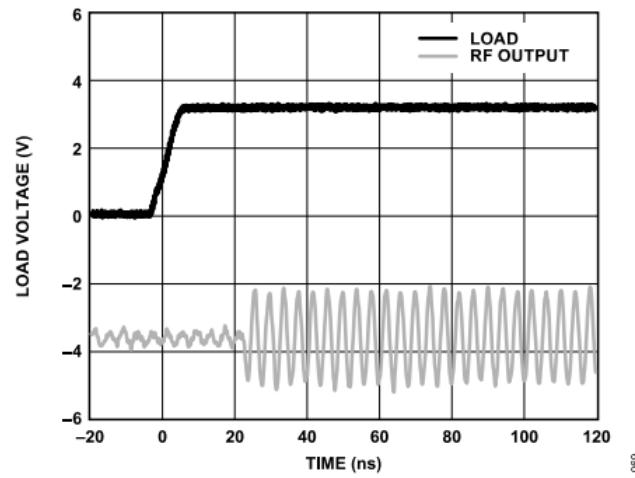


図 64. ゲインのセトリング時間

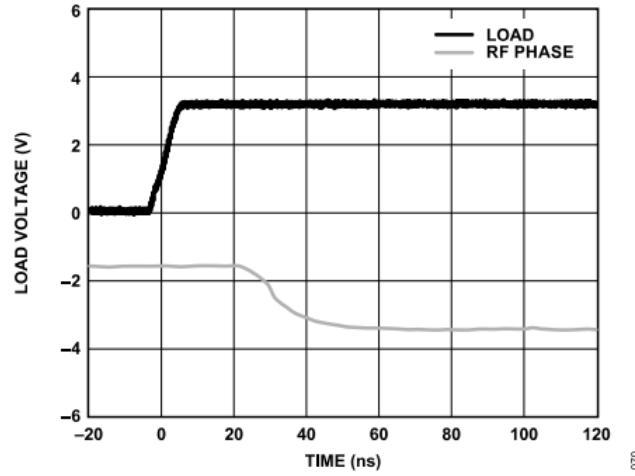


図 65. 位相のセトリング時間

## 代表的な性能特性

## レシーバーのリバース・アイソレーション性能

特に指定のない限り、VDD1 = VDD2 = VDD3 = VDD4 = VDD5 VDD6 = VDD7 = VDD8 = VCC\_BG\_3P3V = VDD\_DIG\_3P3V = VDD\_ADC\_3P3V = 3.3V、SPI値はAN-2021アプリケーション・ノートに記載されている起動シーケンスに基づき設定、TC = 25° C。特に指定のない限り、測定は受信モードで行い、RF振幅 = -30dBm、DVGAは最大ゲインに設定。

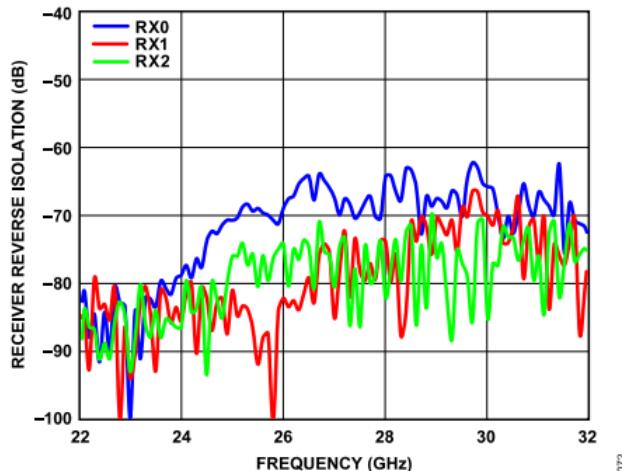


図 66. レシーバーのリバース・アイソレーション (RX0、RX1、RX2) と周波数の関係

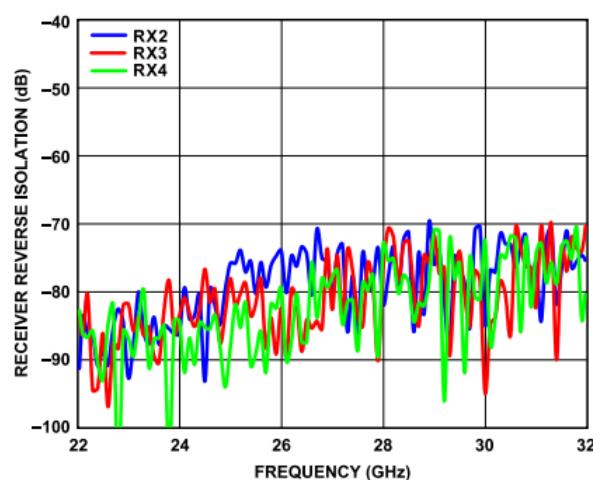


図 69. レシーバーのリバース・アイソレーション (RX2、RX3、RX4) と周波数の関係

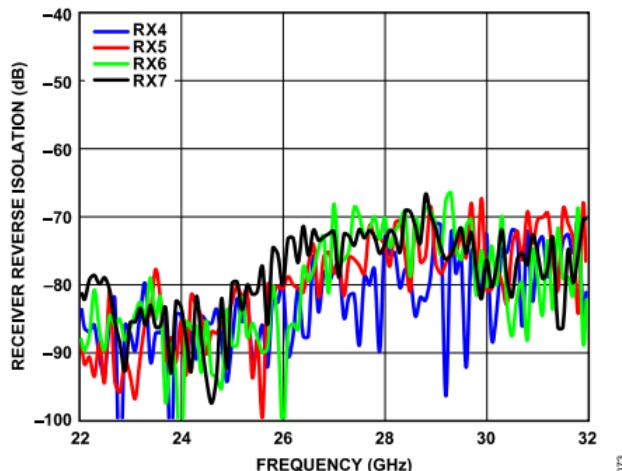


図 67. レシーバーのリバース・アイソレーション (RX4、RX5、RX6、RX7) と周波数の関係

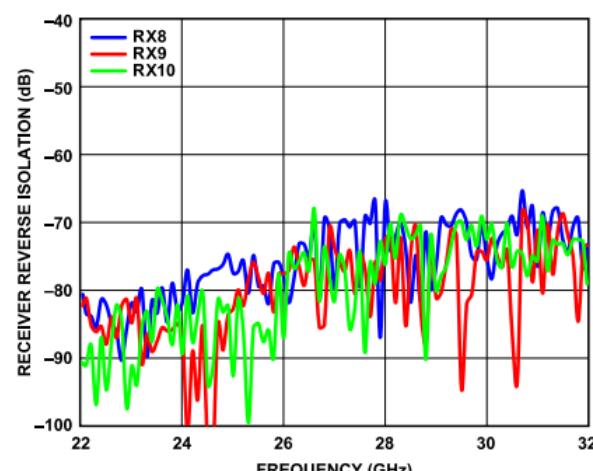


図 70. レシーバーのリバース・アイソレーション (RX8、RX9、RX10) と周波数の関係

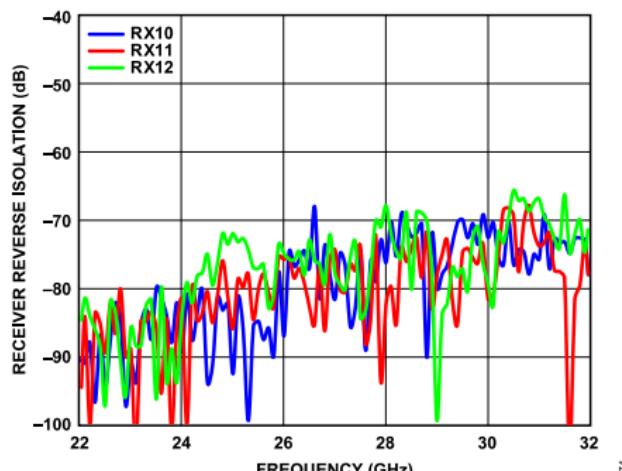


図 68. レシーバーのリバース・アイソレーション (RX10、RX11、RX12) と周波数の関係

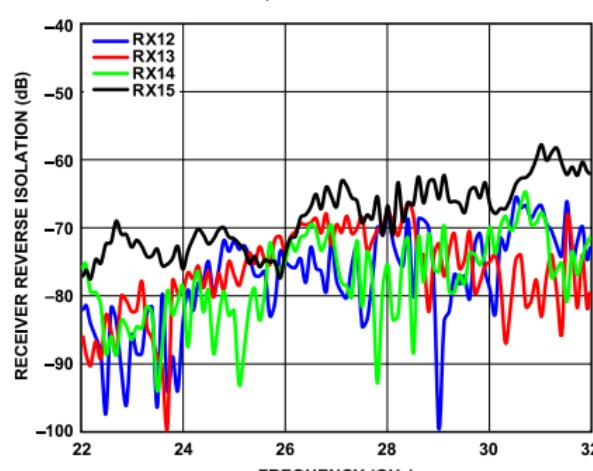


図 71. レシーバーのリバース・アイソレーション (RX12、RX13、RX14、RX15)

## 動作原理

ADMV4801は、mmW 5Gアプリケーション向けに最適化された高集積ビームフォーマで、24GHz～29.5GHzの周波数範囲で動作します。このデバイスの機能ブロック図は図1を参照してください。ADMV4801は16個の独立した送受信チャンネルを備え、入力／出力RFピン (RFC) と16本の送信または受信パスによって配向された単一偏波に対応しています。

## 推奨するゲイン／位相係数の初期化

選択した個々のチャンネルのゲインと位相を設定し、使用目的に応じた最小限のオーバーヘッドで効率的に起動するには2つの方法があります。1つは、ビーム・ポインタ・レジスタ0x081を用いることです。このレジスタはユーザ定義のビーム位置をSRAMから呼び出します。ビーム・ポインタは、ビーム・ステアリング値を16個のチャンネルにロードします。LOADピンを3回トグルすると、メモリにあるゲインと位相の設定値を、選択したチャンネルに書き込みます。このロード機能により、選択したチャンネルに位相とゲインの設定値を同時に適用できます。

オプションのバイパス・モードを使用して、ビーム・ポインタ・モードをバイパスすることができます。このモードを使用すると、位相とゲインの値の設定とデバッグをチャンネルごとに行つたうえで、ビーム・ポインタ・モードを実行できます。ユーザは、チャンネルの位相およびゲインSRAM、共通ゲインSRAM、およびTRX SRAMを使用して、チャンネルごとに直接ゲインと位相の変更や適用を行うことができます。LOADピンを3回トグルすると、メモリにあるゲインと位相の設定値を、選択したチャンネルに書き込みます。このロード機能により、選択したチャンネルに位相とゲインの設定値を同時に適用できます。詳細について、AN-2021アプリケーション・ノートを参照してください。

## RF信号パス

このチップの最も重要な機能は、信号が目的の方向にコヒーレントに追加されるように、各チャンネルの相対的な位相とゲインを正確に設定することです。個々の素子のゲイン制御をすることで、通常の動作においてチップに発生する多くの障害を補償できます。そのような障害には、温度変動、チップ間またはチャンネル間のばらつき、位相とゲインをサポートする外部回路のばらつき、およびサイド・ロープのレベルを低減するためのビームのテバリング機能による変動などがあります。

16チャンネルの信号パスはすべて同じで、チャンネル間で対称な性能を発揮できます。そのため、TDD動作に必要な位相と振幅のキャリブレーション量を削減できます。図73に示すように、各送信チャンネルには、共通DVGA (DVGA 2)、同相直交ベクトル変調器 (I/Q VM)、チャンネルDVGA (DVGA 1)、パワー・アンプ、パワー・ディテクタ、および2個の単極双投 (SPDT) スイッチがあります。各受信チャンネルには、低ノイズ・アンプ (LNA)、I/Q VM、チャンネルDVGA、2個のSPDTスイッチがあります。これらのスイッチは、送信パスと受信パスの選択を行います。これらのパスは、RF信号パスを対応するパッケージのI/Oに接続したり、パッシブな16チャンネルから1つの結合および分配ネットワークに接続します。

## 位相およびゲイン制御

位相制御は、図72に示すように、I/Q VMアーキテクチャで行われます。受信信号は等振幅の同相直交 (IおよびQ) 信号に分配されます。これらの信号は、2つの同一な2相VGAによって個別に増幅され、出力の段階で合成されて必要な位相シフトを生成します。各VGAは7つの独立したビット (振幅の制御用に6ビット、極性の制御用に1ビット) で制御され、位相シフタごとに合計14ビットが使用されます。ベクトル変調器の出力電圧振幅 (Vout) と位相シフト ( $\Phi$ ) は、以下の式で表現されます。

$$V_{OUT} = \sqrt{V_Q^2 + V_I^2}$$

$$\Phi = \arctan \frac{V_Q}{V_I}$$

ここで、

$V_Q$ はQチャンネルVGAの出力電圧で、

$V_I$ はIチャンネルVGAの出力電圧です。

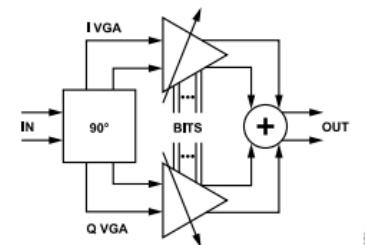


図 72. I/Qベクトル変調器による位相シフトのブロック図

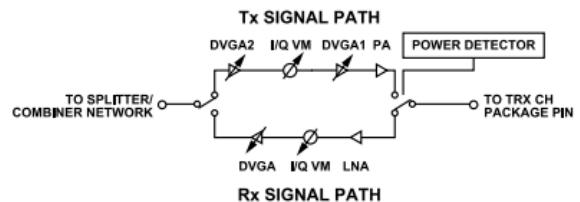


図 73. 送信および受信チャンネルの機能ブロック図

逆正接関数を評価する場合、適切な位相象限を選択する必要があります。位相象限は、 $V_I$ と $V_Q$ の符号を基に次の場合分けに従って決まります。

- ▶  $V_I$ と $V_Q$ が両方とも負の場合、位相シフトは $0^\circ$ ～ $90^\circ$ です。
- ▶  $V_I$ が正で $V_Q$ が負の場合、位相シフトは $90^\circ$ ～ $180^\circ$ です。
- ▶  $V_I$ と $V_Q$ が両方とも正の場合、位相シフトは $180^\circ$ ～ $270^\circ$ です。
- ▶  $V_I$ が負で $V_Q$ が正の場合、位相シフトは $270^\circ$ ～ $360^\circ$ です。

## 動作原理

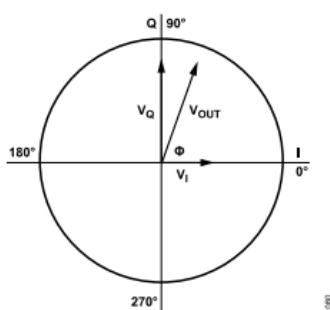


図 74. ゲインのベクトル表現

通常、 $V_{OUT}$ （ゲイン）の変動を最小限に抑えながら、目的の位相シフトを達成できるように $V_I$ と $V_Q$ の値を選択しますが、許容振幅変動に多少のゆとりをもたせると、位相ステップの分解能が向上し、位相誤差が更に小さくなる可能性があります。

位相制御や機能の詳細については、AN-2021アプリケーション・ノートを参照してください。

AN-2021アプリケーション・ノートで示されている値をIとQのVGAに用いると、送信信号パスと受信信号パスのどちらにおいてもDVGAはゲイン制御を実行します。

送信信号パスには、ゲインを制御する2つの独立したDVGAがあります。各DVGAの柔軟な内蔵SPI制御を用いることで、各DVGAのダイナミック・レンジをシステム条件に応じて制御できる様々なオプションが可能です。DVGAは送信チャンネルごとにチャンネル・ゲインを制御するようにプログラムすることも、全チャンネルをまとめて設定する共通ゲインを制御するようにプログラムすることもできます。共通ゲインはチャンネル・ゲインの出力に直接加えられます。共通ゲインのオフセットを送信チャンネルごとに個別に設定するには、レジスタ0x2Bのビット[6:1]を使用します。それぞれのDVGAにより、17dB（代表値）のダイナミック・レンジが可能となり、送信信号パスの合計ダイナミック・レンジは34dBとなります。共通ゲインのステップ分解能は

1.0dBで、チャンネル・ゲインのステップ分解能は0.5dBです。デフォルトでは、チャンネル・ゲインの設定値でDVGA 1を制御し、共通ゲインの設定値でDVGA 2を制御します。これは、レジスタ0x2Bのビット0を1に設定することで切り替えることができます。詳細については、AN-2021アプリケーション・ノートを参照してください。

受信信号パスでは、1つのDVGAでゲイン制御が行われます。このDVGAを個別にプログラムすることで、16個の受信チャンネルのそれぞれに対してゲインを制御できます。このDVGAにより、受信信号パスでは17dB（代表値）のダイナミック・レンジが可能となります。DVGAのデジタル・ステップ分解能は0.5dBです。

DVGAはチャンネル・ゲインの設定値で制御されます。16個の受信チャンネルのそれぞれに対して個別にDVGA設定値を制御できます。

ゲイン制御や機能の詳細については、AN-2021アプリケーション・ノートを参照してください。

## 送受信の制御

送信モードから受信モードへの遷移、または受信モードから送信モードへの遷移を行えることが、TDDフェーズド・アレイ・システムの重要な動作条件です。ADMV4801では、チップへの送信および受信制御入力（TRX）に従って、送信から受信への切替え、受信から送信への切替えを個別に行うことができます。

TRX入力には、モード間の切替えを正しく制御するために、1.8Vのロジック信号が必要です。ADMV4801を最初にオンにすると、TRXラインをロジック・ローに保持すると、受信モードで起動します。TRXピンは、最大1.5MHzの矩形波に対応できます。ただし、送信パスと受信パスの振幅セトリング時間は、70ns程度です。

受信モードから送信モードに遷移するには、TRX入力信号がロジック・ロー（0V）からロジック・ハイ（1.8V）に遷移する必要があります。ロジック・ローからロジック・ハイへの遷移の立上がりエッジによって、送信モードへの移行が開始されます。

送信モードから受信モードに遷移するには、TRX入力信号がロジック・ハイ（1.8V）からロジック・ロー（0V）に遷移する必要があります。ロジック・ハイからロジック・ローへの遷移の立下がありエッジによって、受信モードへの移行が開始されます。

モード遷移の間、TDDアプリケーションの高速スイッチングが可能となるよう、どちらのモードについても必要な設定はすべて復元されます。

送受信制御の詳細については、AN-2021アプリケーション・ノートを参照してください。

## パワー・ディテクタ

送信動作時の各パワー・アンプの出力からカッピングされるピーク電力をサンプリングするため、16個のパワー・ディテクタ（1トランスマッタ・チャンネルにつき1つ）が備わっています。これらのパワー・ディテクタは、パワー・モニタリングやチャンネル・ゲインおよびチャンネル間ゲイン・ミスマッチのキャリブレーションを行います。独立したそれぞれのパワー・ディテクタ回路は内蔵A/Dコンバータ（ADC）に配線され、パワー・ディテクタの8ビット分解能の各検出値に対してSPIリードバックを行うことができます。

パワー・ディテクタの入力電力の範囲はプログラマブルで、10dBmの入力電力検出範囲を-12dBm～+16dBmの間で2dBm刻みで調整できます。

16個の各パワー・ディテクタ値は送信モードでのみ読み出せます。レジスタ0x040～0x04Fは、チャンネル0～15のパワー・ディテクタ用リードバック・レジスタです。

図30および図31に示すように、パワー・ディテクタのリードバック値はdBm単位に変換できます。

特定のSPIリードバックと範囲設定の調整に関する詳細については、AN-2021アプリケーション・ノートを参照してください。

## 温度センサー

ADMV4801の内蔵温度センサーを使用することで、送信動作時のチップ本体の温度の示度をサンプリングできます。温度センサーのデータはADCからリードバックでき、送信モードでのみ更新されます。

内蔵温度センサーのリードバック値を摂氏に変換するには、次式を用います（図75も参照）。

$$\text{温度} (\text{°C}) = 1.07 \times \text{温度センサー値 (10進数)} - 96$$

## 動作原理

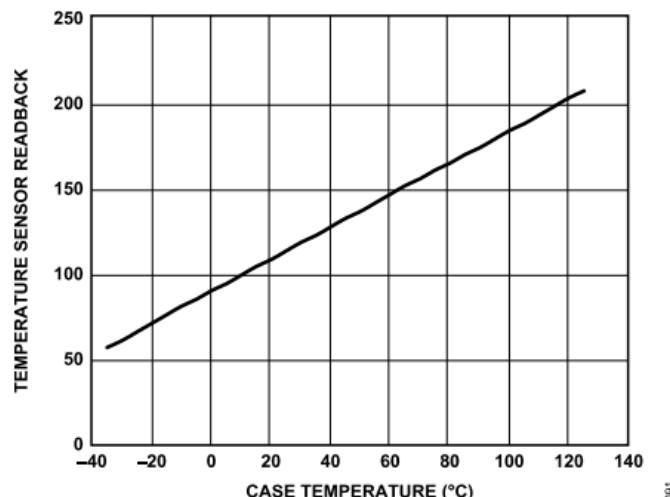


図 75. 温度センサーのリードバック値とケース温度の関係

レジスタ0x50を用いることで、温度センサーの示度をリードバックできます。温度センサーの測定範囲は-40°C～+125°Cです。特定のSPIリードバックに関する詳細については、AN-2021アプリケーション・ノートを参照してください。

## ADCの動作

16個の内蔵パワー・ディテクタと内蔵温度センサーを個別にサンプリングするため、8ビットのADCが内蔵されています。ADMV4801を最初にオンにするとき、ADC\_CLK\_ENビット（レジスタ0x12のビット5）を1に設定します。パワー・ディテクタと温度センサーのリードバックに関する特定のSPI設定やその他詳細については、AN-2021アプリケーション・ノートを参照してください。

## 各種電力モードのためのバイアス制御

DCの消費電力を削減するために、RF性能レベルに応じて中電力モードと低電力モードを用いることを推奨します（[アプリケーション情報](#)のセクションを参照）。

デバイスには、公称電力モード、中電力モード、低電力モードの3つの電力モードがあります。

公称電力モード：

- ▶ VDD1～VDD8、VDD\_DIG\_3P3V、VDD\_ADC\_3P3V、VCC\_BG\_3P3Vの各ピンを3.3Vに設定します。
- ▶ 全レジスタのデフォルトのプリセットSPI値については、AN-2021アプリケーション・ノート ADMV4801 SPI Application Noteを参照してください。

中電力モード：

- ▶ VDD1、VDD3、VDD5、VDD7の各ピンを3.3Vに設定します。
- ▶ VDD2、VDD4、VDD6、VDD8、VDD\_DIG\_3P3V、VDD\_ADC\_3P3V、VCC\_BG\_3P3Vの各ピンは2.5Vに設定します。

- ▶ 全レジスタのデフォルトのプリセットSPI値については、AN-2021アプリケーション・ノート ADMV4801 SPI Application Noteを参照してください。

低電力モード：

- ▶ VDD1～VDD8、VDD\_DIG\_3P3V、VDD\_ADC\_3P3V、VCC\_BG\_3P3Vの各ピンを2.5Vに設定します。
- ▶ レジスタ0x029のビットを以下のように設定します。  
PA\_BIAS\_1のビット[2:0]を0x02、PA\_BIAS\_2のビット[5:3]を0x00に設定。
- ▶ レジスタ0x2Aのビットを以下のように設定します。  
PA\_BIAS\_3のビット[3:0]を0x04、PA\_VCC\_SELのビット4を0x01に設定。

公称電力モードでは、[代表的な性能特性](#)のセクションに示した最高レベルの性能を提供します。送信モード時のADMV4801の総消費電力は、中電力モードでは20%、低電力モードでは40%低減されます。全体的な送信ゲイン、直線性、出力圧縮は、消費電力が小さいモードほど低下します。

受信モードでは、総消費電力は、中電力モードでは3%、低電力モードでは30%低減されます。受信ゲインも各モードで低下します。性能特性と電力モードの関係については、[アプリケーション情報](#)の各種電力モードでの性能のセクションを参照してください。

## メモリ・アクセス

送信モードと受信モードの間の任意の構成で配置できる、最大256通りのビーム位置の位相と振幅の設定値を保存するため、SRAMが内蔵されています。ビーム・ポインタ・レジスタは、256個のビーム位置に対するアドレス・リファレンスとして用いられます。各ビーム位置には、全16チャンネルに関して、ゲイン、ベクトル変調器の同相設定値、ベクトル変調器の直交設定値が備わっています。

SPIレジスタ0x00を使ってソフト・リセットを開始すると、チャンネル・レジスタとグローバル・レジスタはデフォルト値に戻ります。ただし、チャンネルSRAMレジスタとグローバルSRAMレジスタは値を保持します。

RSTピンをロジック・ローにしてハード・リセットを開始すると、チャンネル・レジスタ、グローバル・レジスタ、グローバルSRAMレジスタを含む全レジスタがデフォルト値に戻ります。ただし、チャンネルSRAMレジスタは値を保持します。

チャンネルSRAMレジスタを含むすべてのレジスタをリセットするには、電源の再投入が必要です。

チャンネルSRAMレジスタとグローバルSRAMレジスタのどちらにも、固有のデフォルト値はありません。これらのSRAMレジスタへの書き込みは、起動時に行う必要があります。

SRAMおよびその他の制御機能を用いてシステム・レベルの条件を満たす方法に関する詳細は、AN-2021アプリケーション・ノートを参照してください。

## キャリブレーション

同相および直交の設定値を用いて生じる位相誤差の実効値は、[位相およびゲイン制御](#)のセクションおよびAN-2021アプリケーション・ノートに記載の式を用いて求めることができます。

## 動作原理

位相誤差の実効値は、目的の周波数動作で各チャンネルのエア・アクティブ電子走査アレイ (AESA) キャリブレーションを完全に実行することで改善できます。次いで、位相誤差の実効値を改善するために求めた各係数に対して、チャンネルごとに適切な位相調整を施すことができます。その後、これらの係数を内蔵SRAMにロードできます。ゲイン誤差は、個々の共通ゲインSRAMレジスタを用いることでチャンネルごとに補償することができ、これによって各チャンネルの潜在的なゲイン誤差を改善できます。

## SPIの情報

ADMV4801はSPIを備えているため、3線式SPI (SCLK、SDIO、 $\overline{CS}$ ) と4線式SPI (SCLK、SDIO、SDO、 $\overline{CS}$ ) の2つのSPI構成のいずれかを用いて、デバイスに特定の動作を設定できます。このインターフェースにより柔軟性が高まり、カスタマイズが可能となります。SPIは1.8VのDCロジックに対応可能で、内蔵LDOが、グローバルおよびチャンネル・デジタル回路に必要な1.8Vを生成します。

ADMV4801のプロトコルは、読み出し/書き込みビットと、その後に続く15個のレジスタ・アドレス・ビット (A14~A0)、および8個のデータ・ビットで構成されます。レジスタ0x000のビット6が0に設定されている場合、アドレス・フィールドとデータ・フィールドのデフォルト値はどちらも、MSBファーストで構成され、LSBで終わります。書き込みの場合は最初のビットを0に設定し、読み出しの場合は1に設定します。

アナログ・デバイセズの標準的なSPIデータは8ビット幅に設定されます。ただし、ADMV4801には、レジスタの値を正確に設定するため、8ビットより広いデータを必要とする様々なレジスタがあります。これらのレジスタに書き込みができるようにするために、レジスタ0x008を用いて、16ビット・レジスタの8LSBまたは8MSBのどちらをアドレス指定するかを設定します。レジスタ

0x008に ‘b01’ を書き込んでから特定の16ビット・レジスタに書き込みを行うと、8ビットのデータは8LSBビットに書き込まれます。レジスタ0x008に ‘b10’ を書き込んでから特定の16ビット・レジスタに書き込みを行うと、8ビットのデータは8MSBビットに書き込まれます。

一部のレジスタは、LOADピンを使用することを特色としており、デバイスに値をロードするためにはこのピンを3回トグルする必要があります。この機能により、LOADピンがトグルされるまでレジスタ・データをスタンバイ状態にして、設定をまとめて同時に有効化することができます。

ADMV4801のSPIの詳細については、AN-2021アプリケーション・ノートを参照してください。

## 標準的なSPIプロトコル

図76にアナログ・デバイセズの標準SPIプロトコルを示します。代表的なレジスタ/コマンドは、書き込み/読み出しひとと、その後に続く15ビットのレジスタ・アドレス(A14~A0)、および8ビットのデータ (D7~D0)で構成されます。レジスタ0x000のビット6が0に設定されている場合、アドレス・フィールドとデータ・フィールドのデフォルト値はどちらも、MSBファーストで構成され、LSBで終わります。書き込みの場合は最初のビットを0に設定し、読み出しの場合は1に設定します。

$\overline{CS}$ 、SCLK、SDIOの各ピン、およびオプションでSDOピンを用いることでスレーブ・デバイスと通信できます。SCLKの立上がりエッジで、データがラッチされます。代表的なタイミング仕様を表5に示します。

なお、SRAMレジスタの場合、レジスタからリードバックするには、読み出しこマンドを2回送信する必要があります。

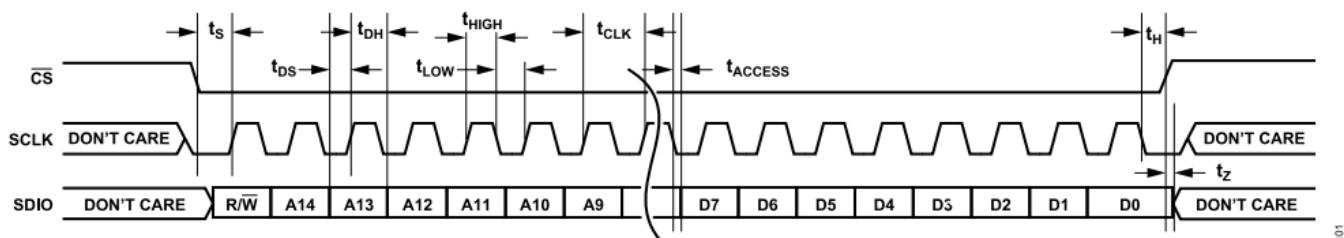


図 76. アナログ・デバイセズの標準SPIのSPIレジスタ・タイミング図、MSBファースト

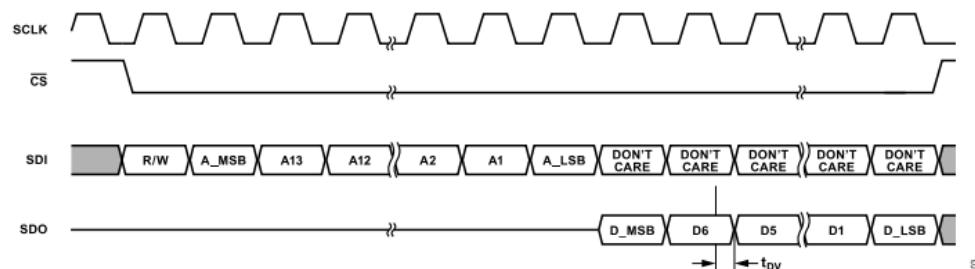


図 77. アナログ・デバイセズの標準的なSPIレジスタ読み出しのタイミング図、4線式モード

## 動作原理

### ストリーミング・モード

標準プロトコルでの動作時、**CS**ピンはローに保持でき、データ・フェーズにおいて複数のデータ・バイトをシフトすることができるために、データ転送に伴うオーバーヘッドを削減できます。シンケンシャルなアドレス指定は、設定レジスタの設定状況に応じて昇順または降順が前提とされます。ストリーミング・モードを使うと、ユーザ定義のビーム位置のための**SRAM**にゲインと位相のデータを手早くロードできます。この手法により、バイトごとにアドレスを指定することなく、1つ以上のバイトを書き込んだり読み出したりできます。

図78に示すタイミング図は、3つの連続アドレスをストリーミングするデバイスへの代表的な書き込み方法を示しています。最初の書き込みアドレスは、アドレス・ビットA14～A0で定義され、データの最初の8ビットがこの定義されたアドレスに書き込まれます。次の8ビットが、レジスタ0x000のビット5で選択されている順序に従い、次の昇順または降順アドレスに書き込まれます。シーケンシャルなアドレス指定のデフォルト状態は降順です。



図 78. ストリーミング・モードの書き込みタイミング図、MSBファースト、降順アドレス

## 動作原理

## レジスタ読出し時のSPI SDO遅延

SPIの読出し動作時は、SCLKの16番目の立上がりエッジがSCLKピンに到達してから7ns後に、データがSDOピンから読み出せます。このSDO遅延はSCLKの速度に関わらず一定です。詳細は、[図79](#)を参照してください。

例えば、10MHzの信号がSCLKピンに入力された場合、SDOビットでは、SCLKの立上がりエッジの約43ns前にサンプリングの準備が整います。このSCLKのレートは、正常に作用し、ボード上の伝搬時間を妥当な量にするためのマージンを提供します。これに

対し、61.44MHzの場合は、SCLKの立上がりエッジがSDOビットの立下がりエッジと近接し、読出し動作が正常に行われない可能性があります。SCLKを30.72GHzより高い周波数で動作させる場合は、次の2つの回避策を推奨します。1つは、SCLK17～SCLK26に非対称のSCLKを用いることです（ローの時間を長くする）。このセットアップにより、SCLKの立上がりエッジをSDOビットに揃えることができます。[図80](#)を参照してください。もう1つの回避策は、遅延させたSCLKをFPGAで用いて、SCLKの立上がりエッジをSDOビットに揃えることです。[図81](#)を参照してください。

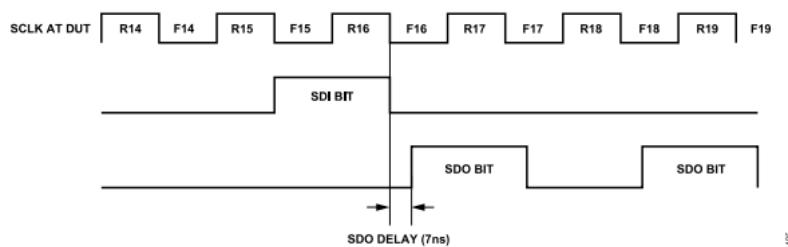


図 79. SDO遅延のタイミング図

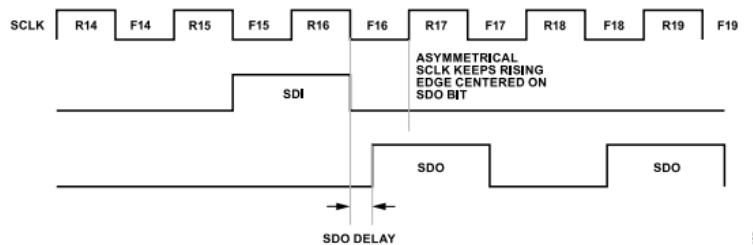


図 80. 非対称クロック・パルスの使用

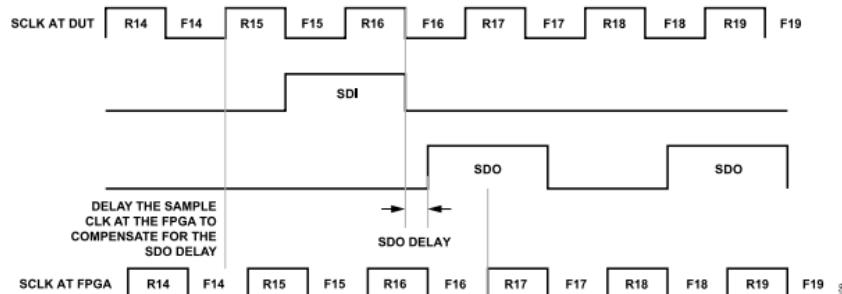


図 81. 遅延SCLKの使用

## アプリケーション情報

### ADMV4801への給電

ADMV4801の電源ドメインは1つで、電圧は3.3Vです。チップ内のすべての回路に必要な1.8Vの電源電圧は、ADMV4801内蔵の電圧レギュレータが生成します。同じ電源ドメインを共有するすべての電源ラインを1つの電源電圧に接続できるため、ADMV4801-EVALZに示すように、適切なデカップリング・コンデンサをADMV4801の電源ピン近くに配置することができます。

### ヒート・シンクの選択

デバイスの上面と底面のどちらにもヒート・シンクを取り付けられるため、効率的な放熱が可能です。

底面のヒート・シンクには、デバイス下の基板最下層に広い露出銅領域が必要です。

上面のヒート・シンクの場合は、ヒート・シンクの大きさをデバイスに合うサイズにすることが必要です。ヒート・シンクを小さくすると、放熱性低下の原因となります。上面のヒート・シンクをデバイスに取り付けるには、熱界面材料 (TIM) が必要です。このTIMでデバイスとヒート・シンク間の空隙が埋まり、デバイスとヒート・シンクの熱的な接触性が向上します。放熱性とデバイス性能を最大にするには、通常、0.5mm厚のTIMが推奨されます。

ヒート・シンクをデバイスに取り付ける際に加えることのできる最大の力は、**絶対最大定格**のセクションに仕様規定されています。デバイス下の基板は、曲がることのないよう、しっかりと固定されている必要があります。デバイスに垂直な力を加える場合は、圧力がデバイスの上面に均等にかかるようにしてください。

## アプリケーション情報

## 各種電力モードでの性能

## 送信モードでの公称、中、低電力モードのデータ

図82～図86に、各種電力モードのためのバイアス制御のセクションに記載のバイアス条件を用いた場合の各パラメータの特性を示します。

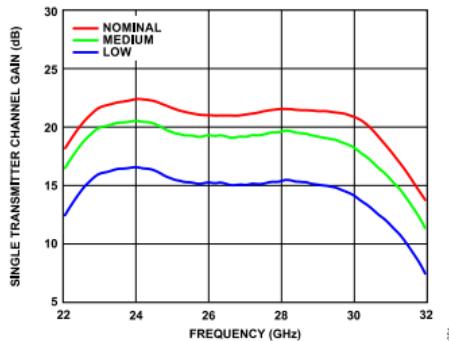


図 82. 異なる電力モードでの単一トランシミッタ・チャンネルのゲインと周波数の関係 (最大ゲイン設定時)

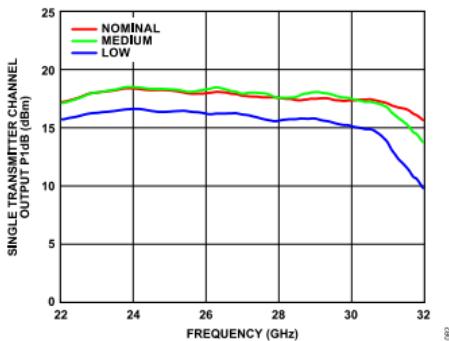


図 83. 異なる電力モードでの単一トランシミッタ・チャンネルの出力P1dBと周波数の関係 (最大ゲイン設定時)

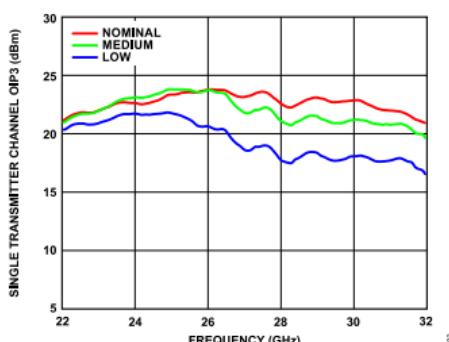


図 84. 異なる電力モードでの単一トランシミッタ・チャンネルの出力IP3と周波数の関係 (最大ゲイン設定時)

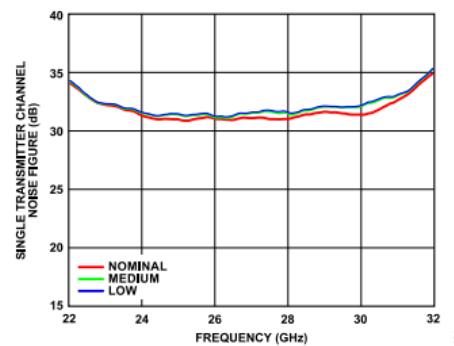


図 85. 異なる電力モードでの単一トランシミッタ・チャンネルのノイズ指数と周波数の関係 (最大ゲイン設定時)

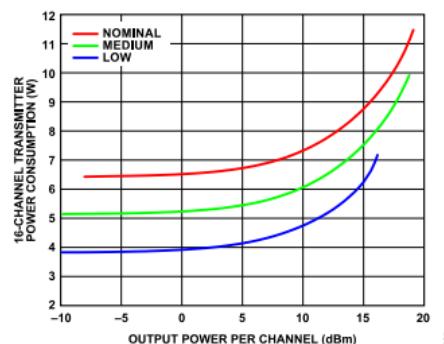


図 86. 16チャンネルのトランシミッタの消費電力とチャンネルあたりの出力電力の関係 (最大ゲイン設定時)

## 受信モードでの公称、中、低電力モードのデータ

図87～図90に、各種電力モードのためのバイアス制御のセクションに記載のバイアス条件を用いた場合の各パラメータの特性を示します。

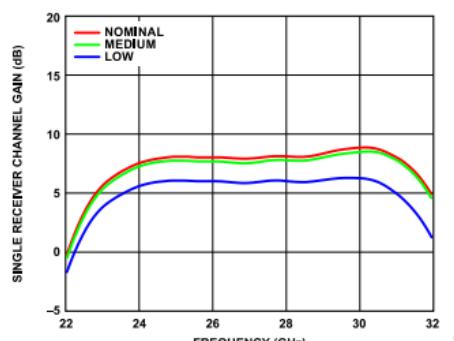


図 87. 異なる温度での単一レシーバー・チャンネルのゲインと周波数の関係 (最大ゲイン設定時)

## アプリケーション情報

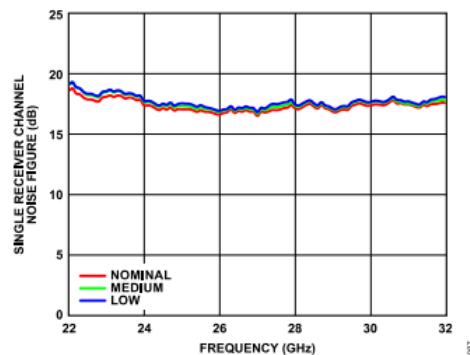


図 88. 異なる温度での単一レシーバー・チャンネルのノイズ指数と周波数の関係（最大ゲイン設定時）

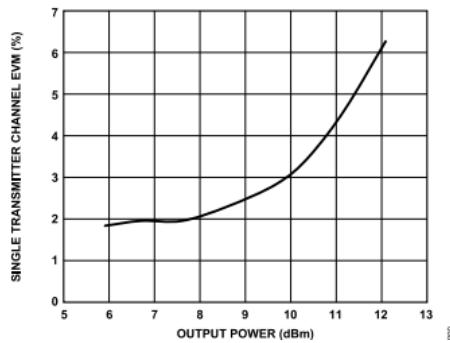


図 91. 単一トランシミッタ・チャンネルのEVMとRF出力電力の関係（最大ゲイン設定時）

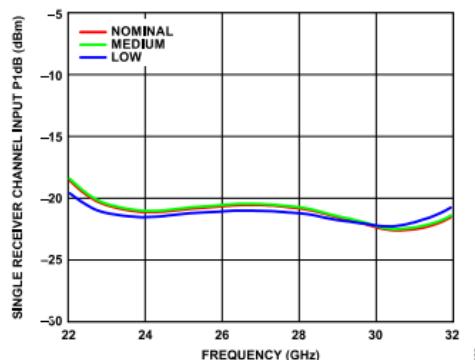


図 89. 異なる温度での単一レシーバー・チャンネルの入力P1dBと周波数の関係（最大ゲイン設定時）

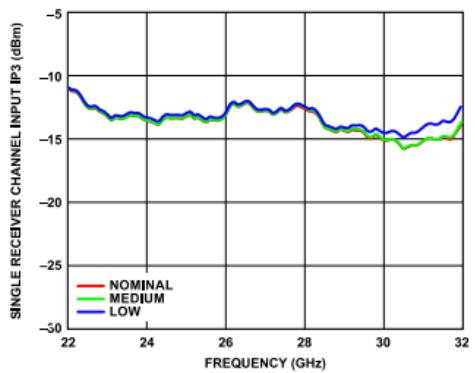


図 90. 異なる温度での単一レシーバー・チャンネルの入力IP3と周波数の関係（最大ゲイン設定時）

## 送信モードのエラー・ベクトル振幅（EVM）性能

送信モードでゲインを最大に設定した場合の、EVMと出力電力の関係を図91に示しますEVMの測定は、100MHz、5G-NR、256直交振幅変調（QAM）の波形4つを使用して実施しています。

## 外形寸法

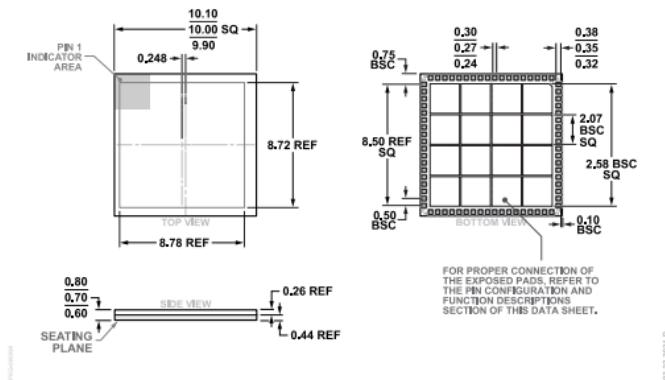


図 92. 72端子ランド・グリッド・アレイ [LGA]  
(CC-72-3)  
寸法 : mm

更新 : 2022年2月13日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV4801BCCZ	-40°C ~ +95°C	72-Terminal LGA (10mm x 10mm x 0.7mm)	Tray, 168	CC-72-3

1 Z = RoHS準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
ADMV4801-EVALZ	Evaluation Board

1 Z = RoHS準拠製品。