

オン抵抗 3.8Ω のSPDTスイッチ

特長

- ▶ オン抵抗 : 3.8Ω
- ▶ 仕様
 - ▶ $V_{DD} = +5V \pm 10\%$
 - ▶ $V_{SS} = -4.5V \sim -8.8V$
- ▶ V_L 電源が不要
- ▶ 3Vロジック対応入力
- ▶ 最大連続電流 : 310mA
- ▶ レールtoレール動作
- ▶ 8ピン 2mm × 3mm LFCSP

アプリケーション

- ▶ LDMOSパワー・アンプのゲート・ドライブ
- ▶ GANパワー・アンプのゲート・ドライブ
- ▶ 通信システム
- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション・システム
- ▶ サンプル&ホールド・システム

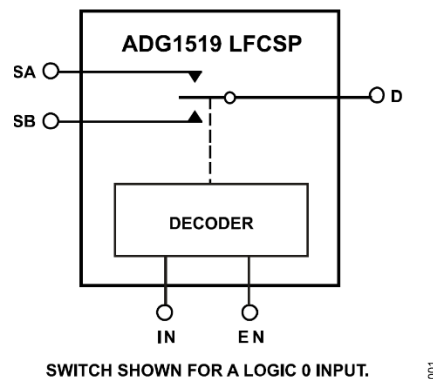
概要

ADG1519は単極双投（SPDT）スイッチです。リード・フレーム・チップ・スケール・パッケージ（LFCSP）のEN入力を使用して、デバイスをイネーブルまたはディスエーブルします。ディスエーブル状態では、スイッチ端子（SA、SB、およびD）が高インピーダンス状態になります。

ADG1519は、非対称電源を必要とするアプリケーション用に、 $V_{DD} = +5V \pm 10\%$ 、および $V_{SS} = -4.5V \sim -8.8V$ ですべての仕様が規定されています。ADG1519のオン抵抗プロファイルはアナログ入力範囲全体にわたって平坦であり、オーディオ信号の切り替え時にも優れた直線性と低歪みを実現します。消費電力が極めて少ない構造のため、携帯型やバッテリー駆動の計測器に最適です。

スイッチは、オン時に双方向に等しく良好に導通し、電源電圧までの入力信号範囲に対応しています。オフ状態では、電源電圧までの信号レベルがブロックされます。ADG1519は、ブレイクピフオアマークのスイッチング動作を示すので、マルチプレクサ・アプリケーションで使用できます。

機能ブロック図



SWITCH SHOWN FOR A LOGIC 0 INPUT.

100

図 1.

製品のハイライト

1. 25°C で 5.2Ω （最大値）のオン抵抗。
2. -135dB のTHD。
3. 3Vロジック対応のデジタル入力： V_{INH} = 最小2.0V、 V_{INL} = 最大0.8V。
4. ロジック電源電圧（ V_L ）が不要。
5. 8ピン、2mm × 3mm LFCSPパッケージ（外形寸法のセクションを参照）。

目次

特長.....	1	代表的な性能特性	7
アプリケーション	1	テスト回路	10
概要.....	1	用語の定義	12
機能ブロック図	1	アプリケーション情報	14
製品のハイライト	1	パワー・アンプのゲート・ドライブ	14
仕様.....	3	電源レール	14
両電源	3	電源の推奨事項	14
チャンネルごとの連続電流（SXまたはD）	4	外形寸法	15
絶対最大定格	5	オーダー・ガイド	15
熱抵抗	5	評価用ボード	15
ESDに関する注意	5		
ピン配置およびピン機能の説明	6		

改訂履歴

1/2022—Revision 0: Initial Version

仕様

両電源

特に指定がない限り、 $V_{DD} = +5V \pm 10\%$ 、 $V_{SS} = -4.5V \sim -8.8V$ 、 $GND = 0V$ 。

表 1.

パラメータ	25°C	-40°C~+85°C	-40°C~125°C	単位	テスト条件/コメント
ANALOG SWITCH					$V_{DD} = +4.5V$ 、 $V_{SS} = -7.2V$
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	3.8			Ω typ	$V_S = V_{SS} \sim V_{DD}$ 、 $I_S = -10mA$ 、 図18 を参照 ¹
	5.2	6.2	7	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.1			Ω typ	$V_S = V_{SS} \sim V_{DD}$ 、 $I_S = -10mA$ ¹
	0.3	0.35	0.4	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.15			Ω typ	$V_S = V_{SS} \sim V_{DD}$ 、 $I_S = -10mA$ ¹
	1.6	1.85	2	Ω max	
LEAKAGE CURRENTS					$V_{DD} = +5.5V$ 、 $V_{SS} = -8.8V$
Source Off Leakage, I_S (Off)	± 0.1			nA typ	V_S および $V_D = V_{DD} - 1V \sim V_{SS} + 1V$ 、 図19 を参照 ^{1,2}
	± 10	± 12	± 100	nA max	
Drain Off Leakage, I_D (Off)	± 0.1			nA typ	V_S および $V_D = V_{DD} - 1V \sim V_{SS} + 1V$ 、 図19 を参照 ^{1,2}
	± 10	± 13	± 140	nA max	
Channel On Leakage, I_D , I_S (On)	± 0.1			nA typ	$V_S = V_D = V_{DD} - 1V \sim V_{SS} + 1V$ 、 図20 を参照 ^{1,2}
	± 10	± 13	± 110	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.001			μA typ	$V_{IN} = V_{GND}$ または V_{DD} ³
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					$V_{DD} = +5V$ 、 $V_{SS} = -8V$
Transition Time, $t_{TRANSITION}$	240			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$ ⁴
	305	365	400	ns max	$V_S = 3V$ 、 図21 を参照 ¹
t_{ON} (EN)	215			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$ ⁴
	275	325	360	ns max	$V_S = 3V$ 、 図23 を参照 ¹
t_{OFF} (EN)	265			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$ ⁴
	335	380	415	ns max	$V_S = 3V$ 、 図23 を参照 ¹
Break-Before-Make Time Delay, t_D	65			ns typ	$R_L = 300\Omega$ 、 $C_L = 35pF$ ⁴
			38	ns min	$V_{SA} = V_{SB} = 3V$ 、 図22 を参照 ⁵
Charge Injection	12			pC typ	$V_S = 0V$ 、 $R_S = 0\Omega$ 、 $C_L = 1nF$ 、 図24 を参照 ^{1,4,6}
Off Isolation	-60			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、周波数 = 1MHz、 図25 を参照 ⁴
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\Omega$ 、 $C_L = 5pF$ 、周波数 = 1MHz、 図26 を参照 ⁴
Total Harmonic Distortion Plus Noise, THD + N	0.001			% typ	$R_L = 10k\Omega$ 、5V p-p、周波数 = 20Hz~20kHz、 図28 を参照 ⁴
	-100			dB typ	
Total Harmonic Distortion, THD	-135			dB typ	$R_L = 10k\Omega$ 、5V p-p、周波数 = 1kHz ⁴
	-128			dB typ	$R_L = 10k\Omega$ 、5V p-p、周波数 = 20kHz ⁴
	-120			dB typ	$R_L = 10k\Omega$ 、5V p-p、周波数 = 100kHz ⁴

仕様

表 1.

パラメータ	25°C	-40°C~+85°C	-40°C~125°C	単位	テスト条件／コメント
-3 dB Bandwidth	95			MHz typ	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、 図27 を参照 ⁴
Insertion Loss	0.3			dB typ	$R_L = 50\Omega$ 、 $C_L = 5\text{pF}$ 、周波数 = 1MHz、 図27 を参照 ⁴
Source Capacitance, C_S (Off)	27			pF typ	$V_S = 0\text{V}$ 、周波数 = 1MHz ¹
Drain Capacitance, C_D (Off)	58			pF typ	$V_S = 0\text{V}$ 、周波数 = 1MHz ¹
C_D , C_S (On)	129			pF typ	$V_S = 0\text{V}$ 、周波数 = 1MHz ¹
POWER REQUIREMENTS					$V_{DD} = +5.5\text{V}$ 、 $V_{SS} = -8.8\text{V}$
Positive Supply Current, I_{DD}	0.001		1.0	$\mu\text{A typ}$ $\mu\text{A max}$	デジタル入力 = 0Vまたは V_{DD}
Negative Supply Current, I_{SS}	0.001		1.0	$\mu\text{A typ}$ $\mu\text{A max}$	デジタル入力 = 0Vまたは V_{DD}

1 V_S は端子SAまたは端子SBのアナログ電圧、 I_S は端子Sxのアナログ電流です。
2 V_D は端子Dのアナログ電圧です。
3 V_{IN} はIN電圧、 V_{GND} はGND電圧です。
4 R_L は負荷抵抗、 C_L は負荷容量です。
5 V_{SA} はソースAの電圧、 V_{SB} はソースBの電圧です。
6 R_S はソース抵抗です。

チャンネルごとの連続電流（SXまたはD）

表 2.

パラメータ	25°C	85°C	125°C	単位	テスト条件／コメント
CONTINUOUS CURRENT PER CHANNEL					
Dual Supply					$V_{DD} = +4.5\text{V}$ 、 $V_{SS} = -7.2\text{V}$
8-Lead LFCSP ($\theta_{JA} = 64.9^\circ\text{C/W}$)	310	180	95	mA maximum	

絶対最大定格

特に指定のない限り、T_A = 25°C。

表 3.

Parameter	Rating
V _{DD} to V _{SS}	18 V
V _{DD} to GND	−0.3 V to +16.5 V
V _{SS} to GND	+0.3 V to −16.5 V
Analog Inputs ¹	V _{SS} − 0.3 V to V _{DD} + 0.3 V or 30 mA, whichever occurs first
Digital Inputs ¹	GND − 0.3 V to V _{DD} + 0.3 V or 30 mA, whichever occurs first
Peak Current, Sx or D (Pulsed at 1 ms, 10% Duty-Cycle Maximum)	600 mA
Continuous Current per Channel, Sx or D	Data in Table 2 + 15% mA
Temperature	
Operating Range	−40°C to +125°C
Storage Range	−65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb Free	JEDEC-J-STD-020
Peak Temperature	260°C

1 IN、Sx、Dでの過電圧は内部ダイオードでクランプされます。電流は、仕様規定された最大定格に制限してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCBの設計と動作環境に直接関連します。PCBの熱設計には、細心の注意を払う必要があります。


θ_{JA}は1立方フィートの密閉容器内で測定された自然対流時の周囲とジャンクション間の熱抵抗です。θ_{JC}は、ジャンクションとケース間の熱抵抗です。

表 4. 熱抵抗

Package Type ¹	θ _{JA}	θ _{JC}	Unit
CP-8-31	64.90	14.31	°C/W

1 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD-51を参照してください。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

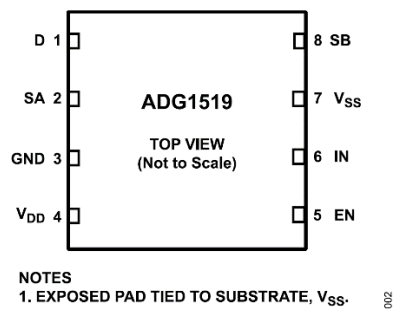


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	D	ドレイン端子。Dピンは入力または出力に設定できます。
2	SA	ソース端子。SAピンは入力または出力に設定できます。
3	GND	グラウンド (0V) リファレンス。
4	V_{DD}	正電源の電位。 V_{DD} ピンは、0.1 μ FのコンデンサでGNDからデカップリングします。
5	EN	アクティブ・ハイのデジタル入力。ENがローのときはデバイスがディスエーブルされ、SA、SB、およびD端子が高インピーダンス状態になります。 ENピンがハイのときにどのスイッチがオンになるかは、INロジックの入力によって決まります。
6	IN	ロジック制御入力。
7	V_{SS}	負電源の電位。 V_{SS} ピンは、0.1 μ FのコンデンサでGNDからデカップリングします。
8	SB	ソース端子。SBピンは入力または出力に設定できます。
0	EPAD	露出パッド。露出パッドは基板の V_{SS} に接続します。

表 6. 真理値表

EN	IN	D
0	X ¹	High impedance
1	0	SA
1	1	SB

1 Xはドント・ケアを意味します。

代表的な性能特性

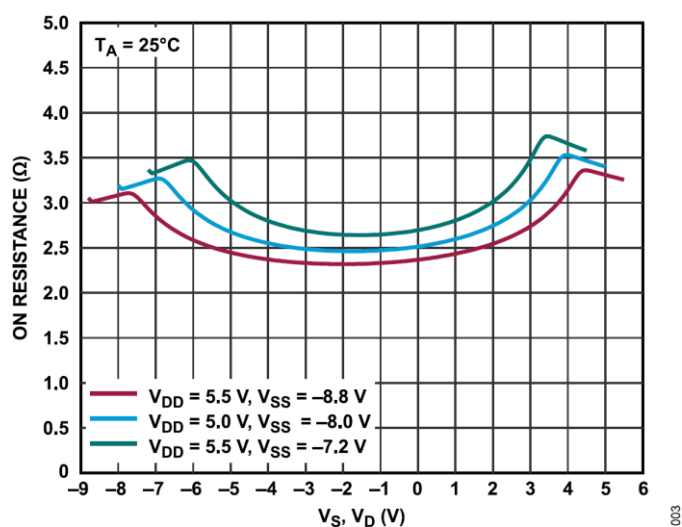
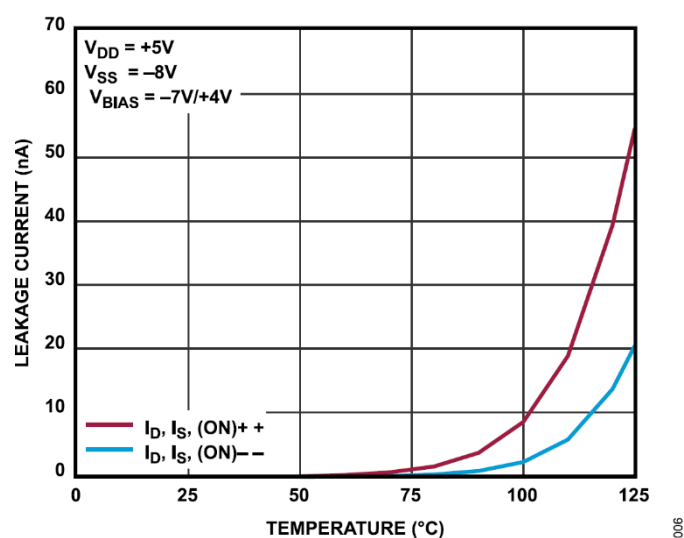
図 3. V_S および V_D とオン抵抗の関係

図 6. オン・リークの温度特性

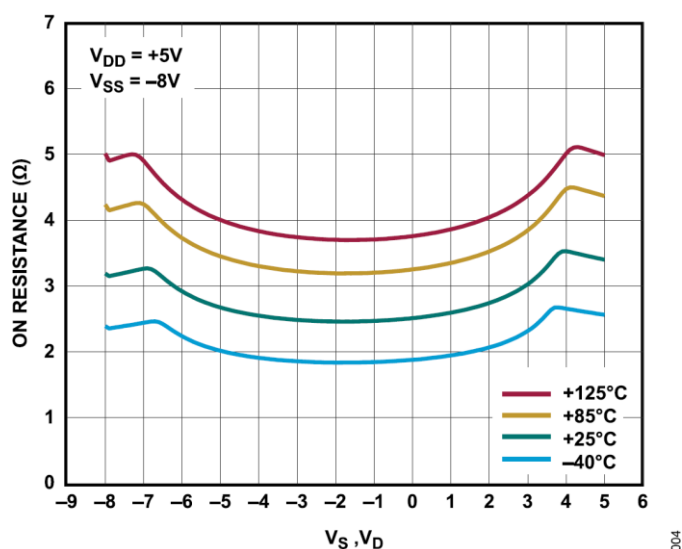
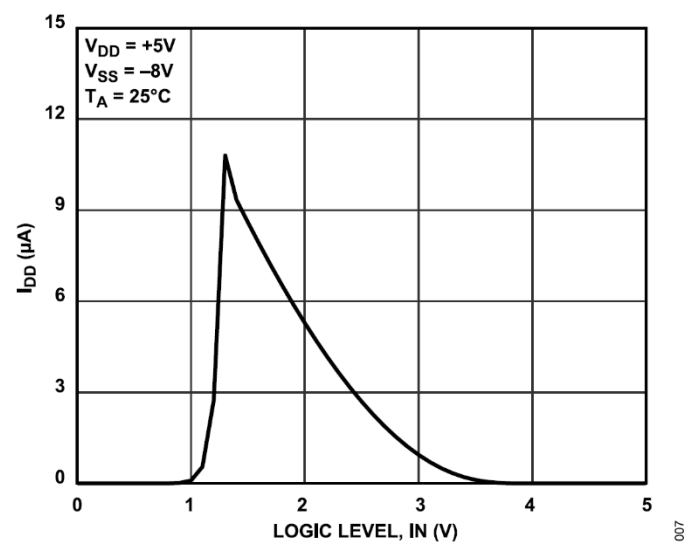
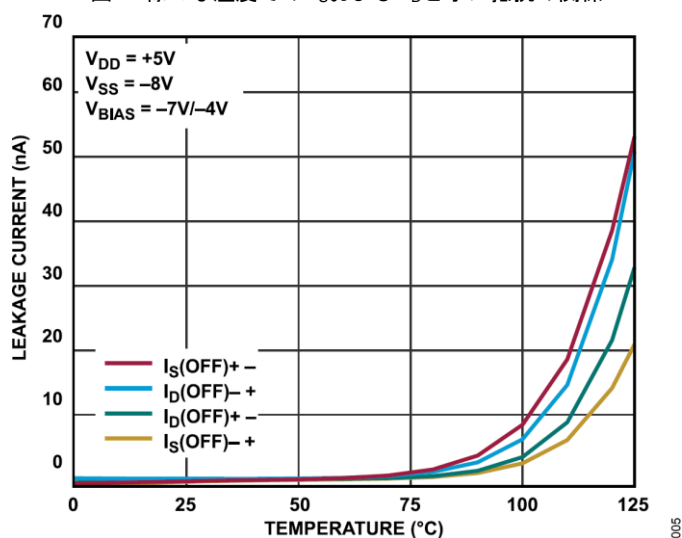
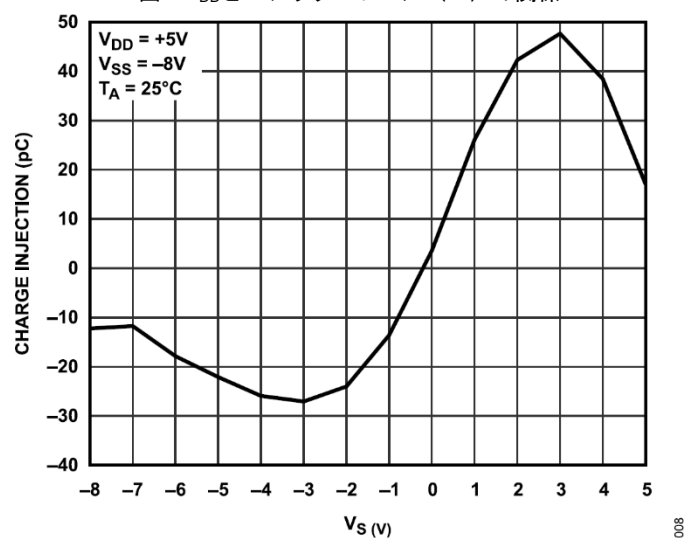
図 4. 様々な温度での V_S および V_D とオン抵抗の関係図 7. I_{DD} とロジック・レベル (IN) の関係

図 5. オフ・リークの温度特性

図 8. チャージ・インJECTIONと V_S の関係=5V

代表的な性能特性

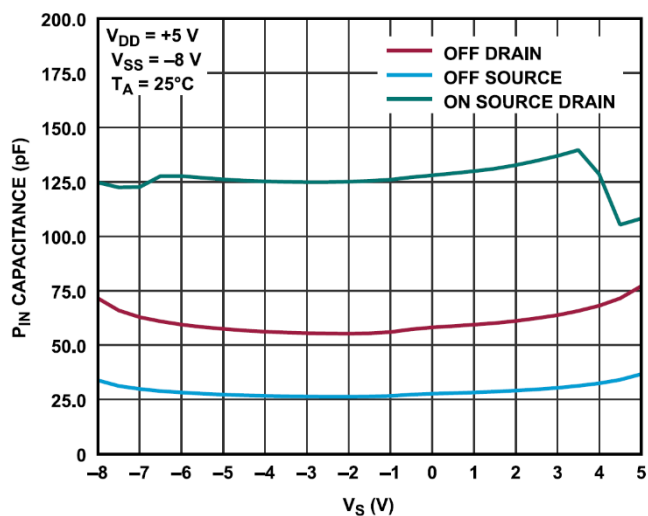
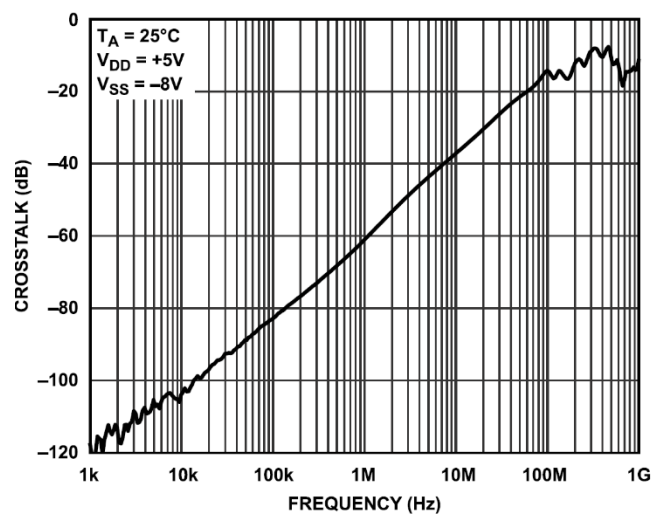
図 9. ピン容量と V_S の関係

図 12. クロストークの周波数特性

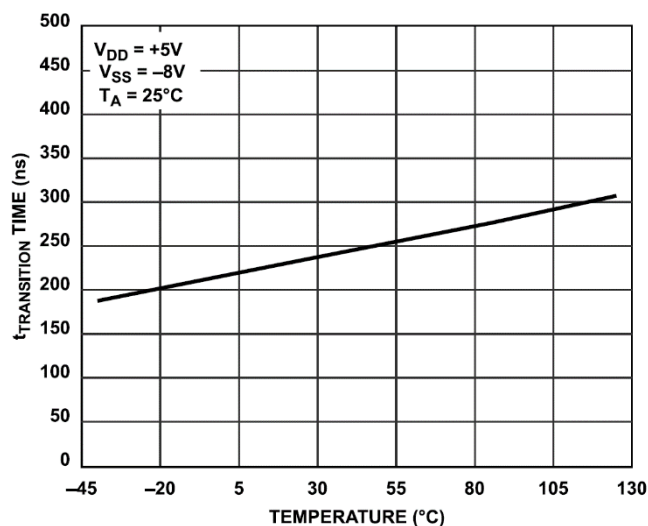
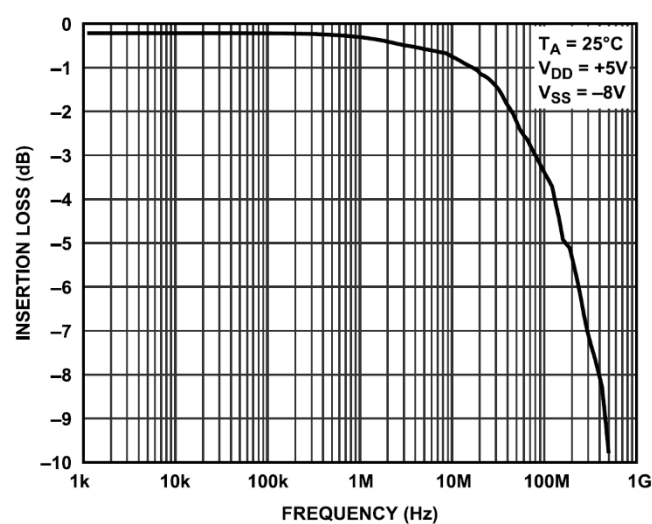
図 10. $t_{TRANSITION}$ 時間の温度特性

図 13. 様挿入損失の周波数特性

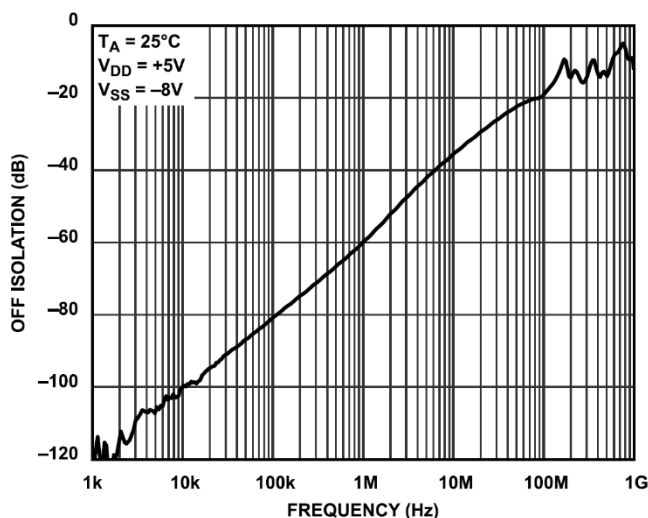


図 11. オフ・アイソレーションの周波数特性

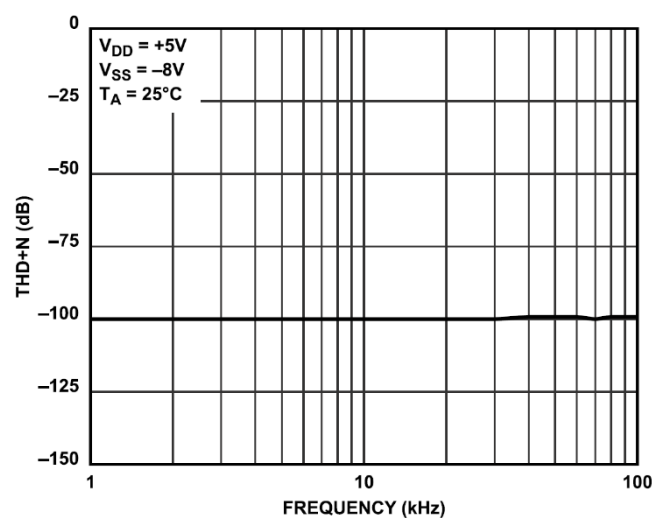


図 14. THD + Nの周波数特性

代表的な性能特性

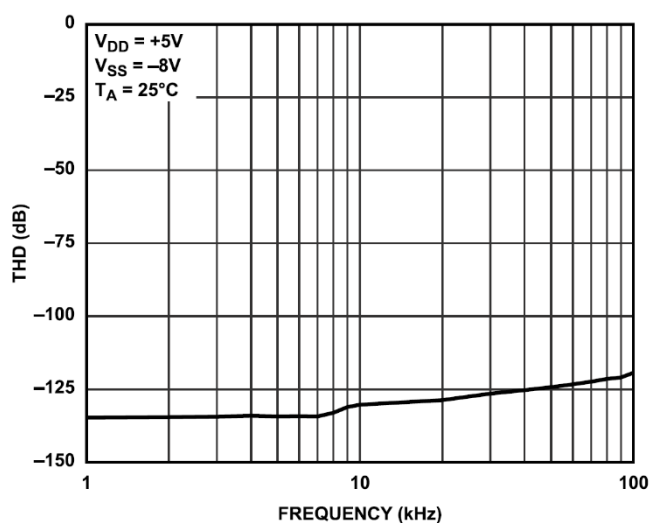


図 15. THDの周波数特性

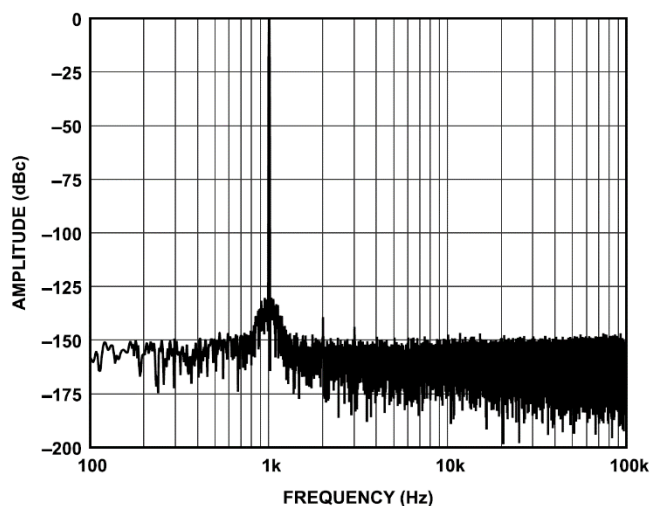


図 16. THDの高速フーリエ変換 (FFT)

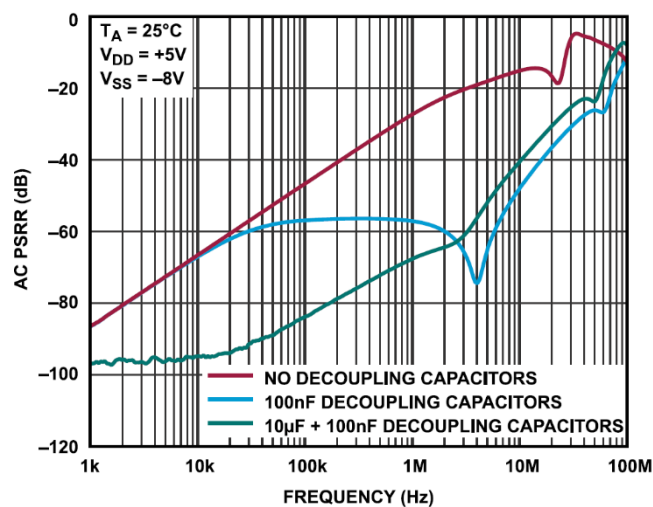


図 17. 電源電圧変動除去比 (PSRR) の周波数特性

テスト回路

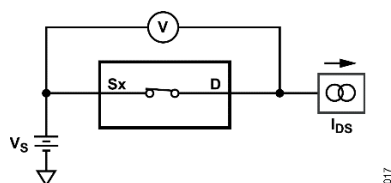
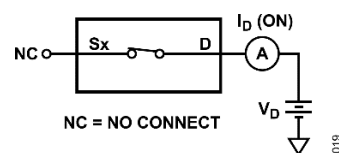
図 18. オン抵抗 (I_{DS} はドレイン・ソース間電流)

図 20. オン・リーク

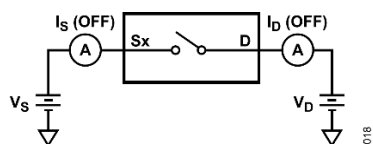


図 19. オフ・リーク

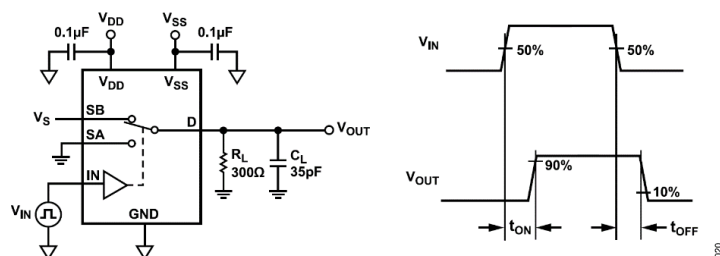
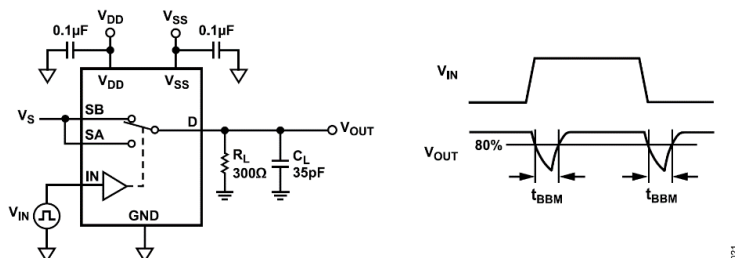
図 21. スイッチング時間、 t_{ON} と t_{OFF} (V_{OUT} は出力電圧)

図 22. ブレークビフォアメーカーの遅延時間

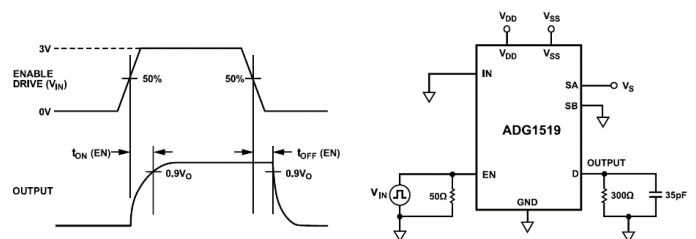
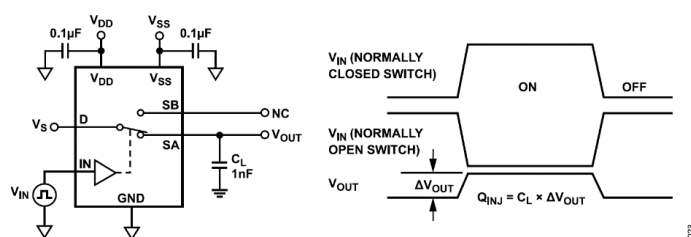
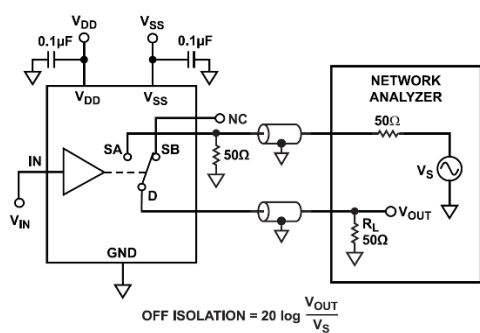
図 23. イネーブル遅延、 t_{ON} (EN)、 t_{OFF} (EN)

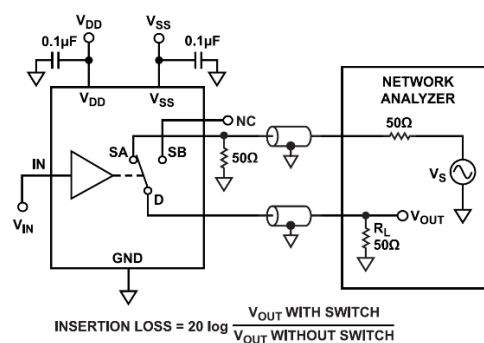
図 24. チャージ・インжекション

テスト回路



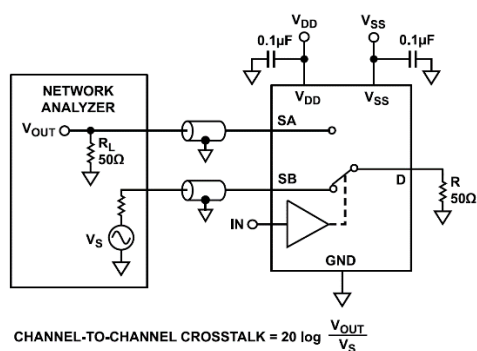
024

図 25. オフ・アイソレーション



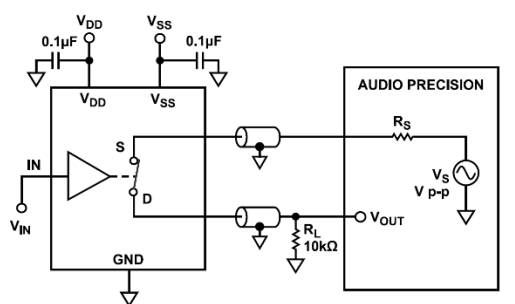
025

図 27. 帯域幅



026

図 26. チャンネル間クロストーク



027

図 28. THDとTHD + N

用語の定義

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_DとV_S

端子Dと端子Sのアナログ電圧。

R_{ON}

端子Dと端子Sの間の抵抗。

R_{FLAT ON}

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

I_{S Off}

スイッチ・オフ時のソース・リーク電流。

I_{D Off}

スイッチ・オフ時のドレイン・リーク電流。

I_{D On}とI_{S On}

スイッチ・オン時の端子Dと端子Sのチャンネル・リーク電流。

V_{INL}

ロジック0の最大入力電圧。

V_{INH}

ロジック1の最小入力電圧。

I_{INL}とI_{INH}

デジタル入力の入力ハイおよび入力ロー電流。

C_{S Off}

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_{D Off}

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_{D On}とC_{S On}

スイッチ・オン時の端子Dと端子Sの容量、グラウンド基準で測定。

C_{IN}

デジタル入力容量。

t_{ON EN}

デジタル入力の50%のポイントとスイッチ・オン状態の90%のポイント間の遅延時間。[図23](#)を参照してください。

t_{OFF EN}

デジタル入力の50%のポイントとスイッチ・オフ状態の90%のポイントの間の遅延時間。[図23](#)を参照してください。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わる時のデジタル入力の50%のポイントとスイッチ・オン状態の90%のポイントの間の遅延時間。

T_D

あるアドレス状態から別のアドレス状態へ切り替わる時の、両方のスイッチの80%ポイント間で測定されるオフ時間。[図22](#)を参照してください。

チャージ・インジェクション

スイッチング中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。[図24](#)を参照してください。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。[図25](#)を参照してください。

クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。[図26](#)を参照してください。

帯域幅

出力が3dB減衰する周波数。[図27](#)を参照してください。

挿入損失

スイッチのオン抵抗に起因する損失。[図27](#)を参照してください。

THD + N

基本波成分に対する全高調波成分+信号ノイズの比。[図28](#)を参照してください。

THD

THDは、基本周波数の電力に対する全高調波成分の電力合計値の比率です。[図28](#)を参照してください。

用語の定義

AC PSRR

AC PSRRは、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスのDC電圧は、0.62V p-pのサイン波で変調されます。変調振幅に対する出力信号振幅の比がAC PSRRです。[図17](#)を参照してください。

アプリケーション情報

パワー・アンプのゲート・ドライブ

図29に、通信アプリケーションにおけるRFパワー・アンプのゲート・バイアス電圧設定にADG1519を使用する場合の代表的なアプリケーションを示します。ADG1519は、その非対称両電源とレールtoレール動作によって、-8Vまでの負電圧を使って窒化ガリウム（GaN）パワー・アンプをバイアスすることができます。また、正の+5Vレールは横方向拡散金属酸化膜半導体（LDMOS）パワー・アンプに最適です。

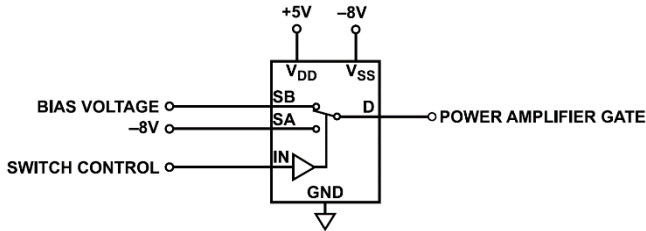


図 29. GaNパワー・アンプのゲート・ドライブ

電源レール

ADG1519の正常動作を保証するには、 V_{DD} ピンと V_{SS} ピンに0.1 μ Fのデカップリング・コンデンサを接続する必要があります。

ADG1519は $V_{DD} = +5V \pm 10\%$ および $V_{SS} = -4.5V \sim -8.8V$ の非対称両電源で動作しますが、 V_{DD} と V_{SS} の電源が必ず非対称である必要はありません。ただし、 $V_{DD} \sim V_{SS}$ の範囲が**絶対最大定格**のセクションに定める18Vを超えないようにしなければなりません。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

非対称バイポーラ電源ソリューションの例を図30に示します。

ADP5070（デュアル・スイッチング・レギュレータ）は、ADG1519用に正と負の電源レールを生成します。図30は、オプションとして2つの低ドロップアウト・レギュレータ（LDO）を使用した例で、正のLDOにADP7118を、負のLDOにADP7182を使用しています。これらのLDOを使用すると、極めて低いノイズにも敏感なアプリケーションにおいて、ADP5070の出力リップルを削減することができます。

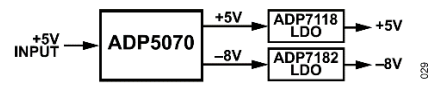


図 30. バイポーラ電源ソリューション

表 7. 推奨されるパワー・マネージメント・デバイス

パラメータ	定格
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADP7118	20 V, 200 mA, low noise, complementary metal oxide semiconductor (CMOS) LDO linear regulator
ADP7182	-28 V, -200 mA, low noise, LDO linear regulator

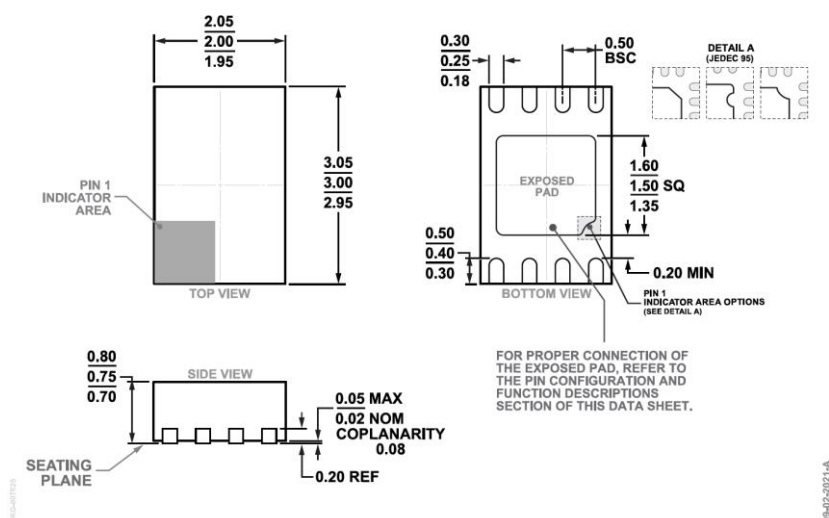


図 31. 8ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
2mm × 3mmボディ、0.75mmパッケージ高
(CP-8-31)
寸法 : mm

更新 : 2022年1月15日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
ADG1519BCPZ-RL7	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 3000	CP-8-31	S59

¹ Z = RoHS準拠製品。

評価用ボード

表 8.

Model ¹	Description
EVAL-ADG1519EBZ	Evaluation Board

¹ Z = RoHS準拠製品。