



ADES1754/ADES1755/ADES1756

14 チャンネル高電圧 データ・アキュイジション・システム

概要

ADES1754/ADES1755/ADES1756 は、高電圧および低電圧のバッテリー・モジュールを管理するための柔軟なデータ・アキュイジション・システムです。このシステムは完全に冗長化された測定エンジンを使用して、14 個のセル電圧、および 6 個の温度／システム電圧測定の組み合わせを 162 μ s で測定したり、ADC 測定エンジンのみですべての入力を 99 μ s で実行したりすることができます。300mA を超えるセル・バランスング電流に対応できるよう定格が定められた 14 個の内部バランスング・スイッチは、広範な診断機能を内蔵しています。最大 32 台のデバイスをデジタイズチェーン接続して 448 個のセルを管理し、192 個の温度値をモニタすることができます。

-2.5V~+5V のセル電圧とバスバー電圧が、65V の同相電圧範囲で差動で測定されます。測定精度は 100 μ V (代表値) です。オーバーサンプリングをイネーブルした場合は、14 ビットの分解能で 1 チャンネルあたり最大 128 個の測定値を内部的に平均し、デジタル・ポストプロセス IIR フィルタリングと組み合わせることでノイズ耐性を向上させることができます。

このシステムはダイ温度を測定して、熱過負荷が発生した場合は自動的にシステムをシャットダウンすることができます。このシステムはアナログ・デバイセズのバッテリー管理 UART プロトコルを使用して信頼性の高い通信を実現すると共に、外部デバイス制御用に I²C コントローラ・インターフェイスをサポートしています。また、組込みの通信インターフェイスとハードウェア・アラート・インターフェイスを通じて、内部診断と迅速なアラート通信に限定された機能セットをサポートするように最適化されています。

主なアプリケーション

- 住宅用バッテリー・ストレージ・システム
- 高電圧バッテリー・スタック
- バッテリー・バックアップ・システム (UPS)
- スーパー・キャパシタ・システム
- バッテリー駆動ツール
- EV 充電

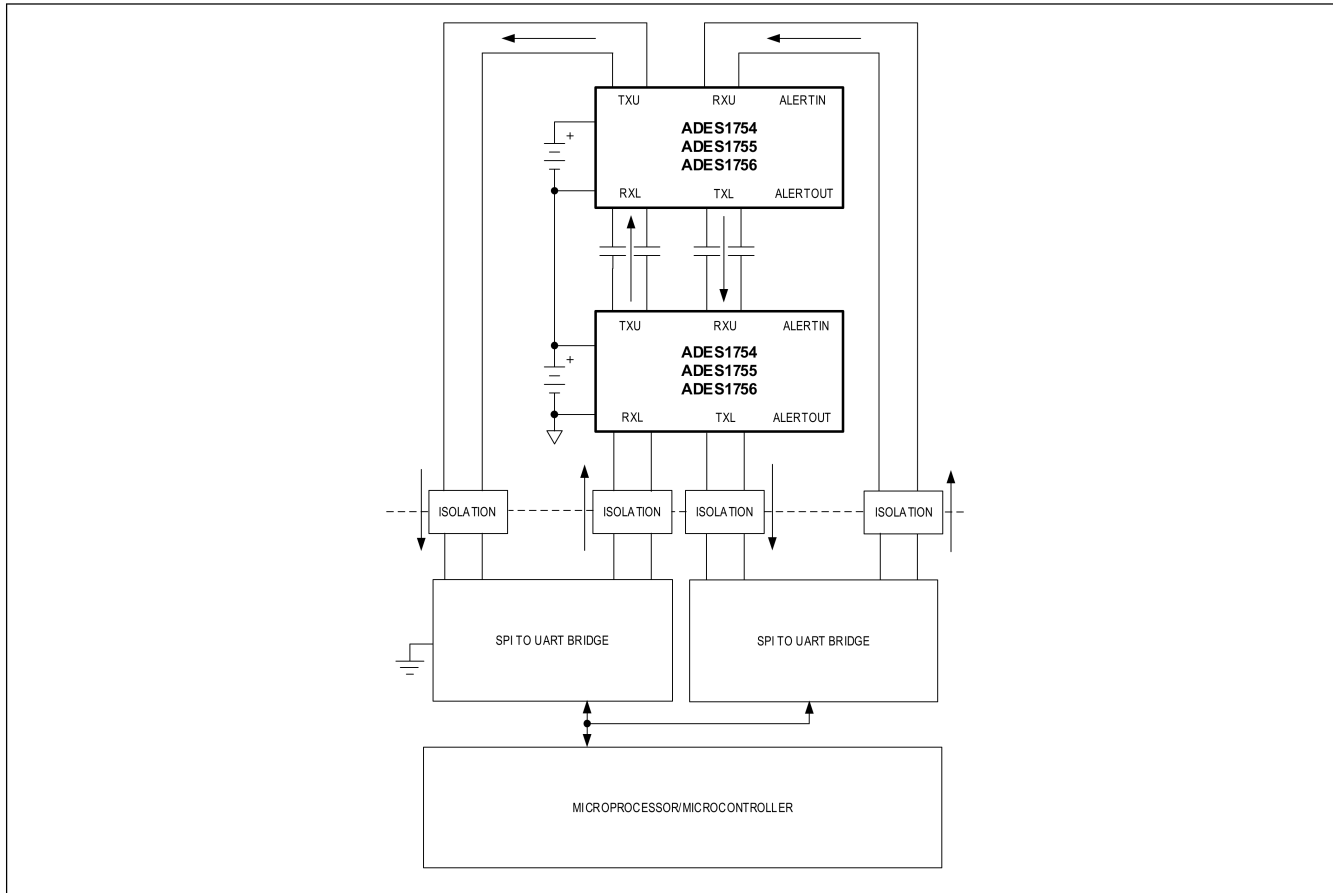
型番はデータシート末尾に記載されています。

特長と利点

- 動作電圧：65V
- 超低消費電力動作
 - シャットダウン・モード：2 μ A
- 冗長 ADC とコンパレータ (COMP) によるデータ・アキュイジション
- セル電圧とバスバー電圧の同時アキュイジション
- 14 個のセル電圧測定チャンネル
 - 精度：2.2mV/5mV/10mV (-40°C~+105°C)
 - 精度：1.8mV (+5°C~+65°C)
- 14 個のセル・バランスング・スイッチ
 - ソフトウェアで設定可能なバランスング電流：>300mA
 - 個別セル・タイマーによる自動バランスング
 - セル電圧による自動バランスング
 - 緊急放電モード
- 温度、電圧、GPIO 用の設定可能な 6 つの補助入力
- ダイ温度測定機能を内蔵
- 自動過熱保護機能
- 外部保護機能によらないホットプラグ耐性
- 個別に設定可能なセーフティ・アラート
 - 過電圧／低温フォルト
 - 低電圧／過熱フォルト
 - 1 セル・ミスマッチ・アラート
- UART、デュアル UART インターフェイス
- バッテリー管理 UART プロトコル
 - 最大 32 個のデバイスをデジタイズチェーン接続可能
 - より確実なガルバニック絶縁を実現する誘導方式
 - 最大ボー・レート：2Mbps (自動検出)
 - デバイスあたりの伝搬遅延：1.5 μ s
 - パケット・エラー・チェック (PEC)
- I²C コントローラ
- 設定可能なハードウェア・アラート・インターフェイス
- 32 ビットの固有デバイス ID

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

代表的なアプリケーションの図



絶対最大定格

HV~AGND.....	-0.3V~+80V	RXLP, RXLN, RXUP, RXUN,	
DCIN, SWn, VBLK, Cn~AGND .-	-0.3V~min(VHV + 0.3 or 72)V	ALERTIN~AGND	-30V~+30V
Cn~Cn-1	-72V~+72V	TXLP, TXLN, ALERTOUT~GNDL2.....	-0.3V~+6V
SWn~SWn-1	-0.3V~+52V	TXUP, TXUN~GNDL3	-0.3V~+6V
VAA~AGND	-0.3V~+2.2V	CPP~AGND	VDCIN - 1V to VHV + 1V
VDDL1~GNDL1	-0.3V~+2.2V	CPN~AGND	-0.3V~VDCIN + 0.3V
VAA~VDDL1	-0.3V~+0.3V	任意のピンへの最大連続電流 (Note 1)	
VDDL2, VDDL3~GNDL2, GNDL3	-0.3V~6.0V	-50mA~+50mA
AGND~GNDL1, GNDL2, GNDL3	-0.3V~0.3V	SWn ピンへの最大連続電流 (Note 2)	
AGND~AUXGND	-0.3V	-650mA~+650mA
GPIOn/AUXINn.....	-0.3V~VDDL2 + 0.3V	ESD ダイオードの最大平均電力 (Note 3)	14.4W / √t
THRM~AGND.....	-0.3V~VAA + 0.3V	パッケージの連続電力 (Note 4)	2000mW
SHDNL~AGND.....	-0.3V~VDCIN + 0.3V	動作温度範囲.....	-40°C~+105°C
		保存温度範囲	-55°C~+150°C
		ジャンクション温度 (連続)	+150°C
		半田処理温度 (最大 10 秒)	+300°C

- Note 1 : バランシング・スイッチングはディスエーブル。
- Note 2 : 1つのバランシング・スイッチを最大 60 秒間イネーブル。
- Note 3 : 時間長 t における平均電力で、t はホットプラグ時に流れるトランジェント・ダイオード電流の時定数 (μs)。例えば、t が 330μs の場合の最大平均電力は 0.793W です。ピーク電流が 2A を超えないようにしてください。アプリケーション回路のダイオード電流波形からホットプラグ時の実際の平均電力を計算して、最大定格値と比較する必要があります。
- Note 4 : 多層ボード。TA > +70°C では 25mW/°C にディレーティングしてください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

LQFP

Package Code	C64+13C
Outline Number	21-0083
Land Pattern Number	90-0141
Thermal Resistance, Four Layer Board:	
Junction to Ambient (θJA)	40°C/W
Junction to Case (θJC)	8°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、[パッケージ・インデックス](#)で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[IC パッケージの熱的特性評価](#)を参照してください。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

電氣的特性

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Supply Voltage, DCIN	V_{DCIN}		9		65	V
Supply Voltage VDDL2, VDDL3	V_{DDL2} , V_{DDL3} , V_{DDIO}	$V_{DDL2} = V_{DDL3}$ External overdrive ($>V_{DDL2/3_REG}$) allowed. Also used as V_{DDIO} in I ² C applications.	$V_{DDL2/3_REG}$	3.3	5.5	V
DCIN Current, Shutdown Mode	I_{DCSHDN}	$V_{SHDNL} = 0V$		0.1		μA
DCIN Current, Standby Mode	I_{DCSTBY}	$V_{SHDNL} > 1.8V$, UART in idle mode; not in acquisition mode; balance switches, test current sources, and alert interface disabled; Note 6	2.2		3.1	mA
DCIN Current, ADC Acquisition Mode	I_{DC_ADC}	All cell and auxiliary measurements enabled, OVSAMPL[2:0] = 000b; Note 6		4.2	5	mA
DCIN Current, COMP Acquisition Mode	I_{DC_COMP}	All cell and auxiliary measurements enabled, OVSAMPL[2:0] = 000b; Note 6		4.6	5.5	mA
DCIN Current, ADC + COMP Acquisition Mode	$I_{DC_ADCCOMP}$	All cell and auxiliary measurements enabled; Note 6		5.4	6.4	mA
DCIN Incremental Current, UART Communication	I_{DCCOMM_UART}	Baud rate = 2Mbps (0% idle time preambles mode), 200pF load on TXUP and TXUN, TXL not active, not in acquisition mode, BALSWEN, CTSTEN = 0000h; Note 6		160	230	μA
HV Current, ADC Acquisition Mode	I_{HVMEAS}	ADC-only acquisition, all cells and auxiliary channels enabled, $V_{HV} = V_{DCIN} + 5.5V$	0.7	0.9	1.1	mA
HV Current, Comparator Scan Mode	I_{HVCOMP}	COMP only acquisition, all cells and auxiliary channels enabled, $V_{HV} = V_{DCIN} + 5.5V$	0.7	0.9	1.1	mA
Incremental HV Current, Cell-Balancing Mode	I_{HVBAL}	$V_{HV} = V_{DCIN} + 5.5V$, n balancing switches enabled	$(n+1) \times 5$	$(n+1) \times 15.5$	$(n+1) \times 26$	μA
CELL VOLTAGE INPUTS (Cn, V_{BLK})						
Differential Input Range	V_{CELLn}	Unipolar mode, Note 7	0		5	V
		Bipolar mode, Note 7	-2.5		2.5	
Common-Mode Input Range	V_{CnCM}	Not connected to SWn inputs	0		65	V
Input Leakage Current	I_{LKG_Cn}	Not in acquisition mode, $V_{Cn} = 65V$	-100	± 10	100	nA
V _{BLK} Input Resistance	R_{VBLK}	$V_{BLK} = V_{DCIN} = 57.6V$	4.5	10	20	M Ω
HVMUX Switch Resistance	R_{HVMUX}	CTSTDAC[3:0] = Fh	1.7	3.3	5	k Ω
CELL-BALANCING INPUTS (SWn)						
Leakage Current	I_{LKG_SW}	$V_{SW0} = 0V$, $V_{SWn} = 5V$, $V_{SWn-1} = 0V$	-1.0		+1.0	μA
Resistance, SWn to SWn-1	R_{SW}	BALSWEN[n-1] = 1, $I_{SWn} = 100mA$	0.5	1.25	2.25	Ω
		BALSWEN[n-1] = 1, $I_{SWn} = 300mA$; Note 8		1.3		

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Allowed Balancing Current	I_{BAL_MAX}	$T_J = +105^{\circ}C$, CBMEASEN = 0x00, FLXPCKEN1/2 = 0, all even or all odd channels enabled. Note 9		650		mA
AUXILIARY INPUTS (AUXINn)						
Input Voltage Range	V_{AUXIN}	$V_{ADCRE F} = V_{THRM}$ or V_{REF} based on AUXREFSEL	0		$V_{ADCRE F}$	V
Input Leakage Current	I_{LKG_AUX}	Not in acquisition mode, $V_{AUXINn} = 1.65V$	-400	+10	+400	nA
THRM OUTPUT						
Switch Resistance, V_{AA} to THRM	R_{THRM}			25	70	Ω
Leakage Current	I_{LKG_THRM}	$V_{THRM} = V_{AA}$	-1		+1	μA
MEASUREMENT ACCURACY						
ADC Measurement Error, HVMUX Inputs	$V_{CELLnERR}$	Unipolar mode; $V_{CELLn} = 3.6V$; SCANMODE = 0x0, 0x1; Note 10		± 200		μV
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; $+5^{\circ}C < temp < +65^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10	-1.8		+1.8	mV
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1754)	-2.2		+2.2	
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1755)	-5		+5	
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1756)	-10		+10	
		Bipolar mode; $V_{CELLn} = 1.1V$; SCANMODE = 0x0, 0x1; Note 10		± 200		μV
		Bipolar mode; $-2.3V \leq V_{CELLn} \leq +2.3V$; $+5^{\circ}C < temp < +65^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10	-1.8		+1.8	mV
		Bipolar mode; $-2.3V \leq V_{CELLn} \leq +2.3V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1754)	-2.2		+2.2	
		Bipolar mode; $-2.3V \leq V_{CELLn} \leq +2.3V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1755)	-5		+5	
		Bipolar mode; $-2.3V \leq V_{CELLn} \leq +2.3V$; $-40^{\circ}C < temp < +105^{\circ}C$; SCANMODE = 0x0, 0x1; Note 10 (ADES1756)	-10		+10	
ADC Measurement Error, ALTMUX Inputs	V_{SWnERR}	Unipolar mode; $V_{CELL} = 3.6V$; SCANMODE = 0x0, 0x1; Note 10		± 200		μV

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; SCANMODE = 0x0, 0x1; Note 10 (ADES1754)	-2.2		+2.2	mV
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; SCANMODE = 0x0, 0x1; Note 10 (ADES1755)	-5		+5	
		Unipolar mode; $0.2V \leq V_{CELLn} \leq 4.8V$; SCANMODE = 0x0, 0x1; Note 10 (ADES1756)	-10		+10	
		Bipolar mode; $V_{CELLn} = 1.1V$; SCANMODE = 0x0, 0x1; Note 10		±200		μV
		Bipolar mode; $0 \leq V_{CELLn} \leq 2.3V$; SCANMODE = 0x0, 0x1 (ADES1754)	-2.2		+2.2	mV
		Bipolar mode; $0 \leq V_{CELLn} \leq 2.3V$; SCANMODE = 0x0, 0x1 (ADES1755)	-5		+5	
		Bipolar mode; $0 \leq V_{CELLn} \leq 2.3V$; SCANMODE = 0x0, 0x1 (ADES1756)	-10		+10	
ADC Measurement Error, V_{BLK} Input	V_{BLKERR}	$9V \leq V_{BLK} \leq 64.4V$; $V_{DCIN} = 64.4V$; SCANMODE = 0x0, 0x1; Note 11	-160		+160	mV
ADC Measurement Error, Ratiometric AUXIN Inputs	$V_{OS_AUX_RAT_IO}$	AUXREF[n] = 0b; SCANMODE = 0x0, 0x1; OVSAMPL != 0x0; Note 11	-3.5		+3.5	mV
ADC Measurement Error, Absolute AUXIN Inputs	$V_{OS_AUX_ABS}$	AUXREF[n] = 1b; SCANMODE = 0x0, 0x1; Note 11	-4		+4	mV
Total Measurement Error, Die Temperature	T_{DIE_ERR}	$T_J = -40^{\circ}C$ to $+105^{\circ}C$; OVSAMPL[2:0] = 000b; Note 8	-5	0	+5	°C
Cell Input Referred Noise	$V_{CELLNOISE}$	OVSAMPL[2:0] = 0x3h; Note 8		250		μV _{RMS}
Auxiliary Input Referred Noise	$V_{AUXNOISE}$	OVSAMPL[2:0] = 0x3h; Note 8		50		μV _{RMS}
Differential Nonlinearity (Any Conversion)	DNL			±1.0		LSb
ADC Resolution			12			bits
Level-Shifting Amplifier Offset	V_{OS_LSAMP}	DIAGSEL[2:0] = 011b; Note 12	-2	+0.1	+2	mV
COMPARATOR						
Input Common-Mode Range	V_{CM_COMP}		0		65	V
Input Differential Mode Range	V_{DM_COMP}		0		5	V
Comparator Accuracy CELL	$V_{OS_COMP_CELL}$	$0.2V \leq V_{CELLn} \leq 4.8V$	-20		+20	mV
Comparator Accuracy AUX	$V_{OS_COMP_AUX}$	$0V \leq V_{AUXn} \leq V_{AA}$	-20		+20	mV
SHDNL INPUT AND CHARGE PUMP						
Input Low Voltage	V_{IL_SHDNL}				0.6	V
Input High Voltage	V_{IH_SHDNL}		1.8			V
Regulated Voltage	$V_{SHDNLIMIT}$	$V_{DCIN} \geq 12V$	7	10.8	14	V
		$V_{DCIN} = 9V$		8.5		

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pull-down Resistance	$R_{FORCEPOR}$	FORCEPOR = 1	200	500	800	Ω
Input Leakage Current	I_{LKG_SHDNL}	$V_{SHDNL} = 3.3V$			1	μA
		$V_{SHDNL} = 65V$		40	75	
Charge Pump Current - UARTL/UARTU	I_{SHDNL}	$V_{SHDNL} < V_{SHDNLIMIT}$; baud rate = 2Mbps; Note 13	15	117	350	μA
UARTSEL						
UARTSEL Input High Voltage	$V_{IH_UARTSEL}$		0.7 x V_{AA}			V
GENERAL-PURPOSE I/O (GPIO)						
Input Low Voltage	V_{IL_GPIO}				0.3 x V_{DDL2}	V
Input High Voltage	V_{IH_GPIO}		0.7 x V_{DDL2}			V
Pull-down Resistance	R_{GPIO}	AUXINn/GPIO _n configured as GPIO input	0.5	2	7.5	M Ω
Output Low Voltage	V_{OL_GPIO}	$I_{SINK} = 4mA$			0.4	V
Output High Voltage	V_{OH_GPIO}	$I_{SOURCE} = 4mA$	$V_{DDL2} - 0.4$			V
ALERTIN						
ALERTIN Comparator Threshold	V_{CL}		$V_{DDL2/3}/2 - 0.4$	$V_{DDL2/3}/2$	$V_{DDL2/3}/2 + 0.4$	V
ALERTIN Comparator Hysteresis	$V_{HYS_ALERTIN}$			75		mV
ALERTIN Common-Mode Voltage Bias	V_{CM}			$V_{DDL2/3}/2$		V
Leakage Current	$I_{LKG_ALERTIN}$	$V_{ALERTIN} = 1.5V$		± 1.0		μA
Input Capacitance	$C_{ALERTIN}$			2		pF
Bit Period	t_{BIT}	Note 14		8		1/ f_{OSC_16M}
ALERTIN Fall Time	$t_{ALERTIN_FALL}$	Note 8, Note 15			0.5	t_{BIT}
ALERTIN Rise Time	$t_{ALERTIN_RISE}$	Note 8, Note 15			0.5	t_{BIT}
ALERTIN Qualification Time	$t_{ALERTIN_QUAL}$			25		μs
Propagation Delay (ALERTIN Port to ALERTOUT Port)	t_{ALERT_PROP}			2.5	3	t_{BIT}
Start-Up Time from SHNDL High and $V_{AA} = 0V$ to ALERTIN Valid	$t_{ALERTIN_STARTUP}$			1		ms
ALERTOUT						
Output Low Voltage	$V_{OL_ALERTOUT}$	$I_{SINK} = 20mA$			0.4	V
Output High Voltage	$V_{OH_ALERTOUT}$	$I_{SOURCE} = 20mA$	$V_{DDL2} - 0.4$			V
Leakage Current	$I_{LKG_ALERTOUT}$	$V_{ALERTOUT} = 1.5V$	-1		+1	μA
3.3V REGULATOR (V_{DDL2}, V_{DDL3})						

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。
動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
3.3V Regulator Output Voltage	V _{DDL2/3_REG}	0 ≤ I _{DDL2/3} < 30mA	3.2	3.3	3.4	V
Short-Circuit Current	I _{DDL2/3_SC}	V _{DDL2/3} shorted to AGND	30			mA
1.8V REGULATOR (V _{AA})						
1.8V Regulator Output Voltage	V _{AA}	0 ≤ I _{AA} < 3mA	1.71	1.8	1.89	V
Short-Circuit Current	I _{AA_SC}	V _{AA} shorted to AGND	10			mA
POR Threshold	V _{1.8REG_POR_RISE}	V _{AA} rising	1.3	1.5	1.65	V
	V _{1.8REG_POR_HYS}			50		mV
THERMAL SHUTDOWN						
Thermal Shutdown Temperature	T _{SHDN}	Temperature rising; Note 8		+145		°C
Thermal Shutdown Hysteresis	T _{HYS}	Note 8		15		°C
HV CHARGE PUMP						
Output Voltage (V _{HV} - V _{DCIN})	V _{HV-DCIN}	9V ≤ V _{DCIN} ≤ 12V, I _{LOAD} = 1.5mA	6.5	6.9	7.4	V
		12V ≤ V _{DCIN} ≤ 65V, I _{LOAD} = 3mA	6.5	6.9	7.4	
Output Voltage (V _{HV} - V _{TOPCELL})	V _{HV-DCIN_FLEX}	14V ≤ V _{DCIN} ≤ 65V, I _{LOAD} = 3mA, FLXPCKEN1/2 = 1b	8.0	8.5	9.0	V
Charge Pump Efficiency	Eff _{HVCP}	V _{DCIN} = 57.6V; Note 16		38		%
OSCILLATORS						
LFOSC Frequency	f _{LFOSC}		32.11	32.768	33.42	kHz
HFOSC Frequency	f _{HFOSC}		15.68	16	16.32	MHz
DIAGNOSTIC TEST SOURCES						
Cell Test Source Current	I _{TSTCn}	CTSTDAC[3:0] = 9h, V _{C0} < V _{DDL2/3} - 1.4V, V _{DDL2/3} = 3.3V	50	62.5	75	μA
		CTSTDAC[3:0] = 6h, V _{C0} < V _{DDL2/3} - 1.4V, V _{DDL2/3} = 3.3V	36	45	54	
		CTSTDAC[3:0] = 6h, V _{C1-C14} > V _{AGND} + 1.4V	-54	-45	-36	
		CTSTDAC[3:0] = 9Fh, V _{C1-C14} > V _{AGND} + 1.4V	-75	-62.5	-50	
HVMUX Test Source Current	I _{TSTHVMUX}	CTSTDAC[3:0] = 9h, V _{Cn} < V _{HV} - 1.4V, V _{HV} = 53.5V	25	31.25	37.5	μA
		CTSTDAC[3:0] = 6h, V _{Cn} < V _{HV} - 1.4V, V _{HV} = 53.5V	18	22.5	27	
AUXIN Test Source Current	I _{TSTAUXIN}	CTSTDAC[3:0] = 9h, V _{AUXINn} < V _{DDL2/3} - 1.4V, V _{DDL2/3} = 3.3V	50	62.5	75	μA
		CTSTDAC[3:0] = 6h, V _{AUXINn} < V _{DDL2/3} - 1.4V, V _{DDL2/3} = 3.3V	36	45	54	
		CTSTDAC[3:0] = 6h, V _{AUXINn} > V _{AGND} + 1.4V	-54	-45	-36	
		CTSTDAC[3:0] = 9h, V _{AUXINn} > V _{AGND} + 1.4V	-75	-62.5	-50	
DIAGNOSTIC REFERENCES						

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ALTREF Voltage	V_{ALTREF}	DIAGSEL[2:0] = 001b; Note 12	0.99	1.00	1.01	V
		DIAGSEL[2:0] = 001b; $5^{\circ}C < \text{temp} < +65^{\circ}C$; Note 12	0.995	1.00	1.005	
ALTREF Temperature Coefficient ($\Delta V_{ALTREF}/\Delta T$)	A_{ALTREF}	Note 8		± 25		ppm/ $^{\circ}C$
PTAT Output Voltage	V_{PTAT}	$T_J = +120^{\circ}C$; Note 8		1.14		V
PTAT Temperature Coefficient ($\Delta V_{PTAT}/\Delta T$)	A_{V_PTAT}	Note 8		2.87		mV/ $^{\circ}C$
PTAT Temperature Offset	T_{OS_PTAT}	Note 8		-4.4		$^{\circ}C$
ALERTS						
ALRTVDDL1 Threshold	V_{VDDL1_OC}	$V_{AA} = 1.8V$	1.62	1.65	1.68	V
ALRTVDDL2/3 Threshold	$V_{VDDL2/3_OC}$	$V_{DDL2/3} = 3.3V$	2.9	3.0	3.1	V
ALRTGNDLn Threshold	V_{GNDL_OC}	AGND = 0V	0.05	0.15	0.3	V
ALRTHVUV Threshold	V_{HVUV}	$V_{HV} - V_{DCIN}$ falling, FLXPCKEN1/2 = 0	1.8	2	2.2	V
ALRTHVOV Threshold	V_{HVOV}	$V_{HV} - V_{DCIN}$ rising	9.0	9.5	9.9	V
ALRTHVHDRM Threshold	V_{HVHDRM}	ALRTHVHDRM = 0	3.0			V
ALRTTEMP Threshold	$T_{ALRTTEMP}$	Note 8	115	120	125	$^{\circ}C$
ALRTTEMP Hysteresis	$T_{ALRTTEMPHYS}$	Note 8		2		$^{\circ}C$
UART OUTPUTS (TXLP, TXLN, TXUP, TXUN)						
Output Low Voltage	V_{OL}	$I_{SINK} = 20mA$			0.4	V
Output High Voltage (TXLP, TXLN)	V_{OH}	$I_{SOURCE} = 20mA$	$V_{DDL2} - 0.4$			V
Output High Voltage (TXUP, TXUN)	V_{OH}	$I_{SOURCE} = 20mA$	$V_{DDL3} - 0.4$			V
Leakage Current	I_{LKG_TX}	$V_{TX} = 1.5V$	-1		+1	μA
UART INPUTS (RXLP, RXLN, RXUP, RXUN)						
Input Voltage Range	V_{RX}		-25		+25	V
Receiver High Comparator Threshold	V_{CH}	Note 17	$V_{AA}/2 - 0.4$	$V_{AA}/2$	$V_{AA}/2 + 0.4$	V
Receiver Zero-Crossing Comparator Threshold	V_{ZC}	Note 17	-0.4	0	+0.4	V
Receiver Low Comparator Threshold	V_{CL}	Note 17	$-V_{AA}/2 - 0.4$	$-V_{AA}/2$	$-V_{AA}/2 + 0.4$	V
Receiver Comparator Hysteresis	V_{HYS_RX}	Note 17		75		mV
Receiver Common-Mode Voltage Bias	V_{CM}	Note 17		$V_{AA}/2$		V
Leakage Current	I_{LKG_RX}	$V_{RX} = 0.9V$		± 1.0		μA
Input Capacitance (RXLP, RXLN)	C_{RXL}			4		pF
Input Capacitance (RXUP, RXUN)	C_{RXU}			4		pF

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。
動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
UART TIMING						
Bit Period	t_{BIT}	Baud rate = 2Mbps; Note 14		8		$1/f_{OSC_1}$ 6M
		Baud rate = 1Mbps; Note 14		16		
		Baud rate = 0.5Mbps; Note 14		32		
Rx Idle to START Setup Time	t_{RXSTSU}	Note 8	0		1	t_{BIT}
STOP Hold Time to Idle	t_{SPHD}	Note 8			0.5	t_{BIT}
Rx Minimum Idle Time (STOP Bit to START Bit)	$t_{RXIDLESPST}$	Note 8	1			t_{BIT}
Rx Fall Time	t_{FALL}	Note 8, Note 15			0.5	t_{BIT}
Rx Rise Time	t_{RISE}	Note 8, Note 15			0.5	t_{BIT}
Propagation Delay (Rx Port to Tx Port)	t_{PROP}			2.5	3	t_{BIT}
Start-Up Time from SHNDL High and $V_{AA} = 0V$ to RXUP/RXUN Valid	$t_{STARTUP}$			1		ms
I²C						
Input Voltage Low	V_{IL}	$V_{DDL2/3} \leq V_{DDIO} \leq 5.5V$			$0.3V_{DDIO}$	V
Input Voltage High	V_{IH}	$V_{DDL2/3} \leq V_{DDIO} \leq 5.5V$	$0.7V_{DDIO}$			V
Input Voltage Hysteresis	V_{HYST}			0.15		V
Input Leakage Current	I_{IN}		-1.0	+0.1	+1.0	μA
Input Capacitance	C_{IN}			10		pF
Output Voltage Low	V_{OL}	$I_{SINK} = 3mA$			0.4	V
SCL Clock Frequency	f_{SCL}	400kHz mode ($I2CF_{SCL} = 1$)	0		400	kHz
		100kHz mode ($I2CF_{SCL} = 0$)	0		100	
Hold Time for a (Repeated) START Condition	$t_{HD;STA}$	400kHz mode ($I2CF_{SCL} = 1$)	0.6			μs
		100kHz mode ($I2CF_{SCL} = 0$)	4.0			
SCL Pulse Width Low	t_{LOW}	400kHz mode ($I2CF_{SCL} = 1$)	1.3			μs
		100kHz mode ($I2CF_{SCL} = 0$)	4.7			
SCL Pulse Width High	t_{HIGH}	400kHz mode ($I2CF_{SCL} = 1$)	0.6			μs
		100kHz mode ($I2CF_{SCL} = 0$)	4.0			
Set-up Time for a Repeated START Condition	$t_{SU;STA}$	400kHz mode ($I2CF_{SCL} = 1$)	0.6			μs
		100kHz mode ($I2CF_{SCL} = 0$)	4.7			
Data Hold Time	$t_{HD;DAT}$	Note 18	0			ns
		Controller transmitting data	300			
Data Setup Time	$t_{SU;DAT}$	Controller receiving data, and 400kHz mode ($I2CF_{SCL} = 1$) bus monitor check	100			ns
		Controller receiving data, and 100kHz mode ($I2CF_{SCL} = 0$) bus monitor check	250			
		Controller transmitting data	300			

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $V_{DCIN} = +56V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。ここで、 $T_{MIN} = -40^{\circ}C$ 、 $T_{MAX} = +105^{\circ}C$ 。代表値は $T_A = +25^{\circ}C$ における値。動作は推奨アプリケーション回路による (Note 5) 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rise Time of SDA and SCL	t_r				300	ns
Fall Time of SDA and SCL	t_f				300	ns
Setup Time for STOP Condition	$t_{SU;STO}$	400kHz mode (I2CF SCL = 1)	0.6			μs
		100kHz mode (I2CF SCL = 0)	4.0			
Bus Free Time Between a STOP and START Condition	t_{BUF}	400kHz mode (I2CF SCL = 1)	1.3			μs
		100kHz mode (I2CF SCL = 0)	4.7			
Bus Capacitance Allowed	C_b				400	pF
Suppressed Spike Pulse Width	t_{sp}	Width of spikes that must be suppressed by the input filter of both SDA and SCL signals		50		ns
Noise Margin at LOW Level	V_{nL}	For each connected device (including hysteresis)	$0.1V_{DDI}$ O			V
Noise Margin at HIGH Level	V_{nL}	For each connected device (including hysteresis)	$0.2V_{DDI}$ O			V

Note 5 : 特に指定のない限り、制限値は $T_A = +25^{\circ}C$ で 100% 製品テストされています。全動作温度範囲および関連電源電圧範囲での制限値は、設計と特性評価によって確認されています。

Note 6 : SCAN ビットがセットされるとアキュイジション・モード (ADC 変換) になり、SCANDONE がセットされると終了します。アキュイジション・デューティサイクルの代表値が非常に低いので、平均電流 I_{DCIN} は I_{DCMEAS} よりはるかに小さくなります。通信中の合計電源電流は、 $I_{DCIN} = I_{DCCOMM} + I_{DCSTBY}$ です。

Note 7 : 保証測定精度範囲は、 $V_{CELLn_min} + 0.2V$ から $V_{CELLn_max} - 0.2V$ までです。

Note 8 : 設計により性能は確認されていますが、出荷テストは行っていません。

Note 9 : 出荷テストは行っていません。最大許容バランス電流の詳細については、セル・バランスのセクションを参照してください。デューティサイクルは 10 年間のデバイス寿命で計算されています。

Note 10 : $V_{CELLn} = V_{Cn} - V_{Cn-1}$ 、 $V_{CELLn} = V_{CELLn-1}$ 、および $V_{DCIN} = 14 \times |V_{CELLn}|$ ($V_{DCIN} = 9V$ 、最小値)。測定精度は、1LSB 未満で入力ノイズをオーバーサンプリングした場合の初期合計測定誤差を表します。

Note 11 : 測定精度は、1LSB 未満で入力ノイズをオーバーサンプリングした場合の初期合計測定誤差を表します。

Note 12 : 指定された診断モードでの測定値。

Note 13 : $V_{SHDNL} = 0.3V$ 、STOP キャラクタ、ゼロ・アイドル時間、 $V_{RX_PEAK} = 3.3V$ で測定した I_{SHDNL} 。

Note 14 : デイジーチェーン・アプリケーションでは、デバイス間のクロック・レート変動とサンプリング誤差を考慮して、2 つ目のストップ・ビットのビット時間を指定値未満とすることができます。

Note 15 : 立下がり時間は 90% ~ 10% で測定し、立上がり時間は 10% ~ 90% で測定。

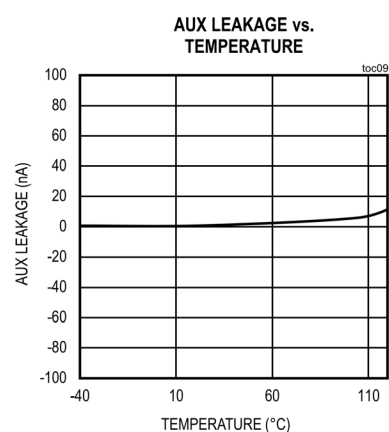
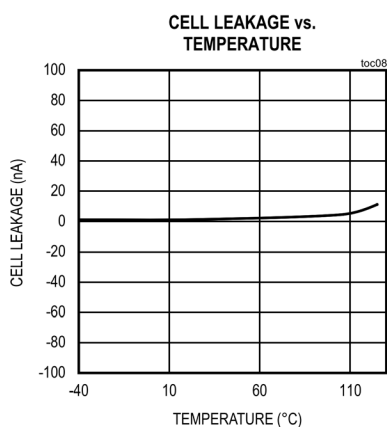
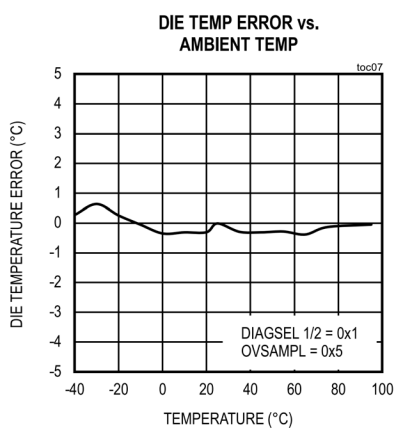
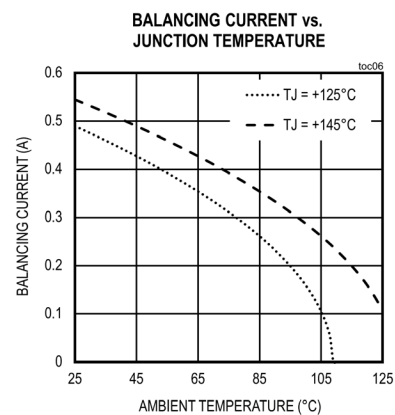
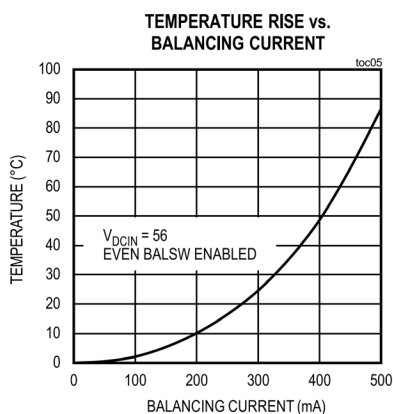
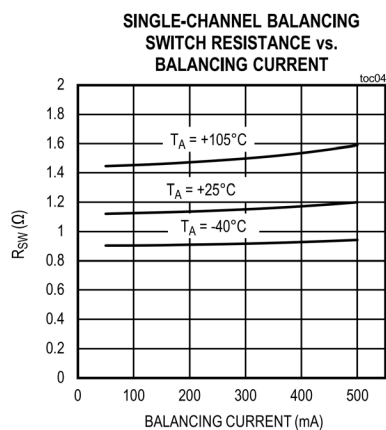
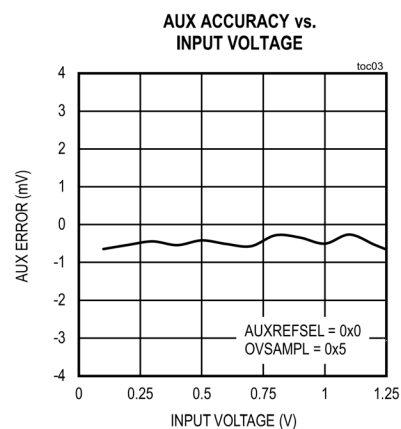
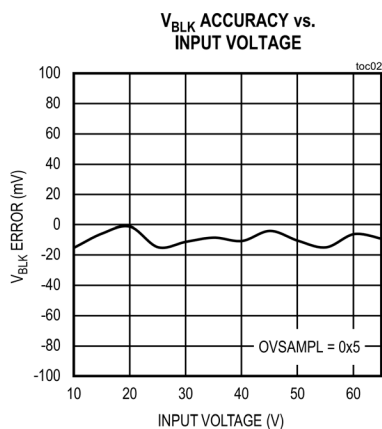
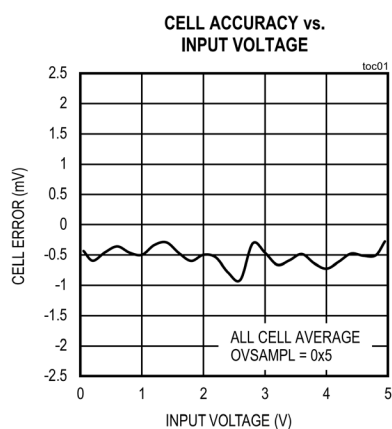
Note 16 : チャージ・ポンプ効率 $= \Delta I_{LOAD} / \Delta I_{SUPPLY}$ で、 I_{LOAD} は HV と AGND の間に置かれ、 $\Delta I_{LOAD} = 5mA$ 、 $\Delta I_{SUPPLY} = I_{DCIN}$ (for $I_{LOAD} = 5mA$) - I_{DCIN} (for $I_{LOAD} = 0$) です。

Note 17 : 差動信号 ($V_{UARTP} - V_{UARTN}$) で、 V_{UARTP} と V_{UARTN} が $\pm 40V$ の同相電圧範囲を超えることはありません。

Note 18 : SCL の立下がりエッジの不定領域を越えるには、デバイス内部での SDA 信号のホールド時間を 300ns 以上とする必要があります (SCL 信号の V_{IH_min} 基準)。

標準動作特性

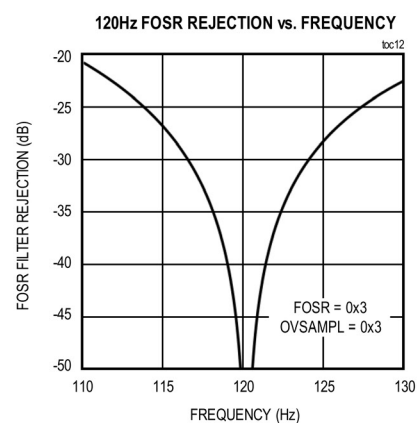
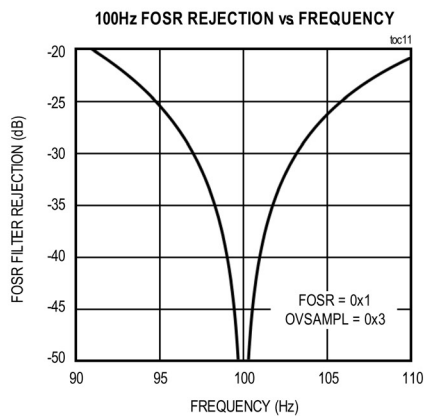
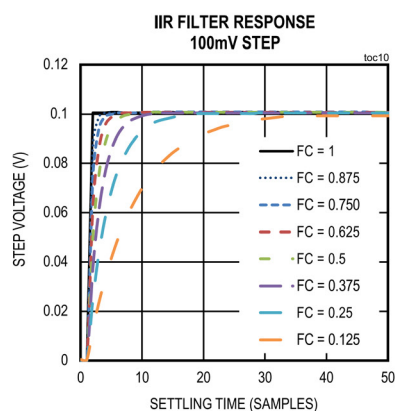
(特に指定のない限り、 $V_{DCIN} = 56V$ 、 $V_{DDL2/3} = 3.3V$ 、 $T_A = +25^{\circ}C$)



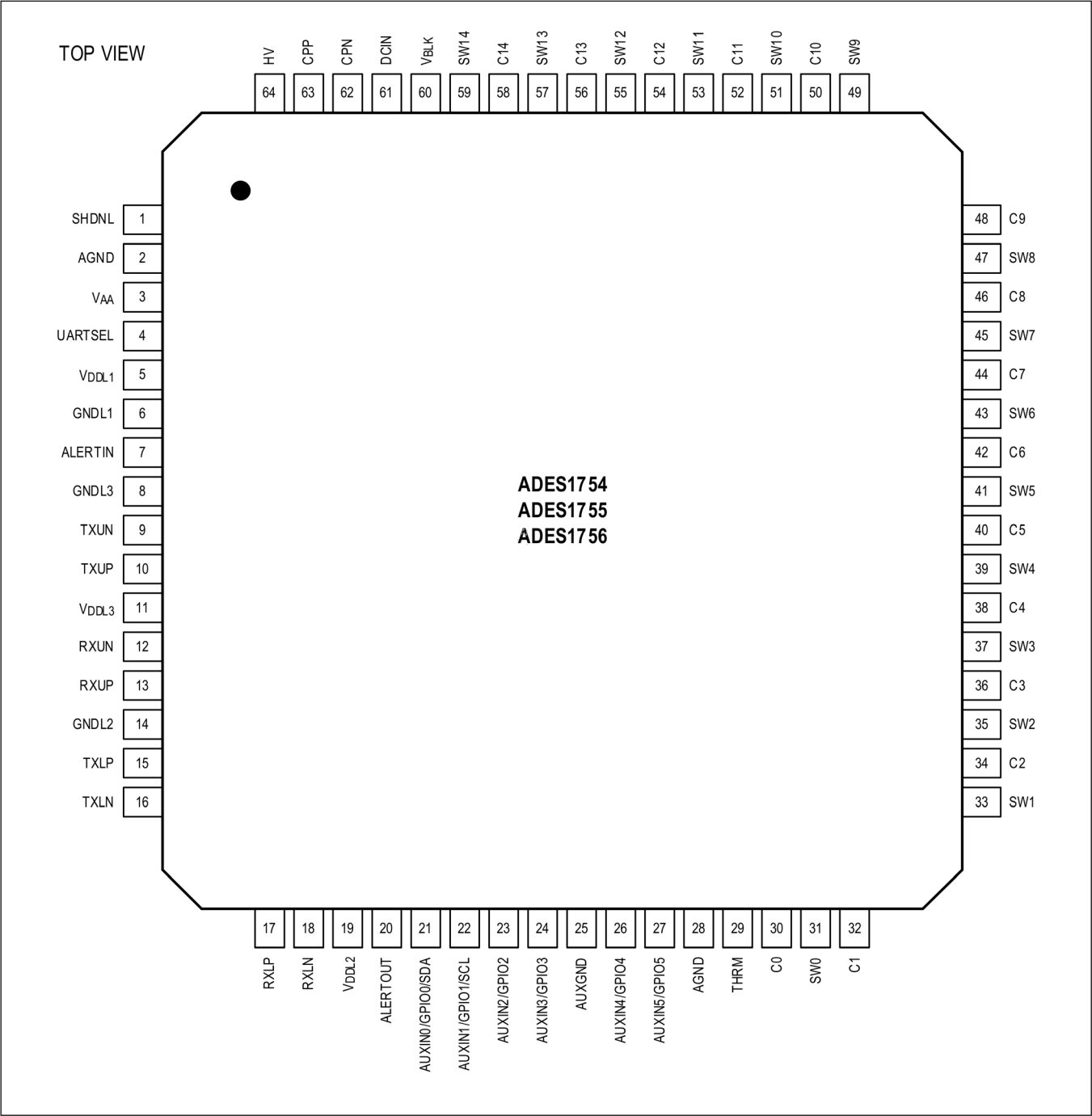
14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

(特に指定のない限り、 $DCIN = 56V$ 、 $V_{DDL2/3} = 3.3V$ 、 $T_A = +25^{\circ}C$)



ピン配置



端子説明

ピン	名称	説明	リファレンス 電源	タイプ
1	SHDNL	シャットダウンのアクティブ・ロー入力で、許容される電圧は+72V。1nFのコンデンサでAGNDへバイパスした場合、この入力にはUART通信とソフトウェア制御のみを通じて制御されます。このピンには受動部品だけを接続してください。シングルエンドUARTの場合はSHDNLを外部的に駆動する必要があります。	AGND	Input
2	AGND	アナログ・グラウンド。セル1の負端子とグラウンド・プレーンに接続します。	DCIN	Ground
3	V _{AA}	V _{DDL1} 電源に使用する V _{AA} (1.8V) レギュレータ出力。1μF のコンデンサで AGND にバイパスします。	AGND	Power
4	UARTSEL	V _{AA} に接続します。	VDDL1	Input
5	V _{DDL1}	1.8V デジタル電源。外部で V _{AA} に接続して、0.47μF のコンデンサで GNDL1 にバイパスします。	GNDL1	Power
6	GNDL1	デジタル・グラウンド。グラウンド・プレーンに接続します。	VDDL1	Ground
7	ALERTIN	フォルト・アラート入力。上側デジチチェーン接続デバイスに接続します。	VAA	Input
8	GNDL3	上側ポート・トランスミッタ用のグラウンド。グラウンド・プレーンに接続します。	VDDL3	Ground
9	TXUN	上側 UART トランスミッタ用の負出力。V _{DDL3} ~GNDL3 の範囲に駆動されます。	VDDL3	Output/ Input
10	TXUP	上側UARTトランスミッタ用の正出力。V _{DDL3} ~GNDL3の範囲に駆動されます。	VDDL3	Output/ Input
11	V _{DDL3}	3.3V レギュレータ出力。上側 UART トランシーバーと ALERT ピン用の電源です。外部で V _{DDL2} に接続して、0.47μF のコンデンサで GNDL3 にバイパスします。外部オーバードライブが可能：V _{DDL3} ≥ V _{DDL2/3_REG} でなければなりません。	GNDL3	Power
12	RXUN	上側 UART ポート・レシーバ用の負入力。このピンを使用しない場合は、未接続のままにするか GNDL3 に接続してください。許容される電圧は±30V です。	VAA	Input
13	RXUP	上側 UART ポート・レシーバ用の正入力。このピンを使用しない場合は、未接続のままにするか GNDL3 に接続してください。許容される電圧は±30V です。シングルエンド UART 用に設定する場合は、GNDL3 に接続します。	VAA	Input
14	GNDL2	下側ポート・トランスミッタ用のグラウンド。グラウンド・プレーンに接続します。	VDDL2	Ground
15	TXLP	下側 UART トランスミッタ用の正出力。V _{DDL2} ~GNDL2 の範囲に駆動されます。	VDDL2	Output
16	TXLN	下側 UART トランスミッタ用の負出力。UARTSEL の選択に依存し、V _{DDL2} ~GNDL2 の範囲に駆動されます。	VDDL2	Output
17	RXLP	下側 UART ポート・レシーバ用の正入力。このピンを使用しない場合は、未接続のままにするか GNDL3 に接続してください。許容される電圧は±30V です。シングルエンド UART 用に設定する場合は、GNDL3 に接続します。	VAA	Input
18	RXLN	下側 UART ポート・レシーバ用の負入力。このピンを使用しない場合は、未接続のままにするか GNDL2 に接続してください。許容される電圧は±30V です。	VAA	Input
19	V _{DDL2}	3.3V レギュレータ出力。下側 UART トランシーバーと ALERT ピン用の電源。外部で V _{DDL3} に接続して、0.47μF のコンデンサで GNDL3 にバイパスします。外部オーバードライブが可能：V _{DDL2} ≥ V _{DDL2/3_REG} でなければなりません。	GNDL2	Power
20	ALERTOUT	アラート出力インターフェイス。SPIDRVINT を使ってデジチチェーン接続の CMOS 出力として設定するか (ALERTIN に接続)、オープン・ドレイン出力として設定します (V _{DDL2} 、V _{DDL3} との間の外部 10kΩ プルアップ抵抗に接続)。	VDDL2	Output
21	AUXIN0/ GPIO0/SDA	補助入力、GPIO、またはSDAとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩNTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、V _{DDL2} ~GNDL2の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。I ² C SDA I/Oとして設定する場合は、外部プルアップ抵抗が必要です。このピンはV _{DDL2} ~GNDL2の範囲に駆動されます。	VDDL2	Input/ Output

22	AUXIN1/ GPIO1/SCL	補助入力、GPIO、またはSCLとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩ NTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、 $V_{DDL2} \sim GNDL2$ の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。I ² C SCLとして設定した場合はI ² Cのクロック出力となります。	VDDL2	Input/ Output
23	AUXIN2/ GPIO2	補助入力またはGPIOとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩ NTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、 $V_{DDL2} \sim GNDL2$ の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。	VDDL2	Input/ Output
24	AUXIN3/ GPIO3	補助入力またはGPIOとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩ NTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、 $V_{DDL2} \sim GNDL2$ の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。	VDDL2	Input/ Output
25	AUXGND	AGND グランド・プレーンに接続します。	VAA	Power
26	AUXIN4/ GPIO4	補助入力またはGPIOとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩ NTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、 $V_{DDL2} \sim GNDL2$ の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。	VDDL2	Input/ Output
27	AUXIN5/ GPIO5	補助入力またはGPIOとして設定できます。 温度測定用のレシオメトリック補助入力として設定する場合は、THRMへの10kΩプルアップとAGNDへの10kΩ NTCサーミスタで構成された分圧器に接続します。使用しない場合はプルアップ抵抗にだけ接続してください。 GPIOとして設定した場合は、 $V_{DDL2} \sim GNDL2$ の範囲に駆動されます。このピンを入力として設定する場合は、2MΩの内部プルダウン抵抗が必要です。	VDDL2	Input/ Output
28	AGND	アナログ・グラウンド。セル1の負端子とグラウンド・プレーンに接続します。	DCIN	Ground
29	THRM	内部でV _{AA} に接続されたスイッチ出力。THRMは、補助入力用外部NTC分圧器の駆動に使われます。この出力は、測定時、またはTHRM _{MODE} [1:0]によって設定された場合のみイネーブルされます。この出力は最大2mAをソースできます。	AUXGND	Power
30	C0	セル1負端子用電圧入力。AGNDに接続してください。		Input
31	SW0	セル1負端子用バランス入力。		Input
32	C1	セル1正端子（セル2負端子）用電圧入力。		Input
33	SW1	セル1正端子（セル2負端子）用バランス入力。		Input
34	C2	セル2正端子（セル3負端子）用電圧入力。		Input
35	SW2	セル2正端子（セル3負端子）用バランス入力。		Input
36	C3	セル3正端子（セル4負端子）用電圧入力。		Input
37	SW3	セル3正端子（セル4負端子）用バランス入力。		Input

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

38	C4	セル 4 正端子（セル 5 負端子）用電圧入力。		Input
39	SW4	セル 4 正端子（セル 5 負端子）用バランス入力。		Input
40	C5	セル 5 正端子（セル 6 負端子）用電圧入力。		Input
41	SW5	セル 5 正端子（セル 6 負端子）用バランス入力。		Input
42	C6	セル 6 正端子（セル 7 負端子）用電圧入力。		Input
43	SW6	セル 6 正端子（セル 7 負端子）用バランス入力。		Input
44	C7	セル 7 正端子（セル 8 負端子）用電圧入力。		Input
45	SW7	セル 7 正端子（セル 8 負端子）用バランス入力。		Input
46	C8	セル 8 正端子（セル 9 負端子）用電圧入力。		Input
47	SW8	セル 8 正端子（セル 9 負端子）用バランス入力。		Input
48	C9	セル 9 正端子（セル 10 負端子）用電圧入力。		Input
49	SW9	セル 9 正端子（セル 10 負端子）用バランス入力。		Input
50	C10	セル 10 正端子（セル 11 負端子）用電圧入力。		Input
51	SW10	セル 10 正端子（セル 11 負端子）用バランス入力。		Input
52	C11	セル 11 正端子（セル 12 負端子）用電圧入力。		Input
53	SW11	セル 11 正端子（セル 12 負端子）用バランス入力。		Input
54	C12	セル 12 正端子（セル 13 負端子）用電圧入力。		Input
55	SW12	セル 12 正端子（セル 13 負端子）用バランス入力。		Input
56	C13	セル 13 正端子（セル 14 負端子）用電圧入力。		Input
57	SW13	セル 13 正端子（セル 14 負端子）用バランス入力。		Input
58	C14	セル 14 正端子用電圧入力。		Input
59	SW14	セル 14 正端子用バランス入力。		Input
60	V _{BLK}	ブロック電圧正入力。R _{VBLK} の内部プルダウン抵抗。	DCIN	Input
61	DCIN	低電圧レギュレータ、HVチャージ・ポンプ、およびSHDNLチャージ・ポンプ用DC電源。100Ωの直列抵抗を介して9V～65Vの電圧源に接続します。100V 2.2μFのコンデンサでグラウンドにバイパスしてください。		Power
62	CPN	HV チャージ・ポンプ用のコンデンサ負接続。		Power
63	CPP	HVチャージ・ポンプ用のコンデンサ正接続。CPPとCPNの間に100V 0.1μFのコンデンサを接続します。		Power
64	HV	HV チャージ・ポンプ用コンデンサのデカップリング接続。50V 4.7μFのコンデンサでDCINにバイパスしてください。		Power

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

詳細

データ・アキュイジション・システムは図 1 に示す主要ブロックで構成されています。各ブロックの詳細を表 1 に示します。

表 1. システム・ブロック

ブロック	説明
ADC	A/D コンバータ。リファレンス電圧 1.25V、電源電圧 V_{AA} の 12 ビット逐次比較レジスタ（SAR）を使用します。
HVMUX	C0～C14 入力用の 14 チャンネル高電圧（65V）差動マルチプレクサ。
HV CHARGE PUMP	高電圧信号のスイッチングを行う必要のある HVMUX、ALTMUX、BALSW、および LSAMP 回路用の高電圧チャージ・ポンプ電源。DCIN によって電源を供給します。
LSAMP1	ゲイン 1/4 のレベルシフト・アンプ。これにより 5V の差動信号が 1.25V に降圧されて、ADC のリファレンス電圧として使われます。
LVMUX	その後の A/D 変換のために ADC へ送るレベルシフト信号や温度信号を含め、様々な低電圧信号をマルチプレクスします。
ALTMUX	SW0～SW14 入力用の 12 チャンネル高電圧差動マルチプレクサ。
BALSW	セル・バランスング・スイッチ。
LINREG 1.8V	ADC およびデジタル・ロジック用電源として使用する 1.8V (V_{AA}) リニア・レギュレータ。DCIN によって電源を供給します。
LINREG 3.3V	UART トランシーバーおよび ALERT 用電源として使用する 3.3V ($V_{DDL2/3}$) リニア・レギュレータ。
REF	ADC および LINREG 用の 1.25V 高精度リファレンス電圧。温度補償されます。
ALTREF	診断用に使用する 1V 高精度リファレンス電圧。
HFOSC	ステート・マシンのクロッキングと UART のタイミングに使用する精度 2% の高周波発振器。
LFOSC	チャージ・ポンプおよびタイマー駆動用の低周波発振器。
LOWER PORT	ホストまたはダウスタック・デバイスとの通信に使用する差動 UART。0.5Mbps、1Mbps、または 2Mbps のボー・レートを自動検出します。
UPPER PORT	アップスタック・デバイスとの通信に使用する差動 UART。
CONTROL AND STATUS	ALU、制御ロジック、およびデータ・レジスタ。
DIE TEMP	ダイ温度の測定に使用する、絶対温度に比例して増加する（Proportional-To-Absolute-Temperature: PTAT）電圧源。
COMPARATOR	セル電圧と AUXIN の OV/UV を検出するコンパレータ・パス。
LSAMP2	ゲイン 1 のレベルシフト・アンプ。設定可能な OV および UV DAC 閾値と比較する 5V 差動信号が得られます。
I2C CONTROLLER	I ² C ターゲットとの通信に使用する I ² C コントローラ・インターフェイス。

機能ブロック図

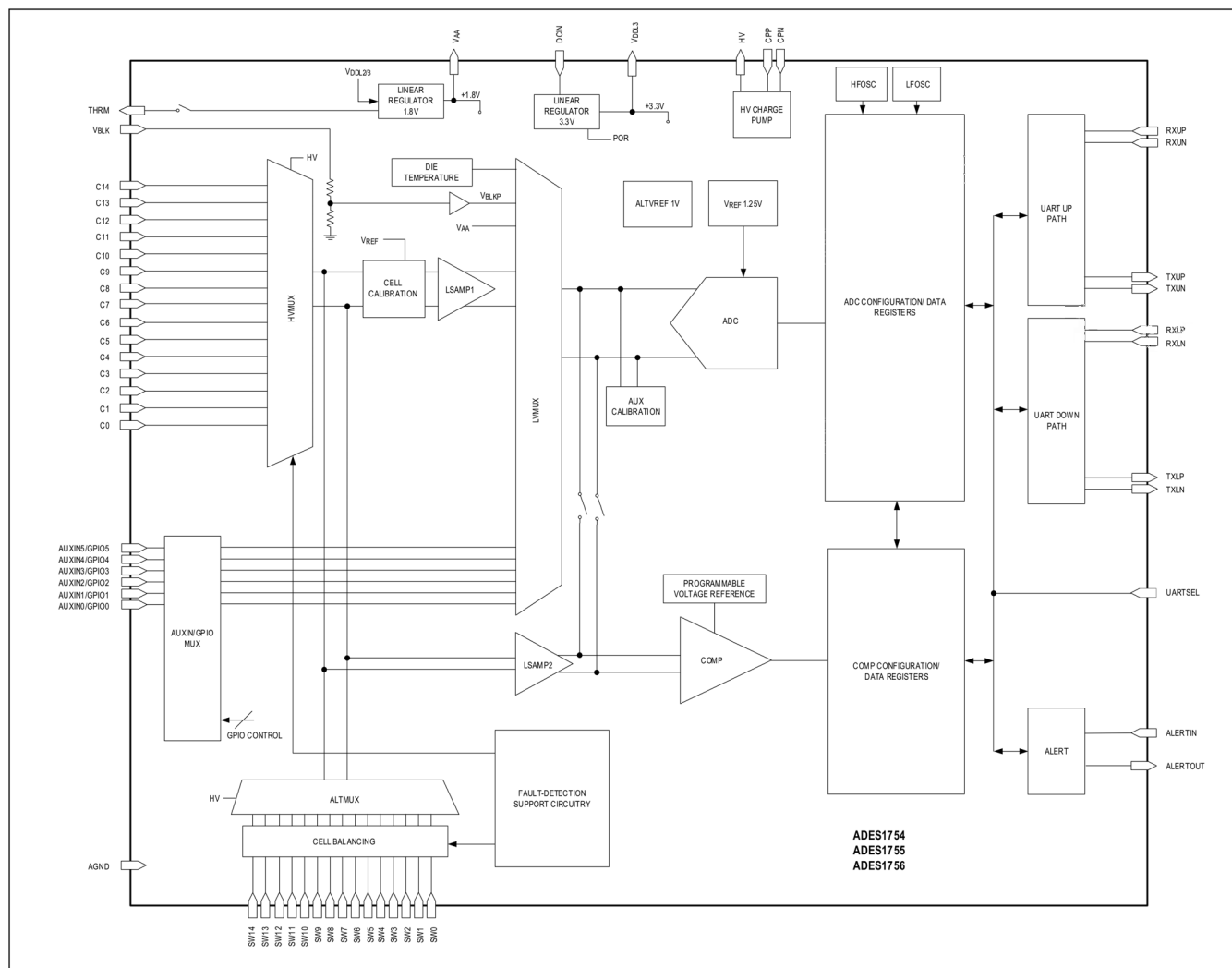


図 1. 機能ブロック図

ESD ダイオード配線図

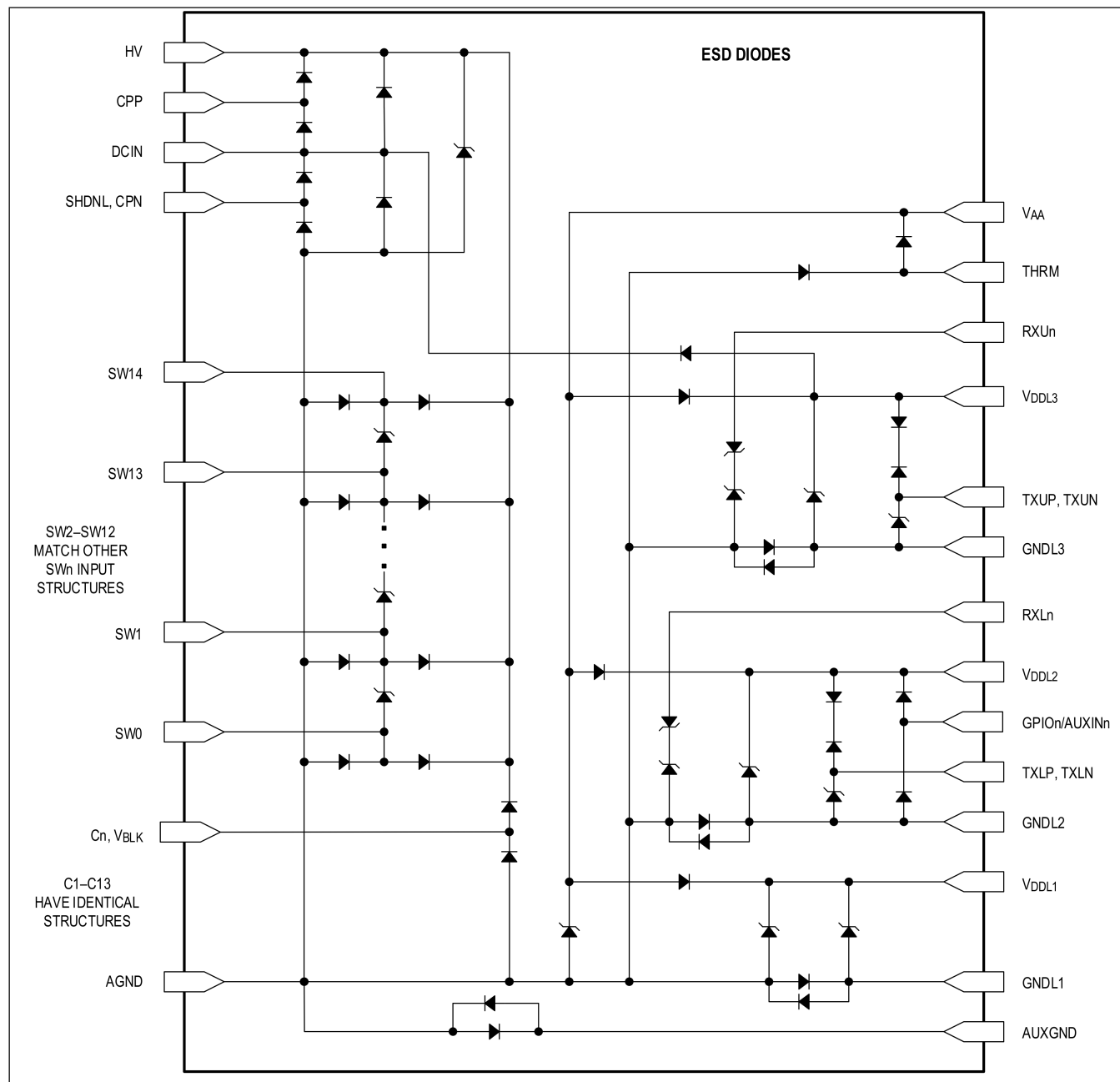


図 2. ADES1754/ADES1755/ADES1756 の ESD 配線図

注：

- すべてのダイオードの定格は ESD クランプの条件に合わせて選択されたもので、DC 電圧を正確にクランプするためのものではありません。
- すべてのダイオードの AGND とカソードの間には寄生ダイオードが存在しますが、分かりやすくするために図では省略しています。これらの寄生ダイオードでは AGND がアノードになります。

The diagram illustrates the internal architecture of the AD7792-1 ADC. Key components include:

- Input Test Sources:** A vertical column of 15 CTST blocks (CTST0 to CTST14) connected to input pins C14 through C0 and AGND.
- HV MUX:** A multiplexer that routes signals from the CTST blocks and external sources (VBLK, VBLK/ATTENUATION, AGND, ALTREF, REF) to the LV MUX.
- LV MUX:** A large multiplexer that routes signals from the HV MUX, CELL CAL NETWORK, AUXIN CAL NETWORK, and VAA to the ADC input pins (ADC IN +, ADC IN -).
- ADC:** The main analog-to-digital converter block.
- Calibration and Reference:** Includes a CELL CAL NETWORK, AUXIN CAL NETWORK, and a DAC connected to a COMPMUX and a COMPARE block.
- Temperature and Control:** A DIE TEMPERATURE block and a THRM block connected to the ADC and COMPARE block.
- AUX MUX:** A multiplexer that routes signals from AUXIN0 through AUXIN5 and AUXGND to the COMPARE block.

図 3. ADES1754/ADES1755/ADES1756 のアナログ・フロントエンド

用語、定義、およびデータ表記法

データ・アキュイジション

データ・アキュイジションは表 2 に示す複数の個別プロセスで構成され、このセクションに述べる様々な設定レジスタによって制御されます。
設定の変更は、その変更が適用されるアキュイジションを開始する前に行う必要があります。

表 2. データ・アキュイジション・プロセス

プロセス :	説明
変換	ADC がシングル入力チャンネルのサンプリングを行い、それをバイナリ値に変換して ALU レジスタに格納します。
スキャン	イネーブルされたすべてのセル入力チャンネルで ADC がシーケンシャルに変換を行います。
測定サイクルまたはサンプル	ADC は、セル誤差を最小限に抑えるために 2 回スキャンを行います。スキャン内で行われる変換（それぞれの入力チャンネルで 2 回）はチョッピングされ、測定値またはサンプルと呼ばれます。
アキュイジションまたはアキュイジション・モード	オーバーサンプリングをイネーブルした場合、ADC はシーケンシャル測定を行って測定値をすべて平均し、サンプリングを行った各入力チャンネルに対して 1 つの値を作成します。オーバーサンプリングをイネーブルしない場合、アキュイジションは基本的に単一測定サイクルです。
キャリブレーション	工場キャリブレーションは、電気的特性の表に示す精度仕様を実現します。それ以上デバイスをキャリブレーションする必要はありません。

データの表記法

データの表記は表 3 に示す方法に従います。すべてのレジスタは 16 ビット・ワードです。

表 3. 数値の表記法

DESCRIPTION	CONVENTION	EXAMPLE
Binary number	0b prefix	0b01100001 = 61h
Hexadecimal address	0x prefix	0x61
Hexadecimal data	h suffix	61h
Decimal data	d suffix	61d
Register bitfield	Register name [x]	STATUS[15] = 1
Register field	Field name [x:y]	DA[4:0] = 0b01100 = 0Ch = 12d
Register field and bitfield	Register name:bitfield	ADDRESS:DA
Concatenated numbers	{xxxx, yyyy}	{DA[4:0], 0b001} = 61h

工場トリミング

アキュイジション・システムのトリミングは工場で行われます。トリム・パラメータは、11 個の読出し専用レジスタ（OTP2～OTP12）で構成される ROM に保存されます。ROMCRC はキャリブレーション ROM に基づく 8 ビットの CRC 値で、工場で OTP12[15:8] に保存されます。ROMCRC は、診断のセクションに示すようにトリムの完全性をチェックするために使用できます。顧客固有のアプリケーションに使用する場合は、ユーザによるオンデマンド・キャリブレーションで工場トリムを補完することができます。

エラー訂正コード（ECC）は OTP 読出しに実装されます。これは、製品寿命に関して追加的な信頼性を提供します。

工場設定のデバイス ID

ID1 レジスタと ID2 レジスタには 32 ビットの製造 ID 番号（DEVID[31:0]）が格納されます。この ID は、同じモデル・タイプ（VERSION:MOD）とバージョン（VER）のすべてのデバイスが持つ固有の値です。つまり、VERSION、ID1、および ID2 は、工場から出荷されたすべてのデバイスを一意的に識別する手段を提供します。必ずしも必要なわけではありませんが、パッケージに表示されている製造年月日の情報もデバイスの追跡に役立ちます。値がゼロのデバイス ID は無効です。

はじめに

ADES1754/ADES1755/ADES1756 はソフトウェアで設定を行うデータ・アキュイジション・システムで、高電圧と低電圧両方の 48V 定格アプリケーションに使用でき、セル電圧測定、パック電圧測定、温度測定、および補助電圧測定に対応できる柔軟な設定が可能です。すべての測定値は 1 回のアキュイジション内で同期してサンプリングされ、収集したサンプル間の遅延は最小限に抑えられます。電流のバランスを取るための追加的な設定も可能で、システム相互接続測定（バスバー）が、ハードウェア構成とは無関係に完璧な測定ソリューションを提供します。

以下のセクションでは、ADES1754/ADES1755/ADES1756 のデバイス動作、機能セット、およびプログラミングについて説明します。

フレキシブル・バッテリー・パック設定

主電源電圧 (DCIN) は、スタック最上層のセルの SW8~SW14 入力を使って内部的に配線できます。これにより、外部ハードウェアを使用したり配線を変更したりすることなく、1つのハードウェア設定を複数のバッテリー・モジュールに使用することが可能になります。

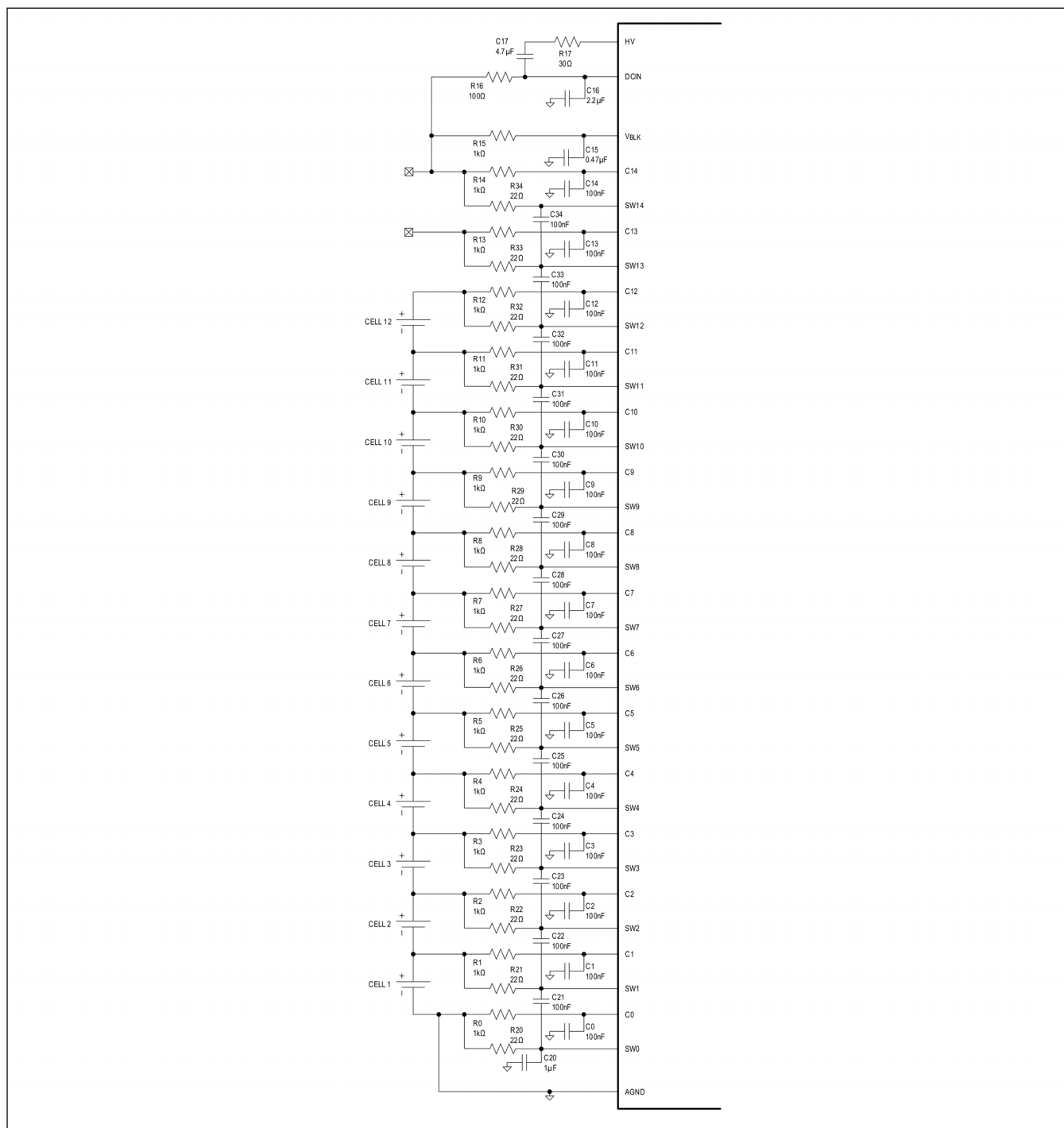
フレキシブル・バッテリー・パック設定は、内部電源条件を使用できるように、FLXPCKEN1/2 ビットを使いデフォルトでイネーブルされています。この設定が必要ない場合は外部から DCIN を駆動することができ、それによってフレキシブル・バッテリー・パック設定は実質的にディスエーブルされます。能動的に制御される SDHNL の前に DCIN 電圧が HV 方向に駆動されて、SW8~SW14 入力に加えられる最大電圧でクランプされます。DCIN が外部から供給されていない場合は、SHDNL がアサートされると DCIN がスタック最上層セルの下側 1V 以内に駆動されます。この場合ホストは、PACKCFG レジスタに書込みを行って FLXPCKEN1 ビットと FLXPCKEN2 ビットをアサートすることにより、スタックの TOPCELL1[3:0] と TOPCELL2[3:0] を定義する必要があります。使用チャンネル数が 14 未満の場合、TOPCELL_[3:0] の選択はトップ・セル位置を設定します。TOPCELL_[3:0] に 0x0~0x7 および 0xF の選択はサポートされておらず、選択した場合は OFF 位置にマップされます (パワーオン・デフォルト)。

外部 DCIN が接続されていない状態で SHDNL がハイに駆動されているときに意図せずして FLXPCKEN1/2 がデアサートされた場合は、DCIN ピンの電圧が、デバイスと外部デカップリング・コンデンサの消費電流に比例したレートで POR 閾値に達するまで低下します。これはデジタル・ロジックをリセットして、FLXPCKEN を必要なパワーオン・リセット状態に戻します。

FLEXPCKEN1 と FLEXPCKEN2、または TOPCELL1 と TOPCELL2 が同じでない場合は、パワーオン・デフォルト値が適用されます。

注： TOPCELL1 と TOPCELL2 は、加えられたセル入力の中で最も高い値を選択するという点が重要です。これは、無効な設定によって、選択された TOPCELL1/2 入力に最大バッテリー電圧を接続する内部パスが生じる可能性があるからです。

2 つ目のマルチプレクサは、ホストがスタックの TOPCELL_[3:0] を定義して FLXPCKEN_ ビットをアサートした後に、選択されたセル入力に V_{BLK} を内部的に接続します。TOPBLOCK[3:0] は、V_{BLOCK} 抵抗分圧器に接続する Cn ピンを選択します。0xF (デフォルト) は V_{BLK} ピンを選択します。TOPBLOCK_ に 0x0~0x7 を選択しても無効で、0xF (V_{BLK}、デフォルト) にマップされます。



フレキシブル・パックとアクイジションの関係

Analog Devices | 24

注：FLXPCKSCAN は ALTMUX のアキュイジションのみに影響します。アプリケーションが ALTMUX の精度を必要としない場合は、FLXPCKSCAN の設定に関わらずアプリケーション回路に変更を加える必要はありません。しかし、最速のサンプリング・レートを実現できるように、FLXPCKSCAN = 0 に設定することを推奨します。

電力マルチプレックス動作（セル・バランシング）

内部電力マルチプレックスを設定する場合、マニュアル・セル・バランシング・モードになっている間は、トップ側 2 つのバランシング・スイッチを同時に設定しないでください。この設定はセル電圧と等しい電圧降下を DCIN 電源に発生させ、結果として、HVMUX と ALTMUX の両方が設定された状態ではトップ・セル指示値の測定誤差が大きくなる可能性があります。

パック内のトップ使用チャンネルがバス・バーである場合、TOPCELL_[3:0] と FLXPCKEN_ は、バス・バーではなくパック内のトップ・セルを参照する必要があります。TOPBLOCK_ は TOPCELL_ の上のセルを参照することができます。

フレキシブル・パック・アラート

ALRTDCINMUX は DCINMUX スwitchのフォルトを示すためにトリガされます。ハイ状態の場合は、イネーブルされた DCINMUX がフレキシブル・パック・アプリケーション内で正しく機能していないことを示します。これは性能に影響したり、他の関連フォルトを発生させたりすることがあります。ALRTDCINMUX は、パワーアップ後に ALRTRST がクリアされるまでゲートされます。

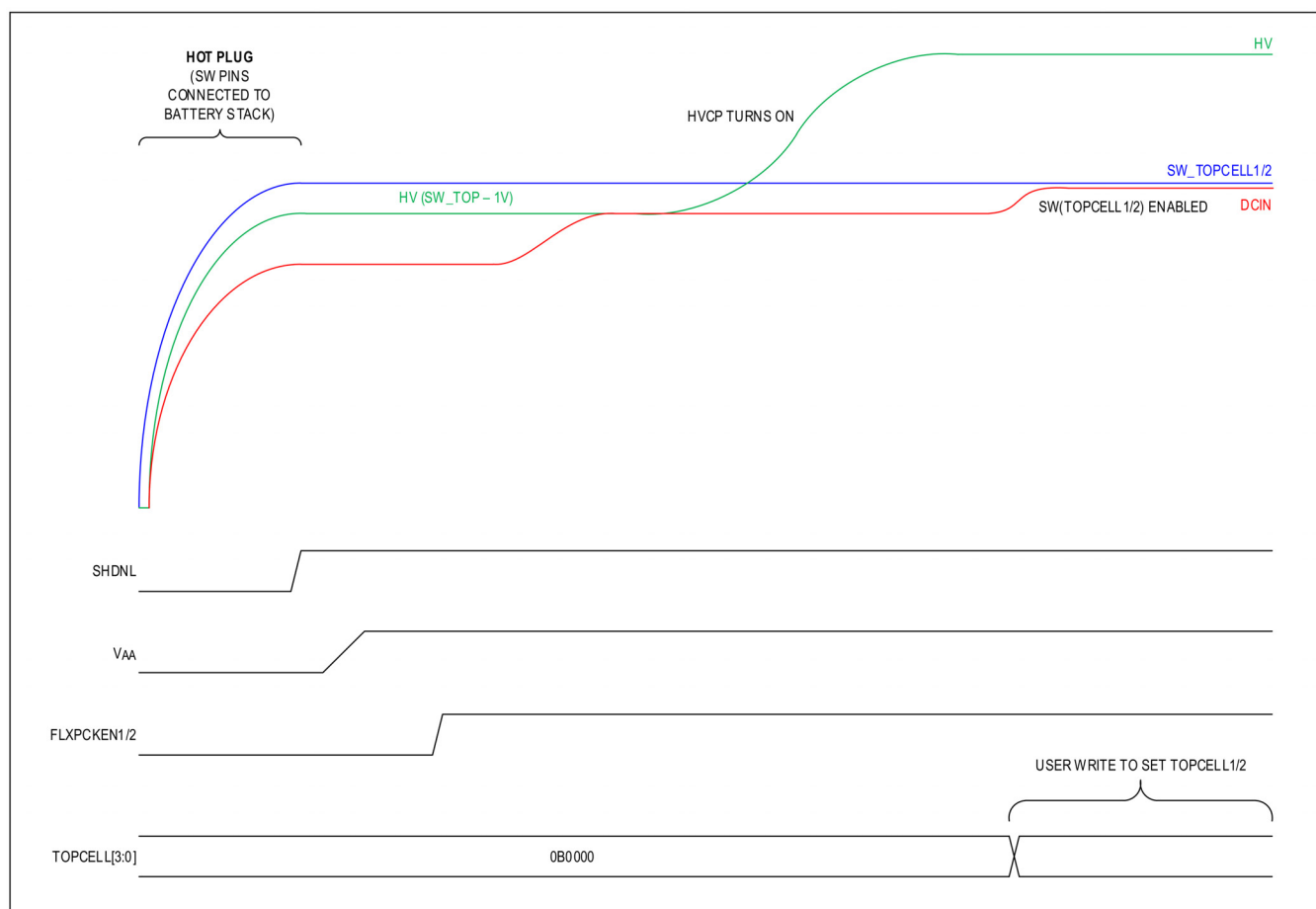


図 5. フレキシブル・パックのパワーオン・タイミング

セル入力

15 個のセル入力から最大 14 個の電圧測定値を差動でサンプリングすることができます。差動信号 V_{CELLn} は $V_{Cn} - V_{Cn-1}$ として定義されます。ここで、 $n = 1 \sim 14$ です。

セル入力は、MEASUREEN1 レジスタの対応 CELLEN ビットによって選択されます。更に、測定アキュイジションの入力パスは SCANCTRL:ALTMUXSEL を使って選択されます。ALTMUXSEL ビットを使用すると、HVMUX アキュイジションと ALTMUX アキュイジションという 2 つの異なる測定を設定できます。HVMUX パスは外部入力回路によって実現される強力なフィルタリング機能を備えているので、プライマリ測定アキュイジションに使われます。もう 1 つの ALTMUX パスの選択は主にセル・バランシングに使われ、通常は大きい RC フィルタを含みません。外部フィルタ回路が並列になっていることと、その内部ブロック構造によって、ALTMUX パスの選択は独立した測定冗長性を実現することも可能にし、安全性能とデバイスの信頼性を向上させます。

図 6 に示すように、スキャン時は選択された信号がレベルシフティング・アンプ (LSAMP1 または LSAMP2) にマルチプレクスされます。入力信号の同相電圧範囲は $0 \sim 65V$ なので、アンプの同相電圧範囲まで信号をレベルシフトする必要があります。5V の差動信号が ADC とコンパレータのフルスケール・リファレンス電圧 (V_{REF}) まで減衰されるように、ADC とコンパレータのシグナル・パスは共にゲインが 1/4 になっています。

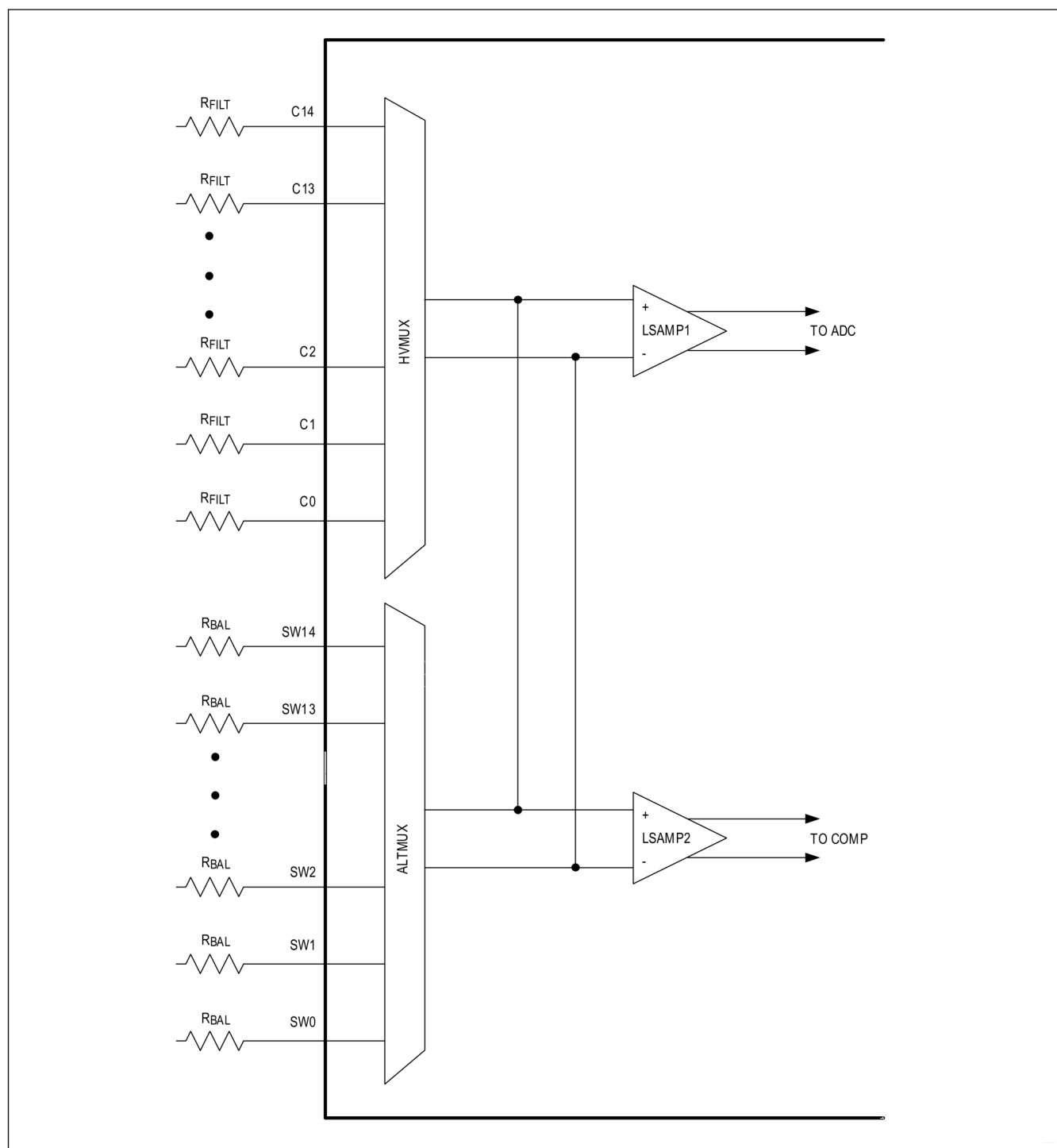


図 6. セル信号パス

信号の条件が整うと、ADC が変換を開始します。12 ビットの変換結果が ALU レジスタに格納され、そこで、分解能を上げるためにその後の変換結果と平均することができます。ALU の出力は 14 ビット値で、これは 305μV の電圧分解能に相当します。最終的には 16 ビット・レジスタ CELLnREG に保存されますが、下位 2 ビットは 0 です。ディスエーブルされたチャンネルは直前の測定結果を維持します。別途記載のない限り、測定値は 14 ビット値と見なされます。16 ビット・レジスタの値は、4 で除することによって 14 ビット値に変換できます（逆の変換も可能）。レジスタ CELLnREG の測定値を電圧に変換するには、14 ビットの 16 進値を 10 進値に変換して、更に次式に従って電圧に変換します。

$$V_{CELLn} = \text{CELLnREG}[15:2] \times 5V/16384 = \text{CELLnREG}[15:2] \times 305.176\mu V$$

バスバー入力

バスバー入力は、14 個のセル入力のどれにでも加えることができます。バス・バーの抵抗性によって、バッテリー・パックへ流れ込む電流やバッテリー・パックから放電される電流は電圧測定の極性に影響します。この要求に対処するには、バスバー位置に対応する **POLARITY** ビットをバイポーラ変換用に設定する必要があります (**POLARITY**[n] = 1b)。

バス・バーの SW_n 入力と SW_{n-1} 入力の間には負電圧が生じる可能性があるため、図 7 に示すように内部バランシング・スイッチのボディ・ダイオードに加わる逆電圧の入力間に外部ショットキー・ダイオードを置いて、内部導通パスから電流をシャントすることを推奨します。詳細については**バスバーの設計**のセクションを参照してください。

ブロック電圧入力

ADES1754/ADES1755/ADES1756 の V_{BLK} 入力ピンは、収集データから個々のセル電圧を合計する方法とは別に、パック電圧（合計セル電圧）を測定することを可能にします。この比較はシステムに新たな測定冗長性を追加します。

V_{BLK} 電圧はアキュイジション・プロセス用の分圧比 52 の抵抗分圧器によって降圧され、65V のフルスケール・ブロック電圧がフルスケール ADC 入力電圧 (V_{REF}) に変換されます。

アキュイジションを行っていないときは、内部分圧器による電力消費を避けるために、 V_{BLK} 入力パスはオープン状態に保たれます。

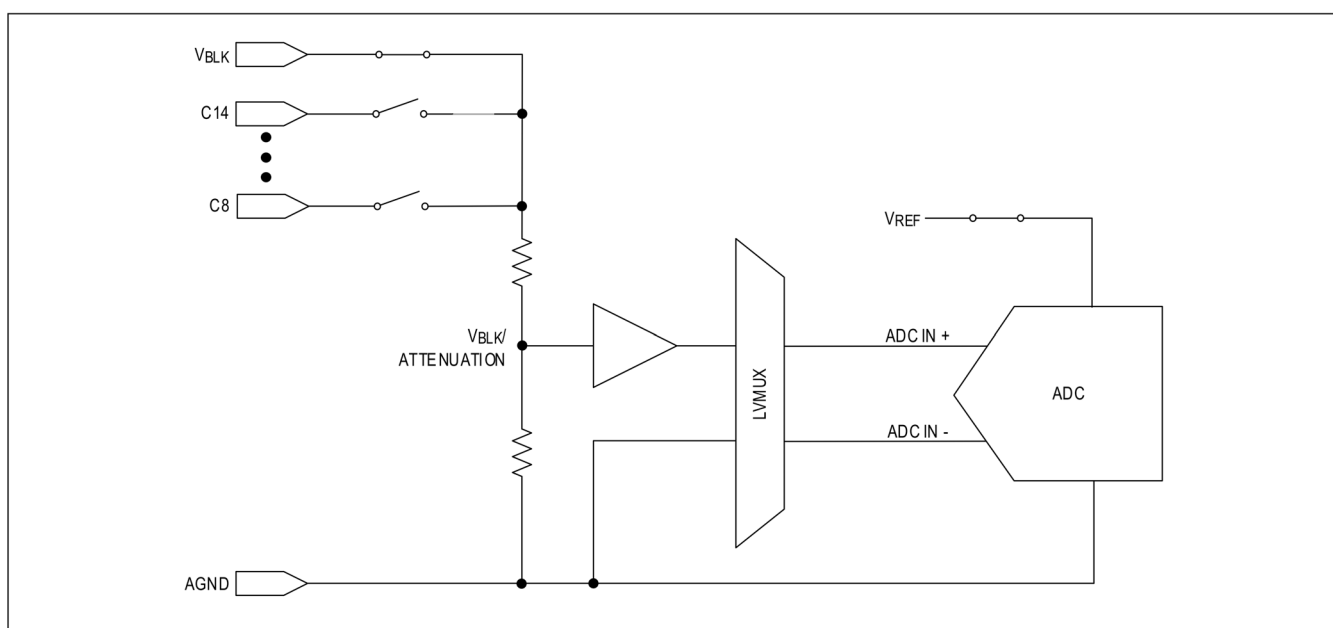


図 7. ブロック測定パス

アキュイジション時には、MEASUREEN1 レジスタの **BLOCKEN** をアサートすることによって測定がイネーブルされます。測定値は **BLOCKREG** レジスタの **VBLOCK**[13:0] ビットに保存され、これらの各ビットは 3.967mV の分解能を備えています。

補助入力

ADES1754/ADES1755/ADES1756 には 6 個の補助ポートがあり、これらは外部温度や外部電圧の測定に使用できるほか、複数のデジタル機能（GPIO または I²C コントローラ）に転用することもできます。

補助入力：レシオメトリック温度測定

個々の補助ポートは、MEASUREEN2 レジスタの AUXEN ビットを使って補助測定をイネーブルすると共に、AUXREFCTRL レジスタの AUXREFSEL ビットを使って変換電圧をレシオメトリックに設定することで、外部温度を測定するように設定できます。

注：個々の補助ポートが AUXGPIOCFG レジスタの GPIOEN ビットを使って GPIO として設定されていて、なおかつ対応する AUXEN ビットがハイになっている場合、この補助設定は無視され、ポートは GPIO として設定されます。

レシオメトリック設定では ADC とコンパレータ両方の変換電圧として V_{AA} が選択され、THRM ピンも V_{AA} を出力します。更に、図 8 に示すように、THRM ピンに接続したプルアップ抵抗と AUXGND ピンに接続した NTC を使って外部抵抗分圧器を構成することができます。

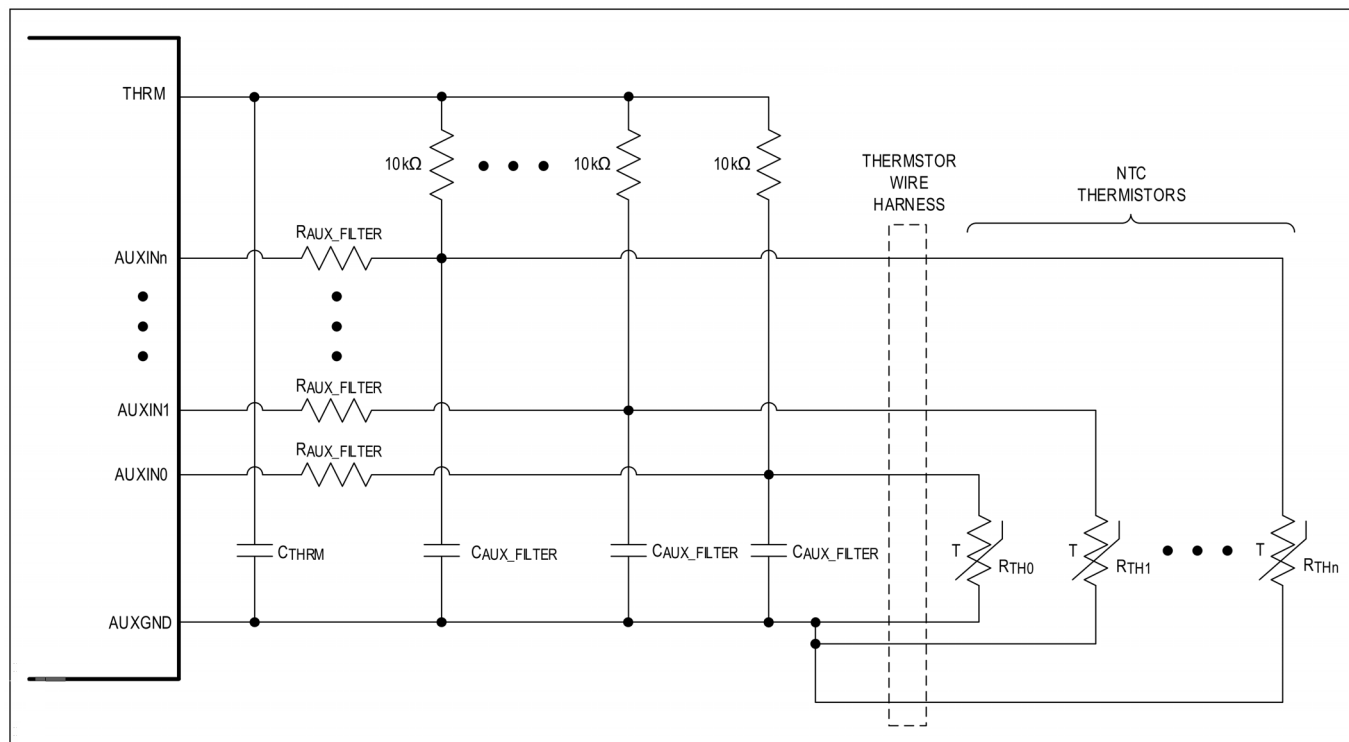


図 8. 補助アプリケーション回路

THRM ピン出力は、ACQCFG レジスタの THRM_{MODE} ビットを使って明示的に制御することができます。THRM_{MODE} を 00b または 01b に設定すると自動モードがイネーブルされて、アキュイジション開始時に THRM スイッチが閉じます。THRM_{MODE} を 11b に設定するとマニュアル・モードがイネーブルされて、THRM スイッチは常時閉になります。THRM_{MODE} を設定できれば、そのアプリケーションの V_{AA} による外部 NTC 回路の消費電力と、外部 NTC 回路をセトリングさせる必要性との間のトレードオフが可能になり、最大限の測定精度を実現することができます。

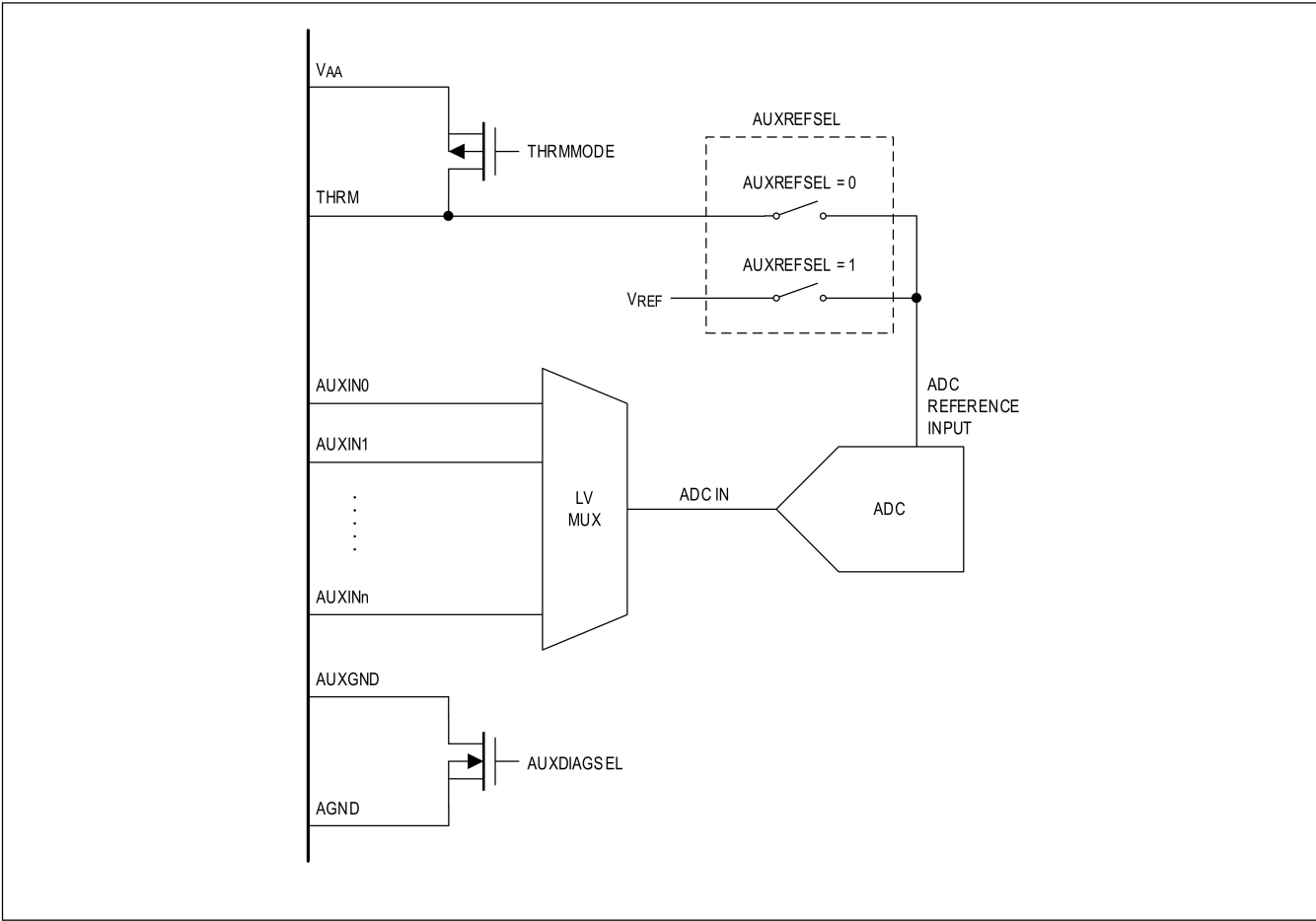


図 9. 補助温度測定

表 4. THRM 出力

モード	THRMMODE	説明
自動	00b	THRM は V_{AA} を出力（アキュイジション開始時に動的にイネーブルされて、アキュイジション終了時にディスエーブルされます）
	01b	
マニュアル	10b	THRM 出力をディスエーブル（静的）
	11b	THRM は V_{AA} を出力（静的）

外部温度回路によっては、正確な測定を行うための十分なセトリング時間がない場合もあります。様々な回路に柔軟に対応できるように、最初の $AUXIN_n$ 測定を開始する前に $AUXTIMEREG$ レジスタの $AUXTIME$ ビットを設定することによって、遅延時間を $0ms \sim 6.14ms$ に固定することができます。非確定的スキャン・レートのアキュイジションでは、最初のスキャンのセル、ブロック、および診断測定の時間を通じて、 $AUXTIME$ をセトリングさせることができます。しかし、 $50Hz/100Hz$ 除去や $60Hz/120Hz$ 除去などの確定的タイミングを必要とするアキュイジションでは、アキュイジションの開始前に $AUXTIME$ が適用されます。FOSR と確定的アキュイジションの詳細については、[オーバーサンプリング](#)のセクションを参照してください。

表 5. AUXTIME

AUXTIME[9:0]	ADDITIONAL SETTling TIME PER ENABLED AUXILIARY CHANNEL = (AUXTIME x 6μs)
0x000	0μs
0x001	6μs
0x002	12μs
...	...
0x3FF	6138μs

補助測定は SCANCTRL レジスタの OVSAMPL ビットを使って 14 ビット値までオーバーサンプリングされ、それぞれの補助測定の出力は、対応する AUX0～AUX6 レジスタに格納されます。詳細については、[オーバーサンプリング](#)、[ADC アキュイジション](#)、[コンパレータ・アキュイジション](#)、および [ADC + COMP アキュイジション・タイム](#)のセクションを参照してください。

レシオメトリック補助入力範囲

温度測定値は、NTC 回路のバイアスによる誤差をなくすために、レシオメトリックに変換されます。したがって、下の表に示すように、変換範囲は V_{THRM} (V_{AA}) リファレンスに比例します。ADC もコンパレータも変換時は同じリファレンスを使用するので、入力範囲も同じです。ただし分解能は異なり、その内容は下の表によります。

表 6. 補助温度入力範囲：ADC

AUXILIARY INPUT VOLTAGE	AUXn (14 BITS)		AUXnREG[15:0] (16 BITS)
RATIOMETRIC MODE	HEXADECIMAL	DECIMAL	
0V	0000h	0d	0000h
$V_{AA}/2$	2000h	8192d	8000h
V_{AA}	3FFFh	16383d	FFFCh

表 7. 補助温度入力範囲：コンパレータ

AUXILIARY INPUT VOLTAGE	COMPOVTH, COMPUVTH, COMPAUXROVTH, COMPAUXRUVTH COMPAUXAOTH, COMPAUXAUVTH (10 BITS)		COMPOVTHREG[15:0], COMPUVTHREG[15:0] COMPAUXROVTHREG[15:0], COMPAUXRUVTHREG[15:0] COMPAUXAOTHREG[15:0], COMPAUXAUVTHREG[15:0] (16 BITS)
RATIOMETRIC MODE	HEXADECIMAL	DECIMAL	
0V	000h	0d	0000h
$V_{AA}/2$	800h	2048d	7FF8h
V_{AA}	1000h	4096d	FFF0h

温度の計算

計算は次式によります。

$$V_{AUXINn} = V_{THRM} \times \frac{R_{TH}}{10k\Omega + R_{TH}}$$

この測定値は AUXn レジスタに格納されます。更に、サーミスタの抵抗は次式で得られます。

$$R_{TH} = \frac{V_{AUXINn} \times 10k\Omega}{V_{THRM} - V_{AUXINn}}$$

ここで、 $V_{THRM} = 1.8V$ （公称値）です。

これは真のレシオメトリック測定なので（ADC リファレンス = V_{THRM} ）、以下の方法を取ることができます。

$$\frac{V_{AUXINn}}{V_{THRM}} = \frac{AUXn(14BITS)}{16384} = \frac{R_{TH}}{10k\Omega + R_{TH}}$$

これを R_{TH} について解くと、次式が得られます。

$$R_{TH} = \frac{10k\Omega}{\frac{16384}{AUXn(14BITS)} - 1}$$

NTC サーミスタの抵抗は温度の低下に伴って増大し、通常、その仕様は $T_0 = +25^{\circ}\text{C} = 298.15\text{K}$ における抵抗値 $R_0 = 10k\Omega$ と材料定数 β (3400K、代表値) によって規定されます。まず、温度 T (単位: ケルビン) における抵抗 R_{TH} は次式で計算できます。

$$R_{TH} = R_0 \times e^{\left(\beta \times \left(\frac{1}{T} - \frac{1}{T_0}\right)\right)}$$

次に、サーミスタの温度 T (単位: $^{\circ}\text{C}$) は次式で計算できます。

$$T(\text{in}^{\circ}\text{C}) = \frac{\beta}{\ln\left(\frac{R_{TH}}{10k\Omega}\right) + \frac{\beta}{298.15\text{K}}} - 273.5\text{K}$$

補助入力：絶対電圧測定

個々の補助ポートは、MEASUREEN2 レジスタの AUXEN ビットを使って補助測定をイネーブルすると共に、AUXREFCTRL レジスタの AUXREFSEL ビットを使って変換電圧を絶対値として設定することを通じて、絶対電圧を測定するように設定できます。

絶対設定では、ADC とコンパレータ両方の変換電圧として V_{REF} が選択されます。電圧が V_{REF} 未満に止まる限りは、外部電圧を正確に測定することができます。これより高い電圧を測定する必要がある場合は、抵抗分圧器を使って最大補助入力 V_{REF} を超えないようにする必要があります。そうしないと、電圧測定値がフルスケールに飽和してしまいます。更に、外部ネットワークに単一点障害が発生した場合に最大補助入力 V_{REF} がポートの絶対最大定格を超えないように、予防策を講じておく必要があります。

すべての AUXREFSEL ビットが 0b1 に設定されている場合は (ADC リファレンス用の V_{REF} を使用)、THRM MODE を 0b10 (THRM スイッチが常時 OFF) に設定することを推奨します。

絶対補助入力範囲

絶対電圧測定値は、固定精度のリファレンス V_{REF} を使って変換されます。すべての電圧は入力範囲の要件を満たしている必要があります。満たしていない場合は、デジタル出力が飽和して分解能が損なわれる結果となります。ADC もコンパレータも変換時は同じリファレンスを使用しますが、下の表に示すように分解能は異なります。

表 8. 補助電圧入力範囲：ADC

AUXILIARY INPUT VOLTAGE	AUXn (14 BITS)		AUXnREG[15:0] (16 BITS)
	HEXDECIMAL	DECIMAL	
0V	0000h	0d	0000h
$V_{REF}/2$	2000h	8192d	8000h
V_{REF}	3FFFh	16383d	FFFCh

表 9. 補助電圧入力範囲：コンパレータ

AUXILIARY INPUT VOLTAGE	COMPOVTH, COMPUVTH, COMPAUXROVTH, COMPAUXRUVTH COMPAUXAOTH, COMPAUXAUVTH (10 BITS)		COMPOVTHREG[15:0], COMPUVTHREG[15:0] COMPAUXROVTHREG[15:0], COMPAUXRUVTHREG[15:0] COMPAUXAOTHREG[15:0], COMPAUXAUVTHREG[15:0] (16 BITS)
ABSOLUTE MODE	HEXADECIMAL	DECIMAL	
0V	000h	0d	0000h
V _{REF} /2	200h	512d	8000h
V _{REF}	3FFh	1024d	FFC0h

補助入力：ミックスモード測定

レシオメトリック測定と絶対電圧測定は、同じアキュイジションで同時に行うことができます。測定アラートのセクションに示すように、それぞれの測定タイプには異なる OV/UV アラート閾値が設定されます。

注：ADC の補助ミックスモード測定データは AUX_n レジスタに出力されます。正しい電圧指示値を得るには、AUXREFSEL 設定によって決定される適切な変換を行う必要があります。

レシオメトリック電圧変換：

$$V_{AUXn} = AUXn[14:0] \times V_{AA}/16384d = AUXn[14:0] \times 109.86\mu V、もしくは AUXnREG[15:2] \times 109.86\mu V$$

ここで、V_{AA} は 1.8V（公称値）です。

絶対電圧変換：

$$V_{AUXn} = AUXn[14:0] \times V_{REF}/16384d = AUXn[14:0] \times 76.29\mu V、もしくは AUXnREG[15:2] \times 76.29\mu V$$

補助入力保護

AUXIN0～AUXIN6 ピンを補助入力として設定する場合は、その電圧が絶対に V_{AA} を超えないようにする必要があります。この状態が発生した場合は、影響を受ける入力保護機能を働かせて、回路がオープン状態になります。また、対応する ALRTAUXPRTCT ビットがセットされて過電圧状態であることを示します。AUX 動作を再試行してフォルト状態をクリアするには、希望の設定をもう一度 AUXGPIOCFG レジスタに書き込む必要があります。

6 個すべての ALRTAUXPRTCT ビットの論理和が取られて、FMEA2 レジスタの ALRTAUXPRTCTSUM ビットを形成します。

GPIO の設定

6 個ある補助ポートは、AUXGPIOCFG レジスタの GPIOEN ビットを使い、いずれも汎用入出力（GPIO）として設定することができます。GPIOEN ビットがハイのときは、AUXEN の設定に関わらず、対応する補助ポートが GPIO として設定されます。GPIOEN ビットがローのときは、対応する GPIO 部分はスリーステートになります。

更に、AUXIN[1:0]ピンは、AUXGPIOCFG レジスタの I2CEN ビットを使って I²C コントローラ・インターフェイスとして設定することができます。I2CEN ビットがハイのときは、AUXIN0 が SDA ピンとして動作し、AUXIN1 が SCL ピンとして動作します。デフォルトでは I2CEN はローで、I²C コントローラはディスエーブルされています。

表 10. GPIO/I²C/補助のイネーブル優先度

I2CEN	GPIOEN	FUNCTION
0	0	Auxiliary input
0	1	GPIO
1	x	AUXIN0 = SDA AUXIN1 = SCL

GPIO 設定では、AUXGPIOCFG レジスタの GPIODIR ビットによって I/O ステータスが決定されます。GPIODIR ビットが 0b0 に設定されているときは、対応するポートがデジタル入力として設定されます。デジタル入力には、入力がフロート状態となって過大な電力を消費することがないように、2MΩ のプルダウン抵抗が組み込まれています。GPIODIR ビットが 0b1 に設定されているときは、そのピンがデジタル出力として設定されます。デジタル出力として設定されたそれぞれの GPIO ポートは、GPIOCFG の GPIODRV ビットの割り当てによって決定される、ロジックハイ・レベルまたはロジックロー・レベルを駆動するように設定できます。

I²C 機能がイネーブルされている場合、AUX0 レジスタと AUX1 レジスタの値は 0x0000 となり、GPIODIR[1:0]、GPIOEN[1:0]、GPIODRV[1:0]の各ビットは無視されて機能しませんが、ユーザ設定はリード・バックします。

GPIOCFG レジスタの GPIORD ビットは、ポートが入力として定義されているか出力として定義されているかに関わらず、そのピンのロジック・レベルをモニタします。ピンが補助入力として設定されている場合、対応する GPIORD ビットは 0b0 をリード・バックします。I²C 機能がイネーブルされている場合、GPIORD[1:0]は 0b00 をリード・バックします。

表 11. GPIO の設定

GPIOEN	GPIODIR	FUNCTION
0	x	Auxiliary input
1	0	Digital input
1	1	Digital output

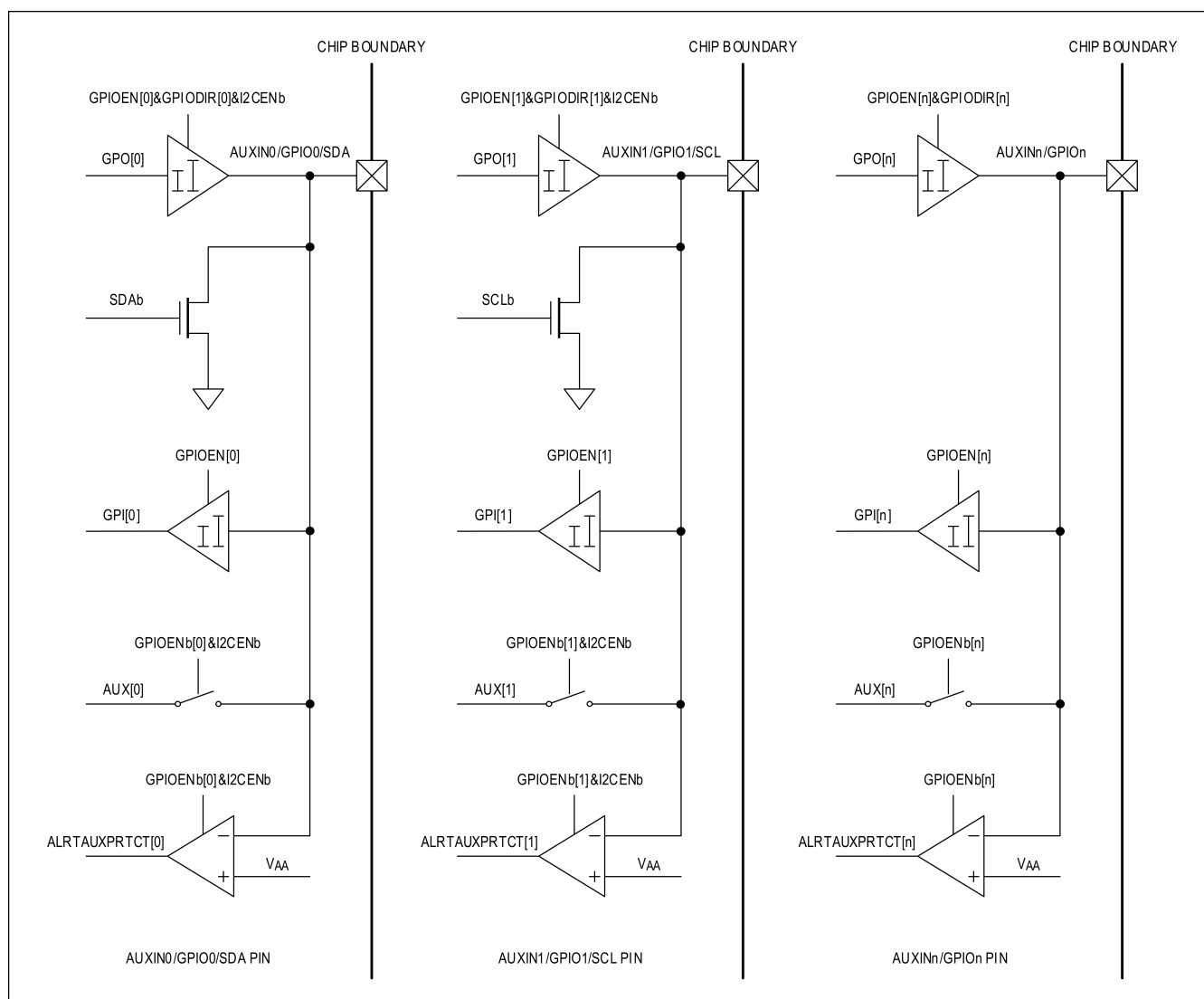


図 10. AUX/GPIO/I²C ピンの接続

動作モード

サポートされている動作モードは、シャットダウン・モード、スタンバイ・モード、およびアキュイジション・モードの 3 つです。シャットダウン・モードは $SHDNL$ ピンの電圧によって制御されます。電圧が V_{IL_SHDNL} 未満の場合、デバイスは超低消費電力のシャットダウン・モードになり、内部回路の様々な要素がディスエーブルされます。電圧が V_{IH_SHDNL} より高い場合、デバイスはスタンバイ・モードになり、条件を満たすインターフェイス・コマンドに基づいて動作します。デバイスが、アキュイジションを指示するコマンドが送出されるまでスタンバイ・モードのままになります。コマンドが送出されるとデバイスはアキュイジション・モードに移行し、 $SCANDONE$ 信号によってアキュイジションの完了が通知されるまでそのままになります。もしくは、スリープ・モードからアキュイジション・モードへの遷移は、ユーザの介在とは無関係に、電圧測定を伴う長期的な自律セル・バランスングがイネーブルされた場合のみ行われます（詳細についてはセル・バランスングのセクションを参照）。

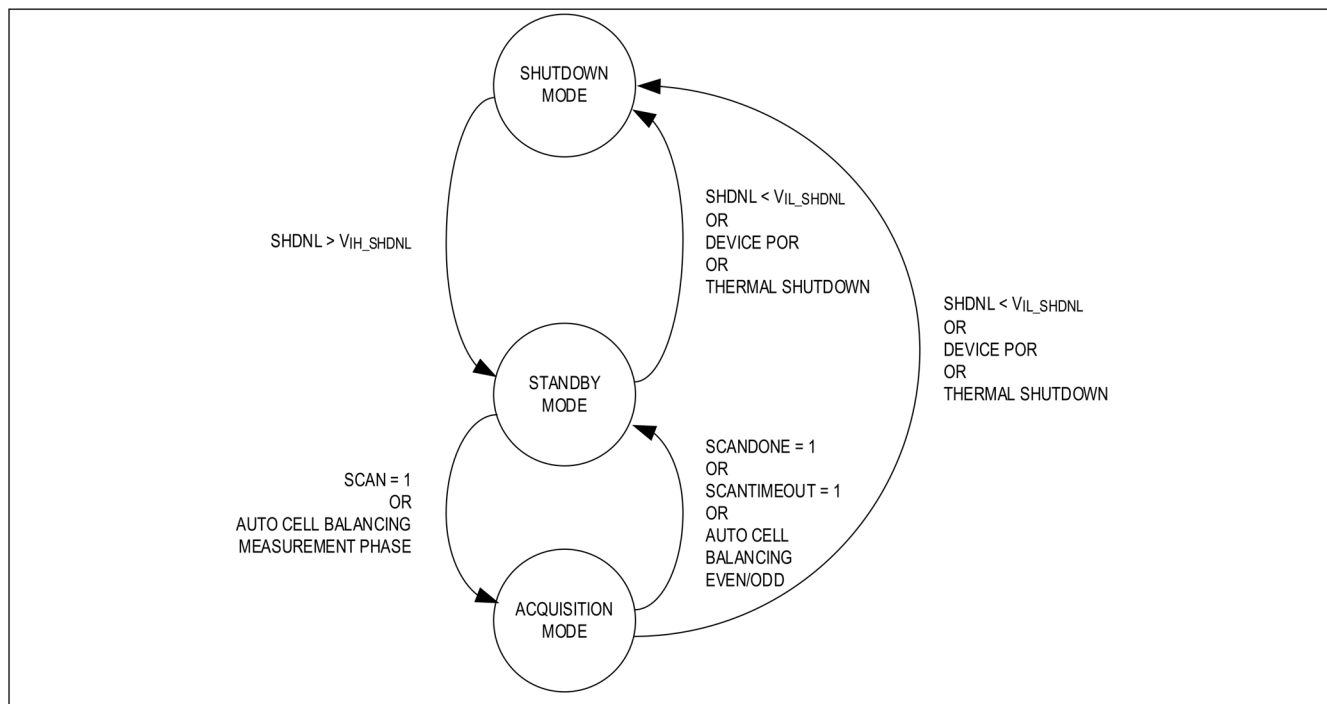


図 11. 動作モードの状態遷移図

以下のセクションでは、動作モードと対応するデバイス動作について詳しく説明します。

パワーオン（スタンバイ・モード）

$SHDNL$ ピンは、UART RXLP/RXLN 入力と RXUP/RXUN 入力の内部チャージ・ポンプを使って駆動します。このデバイスは、UART インターフェイスを介して $SHDNL$ ピンの外部回路を駆動します。 $SHDNL$ ピンと $AGND$ ピンの間に $CSHDNL$ コンデンサ 1 個を接続する推奨外部回路では、 $SHDNL$ 電圧は約 $200\mu s$ で V_{IH_SHDNL} より高い値に移行します。チャージ・ポンプは $V_{SHDNLIMIT}$ にセルフレギュレーションして、98%の時間で UART がアイドル状態であっても V_{SHDNL} をロジック 1 に維持することができます。内部チャージ・ポンプの動作には差動の UART 信号が必要です。

注：シングルエンド UART インターフェイスとして設定した場合は、 V_{IH_SHDNL} 閾値より高い電圧で外部プルアップにより $SHDNL$ ピンを駆動する必要があります。

V_{IH_SHDNL} 閾値に達すると LDO 出力がイネーブルされて、 V_{AA} 出力電圧が上昇を始めます。3V（代表値）に達すると POR 信号がデアサートされて発振器がイネーブルされ、HV チャージ・ポンプとデジタル・ロジックがイネーブルされて $ALRTRST$ ステータス・ビットがセットされます。デバイスは、シャットダウン・モードで最初の通信を受信した時点から 1ms 以内で、完全に動作可能な状態（スタンバイ・モード）になります。図 12 にパワーオン時における状態遷移の詳細を示します。

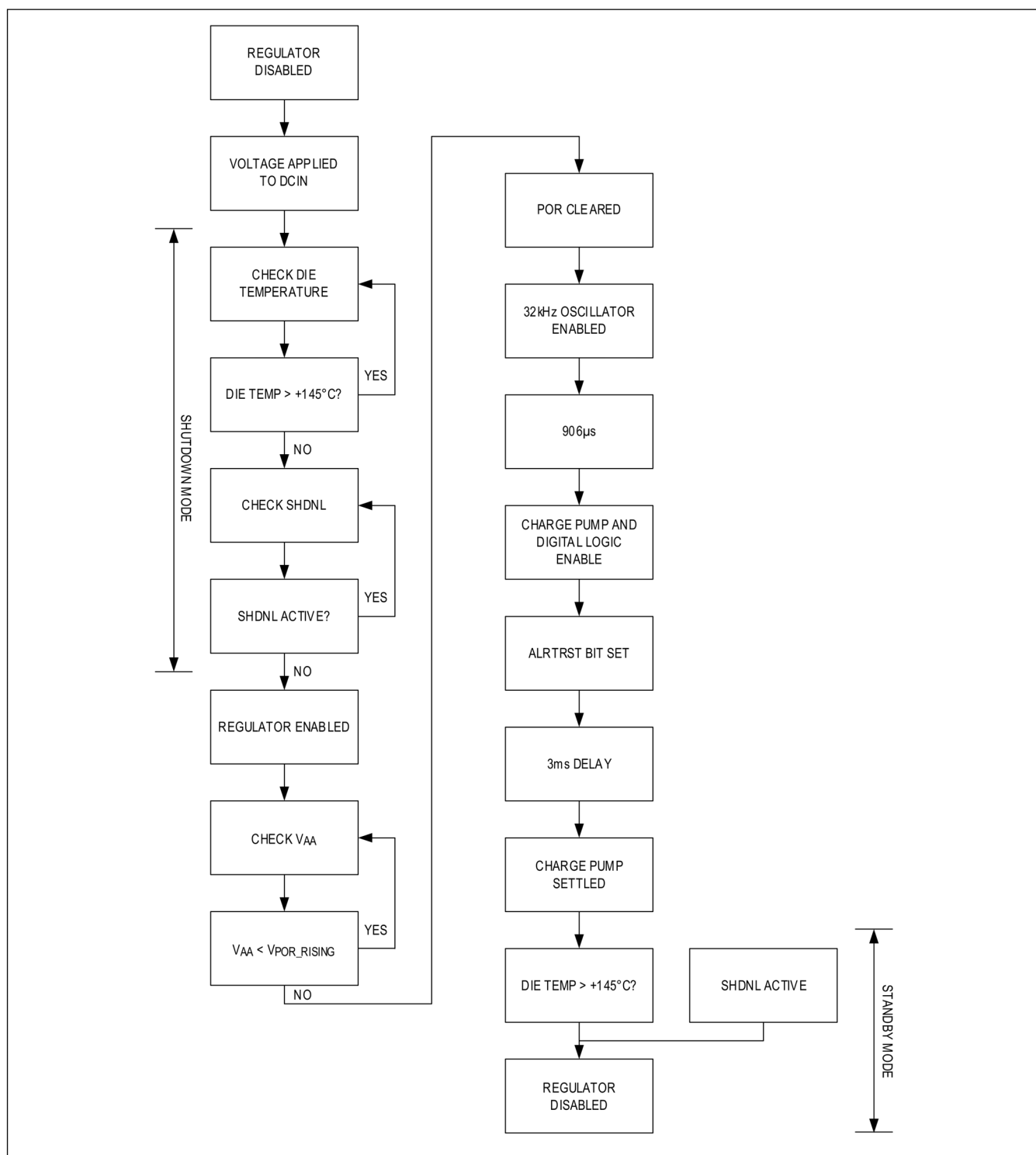


図 12. 電源投入シーケンス

シャットダウン・モード

SHDNL < VIL_SHNDL になるとシャットダウン・モードになります。シャットダウン時は、SHDNL ピンがローになるとすぐに低電圧レギュレータと HV チャージ・ポンプがディスエーブルされます。VAA 電圧が V1.8REG_PORRISE 閾値未満に低下するとデバイスのレジスタがリセットされ、デバイスは SHDNL がハイになるまで超低消費電力状態のままになります。

通信が停止するか（ホストが生成したコマンド、キープアライブ、または ALERTPACKET による）FORCEPOR ビットに書き込みを行うと、シャットダウン・ステートに入ります。シャットダウン・モードに入るレートは、外部の CSHDNL および等価プルダウン抵抗に対応する時定数によって制御されます。例えば、通信が停止した場合の時定数は約 10ms となり、これは内部の 10MΩ 抵抗と CSHDNL から得られます。もしくは、FORCEPOR ビットに書き込みを行うと時定数は約 0.47μs となり、400Ω のプルダウン抵抗からは 4.7μs の時定数が生成されます。

表 12. シャットダウン・タイミング

SHUTDOWN METHOD	RPULL-DOWN		CSHDNL	TIME CONSTANT
Register configured FORCEPOR	400Ω	Internal	1nF	0.47μs
Host places UART in idle mode	10MΩ			10,000μs

注：より迅速にシャットダウン・ステートへ遷移する必要がある場合は、SHDNL ピンと AGND の間に外部抵抗を接続することができます。抵抗値は、内部緊急放電モード用プルアップ抵抗との相互作用を避けるために、4.7kΩ より大きくする必要があります。

レジスタ・リセットだけが必要な場合、ホストは、SWPOR ビットフィールドをイネーブルすることによってソフト・リセットを発行することができます。これは、インターフェイス以外に関係するすべてのデバイス・ビットフィールド（UARTCFG、TXIDLEHIZ、TXLIDLEHIZ、ADAPTTXEN、および UARTHST）をリセットします。

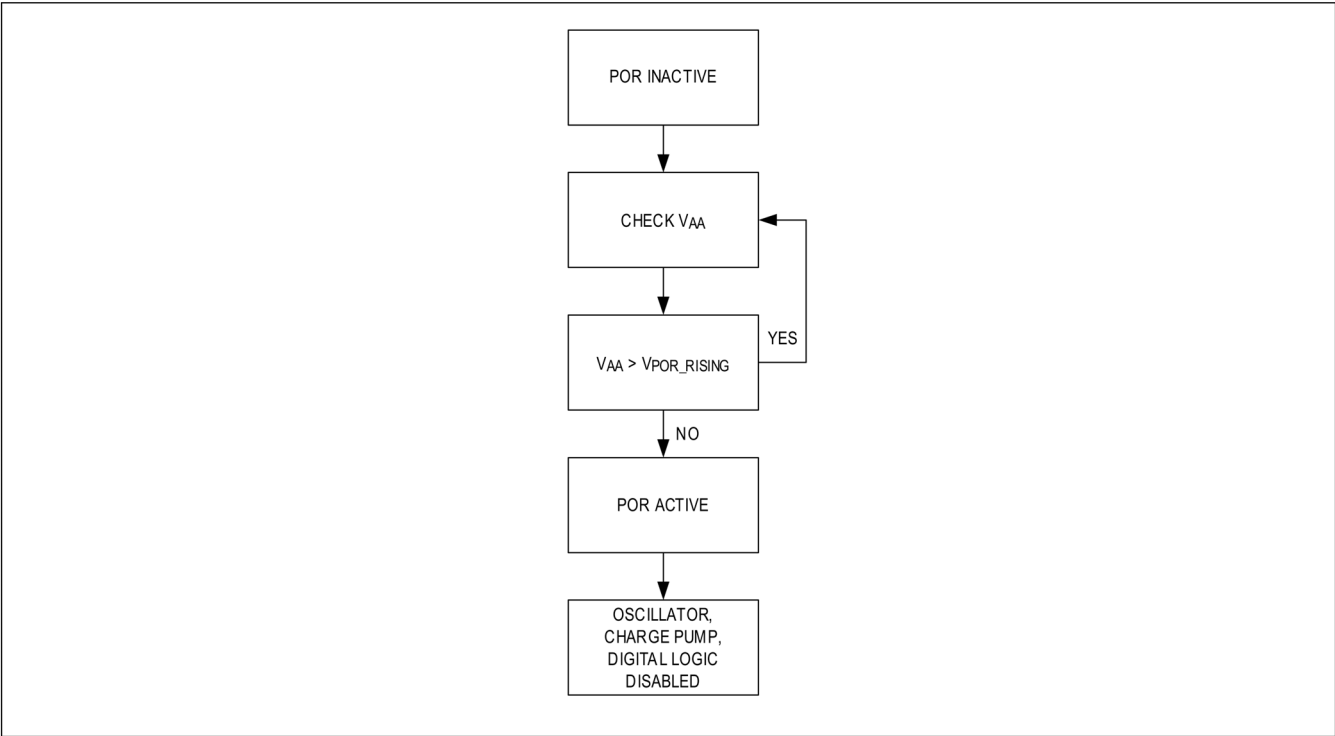


図 13. シャットダウン・シーケンス

パワーオンとシャットダウンのタイミング

UART 通信によって制御される高電圧デジタイゼーション接続システムのパワーオン制御とシャットダウン・タイミング、および電源シーケンシングに関する詳細を図 14 と表 12 に示します。

注：表 12 に示すように、シャットダウンは特定の FORCEPOR ビットに書き込みを行って制御することもできます。

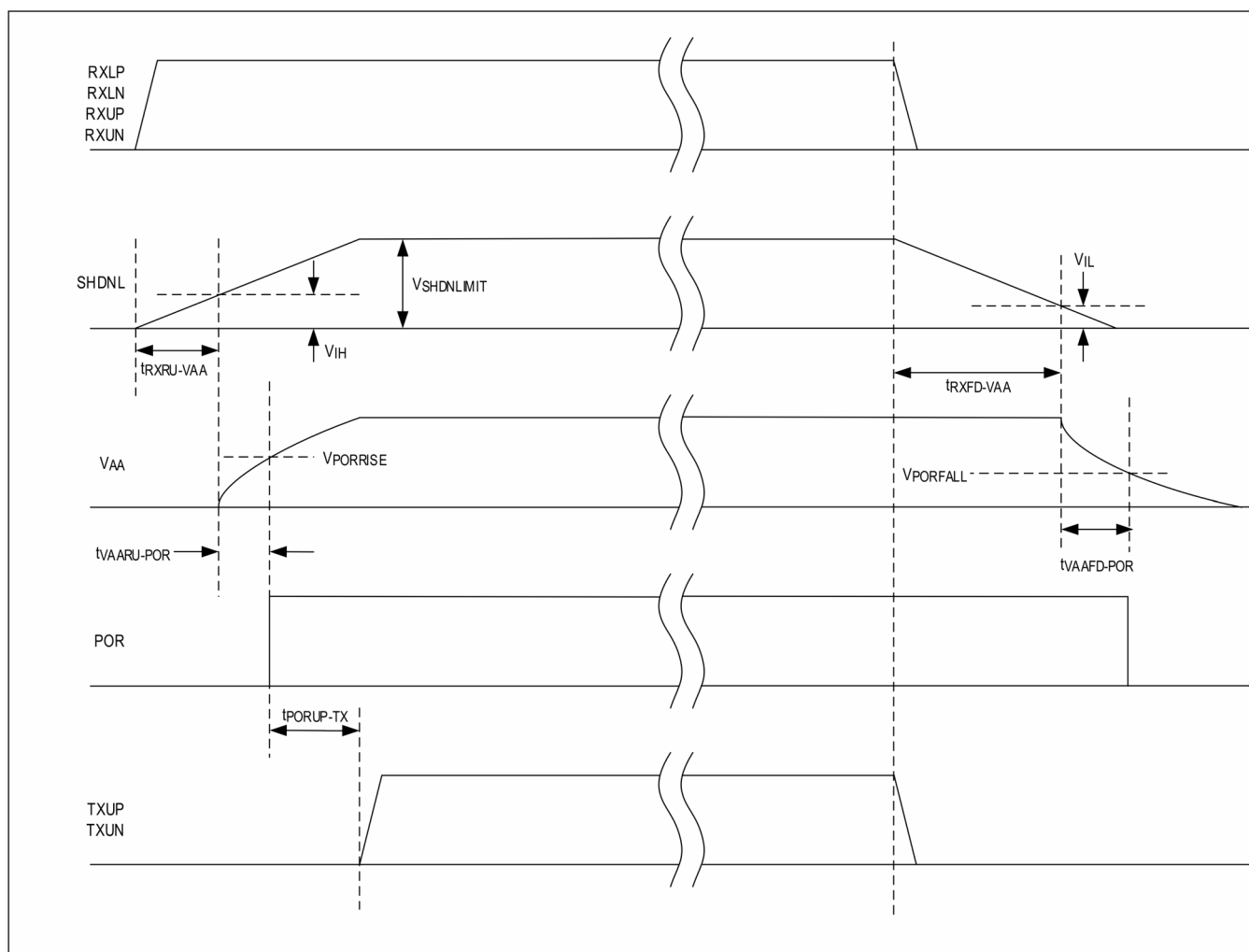


図 14. パワーオンとシャットダウンのタイミング

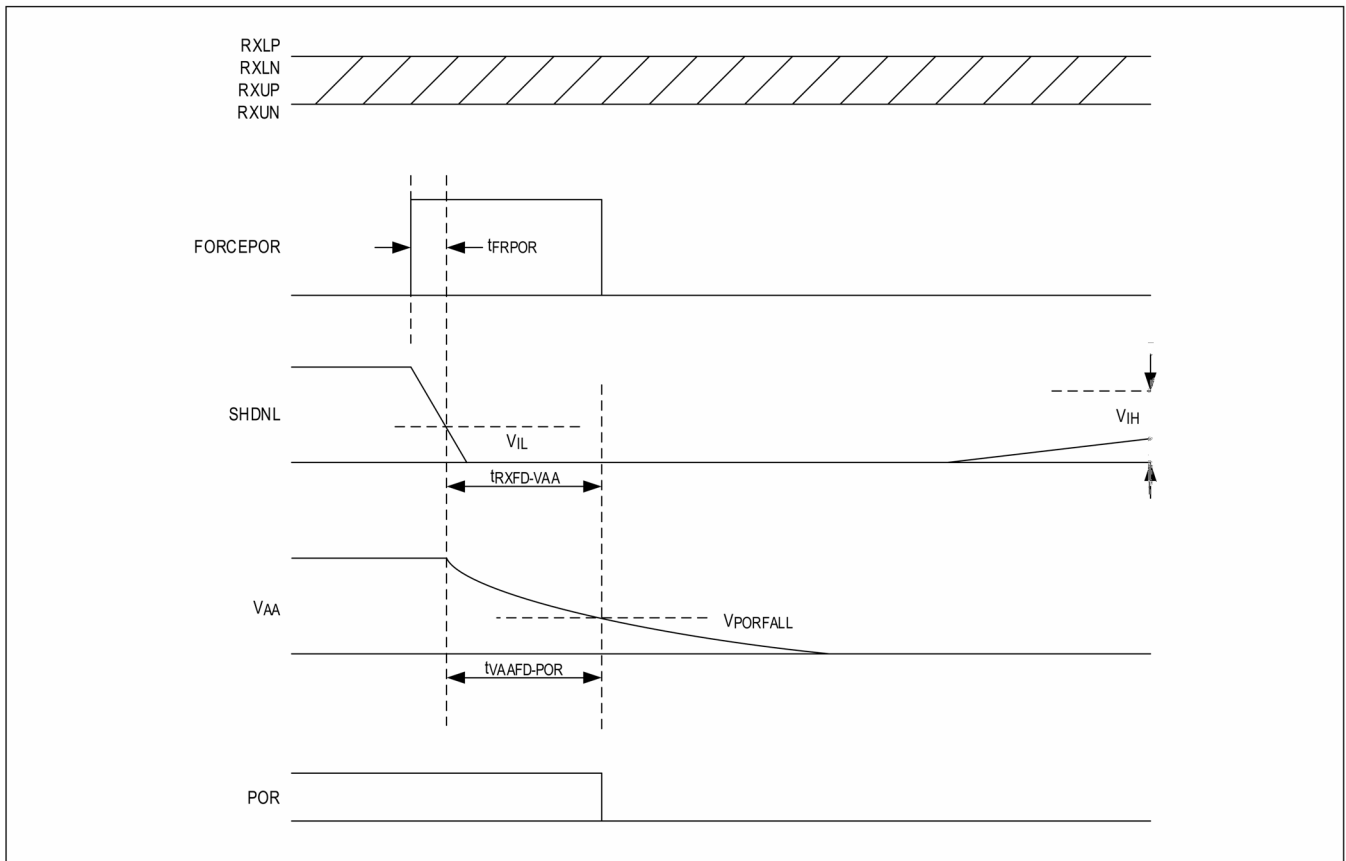


図 15. シャットダウン・タイミング

アクティブ・モード

SCAN コマンドを受信するかセル・バランス動作中に UV 閾値が検出されると、デバイスはアキュイジション・モードになります。アキュイジション・モードに費やされる全体的な時間の長さは、SCANCTRL レジスタと ACQCFG レジスタの設定によって決まります。アキュイジションが完了すると (SCANDONE と DATARDY により通知される)、デバイスは低消費電力のスタンバイ・モードになります。アキュイジション・モード中のいずれかの時点で SHDNL が V_{IL_SHDNL} 未満になった場合、あるいは T_{SHDNL} を超えたり V_{AA} が POR 閾値未満になったりした場合、デバイスはアキュイジションを終了してシャットダウン・モードになります。

高精度内部電圧リファレンス

この測定システムは、温度補償された 2 つの高精度電圧リファレンスを使用します。これらのリファレンスはすべてデバイスに内蔵されており、外部部品は不要です。プライマリ電圧リファレンス (REF) は、リニア・レギュレータ出力電圧の導出と ADC リファレンスの供給に使用します。診断のセクションに示すように、代替用の独立リファレンス (ALTREF) はプライマリ・リファレンス電圧を確認するために使用できます。

スキャン方法

ADES1754/ADES1755/ADES1756 は、3 つの異なるアキュイジション (ADC アキュイジション、コンパレータ・アキュイジション、および ADC とコンパレータの同時アキュイジション) を行うことのできる 2 つの並列測定エンジン (ADC とコンパレータ) を搭載しています。これら両方の測定ブロックを組み合わせることでハードウェアの冗長性を確保し、迅速なフォルト検出を実現すると共に、システムの信頼性を向上させています。

すべてのモードはセル測定と補助温度/補助電圧測定の処理が可能で、システム・フォルトに関わる通信を加速するためにそれぞれ独自のアラート閾値を設定することができます。アラート設定の詳細は測定アラートのセクションに記載されています。

ADC の入力範囲

ADC は、POLARITYCTRL レジスタの POLARITY[13:0] ビットの設定を通じて、ユニポーラおよびバイポーラのセル入力アキュイジションをサポートしています。ユニポーラ設定の公称入力範囲は $0V \sim 5V$ 、バイポーラ設定の公称入力範囲は $-2.5V \sim +2.5V$ です。2 つのスキャン設定による変換データを組み合わせることによって入力範囲を実質的に $-2.5V \sim +5V$ に拡大することができますが、この場合は $+2.3V$ を超えるバイポーラ測定値をユニポーラ測定値で補う必要があります。

ユニポーラ変換とバイポーラ変換の両方に対応できる柔軟性によって、両方のセル測定値とバスバー測定値を同じアキュイジション内で同時にキャプチャできますが、これはアキュイジション時間とインターフェイス・スループットを最適化する助けとなります。

注：いくつかの診断モードの変換では、POLARITYCTRL レジスタの POLARITY_n ビットの値に関わらず、バイポーラ・モードかユニポーラ・モードのどちらかを使うよう自動的にデバイスの事前設定が行われます。

また、ADC は、AUXREFCTRL レジスタの AUXREFSEL[5:0]ビットの設定を通じて、レシオメトリック・アキュイジションと絶対アキュイジション両方の補助入力をサポートします。レシオメトリック・アキュイジションは主に NTC ベースの温度測定に使われ、入力範囲は 0V～V_{AA}です。絶対アキュイジションはアプリケーションに必要とされるあらゆる補足電圧測定に使用でき、入力範囲は 0V～V_{REF}です。アプリケーションの精度を最大限まで高めるには、適切なモードを設定する必要があります（電源電圧などの絶対測定値に対してレシオメトリック・アキュイジションを行うことは推奨しません。リファレンス（V_{AA}）の変動によって不要な測定誤差が生じる可能性があるからです）。

補助設定は絶対測定値とレシオメトリック測定値両方の同時アキュイジションをサポートしており、これはアキュイジション時間とインターフェイス・スループットを最適化する助けとなります。

注：すべての ADC 設定において、ゼロスケール制限値とフルスケール制限値付近で直線性が低下することがあります。デバイスの精度仕様については[電氣的特性](#)の表を参照してください。

表 13. ADC の入力範囲

CELL INPUT VOLTAGE		AUX RATIO INPUT VOLTAGE	AUX ABSOLUTE INPUT VOLTAGE	CELLn[15:2] AUXn[15:2] (14 BITS)		CELLn[15:0] AUXn[15:0] (16 BITS)
BIPOLAR MODE	UNIPOLAR MODE			HEXADECIMAL	DECIMAL	
-2.5V	0V	0V	0V	0000h	0d	0000h
0V	+2.5V	V _{AA} /2	V _{REF} /2	2000h	8192d	8000h
+2.5V	+5V	V _{AA}	V _{REF}	3FFFh	16383d	FFFCh

コンパレータの入力範囲

コンパレータは、POLARITYCTRL レジスタの POLARITY[13:0]ビットの設定を通じて、0～5V のユニポーラ・セル入力範囲をサポートしています。バイポーラ・アキュイジションについて個々の POLARITY ビットを設定すると、スキャン時はコンパレータ・セル測定が省略されます。

コンパレータは補助入力のレシオメトリック・アキュイジションと絶対アキュイジションもサポートしており、これは [ADC の入力範囲](#)のセクションに述べた設定と同じ設定に従います。レシオメトリック・アキュイジションの入力範囲は 0V～V_{AA}で、絶対アキュイジションの入力範囲は 0V～V_{REF}です。

表 14. コンパレータの入力範囲

CELL INPUT VOLTAGE	AUX RATIO INPUT VOLTAGE	AUX ABSOLUTE INPUT VOLTAGE	COMPOVTH, COMPUVTH, COMPAUXROVTH, COMPAUXRUVTH COMPAUXAOTH, COMPAUXAUVTH (12 BITS)		COMPOVTH[15:0], COMPUVTH[15:0], COMPAUXROVTH[15:0], COMPAUXRUVTH[15:0], COMPAUXAOTH[15:0], COMPAUXAUVTH[15:0] (16 BITS)
			HEXADECIMAL	DECIMAL	
0V	0V	0V	000h	0d	0000h
2.5V	V _{AA} /2	V _{REF} /2	7FFh	2047d	7FF0h
5V	V _{AA}	V _{REF}	FFFh	4095d	FFF0h

スキャン設定

SCANCTRL レジスタの SCANCFG ビットは、実行するアキュイジションを選択します。選択可能な設定のすべてを以下に示します。

- ADC
- ADC およびコンパレータ (ADC + COMP)
- コンパレータ
- キャリブレーション 5-バランシング・スイッチ・ショート
- バランシング・スイッチ・オープン
- セル検出オープン、奇数
- セル検出オープン、偶数

ADC、コンパレータ、および ADC + COMP アキュイジションでは、FOSR ビットの設定を通じてサンプル間隔を設定できます。この設定は、OVSAMPL と組み合わせることで、50Hz/100Hz または 60Hz/120Hz での特定周波数除去が可能です。設定しない場合は、インターフェイスのタイミングを通じてサンプル間隔を具体的に制御し、ホスト・コントローラ上で必要な任意のポスト・プロセッシングをサポートすることができます。

注：SCANCFG ビットフィールドへ書き込みを行うと、バランス・スイッチとセル検出アキュイジションが直ちに内部バランス・スイッチの設定を行います。このアキュイジション・モードの動作の詳細については [BALSWS 診断](#) のセクションを参照してください。

ADC の設定と特性

ADC の極性設定

ユニポーラおよびバイポーラ測定は 1 つのアキュイジション内でサポートされており、複数のスキャン設定レジスタを設定し直したりアキュイジションを複数回繰り返したりすることなく、すべてのセル・データとバスバー・データをキャプチャできます。セル極性は POLARITYCTRL レジスタを使って設定し、すべてのセルのデフォルトはユニポーラ測定に設定されます (POLARITY [13:0] = 0000h)。

バイポーラ・セルは、BALSWDIAG ADC 測定スキャン時にはフォルト・マスクされます。MINMAXPOL は、MIN/MAXCELL と ALRTMSMTCH の計算にバイポーラ・セルを含めるかどうかを決定します。

バイポーラ・セル測定は、OVTH および UVTH 閾値ではなく BIPOVTH および BIPUVTH 閾値を使ってチェックされます。

バイポーラ・セルはコンパレータ測定スキャンには含まれず、ALRTCOMPOV/ALRTCOMPUV アラートの判定も行われません。

ADC スキャンの特性

ADC アキュイジションは、セル測定、補助測定、ブロック測定、および診断測定に使用できます。

セル測定は、SCANCTRL レジスタの SCANMODE ビットを通じて、デュアル変換フェーズ (ピラミッド・モード) を使用するか、シングル変換フェーズ (ランプ・モード) を使用するよう設定できます。

セル入力については、ピラミッド・モード (SCANMODE = 0) は最初の変換フェーズを昇順で行い (イネーブルされた一番下のセルから一番上のセルへ)、2 番目の変換フェーズを降順で行います (イネーブルされた一番上のセルから一番下のセルへ)。デュアル変換スキャンでは、入力をチョッピングしてオフセットやリファレンスにより生じる誤差を効果的に除去できるほか、すべてのセル測定で同一の仮想サンプリング時間を生成することができます。

ランプ・モード (SCANMODE = 0b1) はシングル変換フェーズを実行しますが (イネーブルされた一番下のセルから一番上のセルへ)、これは変換速度を向上させます。

補助測定はピラミッド (デュアルフェーズ) サンプリング・アプローチを必要とせず、SCANMODE の設定に関わらずシングル変換でサンプリングが行われます。

ADC アキュイジション

ADC アキュイジションは、セル、補助、ブロック、および診断用に設定できます。アキュイジションは、SCANCTRL レジスタの SCAN ビットにロジック 1 を書き込むことで開始されます。この書き込みはストローブとして機能し、SCAN ビットの内容が自動的にクリアされて、ポーリングされた場合はロジック 0 をリード・バックします。デジタイザー接続されたデバイスの場合、いずれかの UART パス (コントローラの設定に依存) 内でのアキュイジションには、各デバイスを通過するコマンド・パケットの伝搬遅延 t_{PROP} による遅延が生じます。SCANDONE ビットがロジック 1 になると、そのデバイスのアキュイジション完了が通知されます。

注：SCANDONE ビットがクリアされる前に SCANCFG に対して追加的な書き込みが指示された場合、そのコマンドは無視されます。

ピラミッド・モード・アキュイジション・シーケンス

ピラミッド・モード (SCANMODE = 0) における ADC アキュイジション・プロセスの概要を以下に示します。

- HV チャージ・ポンプをディスエーブルします。
- 以下の変換を開始します (イネーブルされている場合)。
 - V_{BLK} 変換 (第 1 フェーズ)
 - イネーブルされているすべてのセル変換 (第 1 フェーズ)、昇順 (1 から 14 まで)
 - イネーブルされているすべてのセル変換 (第 2 フェーズ)、降順 (14 から 1 まで)
 - V_{BLK} 変換 (第 2 フェーズ)
 - <ピラミッドの終了>
 - DIAG1 変換 (第 1 フェーズ)
 - DIAG1 変換 (第 2 フェーズ)
 - DIAG2 変換 (第 1 フェーズ)
 - DIAG2 変換 (第 2 フェーズ)
 - 補助変換
- 以下の場合を除き、回復期間は HV チャージ・ポンプをイネーブルします。
 - OVSAMPL = 000b (オーバーサンプリングなし)、または
 - すべてのオーバーサンプリング測定が完了
- すべてのオーバーサンプリングが完了するまでステップ 1 と 2 を繰り返します。
- SCANDONE ビットをセットします。

ADC ピラミッド・モードの図

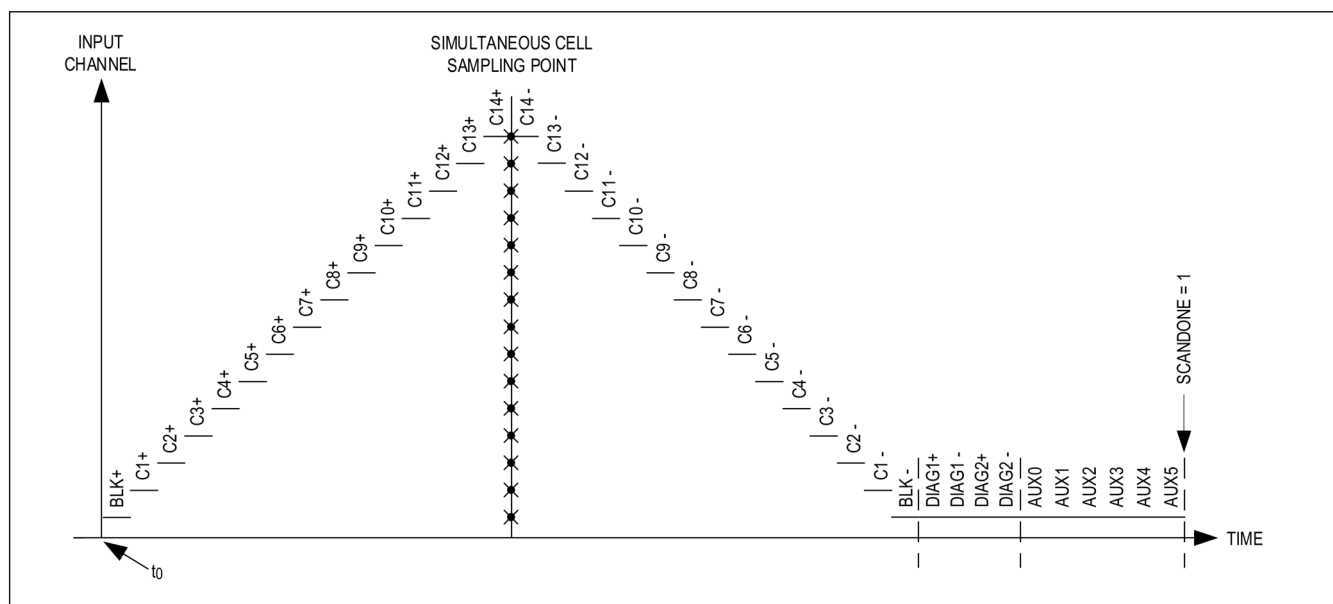


図 16. アキュイジション – SCANCFG = 0h, SCANMODE = 0, OVSAMPL = 0h, ALTMUXSEL = 0, BLOCKEN = 1, DIAGSEL1 > 0h, DIAGSEL2 > 0h, AUXEN = 3Fh

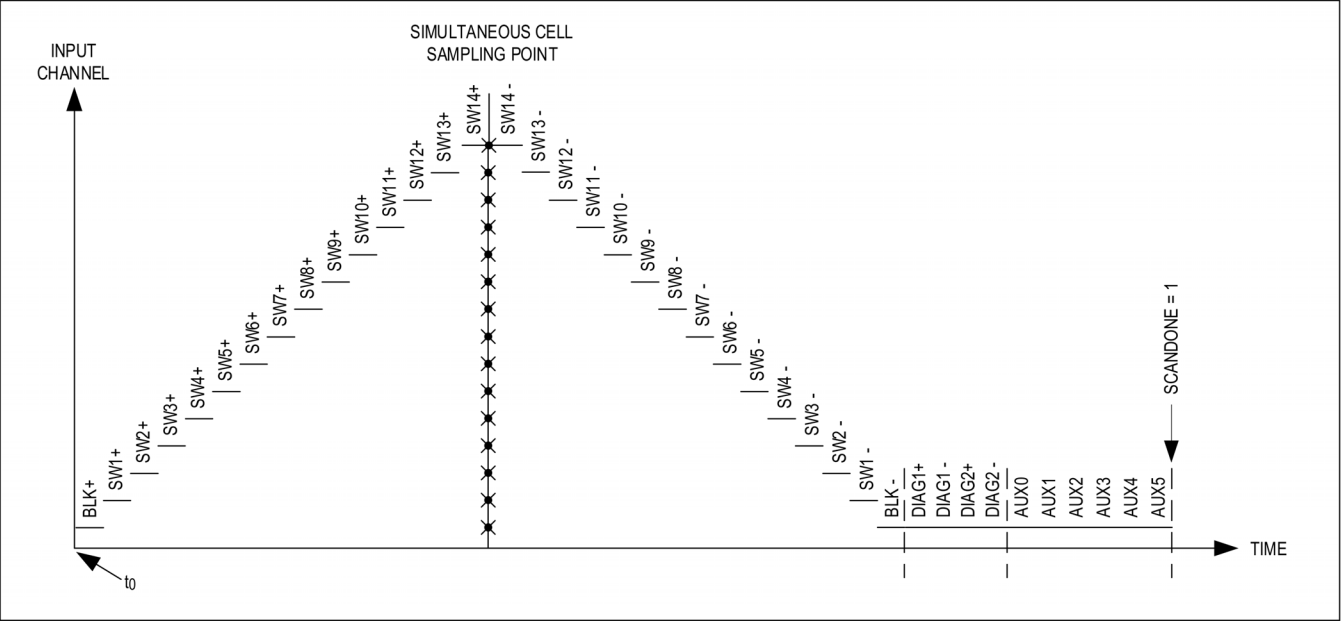


図 17. アクイジション – SCANCFG = 0h、SCANMODE = 0、OVSAMPL = 0h、TOPCELL1/2 = 14、ALTMUXSEL = 1、BLOCKEN = 1、DIAGSEL1 > 0h、DIAGSEL2 > 0h、AUXEN = 3F

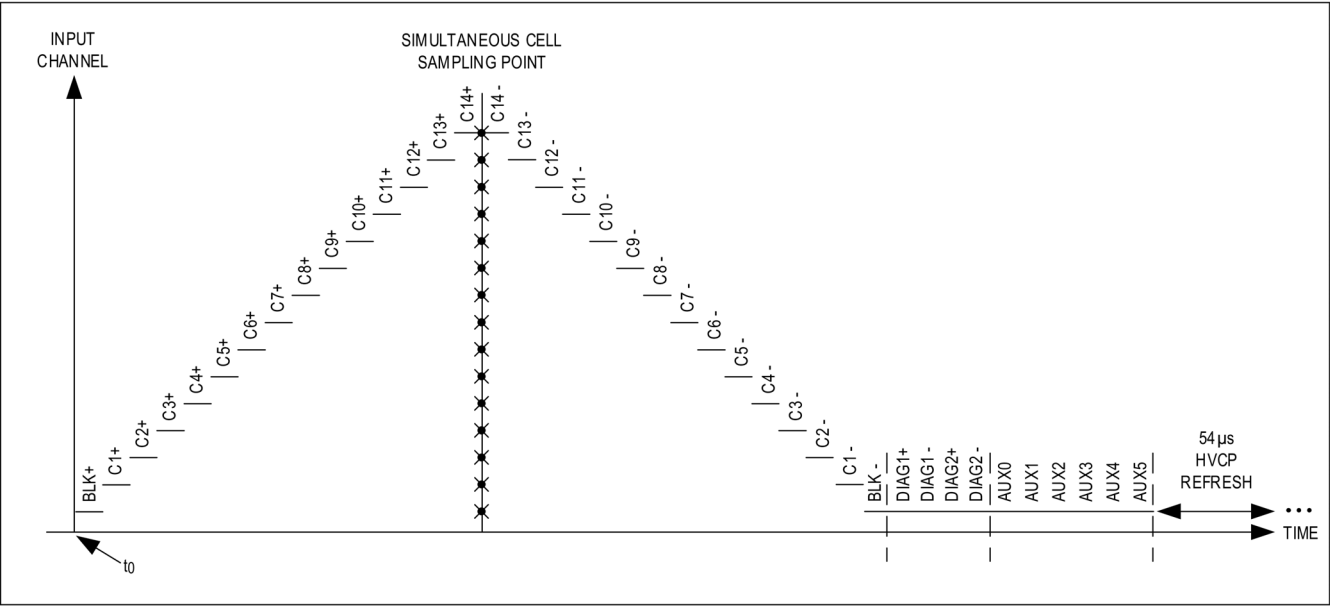


図 18. アクイジション – SCANCFG = 0h、SCANMODE = 0、OVSAMPL > 0h、ALTMUXSEL = 0、BLOCKEN = 1、DIAGSEL1 > 0h、DIAGSEL2 > 0h、AUXEN = 3Fh

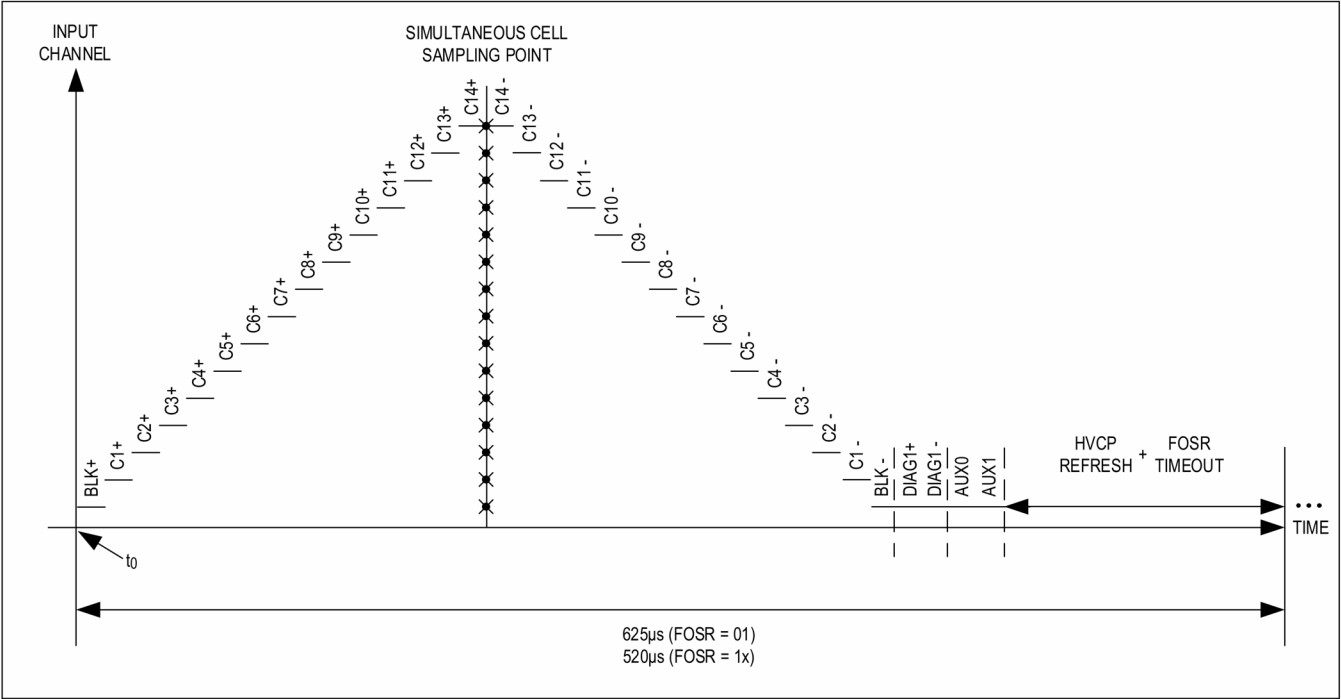


図 19. アクイジション – SCANCFG = 0h, SCANMODE = 0, OVSAMPL > 0h, ALTMUXSEL = 0, BLOCKEN = 1, DIAGSEL1 > 0h, AUXEN = 03h, FOSR > 0h

ピラミッド・モードのアクイジション・タイム

ADC ピラミッド・モード・アクイジションに要する合計時間は、下の表に示す条件別処理時間をすべて合計することによって計算できます。オーバーサンプル・アクイジション 1 回あたりの測定サイクル数は 1 です。

ADC アクイジションのタイミング – ピラミッド・モード

表 15. ADC ピラミッド・モード (SCANMODE = 0) のアクイジション・タイム

PROCESS	TIME (µs)	CONDITION	FREQUENCY
Initialization	15	Oversample > 1	Once per acquisition
	35	Oversample = 1	
AUXIN Settling (if enabled)	6 * AUXTIME[9:0]	THRRMODE = Automatic mode and FOSR = 1.6kHz, 1.92kHz mode	Once per acquisition
	6 * AUXTIME[9:0] - t _{Initialization} - t _{VBLK} - t _{Cell_Scan_Setup} - t _{Cell_Scan} - t _{Diag_Total}	THRRMODE = Automatic mode and FOSR = Free Run mode	
VBLK Measurement (if enabled)	31.5	BLOCKEN =1	Every measurement cycle
Cell Measurement	9 * y	For y = # of enabled cell inputs	
DIAG1 Measurement and/or DIAG2 Measurement (if enabled)	33.5	Die Temperature diagnostic	
	24.75	V _{AA} diagnostic	
	29.25	Comp Signal Path diagnostic	
	24.75	Cell Gain Calibration diagnostic	
	87.75	V _{ALTREF} diagnostic	
	20.25	DAC 3/4, DAC 1/4	
	5.44	All other diagnostics	

AUXIN Measurement (if enabled)	$6.75 * x$	For $x = \#$ of enabled AUXIN inputs	
HV Recovery (if oversampling enabled)	$57 * (z - 1)$	For $z = \#$ of oversamples	Every measurement cycle except last
ADCZSFS Diagnostic (if enabled)	11.2	ADCZSFSEN = 1	End of acquisition
COMPACC Diagnostic (if enabled)	13.5	COMPACCEN = 1	End of acquisition

ランプ・モード・アキュイジション・シーケンス

ランプ・モード (SCANMODE = 0) における ADC アキュイジション・プロセスの概要を以下に示します。

- HV チャージ・ポンプをディスエーブルします。
- 以下の変換を開始します (イネーブルされている場合)。
 - V_{BLK} 変換 (第 1 フェーズ)
 - イネーブルされたすべてのセルの変換 (1 から 14 まで)
 - V_{BLK} 変換 (第 2 フェーズ)
 - <ランプの終了>
 - DIAG1 変換
 - DIAG2 変換
 - 補助変換
- 以下の場合を除き、回復期間は HV チャージ・ポンプをイネーブルします。
 - OVSAMPL = 000b (オーバーサンプリングなし)、または
 - すべてのオーバーサンプリング測定が完了
- すべてのオーバーサンプリングが完了するまでステップ 1 と 2 を繰り返します。
- SCANDONE ビットをセットします。

ADC ランプ・モードの図

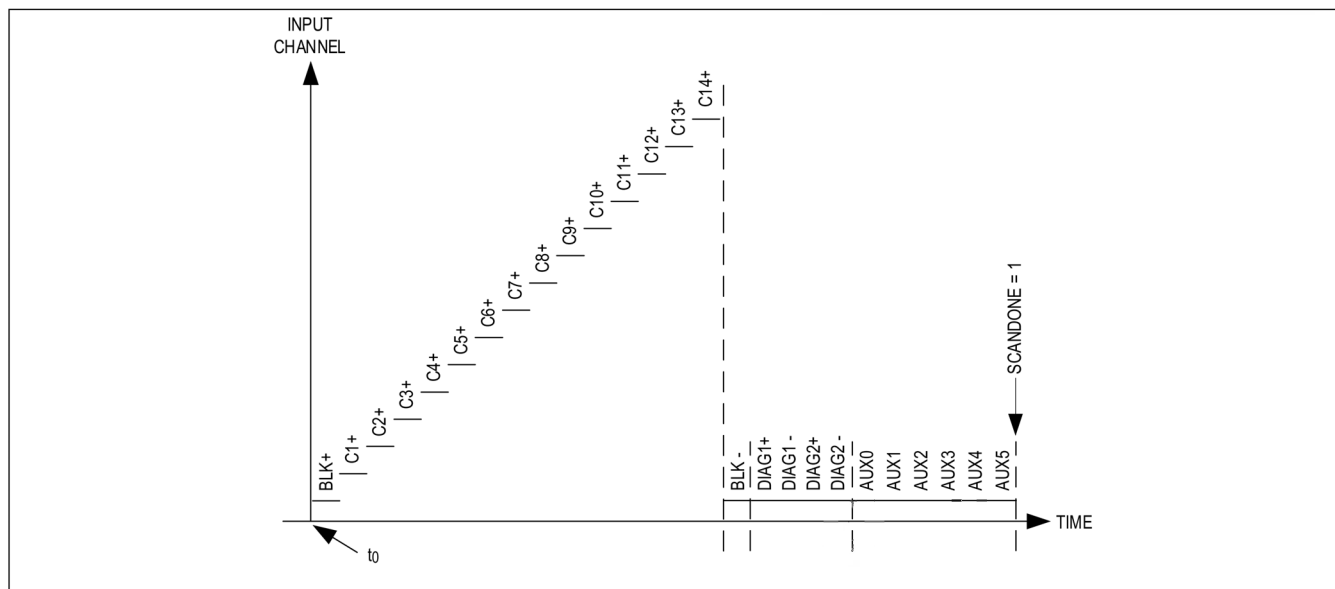


図 20. アキュイジション – SCANCFG = 0h、SCANMODE = 1、OVSAMPL = 0h、ALTMUXSEL = 0、BLOCKEN = 1、DIAGSEL1 > 0h、DIAGSEL2 > 0h、AUXEN = 3Fh

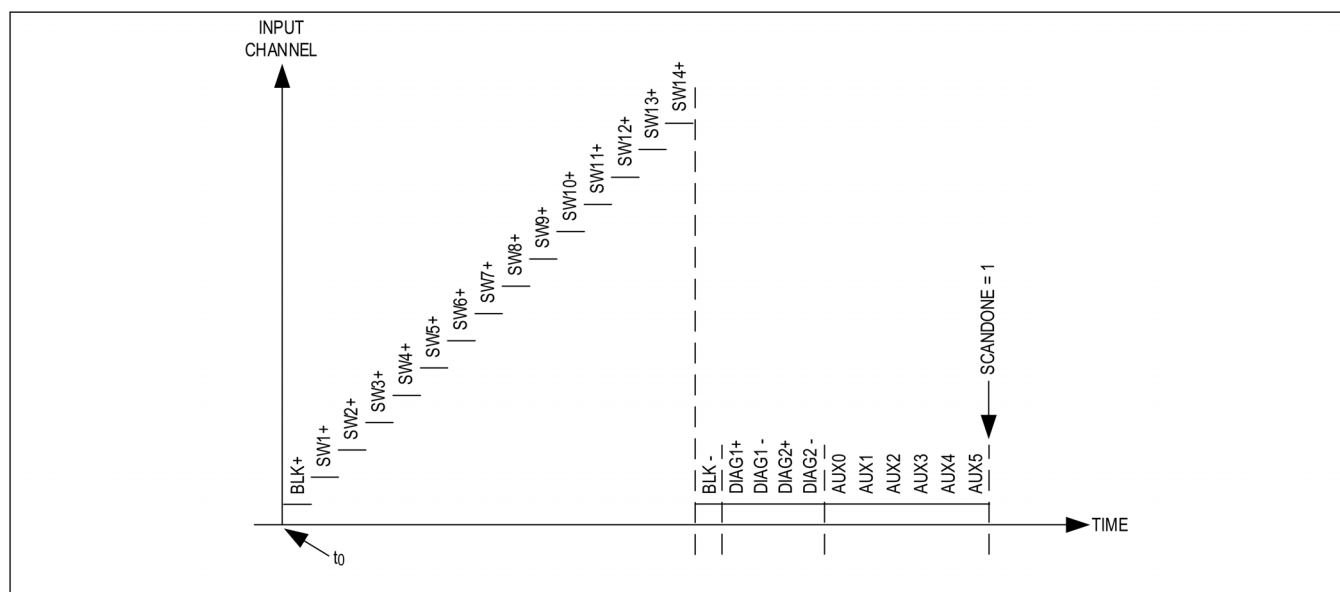


図 21. アキュイジション – SCANCFG = 0h、SCANMODE = 1、OVSAMPL = 0h、TOPCELL1/2 = 14、ALTMUXSEL = 1、BLOCKEN = 1、DIAGSEL1 > 0h、DIAGSEL2 > 0h、AUXEN = 3Fh

ランプ・モード・アキュイジション・タイム

ADC ランプ・モード・アキュイジションに要する合計時間は、表 16 に示す条件別処理時間をすべて合計することによって計算できます。オーバーサンプル・アキュイジション 1 回あたりの測定サイクル数は 1 です。

ADC アキュイジションのタイミング – ランプ・モード

表 16. ADC ランプ・モード (SCANMODE = 1) のアキュイジション・タイム

PROCESS	TIME (μs)	CONDITION	FREQUENCY
Initialization	15	Oversample > 1	Once per acquisition
	35	Oversample = 1	
AUXIN Settling (if enabled)	6 * AUXTIME[9:0]	THRMMode = Automatic mode and FOSR = 1.6kHz, 1.92kHz mode	Once per acquisition
	6 * AUXTIME[9:0] • t _{Initialization} • t _{VBLK} • t _{Cell_Scan_Setup} • t _{Cell_Scan} • t _{Diag_Total}	THRMMode = Automatic mode and FOSR = Free Run mode	
VBLK Measurement (if enabled)	31.5	BLOCKEN = 1	Every measurement cycle
Cell Measurement	4.5 * y	For y = # of enabled cell inputs	
DIAG1 Measurement and/or DIAG2 Measurement (if enabled)	33.5	Die Temperature diagnostic	
	24.75	V _{AA} diagnostic	
	29.25	Comp Signal Path diagnostic	
	24.75	Cell Gain Calibration diagnostic	
	87.75	V _{ALTREF} diagnostic	
	20.25	DAC 3/4, DAC 1/4	
AUXIN Measurement (if enabled)	5.44	All other diagnostics	
AUXIN Measurement (if enabled)	6.75 * x	For x = # of enabled AUXIN inputs	Every measurement cycle except last
HV Recovery (if oversampling enabled)	57 * (z - 1)	For z = # of oversamples	

ADCZSFS Diagnostic (if enabled)	11.2	ADCZSFSSEN = 1	End of acquisition
COMPACC Diagnostic (if enabled)	13.5	COMPACCEN = 1	End of acquisition

ADC アキュイジション・タイムの例

一般的な設定と、それらの設定に対応する実現可能なアキュイジション・タイムの例を表 17 に示します。

表 17. ADC アキュイジション・タイムの例 (AUXTIME[9:0] = 000h)

ENABLED MEASUREMENTS	NO OVERSAMPLING (OVSAMPL[2:0] = 0h)		8x OVERSAMPLING (OVSAMPL[2:0] = 2h)		16x OVERSAMPLING (OVSAMPL[2:0] = 3h)	
	PYRAMID SCAN	RAMP SCAN	PYRAMID SCAN	RAMP SCAN	PYRAMID SCAN	RAMP SCAN
14 cells	161.2µs	98.25µs	1424µs	920µs	2890µs	1882µs
14 cells, V _{BLK}	192.6µs	129.6µs	1675µs	1171µs	3392µs	2384µs
14 cells, 6 aux	201.7µs	138.7µs	1748µs	1244µs	3538µs	2530µs
14 cells, V _{BLK} , 6 aux	233.1µs	170.1µs	1999µs	1495µs	4040µs	3032µs
14 cells, V _{BLK} , die temp DIAG, 6 aux	266.6µs	203.5µs	2266.5µs	1762.5µs	4475µs	3567µs

コンパレータの設定と特性

コンパレータ・スキャンの特性

コンパレータ・アキュイジションは、ユニポーラ・セル測定用と補助測定用に設定することができます。セル入力 **POLARITYCTRL** レジスタでバイポーラ動作に設定されている場合、そのアキュイジション時間中はコンパレータ測定がアイドル状態になり、**ALRTCOMPOVREG** レジスタと **ALRTCOMPUVREG** レジスタによる対応アラート・レポートは更新されません。アキュイジション・タイムがコンパレータ・スキャンにとって非常に重要である場合は、**SCAN** 発行前に **MEASUREEN1** レジスタのバイポーラ入力をディスエーブルすることを推奨します。理由は、ディスエーブルすることによってアキュイジション時にこれらの測定が省略されるからです。

コンパレータ・アキュイジションには **SCANMODE** ビットの設定も適用されず、コンパレータは、**MEASUREEN1** レジスタと、**ALRTOVEN** および **ALRTUVEN** レジスタによって示される入力だけに基づいて動作します。これを以下のコンパレータ・アキュイジション・プロセスに示します。

コンパレータ・アキュイジション

アキュイジションは、**SCANCTRL** レジスタの **SCAN** ビットに 1 を書き込むことで開始されます。この書込みはストローブとして機能し、**SCAN** ビットの内容が自動的にクリアされて、ポーリングされた場合はロジック 0 をリード・バックします。デ이지チェーン接続されたデバイスの場合、いずれかの **UART** パス（コントローラの設定に依存）内でのアキュイジションには、各デバイスを通過するコマンド・パケットの伝搬遅延 **t_{PROP}** による遅延が生じます。**SCANDONE** ビットがロジック 1 になると、デバイスのアキュイジション完了が通知されます。

注： **SCANDONE** ビットがクリアされる前に **SCANCFG** に対して追加的な書込みが指示された場合、そのコマンドは無視されます。

コンパレータ・アキュイジション・プロセス

1. HV チャージ・ポンプをディスエーブルします。
2. イネーブルされたすべてのセル入力（**MEASUREEN1**）で、**COMPOVTH** 閾値を基準に昇順（1 から 14 まで）で過電圧変換を実行します。
3. **ALRTCOMPOV** レジスタ（**MEASUREEN1** と **ALRTOVEN**）を更新します。
4. イネーブルされたすべてのセル入力（**MEASUREEN1**）で、**COMPUVTH** 閾値を基準に降順（14 から 1 まで）で低電圧変換を実行します。
5. **ALRTCOMPUV** レジスタ（**MEASUREEN1** と **ALRTUVEN**）を更新します。
6. イネーブルされたすべての補助入力（**MEASUREEN2**）で、**COMPAUXOVTH** を基準に昇順（0 から 5 まで）で過電圧変換を実行します。
7. **ALRTCOMPAUXOV** レジスタ（**MEASUREEN2** と **ALRTAUXOVEN**）を更新します。

- 8. イネーブルされたすべての補助入力（MEASUREEN2）で、COMPAUXUVTH を基準に昇順（0 から 5 まで）で低電圧変換を実行します。
- 9. ALRTCOMPAUXUV レジスタ（MEASUREEN2 と ALRTAUXUVEN）を更新します。
- 10. HV チャージ・ポンプ・リフレッシュをイネーブルします。
- 11. すべてのオーバーサンプリングが完了するまでステップ 2 から 6 を繰り返します。
- 12. 結果とコンパレータ閾値を比較して、アラート・ステータスを更新します。
- 13. HV チャージ・ポンプをイネーブルします。

注：コンパレータの結果を使用できるのは、該当する OV/UV アラートがイネーブルされている場合に限られます。

コンパレータ閾値

コンパレータによるセル測定と補助測定は、ADC の OV/UV 閾値とは別の OV/UV 閾値を使ってプログラムできます。しかし、すべてのセル測定は、COMPOVTH レジスタと COMPUVTH レジスタによって定義される同じ閾値設定を共有します。更に、すべてのレシオメトリック補助測定は COMPAUXROVTH レジスタと COMPAUXRUVTH ジスタによって定義される同じ閾値設定を共有し、すべての絶対補助測定は COMPAUXAOVTH レジスタと COMPAUXAUVTH レジスタによって定義される同じ閾値設定を共有します。

コンパレータの入力範囲のセクションで定義したように、それぞれの閾値レジスタは 12 ビットまで設定可能で、セル測定では分解能を 1.22mV に、レシオメトリック補助測定では 0.439mV に、そして絶対補助測定では 0.076mV に調整することができます。

注：補助入力時のフルスケールは V_{AA} に依存するので、これは異なる負荷条件や温度条件に対するコンパレータの分解能に影響する可能性があります。

補助入力に関するピン設定を GPIO モードまたは I²C モードに合わせた場合は、ALRTAUXOVEN と ALRTAUXUVEN の両方がディセーブルされます（ロジック 0）。

コンパレータ・アキュイジション・タイム

コンパレータ・アキュイジションに要する合計時間は、表 18 に示す条件別処理時間をすべて合計することによって計算できます。オーバーサンプル・アキュイジション 1 回あたりの測定サイクル数は 1 です。

表 18. コンパレータ・アキュイジション・タイム

PROCESS	TIME (μs)	CONDITION	FREQUENCY
Initialization	15	Oversample > 1	Once per acquisition
	35	Oversample = 1	
AUXIN Settling (if enabled)	6 * AUXTIME[9:0]	THRM MODE = Automatic mode and FOSR = 1.6kHz, 1.92kHz mode	Once per acquisition
	6 * AUXTIME[9:0] - t _{Initialization} - t _{VBLK} - t _{Cell_Scan_Setup} - t _{Cell_Scan} - t _{Diag_Total}	THRM MODE = Automatic mode and FOSR = Free Run mode	
Cell Measurement	9 * y	For y = # of enabled cell inputs	Every measurement cycle
AUXIN Measurement (if enabled)	13.5 x	For x = # of enabled AUXIN inputs	
HV Recovery (if oversampling enabled)	57 * (z-1)	For z = # of oversamples	Every measurement cycle except last
COMPACC Diagnostic (if enabled)	13.5	COMPACCEN = 1	End of acquisition

コンパレータ・アキュイジション・タイミングの例

一般的な設定と、それらの設定に対応する実現可能なアキュイジション・タイムの例を表 19 に示します。

表 19. コンパレータ・アキュイジション・タイムの例 (AUXTIME[9:0] = 000h)

ENABLED MEASUREMENTS	NO OVERSAMPLING (OVSAMPL[2:0] = 0h)	8x OVERSAMPLING (OVSAMPL[2:0] = 2h)	16x OVERSAMPLING (OVSAMPL[2:0] = 3h)
14 cells	161.2μs	1424μs	2890μs
14 cells, 6 aux	242.2μs	2072μs	4186μs

コンパレータ・スキャンの図

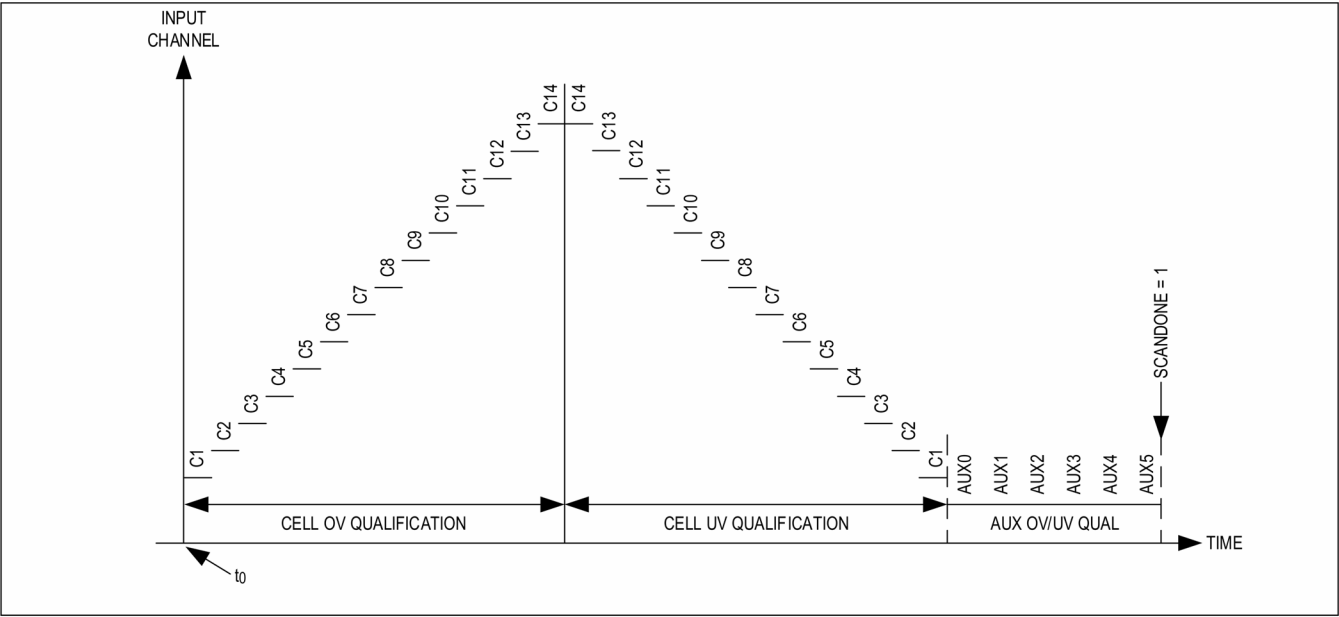


図 22. コンパレータ・シングル・スキャン・モード

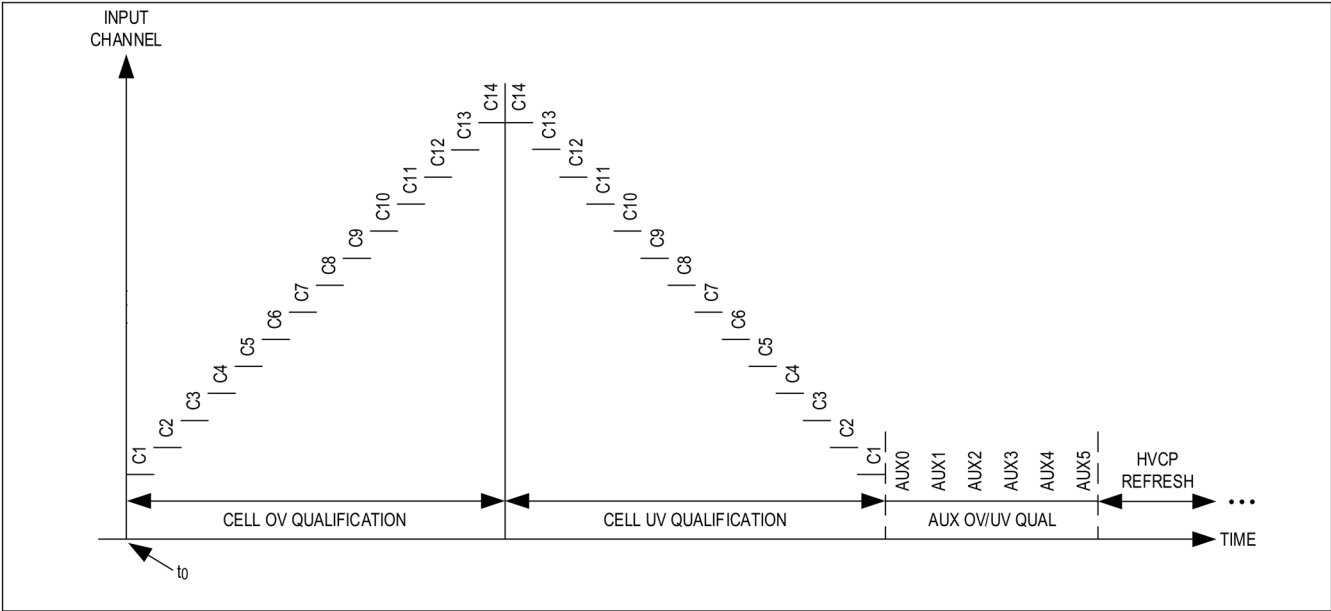


図 23. オーバーサンプリング時のコンパレータ・シングル・スキャン

ADC + COMP の設定と特性

ADC + COMP スキャン・モード

ADC + COMP アクイジションは、セル測定、補助測定、ブロック測定、および診断測定に使用できます。それぞれの測定エンジン（ADC またはコンパレータ）は前に述べた機能を備えていますが、以下にその詳細を示します。

コンパレータ・アクイジションはユニポーラのセル入力と補助入力に使われ、バイポーラのセル、ブロック、および診断測定時はアイドル状態になります。セル・パス（OVALRTEN と UVALERTEN）および補助パス（AUXOVALRTEN と AUXUVALRTEN）の OV/UV アラートは ADC とコンパレータの両方に使用可能で、それぞれに固有の閾値を設定できます。いずれかの OV/UV アラートをディスエーブルしても ADC 測定は行われますが、アクイジションのこの部分ではコンパレータがアイドル状態になります。

ADC + COMP スキャン・モードでは ADC アクイジションはピラミッド・モードでのみ動作し、SCANMODE ビットは無視されます。

ADC + COMP アクイジション・タイム

ADC + COMP アクイジションに要する合計時間は、下の表に示す条件別処理時間をすべて合計することによって計算できます。オーバーサンプル・アクイジション 1 回あたりの測定サイクル数は 1 です。

表 20. ADC + COMP アクイジション・タイム

PROCESS	TIME (μs)	CONDITION	FREQUENCY
Initialization	15	Oversample > 1	Once per acquisition
	35	Oversample = 1	
AUXIN Settling (if enabled)	6 * AUXTIME[9:0]	THRM MODE = Automatic mode and FOSR = 1.6kHz, 1.92kHz mode	Once per acquisition
	6 * AUXTIME[9:0] - t _{Initialization} - t _{VBLK} - t _{Cell_Scan_Setup} - t _{Cell_Scan} - t _{Diag_Total}	THRM MODE = Automatic mode and FOSR = Free Run mode	
VBLK Measurement (if enabled)	31.5	BLOCKEN = 1	Every measurement cycle
Cell Measurement	9 * y	For y = # of enabled cell inputs	
DIAG1 Measurement AND/OR DIAG2 Measurement (if enabled)	33.5	Die temperature diagnostic	
	24.75	V _{AA} diagnostic	
	29.25	Comp signal path diagnostic	
	24.75	Cell gain calibration diagnostic	
	87.75	V _{ALTREF} diagnostic	
	20.25	DAC 3/4, DAC 1/4	
AUXIN Measurement (if enabled)	13.5 * x	For x = # of enabled AUXIN inputs	
HV Recovery (if oversampling enabled)	57 * (z-1)	For z = # of oversamples	Every measurement cycle except last
ADCZSFS Diagnostic (if enabled)	13.5	ADCZSFSEN = 1	End of acquisition
COMPACC Diagnostic (if enabled)	13.5	COMPACCEN = 1	End of acquisition

ADC + COMP アクイジション・タイムの例

一般的な設定と、それらの設定に対応する実現可能なアクイジション・タイムの例を表 21 に示します。

表 21. ADC + COMP アクイジション・タイムの例 (AUXTIME[9:0] = 000h)

ENABLED MEASUREMENTS	NO OVERSAMPLING (OVSAMPL[2:0] = 0h)	8x OVERSAMPLING (OVSAMPL[2:0] = 2h)	16x OVERSAMPLING (OVSAMPL[2:0] = 3h)
14 cells	161.2μs	1424μs	2890μs
14 cells, V _{BLK}	192.6μs	1675μs	3392μs
14 cells, 6 aux	242.2μs	2072μs	4186μs
14 cells, V _{BLK} , 6 aux	273.6μs	2323μs	4688μs
14 cells, V _{BLK} , die temp DIAG, 6 aux	307μs	2590.5μs	5223μs

ADC + COMP スキャンの図

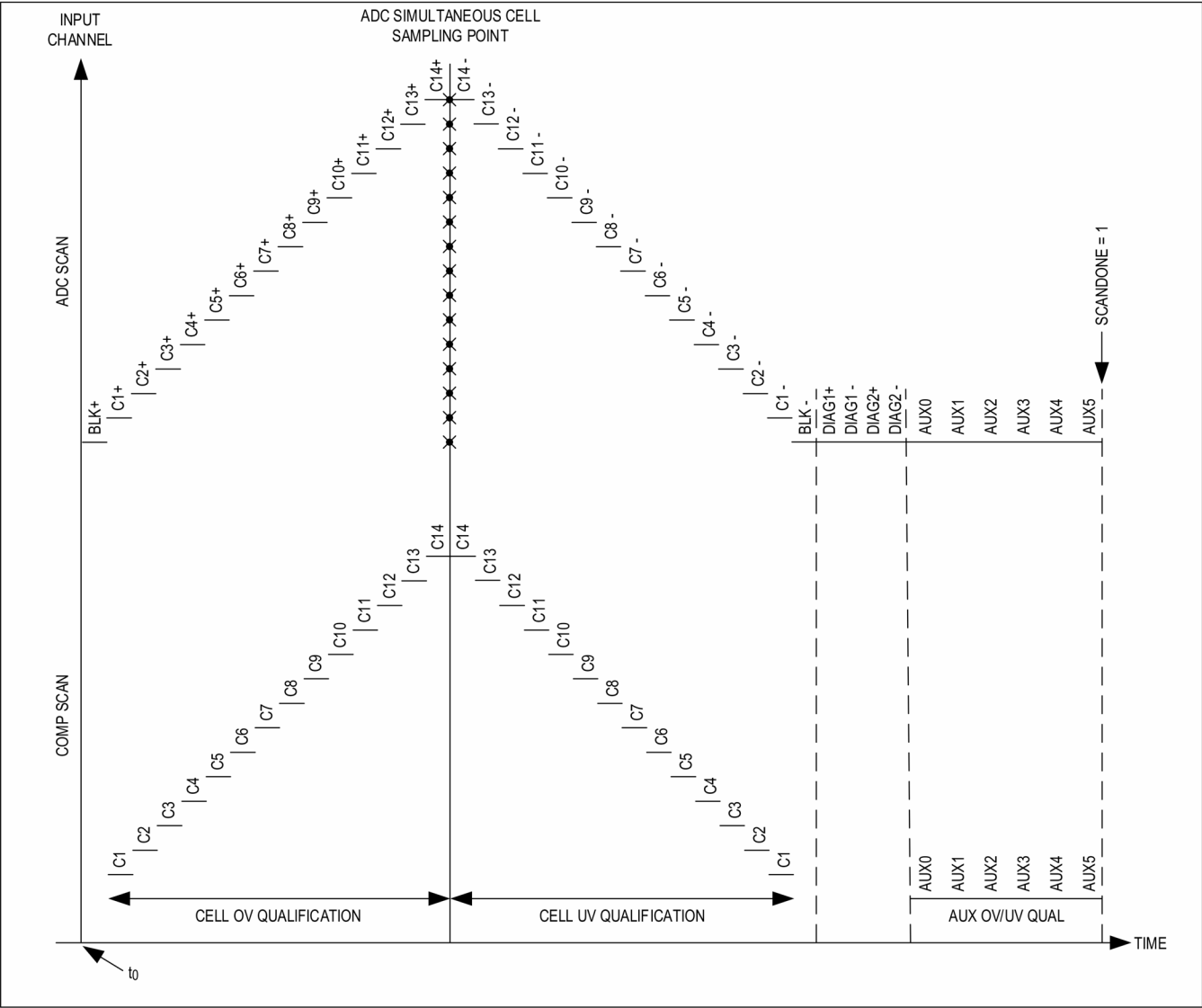


図 24. 同時 ADC + COMP スキャン・モード

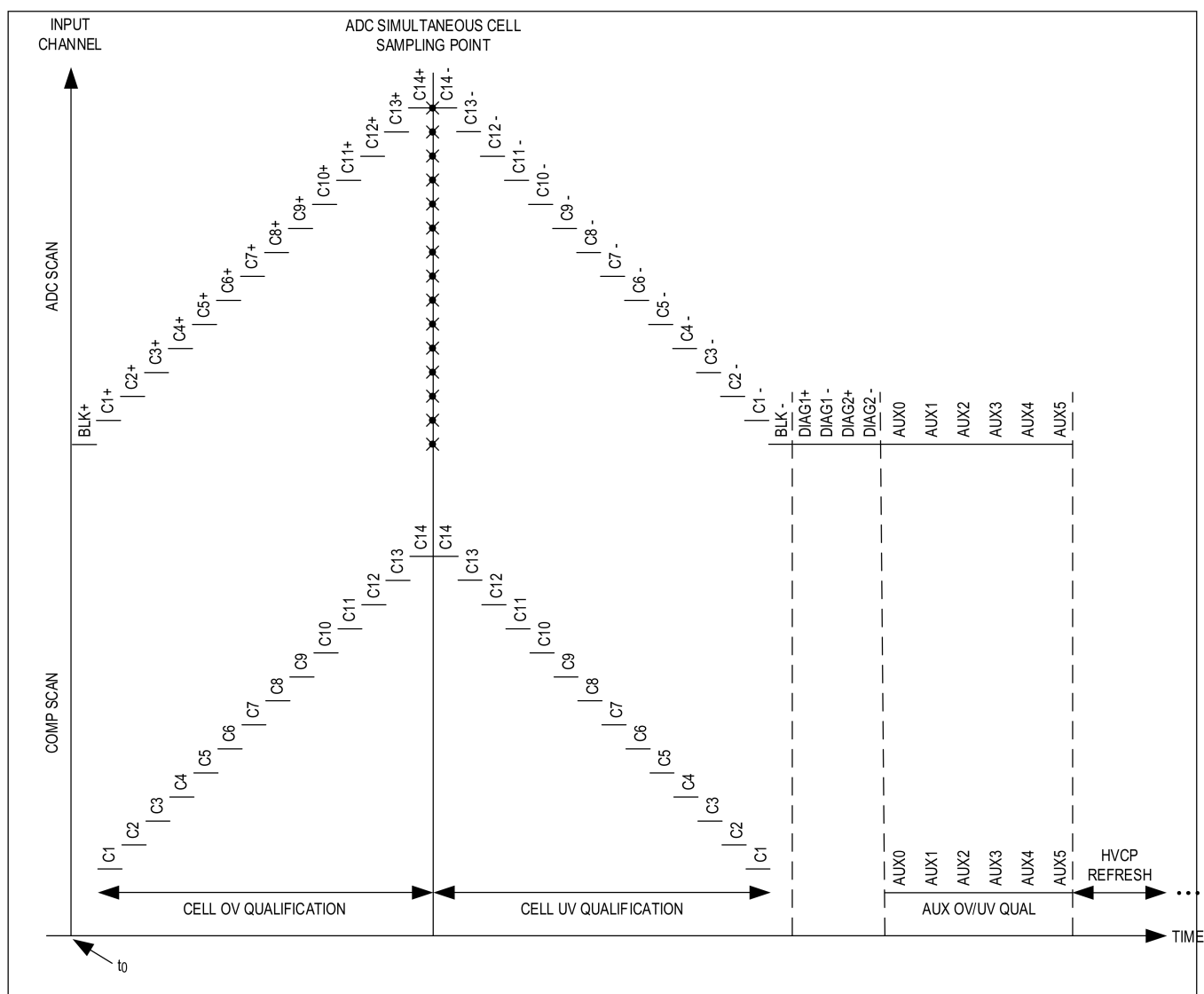


図 25. オーバーサンプリング時の同時 ADC + COMP スキャン

オンデマンド・キャリブレーション

ADES1754/ADES1755/ADES1756 は内蔵のオンデマンド・キャリブレーション手順をサポートしており、内部シグナル・チェーンが低精度であることから制限される内部測定精度を上げるために、ユーザがその実行を指示できます。ただし、このキャリブレーション・プロセスは外部アプリケーション部品の不正確さを修正するものではない、という点に留意する必要があります。キャリブレーションの精度は、[電気的特性](#)の表の測定精度のセクションに示されています。

有効なオンデマンド・キャリブレーションを行うには、**SCANCTRL** レジスタの **SCANCFG** ビットを使ってキャリブレーション・アクイジションを指示する必要があります。キャリブレーション・アクイジションは内部キャリブレーション・ソースを自動的に設定して ADC アクイジションを実行し、セル入力、補助入力、およびブロック入力用のキャリブレーション係数を計算して保存します。キャリブレーション・アクイジションの完了は、他のすべてのアクイジション同様に **SCANDONE** ビットによって通知されます。キャリブレーション・アクイジションの完了前に送信されるコマンドはすべて無視されますが、デジタイゼーション接続を通じた伝達は行われます。

キャリブレーション時間は 3.75ms です。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

注： キャリブレーション・アキュイジションは、スキャン制御レジスタおよびスキャン設定レジスタ（POLARITYCTRL、SCANCTRL、ACQCFG）とは無関係に行われます。

測定結果にキャリブレーション係数を適用するには、ADCCALEN ビットをセットする必要があります。ADCCALEN がディセーブルされている場合は、キャリブレーション・アキュイジションが正常に終了した場合でも、測定結果にキャリブレーション係数が適用されることはありません。

注： オンデマンド・キャリブレーションは工場出荷時のキャリブレーションとは別のものです。オンデマンド・キャリブレーションを行った場合でも、工場出荷時のキャリブレーションの設定はそのまま残ります。工場出荷時のキャリブレーションの設定を上書きすることはできません。その内容は、[診断](#)のセクションに示す ROM CRC 診断を使って確認できます。キャリブレーションを使い DCIN 電圧範囲内でランプ・モードの精度を維持する方法の詳細については、[ADC スキャンの特性](#)のセクションを参照してください。工場出荷時のキャリブレーション・デフォルトは 50V の DCIN 電圧を使って設定されます。

キャリブレーション・アラートと様々な測定パスの対応関係を表 22 に示します。

表 22. 測定パスのキャリブレーション・アラート

MEASUREMENT PATH	CALIBRATION ALERTS
Cell Input - Pyramid (SCANMODE = 0b)	ALRTCALGAINP, ALRTCALOSADC
Cell Input - Ramp (SCANMODE = 1b)	ALRTCALGAINR, ALRTCALOSR
Auxiliary Input - Absolute (REFSEL = 1b)	ALRTCALOSADC
Auxiliary Input - Ratiometric (REFSEL = 0b)	ALRTCALOSTHRM
Block Input	ALRTCALOSADC
CSA Input	ALRTCALOSADC

オンデマンド・キャリブレーション調整は、DIAGSEL1 ビットと DIAGSEL2 ビットにセル・キャリブレーション・コマンドとオフセット・キャリブレーション・コマンドを使用することによって確認できます。詳細については[診断](#)のセクションを参照してください。

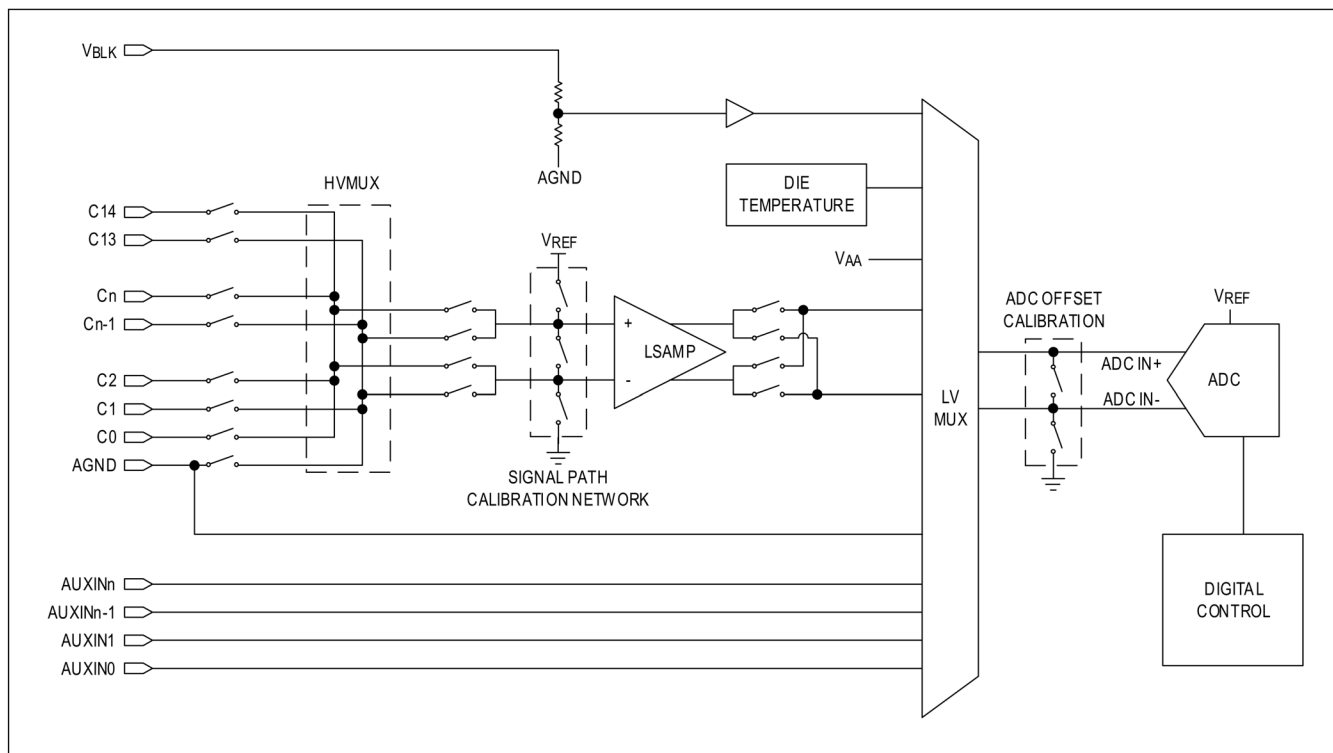


図 26. オンデマンド・キャリブレーションのブロック図

キャリブレーション・アラート

適用されるキャリブレーション係数が定められた範囲内となるように、内部安全メカニズムが実装されています。キャリブレーション係数がこれらの範囲を外れると、直ちに該当キャリブレーション・プロセスの ALRTSUM レジスタ (ALRTCALOSADC、ALRTCALOSR、ALRTCALOSTHRM、ALRTCALGAINP、ALRTCALGAINR) にフォルトがセットされます。更にこのフォルト状態は STATUS1 アラート・レジスタにも伝えられます。このレジスタは、データ・チェック・バイトまたはハードウェア・アラート・インターフェイスの問題をフラグすることができます。

キャリブレーション係数の完全性に疑問がある場合は、新しいキャリブレーションを行ってフォルトの検証と修正を行うか、ADCCALEN をデアサートして工場出荷時のデフォルト・キャリブレーションを使用することを推奨します。

オーバーサンプリング
ADC オーバーサンプリング

オーバーサンプリングは、1 つのアキュイジションで複数の測定サイクルを実行してサンプルを平均し、測定ノイズを減らして実質的に各アキュイジションの分解能を向上させます。測定分解能の正味向上量は、オーバーサンプルの数に依存します。測定分解能を n ビット向上させるには、 2^n 個以上のオーバーサンプルが必要です。ADC の分解能は 12 ビットなので、分解能を 13 ビットにするには 4 個以上のオーバーサンプルが必要です。最大 14 ビットの分解能を実現するには、16 個以上のオーバーサンプルが必要です。したがって、オーバーサンプリングを行わない場合、統計的に有意なのは測定の上位 12 ビットだけです。オーバーサンプルが 4 個または 8 個の場合は、上位 13 ビットだけが統計的に優位です。16 個以上のオーバーサンプルを収集すると、測定値の変動が更に小さくなります。オーバーサンプリングを行わなくても、外部的に測定値を平均して分解能を上げることができますが、ホストの計算負荷が大きくなります。

コンパレータのオーバーサンプリング

高周波ノイズがコンパレータ測定に与える影響を効果的に軽減するために、SCANCTRL レジスタの OVSAMPL ビットを使って出力をオーバーサンプリングすることができます。蓄積されたオーバーサンプルはコンパレータ出力からデジタル的に平均化されて、有効な OV/UV 状態が存在するかどうかを示します。表に示すアラートを生成するには、コンパレータの指示値が表 23 にリストした閾値以上となって OV/UV 状態と判定される必要があります。したがって、OVSAMPL を 8 に設定した場合は、アラートを設定する前に 1 つのサンプルが OV/UV 条件を外れても、これを判定から除外することができます。ノイズ耐性を向上させるため、オーバーサンプリングを伴うコンパレータ・アキュイジションの OVSAMPL 設定は、8 以上に設定することを推奨します。ADC とコンパレータのサンプリングを同時に行う場合、通常、オーバーサンプリングは ADC 測定に必要なノイズ低減によって設定します。

表 23. アラート時のコンパレータ・フォルト数とオーバーサンプリングの関係

OVSAMPL	COMPARATOR FAULTS FOR ALERT
1	1
4	1
8	2
16	3
32	5
64	10
128	20

注：コンパレータ・アキュイジションは、ALTMUXSEL ビットによって設定されるセル入力パス (Cn) またはスイッチ入力パス (SWn) を使って行うことができます。スイッチ入力パスでコンパレータ・アキュイジションを行う場合は、ローパス・カットオフ周波数が高くなって入力からのノイズ減衰が小さくなることを考慮するために、オーバーサンプル数を増やすことを推奨します。

オーバーサンプリング・ウォッチドッグ・タイムアウト

表 24. ウォッチドッグ・タイムアウト時間

OVSAMPL	SAMPLES	ACQUISITION WATCHDOG TIMEOUT
0b000	1	750μs
0b001	4	3ms
0b010	8	6ms
0b011	16	12ms
0b100	32	24ms
0b101	64	48ms
0b110	128	96ms

注 1 : AUTOBALSWDIS = 1 の場合、ウォッチドッグ・タイムアウト時間は SWDLY または CELLDLY (ALTMUXSEL により異なる) だけ延長されます。

注 2 : AUXTIME > 0 の場合、タイムアウト時間は AUXTIME だけ延長されます。

100Hz および 120Hz フィルタリング

オーバーサンプリング周波数を利用できるスキャン設定には 2 種類ありますが、システム性能にとっての利点はそれぞれ異なります。最初の設定には FOSR = 0b00 モードを通じて入りますが、この設定では測定サイクル間の遅延時間を最小限に抑えてアキュイジションを行い、HV チャージ・ポンプを再充電します。FOSR = 0b00 モードはサンプル時間あたりの測定回数が最も多く、より高いサンプリング・レートと更なるノイズ低減が可能です。合計アキュイジション・タイムは OVSAMPL によって設定されたオーバーサンプル数、およびイネーブルされたチャンネルのタイプと数に比例します。FOSR 設定を 0b01、0b10、または 0b11 とすると、50Hz、60Hz、100Hz、または 120Hz の周波数でノッチ・フィルタがイネーブルされます。このモードは、主電源からのノイズがバッテリー・バックに加わる電圧に影響を与える EV 充電時の正確な電圧検出に特に便利です。50Hz または 100Hz 用の適切なフィルタリングをイネーブルするには FOSR を 0b01 に設定し、60Hz または 120Hz のフィルタリングでは FOSR を 0b10 または 0b11 に設定する必要があります。

注 : FOSR を設定するとアキュイジション時間が自動的に事前設定され、50Hz/100Hz の場合は 625μs、60Hz/120Hz の場合は 520μs となります。

表 25. FOSR によるノッチ・フィルタ設定

REJECTION FREQUENCY (Hz)	FOSR	OVSAMPL
50	0x1	0x4
60	0x2 or 0x3	0x4
100	0x1	0x4 or 0x3
120	0x2 or 0x3	0x4 or 0x3
None	0x0	Don't Care

代表的なノッチ・フィルタ応答は、100Hz/120Hz 共に標準動作特性のセクションに示されています。

アキュイジション・ウォッチドッグ・タイムアウト

定められた時間内にアキュイジションが終了しなかった場合は SCANTIMEOUT ビットがセットされ、更に ADC ロジックのリセットと ALU レジスタのクリアが行われて、測定データ・レジスタもクリアされます。アキュイジション・ウォッチドッグのタイムアウト時間は表 24 に示すオーバーサンプリング設定によって異なります。

ダブル・バッファ・モードがイネーブルされている場合 (DBLBUFEN = 1)、ALU レジスタはクリアされますが、データ・レジスタはタイムアウト前に保存された有効な値なので、変更はされません。移動動作が実行されると (SCAN = 1)、その前にクリアされた ALU データが ALU レジスタからデータ・レジスタへ移され、それによってデータ・レジスタがクリアされた状態になります。ダブル・バッファ・モードにおけるデータ制御の詳細については、ダブル・バッファ・モードのセクションを参照してください。

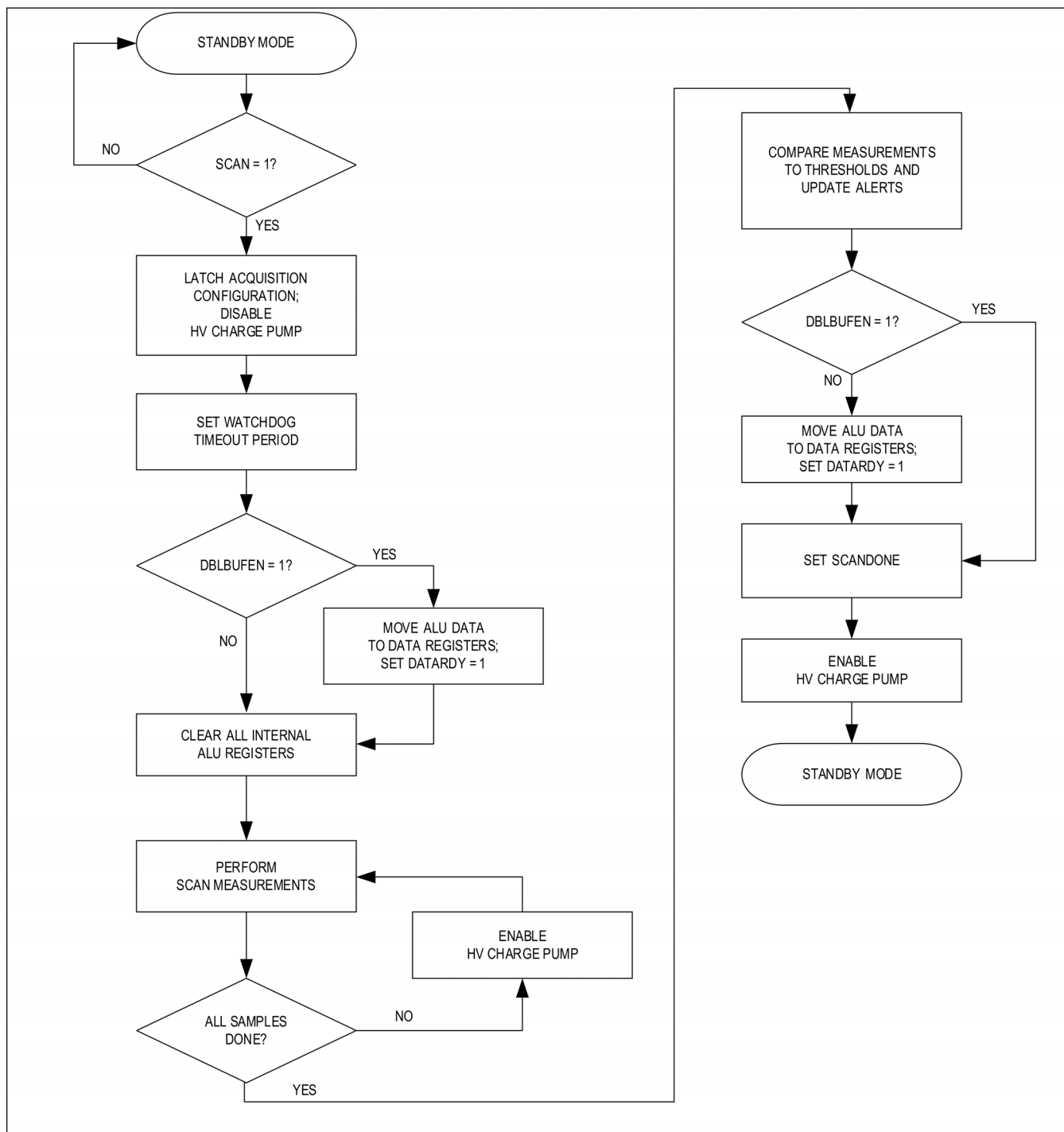


図 27. アキュイジション・モードのフローチャート

データ制御

アキュイジション・データの転送と制御

ADC のデータ・フロー (図 28) は、イネーブルされた設定に応じて、レジスタ・スペース (CELLnREG、AUXnREG、BLOCKREG、DIAG1REG、DIAG2REG、TOTALREG、および MINMAXCELL) に達するまでの間に、複数のデータ処理パスを経由して転送される可能性があります。以下のセクションでは、以下の処理パスを介したデータ・フローの詳細を示します。

- キャリブレーション
- IIR フィルタ
- シングル・バッファ・データ転送
- ダブル・バッファ・データ転送
- 組込み測定によるセル・バランシング

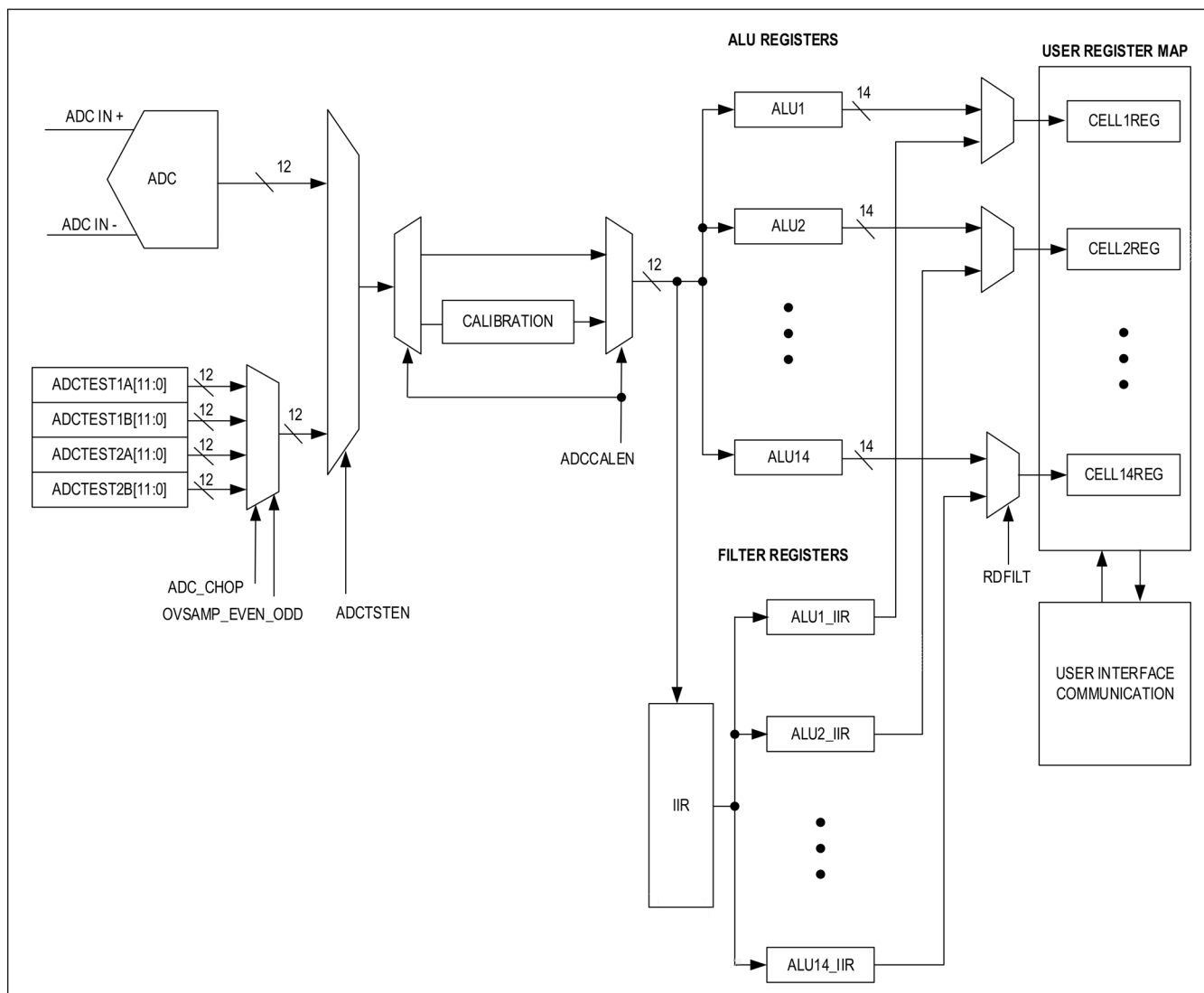


図 28. データ・フロー図

キャリブレーション・データ制御

ADC データは、ADCCALEN ビットの状態に応じて、ALU に直接出力されるか、キャリブレーション・ブロックにより処理されます。キャリブレーションの設定と適用の詳細については、[オンデマンド・キャリブレーション](#)のセクションを参照してください。

IIR フィルタ

複数の測定サイクルにわたって精度性能を上げるために、組込みの IIR フィルタをイネーブルすることができます。

このフィルタは、MEASUREEN1 レジスタのユーザ定義設定に従い、イネーブルされたすべての Cn 入力と V_{BLK} 入力に機能します。TOTAL レジスタは固有の IIR フィルタを持っていませんが、RDFILT を通じた選択に従い、IIR データ・レジスタの合計から直接計算されます。

更に、オーバーサンプリングをイネーブルすると、測定データのシステム応答は、IIR フィルタとオーバーサンプリング・ノイズ低減の組み合わせになります。

IIR フィルタは AMENDFILT を通じて個々のアキュイジションで動的に更新できますが、IIR フィルタには常に非診断アキュイジション・データを入力できるようにしておくことを推奨します。IIR フィルタを使用すれば、外部ハードウェア・フィルタとデジタル・フィルタリングを組み合わせることによって、最大限のノイズ低減効果を得ることができます。

診断 (BALSWDIAG の結果を含む) または ALTMUXSEL = 1 による高ノイズのデータを IIR で処理することは避ける必要があります。必要な測定結果を破損させるおそれがあるからです。これには、診断用電流ソースを使った設定 (CTSTCFG、MUXDIAGEN) が必要です (ただし、これだけに限りません)。

注： IIR フィルタリングは、自動セル・バランシング中の測定サイクルに常時適用されます。自動セル・バランシング・モードで IIRFC = 111b (オフ) の場合、IIR フィルタは内部的に 000b (1/8) に強制されます。それ以外の IIRFC の選択はすべて有効です。

フィルタの説明

図 29 に示すように、IIR フィルタは次式で表される伝達関数に従って実装されます。

$$Y(n) = FC \cdot X(n) + (1-FC) \cdot Y(n-1)$$

FC はユーザが設定できる 3 ビットのフィルタ係数で、デフォルト値 0b010 の重みは 3/8 です。

詳細なフィルタ係数設定は IIRFC レジスタに定義されています。係数が小さいほど、式の Y(n-1) 出力によって多くの履歴が表されます。これは、入力値を変更するための応答時間とノイズ低減のトレードオフです。フィルタは、フィルタ係数を 1 (IIRFC = 0b111) に設定することでオフにできます。

フィルタは、AMENDFILT = 0 に設定することによって一時的にバイパスできます。その場合、フィルタを通過したメインの測定結果はフィルタ・メモリ・レジスタ内に保存されるので、これは周期的な安全チェックや診断チェックに有用です。フィルタで処理した結果も処理していない結果も、RDFILT オプションを使ってリード・バックできます。

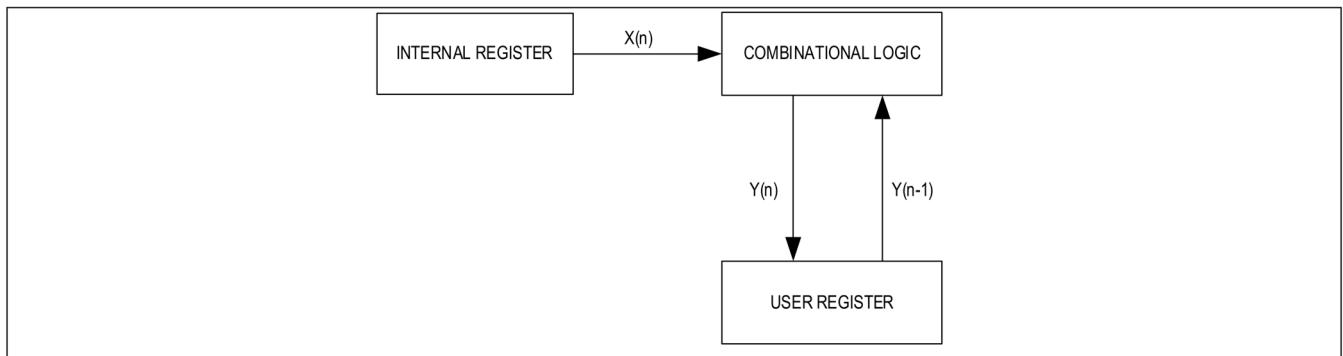


図 29. IIR フィルタのアルゴリズム

フィルタ応答

IIR フィルタは測定ノイズ除去性能を改善する手段を提供しますが、セトリング時間が長くなります。このトレードオフには、そのアプリケーションに適した IIR フィルタ係数を選ぶことによってうまく対処することができます。表 26 に、フルスケール・ステップ (例えば 0V から 100mV へのユニポーラ・セル遷移) を 12 ビットおよび 14 ビット精度にセトリングさせるために IIR フィルタが収集するサンプルの数を示します。

注： このセトリング時間は、パワーアップ後あるいは動作モード変更時に大きなステップ応答が必要な場合、MEASUREEN2:SCANIIRINIT または BALCTRL:CBIIRINIT 初期化オプションを使って大幅に短縮できます。これらのオプションは、次に取得したサンプルをフィルタの蓄積結果メモリにロードすることによってセトリング時間を短縮します。そのフィルタの代表的な動作については、標準動作特性のセクションを参照してください。

表 26. IIR 100mV ステップ応答セトリング

IIRFC SETTING:	0b000	0b001	0b010	0b011	0b100	0b101	0b110	0b111
IIR FILTER COEFFICIENT (FC):	1/8	1/4	3/8	1/2	5/8	3/4	7/8	1
12-Bit Settling (# Samples):	33	16	10	7	5	4	3	1
14-Bit Settling (# Samples):	44	21	13	9	6	5	3	1

IIR データの制御

IIR フィルタを通したり回避したりする ADC データの制御は、SCANCTRL レジスタ内の専用のレジスタ・ビット（AMDENDFILT、RDFILT、ALRTFILT）を使って行われます。以下のセクションでは、この動作について詳しく述べます。

AMENDFILT と RDFILT

AMENDFILT ビットは、ALU データをフィルタリング動作のために IIR へ送るか、IIR フィルタを避けて出力データ・レジスタ（BLOCKREG 0x55）へ送ります。

AMENDFILT ビットがデアサートされた場合、ALU での ADC アクイジションはスキャン・シーケンス終了時に IIR アキュムレータへ転送されません。入力データを中断させる診断動作や異なる測定パスを使用する動作は共に通常データを破損させるおそれがあるので、この設定を使用する必要があります。入力データを中断させる測定モードの例としては、CTSTEN ビットを使ってセル・テスト電流ソースをイネーブルした場合や、MUXDIAGEN ビットを使って HVMUX テスト電流ソースをイネーブルした場合が挙げられます。これとは別に、AMENDFILT がアサートされた場合は ALU での ADC アクイジションが自動的にスケーリングされて、スキャン・シーケンス終了時に IIR アキュムレータへ転送されます。

RDFILT ビットは、出力データ・レジスタ（BLOCKREG 0x55）から IIR フィルタを通したデータを読み出すか、通常のアクイジション・データを読み出すかを決定します。RDFILT がデータ転送に与える影響については、[シングル・バッファ・モード](#)のセクションと[ダブル・バッファ・モード](#)のセクションを参照してください。

注： DBLBUFEN = 0 および SCAN = 1 の場合、ALU の結果は、要求された測定シーケンスの終了時に自動的に IIR にロードされます。
DBLBUFEN = 1 および SCAN = 1 の場合、ALU の結果は、次のシーケンスの開始時に自動的に IIR にロードされます。
DBLBUFEN = x および SCAN = 0 の場合は、DATARDY = 0 であれば、ALU の結果は、要求されたデータ移動シーケンス中に IIR にロードされます。

考えられる IIR データ制御設定の組み合わせを表 27 に示します。

表 27. IIR データ制御設定

AMENDFILT	RDFILT	使用法
0	0	IIR フィルタをディスエーブル
0	1	古くなった可能性のあるデータのフェッチ IIR は更新されませんが、IIR 結果が読み出されます。 注： この動作は推奨しません。
1	0	フィルタ処理していない電流アクイジション・データの読出し： IIR は更新されますが、最新のアクイジションが読み出されます。 フィルタ処理した結果としていない結果の読出しについては、 非スキャン時データ転送 のセクションを参照してください。
1	1	IIR フィルタ更新と IIR フィルタ読出し

ALRTFILTSEL

IIR フィルタ動作をイネーブルした場合、ユーザがアクセスできる可能性のあるデータ・ソースは 2 つあります。未加工のシーケンサ出力（オーバーサンプリングを実施）と、IIR フィルタで処理した出力です。以下の出力のいずれか 1 つを選択して関連アラートを生成するには、アラート・フィルタリング選択ビットの ALRTFILTSEL を使用します。

ALRTFILTSEL = 0 のときは未加工のシーケンサ出力が使われます。このデータ・ソースは、関連するすべてのアラート・ビットのアサート、MINMAXCELL レジスタと TOTAL レジスタの計算、およびセル・ミスマッチ・チェック MSMTCH の実行に使われます。
ALRTFILTSEL = 1 のときは IIR フィルタで処理したデータが使われます。この IIR データは、関連するすべてのアラート・ビットのアサート、MINMAXCELL レジスタと TOTAL レジスタの計算、およびセル・ミスマッチ・チェック MSMTCH の実行に使われます。

ALRTFILTSEL のセトリングに関わらず、DIAG1 レジスタと DIAG2 レジスタには常にフィルタ処理していないシーケンサ出力が格納されます。

IIR の初期化

IIR 動作を開始する場合、最初に扱うデータは、シーケンサ IIR 初期化要求ビットの **SCANIIRINIT** によって制御されます。

デフォルトでは **SCANIIRINIT** = 0 で、IIR フィルタは継続モードになります。継続モードでは IIR アキュムレータの電流値が維持され（恐らくは直前のセル測定値から）、通常はシーケンサ測定値が修正されます。

SCANIIRINIT = 1 の場合、IIR フィルタは初期化モードになります。初期化モードでは IIR アキュムレータが最初に測定された値に再度初期化されて、通常は更にセル・バランシング測定値が修正されます。

シングル・バッファ・モード

シングル・バッファ・モード（図 30）は **DBLBUFEN** = 0 のときにアクティブになります。このモードでは、**SCANDONE** = 1 と **DATARDY** = 1 で示されるスキャン終了時に、**CELLnREG**、**AUXnREG**、**BLOCKREG**、**DIAG1REG**、**DIAG2REG**、**TOTALREG**、および **MINMAXCELL** のレジスタにデータが移動されます。

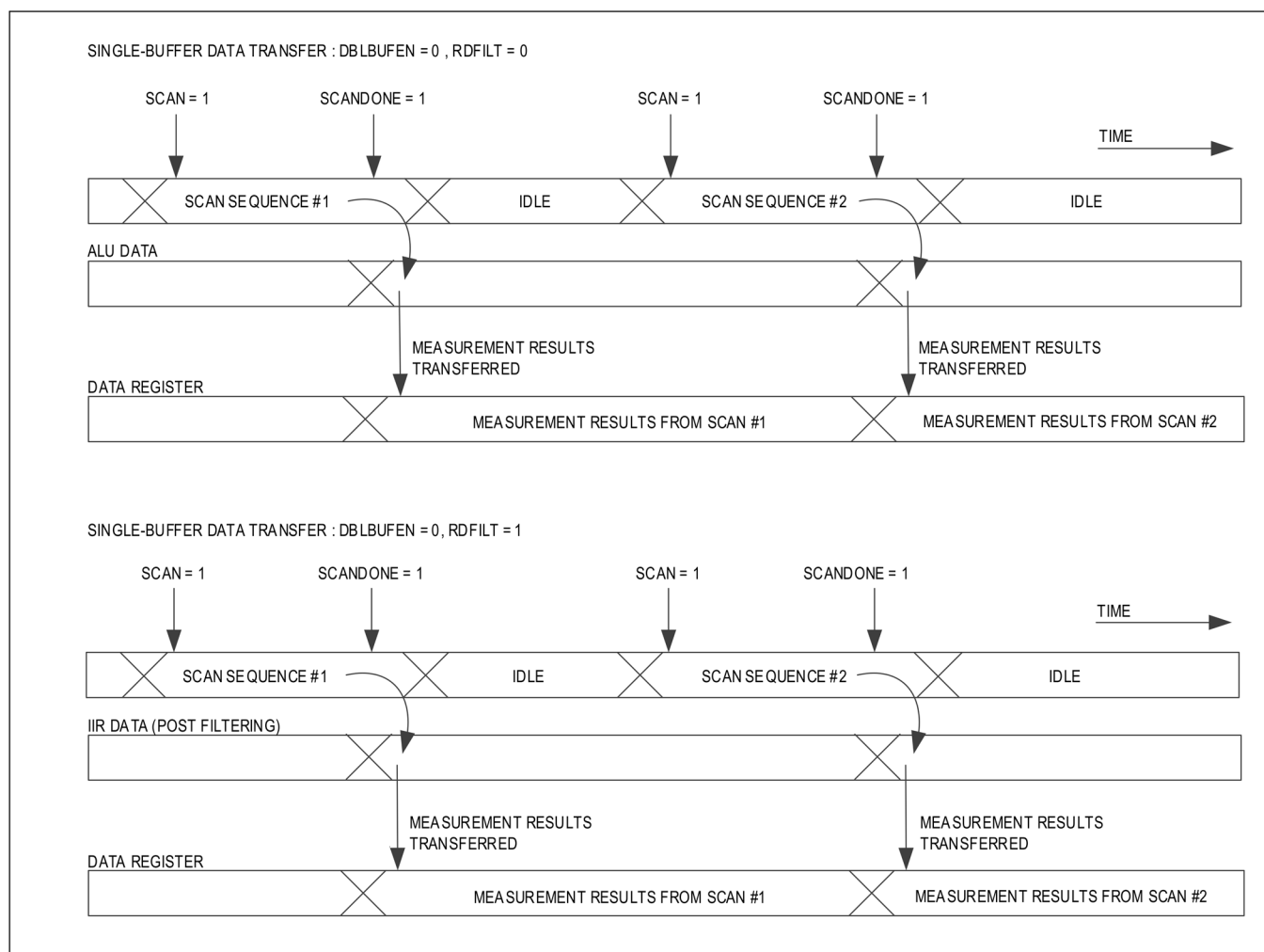


図 30. シングル・バッファ・データ転送

ダブル・バッファ・モード

DBLBUFEN = 1 のときは、ダブル・バッファ・モード（図 31）がアクティブになります。このモードでは、**SCAN** = 1 と **DATARDY** = 1 で示される次のスキャン開始時に、**CELLnREG**、**AUXnREG**、**BLOCKREG**、**DIAG1REG**、**DIAG2REG**、**TOTALREG**、および **MINMAXCELL** のレジスタにデータが移動されます。これによりホストは、現在のスキャンを進めながら直前のスキャンからのデータを読み出すことができます。スリープまたはシャットダウン・イベント前に最終測定が要求された場合に、最後のアキュイジションから強制的にデータを転送したり、非スキャン時データ転送法を通じてデータを移動したりするには、ホストが別の **SCAN** 要求を発行する必要があります。

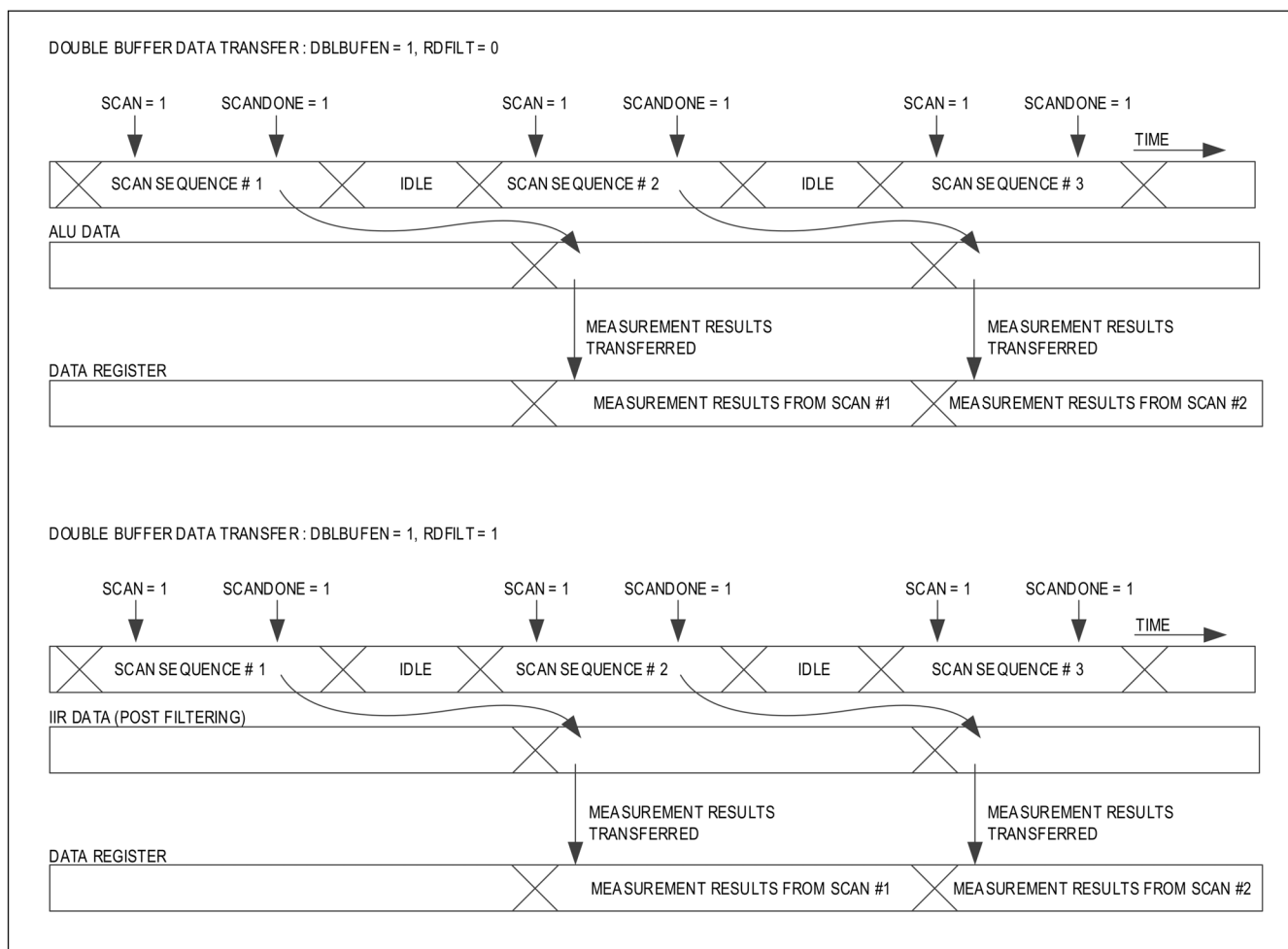


図 31. ダブル・バッファ・データ転送

非スキャン時データ転送

非スキャン時データ転送は、SCANDONE = 1 によって示されるスキャン終了時から、ホストによって新しいスキャン要求 (SCAN = 1) が発行されるまでの間に行われます。データは ALU と IIR アキュムレータの両方に存在しますが、RDFILT 設定によってデータ・レジスタへ転送されるのは 1 セットだけなので、この手順を使用することで、データ・レジスタに転送されなかった他のデータ・セットへアクセスすることができます。DATARDY = 0、RDFILT = 0、および SCAN = 0 に設定することによって、ALU のデータがデータ・レジスタへ転送されます。DATARDY = 0、RDFILT = 1、および SCAN = 0 に設定すると、IIR アキュムレータのデータがデータ・レジスタへ転送されます。

非スキャン時データ転送の実行時は、RDFILT および SCAN = 0 を変更しても MINMAXCELL、TOTAL、および MSMTCH レジスタは更新されません。更に、ALRTFILTSEL および SCAN = 0 を変更しても非スキャン時アラート処理は更新されません。更新したデータを処理する必要がある場合は、新しいアキュイジション (SCAN = 1) を要求する必要があります。

組込み測定を使用するセル・バランシングのデータ制御

組込み測定を使用するセル・バランシングのためのデータ制御は、BALDATA レジスタの CBSCAN ビットによって制御されます。このビットはストロープとして機能し、CBSCAN ビットの内容は自動的にクリアされます。また、ポーリングされた場合はロジック 0 をリード・バックします。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

CBSCAN へ書込みを行うと（なおかつ自動セル・バランシング測定動作が完了した後）、CELLnREG、AUXnREG、BLOCKREG、DIAG1REG、DIAG2REG、TOTALREG、および MINMAXCELL の出力レジスタ内のイネーブルされた変換パラメータがすべて更新されます。詳細についてはセル・バランシングのセクションを参照してください。

測定アラート

アキュイジション後は、表 28 に示すように、両方の測定パス（ADC とコンパレータ）について、イネーブルされた測定データとイネーブルされた OV/UV 閾値を ALU が比較します。設定された閾値を超えると、ALU ブロックまたは IIR ALU ブロックへのデータ転送時に、対応するアラート・ビットがセットされます。ADCCALEN ビットを使ってキャリブレーションがイネーブルされている場合は、アラートを生成する前にデジタル補正が行われます。これにより、正しい精度の結果からアラートが生成されます。

注：IIR データ制御用の ALRTFILTSEL ビットは、フィルタ処理したデータとフィルタ処理していないデータのどちらに基づいてアラートを生成するかを決定します。

このデータ制御設定は、アラート信号の伝送管理に影響を与えます。シングル・バッファ・モードでのデータ制御の詳細は、前述のアラート処理の説明に述べられています。ダブル・バッファ・モードではデータのオフロードとアキュイジションを同時に行うことができるので、現在のアキュイジションの SCANDONE 後から次のアキュイジションを開始するまでの間にアラート・ステータスを読み出すことを推奨します。

表 28. 測定アラート

DESCRIPTION	SIGNAL PATH	CONDITION OR RESULT	ALERT BIT	LOCATION
Cell overvoltage (OV)	ADC	$V_{Cn} - V_{Cn-1} > V_{OVTHSET}$ for POLARITYn = 0	ALRTCELLOVST, ALRTADCOVST, ALRTOVn	STATUS1, ALRTSUM, ALRTOVCELL
	COMP	$V_{Cn} - V_{Cn-1} > V_{COMPOVTH}$	ALRTCELLOVST, ALRTADCOVST, ALRTCOMPOVn	STATUS1, ALRTSUM, ALRTCOMPOVREG
Cell undervoltage (UV)	ADC	$V_{Cn} - V_{Cn-1} < V_{UVTHSET}$ for POLARITYn = 0	ALRTCELLUVST, ALRTADCUVST, ALRTUVn	STATUS1, ALRTSUM, ALRTUVCELL
	COMP	$V_{Cn} - V_{Cn-1} < V_{COMPUVTH}$	ALRTCELLUVST, ALRTADCUVST, ALRTCOMPUVn	STATUS1, ALRTSUM, ALRTCOMPUVREG
Bipolar cell/bus-bar overvoltage (OV)	ADC ONLY	$V_{Cn} - V_{Cn-1} > V_{BIOVTHSET}$ for POLARITYn = 1	ALRTCELLOVST, ALRTADCOVST, ALRTOVn	STATUS1, ALRTSUM, ALRTOVCELL
Bipolar cell/bus-bar undervoltage (UV)	ADC ONLY	$V_{Cn} - V_{Cn-1} < V_{BIPOVTHSET}$ for POLARITYn = 1	ALRTCELLUVST, ALRTADCUVST, ALRTUVn	STATUS1, ALRTSUM, ALRTUVCELL
Block overvoltage (OV)	ADC ONLY	$V_{BLK} > V_{BLKOVTHSET}$	ALRTBLKOV	STATUS1
Block undervoltage (UV)	ADC ONLY	$V_{BLK} < V_{BLKUVTHSET}$	ALRTBLKUV	STATUS1
Cell mismatch	ADC ONLY	$V_{MAX} - V_{MIN} > V_{MSMTCH}$	ALRTMSMTCH	STATUS1
Cell with minimum voltage	ADC ONLY	n where $V_{CELLn} = V_{MIN}$ Unipolar if MINMAXPOL = 0, else bipolar	None	MINMAXCELL
Cell with maximum voltage	ADC ONLY	n where $V_{CELLn} = V_{MAX}$ Unipolar if MINMAXPOL = 0, else bipolar	None	MINMAXCELL
Total of all cell voltages	ADC ONLY	$\sum V_{CELLn}$ for n = 1 to TOPCELL1/2	None	TOTAL
AUXINn overvoltage (undertemperature)	ADC	$VAUXINn > (VAUXROVTHSET \text{ or } VAUXAOVTHSET)$	ALRTAUXOVST, ALRTADCAUXOVST, ALRTAUXOVn	STATUS1, ALRTSUM, ALRTAUXOV

	COMP	VAUXINn > (VCOMPAUXROVTH or VCOMPAUXAOVTH)	ALRTAUXOVST, ALRTCOMPAUXOVST, ALRTCOMPAUCOVn	STATUS1, ALRTSUM, ALRTCOMPAUXOV
AUXINn undervoltage (overtemperature)	ADC	VAUXINn < (VAUXRUUVTHSET or VAUXAUUVTHSET)	ALRTAUXUVST, ALRTADCAUXUVST, ALRTAUXUVn	STATUS1, ALRTSUM, ALRTAUXUV
	COMP	VAUXINn < (VCOMPAUXRUUVTH or VCOMPAUXAUUVTH)	ALRTAUXUVST, ALRTCOMPAUXUVST, ALRTCOMPAUCUVn	STATUS1, ALRTSUM, ALRTCOMPAUXUV

電圧アラート

セル入力とブロック入力の電圧アラートをイネーブルするには、ALRTOVEN レジスタと ALRTUVEN レジスタを設定します。これらのアラートには OV/UV セット閾値と OV/UV クリア閾値を設定して、表 29 に示すように OV 測定値と UV 測定値の両方にヒステリシスを設定することができます。これらの閾値とヒステリシスはいずれも変更可能です。これは、フル充電時と放電時の特性に様々な違いがあるリチウムイオン (Li+) 電池のアラート検出を設定する際に役立ちます。

ALRTOVCELL レジスタの過電圧アラートは CELLn 電圧がセット閾値電圧 VOVTHSET を超えるとセットされ、ALRTCOMPOVREG レジスタの過電圧アラートは CELLn 電圧がセット閾値電圧 VCOMPOVTH を超えるとセットされます。また、ALRTUVCELL レジスタの低電圧アラートは CELLn 電圧がセット閾値電圧 VUVTHSET を下回るとセットされ、ALRTCOMPUVREG レジスタの低電圧アラートは CELLn 電圧がセット閾値電圧 VCOMPUVTH を下回るとセットされます。ADC とコンパレータの分解能の違いによって (ADC の入力範囲のセクションとコンパレータの入力範囲のセクションで説明)、コンパレータのアラートがクリアされる一方で ADC のアラートがセットされることがある (また、その逆も起こり得る)、という点に留意する必要があります。

注 : ADC アラートはアクイジションの状態を最も正確に示します。

アラートは、セル電圧が逆方向に変化して OVTHCLR 閾値と COMPOVTH 閾値、および UVTHCLR 閾値と COMPUVTH 閾値を超えるとクリアされます。電圧は閾値を超えなければならない、閾値と等しい場合アラート・フラグは変化しません。したがって、過電圧セット閾値をフルスケールに設定したり低電圧セット閾値をゼロスケールに設定したりすると、ALRTOVEN と ALRTUVEN の設定とは関係なく、電圧アラートは実質的にディスエーブルされます。

表 29. セット閾値とクリア閾値の選択

DESCRIPTION	SIGNAL PATH	OVERVOLTAGE THRESHOLD	UNDERVOLTAGE THRESHOLD	OV HYSTERESIS	UV HYSTERESIS
Cell	ADC	OVTHSET	UVTHSET	OVTHCLR	UVTHCLR
Cell	COMP	COMPOVTH	COMPUVTH	Not applicable	Not applicable
Bus bar	ADC	BIPOVTHSET	BIPUVTHSET	BIPOVTHCLR	BIPUVTHCLR
Block	ADC	BLKOVTHSET	BLKUVTHSET	BLKOVTHCLR	BLKUVTHCLR

個々の ADC セル入力のアラート状態は ALRTSUM レジスタの ALRTADCOVST ビットと ALRTADCUVST ビットを使って概要が示され、ALRTOVCELL レジスタまたは ALRTUVCELL レジスタのアラート・ビットがセットされると、それぞれのアラートが生成されます。同様に、個々のコンパレータ・セル入力のアラート状態は ALRTSUM レジスタの ALRTCOMPOVST ビットと ALRTCOMPUVST ビットを使って設定され、ALRTCOMPOVREG レジスタまたは ALRTCOMPUVREG レジスタのアラート・ビットがセットされると、それぞれのアラートが生成されます。あらゆる OV/UV アラートの識別を容易にするために、ADC サマリ・アラートとコンパレータ・サマリ・アラートについては更に論理和が取られ、STATUS1 レジスタの ALRTCELLOVST ビットと ALRTCELLUVST ビットでその概要が示されます。これにより、ハードウェア・アラート・インターフェイスまたはデータ・チェック・バイトを使ってアラート情報を伝達することが可能になります。

ブロック入力のアラート状態の概要は、測定した BLOCK 電圧が VBLKOVTHSET を超えた場合や VBLKUVTHSET を下回った場合に、それぞれ STATUS1 レジスタの ALRTBLKOVST ビットと ALRTBLKUVST ビットを使って直接示されます。

アラート・インターフェイスやデータ・チェック・バイトを使ってアラートを伝達する必要がない場合は、これらを個別にマスクすることができます。マスキングの詳細についてはアラート・インターフェイスのセクションを参照してください。

セル電圧とブロック電圧のヒステリシス図を図 32 に示します。

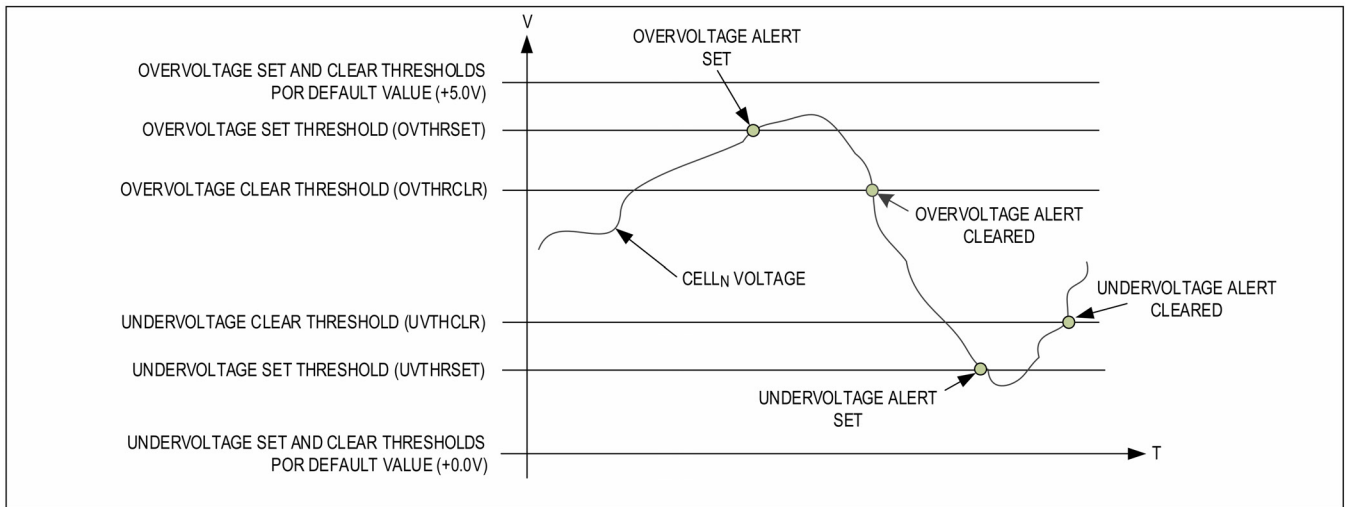


図 32. セル電圧とアラート閾値

セルのミスマッチ

最小セル電圧と最大セル電圧の差が指定電圧値を超えた場合に、ミスマッチ・アラートの通知をイネーブルします。MSMTCHREG レジスタは、ミスマッチ・アラートの ALRTMSMTCH 用に 14 ビットの閾値 ($V_{MSMTCHREG}$) を設定します。 $V_{MAX} - V_{MIN} > V_{MSMTCHREG}$ の場合は常に ALRTMSMTCH = 1 となります。新しいアキュイジションが閾値条件を超えなければ、アラート・ビットはクリアされます。アラートをディスエーブルするには、MSMTCHREG レジスタのビットフィールドに 3FFFh を書き込みます（デフォルト値）。

セルの統計データ

最小および最大イネーブル電圧測定値に対応するセル番号は、MINCELL ビットフィールドおよび MAXCELL ビットフィールドに保存されます。複数のセルが同じ最小電圧または最大電圧を示している場合は、その電圧のセルのうちで最も下の位置にあるものがレポートされます。イネーブルされたセル入力がない状態でのアキュイジションでは、MINCELL ビットフィールド、MAXCELL ビットフィールド、および TOTAL ビットフィールドが更新されません。

RDFILT ビットは、MINCELL ビットフィールドおよび MAXCELL ビットフィールドと TOTALREG (x56) レジスタに使用するソース・データ（フィルタ処理あり／なし）を決定します。

MINMAXPOL ビットは、MINCELL、MAXCELL、および ALRTMSMTCH の統計的処理に同様の測定値だけが使われるようにします。これは、ミックスモード・アキュイジション時に、バス・バーがセルの統計データに影響を与えないようにします。MINMAXPOL = 0 のときはユニポーラ測定だけが使われ、MINMAXPOL = 0b1 のときはバイポーラ測定だけが使われます。

注： Li+アプリケーションでは MINMAXPOL をユニポーラ統計データに設定し、燃料電池アプリケーションではバイポーラ統計データに設定する必要があります。

イネーブルされたセル電圧の合計値は、POLARITY の設定に関わらず、16 ビット値として TOTAL レジスタに保存されます。

例：

4 つのセル入力 CELL1、CELL2、CELL3、および CELL4 がイネーブルされていて、CELL1 と CELL2 はユニポーラ、CELL3 はバイポーラ、CELL4 はユニポーラに設定されているものとします。また、アキュイジション後のそれぞれの測定値が 2V、2V、-1V、2.5V であるものとします。

TOTALREG レジスタの指示値は次のようになります。

$$TOTAL = 2 + 2 - 1 + 2.5 = 5.5V$$

MINCELL ビットフィールドは CELL1 の値を示し、MAXCELL ビットフィールドは CELL4 の値を示します。

温度アラート

ALRTAUXOVEN レジスタと ALRTAUXUVEN レジスタは、イネーブルされた AUXn 入力の温度アラートをイネーブルするために設定されます。セル電圧アラートと同様、表 30 に示すように、温度アラートには OV/UV セット閾値と OV/UV クリア閾値を設定して、測定ノイズによって誤アラートが生成されないようにヒステリシスを設定することができます。これらの閾値とヒステリシスはいずれも変更可能です。

表 30. 温度アラート閾値

DESCRIPTION	SIGNAL PATH	TYPE	OVERVOLTAGE THRESHOLD/ UNDERTEMPERATURE	UNDERVOLTAGE THRESHOLD/ OVERTEMPERATURE	HYSTERESIS OV	HYSTERESIS UV
AUXINn	ADC	Ratiometric	AUXROVTHSET	AUXRUVTHSET	AUXROVTHCLR	AUXRUVTHCLR
AUXINn	ADC	Absolute	AUXAOVTHSET	AUXAUVTHSET	AUXAOVTHCLR	AUXAUVTHCLR
AUXINn	COMP	Ratiometric	COMPAUXROVTH	COMPAUXRUVTH	Not applicable	Not applicable
AUXINn	COMP	Absolute	COMPAUXAOVTH	COMPAUXAUVTH	Not applicable	Not applicable

ALRTAUXOV レジスタの過電圧アラートは AUXn 電圧がセット閾値電圧 V_{AUXAOVTHSET} または V_{AUXROVTHSET} を超えるとセットされ、ALRTCOMPAUXOV レジスタの過電圧アラートは AUXn 電圧がセット閾値電圧 V_{COMPAUXAOVTH} または V_{COMPAUXROVTH} を超えるとセットされます。使われる適切な閾値は AUXREFSEL ビットで決まりますが、これはチャンネルごとに異なることがあります。また、ALRTAUXUVREG レジスタの過電圧アラートは AUXn 電圧がセット閾値電圧 V_{AUXUVTHSET} または V_{AUXRUVTHSET} を超えるとセットされ、ALRTCOMPAUXUVREG レジスタの過電圧アラートは AUXn 電圧がセット閾値電圧 V_{COMPAUXRUVTH} または V_{COMPAUXAUVTH} を超えるとセットされます。ADC とコンパレータの分解能の違いによって (ADC の入力範囲のセクションとコンパレータの入力範囲のセクションで説明)、コンパレータのアラートがクリアされる一方で ADC のアラートがセットされることがある、という点に留意する必要があります。

注 1: レシオメトリック・アキュイジションの OV アラートは NTC 測定の低温 (UT) イベントを通知し、UV アラートは NTC 測定の過熱 (OT) イベントを通知します。

アラートは、セル電圧が逆方向に変化して AUXROVTHCLR 閾値と AUXAOVTHCLR 閾値、および AUXRUVTHCLR 閾値と AUXAUVTHCLR 閾値を超えるとクリアされます。電圧は閾値を超えなければならない、閾値と等しい場合アラート・フラグは変化しません。したがって、過電圧セット閾値をフルスケールに設定したり低電圧セット閾値をゼロスケールに設定したりすると、ALRTAUXOVEN と ALRTAUXUVEN の設定とは関係なく、電圧アラートが実質的にディスエーブルされます。

個々の ADC 補助入力のアラート状態は ALRTSUM レジスタの ALRTADCAUXOVST ビットと ALRTADCAUXUVST ビットを使って概要が示され、ALRTAUXOV ビットフィールドまたは ALRTAUXUV ビットフィールドのアラート・ビットがセットされるとそれぞれのアラートが生成されます。

注 2: ALRTSUM アラート・ステータスは、AUXREFSEL の補助入力測定モードを指定しません。しかし、これは ALRTAUXOV または ALRTAUXUV 内でアラート・チャンネルをポーリングすることにより決定できます。

同様に、個々のコンパレータ補助入力のアラート状態は ALRTSUM レジスタの ALRTCOMPAUXOV ビットと ALRTCOMPAUXUV ビットを使って設定され、ALRTCOMPAUXOVSTREG レジスタまたは ALRTCOMPAUXUVREG レジスタのアラート・ビットがセットされると、それぞれのアラートが生成されます。

あらゆる OV/UV アラートの識別を容易にするために、ADC サマリ・アラートとコンパレータ・サマリ・アラートについては更に論理和が取られ、STATUS1 の ALRTAUXOVST ビットと ALRTAUXUVST ビットでその概要がまとめられます。これにより、ハードウェア・アラート・インターフェイスまたはデータ・チェック・バイトを使ってアラート情報を伝達することが可能になります。

セル・バランシング

セル・バランシングは、イネーブルされた BALSCTRL:BALSWEN 設定と POLARITYCTRL 設定に従い、14 個ある内部セル・バランシング・スイッチを任意に組み合わせることによって実行できます。設定されたそれぞれのチャンネルは、設定された動作モードに従ってセル・バランシングを行います。これには、マニュアルまたは自動バランシング、タイマーや低電圧閾値を使用した放電制御、およびデューティ・サイクル設定が含まれます。

セル・バランシング・モードの設定

セル・バランシングは、BALCTRL レジスタの CBMODE ビットを使って開始します。この選択は、バランシング制御を自動で行うかマニュアルで行うかと、チャンネル・タイマーの設定およびタイマーの分解能を決定します。CBMODE モードを選択して開始すると、デバイスは、新しい値が CBMODE に書き込まれるまで、あるいはイネーブルされたすべての条件 (UV 閾値、タイマー、および温度) に基づいて正常な終了基準が満たされるまでこのモードを維持します。

セル・バランシングの現在の状態を知るために、BALCTRL レジスタ、BALSTAT レジスタ、または BALUVSTAT レジスタを使って CBACTIVE ビットをポーリングすることができます。現在のタイマー値は CBTIMER を通じて読み出すことができ、1Hz アライブ・カウンタは CBCNTR を通じて読み出すことができます。また、タイマーの単位 (つまり秒、分、時間) は CBUINT を通じて読み出すことができます。これらのステータス・レジスタは、CBMODE に新しいモードが書き込まれるか、CBMODE がディスエーブルされた場合のみクリアされます。ユーザは、これらのビットフィールドを組み合わせることで、セル・バランシング装置が応答可能な状態にあることを確認できます。また、その一方で、バランシングに先立つハードウェアの完全性確認の前に、内部ヘルス・チェックが行われます。ALRTCBTIMEOUT はヘルス・チェックが失敗したことをユーザに知らせます (異常が見つかった場合)。

CBMODE モードが選択されて開始されると、デバイスは、CBMODE に新しい値が書き込まれるまでそのモードを維持します。すべての CBMODE アクティブ動作は、タイマーの終了、サーマル・フォルト、または電圧がセル UV 閾値に達することによって自動的に終了します。これらの場合、バランシング動作が終了しても CBMODE は有効なままです。動作のステータスは、BALSTAT レジスタと BALUVSTAT レジスタを読み出すことによってチェックできます。

セル・バランシングの開始後は、特定のセル・バランシング・レジスタへの書き込みアクセスがブロックされます。ブロックされたレジスタへの書き込みを行おうとしてもその書き込みは無視され、STATUS2 レジスタに ALRTRJCT フラグがセットされます。具体的なレジスタ動作については表 31 を参照してください。ブロック動作はレジスタ・レベルで実行されます。

表 31. セル・バランシング選択時のセル・バランシング・レジスタ書き込み動作

REGISTER	BITFIELD	AUTO (INDIVIDUAL OR GROUP) MODE (1xx)			MANUAL MODE (01x)			EMERGENCY DISCHARGE MODE (001)		
		Data applicable in this mode?	Write accepted in this mode?	ALRT-RJCT Status	Data applicable in this mode?	Write accepted in this mode?	ALRT-RJCT Status	Data applicable in this mode?	Write accepted in this mode?	ALRT-RJCT Status
BALSWCTL	CBRESTART	No	No	1	Yes	Yes	—	No	Yes	—
	BALSWEN	Yes	No		Yes	Yes		No	Yes	
BALEXP1	BALEXP1	Yes	No	1	Yes	No	1	Yes	No	1
BALEXP2-14	BALEXP2-14	Yes	No	1	No	Yes	—	No	Yes	—
BALAUTOVUVR	CBUVTHR	Yes	No	1	No	Yes	—	No	Yes	—
	CBUVMINCELL	Yes	No		No	Yes		No	Yes	
BALDLYCTL	CBNTFYCFG	Yes	No	1	No	Yes	—	Yes	No	1
	CBCALDLY	Yes	No		No	Yes		Yes	No	

注 1: CBRESTART は、マニュアル・モードでのセル・バランシング動作中にウォッチドッグ・タイマーをマニュアルで再開／リフレッシュするためのストロブ・ビットです。これは他のバランシング・モードでも書き込めますが、内部的な動作は実行されません。

注 2: マニュアル・セル・バランシング・モード時の BALSWEN ビットフィールドへの書き込みが想定され、サポートされています。

注 3: 測定スキャンが進行中の場合、CBUVMINCELL = 1 での BALAUTOVUVR への書き込みは拒否されます（これは、最後に完了したスキャンのデータが CBUVTHR への書き込みに使われるからです）。

CBMODE に 000（ディスエーブル）以外の値を（再度）書き込むと、CBTIMER がゼロから再開されて要求モードの動作が開始（または再開）されます。

マニュアル・モード

マニュアル・モードでは、バランス・スイッチ（BALSWn）が BALSWEN[14:1]によって直接制御され、ウォッチドッグ・タイムアウトは CBEXP1 により以下のように設定されます。

BALSWn = BALSWEN[n] & (CBTIMER ≤ CBEXP1) & ~(AUTOBALSWDIS および進行中の測定)

CBTIMER は、BALSWEN の設定や ADC または CAL イベントの中断に関わらず、リアルタイム・ベースでインクリメントされます。これは、マニュアル・セル・バランシング開始後は、CBEXP1 の設定に従ってウォッチドッグがタイムアウトすることを意味します。

マニュアル・セル・バランシングの動作は、AUTOBALSWDIS 機能を使用して測定中に一時的に中断できます。

場合によっては、AUTOBALSWDIS 動作またはその他のマニュアル診断動作による定義に従い、CBTIMER ウォッチドッグをリフレッシュすることなく BALSWEN を明示的に制御したいことがあるかもしれません。このような場合は、CBEXP1 = 3FFh に設定してタイマーをディスエーブルすることができます。したがって、バランシングの制御は BALSWEN だけを使って行われます。これは、マキシムの従来型バッテリー・マネージメント・デバイスでサポートされているセル・バランシング動作と同じです。

CBRESTART は、BALSW_n の通常サイクル動作時に、アクティブなバランシング・スイッチまたはウォッチドッグ・タイマーをリフレッシュする手段として提供されています。CBUVTHR による終了設定は無視されます。測定動作とキャリブレーション動作は通常のスキャン制御レジスタを通じて要求され、測定とバランシングを同時に行うことができます。

注：セル・バランシング・タイマーが終了してから CBRESTART に 1 を書き込んでも効果はありません。もう 1 つのセル・バランシング・イベントをマニュアル・モードで実行するには、BALCTRL レジスタに別の書き込みを行う必要があります。

マニュアル・バランシングでは、アプリケーションの要求に応じて、隣接する複数のバランシング・スイッチを同時にオンにすることができます。マニュアル・セル・バランシング・モードで隣接する複数のバランシング・スイッチを同時にイネーブルするとバランシング電流が著しく増加するので、そのデバイスの最大動作条件を超えないように注意する必要があります。

AUTOBALSWDIS 機能

AUTOBALSWDIS = 1 に設定すると、セル・バランシング・アプリケーション回路によって更に生じる電圧降下を防ぐために、測定時は自動的にバランシング・スイッチがディスエーブルされます（マニュアル・セル・バランシング・モードの場合のみ）。これは、最終的にはシステムがより高精度のセル測定を行って、精度の高い充電状態（SoC）計算の助けとすることができます。

セル測定のための測定セトリング時間制御（CELLDLY）と BALSW 診断/ALTMUX（SWDLY）は、BALSWDLY レジスタ内に設定されます。これらの遅延レジスタを使用すれば、外部アプリケーション回路を正確な電圧にセトリングできるよう、アキュイジションがイネーブルされてから実際に測定が開始されるまでの間に、96 μ s ステップと 0 μ s~24.57ms の範囲でセトリング（待機）時間を設定することができます。BALSWDLY レジスタの CELLDLY はセル回復時間に関する上位 8 ビットの遅延設定で、SWDLY は検出ワイヤのオープンなどの特定診断機能に関する下位の遅延設定です。AUTOBALSWDIS = 1 で ALTMUXSEL = 0 の場合は CELLDLY が選択され、AUTOBALSWDIS = 1 で ALTMUXSEL = 1 の場合は SWDLY が選択されます。したがって、この機能は、独立して設定できる 2 つの個別遅延タイマーを使用する通常セル測定と診断測定に使用できます。測定シーケンス中または自動セル・バランシング・モードが有効になっている場合は BALSWDLY レジスタへの書き込みがすべて無視され、ALRTRJCT で通知されます。

注 1：適切な遅延時間は、アプリケーション回路と求められる精度のレベルによって異なります。1k Ω と 0.1 μ F の入力フィルタ回路を利用するセル入力を基本とする代表的なアプリケーション回路では、電気的特性の表に仕様規定されたキャリブレーション精度を実現するために、セトリング時間を 960 μ s とすることを推奨します。

注 2：AUTOBALSWDIS は、マニュアル・セル・バランシング・モードでのみセル・バランシング・スイッチの動作に影響を与えます。

注 3：AUTOBALSWDIS の設定はセル・バランシング・タイマーのインクリメント/終了動作に影響しません。

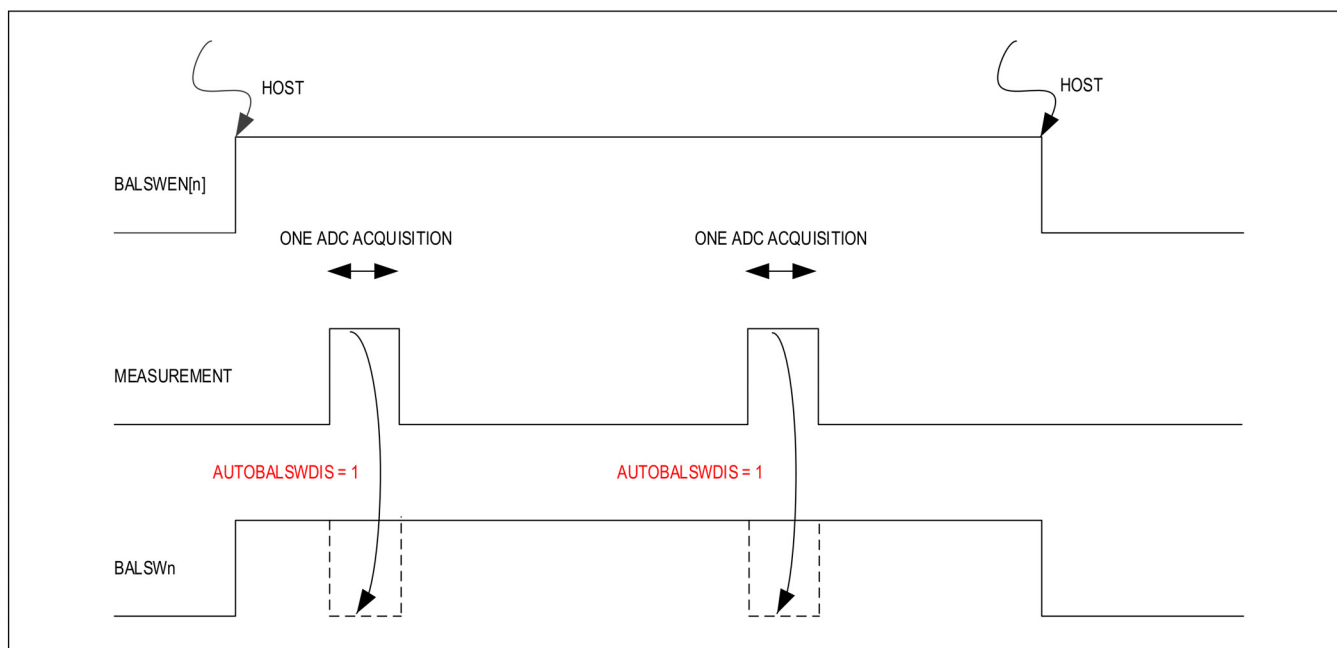


図 33. バランシング・スイッチをディスエーブルしたときのロジック図

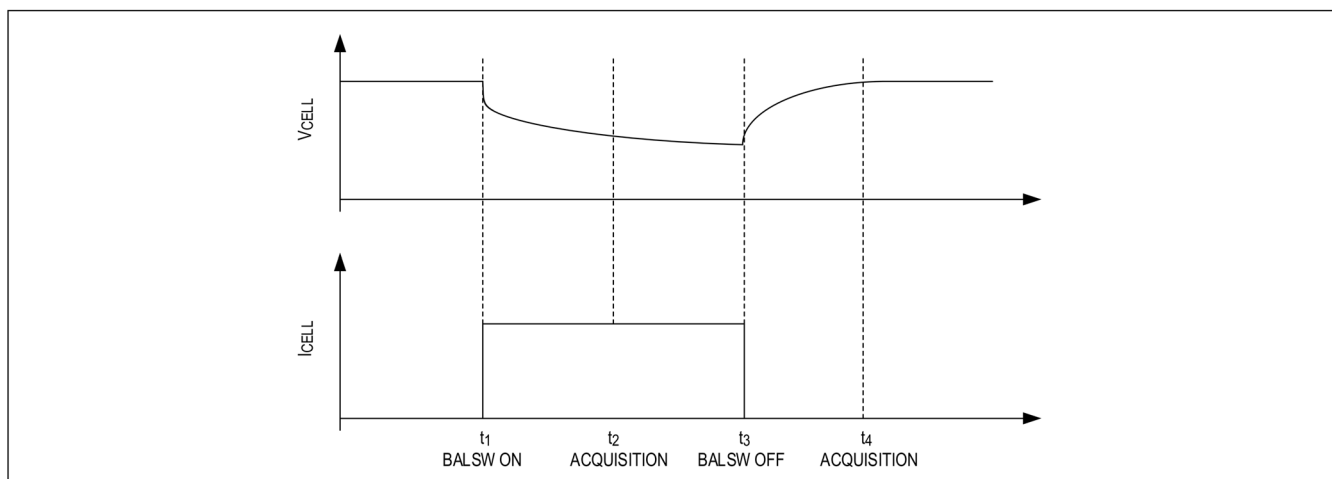


図 34. AUTOBALSWDIS の測定セトリング

フレキシブル・パック設定でのマニュアル・セル・バランシング・モード

マニュアル・セル・バランシング中、スタック最上部のセルとその下のセルは、マニュアル・セル・バランシング用にイネーブルしない
てください。イネーブルすると、 $SW_{TOPCELL1/2}$ 、 $SW_{TOPCELL1/2-1}$ 、および $SW_{TOPCELL1/2-2}$ が、すべて $TOPCELL1/2$ セルの入力電圧より 5V 低く
なるという状況になる可能性があります。しかし、ADES1754/ADES1755/ADES1756 のデジタル・ロジックはユーザによるこのような構
成の使用を妨げず、ALRTHVUV はトリップして、 $TOPCELL1/2$ セルの入力測定値が正確な値を示さなくなります。

自動個別モード

自動個別モードは、エンド・アプリケーションが必要とする時間または特定電圧レベル、もしくはその両方に達するまでセルが個別に放
電できるように、制御された形でセル・バランシングを行います。ホストは、CBMODE を 0b100（時間単位は秒数）または 0b101（時間
単位は分数）に設定して CBEXPn を希望の値に設定し（ここで LSB = 1 秒または 1 分）、個々の BALSWENn ビットをセットすること
によって、自動個別モードを開始します。グループの電圧目標も CBUVTHR を使って設定できます。

自動個別モードでは、BALSWEN[n]によって定義されるバランシング・スイッチが、プログラマブル・タイマー時間（CBEXPn）または
低電圧閾値（CBUVTHR）、もしくはその両方に従った非オーバーラップ偶数/奇数サイクリングを通じて、自動的に制御されます。バ
ランシング・スイッチのデューティ・サイクルは CBDUTY を使って更に細かく制御でき、それにより平均バランシング電流をプログ
ラムで設定することができます。これは次のように示されます。

Even Cells (2, 4, ... 14):

$BALSW_n = BALSWEN[n] \& (CBTIMER \leq CBEXP_n) \& CBEVEN \& ((CBMEASEN == 0b11) \& (CELL_n \geq CBUVTHR)) \mid (CBMEASEN != 0b11))$

Odd Cells (1, 3, ... 13):

$BALSW_n = BALSWEN[n] \& (CBTIMER \leq CBEXP_n) \& CBODD \& ((CBMEASEN == 0b11) \& (CELL_n \geq CBUVTHR)) \mid (CBMEASEN != 0b11))$

CBUVTHR 終了設定が適用され、ADC 測定動作とキャリブレーション動作がイネーブルされている場合は、これらの動作を実行して、ホ
スト・コントローラのリード・バックを行うことができます。

CBTIMER はデューティ・サイクルに基づいてインクリメントされ、各チャンネルが放電を行う時間を示します（つまり、それぞれの
E/O/M 放電サイクルに対して 1 つの T_{CBE0} サイクル）。これは、リアルタイムで、常に CBEXPn に設定された最大値の 2 倍以上で放電が
行われることを意味します。例えば、偶数セルと奇数セルの両方を CBDUTY = 100% で 1 時間バランスさせる必要がある場合は、それ
に基づいて対応タイマーが設定され、動作は約 2 時間継続します（非オーバーラップ・タイミングを考慮）。更に、同じタイマー設定で
CBDUTY を 50% に設定した場合は、合計動作時間が約 4 時間まで延長されます。

読み出し専用カウンタ CBCNTR は 1Hz のレートでインクリメントし、0b11 で周期的にロールオーバーします。ホストはこのカウンタを定
期的に読み出すことで、自動個別モードがアクティブであることを確認できます。

SHDNL 動作は HOLDSHDNL によって制御でき、ホスト通信が長時間にわたった場合でも、自動個別モードのままデバイスがシャットダウンされるのを防ぎます。

自動個別モードが開始されると、通常は、CBTIMER が $\max(\text{CBEXPn})$ に達するか、すべてのセルの電圧が CBUVTHR に達するまで（どちらか最初に発生した方 – これは構成設定によります）自動個別モードが続きます。この時点でバランシング・スイッチ動作が停止して CBACTIVE が 0b10 に設定され、正常終了状態であることを示します。サーマル、キャリブレーション、およびウォッチドッグ/フォルトに関するセル・バランシング・チェックがイネーブルされている場合は、これらのチェックが行われます。これらいずれかの状態に該当する場合は直ちにスイッチング動作が停止されて CBACTIVE が 0b11 に設定され、 μC に結果が通知されます。セル・バランシング・タイマー（CBTIMER）は終了（CBEXPn）まで動作を続け、HOLDSHDNL の延長がイネーブルされている場合はそれが実行されます。 μC はこれによって終了状態を確認できます。

自動グループ・モード

自動グループ・モードは、エンド・アプリケーションが必要とする時間または特定電圧レベル、もしくはその両方に達するまで複数のセルがグループとして放電できるように、制御された形でセル・バランシングを行います。ホストは、CBMODE を 0b110（時間単位は秒数）または 0b111（時間単位は分数）に設定して CBEXP1 を希望の値に設定し（ここで $\text{LSB} = 1$ 秒または 1 分）、個々の BALSWE n ビットをセットすることによって、自動グループ・モードを開始します。グループの電圧目標も CBUVTHR を使って設定できます。

自動グループ・モードでは、BALSWE n によって定義されるバランシング・スイッチが、プログラマブル・タイマー時間（CBEXP1）または低電圧閾値（CBUVTHR）、もしくはその両方に従った非オーバーラップ偶数/奇数サイクリングを通じて自動的に制御されます。バランシング・スイッチのデューティ・サイクルは CBDUTY を使って更に細かく制御でき、それにより平均バランシング電流をプログラムで設定することができます。これは次のように示されます。

Even Cells (2, 4, ... 14):

$\text{BALSWE}_n = \text{BALSWE}[n] \ \& \ (\text{CBTIMER} \leq \text{CBEXP1}) \ \& \ \text{CBEVEN} \ \& \ ((\text{CBMEASEN} == 0b11) \ \& \ (\text{CELL}_n \geq \text{CBUVTHR})) \ | \ (\text{CBMEASEN} != 0b11))$

Odd Cells (1, 3, ... 13):

$\text{BALSWE}_n = \text{BALSWE}[n] \ \& \ (\text{CBTIMER} \leq \text{CBEXP1}) \ \& \ \text{CBODD} \ \& \ ((\text{CBMEASEN} == 0b11) \ \& \ (\text{CELL}_n \geq \text{CBUVTHR})) \ | \ (\text{CBMEASEN} != 0b11))$

自動グループ・モードは自動個別モードと同じですが、すべてのタイマー時間が CBEXP1（1 つの終了イベント）に対してチェックされる点が異なります。

緊急放電モード

緊急放電モードは、緊急時やバッテリー寿命の終了時にセルが放電できるように、制御された形でセル・バランシングを行います。

ホストは、CBMODE を 0b001 に設定し、CBEXP1 を希望の値に設定する（ここで $\text{LSB} = 1$ 時間）ことによって、緊急放電モードを開始します。緊急放電モードがアクティブになった後は、CBTIMER が終了するか、CBMODE が 0b000 に設定（ディスエーブル）されるまでバッテリー・セルが放電されます。

緊急放電モードでは、BALSWE n の設定とは無関係にすべてのバランス・スイッチ（BALSWE n ）がイネーブルされます。CBTIMER の時間は CBEXP1 によって設定され、下に示すように、これらは非オーバーラップ偶数/奇数サイクリングによって制御されます。

Even Cells (2, 4, ... 14):

$\text{BALSWE}_n = (\text{CBTIMER} \leq \text{CBEXP1}) \ \& \ \text{CBEVEN}$

Odd Cells (1, 3, ... 13):

$\text{BALSWE}_n = (\text{CBTIMER} \leq \text{CBEXP1}) \ \& \ \text{CBODD}$

CBUVTHR 終了設定は適用されませんが、ADC 測定動作とキャリブレーション動作がイネーブルされている場合はそれらの動作を実行して、ホスト・コントローラのリードバックを行うことができます。

CBTIMER はデューティ・サイクルに基づいてインクリメントされ、各チャンネルが放電を行う時間を示します（つまり、それぞれの E/O/M 放電サイクルに対して 1 つの TCBE O サイクル）。これは、リアルタイムで、常に CBEXP1 に設定された最大値の 2 倍以上で放電が行われることを意味します。例えば、偶数セルと奇数セルの両方を $\text{CBDUTY} = 100\%$ で 1 時間バランスさせる必要がある場合は対応タイマーが 0x3C に設定され、動作は約 2 時間継続します（非オーバーラップ・タイミングを考慮）。更に、同じタイマー設定で CBDUTY を 50% に設定した場合は、合計動作時間が約 4 時間となります。

読出し専用カウンタ CBCNTR は 1Hz のレートでインクリメントし、0b11 で周期的にロールオーバーします。ホストはこのカウンタを定期的に読み出すことで、緊急放電モードがアクティブであることを確認できます。

SHDNL 動作は HOLDSHDNL によって制御でき、ホスト通信が長時間にわたった場合でも、緊急放電モードのままデバイスがシャットダウンされるのを防ぎます。

緊急放電モードが開始されると、通常は CBTIMER が CBEXP1 に達するまでこのモードが続きます。この時点でバランシング・スイッチ動作が停止して CBACTIVE が 0b10 に設定され、正常終了状態であることを示します。サーマル、キャリブレーション、およびウォッチドッグ・フォルトに関するセル・バランシング・チェックがイネーブルされている場合は、それらのチェックが行われます。これらいずれかの状態に該当する場合は直ちにスイッチング動作が停止されて CBACTIVE が 0b11 に設定され、μC に結果が通知されます。セル・バランシング・タイマー (CBTIMER) は終了 (CBEXPn) まで動作を続け、HOLDSHDNL の延長がイネーブルされている場合はそれが実行されます。μC はこれによって異常終了状態を確認できます。

セル・バランシング・モードの概要

ADES1754/ADES1755/ADES1756 がサポートしているセル・バランシング・モードの概要を表 32 に示します。

表 32. セル・バランシング・モード

CBMODE[2:0]	DESCRIPTION	CBEXPn[9:0]	TIMER RESOLUTION	TCBEO	RRANGE OF CBEXPn[9:0]	
					MIN	MAX
000b	Cell Balancing Disabled	000h	—	—	—	
001b	Emergency/EOL Discharge by Hour	001h - 3FFh	1hr	0.5min	1hr	1022hr
010b	Manual Cell Balancing by Second	001h - 3FFh	1s	—	1s	1022s
011b	Manual Cell Balancing by Minute	001h - 3FFh	1min	—	1min	1022min
100b	Auto Individual Cell Balancing by Second	001h - 3FFh	1s	0.5s	1s	1022s
101b	Auto Individual Cell Balancing by Minute	001h - 3FFh	1min	0.5min	1min	1022min
110b	Auto Group Cell Balancing by Second	001h - 3FFh	1s	0.5s	1s	1022s
111b	Auto Group Cell Balancing by Minute	001h - 3FFh	1min	0.5min	1min	1022min

注：TCBEO は、タイマーの分解能内で偶数または奇数スイッチをバランスさせる実効時間です。

自動偶数／奇数セル・バランシング

自動偶数／奇数セル・バランシングは、CBMODE の設定に応じ、隣接するバランシング・スイッチのイネーブルを 1 秒～1 時間のタイミング分解能で自動的に制御します。これにより、一定のバランシング時間の中で同じようにバランシングをしながら、偶数スイッチまたは奇数スイッチだけが同時にイネーブルされないようにします。これによって、ホストはバランス・スイッチやタイマー時間を調整せずに BALSWEEN ビットを 1 回設定できますが、これは、システムが低消費電力動作モードになってホスト・コントローラがスリープ状態となったときに役立ちます。

チャンネルの同時導通を防ぐために、1 つのスイッチをディスエーブルしてから隣接するスイッチをイネーブルするまでの間に非オーバーラップ時間 (tNONOVERLAP = 1μs) が挿入されます。UV 閾値をディスエーブルすると、合計セル・バランシング時間が (tCBEO + tNONOVERLAP) × 2 になります。UV 閾値をイネーブルすると、セル・バランシング時間は ADC の測定時間分 (tMEASUREMENT) だけ長くなります。この場合の合計セル・バランシング時間は (tCBEO + tNONOVERLAP) × 2 + tMEASUREMENT です。

注 1：TCBEO = 1/2 × タイマー分解能

測定時間 (tMEASUREMENT) には、セル・バランシング・パス回復遅延の選択 (CELLDLY) が含まれます。これはユーザが設定できる遅延で、偶数および奇数放電サイクルの各ペアの後に加わる外部アプリケーション回路によって決まります。測定時間を構成するその他の要素には、SCANCTRL レジスタで定義される ADC アキュイジションのための物理的時間が含まれます (セル・バランシング・モードの OVSAMPL は変更できず、最大限の測定精度を実現できるよう 16 に固定されています)。

注 2：CELLDLY は、AUTOBALSWDIS = 0b1 および ALTMUXSEL = 0b0 を使用するとき、マニュアル・セル・バランシング・モードで使われます。偶数および奇数放電サイクルの各ペアの後の自動セル・バランシング・モードと放電モードにも使われます。

CBMODE = 0x4、CBUVTHR = 0x3FF

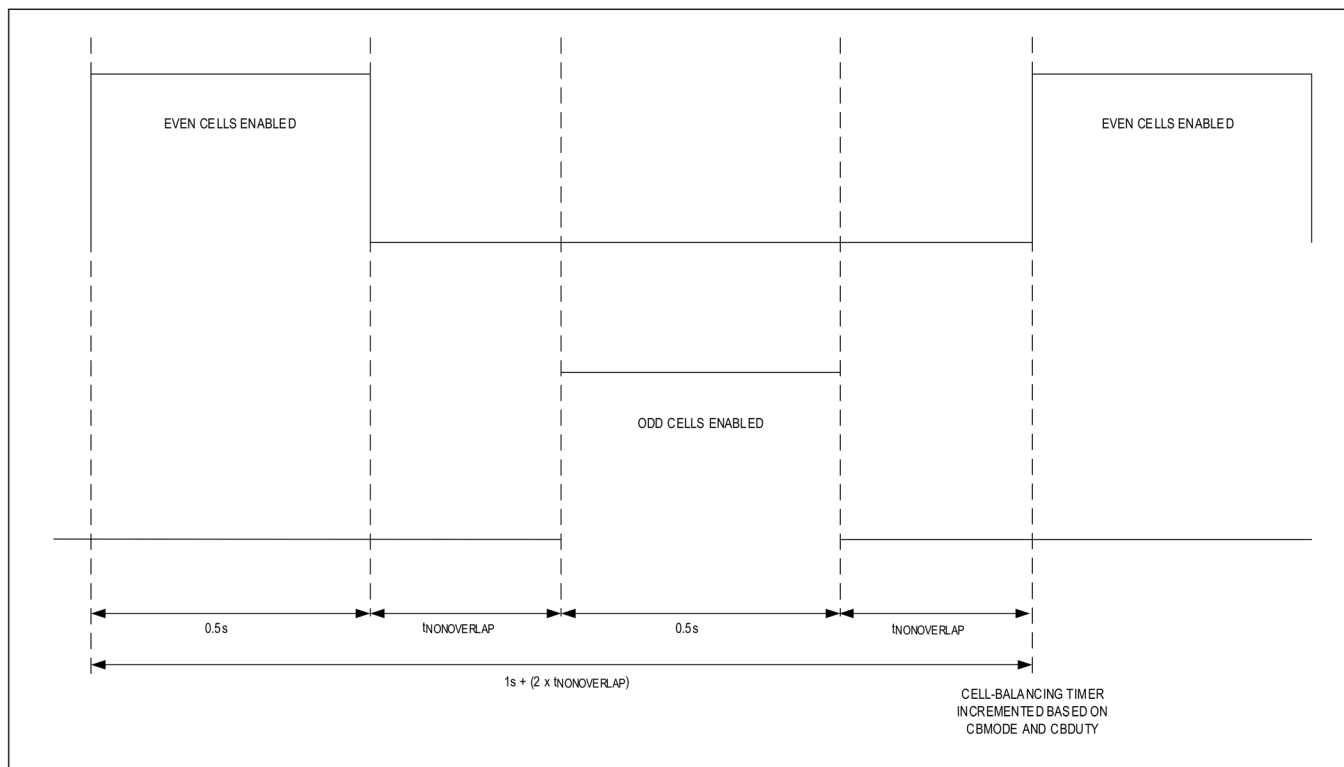


図 35. UV 検出なしの自動偶数／奇数セル・balancing

CMODE = 5h、FLXPCKEN1/2 = 1、TOPCELL1/2 = ODD

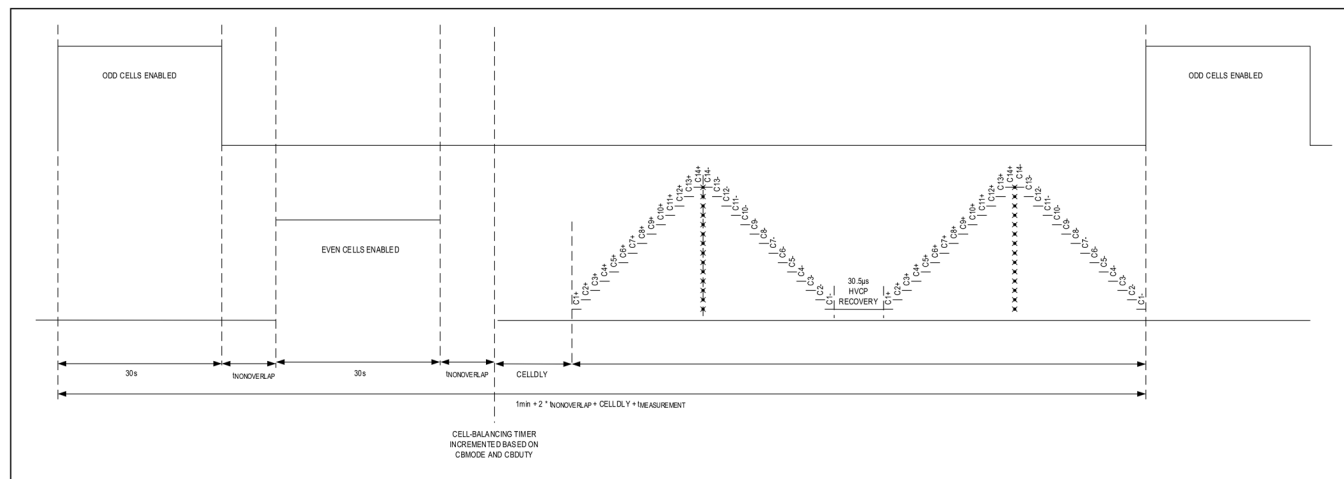


図 36. UV 検出ありの自動偶数／奇数セル・balancing、OVSAMPL を備えた ADC

注：図 35 と図 36 の時間スケールは正確ではありません。見やすくするために誇張されている部分があります。

セル・balancing 時における組込み測定の詳細と推奨事項については、[セル・balancing UV 検出](#)のセクションを参照してください。

セル・バランスング・タイマー (CBTIMER)

マニュアル・モード、緊急放電モード、および自動グループ・モードのタイミング

マニュアル・モード、緊急放電モード、および自動グループ・モードでは、BALEXP1 レジスタの CBEXP1 ビットフィールドを使ってセル・バランスング・タイマーの時間を設定します。この時間は、CBMODE の設定 (LSB = 時間、分、または秒) に応じて 1~1023 秒、1~1023 分、または 1~1023 時間の範囲に設定できます。BALSWENn もイネーブルされている場合は (CBTIMER がアクティブになって 3FFh でロール・オーバーしますが、CBEXP1 についてのチェックは行われません)、値を 0x3FF にすると CELLn のスイッチを無期限にイネーブルすることができます。マニュアル・モード、緊急放電モード、および自動グループ・モードでは、10 ビット・タイマー (CBTIMER) が、BALEXP1 によって設定された時間になるまでカウント・アップされます。セル・バランスング・タイマーが終了すると、すべてのセル・バランスング・スイッチがディスエーブルされます。

CBEXP1 がゼロ以外のときはセル・バランスング・タイマー (CBTIMER) が動作し、BALSWEN[14:1] = 000h (つまり、どのバランスング・スイッチも実際には動作しない) であっても、要求されたすべての測定動作とキャリブレーション動作がタイマー終了まで実行されます。これは、バランスング動作の進捗と終了の状態を確認するために、μC が引き続きデバイスにアクセスできるようにします。

CBEXP1 = 000h の値の場合、セル・バランスングは行われません。

安全上の懸念からすべての BALEXPn はデフォルトで 0x000 に設定されているので、事前に設定しない限りセル・バランスングは行われません。

自動個別モードのタイミング

自動個別モードでは、BALEXPn レジスタの CBEXPn ビットが、対応する CELLn の個別セル・バランスング時間として使われます。個別時間は、CBMODE の設定 (LSB = 秒または分) に応じて 1~1023 秒、または 1~1023 分の範囲に設定できます。BALSWENn もイネーブルされていれば、値を 0x3FF にすると CELLn のスイッチを無期限にイネーブルできます (CBTIMER がアクティブになって 3FFh でロール・オーバーしますが、CBEXPn についてのチェックは行われません)。10 ビットの終了タイマー (CBTIMER) はレジスタ・ブロック内の最大の CBEXPn タイムアウト値までカウントアップを行い (BALSWENn の設定とは無関係)、すべてのバランスング・スイッチのバランスング動作を制御します。個々のセル終了時間に達すると (CBEXPn によって決まる)、CELLn のスイッチがディスエーブルされます。

CBEXPn がゼロ以外のときはセル・バランスング・タイマーが動作し、BALSWEN[14:1] = 000h であっても (つまり、どのバランスング・スイッチも実際には動作しない)、要求されたすべての測定動作とキャリブレーション動作がタイマーの終了まで実行されます。これは、バランスング動作の進捗と終了の状態を確認するために、μC が引き続きデバイスにアクセスできるようにします。

14 個すべての CBEXPn の設定が 000h の場合、どのスイッチでもセル・バランスングは行われません。

一般的なタイミングと安全機能 (すべてのモード)

安全上の懸念からすべての BALEXPn はデフォルトで 0x000 に設定されているので、事前に設定しない限りセル・バランスングは行われません。

UV 状態またはサーマル終了状態によってアクティブなセル・バランスングが停止した場合でも、CBTIMER は終了するまで動作します。これは、バランスング動作の進捗と終了の状態を確認するために、μC が引き続きデバイスにアクセスできるようにします。延長 SHDNL ホールド時間が要求された場合は (HOLDSDNL = 1x)、CBTIMER が延長ホールド時間中に適用 CBEXP 時間をリード・バックして、要求されたバランスング動作の実行が完了したことを μC が確認できるようにします。

マニュアル・モードでの CBRESTART の使用

BALSWCTRL レジスタ内の CBRESTART ビットには定期的に 1 を書き込んで、ウォッチドッグ・タイマーを再開させる必要があります。これは、CBTIMER が CBEXP1 に達してマニュアル・モードが終了することによってセル・バランスング・スイッチが自動的にディスエーブルされないようにするためです。ホストが CBRESTART への書き込みに失敗した場合や、セル・バランスング・スイッチをディスエーブルし忘れた場合は、BALSWEN の設定とは無関係に、セル・バランスング・ウォッチドッグが自動的にすべてのセル・バランスング・スイッチをディスエーブルできます。セル・バランスング・ウォッチドッグは、BALSWCTRL レジスタの BALSWEN ビットの内容を変更しません。

CBRESTART ビットはマニュアル・セル・バランスング・モードでのみ使われ、BALSW の新しい設定とウォッチドッグ・タイマーのリフレッシュを 1 つのコマンドで行う手段を提供します。

このビットは、マニュアル・セル・バランスングがアクティブな状態での動作以外では無視され、何の効果もありません。マニュアル動作を選択してタイマーが終了した場合は、BALCTRL への書き込みによって動作を再開させる必要があります (つまり CBRESTART は、CBTIMER を終了させたマニュアル動作を再開しません)。

緊急放電モードと CBDUTY の動作

緊急放電モードでは、デューティ・サイクルに基づいて CBTIMER がインクリメントされて、各チャンネルの実効放電時間を示します。それぞれ 30 秒の t_{CBE0} の間、アクティブ・デューティ・サイクルは CBDUTY レジスタによって指定されるので、CBTIMER は、30 秒以内の一定の指定時間ごとにインクリメントされます (表 33 を参照)。

例えば、CBDUTY を 1h に設定すると、CBTIMER は、E/O/M サイクルの終了時に 3.750s ステップでインクリメントされます。

表 33. 緊急放電モード

FUNCTION	REGISTER FIELD	CONFIGURATION	BEHAVIOR
Emergency Discharge Duty-Cycle	CBDUTY[3:0]	0x0	Switches on for 6.25% for 30s (1.875s per 30s)
		0x1	Switches on for 12.5% for 30s (3.750s per 30s)
	
		0xF	Switches on for 100% for 30s (less $t_{NONOVERLAP}$)

注：外部バランシング電流は、熱的な問題が発生する可能性を避けるために、100% デューティ・サイクル動作で設計することを推奨します。

CBNTFYCFG を使用する通知アラート

自動モードと放電モードでは、自動動作が正常に進捗していることを確認するために、セル・バランシング通知アラート (ALRTCNTFY) を発行できます。発行頻度はリアルタイムで 1 時間、2 時間、または 4 時間です (つまり CBDUTY で調整した値ではありません)。HOLDSDNL の延長期間中は、引き続き通知アラートが発行されます。

セル・バランシング終了タイマーの概要

CBTIMER の実装の概要を図 37 に示します。

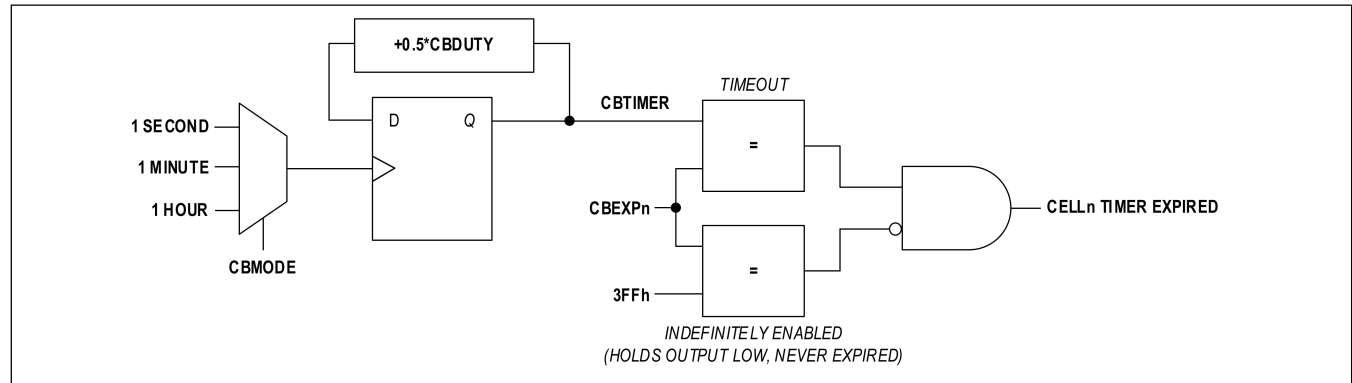


図 37. セル・バランシング終了タイマー

注：CELLn のタイマー終了出力は、セル・バランシング停止制御ロジックに入力されます。

セル・バランシング UV 検出

UV 閾値へのセル・バランシングは、BALSWEN によって指定されてイネーブルされたすべてのセルを、図 38 に示すように一定の指定電圧レベルまで個別にバランスさせることを可能にします。セルが UV 閾値に達すると、対応するバランス・スイッチがディスエーブルされ、ホストによって再度初期化されるまでアイドル状態に維持されます。

CBUVTHR のチェックを行う自動セル・バランシングは、BALSWEN[n] = 0b1 の位置におけるユニポーラ・セル測定でのみサポートされています。また、必要な測定値の更新を行うには、CELLEN[n] = 0b1 および POLARITY[n] = 0b0 とする必要があります。測定がサポートされていない場合は、セルのバランシングは終了条件 CBUVSTAT[n] = 0b1 で自動的に終了します。

BALUVSTAT レジスタの CBUVSTAT[n] は、対応する CELLn+1 の結果が CBUVTHR によって指定された閾値未満となったこと、およびそのセルに対するセル・バランシング動作が終了したことを示します。CBUVSTAT[n] は、CBMODE に 0b000 が書き込まれる (ディスエーブルされる) か、BALCTRL を通じて新しい CBMODE 動作が開始された場合のみクリアされます。

UV 閾値への自動セル・バランシングは、BALCTRL レジスタの CBMEASEN ビットを 0b11 に設定することによって設定します。UV 閾値は、独立して使用するかセル・バランシング・タイマー (CBEXP1 または CBEXPn) と共に使用することができます。タイマーをプログラムした場合、そのタイマーはセルを過放電させないための冗長メカニズムとしての役割を果たします。すべてのセルが UV 閾値に達するとすべてのセル・バランシング・スイッチがディスエーブルされますが、セル・バランシング・タイマーは終了するまで動作を続けます。これは、バランシング動作の進捗と終了の状態を確認するために、 μC が引き続きデバイスにアクセスできるようにします。定義した UV 閾値を使用するには、BALAUTOUVTHR レジスタの CBUVTHR に閾値レベルを書き込む必要があります。このレジスタは、305 μV LSB の 14 ビット値を扱うことができます。

オプションとして、これに先立つ ADC アキュイジションの MINCELL 値を希望する閾値として使用できます。CBUVMINCELL がディスエーブルされると、BALAUTOUVTHR への有効書き込み時に CBUVTHR に書き込まれた値が、CBUVTHR にロードされます。CBUVMINCELL がイネーブルされると、BALAUTOUVTHR への有効書き込み時に、MINCELL アドレスに対応する CELL[n] レジスタ内の現在値が CBUVTHR に自動的にロードされます（書き込み時の CBUVTHR の内容は無視されます）。BALAUTOUVTHR レジスタがリード・バックされると CBUVTHR の現在値が提供され、CBUVMINCELL はその選択手段を示します。

バランス測定と閾値との比較には HVMUX と ADC シグナル・チェーンが使われます。アキュイジションは、BALSWEN ビットフィールドでイネーブルされたチャンネルと、SCANCTRL レジスタに設定されたパラメータによって決定されます。UV 測定の実現可能精度は、電気的特性の表に示す ADC の精度仕様によって決まります。最大限の精度を得るには、バランスを開始する前にキャリブレーションをアサートする必要があります。

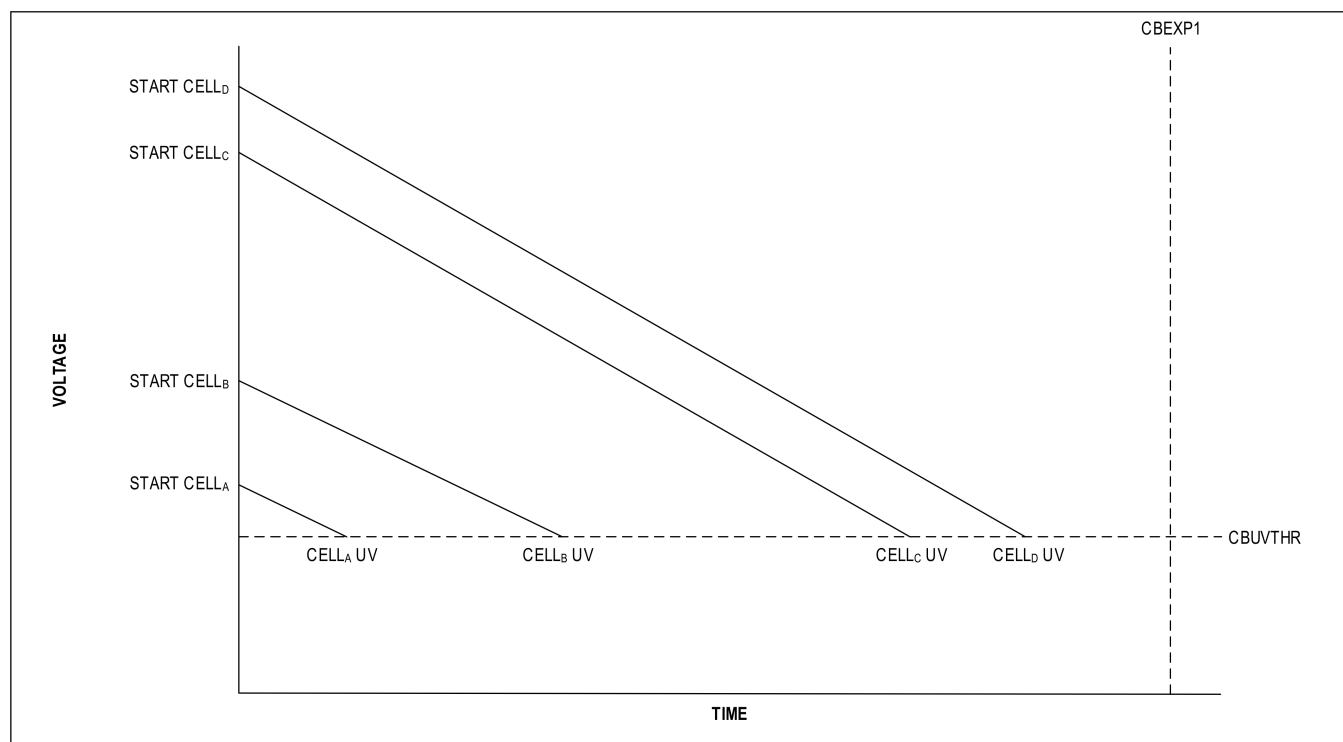


図 38. セル・バランスの UV 閾値交差

注：CELL_A、CELL_B、CELL_C、CELL_D は特定のセルを表すわけではありません。CELL_A は開始値が最も低いセルを表し、CELL_D は開始値が最も高いセルを表します。この例において、CBUVTHR はすべてのセルの UV 閾値で、CBEXP1 は自動グループ・セル・バランス・モード (CBMODE = 0b11x) 用のセル・バランス終了タイマーです。CELL_N の UV 閾値交差は、セル・バランス停止制御ロジックへの入力です。

セル・バランシング測定

表 34 に示すように、組込みセル・バランシング測定は CBMEASEN によって要求された場合のみ行われます。

表 34. セル・バランシング測定のイネーブル

CBMEASEN[1:0]	説明
0b0x	すべての測定動作をスキップすることによって、最も高いデューティ・サイクル設定とします。セル・バランシングの通常終了にはセル・バランシング・タイマーだけが使われます。
0b1x	マニュアル UV モニタリングまたはホスト・プロセッサによる監視用に、組込み測定をイネーブルします。
0b11	自動モードで組込み測定と内部 CBUVTHR チェックをイネーブルします（緊急放電モードではチェックはサポートされていません）。

CBMEASEN の選択は放電モードと自動セル・バランシング・モードでのみ機能し、その他のすべてのモードではこの設定は無視されます。

測定は OVSAMPL = 16x に固定した ADC を使って行われ、最大限の測定精度を得るために SCANMODE = 'pyramid' に設定されます。その他すべてのスキャン・パラメータは、その時点の SCANCTRL、ACQCFG、DIAGCFG、POLARITYCTRL レジスタに従って設定されます。バランシング中にスキャン・パラメータを上書きしようとしても無視され、ALRTRJCT 状態となります。

セル・バランシング IIR フィルタリング

自動および放電セル・バランシング・モードでは、個々のセルの IIR フィルタを通じて自動 ADC 測定値が処理されます。このフィルタは測定精度を高めると共にノイズ耐性を提供して、信頼性の高いバランシング性能を維持します。

これらのモードで IIR フィルタをイネーブルした場合（IIRFC != 0b111）、フィルタはユーザによる設定を維持します。通常のアプリケーション（IIRFC = 0b111 = 8/8）で IIR を使用しない場合も、同様の IIRFC = 0b000 = 1/8 でバウンス防止測定用に IIR フィルタがイネーブルされます。

更に、通常動作時に IIR フィルタを使わない場合や、AMENDFILT を使って定期的に更新を行わなかった場合は、セトリング応答が長いために UV 閾値が誤って終了してしまうのを避けるために、CBIIRINIT ビットを使い最初のアクイジションの測定値で IIR を初期化する必要があります。したがって、自動または緊急放電セル・バランシング・モードになったときにフィルタがどのように動作するかは、CBIIRINIT の設定によって異なります。

- 継続モード（CBIIRINIT = 0）では、IIR アキュムレータの電流値が維持され（恐らくは直前のセル測定値から）、通常はセル・バランシング測定値が修正されます。
- 初期化モード（CBIIRINIT = 1）では、IIR アキュムレータが最初に測定された値に再度初期化され、更に通常はセル・バランシング測定値が修正されます。CBUVTHR チェックは 16 回目の測定終了後にはイネーブルされず（チェックは 17 回目の測定から開始されます）、IIR がセトリングするための時間が取られます。

セル・バランシング・キャリブレーション

自動モードと放電モードでは、偶数／奇数セル・バランシング期間の各ペアの後に、監視用の ADC 測定を行うことができます（閾値がイネーブルされている場合や使用できる場合は CBUVTHR によるチェックも可能 – CBMEASEN を参照）。セル・バランシング中は温度上昇が予想されるので、自動キャリブレーション・シーケンスを測定アクイジションとインターリーブさせることを推奨します。これは CBCALDLY をゼロ以外の値に設定することによって行いますが、この設定はキャリブレーションを行う前に測定サイクルを何回実行するのかを示します。表 35 を参照してください。

表 35. セル・バランシング・キャリブレーションの選択

ADCCALEN (キャリブレーションの適用)	CBCALDLY (キャリブレーションの実行)	得られる動作
1 (オン)	ゼロ以外の値 (オン)	ADC の結果は、セル・バランシング動作中に周期的に得られるキャリブレーション係数に基づいてポストプロセスされます。
1 (オン)	000 (オフ)	ADC の結果は、セル・バランシング動作前に得られるキャリブレーション係数に基づいてポストプロセスされます。
0 (オフ)	ゼロ以外の値 (オン)	キャリブレーションはセル・バランシング動作中に行われますが、ADC の結果は工場デフォルトに基づきます（非推奨）。
0 (オフ)	000 (オフ)	ADC の結果は工場デフォルトに基づきます。

CBCALDLY 設定は CBMEASEN = 0b1x（セル・バランシング測定を要求）の場合のみ有効で、それ以外の場合は無視されます。

BALDLYCTRL レジスタの CBCALDLY ビットが 0x00（デフォルト）の場合、CAL 動作はディスエーブルされます（ADC 測定動作だけが行われます）。

ゼロ以外の値を選択した場合、最初の ADC 測定（ADC）動作はオンデマンド・キャリブレーション（CAL）動作に置き換えられます。それ以降、この選択は、ADC 動作を CAL 動作と自動的に置き換える頻度を決定します（セル・バランシング中の消費電力による熱ドリフトに対応するため）。0b001 は、ADC と CAL がサイクルごとに交互に切り替わることを意味します。更に、0b010 は 4 サイクルに 1 回 CAL が行われることを意味し、0b111（最大設定）は 32 サイクルに 1 回 CAL が行われることを意味します。可能なすべての設定のリストを表 36 に示します。

表 36. キャリブレーションの頻度

CBCALDLY	CALIBRATION FREQUENCY
0b000	Periodic Calibration Disabled
0b001	2 cycles
0b010	4 cycles
0b011	8 cycles
0b100	12 cycles
0b101	16 cycles
0b110	24 cycles
0b111	32 cycles

セル・バランシング中にキャリブレーションが範囲外となった場合

キャリブレーションがイネーブルされている場合（ADCCALEN = 1）、セル・バランサは測定またはキャリブレーションの完了後に ALRTCAL レジスタ・ビットのステータスをチェックします。ALRTCAL がセットされた場合はキャリブレーションが範囲外となったことを示しており、結果的に、そのキャリブレーション済みの ADC 結果値は破損している可能性があります。ALRTCAL がセットされてキャリブレーションがイネーブルされている場合は（ADCCALEN = 1）ALRTCBCAL ビットがセットされ、不正確な測定によるバランシング誤差を回避するために、アクティブなセル・バランシング動作が直ちに停止されます。その後のすべての測定、キャリブレーション、およびスイッチング・サイクルはセル・バランシング時間が終了するまでスキップされるか、それ以外の場合は中止／再開されます。セル・バランシング・タイマー（CBTIMER）は適用される CBEXP 時間に達するまで動作を続け、HOLDSDNL の延長もそのまま継続されて（イネーブルされている場合）、μC が終了ステータスを確認できるようにします。ALRTCBCAL が発行された場合、CBUVSTAT ビットフィールドのデータと CBSCAN 要求によってフェッチされたデータには異常があると見なす必要があります。ALRTCAL/ALRTCBCAL 状態が発行された場合は、セル・バランシング動作を終了して問題の解消を試みることができます。問題を解消できない場合は、ADCCALEN = 0 に設定することにより、工場出荷時のデフォルトを使ってセル・バランシング動作を要求することができます。

キャリブレーションなしのセル・バランシング

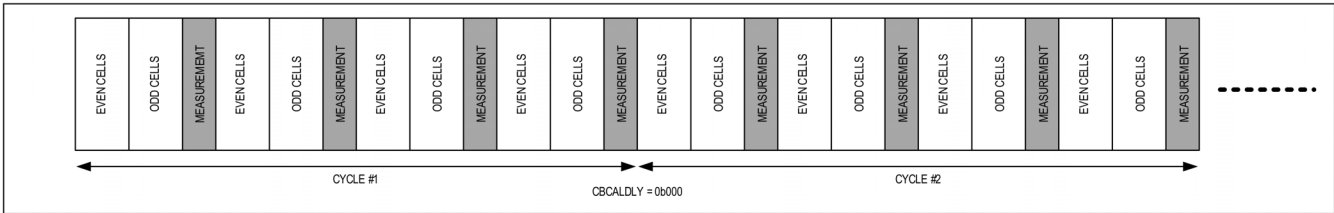


図 39. キャリブレーションなしのセル・バランシング

キャリブレーションありのセル・バランシング

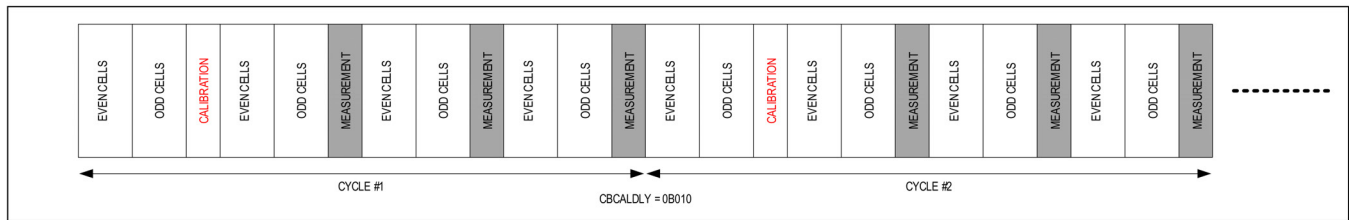


図 40. キャリブレーションありのセル・バランシング

CBSCAN を使用する測定結果の転送

BALDATA レジスタの CBSCAN ビットは、CELL データ・レジスタへの IIR 結果のマニュアル転送を開始するために使用できます（セル・バランシング動作は IIR に制御されるので、RDFILT は無視されて常に IIR データが転送されます）。CBSCAN は、自動および緊急放電セル・バランシング・モードで収集された測定結果のリードバックをサポートするために使われます。これらのキャリブレーション測定時に CBSCAN が発行された場合は、シーケンスが完了すると移動が実行されます。

CBSCAN はストローブ・ビットとして動作するのでクリアする必要がなく（自動クリア）、常にロジック 0 を示します。

CBSCAN は、自動セル・バランシング動作時以外は無効です。自動セル・バランシングが停止した場合や、マニュアル・バランシングを使用できるときは、SCANCTRL レジスタの測定スキャン・ビットフィールドを使用して、セル・レジスタへ送るデータを制御する必要があります。

セル・バランシングの完了

以上をまとめると、ホストがセル・バランシング動作を開始した後は、以下のいずれかによって動作を停止させます。

- ウォッチドッグ・タイマーの終了 (CBTIMER = CBEXPn)
- UV 閾値への到達（自動モードのみでセルごと、CBMEASEN = 0b11 の場合）
- サーマル・フォルト状態（自動モードと放電モードのみ、CBTEMPEN = 0b1 の場合）
- キャリブレーション・フォルト状態（自動モードと放電モードのみ、ADCCALEN = 0b1 の場合）
- CBMODE を 0b000（ディスエーブル）に変更することによる動作の中断
- CBMODE を 0b000 以外の値に変更することによる動作の再開

AUTOBALSWDIS = 0b1 の場合は、マニュアル・セル・バランシング・モードのスイッチ動作をキャリブレーションまたは ADC 測定のために一時的に中断できます。

放電モード、マニュアルモード、および自動グループ・モードでは、BALSWEN の設定に関わらず、CBTIMER は、その値が CBEXP1 に達すると停止します。

自動個別モードでは、BALSWENn の設定に関わらず、CBTIMER は、その値が MAX(CBEXPn)に達すると停止します。

サーマル終了がイネーブルされた状態 (CBTEMPEN = 0b1) で過熱フォルトが発生した場合、自動モードと放電モードは一時的に停止します。

CBMEASEN = 0b1x でキャリブレーション・フォルトが発生した場合、自動モードと放電モードは一時的に停止します。

UV 状態やサーマル終了状態によって実際のセル・バランシング動作が停止した場合でも、すべてのタイマー使用モードは指定された最大時間で CBTIMER を作動させて、μC が終了ステータスを確認できるようにします。μC が終了ステータスをチェックするための追加的な時間は、HOLDSHDNL オプションを使ってまかなうことができます。

CBACTIVE を使用すると、セル・バランシング動作のステータスを確認できます。CBTIMER が終了した場合（すべての CB モード）、またはイネーブルされたすべてのセルが設定した CBUVTHR 閾値に達した場合（自動モードのみ、CBMEASEN = 1b1 の場合）は、セル・バランシング動作が正常に終了したと見なされます。ALRTCBCAL 状態または ALRTCBTMP 状態の場合は、終了したセル・バランシング動作に異常があるものと見なされます。

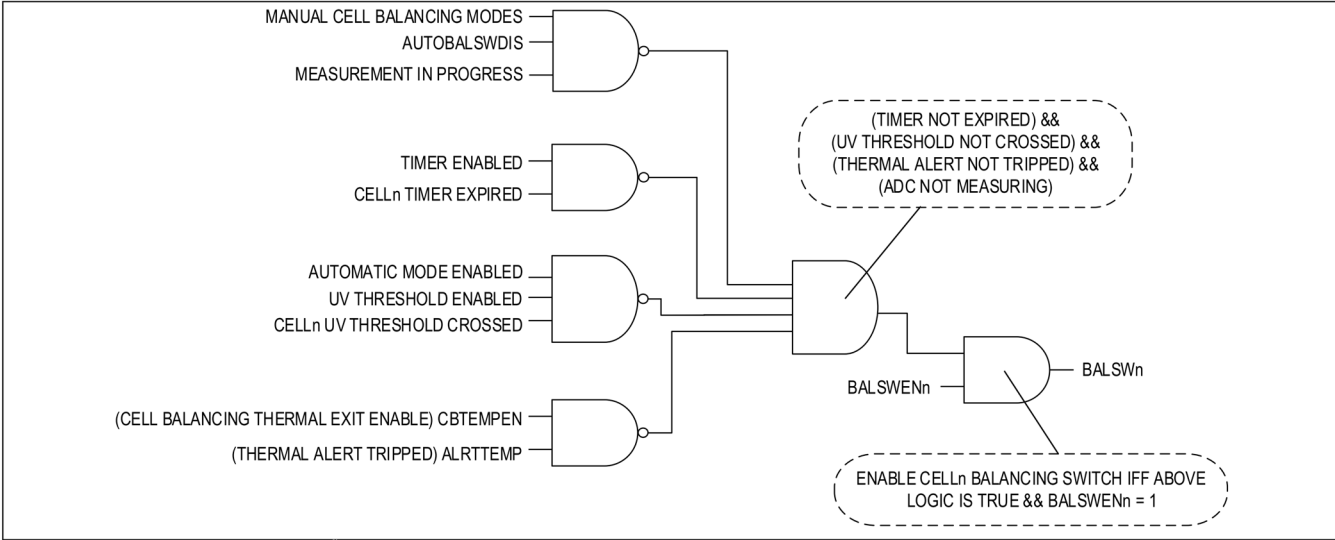


図 41. セル・バランシング停止制御

注：サーマル・フォルトはデバイスの温度上昇を制限して、電気的特性の表の ALRTTEMP 仕様に定めるデバイスの最大ジャンクション温度未満の安全なレベルに抑えます。最大限のセル・バランシング電流を必要とするアプリケーションではこれをディスエーブルできますが、絶対最大定格ジャンクション温度を超えることでシステムがデバイスを損傷させることがないように、注意する必要があります。

セル・バランシングと低消費電力自動ポーリングの終了基準

セル・バランシングと自動ポーリングの終了基準の概要を表 37 に示します。停止基準は現在のステートを終了させるものではありませんが、セル・バランシングを停止するか（セル・バランシング・スイッチをディスエーブル）、自動ポーリングを停止します（測定を中止）。終了結果には、合致した最初の終了基準が反映されます。

表 37. セル・バランシングと自動ポーリングの停止基準

	AUTO-POLLING STOP	CELL-BALANCING STOP	REGISTER CONFIGURATION
CBTIMER (by second, by minute, by hour)	Exit Criteria: CBTIMER = CBEXP1 for Group CBTIMER = Max(CBEXPn) for Individual Exit Result (Normal): CBACTIVE = 0b10 ALRTCBDONE = 0b1 All timers and measurements stop.	Exit Criteria: CBTIMER = CBEXP1 for Manual, Discharge, and Auto-Group, CBTIMER = Max(CBEXPn) for Auto- Individual Exit Result (Normal): CBACTIVE = 0b10 ALRTCBDONE = 0b1 All timers, cell balancing, and measurements stop.	CBMODE = 0b1XX (Auto) for Auto-Polling CBMODE != 0b000 for Cell Balancing
CBUV Threshold Enabled, Measurement Enabled	Exit Criteria: Auto-polling will only exit based on timer or timeout criteria. CBACTIVE = 0b10 at auto-polling entry, but timer and measurements continue to run.	Exit Criteria: All enabled CELLn (internal) < CBUVTHR Exit Result (Normal): CBACTIVE = 0b10 ALRTCBDONE = 0b0 All timers and measurements continue (ALRTCBDONE will be issued on timer expiration - see above). Cell-balancing switch activity stops.	CBMODE = 0b1XX (Auto) CBMEAS = 0b11 (Embedded Measurement, CBUVTHR Checking Enabled)

CBUV Threshold Disabled, Measurement Enabled	Exit Criteria: Auto-polling will only exit based on timer or timeout criteria.	Exit Criteria: N/A - Cell measurements will not induce an exit. Exit Result: N/A - Cell balancing will only exit on other criteria	CBMODE = 0b1XX (Auto) CBMEAS = 0b10 (Embedded Measurement, CBUVTHR Checking Enabled)
Timeout Fault	Exit Criteria: Timer integrity fault found. Exit Result (Fault): CBACTIVE = 0b11 ALRTCBTIMEOUT = 0b1 All timers and measurements stop (state machine compromised).	Exit Criteria: Timer integrity or oscillator fault found. Exit Result (Fault): CBACTIVE = 0b11 ALRTCBTIMEOUT = 0b1 All timers, measurements, and cell balancing switch activity stops (timer compromised).	CBMODE = 0b1XX (Auto) for auto-polling CBMODE != 0b000 or 0b001 for cell balancing
Thermal Fault	Exit Criteria: Auto-polling will only exit based on Timer or Timeout criteria Die Temperature faults will be reported through the Alert Packet (FMEA2.ALRTTEMP = 0b1)	Exit Criteria: A die temperature fault is detected (FMEA2.ALRTTEMP = 0b1). Exit Result (Fault): CBACTIVE = 0b11 ALRTCBTEMP = 0b1 All timers continue. Measurement, calibration, and cell-balancing switch activity stops.	CBMODE = 0b1XX (Auto), 0b001 (Emergency Discharge) CBTEMPEN = 0b1
Calibration Fault	Exit Criteria: Auto-polling will only exit based on timer or timeout criteria. Calibration faults will be reported through the Alert Packet (STATUS1.ALRTCAL = 0b1).	Exit Criteria: A calibration fault is detected (STATUS1.ALRTCAL = 0b1). Exit Result (fault): CBACTIVE = 0b11 ALRTCBCAL = 0b1 Timers continue. Measurement and cell-balancing switch activity stops (measurements compromised).	CBCALDLY != 0b000 ADCCALEN = 0b1 (Enabled)

注：自動ポーリングが ALRTCBTEMP、ALRTCBCAL、および ALRTCBAUX のステータス・ビットの挿入に基づいてモードを終了させることはない、自動ポーリングはこれらのビットをアサートしません。基本的なすべてのアラート状態は、ALRTTEMP、ALRTCAL、ALRTAUXOV、ALRTAUXOV、および ALRTAUXPRCTSUM に反映されます。

注：自動ポーリング動作と自動セル・バランスング動作は、CBMODE != 0b000、0b001 で動作時に CBSCAN が発行されると、CELLn レジスタ、AUXn レジスタ、および DIAGn レジスタの更新だけを行います。

注：UV 状態やサーマル・フォルトによって実際のセル・バランスング動作が停止した場合でも、すべてのタイマー使用モードは指定された最大時間で CBTIMER を動作させます。

上記の基準に加えて、自動ポーリングもセル・バランスングも、その動作を中止するか (CBMODE = 0b000)、CBMODE を 0b000 以外の値に変更して動作を再度初期化することによって停止できます。CBACTIVE を使用すると、セル・バランスング動作のステータスを確認できます。CBTIMER が終了した場合 (すべての CB モード)、またはイネーブルされたすべてのセルが設定された CBUVTHR 閾値に達した場合 (自動モードのみ、CBMEASEN = 1b11 の場合) は、セル・バランスング動作が正常に終了したと見なされます。

ALRTCBTIMEOUT、ALRTCBCAL、ALRTCBTEMP、または ALRTCBAUX 状態の場合は、終了したセル・バランスング動作に異常があるものと見なされます。

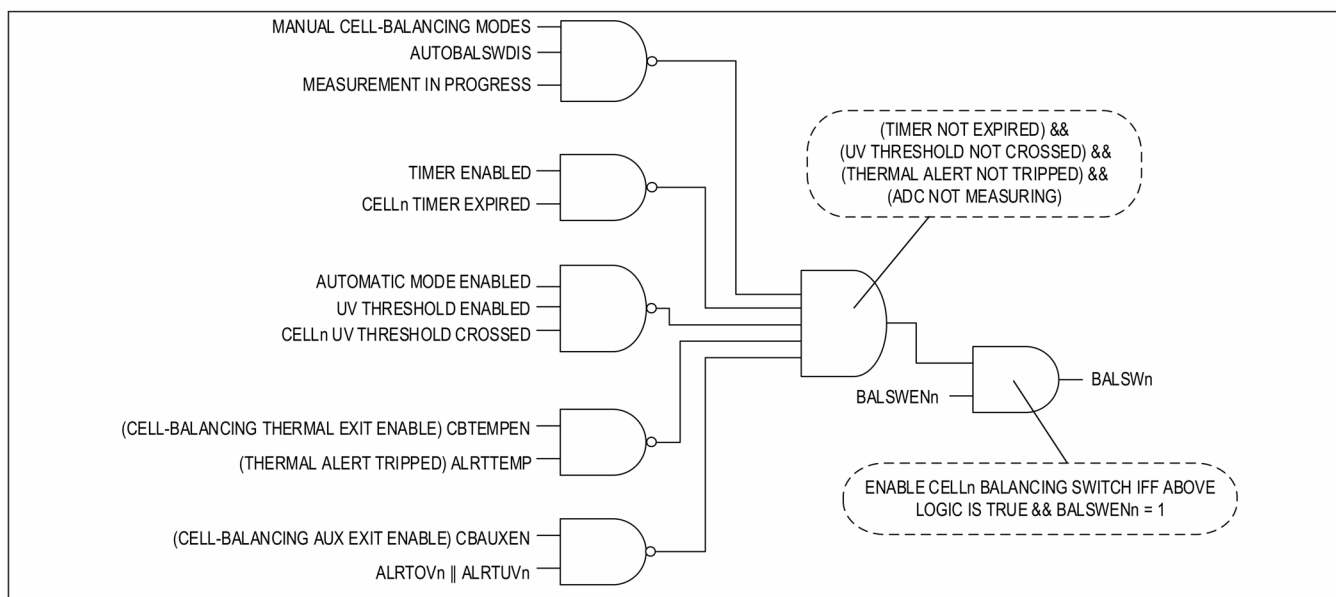


図 42. セル・バランシング停止制御

注：サーマル・フォルトはデバイスの温度上昇を制限して、電気的特性の表の ALRTTEMP 仕様に定めるデバイスの最大ジャンクション温度未満の安全なレベルに抑えます。最大限のセル・バランシング電流を必要とするアプリケーションではこれをディスエーブルできますが、絶対最大定格ジャンクション温度を超えることでシステムがデバイスを損傷させることがないように、注意する必要があります。

HOLDSHDNL を使用する自動 SHDNL 制御

ホストを介することなくタイマーでバランシングを行えるようにするために、BALCTRL レジスタの HOLDSHDNL ビットフィールドを適切な値に設定することにより、タイマー動作中または UV 検出実行中に SHDNL ピンを VAA にプルアップして、SHDNL をハイに維持することができます。このモードをイネーブルして動作させると、VAA ピンから SHDNL への内部ダイオード・プルアップがアクティブになります。これは、UART の動作が長時間中断している場合でもデバイスの動作を維持します。

HOLDSHDNL オプションは、ディスエーブル・モードとマニュアル・モードでは機能しません。

モード 0b01 では、過熱保護 (ALRTCBTEMP)、キャリブレーション上の問題 (ALRTCBCAL)、または指定した電圧目標値 (CBUVTHR) に達したことによってスイッチ動作が停止した場合でも、グループ動作のために選択された CBEXP1 時間か、個々の動作に対して選択された最も長い CBEXPn 時間に合わせてプルアップが有効になります。

モード 0b10 では、過熱保護 (ALRTCBTEMP)、キャリブレーション上の問題 (ALRTCBCAL)、または指定した電圧目標値 (CBUVTHR) に達したことによってスイッチ動作が停止した場合でも、プルアップはグループ動作のために選択された CBEXP1 時間か、個々の動作に対して選択された最も長い CBEXPn 時間にわたり有効になります。CBTIMER 終了後も HOLDSHDNL は、5 分間、または対応する CBEXPn 時間の 6.25% のいずれか長い方の時間にわたって引き続き保持されます。CBEXPn タイミングがディスエーブルされているか無限 (3FFh) に設定されている場合、SHDNL は、BALCTRL への書き込みによって削除されるまで保持されます。

モード 0b11 では、プルアップは BALCTRL への書き込みによって削除されるまで有効です。

HOLDSHDNL = 0b1x の場合、CBTIMER が延長ホールド時間中に適用 CBEXP 時間をリード・バックして、要求されたバランシング動作の実行が完了したことを μ C が確認できるようにします。モード HOLDSHDNL = 0b1x では、動作が完了して終了ステータスが確認された後で、CBMODE に書き込みを行ってディスエーブルすることにより保持動作を削除し、デバイスをパワー・ダウンすることができます。

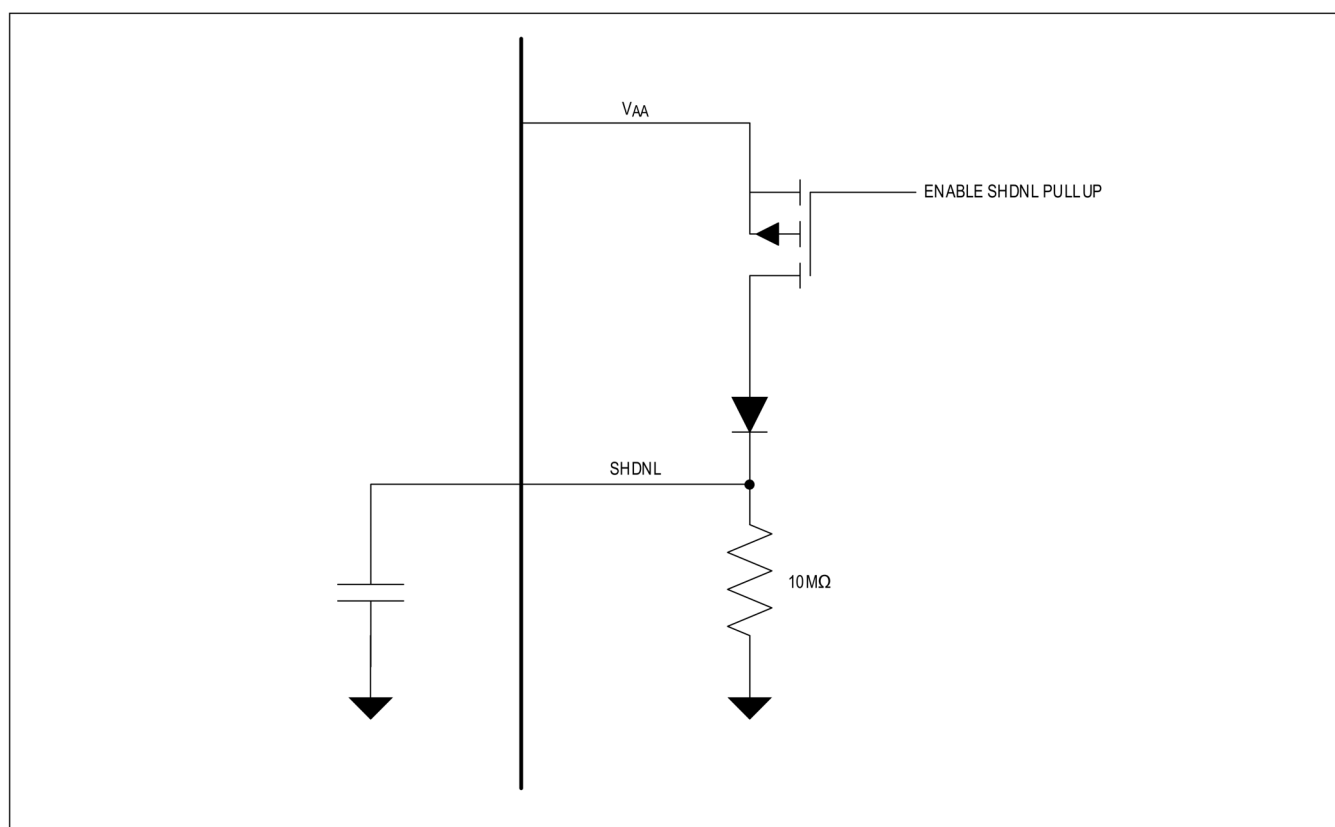


図 43. SHDNL プルアップ制御

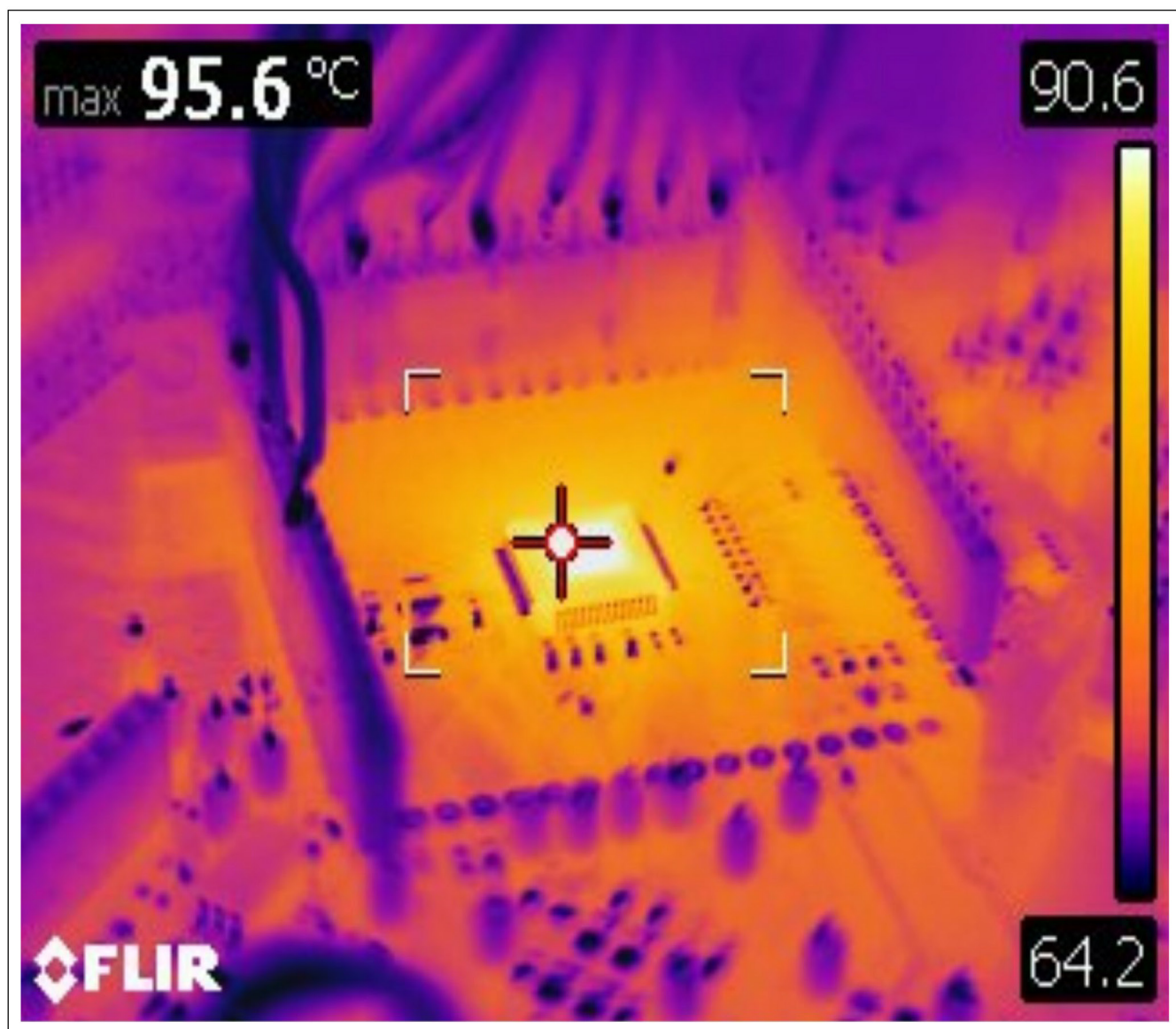


図 45. 300mA のセル 7 個を +60°C の周囲温度下でバランシングした場合の熱画像

例：時間による自律的セル・バランシング

自律的セル・バランシングは ADES1754/ADES1755/ADES1756 内で行えるので、ホスト・マイクロコントローラがスリープ状態になってもバランシングが可能です。プライマリ停止メカニズムをタイマーとして使い、自律的セル・バランシングを開始する手順を以下に示します。

- ホストが個々のセルの SOC を計算します。
- ホストがバランシング対象のセルとそのためのバランシング時間を決定します。
- ホストが BALSWEEN[13:0]を使用してバランシング・チャンネルを設定します。
- ホストが実効バランシング電流を設定します。
- 実効バランシング電流 = $V_{CELLn} / (2 \times R_{BALANCE}) \times CBDUTY[7:4]$
- ホストが実効バランシング電流と SOC に基づいて CBEXP1～CBEXP14 を設定します。
- ホストが HOLDSHDNL を設定して、セル・バランシング完了時のシャットダウン動作を決定します。
- ホストが CBMODE 「秒単位の自動個別セル・バランシング」または「分単位の自動個別セル・バランシング」を使ってバランシングを開始します。

例：設定可能な UV 閾値による自律的セル・バランシング

変更可能な UV 閾値を通じて制御する自律的セル・バランシングは ADES1754/ADES1755/ADES1756 内で行えるので、ホスト・マイクロコントローラがスリープ状態になってもバランシングが可能です。電圧測定をプライマリ停止メカニズムに設定し、プログラマブル・タイマーをセカンダリ停止メカニズムにしてバランシングを開始する手順を以下に示します。

- ホストが個々のセルの SOC を計算します。
 - ホストがバランシング対象のセルとそのためのバランシング時間を決定します。
- タイマーはセカンダリ停止メカニズムであり、UV 測定によるプライマリ停止閾値と干渉しないように追加的なマージンを持たせる必要があります。
- ホストが BALSWEEN[13:0]を使用してバランシング・チャンネルを設定します。
 - ホストが実効バランシング電流を設定します。
実効バランシング電流 = $V_{CELLn} / (2 \times R_{BALANCE}) \times CBDUTY[7:4]$
 - ホストが、実効バランシング電流とバランシング時間計算に基づいて CBEXP1~CBEXP14 を設定します。
 - ホストが CBUVTHR または CBUVMINCELL を設定して、UV 測定停止閾値を設定します。
 - ホストが CBMEASEN を「組込み ADC/CAL 測定をイネーブル、CBUVTHR チェックをイネーブル」として設定します。
 - ホストが、バランシングによる温度上昇を考慮して測定キャリブレーションを行うように CBCALDLY を設定します。キャリブレーションの選択はボードの熱時定数に基づいて行う必要があります。
 - ホストが、セル・バランシング完了時の HOLDSHDNL シャットダウン動作を設定します。
 - ホストが、「秒単位の自動個別セル・バランシング」または「分単位の自動個別セル・バランシング」として CBMODE を使用し、セル・バランシングを開始します。

インターフェイス
UART インターフェイス

概要

バッテリー管理 UART プロトコルを使用すると、図 46 に示すように、デジチェーン方式で 32 個までのデバイスを独立して扱うことができます。ホストは、デジチェーン接続されたデバイスとのすべての通信を、SPI/UART ブリッジなどの UART インターフェイスを通じて開始します。UART は、アプリケーションの要求に応じて、多岐にわたる柔軟な実装をサポートするように設定できます。UARTCFG を使って定義される設定を表 38 に示します。

表 38. UART 設定

UARTCFG	UART CONFIGURATION	UART UP PATH	UART DOWN PATH
0b00	Single-UART Interface with External Loopback	Active	Inactive (Buffered/Pass Through)
0b01	Single-UART Interface with Internal Loopback	Active	Inactive (Buffered/Pass Through)
0b10	Single-UART Interface with Differential Alert Interface	Active	Differential Alert
0b11	Dual-UART Interface	Active	Active

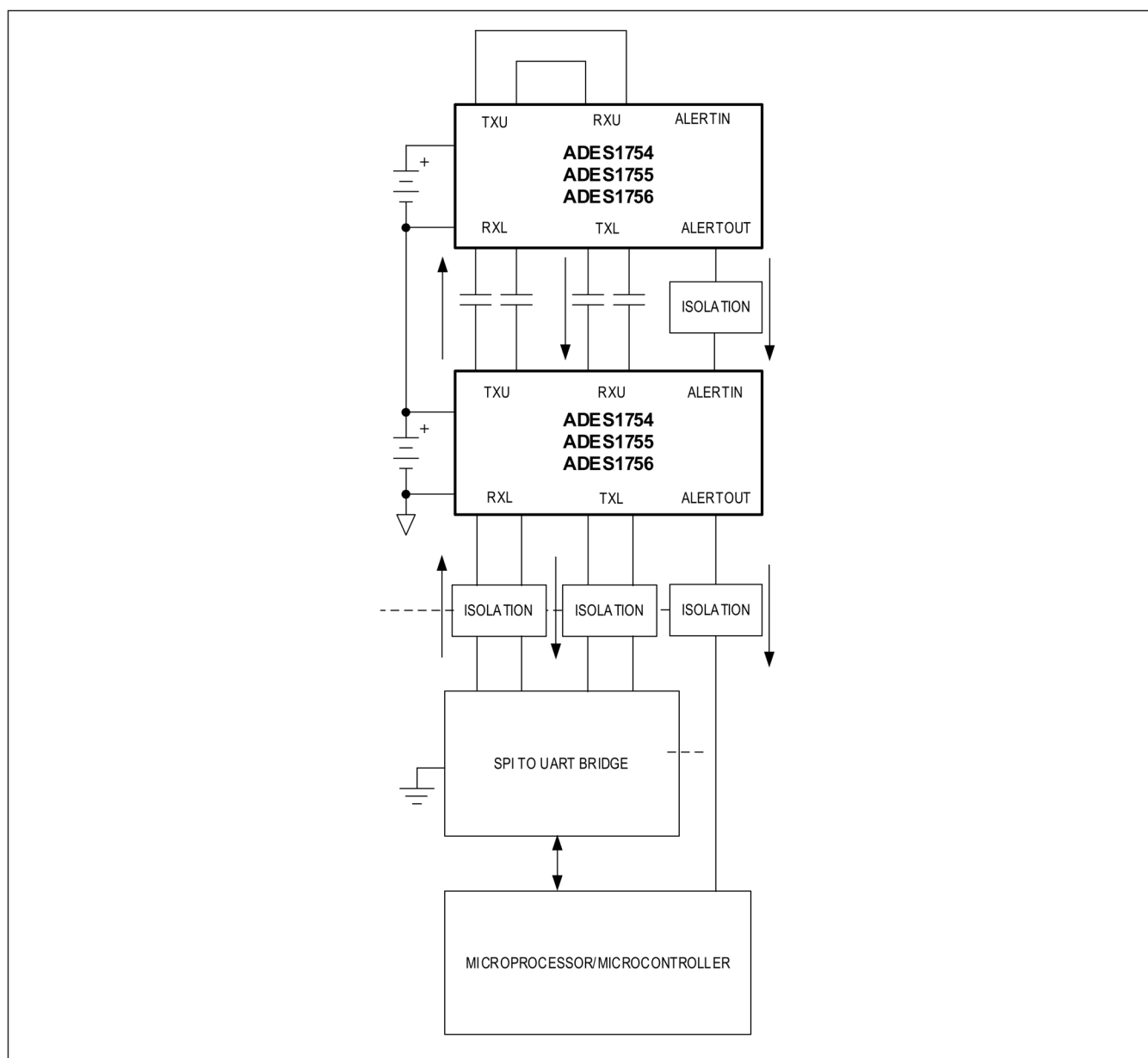
外部ループバックのシングル UART インターフェイス

UARTCFG を「外部ループバックのシングル UART インターフェイス」に設定すると、ホストからのデータ・フローは常に一方向になります。データは図 46 に示すようにデジチェーンをさかのぼって上方向に流れ（アップ・パス）、その後デジチェーンからホストにループ・バックして下方向に流れます（ダウン・パス）。

アップ・パスでは各デバイスが最初にその下側の Rx ポートでデータを受信して、上側の Tx ポートから次のデバイスの下側の Rx ポートへ向けてそのデータを直ちに再送信します。最後のデバイスは外部のループバック差動ケーブルを使ってその上側 Tx ポートから上側 Rx ポートへ直接転送し、更に下側 Tx ポートから次のダウンスタック・デバイスの上側 Rx ポートへデータをそのまま再送信します。その後のダウン・パスはパススルーとして動作し、データをバッファして再送信します。この構成では、ダウン・パスはどのコマンドにも応答しません。

外部ループバックには 2 つ利点があります。

- まず、ホストがデバイス数を把握していないアプリケーションにおいても、デバイス数をより迅速に決定することができます。
- （ハードウェア構成が同じなので）最後のデバイスの電源電流をデジチェーン内の他のデバイスの電源電流に合わせる助けとなります。



内部ループバックのシングル UART

UART の設定を「内部ループバックのシングル UART」に変更すると、そのデバイスの上側ポート設定が直ちに變更されて、信号は上側トランスミッタから上側レシーバへ内部的に伝達されるようになり、上側ポート・レシーバの入力ピンに加えられる外部信号は無視されます。したがって、UARTCFG に 0b01 を書き込むとアップ・パスへ送られる書込みコマンドがダウン・スタック方向で中断されるので、ホストへの戻りが中断されます。このコマンドは、動作が正常に行われたかどうかを確認するために、2 回発行することを推奨します。

SPI/UART ブリッジ・インターフェイスを使用する場合は、通信が中断されるので、UARTCFG を変更する前にその受信バッファをクリアし、ループバック設定を変更した後にもう一度クリアする必要があります。

差動アラート・インターフェイスのシングル UART

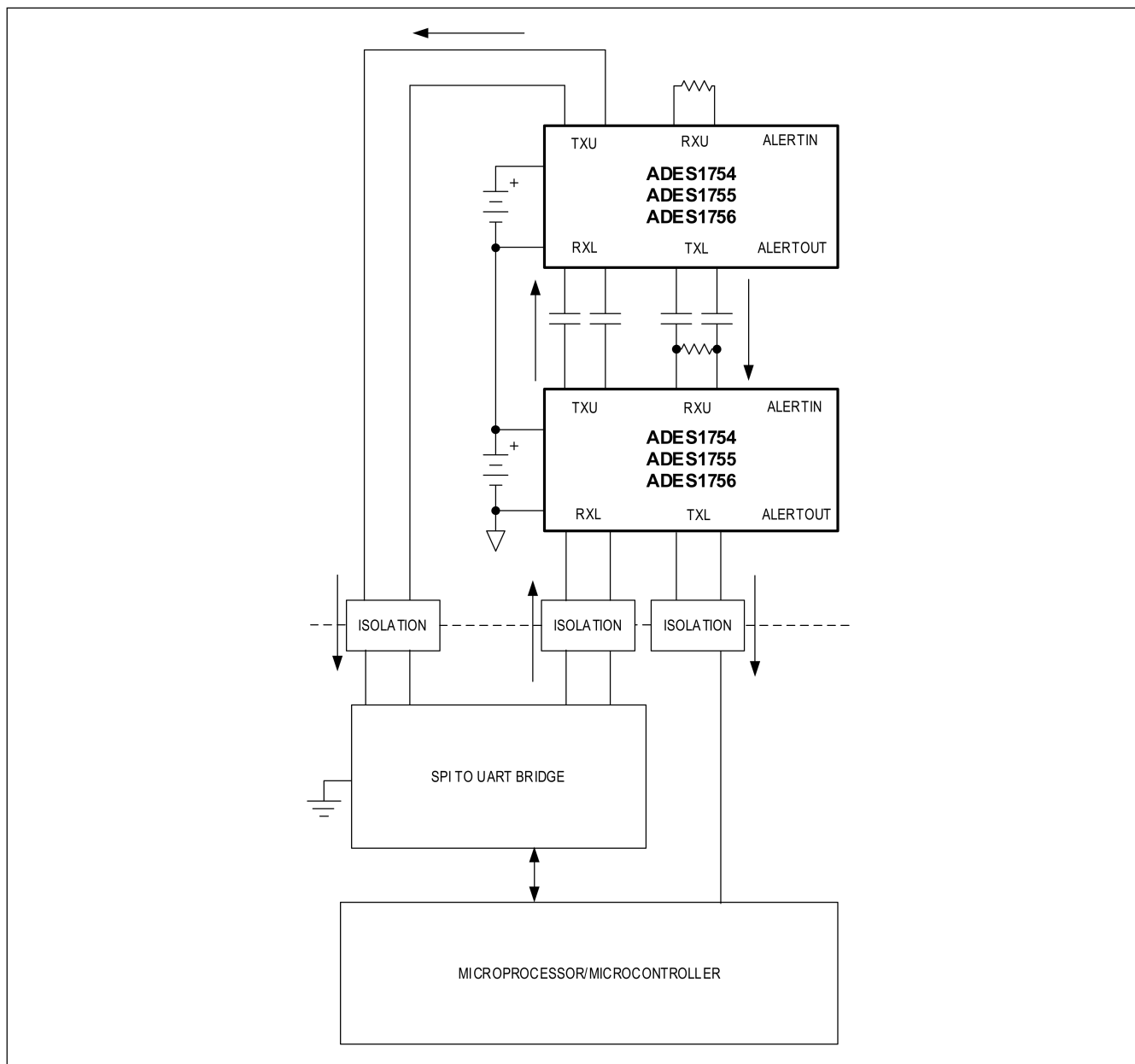


図 47. 差動アラート・インターフェイスのシングル UART

デュアル UART インターフェイス

エンド・アプリケーションがより高いデータ・スループットを必要とする場合や、安全のために冗長通信パスを必要とする場合は、UARTCFG に 0b11 を書き込むことによって、デュアル UART インターフェイス設定を使用することができます。設定を行うと、ダウン・パスが独立した UART パスとして動作し、それによって両方の UART パスから同時に読出し処理を行うことが可能になります。この場合は実効インターフェイス・レートが基本的に 2 倍になり、約 4Mbps となります。更に、独立した UART パスは、機能を喪失することなくコントローラ・インターフェイスを動的に変更することによって、インターフェイス・ワイヤがオープン状態になった場合でもディジチェーン内のすべてのデバイスへ途切れることなくアクセスすることを可能にします。

注：この構成を利用するには、ハードウェアとソフトウェア両方の設定が一致していなければなりません。

デフォルトではダウン・パス UART はターゲットとして動作しますが、これは Write コマンドや WriteAll コマンドに応答しないことを意味します。ターゲット・インターフェイスは、Read コマンド、Readall コマンド、および ReadBlock コマンドにのみ応答します。ターゲット UART に対して Write コマンドを発行した場合、その書込みは無視されてデイジーチェーン内の次のデバイスにそのまま渡され、最終的には SPI/UART ブリッジに戻されます。デイジーチェーン内の各デバイスは STATUS2 レジスタにその ALRTDUALUART ビットをアサートして、有効な書込みコマンドを受信したけれども実行しなかったことを示します。このビットは、コントローラ・インターフェイスによりクリアされるまでセットされたままになります。

コントローラの設定は UPHOST コマンドまたは DOWNHOST コマンドを使用して行い、コントローラの識別は UARTHST ビットを読み出すことによって行います。バッテリー管理 UART プロトコル・コマンドのセクションを参照してください。

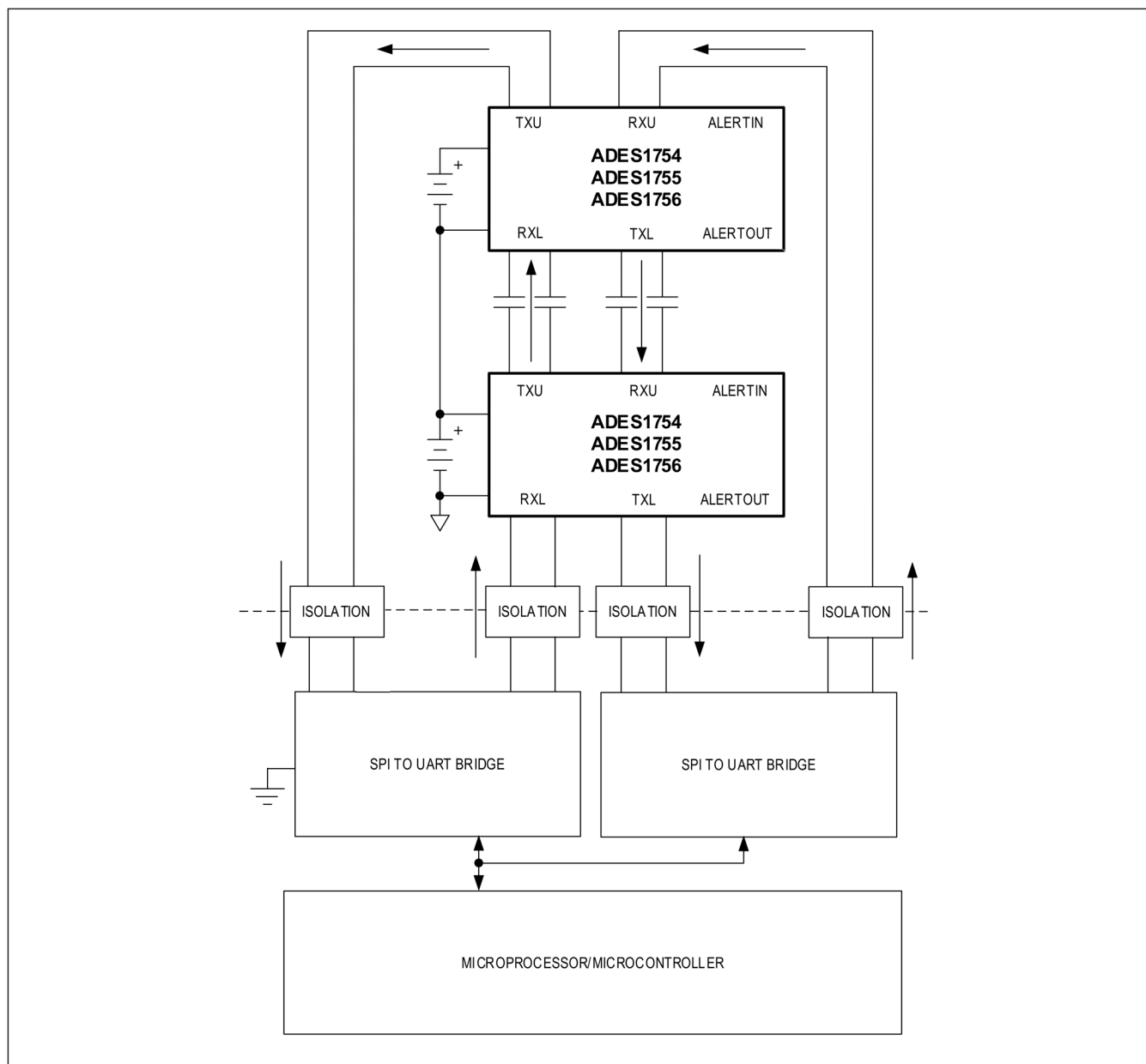


図 48. デュアル UART インターフェイス

デュアル UART コントローラの設定

アップストリーム UART パスに異常が生じて通信を行えない場合は、ホストにより発行された DOWNHOST UART コマンド・パケットを通じて、ダウンストリーム UART パスをコントローラとして再度初期化することができます。これにより、ダウンストリーム・パスに完全な読出し機能と書き込み機能を持たせることができます。その後アップストリーム・パスはコントローラ機能を引き渡して、自らをターゲットとして設定します。アップストリーム・パスが機能を回復した場合でも、UPHOST コマンドを使って自らをコントローラとして再度初期化しない限り、発行できるのは読出しコマンドだけになります。

インターフェイスを再度初期化した場合、ホストは UARHOST ビットにポーリングを行って、デ이지チェーン内のすべてのデバイスが同じコントローラ・インターフェイスに合わせて設定されていることを確認する必要があります。

注：UPHOST コマンドはアップストリーム UART にのみ有効で、DOWNHOST コマンドはダウンストリーム UART にのみ有効です。ダウンストリーム UART に UPHOST コマンドを発行しても何の動作も行われず、ALRTDUALUART ビットがセットされます。

デュアル UART コントローラとターゲットの関係

アップストリーム UART とダウンストリーム UART のタイミングは、前に行われたアキュイジションのデータを読み出してしまうのを避けるために、ホスト・コントローラによって同期する必要があります。このような事態は、コントローラが書き込みコマンドを発行して、すべてのデータ・パケットがデ이지チェーンの最後のデバイスを通る前にターゲットがそのデータを読み出そうとしたときに生じる可能性があります。タイミングに関する検討事項の例として、[図 49](#) と [表 50](#) を参照してください。コントローラ UART パスはこのような関係性を防止しないので、これはホストによって取り扱う必要があります。

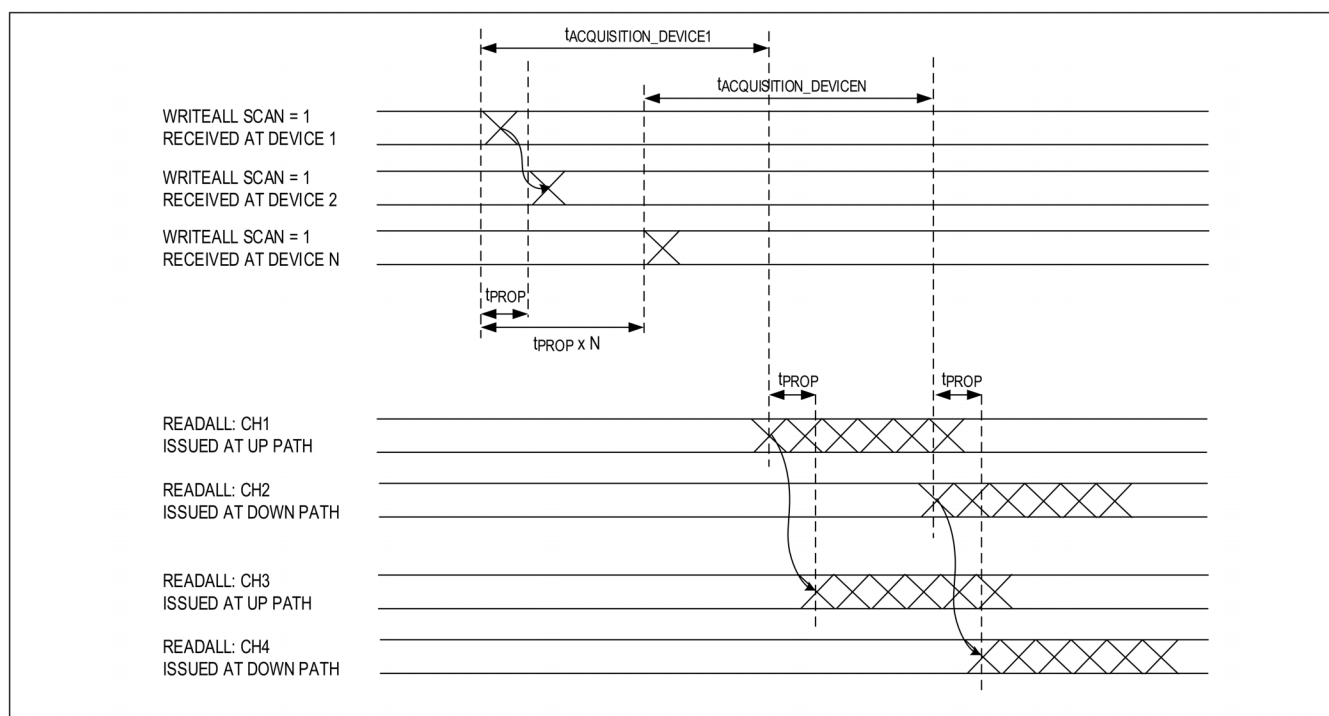


図 49. デュアル UART コントローラとターゲットの関係性（タイミングに関する検討事項）

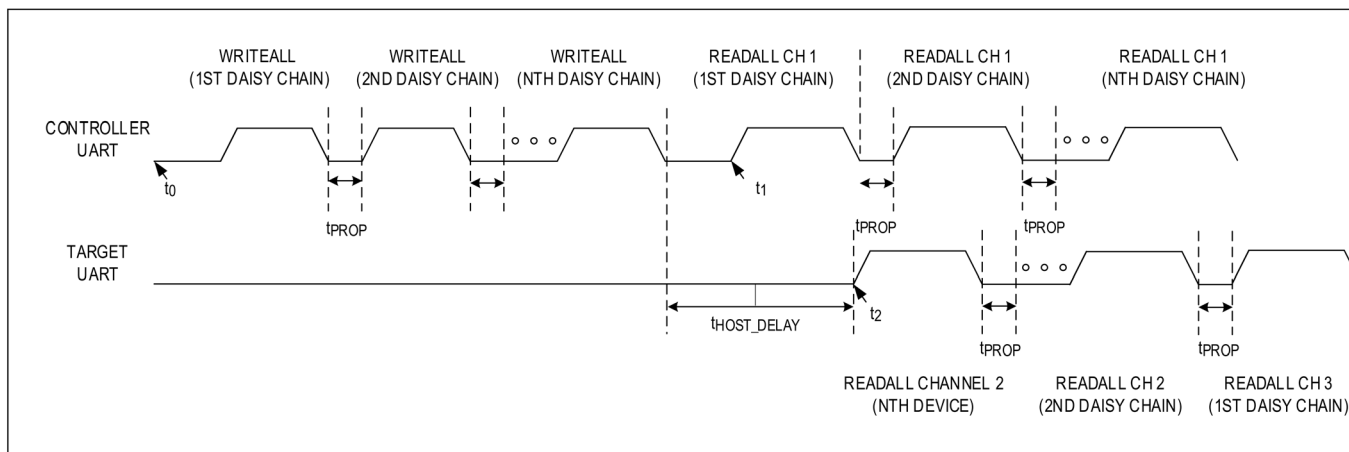


図 50. デュアル UART のコマンド・タイミング

同様に、ホスト・コントローラにとって未知の状態となるのを避けるために、UPHOST コマンドと DOWNHOST コマンドを同時に送信しないようにする必要があります。ホスト・コントローラは、UARTHOST ビットを読み出すことによって、あるいは ALRTDUALUART が通知する無効なコマンドによって異常状態を診断できます。

UART ポート

利用される UART ポートは、下側ポート (RXL/TXL) と上側ポート (RXU/TXU) の 2 つです。それぞれのポートは差動ライン・ドライバと差動ライン・レシーバで構成されます。異なる同相電圧で動作するデジタイゼーション・デバイスの絶縁には、DC をブロックするコンデンサまたはトランスを使用することができます。通信時は、文字符号化によって平衡信号 (50%デューティ・サイクル) が実現されます。平衡信号は絶縁コンデンサの電荷を中性化します。

UART トランスミッタ

UART でデータを転送しない場合は、AC カップリングされたコンデンサ間の電荷差を中性に保つために、あるいは絶縁トランスの飽和を避けるために、差動出力を同相レベルまで駆動する必要があります。デフォルトのアイドル・モード (低インピーダンス) では、トランスミッタが両方の出力をロジック・ロー・レベルに駆動してコンデンサの電荷を平衡させますが、これはトランスのカップリングでもうまく機能します。高インピーダンス・アイドル・モード (TXLIDLEHIZ, TXUIDLEHIZ = 0b1) では、UART が非アクティブの間は Tx ピンが高インピーダンス状態になりますが、これは絶縁コンデンサの充電と放電の影響を最小限に抑える上で望ましい状態と言えます。上側ポートと下側ポートのアイドル・モードは、TXUIDLEHIZ および TXLIDLEHIZ の設定ビットを通じて、独立して制御できます。

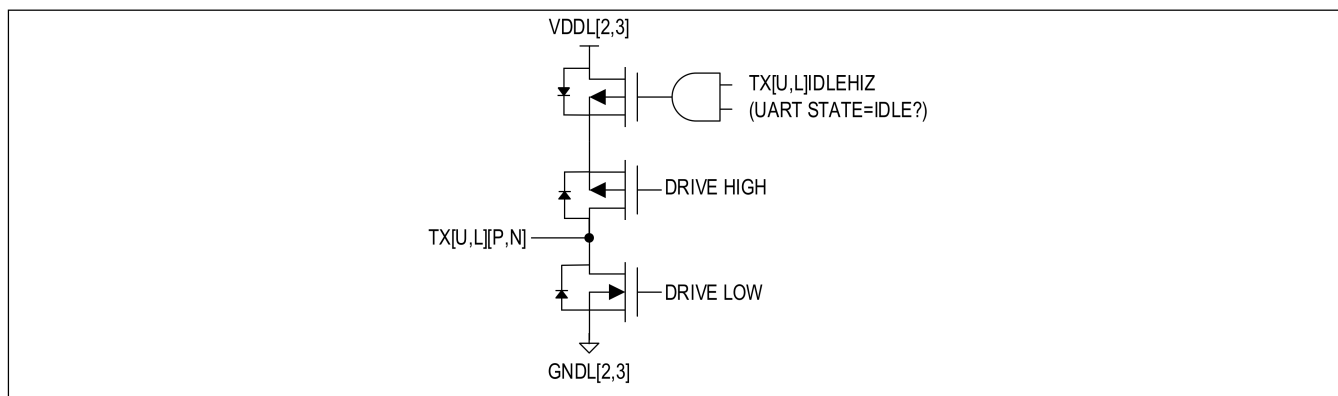


図 51. UART トランスミッタ

UART レシーバ

UART レシーバは、厳しい EMC 条件に耐えられるように広い同相入力範囲を備えており、表 38 に従って差動モードまたはシングルエンド・モードで使用できます。デフォルトでは、UART レシーバは差動モードに設定されています。シングルエンド・モードでは、アプリケーション情報のセクション（図 104）に示すように RXP 入力に接地されており、RXN 入力は反転データを受信します。シングルエンド・モードでは、レシーバの入力閾値が負になっていて、電圧差がゼロ (V_{RXP} , $V_{RXN} = 0V$) の場合はロジック 1、電圧差が負 (V_{RXN} がハイ) の場合はロジック 0 と見なされます。

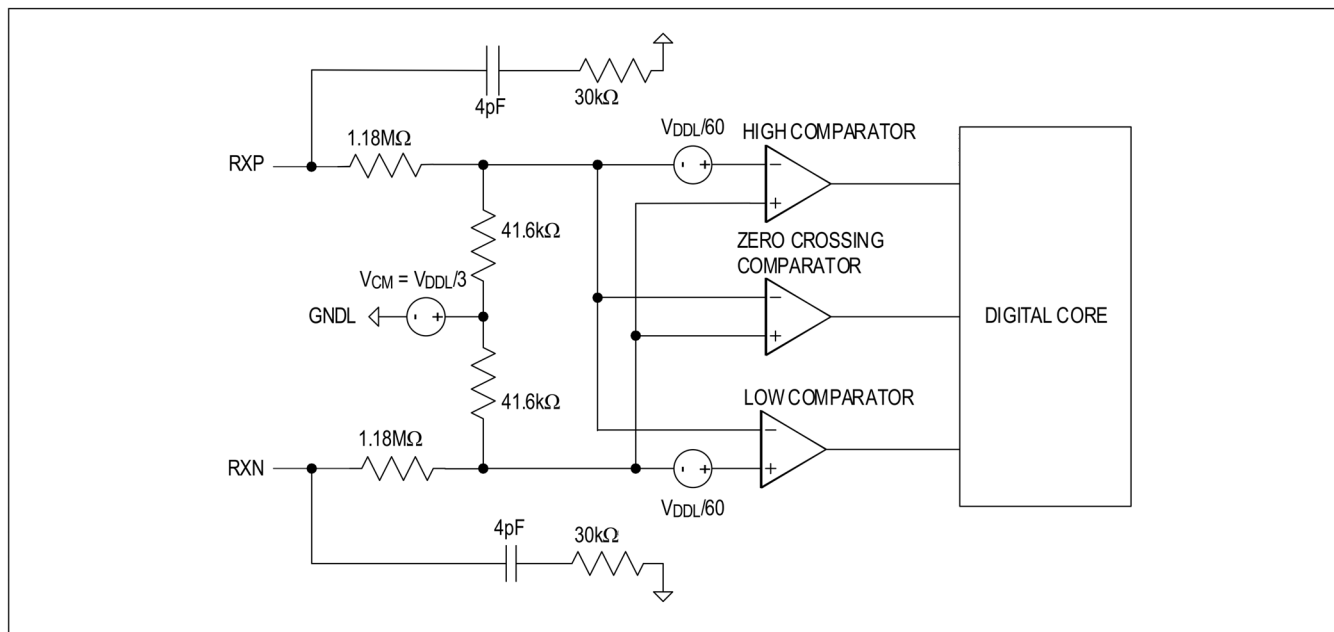


図 52. UART レシーバ

SHDNL チャージ・ポンプ

SHDNL ピンは UART 通信を使って制御します。表 53 に示すように、差動 UART を使用し、下側ポート・レシーバへの信号入力が内部チャージ・ポンプを駆動して、SHDNL 入力に接続した外部 1nF コンデンサを充電します。 V_{SHDNL} は 200μs（代表値）で 1.8V に達します。次いでチャージ・ポンプが $V_{SHDNLIMIT}$ にセルフレギュレーションを行い、UART が長時間アイドル状態であっても V_{SHDNL} を維持することができます。通信が停止すると SHDNL ピン電圧は時定数 10ms で低下します（コンデンサが 1nF と仮定）。

注： SHDNL には能動部品を接続しないでください。

注： 上側と下側の UART Rx ポートは共にチャージ・ポンプによってイネーブルされ、デバイスを初期化するためにアップ・パスまたはダウン・パスでの通信を可能にします。

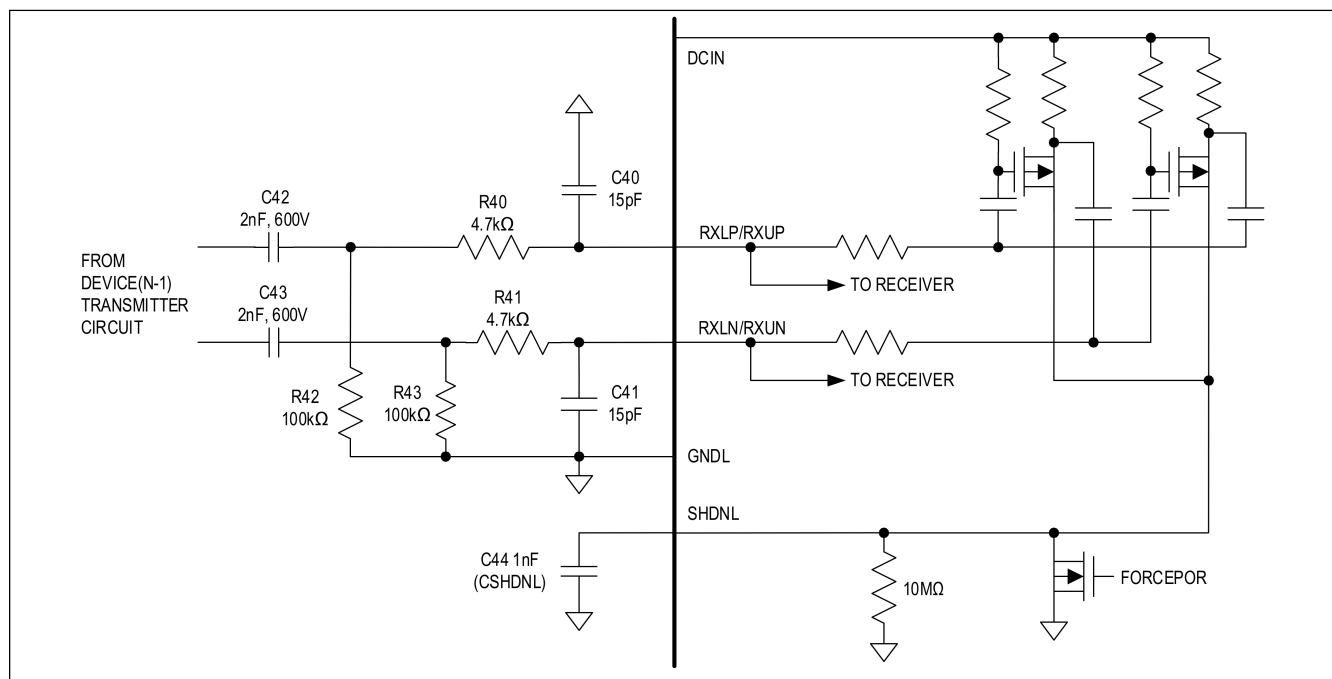


図 53. SHDNL チャージ・ポンプ

ボー・レートの検出

UART は 2Mbps、1Mbps、または 0.5Mbps のボー・レートで動作します。ボー・レートはホストによって制御され、リセット後に最初のプリアンブル・キャラクタが受信されると、デバイスによって自動的に検出されます。ホストがボー・レートを変更する場合は、リセットを発行して新しいボー・レートでプリアンブルを $2 \times n$ 個 (n はデバイスの個数) 以上再送する必要があります。 $2 \times n$ 個のプリアンブルが必要なのは、下型ポートのレシーバがボー・レートを検出するまで上側ポートのトランスミッタはデータを転送せず、同様に上側ポートのレシーバがボー・レートを検出するまで下側ポートのトランスミッタはデータを転送しないからです。これを行う簡単な方法は、ホストがプリアンブルの送信を開始して、ホストの Rx ポートが戻ってきたプリアンブルを受信した時点で停止することです。

$2 \times n$ 個のプリアンブルを送信すると、チェーン内の n 個のデバイスすべてのボー・レート検出を完了できます。ホストの Rx ポートに戻ってくるプリアンブルを受信できるようにするには、 $(2 \times n) + 1$ 個のプリアンブルを送信する必要があります。

注：デュアル UART 設定のボー・レートは、アップ・パスまたはダウン・パスの初期化シーケンス時に決まります。どちらのパスも同じ通信速度で動作します。

バッテリー管理 UART プロトコル

バッテリー管理 UART プロトコルは、以下の機能を使用して通信の完全性を最大限まで高めます。

- 送信されたすべてのデータ・バイトはマンチェスター・エンコーディングされて各データ・ビットが 2 回送信され、2 回目に送るビットは反転されます (G.E. Thomas 方式)。
- 送信されるキャラクタはすべて 12 ビットで構成され、これにはスタート・ビット、パリティ・ビット、および 2 つのストップ・ビットが含まれます。
- 読出し/書込みパッケージには CRC-8 パッケージ・エラー・チェック (PEC) バイトが含まれます。
- 各パッケージは、プリアンブル・キャラクタとストップ・キャラクタでフレーム化されます。
- 読出しパッケージには、送信の完全性を確認するためのデータチェック・バイトが含まれます。

このプロトコルは、UART のアイドル状態が指定された時間続いたときにターゲット・デバイスをシャットダウンできるようにすることによって、消費電力を最小限に抑えるように設計されています (詳細は [SHDNL チャージ・ポンプ](#) のセクションを参照)。

コマンド・パッケージ

コマンド・パッケージは、ホストから送信される UART キャラクタのシーケンスとして定義されます。表 54 に示すように、各パッケージはプリアンブル・キャラクタで開始され、その後にデータ・キャラクタが続き、ストップ・キャラクタで終了します。1 つのパッケージを送信した後、ホストはアイドル・モードになるか別のパッケージを送信します。

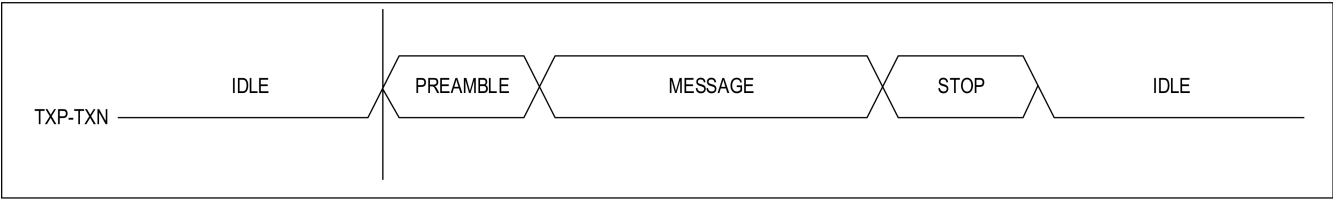


図 54. コマンド・パケット

プリアンブル・キャラクタ

プリアンブルは、コマンド・パケットの開始を知らせるフレーミング・キャラクタです。このキャラクタはエンコードされていない 15h として、ロジック 1 のパリティ・ビットを使いデューティ・サイクル 50% で送信されます。ストップ・ビット以外のいずれかのビットが固有のプリアンブル・シーケンスから外れている場合、そのキャラクタは有効なプリアンブルと見なされず、データ・キャラクタとして扱われます。

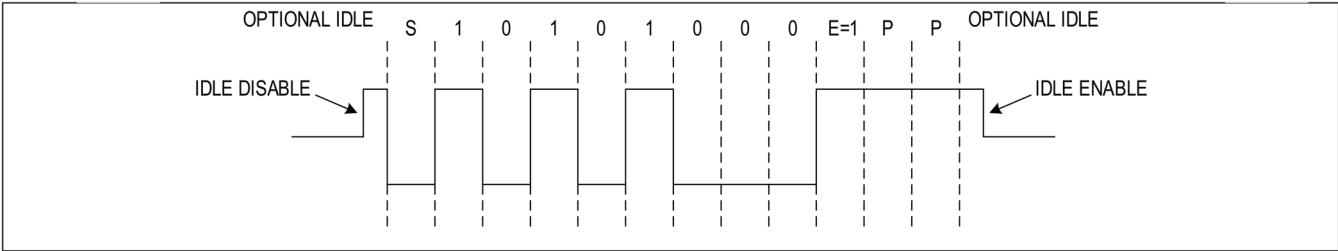


図 55. プリアンブル・キャラクタ

データ・キャラクタ

各データ・キャラクタには 1 ニブル（4 ビット）のペイロードが格納されます。したがって、データ 1 バイトごとに 2 つのキャラクタを送信する必要があります。すべてのデータは、最下位ビット、最下位ニブル、および最下位バイトが最初に送信されます。データ自体はマンチェスター・エンコーディングされています。つまり、各データ・ビットの後にはその補数が続きます。UART が受信データ・キャラクタのマンチェスター・エンコーディング・エラーを検出すると、STATUS2 レジスタに ALRTMANUP または ALRTMANDN ビットがセットされます。すべてのシングル UART 設定は ALRTMANUP ビットをセットします。デュアル UART 設定では、アップ・パスのマンチェスター・エラーは ALRTMANUP をセットし、ダウン・パスのマンチェスター・エラーは ALRTMANDN をセットします。

パリティは偶数で、これは、パリティ・ビットの値によるキャラクタ内のロジック 1 ビットの数に常に偶数になることを意味します。データがマンチェスター・エンコーディングされていてストップ・ビットが 2 個の場合、データ・キャラクタのパリティ・ビットは常にロジック 0 として送信されます。UART が受信データ・キャラクタのパリティ・エラーを検出すると、STATUS レジスタに ALRTPARUP または ALRTPARDN ビットがセットされます。すべてのシングル UART 設定は ALRTPARUP ビットをセットします。デュアル UART 設定では、アップ・パスのパリティ・エラーは ALRTPARUP をセットし、ダウン・パスのパリティ・エラーは ALRTPARDN をセットします。

表 39. データ・キャラクタの説明

ビット	名称	記号	説明
1	Start	S	キャラクタの最初のビット、常にロジック 0
2	Data0		データ・ニブルの最下位ビット（真）
3	Data0/		データ・ニブルの最下位ビット（反転）
4	Data1		データ・ビット 1（真）
5	Data1/		データ・ビット 1（反転）
6	Data2		データ・ビット 2（真）
7	Data2/		データ・ビット 2（反転）
8	Data3		データ・ニブルの最上位ビット（真）
9	Data3/		データ・ニブルの最上位ビット（反転）
10	Parity	E	常にロジック 0（偶数パリティ）
11	Stop	P	常にロジック 1
12	Stop	P	キャラクタの最後のビット、常にロジック 1

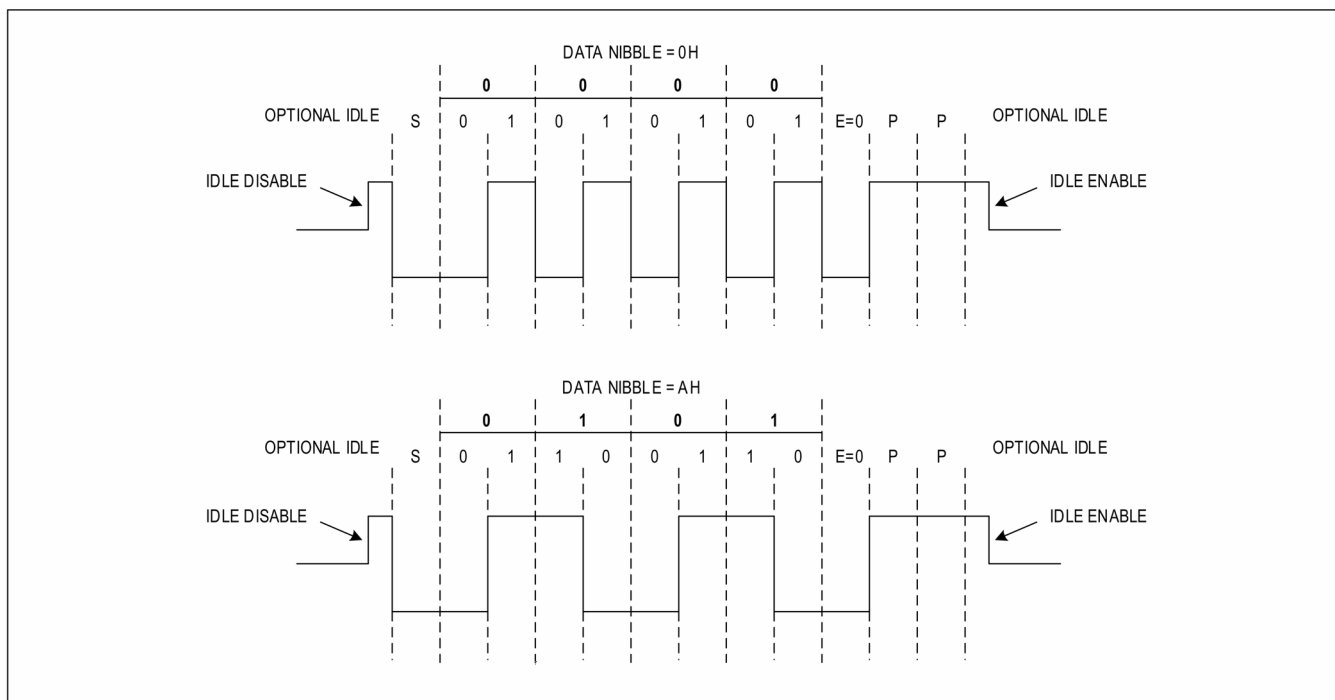


図 56. データ・キャラクタ

ストップ・キャラクタ

ストップ・キャラクタは、コマンド・パケットの終了を知らせるフレーミング・キャラクタです。このキャラクタはエンコードされていない 54h として、ロジック 1 のパリティ・ビットを使いデューティ・サイクル 50% で送信されます。

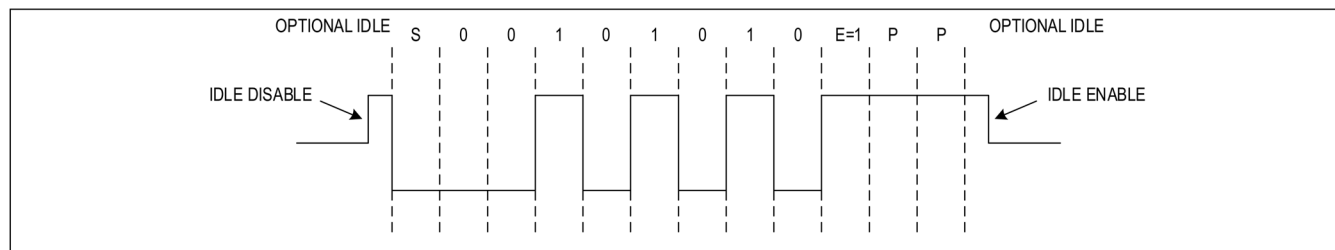


図 57. ストップ・キャラクタ

UART アイドル・モード

低インピーダンス（デフォルト）アイドル・モードでは、図 58 に示すようにランスマッタの出力は両方とも 0V に駆動されます。高インピーダンス・アイドル・モードでは、トランスミッタ出力は UART によって駆動されません。SPI/UART ブリッジ・インターフェイスは、各コマンド・パケットの直後にそのトランスミッタを自動的にアイドル・モードにして、次のコマンド・パケットが送信されるかトランスミッタがキープ・アライブ・モードに遷移するまでアイドル・モードのままになります。また、アイドル・モードの間は、デジタイズチェーン接続されたデバイスがシャットダウンされないように定期的にストップ・キャラクタの送信を続けます。

UART 通信モード

アイドル・モードから通信モードへ遷移するときは、図 58 に示すようにスタート・ビット（ロジック 0）の通知前に TXP ピンをハイ（ロジック 1）にする必要があります。デューティ・サイクル 50% を維持しながらタイミング仕様を満たすために、ロジック 1 の持続時間は最小限に抑えられます。ストップ・ビットから遷移してアイドル・モードへ戻るときは、遅延も最小限に抑えられます（遅延が設定されている場合）。

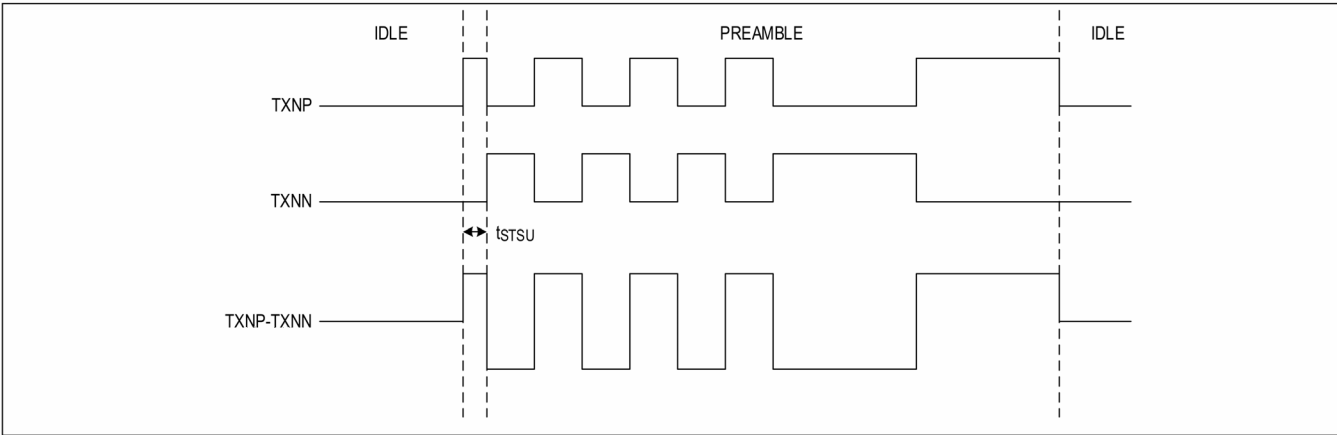


図 58. 通信モード

データ・タイプ

バッテリ管理 UART プロトコルは、表 40 に示すように複数の異なるデータ・タイプを採用しています。

表 40. データ・タイプ

データ・タイプ	説明
コマンド・バイト	コマンド・パケットのタイプを決定するバイトで、一般的には読出しまたは書込み
レジスタ・アドレス	読出しまたは書込みを行うレジスタのアドレスを決定するバイト
レジスタ・データ	読出しまたは書込みの対象となるレジスタのデータ・バイト
データ・チェック・バイト	すべての読出し時に送信／返信されるエラーおよびアラートのステータス・バイト
パケット・エラー・チェック・バイト	HELLOALL を除くすべてのパケットと共に送信／返信されるパケット・エラー・チェック（PEC）バイト
アライブ・カウンタ	ALIVECNTEN = 1 の場合に、すべての読出しと書込みにおいてデバイス・カウンタとして機能するバイト
フィル・バイト	READALL および READBLOCK コマンド・パケットで送信されるバイト（クロッキング専用）

コマンド・バイト

バッテリ管理 UART プロトコルは、表 41 に概要を示すように 8 種類のコマンド・タイプをサポートしています。

表 41. コマンド・パケット・タイプ

COMMAND	DESCRIPTION	DATA CHECK	PEC	ALIVE COUNTER	PACKET SIZE (CHARACTERS)
HELLOALL	Writes a unique device address to each device in the daisy chain. Required for system initialization.	No	No	No	8
WRITEALL	Writes a specified register in all devices.	No	Yes	Yes	14
WRITEDEVICE	Writes a specified register in a single device.	No	Yes	Yes	14
READALL	Reads a specific register from all devices.	Yes	Yes	Yes	12 + (4z)
READDEVICE	Reads a specified register from a single device.	Yes	Yes	Yes	16
READBLOCK	Reads a set of registers from a single device.	Yes	Yes	Yes	14 + (4* BS)
UPHOST	Makes the Up Path the controller in a dual-UART configuration. Sets bit field UARTHOST to 0b1.	No	Yes	No	10
DOWNHOST	Makes the Down Path the controller in a dual-UART configuration. Sets bit field UARTHOST to 0b0.	No	Yes	No	10

注：z = デバイスの総数、ALIVECNTEN = 1、パケット・サイズにはフレーミング・キャラクタが含まれます。

*ブロック・サイズ[4:0] = 1～32、これは読み出すレジスタの数です。

コマンド・バイト・エンコーディング

コマンド・バイト・エンコーディングの説明を表 42 に示します。READDEVICE コマンドと WRITEDEVICE コマンドでは、デバイス・アドレスはコマンド・バイト内にエンコードされます。デバイスは、そのデバイス以外のデバイス・アドレスを含むコマンドを無視します。

表 42. バッテリ管理プロトコルのコマンド・バイト・エンコーディング

COMMAND	BYTE*	7	6	5	4	3	2	1	0
HELLOALL	57h	0	1	0	1	0	1	1	1
ALERTPACKET	21h	0	0	1	0	0	0	0	1
WRITEDEVICE	04h	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]	1	0	0
WRITEALL	02h	0	0	0	0	0	0	1	0
READDEVICE	05h	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]	1	0	1
READALL	03h	0	0	0	0	0	0	1	1
READBLOCK	06h	BS[4]	BS[3]	BS[2]	BS[1]	BS[0]	1	1	0
DOWNHOST	09h	0	0	0	0	1	0	0	1
UPHOST	08h	0	0	0	0	1	0	0	0

* DA[4:0] = 0x00 とします。ここで、DA[4:0]は ADDRESS レジスタ内のデバイス・アドレスです。
BS[4:0] = ブロック・サイズ (1~32)

レジスタ・アドレス

すべてのレジスタ・アドレスは 1 バイトで、レジスタ・マップで定義されます。一般に、受信コマンド内のレジスタまたはデバイスのアドレスがそのデバイスの有効アドレスでない場合、デバイスはその読出しまたは書込みを無視し、パケットをそのまま次のデバイスに渡します。

レジスタ・データ

すべてのレジスタは 16 ビット・ワード (2 データ・バイト) で、レジスタ・マップに定義されています。

データ・チェック・バイト (DCByte)

表 43 に示すように、ホストは返された DCByte を使用してパケット送信中に何らかの通信エラーが発生したかどうかを迅速に判定し、いずれかのデバイスにアラート・フラグがセットされたかどうかをチェックします。個々のアラート状態は ALRTIRQEN の設定を使って DCByte からマスクできますが、その元となるアラート情報は、いつでも STATUS1 レジスタからリードバックできます。DCByte は READALL コマンド、READDEVICE コマンド、および READBLOCK コマンドによって返されます。READDEVICE の場合、DCByte はアドレス指定されたデバイスによってのみ更新されます。

ホストが送信する DCByte はシード値で、通常は 00h に設定されますが診断時はゼロ以外の値を使用できます。各デバイスは受信した DCByte と自らのステータスの論理和を取って、それを次のデバイスへ送ります。いずれかのデバイスによって PEC エラーが検出されると、STATUS2 レジスタの ALRTPECUP ビットまたは ALRTPEC DN ビットのいずれかが該当する方がセットされ、その結果として STATUS1 レジスタの ALRTPEC ロールアップ・ビットがセットされます。また、表 43 に示すように、デバイスは対応パスのコマンド・パケット内の DCByte に PEC エラー・ビットをセットします。

表 43. データ・チェック・バイト

BIT	NAME	DESCRIPTION
7	PEC ERROR	PEC error detected during the current transaction on the Up/Down Path issuing this bit
6	ALRTFMEA	(ALRTFMEA1 & FMEA1ALRTEN) or (ALRTFMEA2 & FMEA2ALRTEN)
5	ALRTSTATUS	ALTRST or (ALRTMSMTCH & MSMTCHALRTEN) or (ALRTBLKOVST & BLKOVSTALRTEN) or (ALRTBLKUVST & BLKUVSTALRTEN) or (ALRTINTRFC & INTRFCALRTEN) or (ALRTCAL & CALALRTEN) or (ALRTCBAL & CBALALRTEN)
4	AUXOV (UT)	(ALRTAUXOVST & AUXOVSTALRTEN)
3	AUXUV (OT)	(ALRTAUXUVST & AUXUVSTALRTEN)
2	CELLOV	(ALRTCELLOVST & CELLOVSTALRTEN)
1	CELLUV	(ALRTCELLUVST & CELLUVSTALRTEN)
0	RESERVED	0

注：STATUS1[15]:ALRTSCAN は手順を通知するためのビットで、DCByte から意図的に除外されています。これは、割込み駆動型アプリケーションをサポートするために ALERT インターフェイスに含めることができます。STATUS1[14]:ALTRST は POR 状態を示すものなので、マスクできません。STATUS1[5]:ALRTPEC は DCByte から意図的に除外されています。

PEC バイト

PEC バイトは、ホストがすべての読出しおよび書込みコマンドと共に送信する、CRC-8 パケット・エラー・チェックです。いずれかのデバイスが無効な PEC バイトを受信すると、STATUS2 レジスタの ALRTPECUP ビットまたは ALRTPEC DN ビットがセットされ、更に STATUS1 レジスタの ALRTPEC ビットもセットされます。すべてのシングル UART 設定は ALRTPECUP ビットをセットします。デュアル UART 設定では、アップ・パスの PEC エラーは ALRTPECUP をセットし、ダウン・パスの PEC エラーは ALRTPEC DN をセットします。

書込みトランザクションにおいては、受信した PEC が予想計算値と一致した場合を除き、デバイスが内部的に書込みコマンドを実行することはありません。読出しコマンドの場合、デバイスは、返されたデータに基づいて自らが計算した PEC バイトを返さなければなりません。ホストは受信した PEC バイトが計算値と一致することを確認して、エラーが見つかった場合はそのデータを破棄する必要があります。PEC 計算の詳細については[アプリケーション情報の](#)セクションを参照してください。

アライブ・カウンタ・バイト

DEVCFG1 レジスタの ALIVECNTEN ビットがセットされた場合、アライブ・カウンタ・バイトはコマンド・パケット (HELLOALL、UPHOST、および DOWNHOST を除く) の最後のデータ・バイトです。通常、ホストはアライブ・カウンタのシード値として 00h を送信しますが、他の任意の値とすることもできます。WRITEALL コマンドまたは READALL コマンドの場合、各デバイスは 1 つインクリメントしたアライブ・カウンタを再送信します。WRITEDevice コマンドまたは READDevice コマンドの場合は、アドレス指定されたデバイスだけがインクリメントを行います。HELLOALL コマンド、UPHOST コマンド、および DOWNHOST コマンドではアライブ・カウンタは使われません。アライブ・カウンタが FFh に達すると、次のデバイスはそれを 00h にインクリメントします。

アライブ・カウンタは PEC バイトの次に来るので、PEC の値が正しくなくてもアライブ・カウンタ・バイトのインクリメントに影響することはありません。また、アクティブ・カウンタ・バイトは PEC 計算に含まれません。ホストは、アライブ・カウンタがオリジナルのシード値にデバイス数を加えた値に等しいことを確認すると共に、アライブ・カウンタが FFh に達すると次のデバイスがそれを 00h にインクリメントするという点を考慮する必要があります。

フィル・バイト

READALL コマンドでは、ホストがデジタイゼーション内の各デバイスに 2 個のフィル・バイトを送信します。フィル・バイトはパケット内の様々な位置を占め、読出しデータを配置するためにデバイスが使用します。SPI/UART ブリッジ・インターフェイスによって送信されるフィル・バイトの値は、C2h から D3h まで変化します。コマンド・パケットはデバイスを通して伝達されるので、デバイスは該当するフィル・バイトをレジスタ・データで上書きします。デバイスは ADDRESS レジスタを使って、パケット内のどのフィル・バイトを上書きするかを決定します。

READBLOCK コマンドの場合、送信されるフィル・バイトの数は、読出しデータのブロック・サイズと同じです。

READDevice コマンドでは応答するデバイスが 1 つなので (2 つのデータ・バイトを返す)、必要なフィル・バイトは 2 つだけです。また、書込みコマンドの場合は受信するデータと再送信されるデータがまったく同じなので、フィル・バイトは不要です。

バッテリー管理 UART プロトコル・コマンド

HELLOALL コマンド

HELLOALL コマンドは、デジタイゼーション接続されたデバイスのアドレスを POR の後に初期化します。このデバイス・アドレスは ADDRESS レジスタの DA[4:0] ビットに保存され、アドレスの最大値は 0x1F です。したがって、最大 32 個のデバイスのアドレスを指定できます。

HELLOALL コマンド・パケットのデバイス・アドレス・ビット (DA[4:0]) のシード値は、ホスト μ C によって設定されます。コマンドはデジタイゼーションの最初のデバイスまで進み、そのデバイスの ADDRESS レジスタの DA ビットに保存されます。次いでこの最初のデバイスの HELLOALL コマンド・パケットの DA[4:0] ビットフィールドが、UARTHOST 設定のセトリングに従ってインクリメントまたはデクリメントされます (デュアル UART 設定での HELLOALL の動作のセクションを参照)。したがって、最初のシード値はデジタイゼーションの最初のデバイスのアドレスに対応しています。コマンドはホストに戻るまで引き続き次のデバイスへ送られ、ホストまで戻った時点で、ホストがその後の READALL コマンド、READ Device コマンド、READ BLOCK コマンド用にデジタイゼーション内のデバイスの総数を決定できるようになります。

表 44. HELLOALL コマンド・パケット

HELLOALL
Preamble
57h
00h
{0b000,DA[4:0]}
Stop

デュアル UART 設定での HELLOALL の動作

デフォルトでは、アップ・パスをプライマリ通信パスとしてデュアル UART 動作が設定されます (デフォルト設定と可能な設定についての詳細は、DEVCFG1 レジスタの UARTCFG ビットと UARTHOST ビットを参照)。ここで、アップ・パスは TXU ポートから RXL ポートへの送信として定義されます。HELLOALL コマンド・パケットの DA[4:0] ビットは、デジタイゼーション内を進んでいくうちにインクリメントされます。したがって、ホスト・マイクロコントローラが HELLOALL を受信したときには、返された DA[4:0] の値はトップ・デバイスに割り当てられたアドレスより 1 つ大きくなります。

ホストが設定するアップ・パスの最初のアドレスのシード値は、0x00 とすることを推奨します。この設定は、デフォルト条件のボトム・アドレス (ADDRESS レジスタの BA ビット) と同じ値でデジタイゼーションの最初のアドレスに適用されます。したがって、ボトム・アドレス BA[4:0]をすべてのデバイスに書き込む必要はありません。ホスト・マイクロコントローラは、デバイス・アドレスが 0x1F を超えてしまうことがないようにボトム・アドレスの値を設定しなければなりません。

注：デバイス・アドレスはアップ・パスでのみ保存されてインクリメントされます。ダウン・パスはそのまま通過し、デバイス・アドレスは変更されません。したがって、ハードウェアがシングル・デジタイゼーションとして構成され、UART がダウン・パスを使ってループ・バックされている場合、UARTHOST 設定は、既に決定されたデバイス・アドレスがダウン・パスで変更されないようにします。

表 45. HELLOALL アップ・パス・シーケンシング

HELLOALL UP PATH SEQUENCING (z = TOTAL NUMBER OF DEVICES)			
HOST Tx	DEVICE (n) RXL	DEVICE (n) TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
57h	57h	57h	57h
00h	00h	00h	00h
{0b000,DA[4:0]}	{0b000,DA[4:0]+n-1}	{0b000,DA[4:0]+n}	{0b000,DA[4:0]+z}
Stop	Stop	Stop	Stop

HELLOALL コマンド・パケットはダウン・パスを通じて適用することもでき、その場合、ダウン・パスは TXL ポートから RXU ポートへの送信として定義されます。デバイスを正しく動作させるには、HELLOALL を送る前に、まずホスト μ C がダウン・パスを通じて DOWNHOST コマンドを送る必要があります。

HELLOALL コマンド・パケットのデバイス・アドレスは、デジタイゼーション内をダウン方向に進んでいくうちにデクリメントされます。したがって、トップ・デジタイゼーション (ダウン・パスの最初のデバイス) のアドレスは、HELLOALL コマンド・パケットの DA[4:0] ビットに設定されたシード値になります。このトップ・デジタイゼーション・デバイスが DA[4:0]のデクリメントを開始して、その値をデジタイゼーションのダウン方向へ伝達していきます。ホスト μ C が HELLOALL を受信するときには、返された DA[4:0]の値はボトム・デバイスに割り当てられたアドレスより 1 つ小さくなります。ホスト μ C は、DA[4:0]が 0x0 未満にデクリメントされてしまうことがないように値にトップ・アドレスを設定しなければなりません。

HELLOALL の処理終了後は、ADDRESS レジスタのトップ・アドレス・ビット (TA ビット) を最初の DA[4:0]シード値に設定する必要があります。

ボトム・アドレスが 0x00 となるように、ホストが設定するダウン・パス最初のアドレスのシード値は、デジタイゼーション内のデバイス数と同じ値にすることを推奨します。この設定により、アップ・パスとダウン・パスのどちらを通じて HELLOALL を送っても、デバイス・アドレスは同じになります。これは、READ DEVICE コマンドおよび READ ALL コマンドのアドレス指定との整合性を保つのに好都合です。

注：デバイス・アドレスは、ダウン・パスでのみ保存されてインクリメントされます。アップ・パスはそのまま通過し、デバイス・アドレスは変更されません (つまり HELLOALL は、UARTHOST = 1'b0 のときにアップ・パスにより送信されます)。

表 46. HELLOALL ダウン・パス・シーケンシング

HELLOALL SEQUENCING (z = TOTAL NUMBER OF DEVICES)			
HOST Tx	DEVICE (n) RXU	DEVICE (n) TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
57h	57h	57h	57h
00h	00h	00h	00h
{0b000,ADDR[4:0]}	{0b000,ADDR[4:0]-(n-1)}	{0b000,ADDR[4:0]-n}	{0b000,ADDR[4:0]-z}
Stop	Stop	Stop	Stop

シングル UART 設定での HELLOALL の動作

シングル UART 設定でも、HELLOALL の処理はデュアル UART アップ・パスの場合と同じです。

ホストが外部ループバックではなく内部ループバックを使用する場合は、特別な考慮が必要です。トップ・デバイス用の内部ループバック (UARTCFG) がまだ書き込まれていないので、最初の HELLOALL コマンドはホストに戻りません。ホストがデバイス数を認識している場合、ホストは WRITEDevice を使って最後のデバイスで内部ループバック・ビットをセットし、その後に READALL を使って確認することができます。デバイス数が分かっている場合は、最初のデバイスで内部ループバック・ビットをセットして確認を行い、その後にクリアする必要があります。更に 2 番目のデバイスでセットと確認を行い、その後も応答がなくなる (スタックの終了) までインクリメントしながら同様の操作を繰り返していきます。デバイス数が分かった時点でトップ・デバイスのループバック・ビットをリセットし、すべての ADDRESS レジスタを確認することができます。

HELLOALL アドレス・ロック

デバイスが有効な HELLOALL コマンドを受信すると、そのデバイスは ADDRESS レジスタの ADDRUNLOCK ビットをクリアします。このビットが 0 のときは、デバイス・アドレスが意図せずに変更されてしまうのを防ぐために、HELLOALL コマンドは無視されます。デバイス・アドレスを設定し直すには、まず ADDRUNLOCK ビットを 1 に設定する必要があります。そうしないと、POR イベントが発生します。デバイス・アドレスの設定後は、READALL コマンドを使ってそれらのアドレスを確認する必要があります。

WRITEALL コマンド

WRITEALL コマンドは、デイジーチェーン接続されたすべてのデバイスの指定レジスタに 16 ビット値を書き込みます。ほとんどの設定情報はすべてのデバイスに共通なので、このコマンドを使用すれば、各デバイスに個別に書き込みを行う方法よりも迅速にセットアップを行うことができます。レジスタ・アドレスがそのデバイスにとって有効なものでない場合、コマンドは無視されます。表 47 にコマンド・シーケンスを示します。

レジスタ値は、有効な PEC バイトの受信直後に書き込まれます。もしくは、NOPEC がセットされている場合は最後のバイトの受信後に書き込まれます。受信した PEC バイトが内部の計算結果と一致しない場合、そのコマンドは実行されませんが、引き続き次のデバイスに転送されます。PEC は、プリアンプルの後から始まるコマンドの最初の 4 バイトから計算されます。いずれかのデバイスが無効な PEC バイトを受信すると、STATUS2 レジスタの ALRTPECUP ビットまたは ALRTPEC DN ビットがセットされ、更に STATUS1 レジスタの ALRTPEC ビットもセットされます。すべてのシングル UART 設定は ALRTPECUP ビットをセットします。デュアル UART 設定では、アップ・パスの PEC エラーは ALRTPECUP をセットし、ダウン・パスの PEC エラーは ALRTPEC DN をセットします。

表 47. WRITEALL シーケンシング（デイジーチェーンでも同じ）

HOST Tx	DEVICE(n) RXL (UP PATH) OR RXU (DOWN PATH)	DEVICE(n) TXU (UP PATH) OR TXL (DOWN PATH)	HOST Rx
Preamble	Preamble	Preamble	Preamble
02h	02h	02h	02h
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DATA LSB]	[DATA LSB]	[DATA LSB]	[DATA LSB]
[DATA MSB]	[DATA MSB]	[DATA MSB]	[DATA MSB]
[PEC]	[PEC]	[PEC]	[PEC]
[ALIVE]*	[ALIVE]*	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop

* アライブ・カウンタ・モードをイネーブルした場合。

WRITEDEVICE コマンド

WRITEDEVICE コマンドは、アドレス指定されたデバイスの指定レジスタだけに 16 ビット値を書き込みます。レジスタ・アドレスがそのデバイスにとって有効なものでない場合、コマンドは無視されます。図 48 にコマンド・シーケンスを示します。

レジスタ値は、有効な PEC バイトの受信直後に書き込まれます。もしくは、NOPEC がセットされている場合は最後のバイトの受信後に書き込まれます。受信した PEC バイトが内部の計算結果と一致しない場合、そのコマンドは実行されませんが、引き続き次のデバイスに転送されます。PEC はプリアンプルの後から始まるコマンドの最初の 4 バイトから計算されます。アドレス指定されたデバイスが無効な PEC バイトを受信すると、STATUS2 レジスタの ALRTPECUP ビットまたは ALRTPEC DN ビットがセットされ、更に STATUS1 レジスタの ALRTPEC ビットもセットされます。すべてのシングル UART 設定は ALRTPECUP ビットをセットします。デュアル UART 設定では、アップ・パスの PEC エラーは ALRTPECUP をセットし、ダウン・パスの PEC エラーは ALRTPEC DN をセットします。PEC エラーはアドレス指定されたデバイスでのみ発生します。

表 48. WRITEDevice シーケンシング（デジチェーンでも同じ）

HOST Tx	DEVICE RXL (UP PATH) OR RXU (DOWN PATH)	DEVICE TXU(UP PATH) OR TXL (DOWN PATH)	HOST Rx
Preamble	Preamble	Preamble	Preamble
{{DA[4:0]},0b100}	{{DA[4:0]},0b100}	{{DA[4:0]},0b100}	{{DA[4:0]},0b100}
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DATA LSB]	[DATA LSB]	[DATA LSB]	[DATA LSB]
[DATA MSB]	[DATA MSB]	[DATA MSB]	[DATA MSB]
[PEC]	[PEC]	[PEC]	[PEC]
[ALIVE]*	[ALIVE]*	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop

* アライブ・カウンタ・モードをイネーブルした場合。

READALL コマンド

READALL コマンドは、デジチェーン内のすべてのデバイスの指定レジスタのレジスタ・データを返します。最初のデバイス（ホストに接続されたデバイス）のデータが最後に返されます。表 49 と表 50 にコマンド・シーケンスを示します。受信した PEC バイトが計算値と一致しない場合、UART は STATUS2 レジスタの ALRTPECUP ビットまたは ALRTPEC DN ビットをセットし、更に STATUS1 レジスタの ALRTPEC ビットもセットします。すべてのシングル UART 設定は ALRTPECUP ビットをセットします。デュアル UART 設定では、アップ・パスの PEC エラーは ALRTPECUP をセットし、ダウン・パスの PEC エラーは ALRTPEC DN をセットします。ただし、コマンドは引き続きデジチェーンの次のデバイスへ送られます。マンチェスター・エラーが発生すると、直ちにデータの伝達が読出しモードから書込み（パルスルー）モードに切り替えられ、マンチェスター・エラーがデジチェーンを介してホストまで戻されるようにします。

表 49. シングル UART またはデュアル UART アップ・パスの READALL コマンド・シーケンシング（z = デバイス数）

HOST Tx	DEVICE(n) RXL	DEVICE(n) TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
03h	03h	03h	03h
[REG ADDR]	[REG ADDR]	[DATA ADDR]	[REG ADDR]
[DC] = 0x00	[DATA LSB(n-1)]	[DATA LSB(n)]	[DATA LSB(z)] = [DATA LSB(TA)]
[PEC]	[DATA MSB(n-1)]	[DATA MSB(n)]	[DATA MSB(z)] = [DATA MSB(TA)]
[ALIVE]*	[DATA LSB(z-1)] = [DATA LSB(TA-1)]
[FD(1) C2h]	[DATA MSB(z-1)] = [DATA MSB(TA-1)]
[FD(1) D3h]	[DATA LSB(1)] = [DATA LSB(BA)]	[DATA LSB(1)] = [DATA LSB(BA)]	...
[FD(2) C2h]	[DATA MSB(1)] = [DATA MSB(BA)]	[DATA MSB(1)] = [DATA MSB(BA)]	...
[FD(2) D3h]	[DC]	[DC]	...
...	[PEC]	[PEC]	...
...	[ALIVE]*	[ALIVE]*	...
...	[FD(1) C2h]	[FD(1) C2h]	...
...	[FD(1) D3h]	[FD(1) D3h]	[DATA LSB(1)] = [DATA LSB(BA)]
...	[DATA MSB(1)] = [DATA MSB(BA)]
...	[DC]
[FD(z) C2h]	[FD(z-n) C2h]	[FD(z-n-1) C2h]	[PEC]
[FD(z) D3h]	[FD(z-n) D3h]	[FD(z-n-1) D3h]	[ALIVE]*
Stop	Stop	Stop	Stop
12+(4 x z) characters	12+(4 x z) characters	12+(4 x z) characters	12+(4 x z) characters

表 50. デュアル UART ダウン・パスの READALL コマンド・シーケンシング (z = デバイス数)

HOST Tx	DEVICE(n) RXU	DEVICE(n) TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
03h	03h	03h	03h
[REG ADDR]	[REG ADDR]	[DATA ADDR]	[REG ADDR]
[DC] = 0x00	[DATA LSB(n-1)]	[DATA LSB(n)]	[DATA LSB(z)] = [DATA LSB(BA)]
[PEC]	[DATA MSB(n-1)]	[DATA MSB(n)]	[DATA MSB(z)] = [DATA MSB(BA)]
[ALIVE]*	[DATA LSB(z-1)] = [DATA LSB(BA +1)]
[FD(1) C2h]	[DATA MSB(z-1)] = [DATA MSB(BA +1)]
[FD(1) D3h]	[DATA LSB(1)] = [DATA LSB(TA)]	[DATA LSB(1)] = [DATA LSB(TA)]	...
[FD(2) C2h]	[DATA MSB(1)] = [DATA MSB(TA)]	[DATA MSB(1)] = [DATA MSB(TA)]	...
[FD(2) D3h]	[DC]	[DC]	...
...	[PEC]	[PEC]	...
...	[ALIVE]*	[ALIVE]*	...
...	[FD(1) C2h]	[FD(1) C2h]	...
...	[FD(1) D3h]	[FD(1) D3h]	[DATA LSB(1)] = [DATA LSB(TA)]
...	[DATA MSB(1)] = [DATA MSB(TA)]
...	[DC]
[FD(z) C2h]	[FD(z-n) C2h]	[FD(z-n-1) C2h]	[PEC]
[FD(z) D3h]	[FD(z-n) D3h]	[FD(z-n-1) D3h]	[ALIVE]*
Stop	Stop	Stop	Stop
12+(4 x z) characters	12+(4 x z) characters	12+(4 x z) characters	12+(4 x z) characters

* アライブ・カウンタ・モードをイネーブルした場合。

ADES1754/ADES1755/ADES1756 のインターフェイスによって送信されるフィル・バイトの値は、表に示すように C2h から D3h まで変化します。パケットはデバイスを通じて伝達されるので、デバイスは表 49 (「DEVICE TXU」列) に示す順番でパケットを再送信します。デバイスの ADDRESS レジスタにはトップ・デバイスとボトム・デバイスのアドレス、およびそのデバイス固有のアドレスが格納されるので、それによりそのデバイスがデータ・ストリームのどの位置にあるのかが分かるので、デバイスはどのバイトを上書きするかを認識しています。

READDEVICE コマンド

READDEVICE コマンドは、アドレス指定されたデバイスの指定レジスタから読み出した 16 ビット・ワードだけを返します。レジスタ・アドレスがそのデバイスにとって有効なものでない場合、コマンドは無視されます。表 51 と表 52 にコマンド・シーケンスを示します。

コマンド・パケットは、アドレス指定されたデバイスに達するまでデジチェーンをアップ方向に転送されます。アドレス指定されたデバイスは受信したフィル・バイトを 2 バイトのレジスタ・データで上書きして、そのパケットを次のデバイスへ転送します。アライブ・カウンタ・バイト (イネーブルされている場合) は、アドレス指定されたデバイスによってのみインクリメントされます。マンチェスター・エラーが発生すると、直ちにデータの伝達が読出しモードから書込み (パススルー) モードに切り替えられ、マンチェスター・エラーがデジチェーンを介してホストまで戻されるようにします。

表 51. シングル UART またはデュアル UART アップ・パスの READDEVICE シーケンシング

HOST Tx	DEVICE RXL	DEVICE TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
{DA[4:0], 0b101}	{DA[4:0], 0b101}	{DA[4:0], 0b101}	{DA[4:0], 0b101}
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA LSB]	[DATA LSB]
[PEC]	[PEC]	[DATA MSB]	[DATA MSB]
[ALIVE]*	[ALIVE]*	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
16 characters	16 characters	16 characters	16 characters

* アライブ・カウンタ・モードをイネーブルした場合。

表 52. デュアル UART ダウン・パスの READDEVICE シーケンシング

HOST Tx	DEVICE RXU	DEVICE TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
{DA[4:0], 0b101}	{DA[4:0], 0b101}	{DA[4:0], 0b101}	{DA[4:0], 0b101}
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA LSB]	[DATA LSB]
[PEC]	[PEC]	[DATA MSB]	[DATA MSB]
[ALIVE]*	[ALIVE]*	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
16 characters	16 characters	16 characters	16 characters

* アライブ・カウンタ・モードをイネーブルした場合。

READBLOCK コマンド

READBLOCK コマンドは、アドレス指定されたデバイスだけの指定レジスタからブロック・サイズ 1 で読み出した 18 バイトを返します。レジスタ・アドレスがそのデバイスにとって有効なものでない場合は 0 が返され、コマンドは無視されます。表 53 と表 54 にブロック・サイズ 1 のコマンド・シーケンスを示します。表 55 と表 56 にブロック・サイズ 2 のコマンド・シーケンスを示します。コマンド・パケットは、アドレス指定されたデバイスに達するまでデジータチェーンをアップ方向に転送されます。アドレス指定されたデバイスは受信したフィル・バイトを 2 バイトのレジスタ・データ（1 つのデバイスのデータ）で上書きして、そのパケットを次のデバイスへ転送します。アライブ・カウンタ・バイト（イネーブルされている場合は、アドレス指定されたデバイスによってのみインクリメントされます。マンチェスター・エラーが発生すると、直ちにデータの伝達が読出しモードから書込み（パススルー）モードに切り替えられ、マンチェスター・エラーがデジータチェーンを介してホストまで戻されるようにします。

表 53. シングル UART またはデュアル UART アップ・パスの READBLOCK シーケンシング、ブロック・サイズ = 1

HOST Tx	DEVICE RXL	DEVICE TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}
[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA LSB]	[DATA LSB]
[PEC]	[PEC]	[DATA MSB]	[DATA MSB]
[ALIVE]*	[ALIVE]*	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
18 characters	18 characters	18 characters	18 characters

* アライブ・カウンタ・モードをイネーブルした場合。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

表 54. デュアル UART ダウン・パスの READBLOCK シーケンシング、ブロック・サイズ = 1

HOST Tx	DEVICE RXU	DEVICE TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}
[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA LSB]	[DATA LSB]
[PEC]	[PEC]	[DATA MSB]	[DATA MSB]
[ALIVE]*	[ALIVE]*	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
18 characters	18 characters	18 characters	18 characters

* アライブ・カウンタ・モードをイネーブルした場合。

表 55. シングル UART またはデュアル UART アップ・パスの READBLOCK シーケンシング、ブロック・サイズ = 2

HOST Tx	DEVICE RXL	DEVICE TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}
[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA0 LSB]	[DATA0 LSB]
[PEC]	[PEC]	[DATA0 MSB]	[DATA0 MSB]
[ALIVE]*	[ALIVE]*	[DATA1 LSB]	[DATA1 LSB]
[FD(1) C2h]	[FD(1) C2h]	[DATA1 MSB]	[DATA1 MSB]
[FD(1) D3h]	[FD(1) D3h]	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
22 characters	22 characters	22 characters	22 characters

* アライブ・カウンタ・モードをイネーブルした場合。

表 56. シングル UART またはデュアル UART ダウン・パスの READBLOCK シーケンシング、ブロック・サイズ = 2

HOST Tx	DEVICE RXU	DEVICE TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}	{BS[4:0], 3b110}
[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]	[DEVICE ADDR]
[REG ADDR]	[REG ADDR]	[REG ADDR]	[REG ADDR]
[DC]	[DC]	[DATA0 LSB]	[DATA0 LSB]
[PEC]	[PEC]	[DATA0 MSB]	[DATA0 MSB]
[ALIVE]*	[ALIVE]*	[DATA1 LSB]	[DATA1 LSB]
[FD(1) C2h]	[FD(1) C2h]	[DATA1 MSB]	[DATA1 MSB]
[FD(1) D3h]	[FD(1) D3h]	[DC]	[DC]
[FD(1) C2h]	[FD(1) C2h]	[PEC]	[PEC]
[FD(1) D3h]	[FD(1) D3h]	[ALIVE]*	[ALIVE]*
Stop	Stop	Stop	Stop
22 characters	22 characters	22 characters	22 characters

* アライブ・カウンタ・モードをイネーブルした場合。

DOWNHOST コマンド

UPHOST コマンドまたは DOWNHOST コマンドの使用を通じた WRITE アクセスが保証できるのは、デュアル UART パスの一方（アップ・パスまたはダウン・パス）だけですが、読出しアクセスは両方のパスで可能です。WRITE アクセス可能なパスは、UARTHOST レジスタ・ビットを使って指定します。デフォルトでは、アップ・パスだけが WRITE アクセス可能です（UARTHOST = 1b1）。

DOWNHOST コマンドは、WRITE アクセスをアップ・パス（UARTHOST = 1b1）からダウン・パス（UARTHOST = 1b1）へ渡す必要があるときに使用します。逆に、WRITE アクセスをダウン・パスからアップ・パスへ渡す必要があるときは UPHOST コマンドを使用します。UPHOST コマンドの詳細は別のセクションに示します。

DOWNHOST コマンドの送信時は、各デバイスが DEVCFG1 レジスタの UARTHOST ビットを変えてコントローラの制御を変更すると共に、コマンドをチェーン内の次のダウンストリーム側デバイスへ送るときに DEVCOUNT 変数をインクリメントします。ホストが受信する DEVCOUNT の最終値は、DEVCOUNT の初期値にチェーン内の合計デバイス数を加えた値に等しくなります。アップ・パスで DOWNHOST コマンドを送る場合、コマンドは変更されることなくデバイスをそのまま通過し、UARTHOST も変更されないまま残ります。STATUS2 レジスタには ALRTDUALUART ビットもセットされますが、これは無効なコマンドが受信されたことを示します。更に、ダウン・パスがコントローラとして指定されたときにダウン・パスで DOWNHOST コマンドが送信された場合、コマンドは変更されないままデバイスを通過して UARTHOST も変更されないまま残り、そのダウン・パスが示されます。

注： DOWNHOST コマンドが機能するのは、デバイスがデュアル UART モードに設定されている場合に限られます。デュアル UART 設定ではないときに DOWNHOST コマンドを送信してもデバイスには何の影響も与えず、コマンドはそのまま通過して、DEVCOUNT も変更されません。

表 57. DOWNHOST シーケンシング (z = デバイスの総数)

HOST Tx	DEVICE (n) RXU	DEVICE (n) TXL	HOST Rx
Preamble	Preamble	Preamble	Preamble
09h	09h	09h	09h
00h	00h	00h	00h
{0b000,DEVCOUNT[4:0]}	{0b000,DEVCOUNT[4:0]+n-1}	{0b000,DEVCOUNT[4:0]+n}	{0b000,DEVCOUNT[4:0]+z}
Stop	Stop	Stop	Stop

UPHOST コマンド

UPHOST コマンドまたは DOWNHOST コマンドの使用を通じた WRITE アクセスが保証できるのは、デュアル UART パスの一方（アップ・パスまたはダウン・パス）だけですが、読出しアクセスは両方のパスで可能です。WRITE アクセス可能なパスは、UARTHOST レジスタ・ビットを使って指定します。デフォルトでは、アップ・パスだけが WRITE アクセス可能です（UARTHOST = 1b1）。

UPHOST コマンドは、WRITE アクセスをダウン・パス（UARTHOST = 1b1）からアップ・パス（UARTHOST = 1b1）へ渡す必要があるときに使用します。逆に、WRITE アクセスをアップ・パスからダウン・パスへ渡す必要があるときは DOWNHOST コマンドを使用します。DOWNHOST コマンドの詳細は別のセクションに示します。UPHOST コマンドの送信時は、各デバイスが DEVCFG1 レジスタの UARTHOST ビットを変えてコントローラの制御を変更すると共に、コマンドをチェーン内の次のアップストリーム側デバイスへ送るときに DEVCOUNT 変数をインクリメントします。ホストが受信する DEVCOUNT の最終値は、DEVCOUNT の初期値にチェーン内の合計デバイス数を加えた値に等しくなります。UPHOST コマンドをダウン・パスで送信すると、コマンドは変更されないままデバイスを通過し、UARTHOST も変更されないまま残ります。STATUS2 レジスタには ALRTDUALUART ビットもセットされて、無効なコマンドが受信されたことを示します。更に、アップ・パスがコントローラとして指定されたときにアップ・パスで UPHOST コマンドが送信された場合、コマンドは変更されないままデバイスを通過して UARTHOST も変更されないまま残り、そのアップ・パスが示されます。

注： DOWNHOST コマンドが機能するのは、デバイスがデュアル UART モードに設定されている場合に限られます。デュアル UART 設定ではないときに DOWNHOST コマンドを送信してもデバイスには何の影響も与えず、コマンドはそのまま通過して、DEVCOUNT も変更されません。

表 58. UPHOST シーケンシング (z = デバイスの総数)

HOST Tx	DEVICE (n) RXL	DEVICE (n) TXU	HOST Rx
Preamble	Preamble	Preamble	Preamble
08h	08h	08h	08h
00h	00h	00h	00h
{0b000,DEVCOUNT[4:0]}	{0b000,DEVCOUNT[4:0]+n-1}	{0b000,DEVCOUNT[4:0]+n}	{0b000,DEVCOUNT[4:0]+z}
Stop	Stop	Stop	Stop

ALERTPACKET コマンド

ADES1754/ADES1755/ADES1756 では、ホスト・マイクロコントローラまたは SPI/UART ブリッジから ALERT パケットを送信できます。このパケットには、アラート・コマンド・バイト、デジタイゼーション・モジュール・アラートのデータ・アドレス位置 (DA[4:0])、アラート・ステータス・バイト、および保護データの PEC バイトが含まれます。表 59 を参照してください。

モジュール・アラート位置は 4 つの送信データ・パケットに分割された 32 ビット値で、各ビットが、HELLOALL コマンドによって定義されるデバイス・アドレス (DA[4:0]) を表します。アラート・ステータスは STATUS1 レジスタの 16 ビット出力で、表 59 に示すように、ALRTIRQEN を通じたマスキングが適用されます。データがデジタイゼーションを通過する際にはモジュール・アラート位置に固有の識別子が格納され、アラート・タイプを伝達するために STATUS 出力の論理和が取られます。これにより、ホストとほとんどやり取りすることなく、モジュールのステータスと異常の有無を迅速に評価することができます。

表 59. ALERTPACKET シーケンシング

ALERT PACKET
Preamble
Command Byte (0x21)
Module Alert Location 1 {(DA[4:7]), (DA[0:3])}
Module Alert Location 2 {(DA[12:15]), (DA[8:11])}
Module Alert Location 3 {(DA[20:23]), (DA[16:19])}
Module Alert Location 4 {(DA[28:31]), (DA[24:27])}
[STATUS LSB]
[STATUS MSB]
[PEC]
Stop

I²C インターフェイス

ADES1754/ADES1755/ADES1756 は、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成される I²C/SMBus 互換の 2 線式コントローラ・シリアル・インターフェイスを備えています。このインターフェイスは I²CEN をハイにするとイネーブルされ (アクティブになり)、その場合は AUX/GPIO[0] がオープン・ドレイン SDA I/O として設定され、AUX/GPIO[1] がオープン・ドレイン SCL 出力として設定されます。この設定では、デバイスを I²C 互換コントローラとして機能させて、100kHz または 400kHz のクロック・レートで 2 線式バスに接続された任意の数の関連 I²C 互換ターゲット・デバイスの読出しと書き込みを行うことができます。

注 : I²C コントローラの機能は限定されています。アービトラージ機能がサポートされていないので、そのデバイスはバス上で唯一のコントローラでなければならない、したがって SCL ラインを制御する唯一のデバイスと見なされます。更に、I²C コントローラはクロックをローに保持してコントローラを待機状態に強制 (クロック・ストレッチング) するターゲット・デバイスをサポートしていません。クロック・ストレッチングはオプションで、実際にほとんどのターゲット・デバイスが SCL ドライバを備えていないので、クロックをストレッチすることはできません。

I²C のタイミング図とデータ・フォーマット

I²C のタイミング図を図 59 に示します。完全なタイミング仕様の詳細については電氣的特性の表を参照してください。

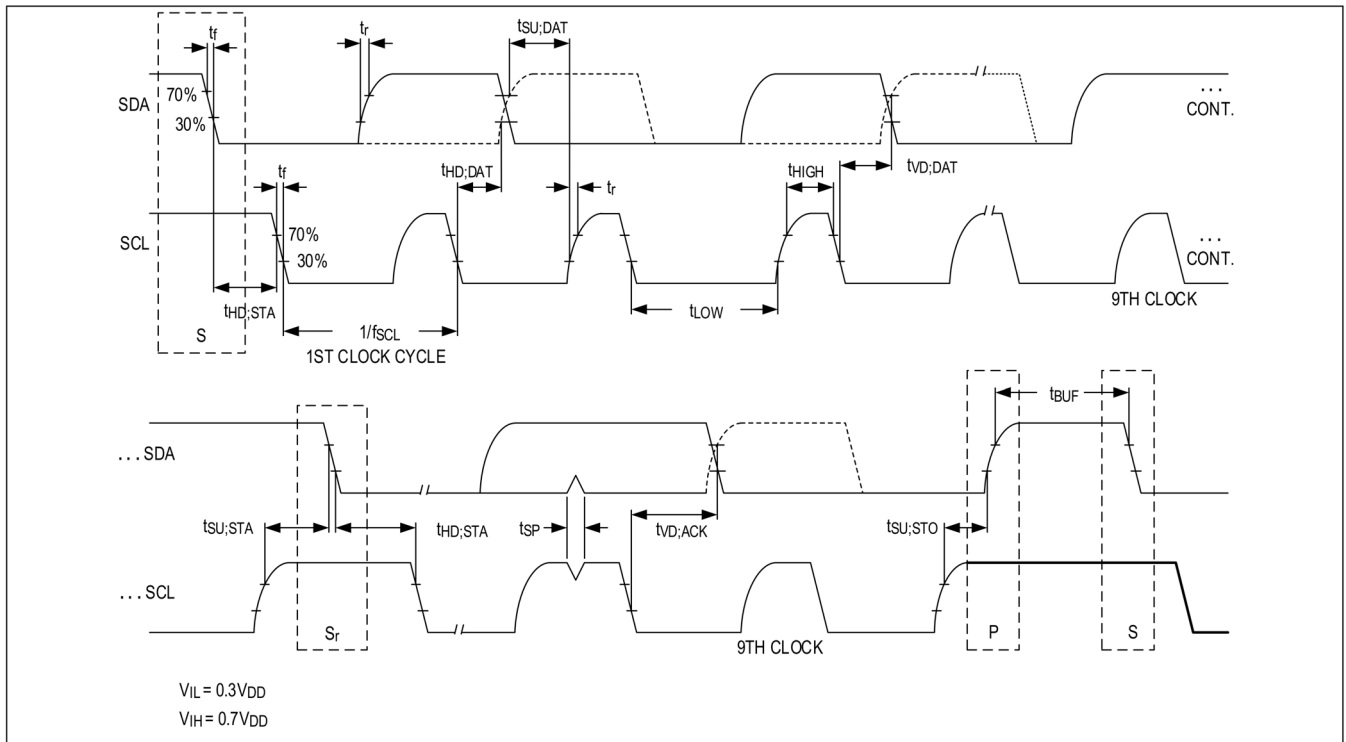


図 59. 標準的な I²C バスのタイミング図

I²C のスタート条件とストップ条件

バスが使用されていない時、SDA と SCL はアイドル・ハイになります。SCL サイクルごとに 1 つのデータ・ビットが転送されます。SCL パルスがハイの間は、SDA 上のデータは安定した状態でなければなりません。SCL がハイの間に SDA を変更すると、制御条件が発行されます。

SCL がハイの状態でも SDA ラインがハイからローへ遷移することが START (S) 条件となり、SCL がハイの状態でも SDA ラインがローからハイへ遷移することが STOP (P) 条件となります。START 条件と STOP 条件は常にコントローラによって生成されます。START 条件後のバスはビジー状態と見なされ、STOP 条件後に一定の時間が経過するとバスは解放されたと見なされます。STOP 条件の代わりに反復 START (Sr) が生成された場合、バスはビジー状態のままとなります。この点に関しては、START (S) 条件と反復 START (Sr) 条件は機能的に同じです。

I²C のアキュレジット条件とノット・アキュレジット条件

アキュレジット (A または ACK) はバイトの送受信ごとに行われます。アキュレジット・ビットを使用すると、バイトが正常に受信されたので別のバイトを送ってもよいということをレシーバからトランスミッタに知らせることができます。コントローラは、9 番目のアキュレジット・クロック・パルスを含むすべてのクロック・パルスを生成します。

ACK 信号は次のように定義されます。すなわち、アキュレジット・クロック・パルス中はトランスミッタが SDA ラインを解放するので、レシーバは SDA ラインをローにすることができ、クロック・パルスがハイの間、SDA ラインはローで安定した状態に保たれます。セットアップ時間とホールド時間も考慮に入れる必要があります。

この 9 番目のクロック・パルスの間 SDA がハイのままになる状態が、ノット・アキュレジット信号 (~A または NACK) として定義されます。ターゲット・デバイスがそのアドレスまたは送信されたデータ・バイトについてアキュレジットを返さなかった場合、コントローラはトランザクションに異常が生じたものと見なします。すべての読み出しモード・トランザクションにおいて、コントローラは、トランザクションの最後のバイトの後に NACK を発行します。

I²C バスの構造

SDA と SCL にはプルアップ抵抗 (代表値 4.7kΩ) が必要です。I²C コントローラの SCL および SDA 出力ドライバはスルー制御機能を備えていますが、プルアップ抵抗とバス容量を適切に選択するか、SCL 出力および SDA 出力と直列に配置したインライン抵抗を追加することにより、あるいはその両方を併用することにより、カスタム・スルー・プロファイルを利用することができます (図 60 を参照)。直列抵抗は、バス・ラインの高電圧スパイクからデジタル入力を保護すると共に、バス信号のクロストークとアンダーシュートを最小限に抑える役割も果たします。

I²C コントローラは、制限値の 5.5V を上限として V_{IO} より高いバス電圧に対応できます。V_{IO}（このデバイスでは V_{IO} = V_{DDL2}）より低いバス電圧は推奨できません。この電圧ではインターフェイス電流が大幅に増える可能性があります。アプリケーションに複数の電源が必要な場合、通常、バスは最も高いインターフェイス電源に終端されます。

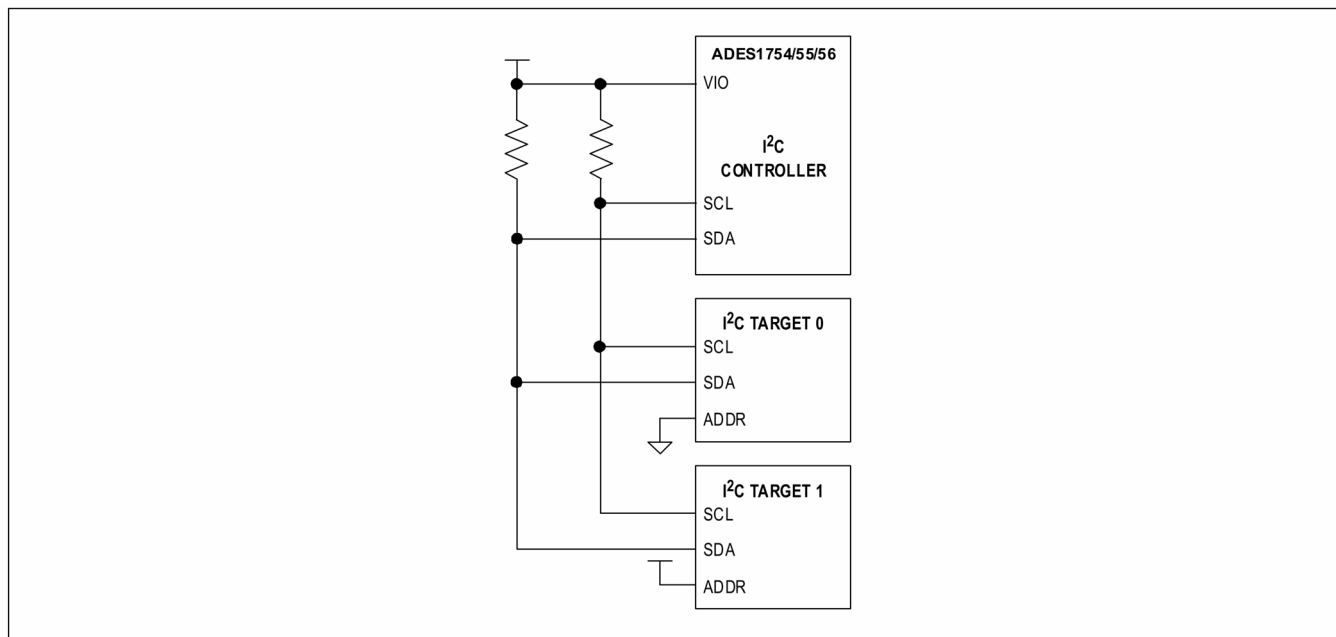


図 60. I²C デバイスの接続

I²C コントローラの設定と入力データ

I²C コントローラは、使用前に以下の説明に従ってレジスタにデータを書き込むことにより設定する必要があります。詳細については [レジスタ・マップ](#) を参照してください。

I2CCFG レジスタ

I2CCFG には、コントローラによって行う I²C の読出しおよび書込みトランザクションの設定とフォーマットを制御するすべての設定が含まれます。このレジスタは、内容確認のためにリード・バックすることもできます。一般に、1 つのタイプのターゲット・デバイスと通信を行うときは、この設定レジスタに一度書込みを行うだけで済みます。

I2CFSSCL は、I²C の SCL 周波数を選択します（0b0 = 100kHz、0b1 = 400kHz）。

I2CWALT は、書込みモードのデータ長オプションを設定します。I2CWALT モードは、ターゲット・アドレスとポインタだけ（データなし）で構成される書込みモード・トランザクションを送る必要がある場合だけ使用します。このタイプのトランザクションは、通常フォーマット読出しモードのトランザクションで使用するポインタをセットアップするために必要になることがあります。I2CWALT モードになると、3 バイト・データ長の書込みオプションが 0 バイト・データ書込みオプションに置き換えられます。読出し長オプションには影響しません。

I2CRFMT は、読出しモード・トランザクションに使用するフォーマットを選択します（0b0 = 通常、0b1 = 複合）。書込みモード・トランザクションには影響しません。

I2C10BIT は、すべてのトランザクションのターゲット・アドレス・フォーマットを選択します（0b0 = 7 ビット、0b1 = 10 ビット）。

I2CPNTRLNGTH は、書込みモード・トランザクションと複合フォーマット読出しモード・トランザクションのコマンド部分として送信するバイトの数を選択します（0b0 = 1 バイト、0b1 = 2 バイト）。1 バイト・ポインタ・モードを使用する場合は（デフォルト、標準）、I2CPNTRSEL を使い両方のポインタ・バイトを I²C コントローラ・トランザクションに使用することができます（設定時間を最小限に短縮）。

I2CALRTEN は、STATUS レジスタの ALRTI2C（0b0 = ディスエーブル、0b1 = イネーブル）を通じて、I²C トランザクションで発生したエラーをレポートできるようにします。I2CSTAT をリード・バックして新しいフォルトがレポートされていないければ、アラートはクリアされます。

I2CANACONTEN は、アナログ・バス競合のモニタリングと、それに対応するアラート・コンポーネントをイネーブルします（0b0 = ディスエーブル、0b1 = イネーブル）。

I2CCONTEN は、デジタル・バス・コンテンションのモニタリングと、それに対応するアラート・コンポーネントをイネーブルします (0b0 = ディスエーブル、0b1 = イネーブル)。

I2CGLITCHEN は、バス・グリッチのモニタリングと、それに対応するアラート・コンポーネントをイネーブルします (0b0 = ディスエーブル、0b1 = イネーブル)。I2CNOISEEN は、バス・ノイズのモニタリングと、それに対応するアラート・コンポーネントをイネーブルします (0b0 = ディスエーブル、0b1 = イネーブル)。

I2CRDTREN は、冗長読出しモードのチェックと、それに対応するアラート・コンポーネントをイネーブルします (0b0 = ディスエーブル、0b1 = イネーブル)。

I2CTOEN は、32kHz の発振器を使用する I²C トランザクションのウォッチドッグ・チェックをイネーブルします (0b0 = ディスエーブル、0b1 = イネーブル)。

I2CPNTR レジスタ

このレジスタには、書込みモード・トランザクションと複合フォーマット読出しモード・トランザクションのコマンド部分として送信されるポインタ (コマンド) ・データの I2CPBYTE1 と I2CPBYTE0 が格納されます。I2CPNTRLNGTH = 0b0 の場合はどちらのバイトでも送信可能なので (I2CPNTRSEL によって選択)、このレジスタに一度書込みを行うだけで、2 つの I²C コマンド・トランザクションに対応することができます。I2CPNTRLNGTH = 0b1 の場合は両方のバイトが送信されます。このレジスタは、内容確認のためにリード・バックすることもできます。

I2CWDATA レジスタ

I2CWDATA1 レジスタおよび I2CWDATA2 レジスタには、書込みモード・トランザクションのデータ部分で、ターゲット・デバイスに送信できる 4 バイトのデータが格納されます。どのバイトをどれだけ送信するかは、I2CDATALNGTH と I2CDATASEL によって決まります。したがって、1 バイトまたは 2 バイト・データのトランザクションの場合は、このレジスタに一度書込みを行うだけで、複数の書込みモード・トランザクションに対応することができます。このレジスタは、内容確認のためにリード・バックすることもできます。

I²C トランザクションの要求と結果

I²C コントローラの設定が正しく行われて必要な入力データが提供されれば、トランザクションを送信することができます。詳細については [レジスタ・マップ](#) を参照してください。

I2CSEND レジスタ

I²C コントローラは、受入れ／承認済みの書込みが I2CSEND コマンド・レジスタに対して行われると、バス上でクロックとデータ・トランザクションを作成して開始します。既に進行中のトランザクションがない限り、このレジスタにこれらの書込みを行うとトランザクションが開始されます (進行中のトランザクションがある場合、新しいトランザクション要求は無視されて I2CRJCT アラート・コンポーネントがセットされます)。トランザクションの進捗とステータスは、I2CSTATUS レジスタを使ってモニタできます。このレジスタは、最後に受け入れられたトランザクションの詳細を確認するためにリード・バックすることもできます。

I2CPNTRSEL は、書込みモード・トランザクションと複合フォーマット読出しモード・トランザクションのコマンド部分として送信するバイトを選択します (I2CPNTRLNGTH = 0b0 の場合のみ)。I2CPNTRLNGTH = 0b1 (2 バイト・ポインタ・モード) の場合このビットは無視され、両方のバイトが送信されます。

I2CDATALNGTH は、書込みモード・トランザクションで送信するデータ・バイトの数、または読出しモード・トランザクションで受信するデータ・バイトの数を選択します。

I2CDATASEL は、書込みモード・トランザクションで送信されるデータ・レジスタの位置、または読出しモード・トランザクション時に入力されるデータ・レジスタの位置を選択します。また、書込みトランザクションで送信されるデータ・バイトの位置と、読出しトランザクションで保存に使用するデータ・バイトのターゲット位置も選択します。この選択は、トランザクションに使用するデータ・スペースの MSB の位置を示します。使用するバイトの数は I2CDATALNGTH によって設定されます。

この選択には以下の制限が適用されます。

I2CDATALNGTH = 0b11 (4 バイト) の場合、この選択は無視されてバイト [3:0] が使われます。

I2CDATALNGTH = 0b10 (3 バイト) の場合、この選択は無視されてバイト [2:0] が使われます。

I2CDATALNGTH = 0b01 (2 バイト) の場合、LSB が無視されて 0x にはバイト [1:0] が、1x にはバイト [3:2] が使われます。

I2CDATALNGTH = 0b00 (1 バイト) の場合、使用可能な 4 個のバイトのいずれかを使用できます。

I2CDATALNGTH = 0b10 で I2CWALT = 0b1 (0 バイト書込み) の場合、この選択は無視されてどのバイトも使われません。

I2CDEVIDEXT と I2CDEVID は、I²C トランザクションで送信されるターゲット・アドレスを設定するために使われます (I2CDEVIDEXT は I2C10BIT = 0b1 の場合のみ使われ、それ以外の場合は無視されます)。

I2CRWB は、I²C トランザクションが書込み (0) と読出し (1) のどちらを送信したかを決定します。

I2CRDATA レジスタ

I2CRDATA1 レジスタおよび I2CRDATA2 レジスタには、読出しモード・トランザクションのデータ部分で、ターゲット・デバイスから受信したデータを格納できる 4 バイト (I2CRBYTE3、I2CRBYTE2、I2CRBYTE1、I2CRBYTE0) のメモリが含まれています。読出しモード・トランザクションへの対応時にどのバイトを使用するかを選択は、I2CDATALNGTH と I2CDATASEL によって決定されます。したがって、1 バイトまたは 2 バイト・データのトランザクションの場合は、複数のトランザクションを使ってこのレジスタにデータを格納し、格納完了時に一度だけこのレジスタを読み出すことによって、複数の読出しモード・トランザクションに対応することができます。このレジスタは読出し専用です。

注： 読出しコマンド実行時は各バイトの受信／アクノレッジごとにデータが更新されます。読出しトランザクション中にターゲット・レジスタをリード・バックすると、正しい結果が得られないことがあります。

I2CSTAT レジスタ

I2CSTAT レジスタは、I²C のアクティブ・トランザクションと完了 I²C トランザクションに関する情報を提供します。

I2CSTATUS は、最後に要求されたトランザクションのステータスと、完了している場合はその分解能をレポートします。トランザクションなし (0b00) は、I2CSTAT の最後の読出し以降に要求されたトランザクションがないことを示します。トランザクション進行中 (0b01) は、最後に要求されたトランザクションが進行中であることを示します。このステータスは、そのトランザクションが終了するまで変わりません。トランザクションが完了すると、トランザクション完了 (0b11、正常終了の場合) またはトランザクション・エラー (0b10、異常終了の場合) のステータスがレポートされます。トランザクション・エラーは、以下のアラート状態が検出され、イネーブルされた場合に発生します (I2CRJCT、I2CDEVNACK、および I2CDATANACK は常にイネーブル)。これらのステータス・ビットは、I2CSTAT がリード・バックされるか新しいトランザクションが開始されるとクリア／更新されます。

残りのビットは、問題が発生した場合のアラート状態に関係するものです。

I2CRJCT は、トランザクションの進行中に I2CSEND への書込みが試みられたために、1 つまたは複数の I²C トランザクションが拒否されたことを示します (進行中のトランザクションへの影響はありません)。

I2CDEVNACK は、I²C トランザクションのデバイス ID バイトが、ターゲットによりアクノレッジされなかったことを示します。これは、ターゲットに不具合が生じているか、バス上にターゲットが存在しないことを示します。複合フォーマット読出しトランザクションの場合、エラーを避けるには両方のターゲット・アドレス・アクノレッジ・パルスが必要です。進行中の I²C トランザクションは完了するまで継続されます。つまり、コントローラが直ちに STOP ビットを発行することはありません。

I2CDATANACK は、1 つまたは複数の I²C トランザクションのデータ・バイト書込みが、ターゲットによりアクノレッジされなかったことを示します。これは、ターゲットに不具合が生じている、バス上にターゲットが存在しない、ビジー状態にある、もしくはサポートされていないトランザクションが拒否されたことを示します。進行中の I²C トランザクションは完了するまで継続されます。つまり、コントローラが直ちに STOP ビットを発行することはありません。

I2CANACONT と I2CCONT は、バス競合状態が確認されたことを示します。ポートの結果と I²C コントローラによって得られた値が一致しないと、競合がレポートされます。このモニタは、I²C コントローラが駆動する SCL ポートと SDA ポートを監視します。詳細については [I²C バス競合のモニタ](#) のセクションを参照してください。

I2CGLITCH は、バスのグリッチ状態が確認されたことを示します。評価済みの値と一致しないサンプルが 2 つ以上連続した (125ns) ことをポート・モニタがレポートすると、グリッチがレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます (I²C 仕様には含まれません)。このモニタは、指定された遷移時間を外れた SCL ポートと SDA ポートの有無を監視します。詳細については [I²C グリッチ・モニタ](#) のセクションを参照してください。

I2CNOISE は、バスのノイズが多い状態を示します。評価済みの値と一致しないサンプルが大量に生じたことをポート・モニタがレポートすると、ノイズ状態がレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます (I²C 仕様には含まれません)。このモニタは、指定された遷移時間を外れた SCL ポートと SDA ポートの有無を監視します。詳細については [I²C グリッチ・モニタ](#) のセクションを参照してください。

I2CRDTRERR は、I²C 冗長読出しトランザクション・チェックに不合格となったことを示します (I2CRDTRERR = 0b1 の場合にイネーブル)。I2CTIMEOUT は、I²C トランザクションが予想された時間内に完了しなかったことを示します (I2CTOEN = 0b1 の場合にイネーブル)。このレジスタは読出し専用です。

I²C トランザクションがアクティブなときの I²C コントローラ・レジスタへのアクセス

I²C トランザクションがアクティブなときは I²C コントローラ・レジスタの内容が使われているので、I²C トランザクション進行中のレジスタへのユーザ・インターフェイス・アクセスは厳密に管理されます。データを破損させたり同期上の問題が生じたりするおそれのあるような書込みや読出しをこれらのレジスタに対して行おうとしても、それらの要求は拒否されて I2CSTAT:I2CRJCT と STATUS2:ALRTI2C が発行され、要求が無視されたことがユーザに通知されます。表 60 は、レジスタへのアクセシビリティの概要をアクティブ I²C トランザクションとユーザ・トランザクション・タイプごとに示したものです。すべての I²C コントローラ・レジスタの詳細については、[レジスタ・マップ](#) を参照してください。

表 60. I²C トランザクションがアクティブなときの I²C レジスタ・アクセスの概要

I ² C REGISTER	TYPE	DURING ACTIVE I ² C WRITE TRANSACTIONS		DURING ACTIVE I ² C READ TRANSACTIONS		COMMENT
		USER READ	USER WRITE	USER READ	USER WRITE	
I2CPNTR	R/W	Allowed	Rejected	Allowed	Rejected	Pointer data is protected during all I ² C transactions
I2CWDATA1&2	R/W	Allowed	Rejected	Allowed	Rejected	Write data is protected during all I ² C transactions
I2CRDATA1&2	R	Allowed	N/A	Rejected	N/A	Read data is updated during I ² C Read transactions
I2CCFG	R/W	Allowed	Rejected	Allowed	Rejected	Configuration data is protected during all I ² C transactions
I2CSTAT	R/W	Allowed	Rejected	Allowed	Rejected	Status data is protected during all I ² C transactions
I2CSEND	R/W	Allowed	Rejected	Allowed	Rejected	Only a single I ² C transaction at a time is supported

I²C 書込みトランザクション

I²C コントローラは、I2CRWB = 0b0 の状態で I2CSEND コマンド・レジスタに対して行われる受入れ／承認済みの書込みに応答して、バス上でクロック動作とデータ転送を開始します。コントローラはトランザクション全体を通じて SCL を制御します。また、アクノレージ・ビット用に予約されたサイクルを除くすべてのバイト転送時に SDA ラインを制御します。コントローラは、選択されたターゲット・アドレス・バイト、それに続くコマンド・バイト、および要求された数のデータ・バイト（書込みモードで 0～4 個のデータ・バイト・フィールドをサポート）を送信することによって、対応するターゲット・デバイスにデータを書き込みます。書込みデータは、I2CWBYTE3、I2CWBYTE2、I2CWBYTE1、および I2CWBYTE0 からのものです。

書込みモードの各トランザクションは、コントローラが生成する START (S) 条件と STOP (P) 条件によってフレーム化されます。各バイトの送信後、アドレス指定されたターゲットは、SDA ラインをローにすることによってバイトの受信をアクノレージ (A) する必要があります。ターゲット・デバイスがそのアドレスまたは送信されたデータ・バイトについてアクノレージを返さなかった場合、コントローラはトランザクションに異常が生じたものと見なしてレポートしますが、トランザクションは完了するまで引き続き実行されます。異常が生じた場合は (I2CSTATUS = 0b10)、同じ内容の I2CSEND コマンドをもう 1 回発行することによって、トランザクションの再試行をコントローラに指示することができます。

以下の図は I²C 書込みモード・トランザクションの例で、図 61 は 7 ビット・アドレス指定、図 62 は 10 ビット・アドレス指定を使用しているほかは、共に 1 バイト・ポインタと 2 バイト・データ長を使用しています (I2C10BIT = 0b0/1、I2CPNTRLNGTH = 0b0、I2CDATALNGTH = 0b01)。構成設定を変更することによって、1 バイトまたは 2 バイトのコマンド／ポインタ幅と、0 バイト（コマンド／ポインタのみ）から 4 バイトまでの書込みデータ幅が実現できます。一般的に、0 バイト書込みは、その後に続く通常フォーマットの読出しトランザクション用のポインタ位置を設定するためにだけ使用するものとされています。10 ビット・アドレス指定を使用する場合、バイト 1 に対しては複数のターゲット・デバイスがアクノレージを返す可能性があります。バイト 2 に対してはアドレス指定されたデバイスだけがアクノレージを返します。

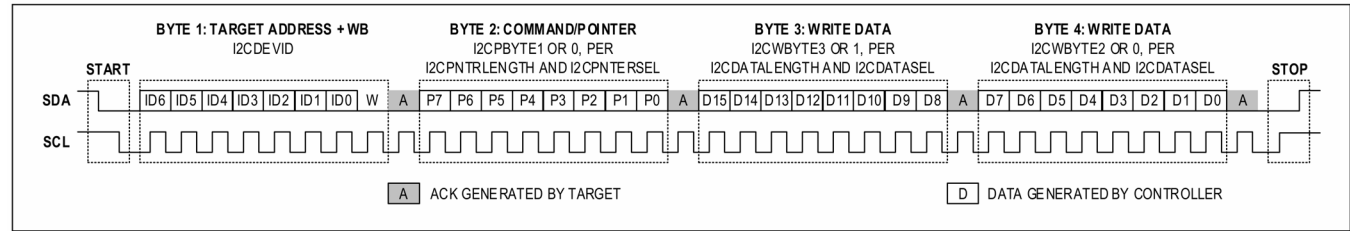


図 61. I²C 書込みモード・トランザクションの例 – 7 ビット・アドレス、I2C10BIT = 0

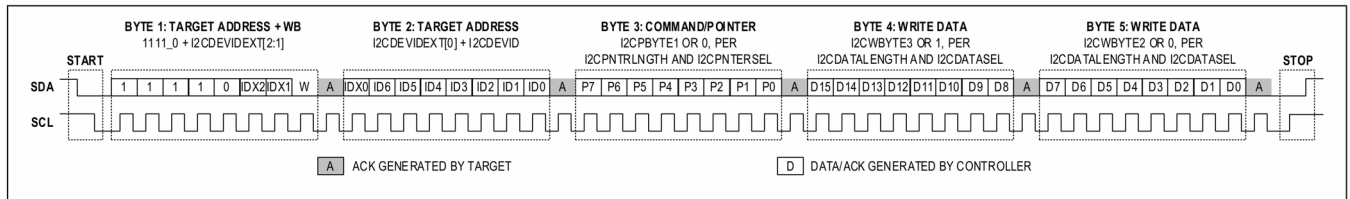


図 62. I²C 書込みモード・トランザクションの例 – 10 ビット・アドレス、I2C10BIT = 1

I²C 複合フォーマット読出しトランザクション

複合フォーマット読出しトランザクションでは、設定とコマンドに関して I²C コントローラを最も効率的に使用できるので、一般的に、ほとんどのターゲット・デバイスは複合フォーマット読出しトランザクションに対応可能とされています。複合フォーマット読出しトランザクションは、I2CRFMT = 0b1 (デフォルト) のときにイネーブルされます。

I²C コントローラは、I2CRWB = 0b1 の状態で I2CSEND コマンド・レジスタに対して行われる受入れ/承認済みの書き込みに応答して、バス上でクロック動作とデータ転送を開始します。コントローラはトランザクション全体を通じて SCL を制御します。

トランザクションは START (S) 条件で開始されます。コントローラは、ターゲット・アクノレッジ・ビット用に予約されたクロック・サイクルを除き、コマンドの書き込み部分のすべてのバイト (REPEATED START (Sr) に先行するバイト) 転送時に SDA ラインを制御します。コマンドのこの部分では、コントローラは選択されたポインタ・バイトをターゲットに書き込みます。これは通常、コマンドの読出し部分でどのレジスタ内容をリード・バックするかを示します。

コマンドの読出し部分の最初のバイト (Sr の直後のバイト) の間、コントローラは SDA ラインの制御を続けます。コントローラは、最初のアドレス・バイトのターゲット・アクノレッジ・ビット後に受信モードに移行し、すべての受信バイト転送について SDA の制御を放棄してターゲットに渡します。コントローラは、各バイト転送に続く ACK サイクルの間 SDA をローにすることによって、ターゲットから受信した各バイトにアクノレッジを返します。トランザクションが STOP (P) で終了する前にコントローラがターゲットからのデータの最終バイト (I2CDATALNGTH により決定される) を読み出すと、ノット・アクノレッジ (NACK) が送信されます。

下の図は I²C 複合フォーマット読出しモード・トランザクションの例で、図 63 は 7 ビット・アドレス指定、図 64 は 10 ビット・アドレス指定を使用しているほかは、共に 1 バイト・ポインタと 2 バイト・データ長を使用しています (I2C10BIT = 0b0/1、I2CPNTRLNGTH = 0b0、I2CDATALNGTH = 0b01)。構成設定を変更することによって、1 バイトまたは 2 バイトのコマンド/ポインタ幅と、1 バイトから 4 バイトまでの受信データ幅を使用することができます。10 ビット・アドレス指定を使用する場合、バイト 1 に対しては複数のターゲット・デバイスがアクノレッジを返す可能性があります、バイト 2、3、4 に対してはアドレス指定されたデバイスだけがアクノレッジを返します。

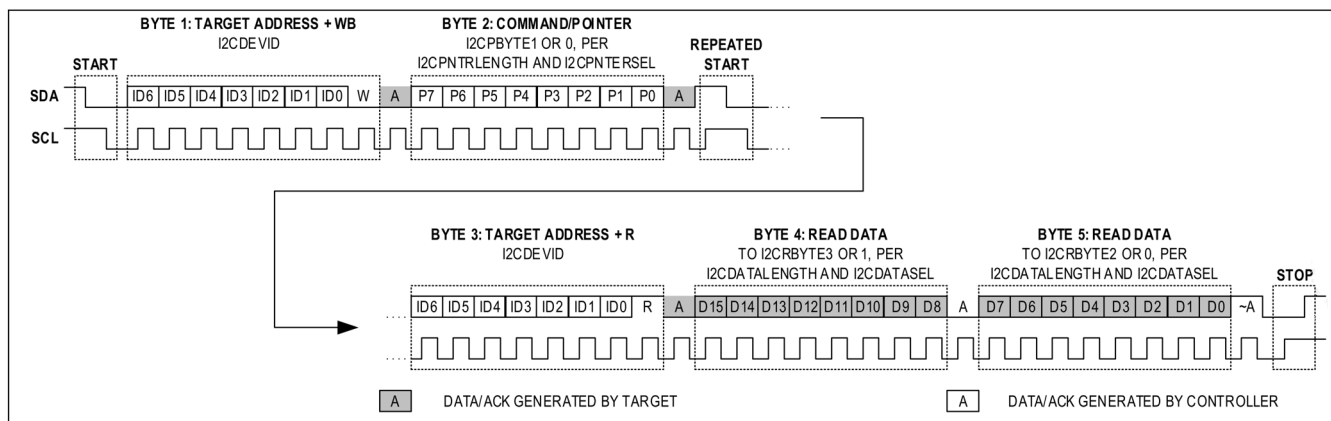


図 63. I²C 複合フォーマット読出しモード・トランザクションの例 - 7 ビット・アドレス、I2C10BIT = 0、I2CRFMT = 1

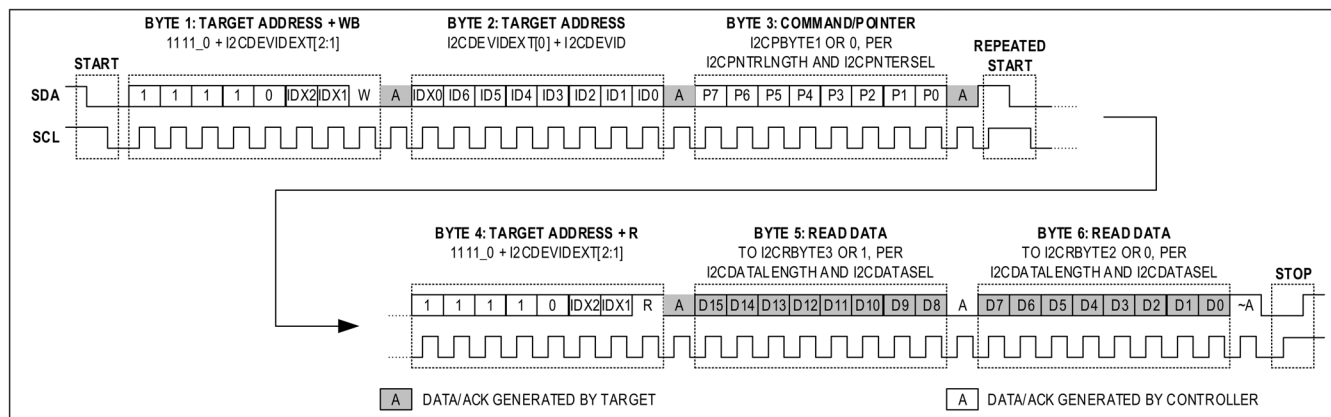


図 64. I²C 複合フォーマット読出しモード・トランザクションの例 - 10 ビット・アドレス、I2C10BIT = 1、I2CRFMT = 1

I²C 通常フォーマット読出しトランザクション

複合フォーマット読出しトランザクションでは、設定とコマンドに関して I²C コントローラを最も効率的に使用できるので、一般的に、ほとんどのターゲット・デバイスは複合フォーマット読出しトランザクションに対応可能とされています。しかし、柔軟性を確保するために、I²C コントローラは通常フォーマット読出しモード・トランザクションもサポートしています。ただし、通常フォーマット読出しモード・トランザクションでは、ターゲット・デバイス内にポインタを設定して、トランザクション中にどのデータをリード・バックするかを選択する手段がありません。複合フォーマット読出しトランザクションは、I2CRFMT = 0b0 のときにイネーブルされます。

このタイプのトランザクションでは、通常、データなしの書き込みモード・トランザクション（ターゲット・アドレスとポインタだけを送信）が先行します。I²C コントローラは、ターゲット・デバイス内にポインタ位置を書き込むために、I2CWALT = 0b1 と I2CDATALLENGTH = 0b10 でこのタイプのトランザクションに対応することができます。

このタイプのトランザクションは、直前にターゲット・デバイスに書き込まれたレジスタをリード・バックするために使用できます。この場合は、ターゲット内のポインタが、書き込みモード・トランザクションに使われた位置を維持していることが前提となります。したがって、その直後に通常フォーマット読出しモード・トランザクションが続いている場合は、書き込まれたばかりのデータが確認のためにリード・バックされます。

最後に、ターゲット・デバイスが 1 つのレジスタ位置または FIFO だけを持っている場合、ポインタは必要ありません。これらのトランザクションをアプリケーションで使用するときは、予めデバイス動作を正確に確認してください。

7 ビット・アドレス・トランザクション

I²C コントローラは、I2CRWB = 0b1 の状態で I2CSEND コマンド・レジスタに対して行われる受入れ／承認済みの書き込みに応答して、バス上でクロック動作とデータ転送を開始します。コントローラはトランザクション全体を通じて SCL を制御します。

トランザクションは START (S) 条件で開始されます。コントローラは、ターゲット・アクノレッジ・ビット用に予約されたクロック・サイクルを除いて、トランザクションのアドレス部分に対応する最初のバイト転送時に SDA ラインを制御します。

コントローラは、最初のバイトのターゲット・アクノレッジ・ビット後に受信モードに移行し、すべての受信バイト転送について SDA の制御を放棄してターゲットに渡します。コントローラは、各バイト転送に続く ACK サイクルの間 SDA をローにすることによって、ターゲットから受信した各バイトにアクノレッジを返します。トランザクションが STOP (P) で終了する前にコントローラがターゲットからのデータの最終バイト (I2CDATALNGTH により決定される) を読み出すと、ノット・アクノレッジ (NACK) が送信されます。

図 65 は I²C 通常フォーマット読出しモード・トランザクションの例で、7 ビット・アドレス、1 バイト・ポインタ、2 バイト・データ長を使用しています (I2C10BIT = 0b0、I2CPNTRLNGTH = 0b0、I2CDATALNGTH = 0b01)。構成設定を変更することによって、1 バイトから 4 バイトまでの受信データ幅を使用することができます。

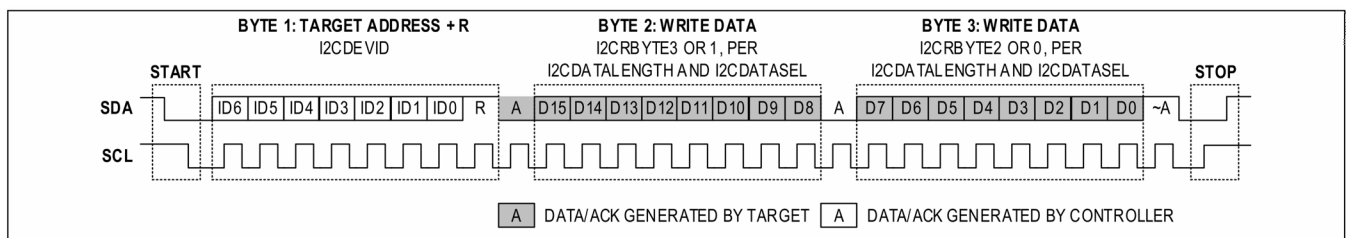


図 65. I²C 通常フォーマット読出しモード・トランザクションの例 - 7 ビット・アドレス、I2C10BIT = 0、I2CRFMT = 0

10 ビット・アドレス・トランザクション

I2CRFMT = 0b0 で 10 ビット・アドレス指定を使用する場合、通常フォーマット読出しモード・トランザクションの構造は複合フォーマット・トランザクションの構造に非常によく似ていますが、コマンドの書き込み部分でポインタが送信されないという点が異なります。I²C コントローラは、I2CRWB = 0b1 の状態で I2CSEND コマンド・レジスタに対して行われる受入れ／承認済みの書き込みに応答して、バス上でクロック動作とデータ転送を開始します。コントローラはトランザクション全体を通じて SCL を制御します。

トランザクションは START (S) 条件で開始されます。コントローラは、ターゲット・アクノレッジ・ビット用に予約されたクロック・サイクルを除き、コマンドの書き込み部分のすべてのバイト (REPEATED START (Sr) に先行するバイト) 転送時に SDA ラインを制御します。

コマンドの読出し部分の最初のバイト (Sr の直後のバイト) の間、コントローラは SDA ラインの制御を続けます。コントローラは、最初のアドレス・バイトのターゲット・アクノレッジ・ビット後に受信モードに移行し、すべての受信バイト転送について SDA の制御を放棄してターゲットに渡します。コントローラは、各バイト転送に続く ACK サイクルの間 SDA をローにすることによって、ターゲットから受信した各バイトにアクノレッジを返します。トランザクションが STOP (P) で終了する前にコントローラがターゲットからのデータの最終バイト (I2CDATALNGTH により決定される) を読み出すと、NACK が送信されます。

図 66 は I²C 複合フォーマット読出しモード・トランザクションの例で、10 ビット・アドレス指定、1 バイト・ポインタ、2 バイト・データ長を使用しています（I2C10BIT = 0b1、I2CPNTRLNGTH = 0b0、I2CDATALNGTH = 0b01）。構成設定を変更することによって、1 バイトから 4 バイトまでの受信データ幅を使用することができます。10 ビット・アドレス指定を使用する場合、バイト 1 に対しては複数のターゲット・デバイスがアクノレッジを返す可能性がありますが、バイト 2 と 3 に対してはアドレス指定されたターゲット・デバイスだけがアクノレッジを返します。

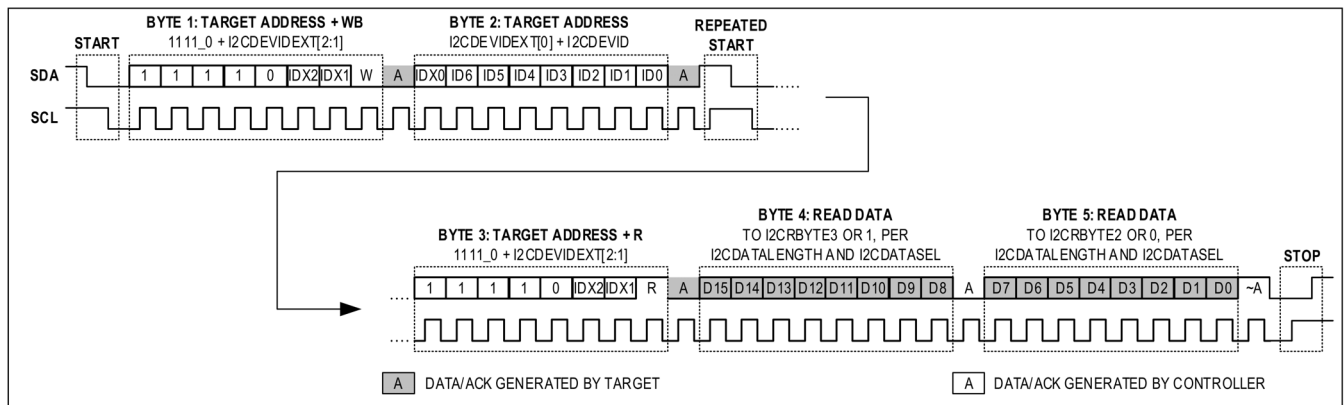


図 66. I²C 通常フォーマット読出しモード・トランザクションの例 – 10 ビット・アドレス、I2C10BIT = 1、I2CRFMT = 0

I²C コントローラの安全機能

I²C コントローラは、インターフェイス・トランザクションとバス動作の品質に関するフィードバックを提供するために、様々な安全機能をサポートしています。

I²C バス競合のモニタ

評価されたポートの結果と I²C コントローラによって得られた値が一致しないと、I2CCONT がレポートされます。このモニタは、I²C コントローラが駆動する SCL ポートと SDA ポートを監視します。競合モニタは常時イネーブルされています。I2CCONTEN = 0b1 の場合は、I2CCONT がセットされると STATUS2 レジスタのビット ALRTI2C がセットされます。I2CCONTEN = 0b0 の場合、STATUS2 レジスタのビット ALRTI2C は I2CCONT の値に依存しません。

I²C バスのアナログ競合モニタ

評価されたポートの結果とアナログ・フィルタ付きポートの値が一致しないと、I2CANACONT がレポートされます。このモニタは、I²C コントローラが駆動する SCL ポートと SDA ポートを監視します。競合モニタは常時イネーブルされています。I2CANACONTEN = 0b1 の場合は、I2CANACONT がセットされると STATUS2 レジスタのビット ALRTI2C がセットされます。I2CANACONTEN = 0b0 の場合、STATUS2 レジスタのビット ALRTI2C は I2CANACONT の値に依存しません。

I2CANACONT と I2CCONT の関係

I2CCONT は SDA/SCL ポートの未加工値をモニタし、I2CANACONT は SDA/SCL ポートの内部アナログ・フィルタ処理値をモニタします。I2CANACONT と I2CCONT の違いを図 67 のタイミング図に示します。

最初の図は、GPIO[0]のウィーク・プルアップ抵抗のフォルトを示しています。評価時には（緑の破線）、未加工値（観測される応答）が V_{HH} よりわずかに高くなります。しかし、アナログ・フィルタで処理した値は、まだ V_{HH} より小さいままです。したがって、I2CANACONT だけが設定されます。

2 番目の図は、I²C コントローラが依然として GPIO[0]をハイに駆動しているにもかかわらず、I²C ターゲットが早すぎるタイミングで GPIO[0]をローにしてしまった場合のフォルトを示しています。コントローラが GPIO[0]をローにする前にターゲットが GPIO[0]をローにしてアナログ・フィルタ時定数を 1 未満にしているので、アナログ・フィルタ値は依然としてハイのままですが未加工値がローになっています。したがって、I2CCONT だけが設定されます。

3 番目の図は、GPIO[0]がローにスタックしてしまった場合のフォルトを示しています。I2CANACONT と I2CCONT の両方がセットされます。

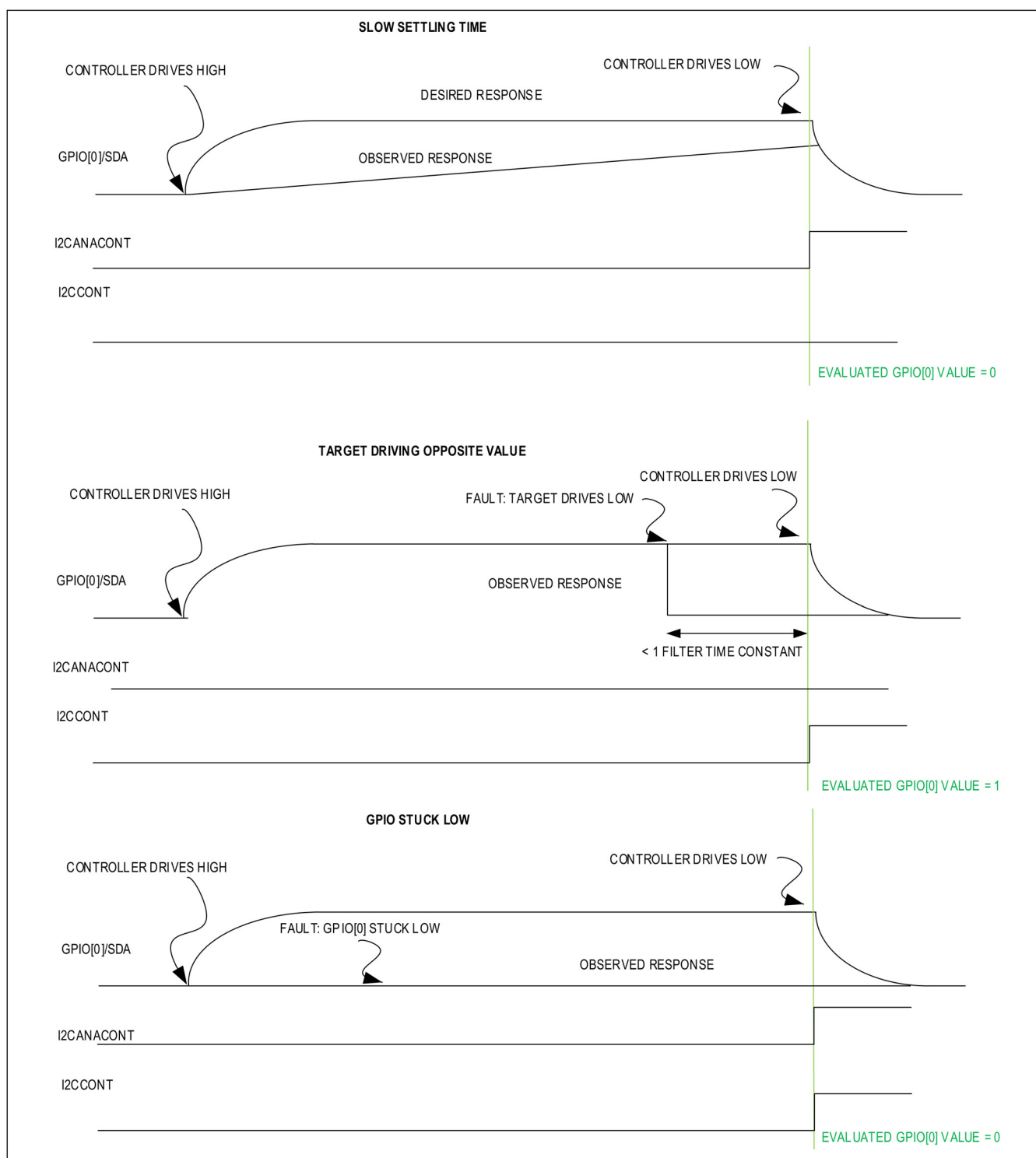


図 67. GPIO、I2CANACONT、および I2CCCONT のタイミング図

I²C グリッチ・モニタ

評価済みのフィルタ値と一致しない HFOSC サンプルが 2 つ以上連続したことをポート・モニタがレポートすると、I2CGLITCH がレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます (I²C 仕様には含まれません)。このモニタは、指定された遷移時間を外れた SCL ポートと SDA ポートの有無を監視します。グリッチ・モニタは常時イネーブルされています。I2CGLITCHEN = 0b1 の場合は、I2CGLITCHEN がセットされると STATUS2 レジスタのビット ALRTI2C がセットされます。I2CGLITCHEN = 0b0 の場合、STATUS2 レジスタのビット ALRTI2C は I2CGLITCH の値に依存しません。

I²C ノイズ・モニタ

評価済みのフィルタ値と一致しないサンプル数が 25%を超えたことがポート・モニタによって確認されると、I2CNOISE 状態がレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます（I²C 仕様には含まれません）。このモニタは、指定された遷移時間を外れた SCL ポートと SDA ポートの有無を監視します。ノイズ・モニタは常時イネーブルされています。I2CNOISEEN = 0b1 の場合は、I2CNOISE がセットされると STATUS2 レジスタのビット ALRTI2C がセットされます。I2CNOISEEN = 0b0 の場合、STATUS2 レジスタのビット ALRTI2C は I2CNOISE の値に依存しません。

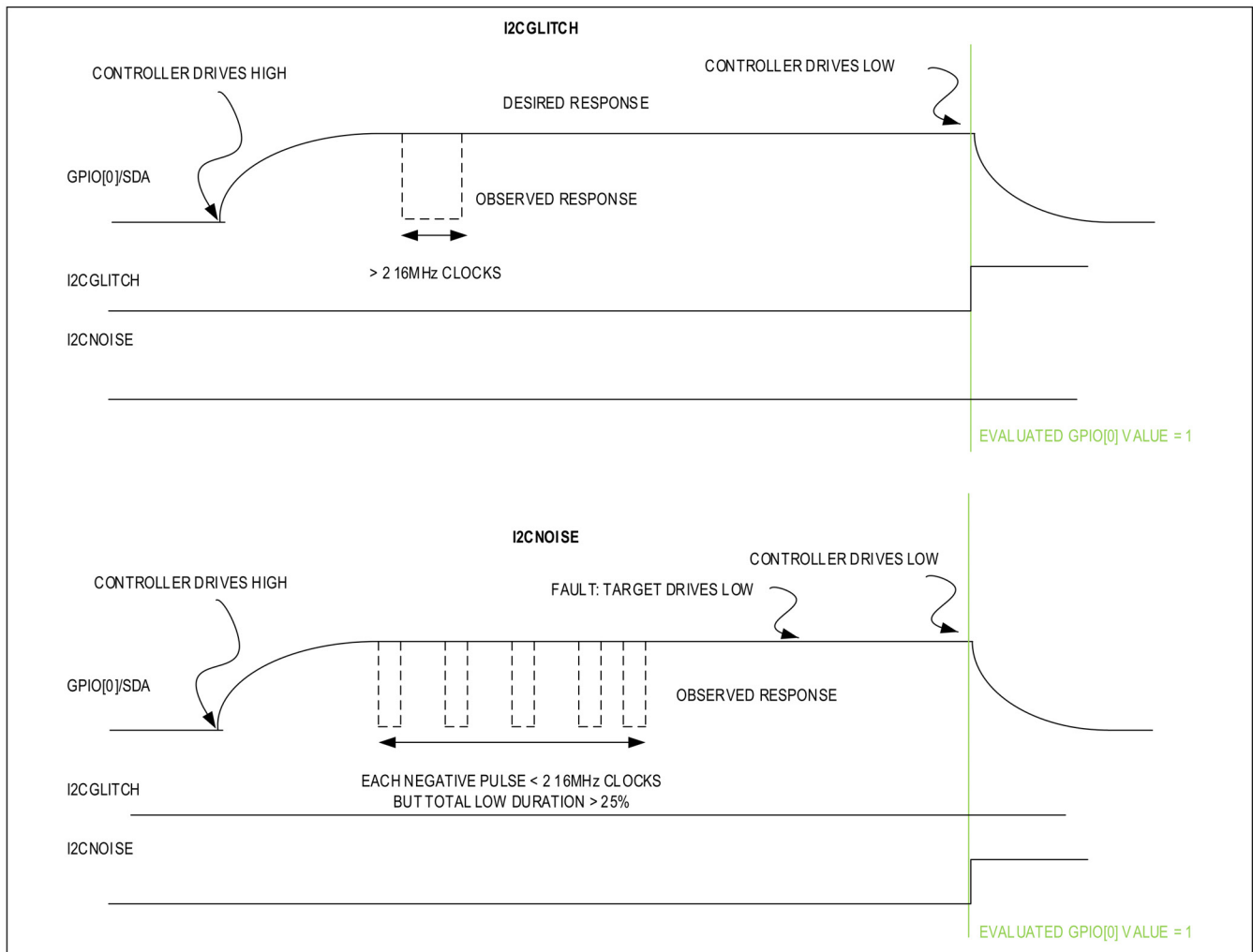


図 68. I²C グリッチと I²C ノイズのモニタ

I²C 反復読み出しチェック

冗長読み出しチェックがイネーブルされている場合は（I2CRDTREN = 0b1）、すべての I²C 読み出しトランザクション全体が自動的に 2 回繰り返されます。最初のトランザクションで受信されるデータは、トランザクションの進行に合わせて I2CDATALNGTH と I2CDATASEL で指定されるレジスタ・スペースにロードされます。反復トランザクション時には、I2CDATASEL によって指定されるレジスタ・スペース内のデータが冗長データで上書きされる前に、最初のトランザクションで受信したデータを基準に冗長データがチェックされます。

何らかの不一致が見つかった場合は、I2CSTATUS がトランザクション・エラー (0b10) をリード・バックして、そのトランザクションについては I2CRDTRERR アラート・コンポーネント・ビットがハイに設定されます。反復トランザクションの冗長データは指定レジスタ・スペースにリードバックできますが、I2CRDTRERR がセットされた場合は、異常があるものとしてこのデータを扱う必要があります。

アプリケーションによっては冗長読出しチェックを推奨できない場合もあります。特に、ターゲット・デバイスがデバイスの内容を自動的に更新する場合（更に（冗長トランザクション実行時またはトランザクションとトランザクションの間にデータを変更する可能性がある場合）や、データ要求がノイズの影響を受けやすい場合（これは読出しトランザクションをリード・バックする測定／監視をトリガする場合に考えられます）は注意が必要です。リードバック時にインクリメントされるポインタを持つ FIFO を読み出すためにこの方法を使用しても、機能しません。通常フォーマットの読出しトランザクションを使用する場合は、特別な考慮が必要になります。特に、読出しトランザクションへの応答時にターゲット・ポインタが自動インクリメントされる場合は、結果が、このタイプのトランザクション（ポインタをオリジナル位置にリセットするための先行する書込みトランザクションがない）と相容れないものになることがあります。この機能を使う場合は、すべてのターゲット・デバイスの動作を予め慎重に確認してください。

冗長チェックと同等の機能を持つ書込みモードはありません。書込みモード・トランザクションの正常終了をチェックする最良の方法は、書き込まれたターゲット・レジスタの内容をリードバックすることですが、これはターゲット・レジスタが R/W アクセスをサポートしていることが前提です。

I²C ウォッチドッグ・タイマー

I²C ウォッチドッグ・タイマーはすべてのトランザクションをモニタして、そのコマンドに求められる予定時間内に完了するかどうかを確認します。I²C ウォッチドッグ・タイマーがイネーブルされている場合は (I2CTOEN = 0b1)、I²C コントローラのトランザクションがモニタされ、トランザクション要求とモード設定に基づいて、タイム・アウト制限内にトランザクションが完了するかどうかチェックされます。トランザクションが正常に完了しなかった場合、そのトランザクションは中止（停止）されて読み出されなかったデータ・バイトは更新されず、I2CSTATUS がトランザクション・エラー (0b10) を示して、I2CTIMEOUT フォルト・インジケータ・ビットがハイに設定されます。I2CSEND がイネーブルされている間、I²C ウォッチドッグ・タイマーは 32kHz クロック・インクリメントでカウントを行います（400kHz 動作時で 488μs、100kHz 動作時は 1953μs）。進行中のトランザクションが完了する前に終了時間に達すると、I2CSEND がクリアされて I2CTIMEOUT フォルト・インジケータ・ビットがセットされ、コントローラがアイドル状態に戻ります (SDA = SCL = ハイにプルアップ)。

スタックした I²C バスの解放

(I²C タイムアウト・フォルトや ADES1754/ADES1755/ADES1756 が不意にリセットされたことが原因で) 万が一 I²C トランザクションが中断された場合は、ターゲット・デバイスが SDA バスを占有して、バスをロー位置に保持することができます。これは、ターゲット・デバイスが SDA バスを解放して I²C コントローラが START および STOP 情報を送信できるようになるまで、ADES1754/ADES1755/ADES1756 が新しいトランザクションを発行しないようにします。もしこのような状態となった場合は、コンテンション・エラーがレポートされます。

I²C による方法 (I2CEN = 1)

回復するためには、存在しないターゲット・デバイス ID に I²C 書込みトランザクションを送る必要があります。推奨されるトランザクションは、DEVID、PBYTE および WBYTE の内容をすべて 1 に設定した、7 ビット・アドレスのシングル・バイト・データ I²C 書込みトランザクションです。最終的には、バスを占有しているターゲット・デバイスが SCL の動作を認識して SDA バスを解放し、STOP 条件を監視します。コンテンション・エラーは、バスが解放されるまで引き続きレポートされます。その後は正常な I²C 通信が復元されて、有効なターゲット・デバイス ID に対して新しいトランザクションを開始することができます。

GPIO による方法 (I2CENB = 0)

もしくは、スタックしたターゲット・デバイスがそのトランザクションを完了してバスを解放するまで SCL パルスのストリームを送ることによって、バスを解放することができます。これは、I2CEN = 0 に設定し、AUX0/SDA を GPIO 入力として設定して (GPIOEN[0] = 1、GPIODIR[0] = 0、GPIODRV = x)、AUX1/SCL を GPIO 出力として設定する (GPIOEN[1] = 1、GPIODIR[1] = 1、GPIODRV = トグル) ことによって行います。

ターゲットが SDA を解放する（十分な数の SCL サイクル数の間 GPIORD[0] = 1）まで、GPIODRV[1]を使って SCL パルスを送信してください。ターゲットがバスを解放すると、正常な I²C トランザクション内に存在する START/STOP 条件を監視できるようになり、通信が復元されます。

アラート・インターフェイス

アラート・インターフェイスは、STATUS1 レジスタの論理和から生成されたフォルト状態が存在することを知らせます。これは、電圧測定、温度測定、インターフェイス通信の信頼性、キャリブレーション、その他の内部ハードウェア診断などの安全上重要な機能内のエラーをフラグします。安全に関する検討事項はプラットフォームによって異なることがあるので、必要に応じた制御を行うために各対応アラートをマスクすることができます。更に、アラート・インターフェイスは実際のアラート状態であっても機能評価のために能動的に駆動することができます。これは、FMEA2 レジスタの ALRTUSER ビットを使って行います。

アラート・インターフェイスの設定

ALERTOUT は AC CMOS 出力です。デフォルトでは、アラート・インターフェイスは、ALERTIN ピンと ALERTOUT ピンを使用するシングルエンドの一方パスを使用します。ALERTIN ピンは、RXP を接地したシングルエンドの UART レシーバとして設定されます（詳細は [UART レシーバ](#) のセクションを参照）。ALERTOUT ピンは、シングル UART トランスミッタをその出力ドライバとして使用します。

あるいは、UARTCFG ビットを使用して差動アラート・パスを設定できます。UART アップ・パスは、チェーン内の最後のデバイスから μC へのダイレクト・ワイヤ・リターン・パスを使用する読出しおよび書込みコマンド用に使用します。ダウン・パスは差動アラート・パスとして使われます。シングルエンド・アラート・パスはディスエーブルされます。つまり ALERTOUT ピンはアイドル状態となり、ALERTIN ピンはディスエーブルされます。

差動アラート・インターフェイスは、容量性絶縁を使用してフォルトの存在を知らせる、信頼性の高い低コストのアプリケーションを実現します。シングルエンド・アラート・インターフェイスは、別の絶縁部品（光アイソレータ）を使って、UART に関して最大限の柔軟性を実現します。

表 61. アラート・インターフェイスの設定

UARTCFG	UART CONFIGURATION	UART UP PATH	UART DOWN PATH	SINGLE-ENDED ALERT
0b00	Single-UART Interface with External Loopback	Active	Inactive (Buffered/Pass Through)	ALERTEN Configured
0b01	Single-UART Interface with Internal Loopback	Active	Inactive (Buffered/Pass Through)	ALERTEN Configured
0b10	Single-UART Interface with Differential Alert Interface	Active	Differential Alert	Disabled (except in ALRTDCTSTEN mode)
0b11	Dual-UART Interface	Active	Active	ALERTEN Configured

アラート・インターフェイスをディスエーブルすると、ハードウェア・インターフェイスを通じてアラートを送信することができなくなります。ALERTIN ピンは高インピーダンス入力のままとなり、いかなる入力信号にも応答しなくなります。[表 62](#) に、シングルエンド動作と差動動作の両方における ALERTOUT 出力ドライバの設定を示します。

注：アラート・インターフェイス・ハードウェアはディスエーブルできますが、その場合でも、STATUS レジスタを読み出したり UART データ・チェック・バイトを確認したりすることによってアラートの妥当性を確認できます。

表 62. アラート出力ドライバの設定

ALRTDCTSTEN	UARTCFG	ALERTOUT ACTIVE/ASSERTED	ALERTOUT INACTIVE/ DEASSERTED OR ALERTEN = 0
0	0b00, 0b01, 0b11	AC Active	GND (TXLIDLEHIZ = 0) Hi-Z (TXLIDLEHIZ = 1)
0	0b10 (Differential)	GND (TXLIDLEHIZ = 0) Hi-Z (TXLIDLEHIZ = 1)	GND (TXLIDLEHIZ = 0) Hi-Z (TXLIDLEHIZ = 1)
1	Don't Care	0	1

UART インターフェイス使用時のアラート動作

フォルト状態が存在する場合、アラート・インターフェイスは 2MHz の連続矩形波を 50%デューティ・サイクルで出力します。フォルト出力はフォルト状態の間持続し、スキャン・モードにより決定されるレートで更新されます。ALERTIN ピンで有効なアラート・コマンドを認識するには、その信号が、求められる周波数で 25 μs にわたり有効でなければなりません。持続時間が割り当てられた時間より短い場合や周波数が異なる場合はフォルトとして認識されず、その信号はホストに送られません。[図 69](#) を参照してください。

アラートが存在しない場合の出力ステータスは TXLIDLEHIZ に依存します。TXLIDLEHIZ = 1'b1 では ALERTOUT が高インピーダンスに駆動され、TXLIDLEHIZ = 1'b0 では ALERTOUT がローに駆動されます。

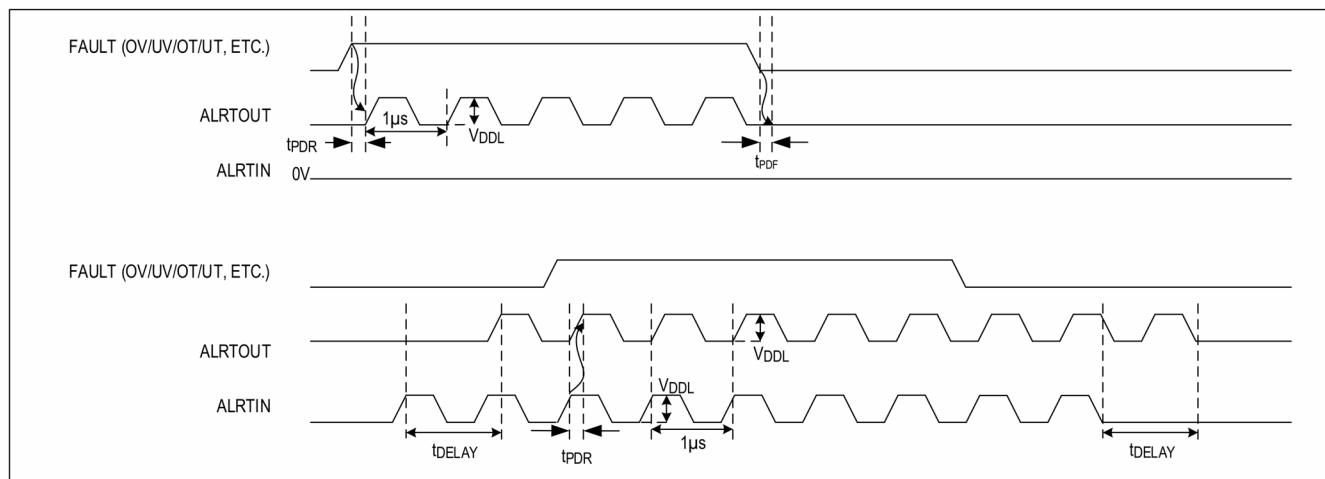


図 69. アラート検出のタイミング図

アラート・インターフェイスのマスキング

アラート・インターフェイスの動作は STATUS1 レジスタの内容に基づきます。個々のアラート状態は ALRTIRQEN の設定を使ってアラート・インターフェイスからマスクできますが、その元となるアラート情報は、いつでも STATUS1 レジスタからリードバックできます。

アクティブ =

(ALRTSCAN & SCANALRTEN) or ALRTRST or (ALRTMSMTCH & MSMTCHALRTEN) or
(ALRTCELLOVST & CELLOVSTALRTEN) or (ALRTCELLUVST & CELLUVSTALRTEN) or
(ALRTBLKOVST & BLKOVSTALRTEN) or (ALRTBLKUVST & BLKUVSTALRTEN) or
(ALRTAUXOVST & AUXOVSTALRTEN) or (ALRTAUXUVST & AUXUVSTALRTEN) or
(ALERTPEC & PECALRTEN) or (ALRTINTRFC & INTRFCALRTEN) or
(ALRTCAL & CALALRTEN) or (ALRTCBAL & CBALALRTEN) or
(ALRTFMEA1 & FMEA1ALRTEN) or (ALRTFMEA2 & FMEA2ALRTEN)

注： ALRTRST は POR 状態を示すものなので、マスクできません。

ALRTPACKET STATUS のマスキング

UART ALRTPACKET の内容は STATUS1 レジスタの内容に基づきます。個々のアラート状態は ALRTIRQEN レジスタ内の設定を使ってアラート・パケットからマスクできますが、その元となるアラート情報は、いつでも STATUS1 レジスタからリードバックできます。各 STATUS1 ビットの詳しいマスキング動作を以下に示します。

ALRT_PKT_STAT[15] = 0

ALRT_PKT_STAT[14] = ALRTRST

ALRT_PKT_STAT[13] = (ALRTMSMTCH & MSMTCHALRTEN)

ALRT_PKT_STAT[12] = (ALRTCELLOVST & CELLOVSTALRTEN)

ALRT_PKT_STAT[11] = (ALRTCELLUVST & CELLUVSTALRTEN)

ALRT_PKT_STAT[10] = (ALRTBLKOVST & BLKOVSTALRTEN)

ALRT_PKT_STAT[9] = (ALRTBLKUVST & BLKUVSTALRTEN)

ALRT_PKT_STAT[8] = (ALRTAUXOVST & AUXOVSTALRTEN)

ALRT_PKT_STAT[7] = (ALRTAUXUVST & AUXUVSTALRTEN)

ALRT_PKT_STAT[6] = 0

```
ALRT_PKT_STAT[5] = (ALRTPEC & PECALRTEN)
ALRT_PKT_STAT[4] = (ALRTINTRFC & INTRFCALRTEN)
ALRT_PKT_STAT[3] = (ALRTCAL & CALALRTEN)
ALRT_PKT_STAT[2] = (ALRTCBAL & CBALALRTEN)
ALRT_PKT_STAT[1] = (ALRTFMEA1 & FMEA1ALRTEN)
ALRT_PKT_STAT[0] = (ALRTFMEA2 & FMEA2ALRTEN)
```

注：STATUS1[15]:ALRTSCAN は手順を通知するためのビットで、ALERTPACKET データから意図的に除外されています。これは、割込み駆動型アプリケーションをサポートするためにアラート・インターフェイスに含めることができます。STATUS1[14]:ALRTRST は POR 状態を示すものなので、マスクできません。

TOPCELL1/2 のアラート・マスキング

バッテリー・スタックに含まれているセルが 14 個未満で、フレキシブル・パック設定がイネーブルされていない場合は、最も下位の入力（例えば C1 と C0）を最初に利用して、最も低い同相信号に接続する必要があります。使用しないセル入力はまとめて互いにショートさせ、使用しないスイッチ入力もまとめて互いにショートさせます。TOPCELL1 レジスタおよび TOPCELL2 レジスタは、すべての ALRTBALSW 診断結果をマスクしてレポートされないようにします。

この機能ではすべての選択がサポートされており、TOPCELL2 と TOPCELL1 が等しくない場合はどのアラートもマスクされません。

電圧レギュレータ

ADES1754/ADES1755/ADES1756 は、低電圧用（V_{AA}）と高電圧用（V_{DDL}）の 2 つのリニア電圧レギュレータを備えています。高電圧レギュレータは DCIN を電源に使用し、低電圧レギュレータは高電圧レギュレータ（V_{DDL}）をパワー・オフします。V_{AA} は ADC と内部デジタル・ブロックに電力を供給し、V_{DDL} は通信インターフェイスに電力を供給します。有効な DCIN 電源電圧が供給されない場合やダイ温度が +145°C（T_{SHDN}）を超えた場合は、高電圧レギュレータがディスエーブルされます。

表 64 と図 70 に概要を示すように、V_{DDL} が 4.5V（代表値）未満に低下すると、FMEA1 レジスタに ALRTVDDL フラグがセットされます。ALRTVDDL フラグは ALRTRST ビットがクリアされるまでセットされません。したがって、最初のパワー・アップ後には ALRTRST ビットをクリアすることを推奨します。表 64 に示すように、低電圧レギュレータ POR イベントは ALRTRST ビットで検出できます。サーマル・シャットダウン後は、ヒステリシスがあるのでレギュレータは T_{SHDN} < +130°C になるまでイネーブルされません。

表 63. 高電圧レギュレータの動作特性

INPUT	V _{DCIN}
OUTPUT	V _{DDL}
DISABLE	T _{SHDN} > +145°C

表 64. 高／低電圧レギュレータの診断

FAULT	CONDITION	ALERT	LOCATION
V _{DDL} undervoltage	V _{DDL} < 4.5V	ALRTVDDL	STATUS1.ALRTFMEA1
V _{AA} undervoltage	V _{AA} < 1.65V	ALRTRST	STATUS1.ALRTRST

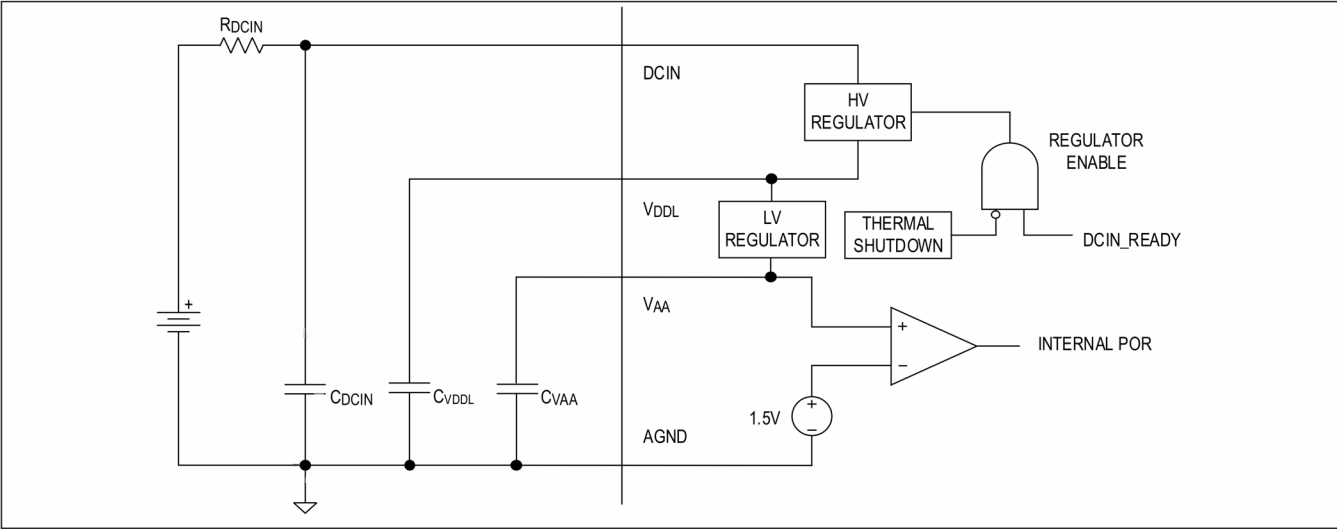


図 70. HV/LV レギュレータとサーマル・シャットダウン回路

HV チャージ・ポンプ

高電圧マルチプレクサには、モニタされる電圧より高い電圧源から電力を供給する必要があります。そのために、内部チャージ・ポンプは DCIN ピンを電源に使用して高電圧源 V_{HV} を供給し、この電圧が $V_{DCIN} + V_{HV-DCIN}$ にレギュレーションされます。チャージ・ポンプが $V_{HV-DCIN}$ へのレギュレーションを完了すると、チャージ・ポンプ動作はこの電圧が 20mV 低下するまで停止します。シャットダウン時、チャージ・ポンプは自動的にディスエーブルされます。

ADC、コンパレータ、ADC + COMP の測定サイクルおよびキャリブレーションの間、チャージ・ポンプのノイズが測定に何らかの影響を与えることがないように、チャージ・ポンプの動作は一時的に停止されます。その後、充電間隔時間（連続する 2 つのスキャン・シーケンス間の時間として定義される）においてチャージ・ポンプがアクティブになり、83kHz クロックで動作します。ADC、コンパレータ、ADC + COMP 測定におけるこの時間は 57μs です。キャリブレーション時は充電間隔時間が 21μs に短縮されます。充電間隔時間は、 C_{HV} コンデンサの電荷が次の測定サイクル開始前に補充されるようにします。

注：チャージ・ポンプは、AUXTIME、CELLDLY、および SWDLY のセトリング時間が 30μs を超える場合に使用可能な状態になります。30μs は、SW 入力における最悪条件時のセトリング遅延と見なされます。

アキュイジション以外の場合、チャージ・ポンプは 32kHz でクロックされます。

$V_{HV-DCIN}$ が V_{HVUV} 未満に低下した場合は、低電圧コンパレータがこれを検出します。低電圧状態が検出された場合は、ALRTHVUV ビットフィールドがセットされます。ALRTHVUV ビットのアサートは、パワーアップ後に初めて ALRTRST がクリアされるまでゲートされません。

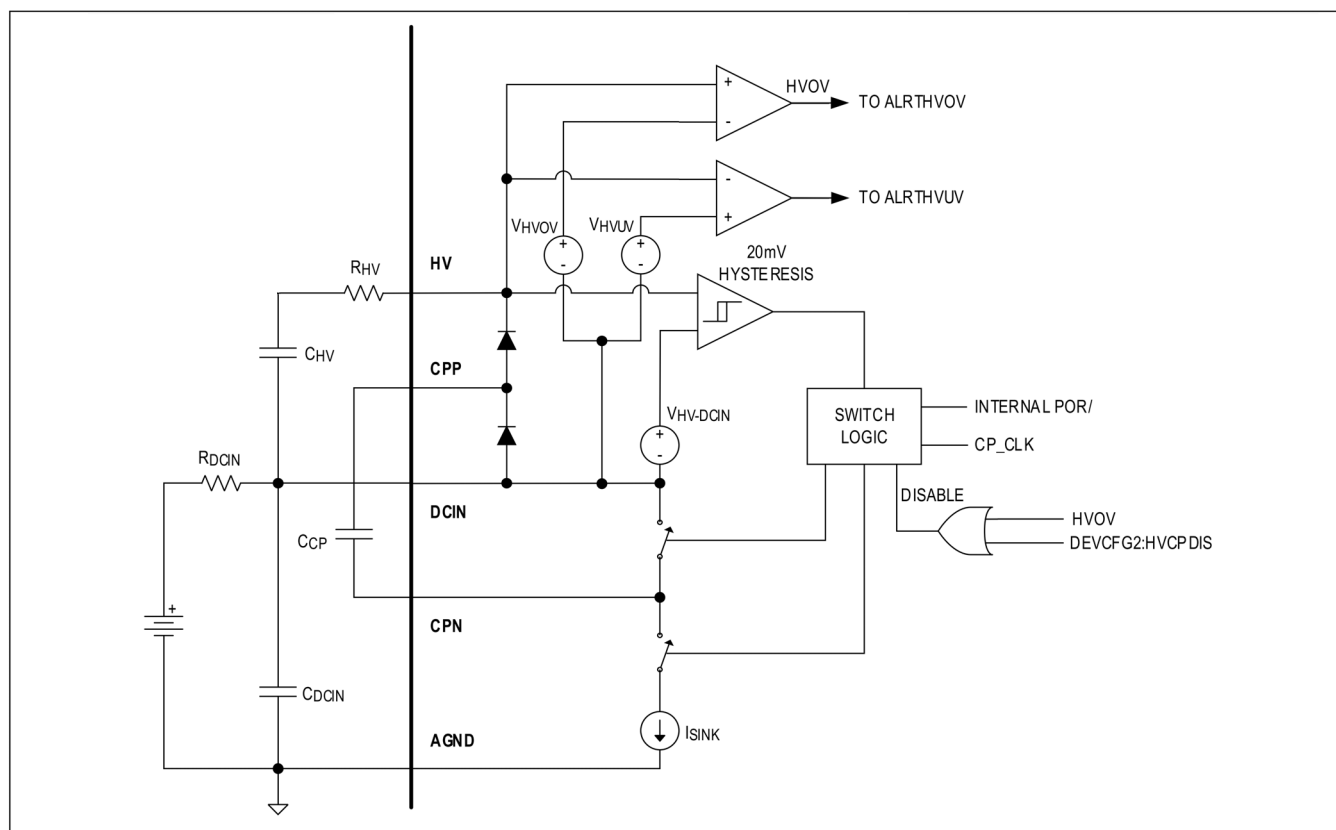
$V_{HV} - V_{DCIN}$ が V_{HVOV} を超えた場合は、過電圧コンパレータがチャージ・ポンプをディスエーブルします。この状態は FMEA1 レジスタの ALRTHVOV ビットによって示されます。ALRTHVOV アラートは、必ずしも測定精度に影響するような状態を示しません。HV チャージ・ポンプ診断の概要を表 65 に示します。

V_{HV} がトップ・セル入力に対して低すぎる値まで低下した場合は、そのチャンネルの正確なアキュイジションのために HVMUX スイッチの抵抗が十分に低いこと、あるいは LSAMP1 および LSAMP2 入力に十分なヘッドルームがあることを保証できるだけヘッドルームがありません。ヘッドルーム・アラートは FMEA1 レジスタの ALRTHVDRM ビットによって示されます。

HV 低電圧および HV ヘッドルームのアラート機能は、HV チャージ・ポンプをディスエーブルして (HVCPDIS = 1)、アキュイジション・モードで V_{HV} を低下させることで確認できます。

表 65. HV チャージ・ポンプの診断

FAULT	CONDITION	ALERT BIT	LOCATION
V_{HV} undervoltage	$V_{HV} - V_{DCIN} < V_{HVUV}$	ALRTHVUV	FMEA1:ALRTHVUV
V_{HV} overvoltage	$V_{HV} - V_{DCIN} > V_{HVOV}$	ALRTHVOV	FMEA1:ALRTHVOV
V_{HV} low headroom	$V_{HV} - V_{TOPCELL1/2} < V_{HVHDRM} \text{ (max)}$	ALRTHVHDRM	FMEA1:ALRTHVHDRM



発振器

表 66. 発振器の診断

FAULT	CONDITION	ALERT BIT	LOCATION
LFOSC	$31.129\text{kHz} > f_{\text{LFOSC}} > 34.406\text{kHz}$	ALRTOSC1	FMEA1[15]
LFOSC	$31.129\text{kHz} > f_{\text{LFOSC}} > 34.406\text{kHz}$	ALRTOSC2	FMEA1[14]

診斷

注：ピンのオープンや隣接ピン同士のショートといったピン・フォルトを検出できるようにしておく必要があります。ピン・フォルトがデバイスを損傷させることはありませんが、通信エラーなどの特別なデバイス応答が生じます。これらのフォルトは組込み診断機能を通じて検出できます。ピン・フォルトによる影響の分析はピン FMEA と呼ばれます。ピン FMEA の結果についてはアナログ・デバイズまでお問い合わせください。

表 67. 組込み診断機能の概要

DIAGNOSTICS PERFORMED AUTOMATICALLY BY DEVICE WITH NO HOST INTERVENTION			
FAULT	DIAGNOSTIC PROCEDURE		OUTPUT
V _{AA} undervoltage	Continuous voltage comparison		ALRTRST
V _{HV} undervoltage	Continuous voltage comparison		ALRTHVUV
V _{HV} overvoltage	Continuous voltage comparison		ALRTHVOV
V _{HV} low headroom	Voltage comparison – updated during measurement		ALRTHVHDM
LFOSC fault	Continuous frequency comparison		ALRTOSC1, ALRTOSC2
HFOSC fault	Communication error checking		ALRTMAN, ALRTPAR, ALRTOSC3
Communication fault	Communication error checking		ALRTPEC, ALRTMAN, ALRTPAR
Rx pin open/short	Verify Rx mode after POR		ALRTCOMMSEUn/ALRTCOMMSELn
V _{DDLx} pin open/short	Continuous voltage comparison		ALRTVDDLx
GNDLx pin open/short	Continuous voltage comparison		ALRTGNDLx
Die overtemperature	Temperature comparison		ALRTTEMP
Measurement accuracy	Accuracy comparison - updated after oversampled acquisition		ALRTCOMPACCOV/ALRTCOMPACCUV
Flexible-pack fault	Continuous fault checking of flexible-pack operation		ALRTDCINMUX
DIAGNOSTICS PERFORMED DURING ACQUISITION MODE AS SELECTED BY DIAGSEL OR SCACFG (BALSW DIAGNOSTICS)			
FAULT	DIAGNOSTIC PROCEDURE	DIAGSEL[3:0] OR SCANCFG	OUTPUT
Die temp (PTAT) fault	Die temperature (PTAT) diagnostic	DIAGSEL 1/2 = 1h	DIAGSEL 1/2[15:0] = PTAT voltage
V _{AA} voltage fault	V _{AA} verification	DIAGSEL 1/2 = 2h	DIAGSEL 1/2[15:0] = V _{AA} voltage
Reference voltage fault	ALTREF verification	DIAGSEL 1/2 = 3h	DIAGSEL 1/2[15:0] = ALTREF voltage
Comp cell signal path fault	Comp signal path verification	DIAGSEL 1/2 = 4h	DIAGSEL 1/2[15:0] = COMP error voltage
Cell gain calibration fault	Cell gain calibration verification	DIAGSEL 1/2 = 5h	DIAGSEL 1/2[15:0] = Calibration voltage (1/4)
Offset calibration fault	Offset calibration verification	DIAGSEL 1/2 = 6h	DIAGSEL 1/2[15:0] = Calibration offset voltage (0V)
DAC bit stuck high	DAC 3/4 scale	DIAGSEL 1/2 = 7h	DIAGSEL 1/2[15:0] = DAC code of 3/4 full-scale measured by ADC
DAC bit stuck low	DAC 1/4 scale	DIAGSEL 1/2 = 8h	DIAGSEL 1/2[15:0] = DAC code of 1/4 full-scale measured by ADC
NTC(THRM) offset calibration fault	NTC(THRM) offset calibration verification	DIAGSEL 1/2 = 9h	DIAGSEL 1/2[15:0] = Calibration offset error with THRM
ADC bit stuck high	Zero-scale ADC diagnostic	DIAGSEL 1/2 = Ah	DIAGSEL 1/2[15:0] = ADC zero scale
ADC bit stuck low	Full-scale ADC diagnostic	DIAGSEL 1/2 = Bh	DIAGSEL 1/2[15:0] = ADC full scale
LSAMP offset too high	LSAMP offset diagnostic	DIAGSEL 1/2 = Ch	DIAGSEL 1/2[15:0] (LSAMP offset voltage)
V _{DDL2/3} fault	V _{DDL2/3} diagnostic	DIAGSEL 1/2 = Dh	DIAGSEL 1/2[15:0] (V _{DDL2/3} voltage)
Balancing switch short	BALSW diagnostic mode	SCANCFG = 4h	ALRTBALSW, FMEA1:ALRTBALSWSUM
Balancing switch open	BALSW diagnostic mode	SCANCFG = 5h	ALRTBALSW, FMEA1:ALRTBALSWSUM
Odd cell sense-wire open	BALSW diagnostic mode	SCANCFG = 6h	ALRTBALSW, FMEA1:ALRTBALSWSUM
Even cell sense-wire open	BALSW diagnostic mode	SCANCFG = 7h	ALRTBALSW, FMEA1:ALRTBALSWSUM

ALERTOUT ピン間ショート診断機能

UART アラート DC 診断テストは、ALERTOUT ピンと AUXIN0/GPIO0 ピン間のショートをテストするために使われます。UARTSEL = 0b1 (UART モード) の場合、このテストは ALERTDCTSTEN ビットを 0b1 に設定することによってイネーブルします。

DC 診断テストをイネーブルすると、アラート状態が存在する場合は ALERTOUT ピンがローに駆動され、それ以外の場合はハイに駆動されます。ALRTUSER ビットフィールドは、両方向で ALRTOUT を使用するために書き込むことができます。AUXIN0/GPIO0 などの隣接するピンは、直接モニタするか診断モードでモニタしてフォルトを検出できます。

この機能は、通常は ALERTOUT ピンを使用しない差動アラートを含め、すべての UARTCFG モードで機能します。

CELL ピンのオープン診断機能

ADES1754/ADES1755/ADES1756 の入力とセル入力の接続が何らかの機械的故障の組み合わせによって遮断されてしまった場合は、セル・オープン診断を行うことによって故障位置を検出することができます。デフォルトの閾値設定 COMPOPNTNTH に基づいて迅速な確認を行うには、コンパレータ測定の使用を推奨します。測定値がセット閾値未満の場合は、対応するセル・アラートが ALRTCOMPOV にフラグされます。

この診断は、CELLOPNDIAGSEL = 1 に設定してコンパレータ・スキャンを行う (SCANCFG = 0b010) ことによりイネーブルされます。この診断に使用できるのはユニポーラ測定だけで、セル位置がバイポーラとして設定されている場合は該当セルがスキップされ、そのバイポーラ・セルにはアラート・フラグがセットされません。通常、オープン診断モードでは、必要なセルの CTSTEN を使ってすべての測定チャンネルでプルダウン電流源がイネーブルされます。ユーザは様々な電流設定を使用でき、それらの設定は DIAGCFG:CTSTDAC ビットフィールドを使って行うことができます。

ダイ温度の測定

ダイ温度測定はアキュイジションの精度に関係し、 $T_{DIE} > +145^{\circ}\text{C}$ となった場合はデバイスを自動的にシャットダウンすることができるので、ホストによるデバイス温度 (T_{DIE}) の計算が可能です。この測定には、図 72 に示すように、電圧 (V_{PTAT}) が絶対温度 (PTAT) に比例するソースを使用します。 V_{PTAT} の測定は DIAGSEL1[3:0]または DIAGSEL2[3:0]を 0b0001 に設定することによってイネーブルされ、それぞれ 14 ビットの測定値が DIAG1 = DIAG1REG[15:2]または DIAG2 = DIAG2REG[15:2]に保存されます。ダイ温度測定では、測定サイクルの開始から診断変換までの間に 39 μs のセトリング時間が必要です。2 つ以上の測定がイネーブルされていれば、この測定では十分なセトリング時間を確保することができます。詳細についてはアキュイジション・タイミングのセクションを参照してください。

PTAT 電圧は次式で計算します。

$$V_{PTAT} = \frac{DIAG1}{16384d} \times V_{PTAT} \text{ or } V_{PTAT} = \frac{DIAG2}{16384d} \times V_{REF}$$

ここで、 $V_{REF} = 1.25\text{V}$ です。測定電圧は次式に従って $^{\circ}\text{C}$ に変換されます。

$$T_{DIE}(\text{in } ^{\circ}\text{C}) = \frac{V_{PTAT}}{A_{V_PTAT}} + T_{OS_PTAT} - 273^{\circ}\text{C}$$

A_{V_PTAT} と T_{OS_PTAT} の値については、電気的特性の表を参照してください。

ダイ温度アラート

ダイ温度は、 $T_{DIE} > T_{ALRTTEMP}$ であるかどうかを検出するために 1ms の間隔で継続的にモニタされます。ダイ温度が規定値を超えた場合は、FMEA2 レジスタの ALRTTEMP ビットがアサートされます。唯一の例外は、DIAGSEL1[3:0]または DIAGSEL2[3:0] = 1h に設定することによってダイ温度測定値が要求されて、ALRTTEMP モニタリングが一時的にディスエーブルされる場合です。ダイ温度のアラートおよび温度測定のためのシグナル・パスを図 72 に示します。

ALRTTEMP を設定する場合、ホストは、アキュイジションが必要精度仕様を満たさない可能性や、セトリング時間が不十分 (イネーブルされるセル測定が 2 つ未満) なことからダイ温度測定自体が不正確なものとなる可能性を考慮する必要があります。

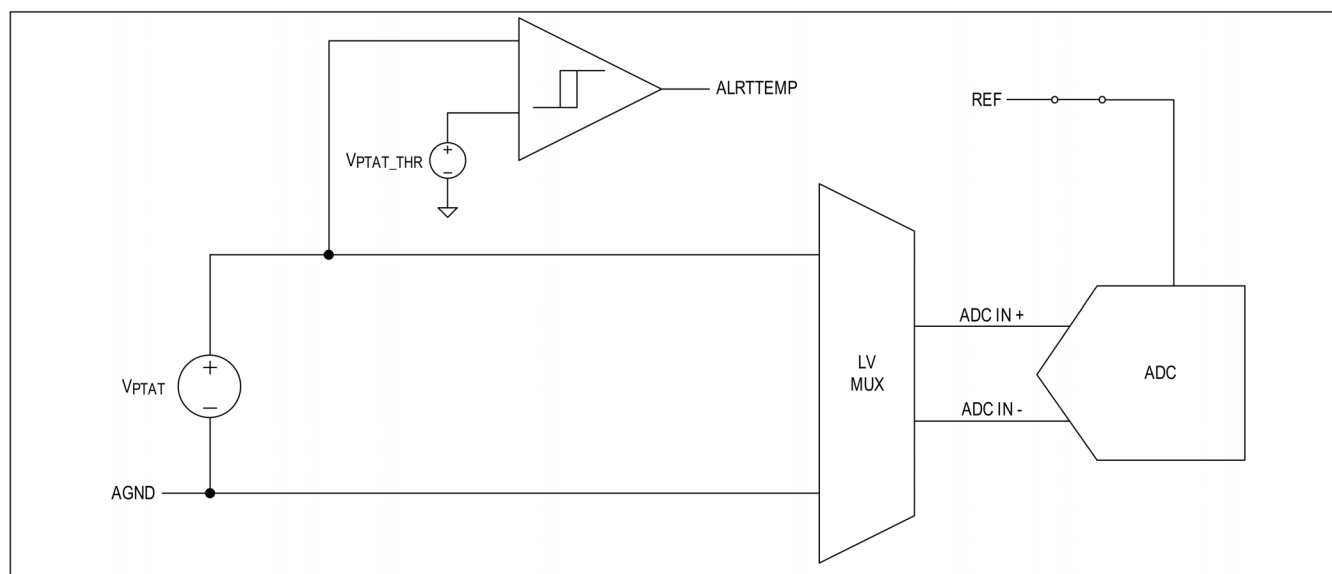


図 72. ダイ温度の測定

V_{AA} 診断測定

V_{AA} 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b0010) は、V_{AA} が仕様の範囲内であることを確認します。この診断は、V_{AA} を ADC リファレンスとして使って V_{REF} を測定します。V_{AA} 診断用のシグナル・パスを図 73 に示します。

ADC に加わる電圧は、DIAG1REG (または DIAG2REG) レジスタ内の結果から次式により計算します。

$$\frac{1}{4} \times V_{\text{REF}} = \frac{\text{DIAG1REG}[15:2]}{16384} \times V_{\text{AA}}$$

V_{AA} は次式により計算できます。

$$V_{\text{AA}} = \frac{1}{4} \times V_{\text{REF}} \times \frac{16384}{\text{DIAG1REG}[15:2]}$$

ここで、V_{REF} = 1.25V です。

V_{AA} の結果は、電気的特性の表に示す V_{AA} の範囲に収まっていなければなりません。

診断に合格する 14 ビット ADC 測定値の範囲は、電気的特性の表に示す仕様に基づき 0xA55 から 0xBF4 までです。

注： 測定値をサンプリングする場合は、測定結果内でのシグナル・チェーンのノイズ性能を考慮する必要があります。一定の測定性能を得るには、ノイズにより生じる変動を小さくするために、複数のシステム測定サイクル内で V_{AA} を平均することを推奨します。

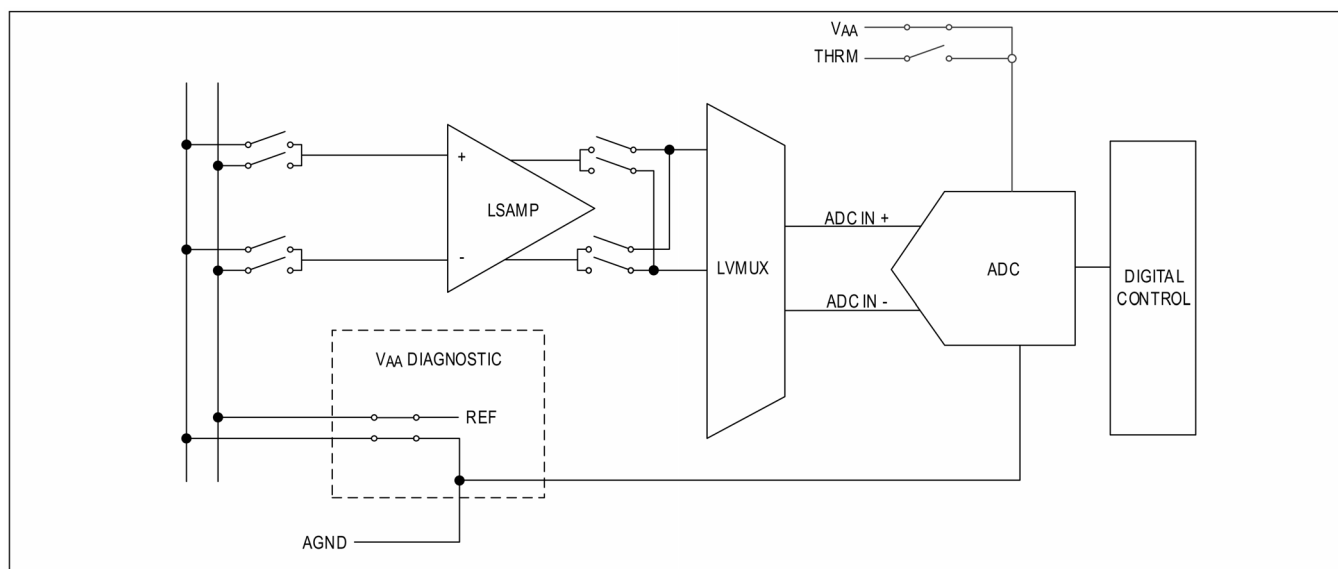


図 73. V_{AA} 診断

ALTREF 診断測定

ALTREF 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b0011) は、V_{REF} を ADC リファレンスとして使用し、別の電圧リファレンス V_{ALTREF} を測定することによって ADC のプライマリ電圧リファレンスをチェックします。結果は DIAG1REG (または DIAG2REG) レジスタに格納されます。ALTREF 電圧は DIAG レジスタ内の結果から次式により計算します。

$$V_{\text{ALTREF}} = \frac{\text{DIAG1REG}[15:2]}{16384} \times V_{\text{REF}}$$

ALTREF 診断測定の際には ADC が自動的にユニポーラ・モードに設定されます。ALTREF 診断用のシグナル・パスを [図 74](#) に示します。

0.99V < V_{ALTREF} < 1.01V、および V_{ALTREF} = 1.0V (公称値) なので、DIAG[15:2]の予想範囲は次のようになります。診断に合格する 14 ビット ADC 測定値の範囲は 0x341F から 0x3247 までです。

注： 測定値をサンプリングする場合は、測定結果内でのシグナル・チェーンのノイズ性能を考慮する必要があります。一定の測定性能を得るには、ノイズにより生じる変動を小さくするために、複数のシステム測定サイクル内で V_{ALTREF} を平均することを推奨します。

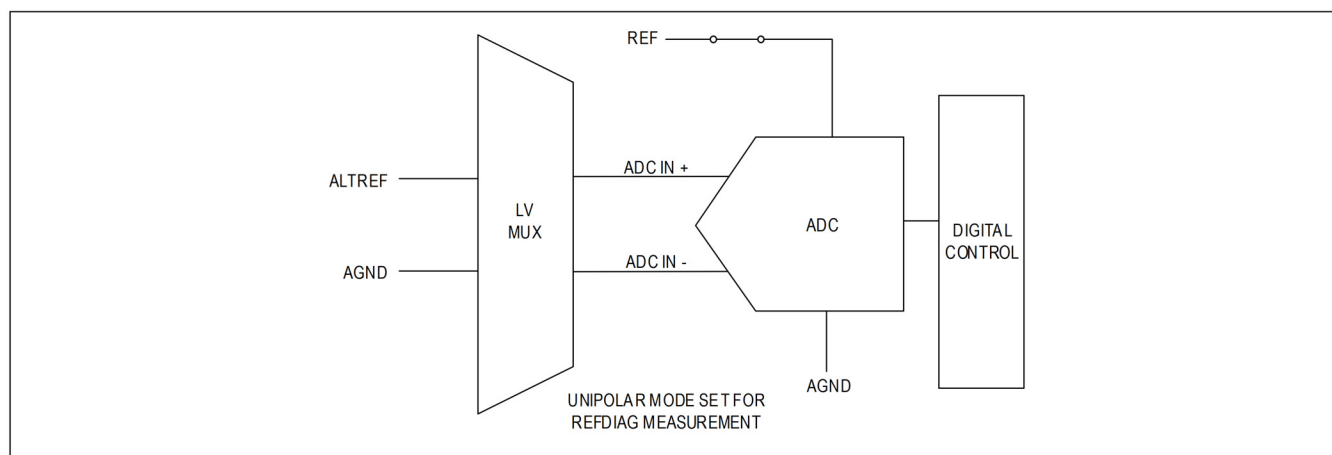


図 74. ALTREF 診断

V_{DDL2/3} の診断

V_{DDL2/3} 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b1101) は、V_{DDL2/3} 電圧が仕様の範囲内であるかどうかをチェックします。この診断は V_{REF} を ADC リファレンスとして使い、スケーリングされた V_{DDL2/3} を測定します。結果は DIAG1REG (または DIAG2REG) レジスタに格納されます。V_{DDL2/3} 電圧は DIAG レジスタ内の結果から次式により計算します。

$$V_{DDL2/3} = \frac{\text{DIAG1REG}[15:2]}{16384} \times V_{\text{REF}} \times 4.8$$

ここで、V_{REF} = 1.25V です。

V_{DDL2/3} の結果は、[電気的特性](#)の表に示す V_{DDL2/3} の範囲に収まっていなければなりません。3.3V の V_{DDL2/3} 公称電圧の場合、診断に合格する DIAG[15:2] の 14 ビット値の予想範囲は 0x2147 から 0x24B6 までです。

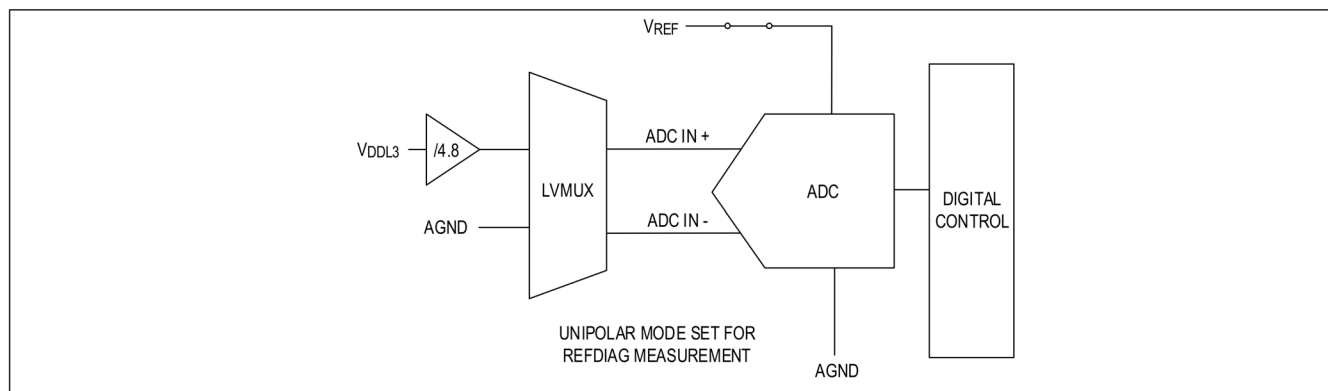


図 75. V_{DDL} 診断

診断測定

コンパレータ・シグナル・コンディショニング・パスは ADC によって測定でき、これにより以下の機能が実現されます。

- 仕様に対するコンパレータ機能の確認
- コンパレータ閾値のキャリブレーション
- コンパレータ性能の向上によって、[電気的特性](#)の表に示す内容を超える仕様を実現

コンパレータ・シグナル・コンディショニング・パス (図 76 を参照) の機能は、DIAGCFG レジスタの DIAGSEL1 = 0b0100 または DIAGSEL2 = 0b0100 を使って測定できます。この設定では LSAMP2 に V_{REF} = 1.25V の入力に加えられ、DAC は 03FFh (1.25V の DAC リファレンス) にプログラムされます。コンパレータ・プリアンプの出力は ADC 入力に接続され、そこで効果的に測定されます。ADC 測定の結果は、対応する DIAG1REG[15:2] レジスタまたは DIAG2REG[15:2] レジスタに格納されます。

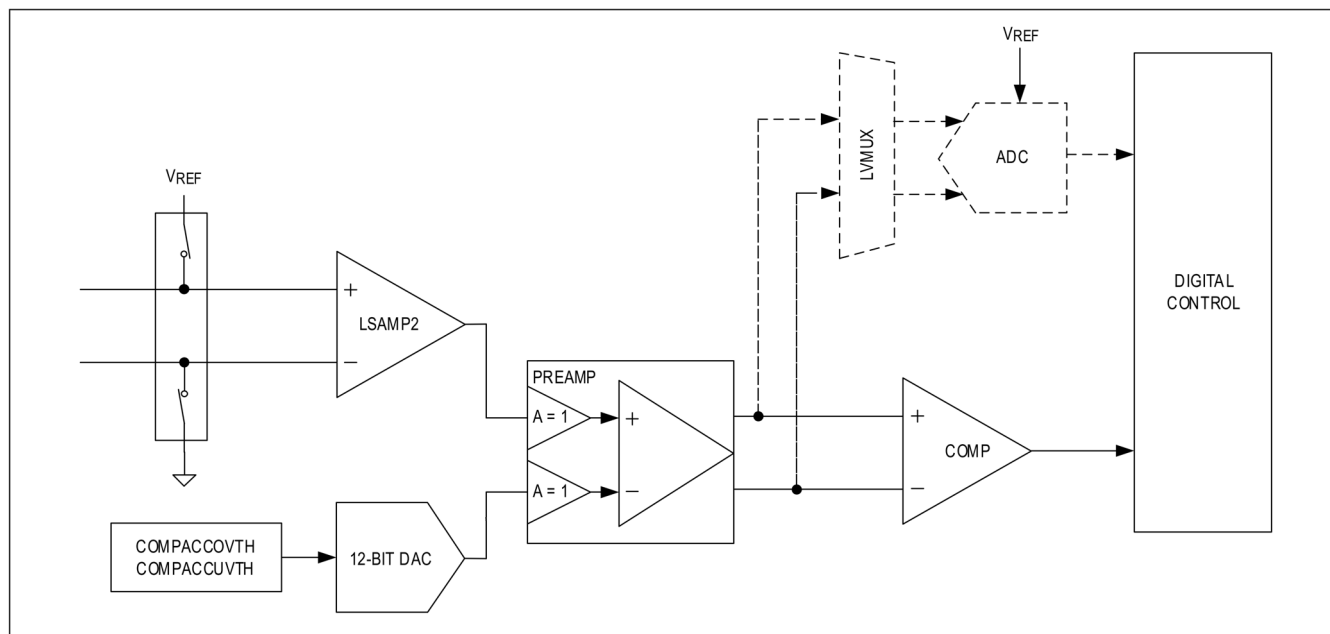


図 76. ADC へのコンパレータ・シグナル・パス

コンパレータの機能は、DIAG レジスタ出力を表 68 に示す範囲と比較することによって確認されます。

表 68. コンパレータ・シグナル・パス診断の確認範囲

UPPER DIAGNOSTIC RANGE	LOWER DIAGNOSTIC RANGE
0x20BB	0x1F3F

機能が仕様通りかどうかの確認に加えて、下の式に示すように、DIAG レジスタ出力はコンパレータのセル・シグナル・パスの誤差計算に使用できます。

$$\epsilon_{\text{COMP_CELLPATH}} = \frac{1}{4} \times \left(\frac{\text{DIAG1REG}[15:2] - 0d8195}{0d16384} \right) \times 5V$$

更にこの誤差を使い、コンパレータの OV 閾値と UV 閾値 (COMPOVTH、COMPUVTH、COMPACCOVTHREG、COMPACCUVTHREG) をマニュアル調整して、真のコンパレータ性能に適用できるようにすることができます。

$$\text{COMPOVTH}_{\text{Adjusted}} = \text{COMPOVTH}_{\text{Desired}} + \text{Round}(\epsilon_{\text{COMP_CELLPATH}} * 4096 / 5)$$

$$\text{COMPUVTH}_{\text{Adjusted}} = \text{COMPUVTH}_{\text{Desired}} + \text{Round}(\epsilon_{\text{COMP_CELLPATH}} * 4096 / 5)$$

注： 上記の閾値補正には LSAMP2 誤差が含まれているので、この補正を AUX 測定に適用することはできません。計算による誤差値を使用すれば、コンパレータの精度を電気的特性の表に示す内容より向上させることも可能です。

$$V_{\text{OS_COMP_Effective}} = \sqrt{\epsilon_{\text{OMP_CELLPATH}}^2 + 0.004^2}$$

例えば、DIAG1 レジスタの出力が 0d8172 の場合は以下の調整を行うことができます。

$$\epsilon_{\text{COMP_CELLPATH}} = \frac{1}{4} \left(\frac{0d8172 - 0d8195}{0d16384} \right) \cdot 5V = -1.4\text{mV}$$

$$\text{COMPOVTH}_{\text{Adjusted}} = \text{COMPOVTH}_{\text{Desired}} + \text{Round}(-1.4\text{mV} * 4096 / 5) \quad \text{COMPOVTH}_{\text{Adjusted}} = \text{COMPOVTH}_{\text{Desired}} - 1$$

$$\text{COMPUVTH}_{\text{Adjusted}} = \text{COMPUVTH}_{\text{Desired}} + \text{Round}(-1.4\text{mV} * 4096 / 5) \quad \text{COMPUVTH}_{\text{Adjusted}} = \text{COMPUVTH}_{\text{Desired}} - 1$$

コンパレータ精度の診断

ACQCFG レジスタの COMPACCEN ビットはコンパレータの精度をテストするために使用し、これはスキャン時にコンパレータを使用する設定 (SCANCTRL レジスタの SCANCFG = 001b または 010b) で行う測定シーケンスの終了時に判定されます。COMPACCEN = 1 のときは、 $V_{REF} = 1.25V$ が LSAMP2 への入力として設定され、12 ビット DAC は COMPACCOVTH レジスタと COMPACCUVTH レジスタの値を使用します。

COMPACCOVTH の閾値を超えると、FMEA2 レジスタの ALRTCOMPACCOV ビットをセットすることによって過電圧アラートが発行されます。

COMPACCOVTH を 3FFh に設定した場合は、コンパレータが ALRTCOMPACCOV ビットをセットします (理想的なケースに対してセット)。

COMPACCUVTH の閾値を超えると、FMEA2 レジスタの ALRTCOMPACCUV ビットをセットすることによって低電圧アラートが発行されます。

COMPACCUVTH を 3FFh に設定した場合、コンパレータは ALRTCOMPACCUV ビットをセットしません (理想的なケースに対してセットしない)。

コンパレータ精度診断のシグナル・パスを図 77 に示します。

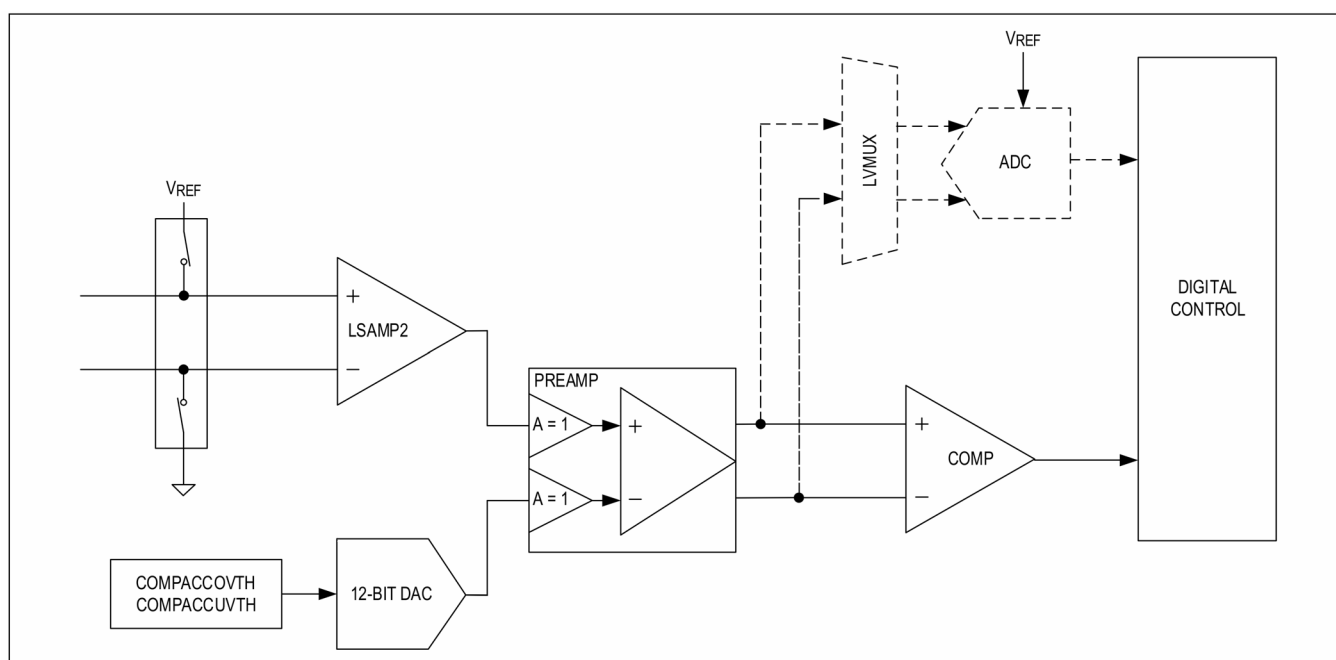


図 77. コンパレータ精度診断パス

誤アラートをなくすには、COMPACCOVTH と COMPACCUVTH を ± 18 DAC コードまでの範囲に調整する必要があります。

COMPACCEN = 1 に設定することによってコンパレータ精度診断を要求した場合、その診断手順は、図 78 に示すように SCAN 測定要求の最後のオーバーサンプル終了時に 1 回だけ実行されます。

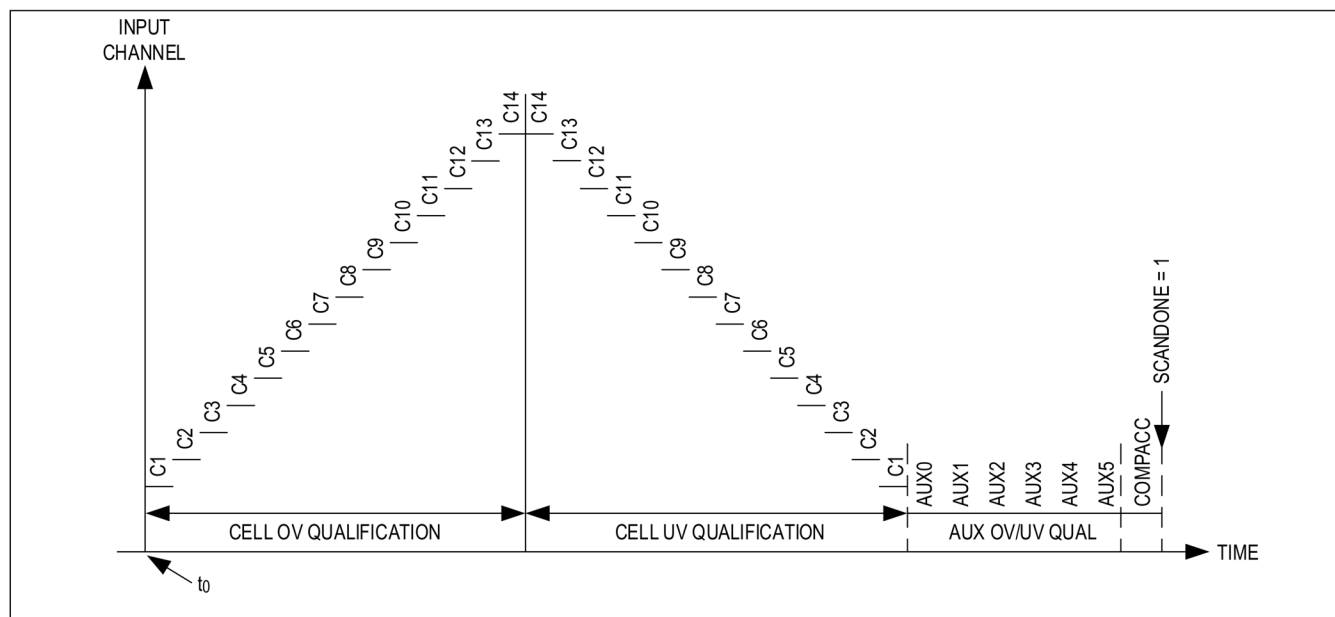


図 78. コンパレータ精度のスキャン終了時測定

セル・ゲイン・キャリブレーション診断測定

セル・ゲイン・キャリブレーション診断は、オンデマンド・キャリブレーションが正しく機能していること、および ADC と LSAMP1 が電氣的特性の表に示す仕様の範囲内で動作していることを確認します。この診断は、SCANMODE の設定に従って、DIAGCFG レジスタの DIAGSEL1 = 0b0101 または DIAGSEL2 = 0b0101 に設定することによって実行されます。したがって、この診断の実行時に SCANMODE がピラミッド・モード動作に設定されている場合は、サンプリングが 2 つの変換フェーズとして行われてオフセットを効果的にチョッピングします。同様に、この診断の実行時に SCANMODE がランプ・モード動作に設定されている場合は、1 つの変換フェーズだけが実行されます。この診断は、キャリブレーションの妥当性を確認するためにアプリケーションが使用する SCANMODE の設定ごとに実行する必要があります。

この診断は、図 79 に示すように、V_{REF} を LSAMP1 入力にマルチプレクスすることによって行われます。診断アキュイジション時に使用する OVSAMPL ビットフィールドは、適切な精度性能を保証する 16 個のオーバーサンプルに対して最小限に設定する必要があります。

これにより予想される結果はフルスケール電圧の 1/4 で、これは DIAG1REG[15:2] レジスタまたは DIAG2REG[15:2] レジスタから読み出すことができます。14 ビット ADC を使用できるようにするには、測定を 0xFD2 から 0x102F に拡大する必要があります。

注： この診断の実行時は、必ずキャリブレーションをイネーブルしてください。

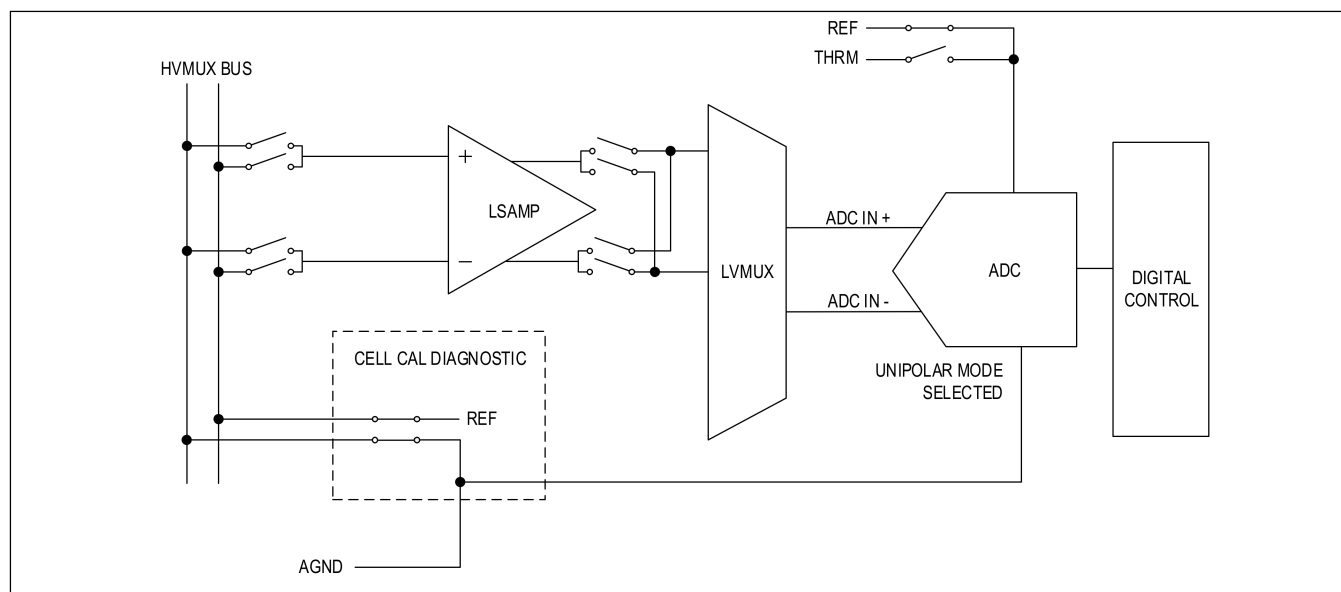


図 79. セル・ゲイン・キャリブレーション診断測定

オフセット・キャリブレーション診断

オフセット・キャリブレーション診断は、DIAGCFG レジスタを $\text{DIAGSEL1} = 0b0110$ または $\text{DIAGSEL2} = 0b0110$ に設定することによって実行されます。この診断は、オンデマンド・キャリブレーションが正しく機能していること、および電気的特性の表に示す仕様の範囲内で動作していることを確認します。

この診断は、SCANCTRL レジスタの SCANMODE の内容によって設定が異なります。ピラミッド・モードに設定されている場合 ($\text{SCANMODE} = 0$)、この診断は、ADC 入力をショートさせ、ADC 極性をバイポーラ・モードにオーバーライドした状態でアキュイジションを実行することにより行われます。ランプ・モードに設定されている場合 ($\text{SCANMODE} = 1$)、この診断は、LSAMP1 入力をグラウンドにショートさせ、ADC 極性をバイポーラ・モードにオーバーライドした状態でチョッピングを行わずにアキュイジションを実行することにより行われます。どちらの SCANMODE 設定でも、診断アキュイジション時に使用する OVSAMPL ビットフィールドは、オーバーサンプルを、適切な精度性能を保証する最小値の 16 に設定する必要があります。これにより予想される結果は $0V$ ($0x2000$) で、DIAG1REG[15:2] レジスタは DIAG2REG[15:2] レジスタから読み出すことができます。

ピラミッド・モードの場合、この診断に合格する 14 ビット ADC 測定限界の範囲は $0x1FF6$ から $0x200A$ までです。

ランプ・モードの場合、この診断に合格する 14 ビット ADC 測定値限界の範囲は $0x1FEA$ から $0x2011$ までです。図 80 にシグナル・パスを示します。

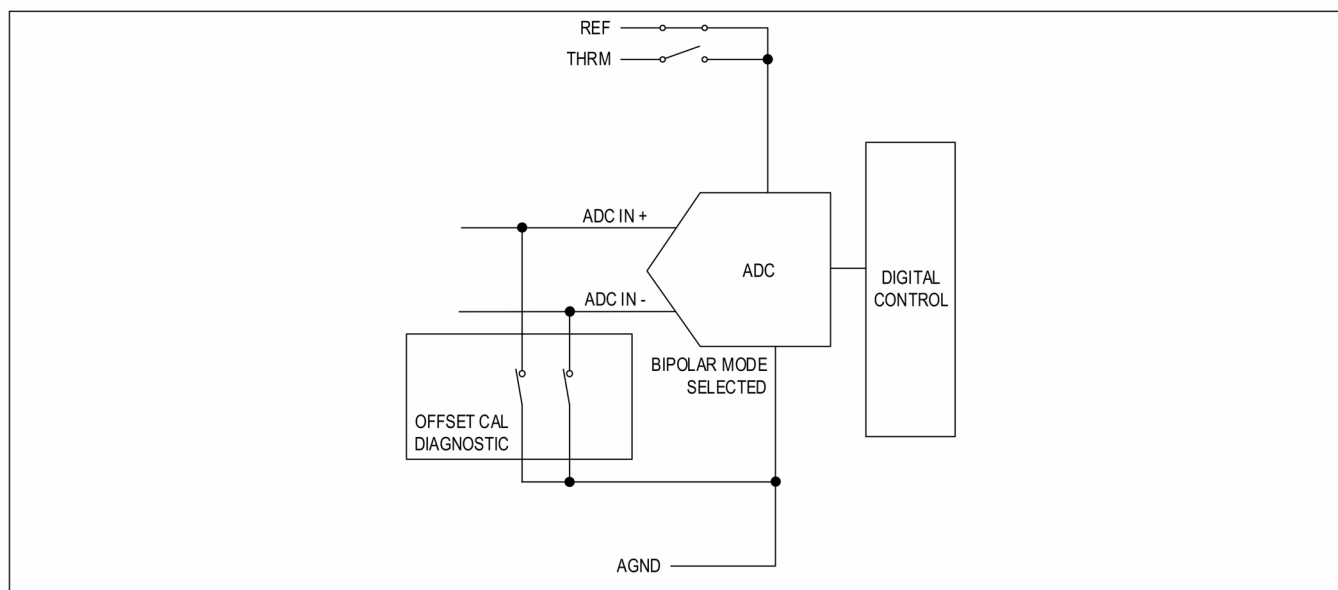


図 80. オフセット・キャリブレーション診断

THRM オフセット・キャリブレーション診断

THRM オフセット・キャリブレーション診断は、DIAGCFG レジスタを $\text{DIAGSEL1} = 0b1001$ または $\text{DIAGSEL2} = 0b1001$ に設定することによって実行されます。この診断は、THRM ケースのオンデマンド・キャリブレーションが正しく機能していること、および ADC が電気的特性の表に詳細を示す仕様の範囲内で動作していることを確認します。これは、ADC リファレンスを THRM に接続した状態で ADC 入力をグラウンドにショートさせ、最小の 16x オーバーサンプル ($\text{OVSAMPL} = 0b011$) という推奨に従い、バイポーラ・モードでアキュイジションを行うことにより行われます。シグナル・パスを図 81 に示します。

予想結果は 0V または $\text{DIAG1/2} [15:2] = 2000h$ (公称値) です。

この診断に合格する 14 ビット ADC 測定値限界の範囲は 1F91h から 2070h までです。

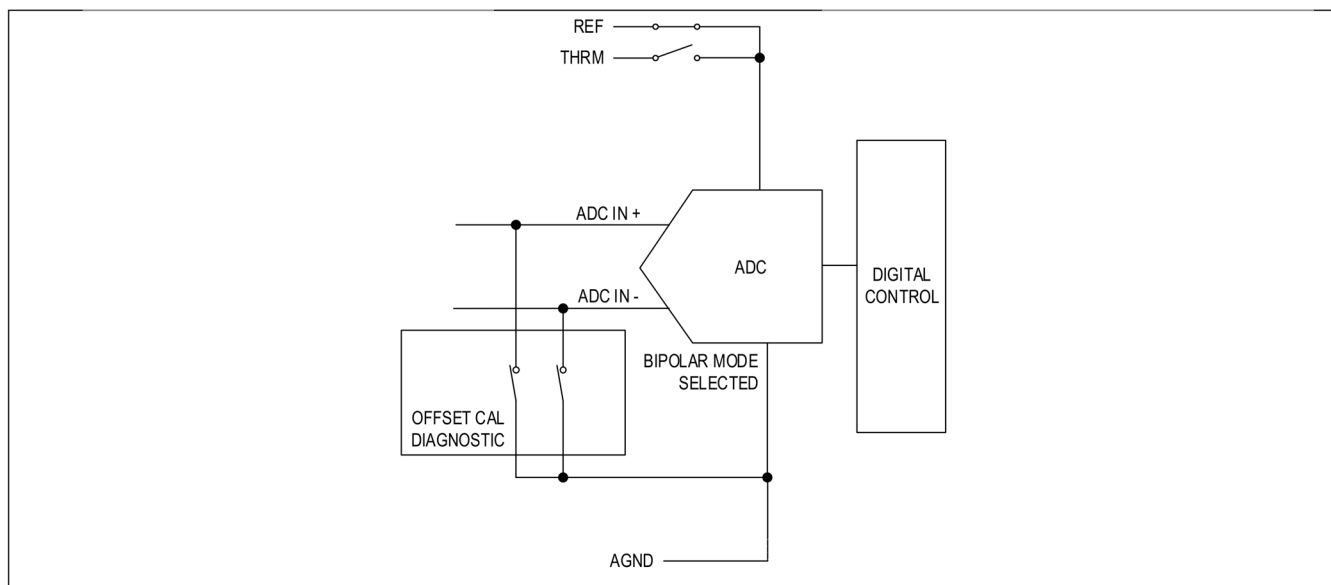


図 81. THRM オフセット・キャリブレーション診断

LSAMP オフセット診断測定

LSAMP 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b1100) は、アキュイジションの診断部分において LSAMP 入力を短絡することによって レベルシフト・アンプのオフセットを測定します。結果は、アキュイジション後に DIAG1REG レジスタまたは DIAG2REG レジスタに格納されます。この測定では、ゼロ付近の電圧を正確に測定できるように、ADC の極性が自動的にバイポーラ・モードに設定されます。この測定では、オフセット誤差を維持するためにチョッピング・フェーズが省略されます。診断測定が電氣的特性の表に定める V_{OS_LSAMP} の有効範囲を外れた場合は、チョッピング機能によってすべてのオフセット誤差をなくすることができなくなり、それに応じてアキュイジション精度も低下する可能性があります。この診断のシグナル・パスを図 82 に示します。

LSAMP オフセットは、DIAG1 または DIAG2 内の結果から次式により計算します。

$$\text{LSAMP Offset} = (|\text{DIAGn}[15:2] - 2000\text{h}| / 16384\text{d}) * 5\text{V}$$

この診断に合格する 14 ビット ADC 測定値の範囲は 1FD4 から 0x202D までです。

LSAMP を通じた測定の有効性は、ALTREF 診断と V_{AA} 診断、および V_{BLK} 測定値とセル測定値合計との比較によって更に確認が行われます。

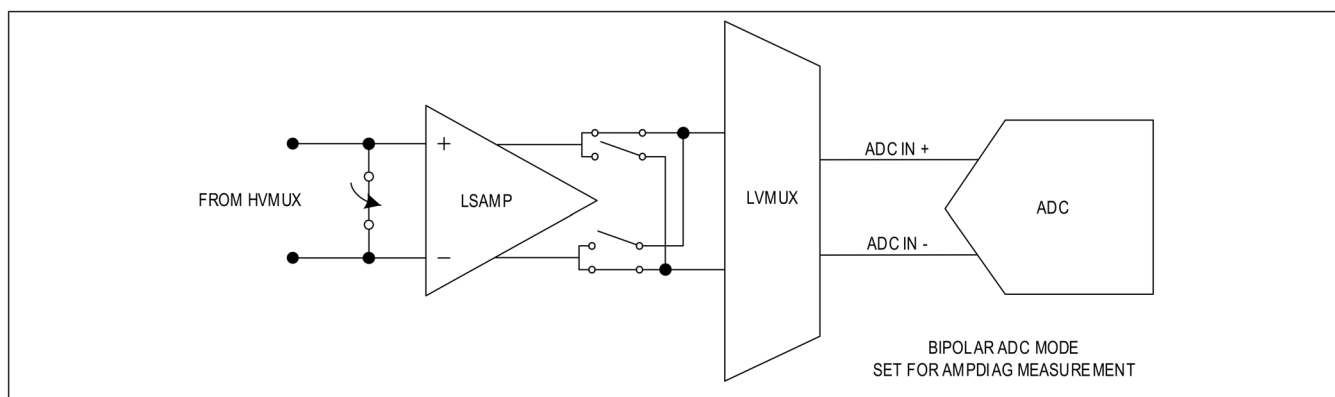


図 82. LSAMP のオフセット診断

ゼロスケール ADC 診断測定

スタックした ADC 出力ビットは、ゼロスケール診断とフルスケール診断を組み合わせることで確認できます。ゼロスケール ADC 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b1010) は、バイポーラ・モードでの ADC 入力が $-V_{AA}$ のときに、その ADC 変換の結果が 0000h (14 ビット) であることを確認します (リファレンスは -1.25V のみで、 $\text{DIAG1}/2[15:0] = 0000\text{h}$)。この測定では、ADC が自動的にバイポーラ・モードに設定されます。この診断のシグナル・パスを図 83 に示します。

ADC がある値でスタックしているかどうかを検出するために ADC のゼロスケールとフルスケールの迅速な組み合わせ方法を探している場合は、 $\text{ADCZSFZEN} = 1$ に設定してスキンを要求することにより、スキン終了の一部としてこれを行うことができます。スキンへの挿入とタイミングに関する詳細は、アキュイジション・タイミングのセクションを参照してください。

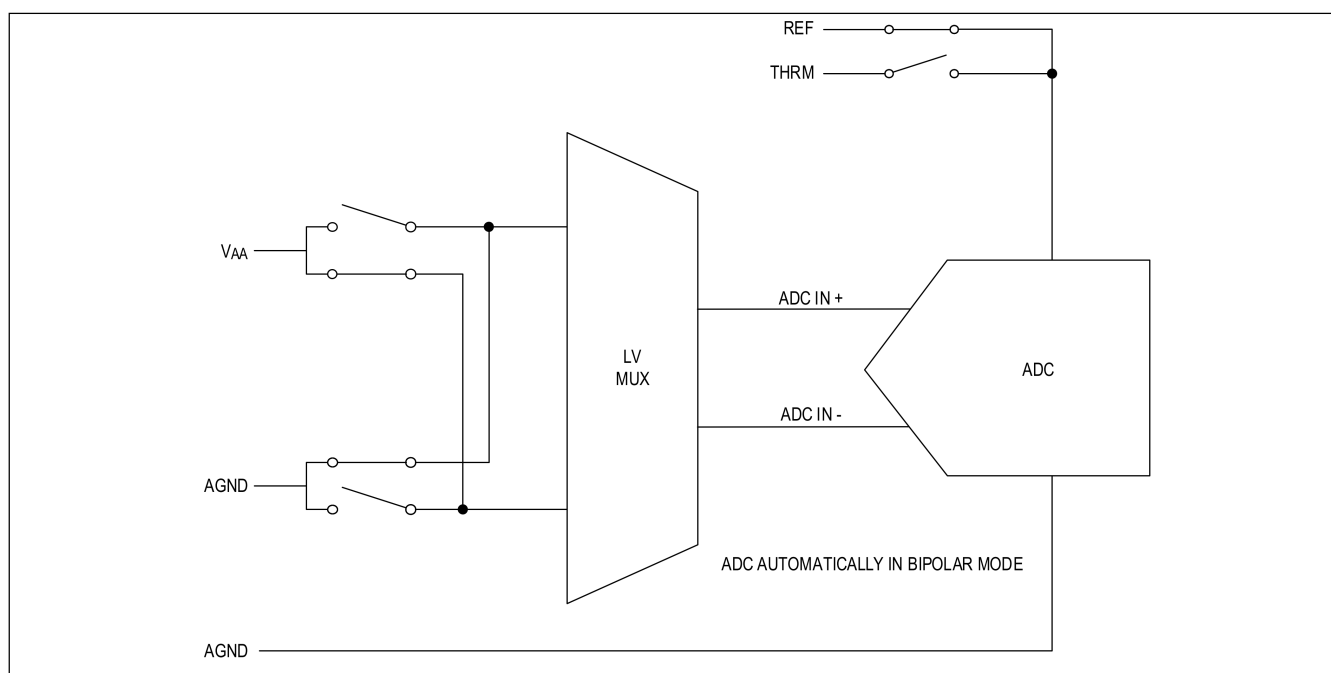


図 83. ADC のゼロスケール診断

フルスケール ADC 診断測定

スタックした ADC 出力ビットは、ゼロスケール診断とフルスケール診断を組み合わせることで確認できます。フルスケール ADC 診断測定 (DIAGSEL1 または DIAGSEL2 = 0b1011) は、バイポーラ・モードでの ADC 入力 V_{AA} のときに、その ADC 変換の結果が 3FFFh (14 ビット) であることを確認します (リファレンスは 1.25V のみで、DIAG1/2[15:0] = FFFCh)。この測定では、ADC が自動的にバイポーラ・モードに設定されます。この診断のシグナル・パスを図 84 に示します。

ADC がある値でスタックしているかどうかを検出するために ADC のゼロスケールとフルスケールの迅速な組み合わせ方法を探している場合は、ADCZSFZEN = 1 に設定してスキャンを要求することにより、スキャン終了の一部としてこれを行うことができます。スキャンへの挿入とタイミングに関する詳細は、アキュイジション・タイミングのセクションを参照してください。

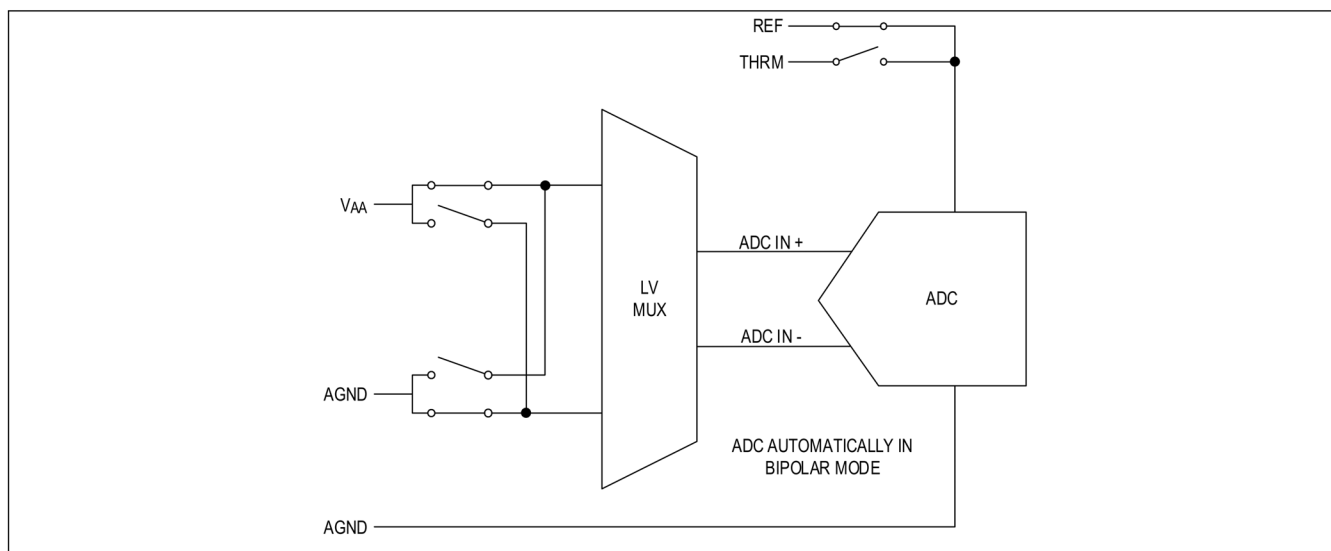


図 84. フルスケール ADC 診断測定

DAC の 1/4 スケール診断

DAC の 1/4 スケール診断は、DIAGSEL1 または DIAGSEL2 を 0x1000 に設定することによって要求できます。これは、コンパレータ閾値をフルスケール (V_{REF}) の約 1/4 または 0x3FF に設定するために使用する内部 DAC を設定します。DAC の電圧は、ADC にマルチプレクスされた後に図 85 に示す限界値と比較されます。DAC と ADC の公称電圧は次の通りです。

$$V_{DAC} = 1023/4096 \times 1.25 = 0.3122V$$

$$V_{ADC} = 0.3122/1.25 \times 16383 = 4092 = 0x0FFC$$

この診断に合格する 14 ビット ADC 測定限界値の範囲は、0x0F4D から 0x1086 までです。これは、コンパレータの閾値設定にエラーを発生させる可能性のあるスタック・ビットがないことを確認するために、DAC 3/4 スケール診断と組み合わせて使われます。

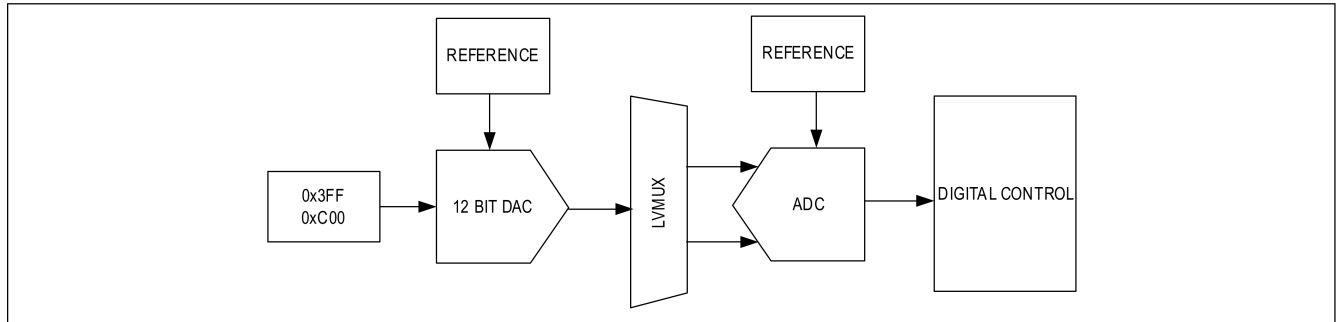


図 85. DAC の 1/4 および 3/4 スケール診断

DAC の 3/4 スケール診断

DAC の 3/4 スケール診断は、DIAGSEL1 または DIAGSEL2 = 0x0111 に設定することによって要求できます。これは、コンパレータ閾値をフルスケール (V_{REF}) の 3/4 または 0C00h に設定するために使用する内部 DAC を設定します。DAC の電圧は ADC にマルチプレクスされた後に、以下の限界値と比較されます。

DAC と ADC の公称電圧は次の通りです。

$$V_{DAC} = 3072/4096 \times 1.25 = 0.9375V$$

$$V_{ADC} = 0.9375/1.25 \times 16383 = 2FFFh$$

この診断に合格する 14 ビット ADC 測定限界値の範囲は、0x2F06 から 0x30A4 までです。

これは、コンパレータの閾値設定にエラーを発生させる可能性のあるスタック・ビットがないことを確認するために、DAC 1/4 スケール診断と組み合わせて使われます。

BALSW 診断

以下の診断を容易にするために、4 つのバランシング・スイッチ診断モードを使用できます。

- バランシング・スイッチをショート (SCANCFG[2:0] = 0b100)
- バランシング・スイッチをオープン (SCANCFG[2:0] = 0b101)
- 奇数検出ワイヤをオープン (SCANCFG[2:0] = 0b110)
- 偶数検出ワイヤをオープン (SCANCFG[2:0] = 0b111)

これらのいずれかのモードをイネーブルすると、いくつかのアキュイジション設定が自動的に行われます（例えば ALTMUX 測定パスをイネーブル）。ホストはアキュイジションを開始しなければなりませんが、BALSHRTHR、BALLOWTHR、または BALHIGHTHR の閾値レジスタを通じて設定された具体的な閾値と測定値を診断モードが自動的に比較して、ALRTBALSW レジスタ・フィールドに対応アラートをセットします。ホストは、電気的特性の表に仕様規定されたスイッチの最小および最大抵抗 (R_{sw}) と使用予定のセル・バランシング電流によって決定される閾値をプリセットします。

バランシング・スイッチ診断モードが要求された場合 (SCANCFG = 0b100、0b101、0b110、または 0b111) は、新しいスキャン要求の開始時にバランシング・スイッチ・フォルト・アラート・レジスタ (ALRTBALSW[13:0]) がクリアされます。電流バランシング・スイッチ診断の結果は、スキャン終了時 (SCANDONE = 1) に ALRTBALSW[13:0] に書き込まれます。前の結果は、バランシング・スイッチ診断モードをイネーブルした状態で新しいスキャンが要求されるまで、ALRTBALSW 内に残ります。

表 69 に、どのバランス・スイッチ診断アラート閾値が 4 つのモードそれぞれの ALRTBALSW に寄与するのかが示します。

表 69. BALSW 診断

MODE	SCANCFG[2:0]	THRESHOLD	FAULT CONDITION
Balancing Switch Short	0b100	BALSHRTTHR	Data < BALSHRTTHR
Balancing Switch Open	0b101	BALLOWTHR, BALHIGHTHR	Data < BALLOWTHR, or Data > BALHIGHTHR
Cell Sense Open Odds	0b110	BALLOWTHR, BALHIGHTHR	Data < BALLOWTHR, or Data > BALHIGHTHR
Cell Sense Open Evens	0b111	BALLOWTHR, BALHIGHTHR	Data < BALLOWTHR, or Data > BALHIGHTHR

バランシング・スイッチ診断モードがイネーブルされているときは、スキャン終了時に概要ステータス・ビットフィールド ALRTBALSWSUM が更新されます。ALRTBALSWSUM は ALRTBALSW[13:0] のビット論理和です。

ALRTBALSW は 14 個のチャンネル／スイッチすべてのビット・アラート・ステータスで、アラート・マスキングは TOPCELL1 と TOPCELL2 の設定によって異なります。TOPCELL1 != TOPCELL2 の場合はどのアラートもマスクされないことに注意しなければなりません。TOPCELL1 = TOPCELL2 の場合は、TOPCELL1/2 より上のすべてのアラートがマスクされます。これらの条件は、4 つある BALSW 診断 SCAN 要求のすべてに適用されます。

バランス・スイッチ診断概要ステータス ALRTBALSWSUM は、イネーブルされた ALRTBALSW[13:0] アラートが、その後のスキャンまたはロジック 0 の書込みによってすべて解消された場合にクリアすることができます。

注：ALRTOV アラート、ALRTUV アラート、および ALRTMSMTCH アラートは通常のセル測定時だけに適用されるので、バランス・スイッチ診断モードではこれらのアラートは更新されません。

BALSW のショート診断

バランシング・パスでのショート・サーキット・フォルトは、図 86 に示すように SWn と SWn-1 の間がショートしているか、バランシング FET が導通状態でスタックしている可能性があります。ショート・サーキット状態では、SWn と SWn-1 の間の電圧（スイッチ電圧）が、Cn と Cn-1 間の電圧（セル電圧）より小さくなります。

バランシング・スイッチ・ショート診断モードは、イネーブルすると（SCANCFG[2:0] = 0b100）以下のように機能します。

- バランシング・スイッチを自動的にディスエーブル
- ALTMUX パスを使ってアクイジションを自動的に設定
- 選択されたユニポーラ・セルについてだけホストがアクイジションを開始（~POLARITYn と CELLENn）
- 測定値と閾値 BALSHRTTHR を自動的に比較（ユニポーラ・セルのみ、つまり POLARITYn = 0、表 70 を参照）
- 閾値を外れる場合は、対応するフラグを ALRTBALSW に自動的にセット

漏れ電流に対する感度を最大限に高めるには、最小セル電圧から小さいノイズ・マージン（100mV）を減じた値に基づいて閾値を設定し、セル電圧がどの程度の率で変化すると予想されるかに応じて、閾値を定期的に更新するか測定ごとに更新します。BALSW のショート判定を表 70 に示します。

表 70. BALSW ショート診断動作

BALSW	V _{SWn}	FAULT INDICATED?	POSSIBLE FAULT CONDITION
Off	> V _{BALSHRTTHR}	No	None
	< V _{BALSHRTTHR}	Yes	Short circuit or leakage current

BALSW ショートの例を図 86 に示します。

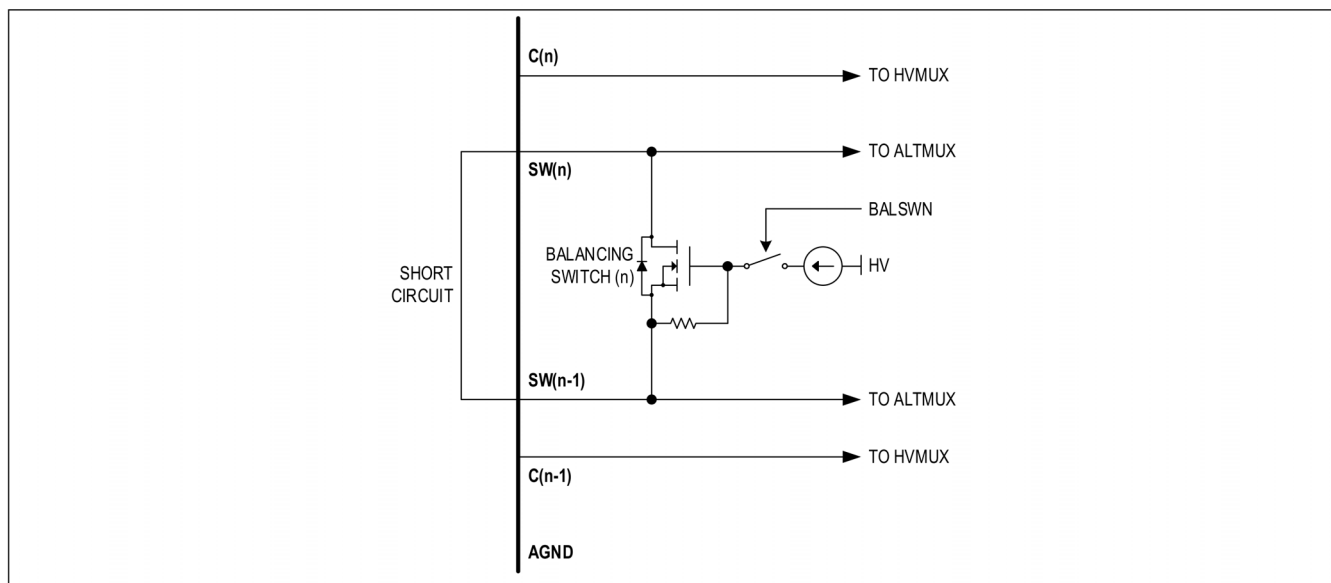


図 86. バランシング・スイッチ・ショート

BALSW ショート診断の手順を示すフロー・チャートを図 87 に示します。

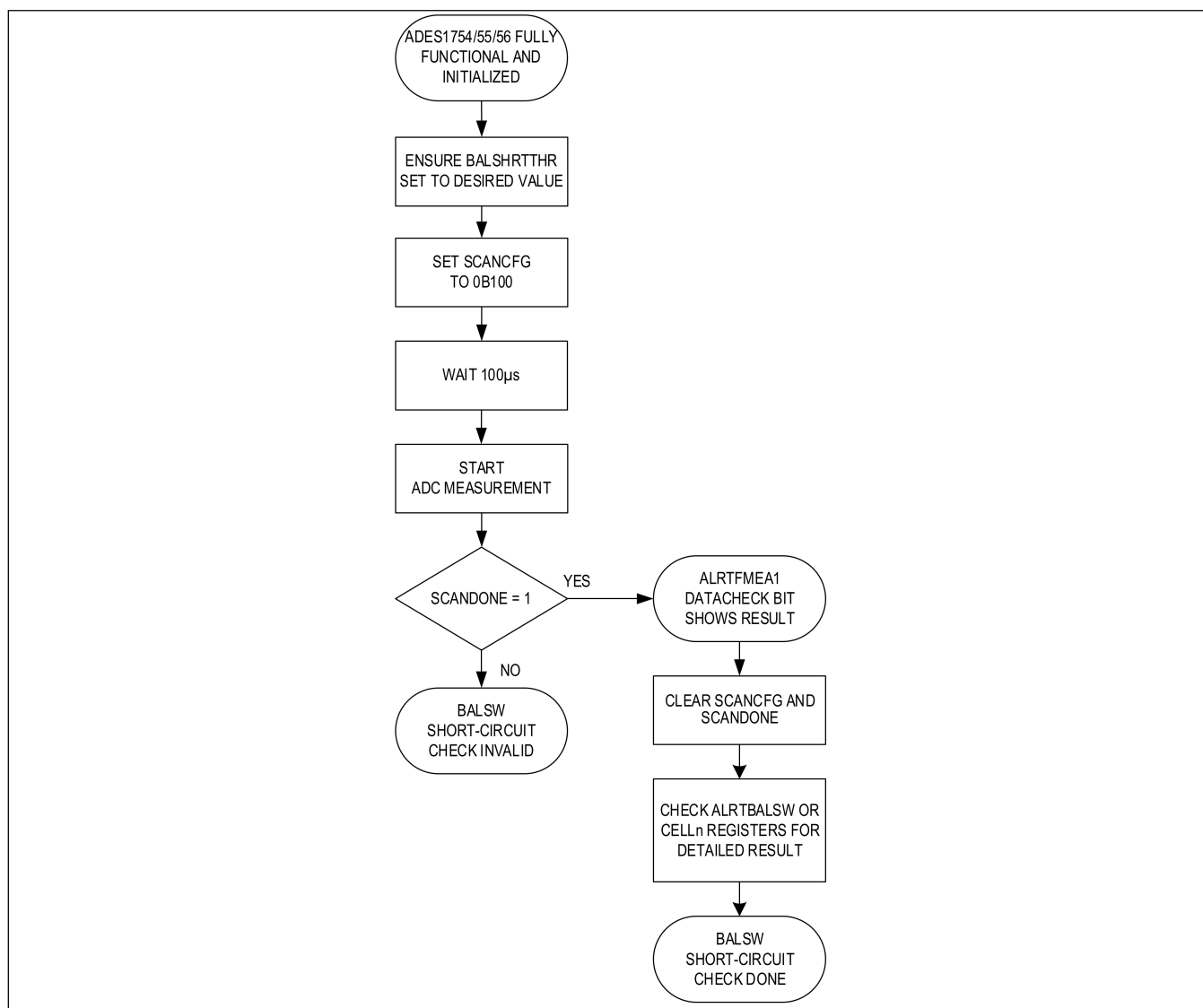


図 87. BALSW ショート診断チャート

BALSW ショート診断は、表 71 に示す要領で測定スキャン時の構成設定を自動的にオーバーライドします。

表 71. BALSW ショート診断の自動設定

CONFIGURATION BITS	AUTOMATIC SETTING	PURPOSE
MEASUREEN1[15:14]	0b00	Disable V_{BLK} measurements
MEASUREEN1[13:0]	(~POLARITYn and CELLENn)	Enable only selected unipolar cell measurements
MEASUREEN2[5:0]	0b000000	Disable AUXn measurements
BALSWEN[13:0]	0x0000	Disable all balancing switches
DIAGSEL1/2	0x0	Disable all diagnostics
SCANCTRL:ALTMUXSEL	1	Enable ALTMUX measurement path
SCANCTRL:OVSAMPL	0x0	Oversample rates configured to 1

BALSW オープン診断

BALSW オープン診断 (SCANCFG[2:0] = 0b101) は、以下の要領で、イネーブルされた各バランシング・スイッチが導通している (オープン状態でない) ことを確認します。

- バイポーラ・モードのアクイジションを自動的に設定 (ゼロ付近の電圧測定用)
- ALTMUX パスのアクイジションを自動的に設定
- すべてのユニポーラ・セル位置で BALSWE_Nにより自動的にイネーブルされたスイッチのスイッチ電圧を測定するために、アクイジションを設定 (~POLARITY_N と BALSWE_N)
注: デバイスをアクティブ・マニュアル・セル・バランシング動作にする必要はありません。必要に応じて BALSWE_Nを設定するだけです。
- ホストがアクイジションを開始
- 各測定値を閾値 BALLOWTHR および BALHIGHTHR と自動的に比較 – 表 72 を参照
- 閾値を外れる場合は、対応するフラグを ALRTBALSW に自動的にセット

閾値は、電気的特性の表に仕様規定されたスイッチ自体の最小および最大 R_{sw} と、アプリケーションのバランシング電流を考慮に入れて設定します。BALSW オープン診断動作による判定を表 72 に示します。

表 72. BALSW オープン診断動作

BALSW	V _{SW_N}	FAULT INDICATED?	POSSIBLE FAULT CONDITION
On	> V _{BALHIGHTHR}	Yes	Switch open circuit or overcurrent
	> V _{BALLOWTHR}	No	None
	< V _{BALHIGHTHR}		
	< V _{BALLOWTHR}	Yes	Path open circuit or short circuit

BALSW オープン診断の手順を示すフロー・チャートを図 88 に示します。

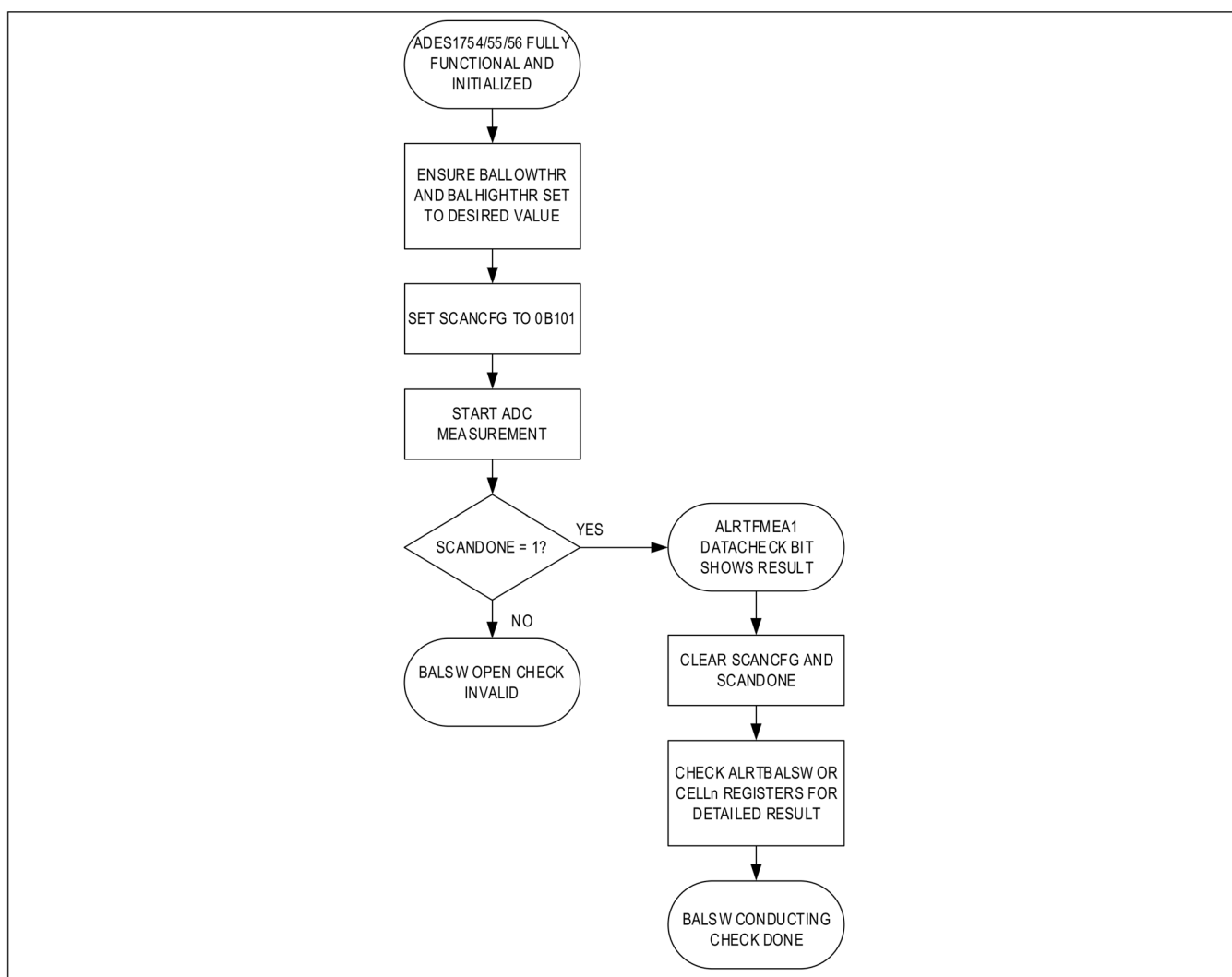


図 88. BALS Open 診断

BALS Open 診断は、表 73 に示す要領で測定スキャン時の構成設定を自動的にオーバーライドします。

表 73. BALS Open 診断の自動設定

CONFIGURATION BITS	AUTOMATIC SETTING	PURPOSE
MEASUREEN1[15:14]	0b00	Disable V_{BLK} measurements
MEASUREEN1[13:0]	BALSWENn and ~POLARITYn	Measure only active unipolar switch positions
MEASUREEN2[5:0]	0b000000	Disable AUXn measurements
DIAGSEL1/2	0x0	Disable all diagnostics
SCANCTRL:ALTMUXSEL	1	Enable ALTMUX measurement path
SCANCTRL:OVSAMPL	0x0	Oversample rate configured to 1

偶数／奇数検出ワイヤのオープン診断

検出ワイヤ・オープン診断モードをイネーブルした場合、このモードはセル検出ワイヤの接続が遮断されているかどうかを検出します。

- バイポーラ・モードのアクイジションを自動的に設定（ゼロ付近の電圧測定用）
- 隣接していないスイッチをクローズ（偶数または奇数を自動的に）
- ALTMUX パスを使用するようにアクイジションを自動的に設定
- ホストはセトリングのために 100 μ s 待機した後でアクイジションを開始
- 結果を自動的に BALHIGHTHR レジスタおよび BALLOWTHR レジスタと比較
- 閾値を外れる場合は、自動的に ALRTBALSW にフラグをセット

バス・バーがある場合とない場合の両方について（POLARITY_n = 1 で識別）、通常動作と異常動作の例を図 90 から図 94 に示します。偶数および奇数ワイヤでの実行から得られた複合レポート結果を検討することにより、フォルトの位置とタイプを判定することができます。オープン検出ワイヤ診断時に ADES1754/ADES1755/ADES1756 が実行する手順を図 89 に示します。

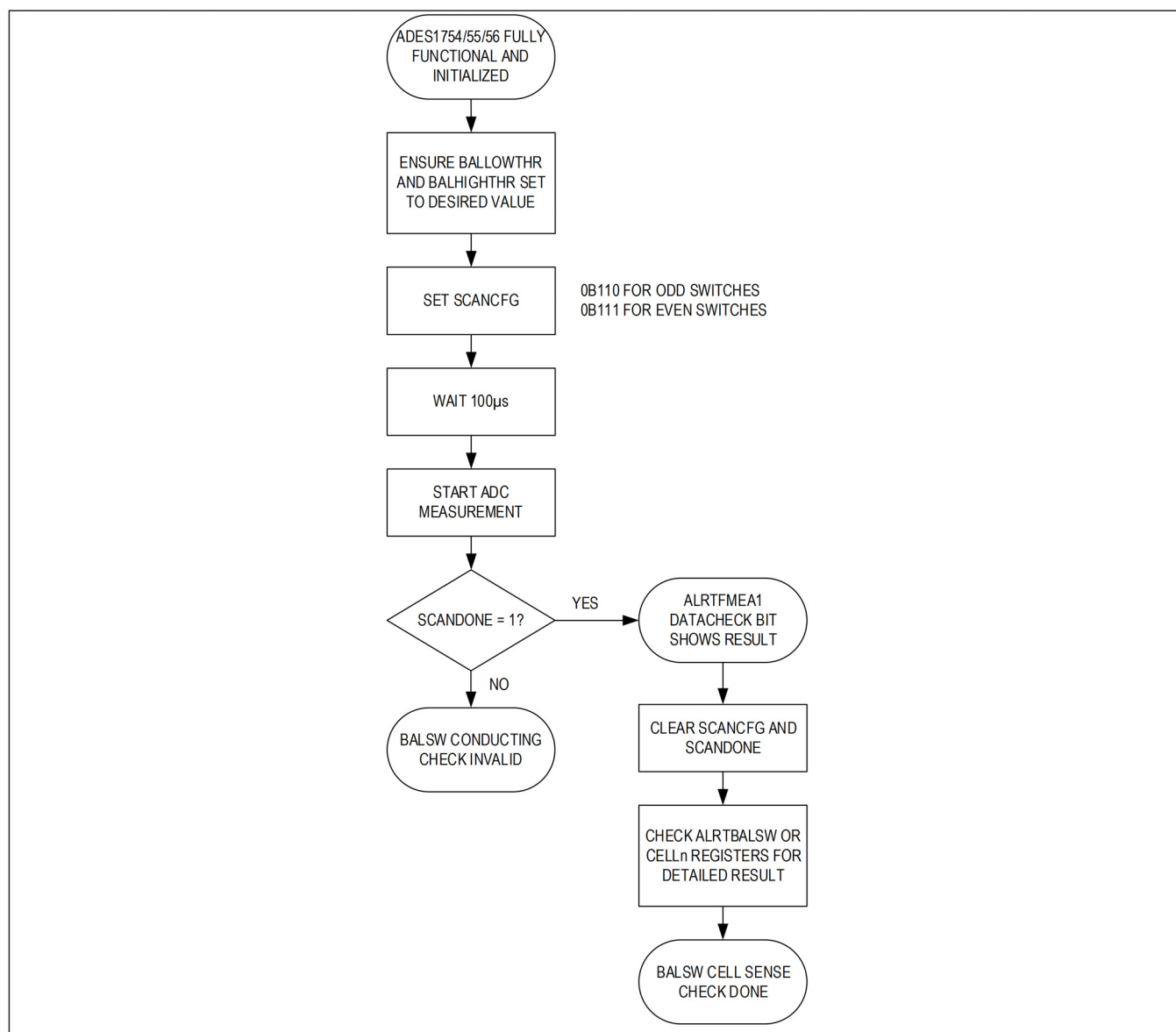


図 89. 検出ワイヤ・オープン診断のフロー

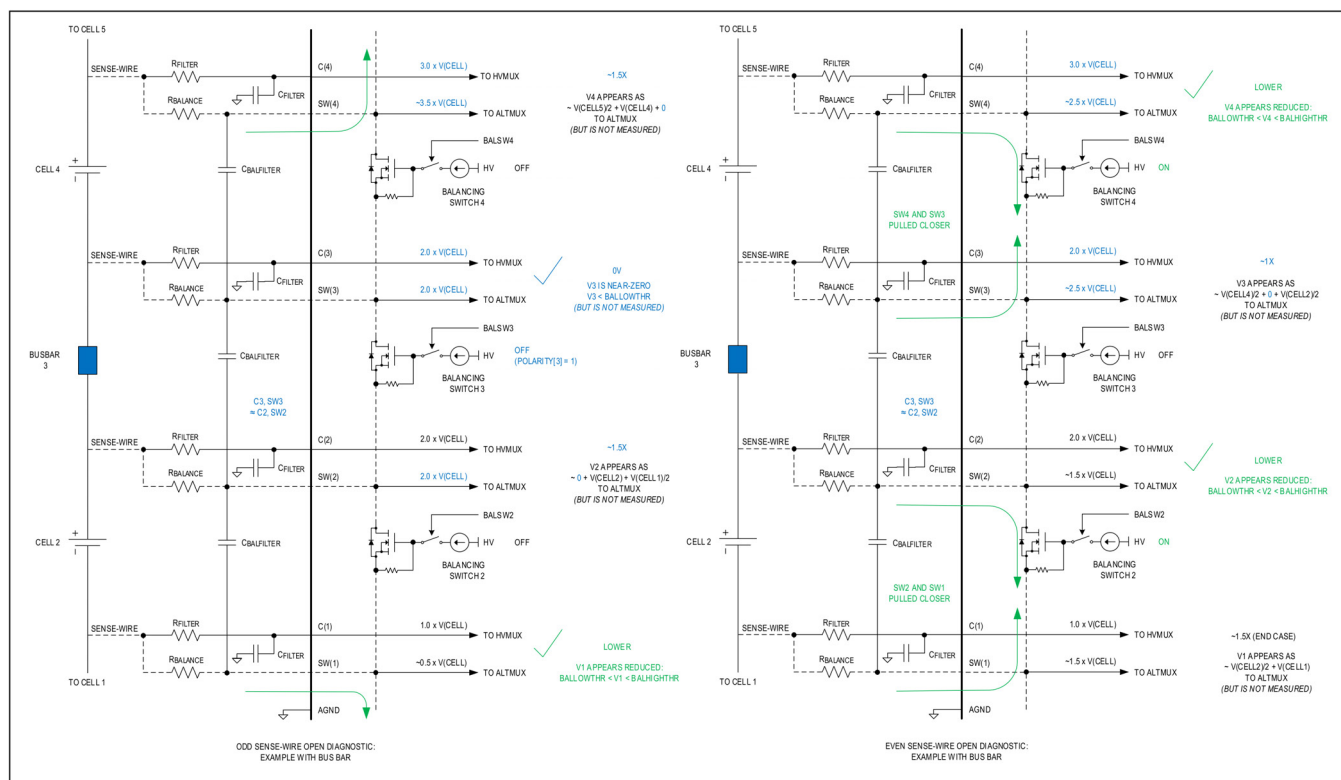


図 91. セル検出ワイヤのオープン診断動作 – 通常動作バス（バス・バーが含まれる場合）

検出ワイヤ断線フォルト検出の例

図 92、図 93、表 75、および表 77 に、奇数および偶数検出ワイヤ・オープン診断の組み合わせを使って検出ワイヤ断線の検出と診断を行う方法の例を示します。

奇数位置の検出ワイヤが断線している場合の、奇数および偶数両方の検出ワイヤ・オープン診断シーケンス時の電氣的動作を図 92 に示します。図には、このフォルトの結果として発行されるアラートも示されています。

偶数位置の検出ワイヤが断線している場合の、奇数および偶数両方の検出ワイヤ・オープン診断シーケンス時の電氣的動作を図 93 に示します。図には、このフォルトの結果として発行されるアラートも示されています。

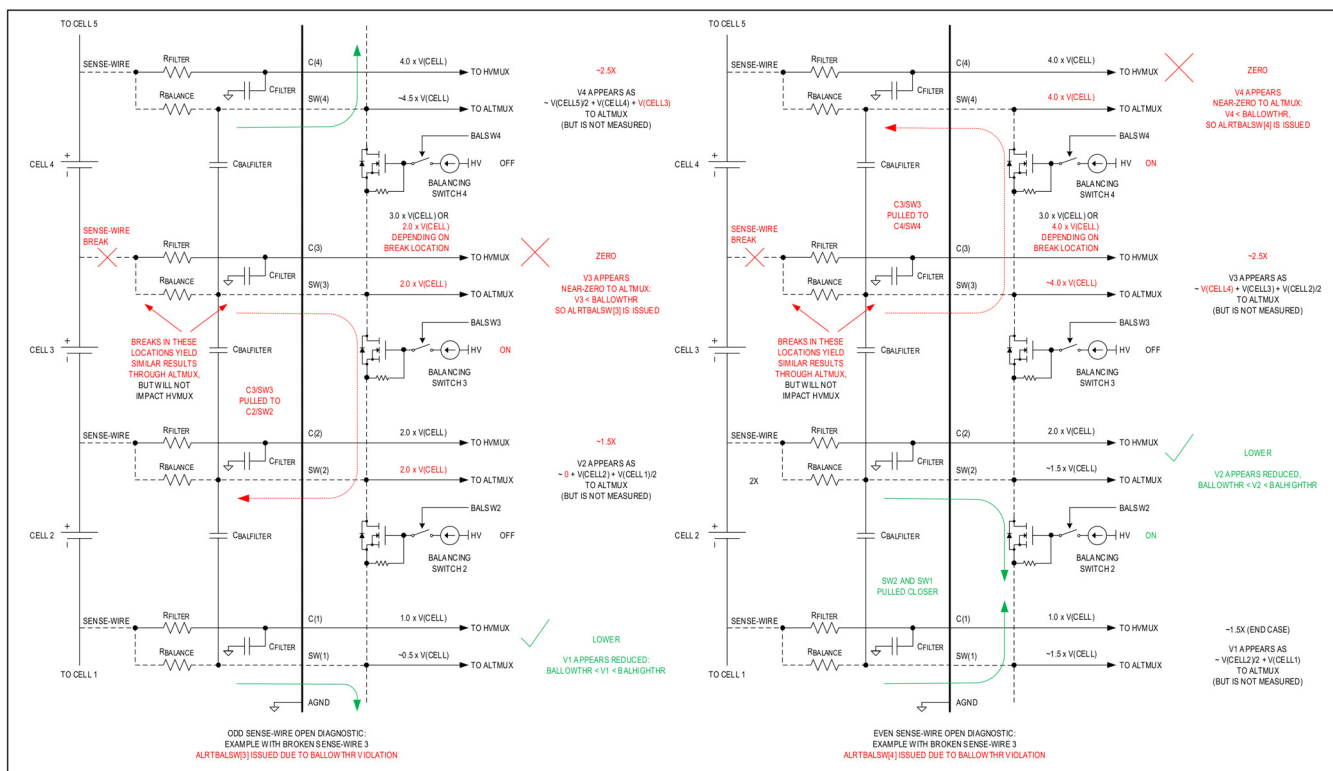


図 92. セル検出ワイヤのオープン診断動作 - 奇数検出ワイヤ・フォルトの例

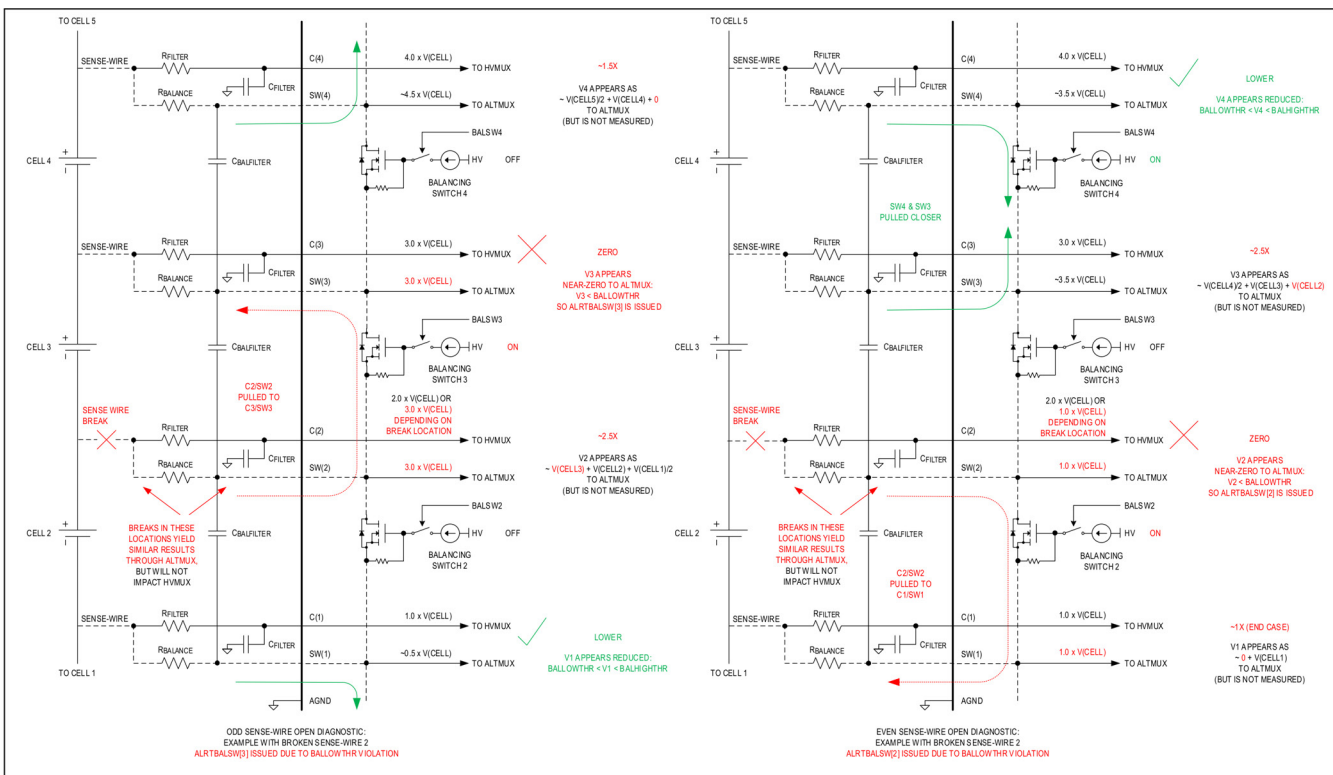


図 93. セル検出ワイヤのオープン診断動作 - 偶数検出ワイヤ・フォルトの例

検出ワイヤ・オープン・フォルト検出の結果

奇数検出ワイヤ・オープン診断時における各検出ワイヤ位置の断線に対応する測定アラートを、表 75 に示します。偶数検出ワイヤ・オープン診断の結果と組み合わせれば、検出ワイヤ・フォルトの正確な位置を特定することができます。

表 75. 断線検出ワイヤの奇数検出ワイヤ・オープン測定の結果

		SENSE-WIRE OPEN FAULT LOCATION														
		SW 0	SW 1	SW 2	SW 3	SW 4	SW 5	SW 6	SW 7	SW 8	SW 9	SW1 0	SW1 1	SW1 2	SW1 3	SW1 4
CELL MEASUREME NT	Cell1	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell2	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell3	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell4	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell5	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell6	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell7	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK
	Cell8	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell9	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK
	Cell1 0	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell1 1	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK
	Cell1 2	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell1 3	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK
	Cell1 4	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM

注 : OK = エラー検出されず、LO = BALLOWTHR 超過、NM = 未測定、最大の結果は 2.5V

偶数検出ワイヤ・オープン診断時における各検出ワイヤ位置の断線に対応する測定アラートを、表 76 に示します。奇数検出ワイヤ・オープン診断の結果と組み合わせれば、検出ワイヤ・フォルトの正確な位置を特定することができます。

表 76. 断線検出ワイヤの偶数検出ワイヤ・オープン測定の結果

		SENSE-WIRE OPEN FAULT LOCATION														
		SW 0	SW 1	SW 2	SW 3	SW 4	SW 5	SW 6	SW 7	SW 8	SW 9	SW1 0	SW1 1	SW1 2	SW1 3	SW1 4
CELL MEASUREME NT	Cell1	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell2	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell3	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell4	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell5	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell6	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK
	Cell7	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell8	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK
	Cell9	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell1 0	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK
	Cell1 1	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell1 2	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK

	Cell1 3	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM	NM
	Cell1 4	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO

注：OK = エラー検出されず、LO = BALLOWTHR 超過、NM = 未測定、最大の結果は 2.5V

これら 2 つの診断を組み合わせれば、検出ワイヤの正確な断線位置を特定することができます。組み合わせによる診断の結果を表 77 に示します。

表 77. 断線検出ワイヤの奇数および偶数検出ワイヤ・オープン測定結果のオーバーレイ

		SENSE-WIRE OPEN FAULT LOCATION														
		SW 0	SW 1	SW 2	SW 3	SW 4	SW 5	SW 6	SW 7	SW 8	SW 9	SW1 0	SW1 1	SW1 2	SW1 3	SW1 4
CELL MEASUREME NT	Cell1	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell2	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell3	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell4	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell5	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell6	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK	OK
	Cell7	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK	OK
	Cell8	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK	OK
	Cell9	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK	OK
	Cell1 0	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK	OK
	Cell1 1	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK	OK
	Cell1 2	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK	OK
	Cell1 3	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO	OK
	Cell1 4	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	LO	LO

注：OK = エラー検出されず、LO = BALLOWTHR 超過、最大の結果は 2.5V

断線した内部スイッチ／配線パターンのフォルト検出例

図 94 および表 77 に、奇数および偶数検出ワイヤ・オープン診断の組み合わせを使って検出ワイヤ断線の検出と診断を行う方法の例を示します。

内部スイッチまたは接続にフォルトが存在する場合の、奇数および偶数両方の検出ワイヤ・オープン診断シーケンス時の電氣的動作を図 94 に示します。図には、このフォルトの結果として発行されるアラートも示されています。

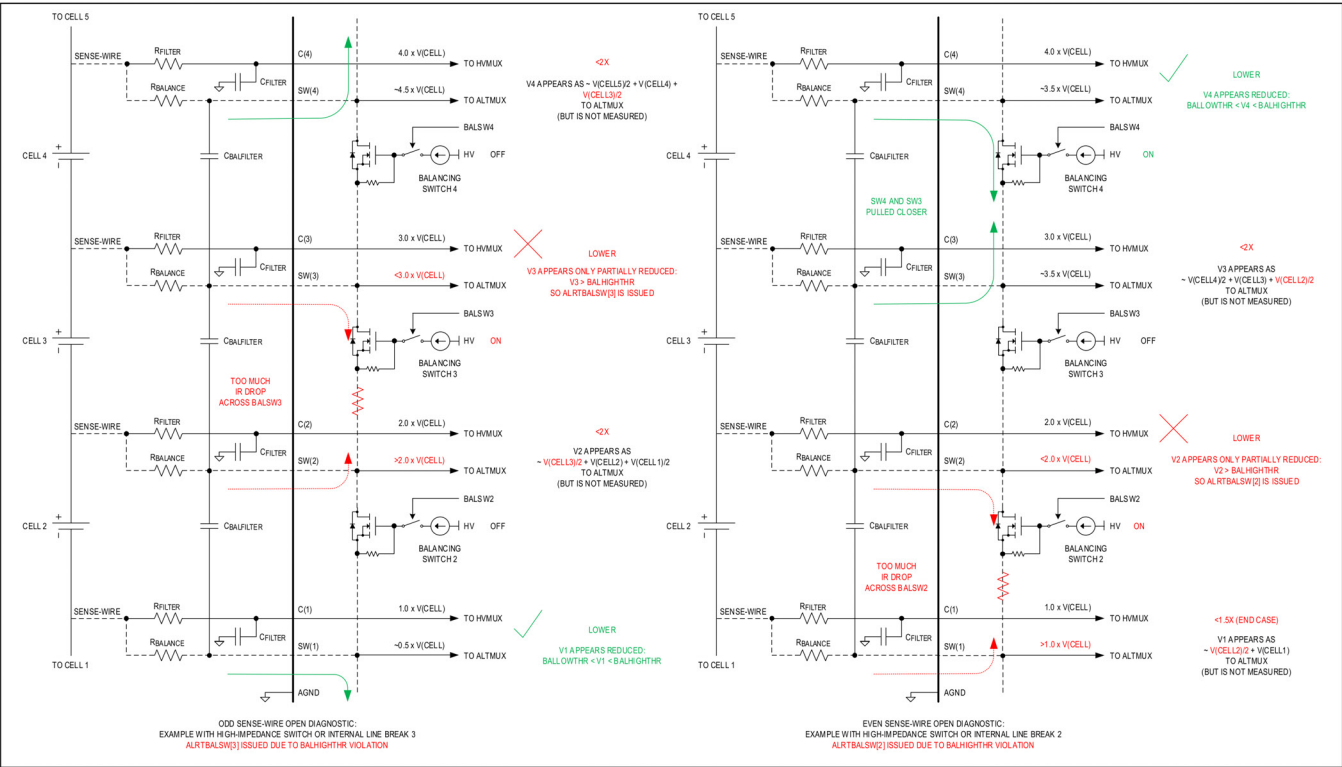


図 94. セル検出ワイヤのオープン診断動作 – BALS3 または内部配線パターンに破損や断線がある場合の例

スイッチ破損フォルト検出の結果

これら 2 つの診断を組み合わせれば、スイッチや内部配線パターンの異常を検出して、その正確な位置を特定することができます。組み合わせによる診断の結果を表 78 に示します。検出ワイヤ断線の場合と異なり、このタイプのフォルトでは 1 つの ALRTBALS3 アラートだけが発行されます。

表 78. 断線検出ワイヤの奇数および偶数検出ワイヤ・オープン測定結果のオーバーレイ

		SWITCH OR TRACE FAULT LOCATION (BALS3)													
		1	2	3	4	5	6	7	8	9	10	11	12	13	14
CELL MEASUREMENT	Cell1	HI	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell2	OK	HI	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell3	OK	OK	HI	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell4	OK	OK	OK	HI	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell5	OK	OK	OK	OK	HI	OK	OK	OK	OK	OK	OK	OK	OK	OK
	Cell6	OK	OK	OK	OK	OK	HI	OK	OK	OK	OK	OK	OK	OK	OK
	Cell7	OK	OK	OK	OK	OK	OK	HI	OK	OK	OK	OK	OK	OK	OK
	Cell8	OK	OK	OK	OK	OK	OK	OK	HI	OK	OK	OK	OK	OK	OK
	Cell9	OK	OK	OK	OK	OK	OK	OK	OK	HI	OK	OK	OK	OK	OK
	Cell10	OK	OK	OK	OK	OK	OK	OK	OK	OK	HI	OK	OK	OK	OK
	Cell11	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	HI	OK	OK	OK
	Cell12	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	HI	OK	OK
	Cell13	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	HI	OK
	Cell14	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK	HI

注：OK = エラー検出されず、HI = BALHIGHTHR 超過、最大の結果は 2.5V

ADC スキャン終了診断

この診断は、 $ADCZSFSEN = 1$ のときに ADC を使用するように設定された測定シーケンス ($SCANCFG = 0b000$ または $0b001$) の終了時に行われます。ADC 測定はバイポーラ・モードで行われます。

フルスケール診断の場合は、 $ADC_{REF} = V_{REF}$ および $ADC_{IN} = V_{AA}$ です。

ADC からの結果が $FFFh$ (12 ビットの結果) 未満の場合は、FMEA2 レジスタの $ALRTADCFS$ ビットをセットすることによってアラートが発行されます。

ゼロスケール診断の場合は、 $ADC_{REF} = V_{REF}$ および $ADC_{IN} = -V_{AA}$ です。

ADC からの結果が $000h$ より大きい場合は、FMEA2 レジスタの $ALRTADCZS$ ビットをセットすることによってアラートが発行されます。 $DIAGSEL1$ レジスタおよび $DIAGSEL2$ レジスタは、ADC に関する更に詳しい診断情報が得られるように設定できます。

アプリケーション情報

バッテリー・マネージメント・システム

デイジーチェーン・システム

デイジーチェーン・システムは、ホスト・マイクロコントローラとすべてのバッテリー・モジュールの間に通信リンクを設定します。デイジーチェーンによる方法では、必要とされるのがマイクロコントローラ 1 つと CAN PHY、および最下層モジュールとホスト間のトランスだけなので、全体的なシステム・コストを削減できますが、デイジーチェーンを使わない場合 (分散型 CAN システム) は、すべての要素に冗長実装が必要になります。分散型 CAN システム実装の詳細については、[分散型 CAN システム](#)のセクションを参照してください。

デジチェーンのシステム図

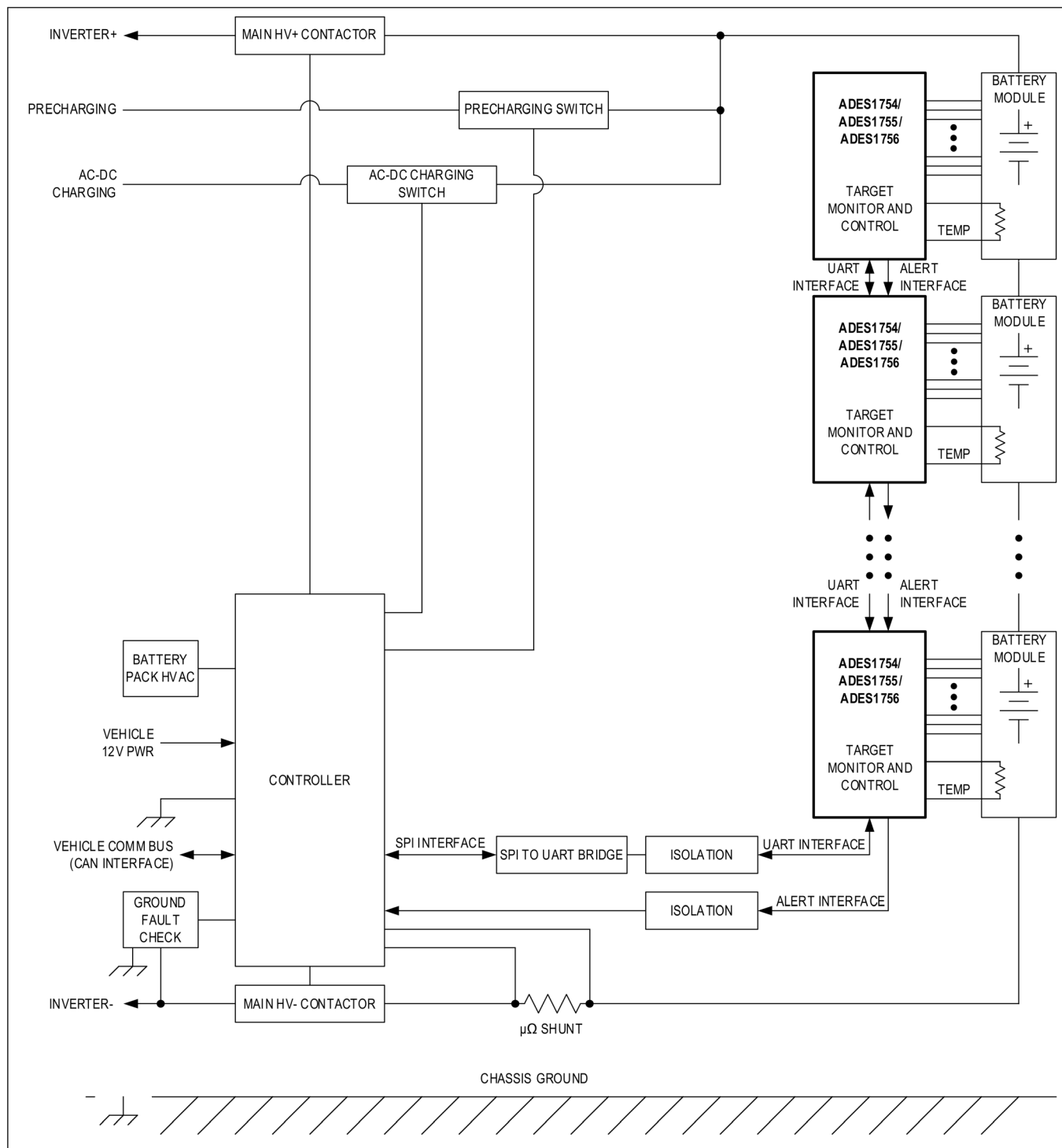


図 95. デジチェーン・システム

分散型 CAN システム

図 96 に示す分散型 CAN システムでは、個別の CAN 通信インターフェイスとバッテリー・マネージメント・マイクロコントローラを使用するほか、各バッテリー・モジュールとコントローラ/ECU 間をトランスで絶縁します。このシステム・アーキテクチャは実現可能ですが、システム・コストが高くなります。

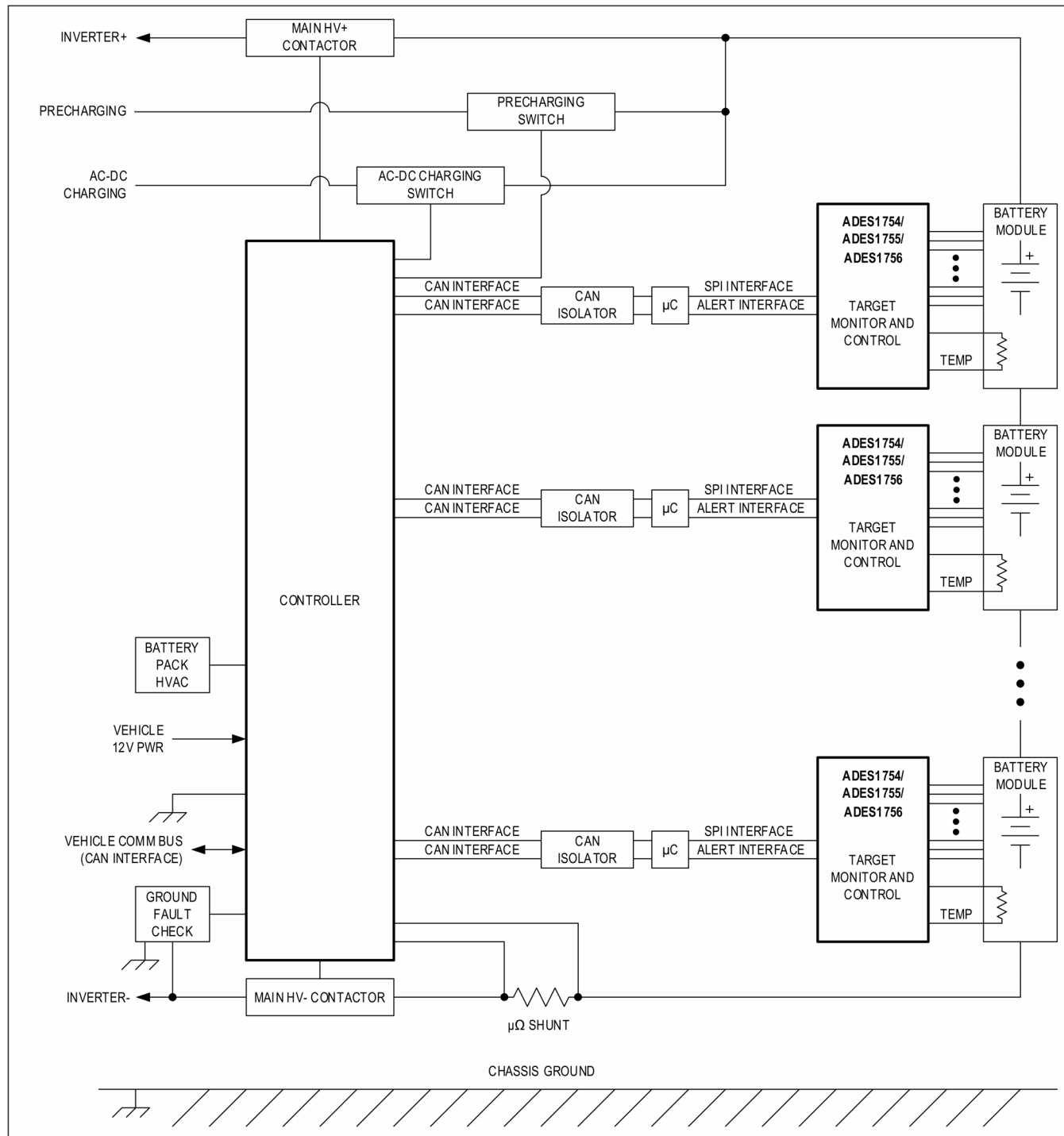


図 96. 分散型システム

標準モジュール構成

電源接続

標準モジュール構成では、内部および外部両方の保護回路により、ADES1754/ADES1755/ADES1756 は、DCIN 入力をバッテリー・パックのトップ・セルに接続するフィルタ回路を使用して、バッテリー・モジュール電圧から直接電源を得ることができます。これらの保護回路は、バッテリー電圧を最初にデバイスに接続する場合や、車体のインバータをバッテリー・スタックに接続する場合、あるいは回生ブレーキなどの充電／放電遷移時などに発生する可能性のあるトランジェントからデバイスを保護します。内部回路は、72V まで対応可能なバッテリー入力と、内部低電圧レギュレータ用の高いノイズ除去比（PSRR）を備えています。

図 97 に示す外部保護回路は、DCIN 入力をフィルタしてクランプします。負電圧トランジェントの間は、フィルタ・コンデンサがトランジェントを通じてデバイスへの電力供給を維持します。

最大限の測定精度を得るには、セル検出ワイヤとは別の専用ワイヤを電源接続に使用する必要があります（ケルビン検出）。これは、電源電流によって生じる検出ワイヤの電圧降下をなくするためです。アプリケーションがこの誘導誤差を許容できる場合は、ワイヤ数を減らすために電源ワイヤを検出ワイヤとして使用できます。

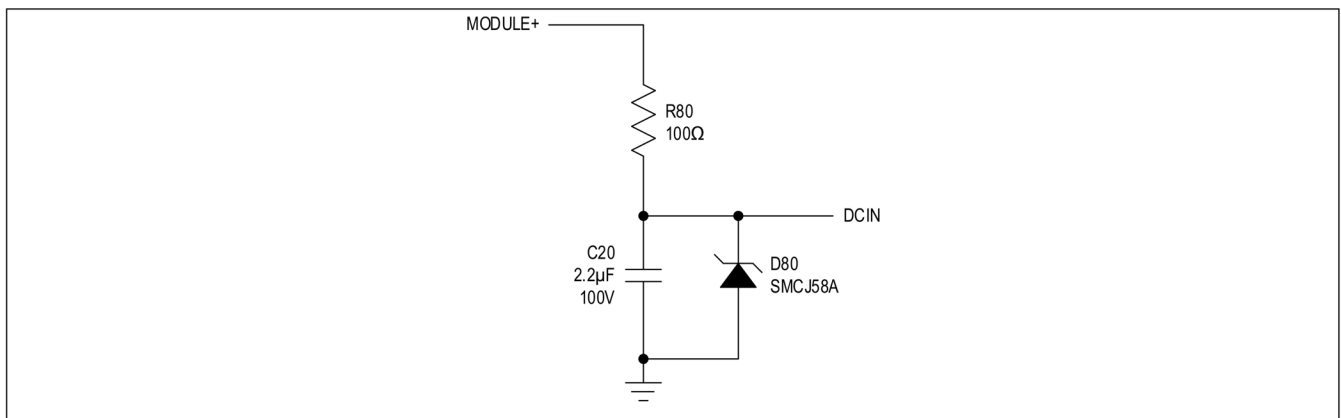


図 97. 電源接続

セル入力の接続

前のセクションに述べたように、セル間の不均等な充電を防ぐために、DCIN 入力はバッテリー・モジュールのトップ・セルに接続する必要があります。バッテリー・モジュールに含まれるセルが 14 個未満の場合は、最も下位の入力（例えば C1 と C0）を最初に利用して、最も低い同相信号に接続する必要があります。使用しないセル入力はまとめて互いにショートさせ、使用しないスイッチ入力もまとめて互いにショートさせます。未使用チャンネルに対応する誤アラートをマスクするために、TOPCELL1/2 ビットも 14 セル未満のスタックに合わせて設定する必要があります。

フレキシブル・パック設定

電源、セル入力設定

フレキシブル・パック（フレックス・パック）設定はシステムに柔軟性を提供して、個々のデジチェーン・システムに応じてバッテリー・モジュールの設定を変化させるという要求や、1 つの標準バッテリー・パック内で不均等なモジュール・サイズを使用する分散型デジチェーン・システムの要求を、1 つの ADES1754/ADES1755/ADES1756 で満たせるようにします。

この柔軟性は、トップ・バッテリー・セルの内部電源配線や、ブロック電圧の内部信号配線を通じて実現されます。従来は個別の外部配線パターンでこれらの接続を行う必要がありました。この内部配線により、DCIN フィルタ抵抗やブロック電圧測定フィルタをなくして BOM コストを削減できます。また、未使用チャンネルを未接続のまま残せば、任意のバッテリーのワイヤ・ハーネスを標準バッテリー・モジュールに接続することが可能になります。実装の詳細については、[フレキシブル・バッテリー・パック設定](#)のセクションを参照してください。

非分散型デジチェーン・システム（集中型システム）では、フレックス・パックが FLXPCKSCAN を使用してセル配線による電圧降下を大幅に軽減するので、外部検出ワイヤを配線する必要がなくなり、結果として合計 BOM コストを削減できるほか、キャリブレーションに関わるシステム・コストと制約をなくすことができます。

より多くの消費電力が必要とされる場合は、外部トランジスタによってセル・バランシング電流を切り替えることができます。内部スイッチは外部トランジスタの切替えに使用でき、電力は外部電流制限抵抗によって制限されます。

FET スイッチを使用するセル・バランスング用のアプリケーション回路を図 98 に示します。Q_{BALANCE} は、バランスング時におけるアプリケーションの最小 V_{CELLH} の要求を満たす低い V_T に合わせて選択されます。D_{GATE} は、ホットプラグ時の逆 V_{GS} 電圧から Q_{BALANCE} を保護します。R_{GATE} は、ホットプラグ時の突入電流を制限することによりデバイスを保護します。ドレインからゲートへ結合されるトランジエント・ノイズを減衰させてトランジスタ・バイアスを維持するために、C_{GATE} を追加できます。セル・バランスング電流は R_{BALANCE} によって制限されます。様々な外部セル・バランスング部品の概要を表 79 に示します。

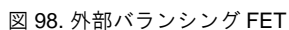


表 79. FET バランシング部品

COMPONENT NAME	TYPICAL VALUE OR PART	FUNCTION
R_{BIAS}	1k Ω	Voltage-divider for transistor bias
R_{GATE}	100 Ω	Hot-plug current-limiting resistor
D_{GATE}	S1B	Reverse-voltage gate protection
C_{GATE}	1nF	Transient V_{GS} suppression
$R_{BALANCE}$	Per application	Balancing current-limiting resistor
$Q_{BALANCE}$	SQ2310ES	External switch

BJT スイッチを使用する外部セル・バランシング

BJT スイッチを使用するセル・バランシング用のアプリケーション回路を図 99 に示します。 $Q_{BALANCE}$ は、使用可能な I_B 駆動電流とセル・バランシング電流に基づき、消費電力に合わせて選択します。 D_{BASE} は、ホットプラグ時の負の V_{GS} から $Q_{BALANCE}$ を保護します。 R_{BASE} は、ホットプラグ時の突入電流を制限することによりデバイスを保護します。セル・バランシング電流は $R_{BALANCE}$ によって制限されます。様々な外部セル・バランシング部品の概要を表 80 に示します。

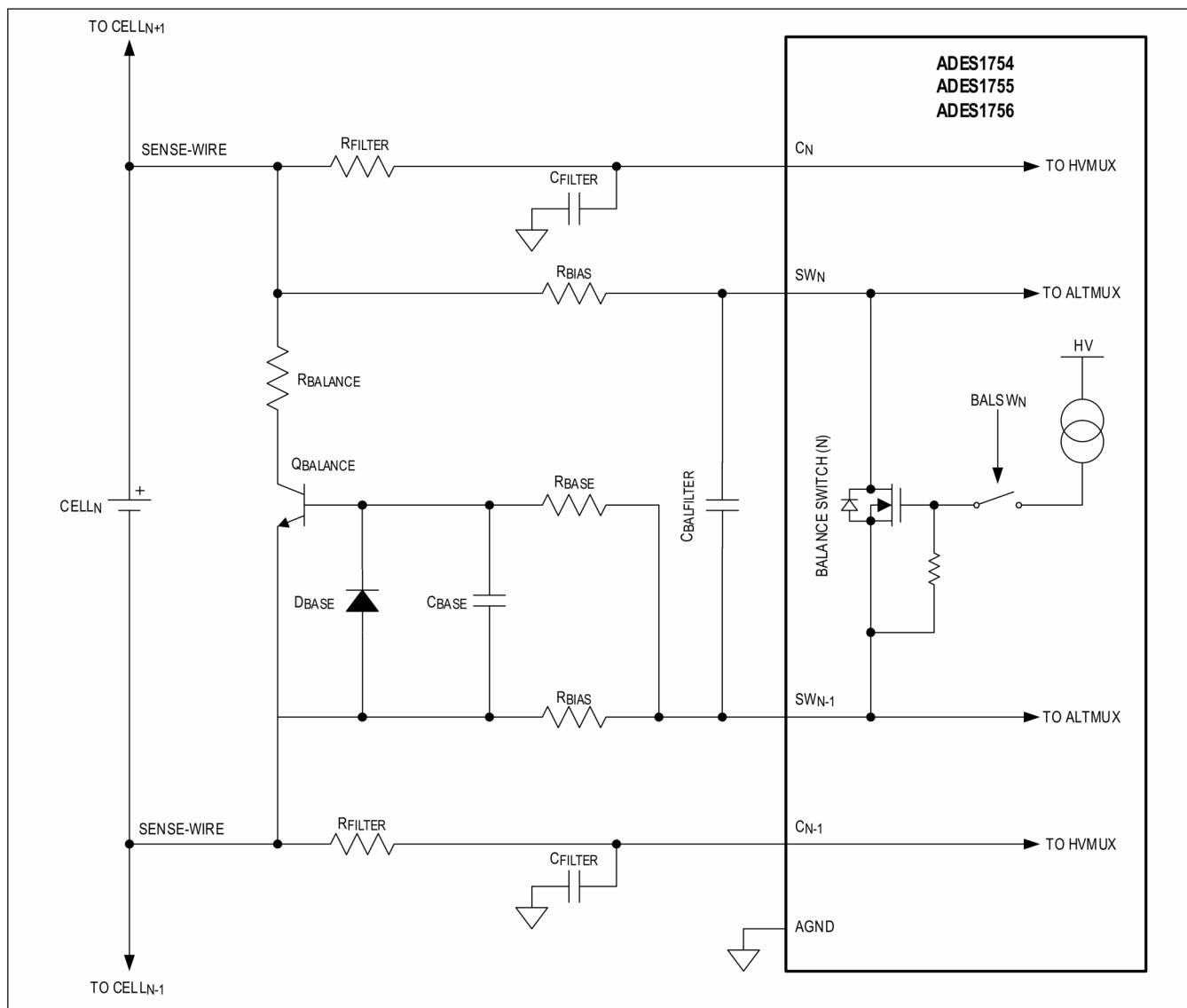


図 99. 外部セル・バランシング BJT

表 80. BJT バランシング部品

COMPONENT NAME	TYPICAL VALUE OR PART	FUNCTION
RBIAS	22Ω	Voltage divider for transistor bias
RBASE	15Ω	Hot-plug current-limiting resistor
DBASE	S1B	Reverse emitter-base voltage protection
CBASE	1nF	Transient V _{BE} suppression
RBALANCE	Per balancing current requirements	Balancing current-limiting resistor
QBALANCE	NST489AMT1	External switch

外部セル・バランシングのショート・サーキット検出

外部バランシング・パスにショート・サーキット・フォルトが生じると、R_{BALANCE} と Q_{BALANCE} に連続電流が流れます。このフォルトを検出するには、検出ワイヤの寄生抵抗による電圧降下を測定できなければなりません。このために、非常に小さい直列抵抗を追加できます。

UART インターフェイス

UART ピンは、ノイズからの保護のために内部回路と外部回路の両方を使用します。推奨される外部フィルタを図 100 に、ESD 保護回路を図 102 と図 103 に示します。

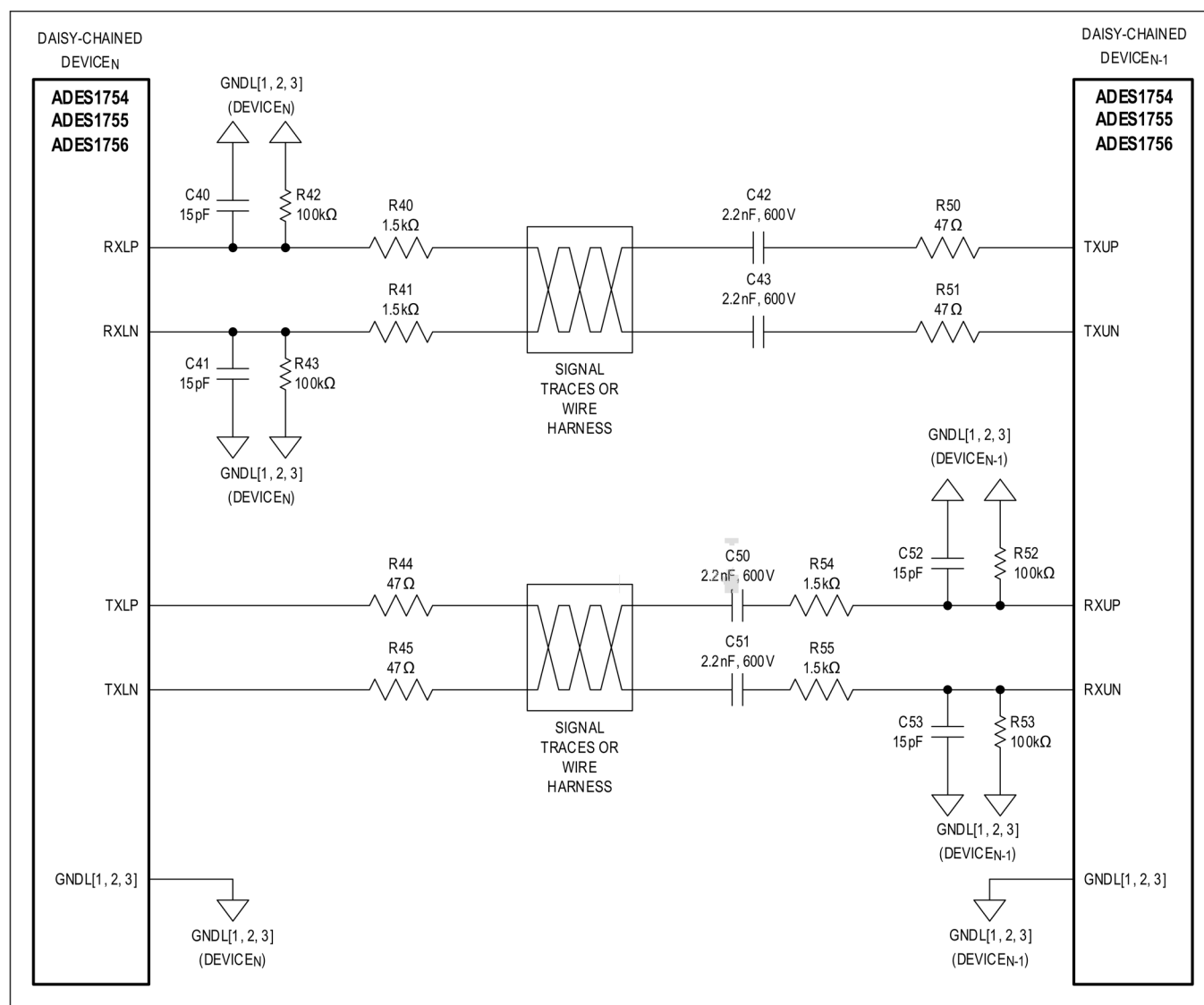


図 100. UART 接続

高インピーダンス・アイドル・モード

高インピーダンス・アイドル・モードは、アイドル・モードの開始時と終了時における AC カップリング・コンデンサの充電と放電を最小限に抑えることによって、ワイヤ・ハーネスからの放射エミッションを減らします。図 101 に示すアプリケーション回路は、高インピーダンス・アイドル状態の間は弱い抵抗分圧器を使って Tx ラインを V_{DDL} にバイアスし、ノイズの混入が多いときは PNP トランジスタがクランプを行って Tx ピンの最大電圧を制限します。低インピーダンス・モードだけを利用するアプリケーションには、抵抗分圧器と PNP クランプは必要ありません。低インピーダンス・アイドル・モードも高インピーダンス・アイドル・モードも、ノイズの混入に対しては同様の耐性を示します。リングングを最小限に抑えるために誘導性負荷を駆動するポートには、低インピーダンス・モードの方が適しています。

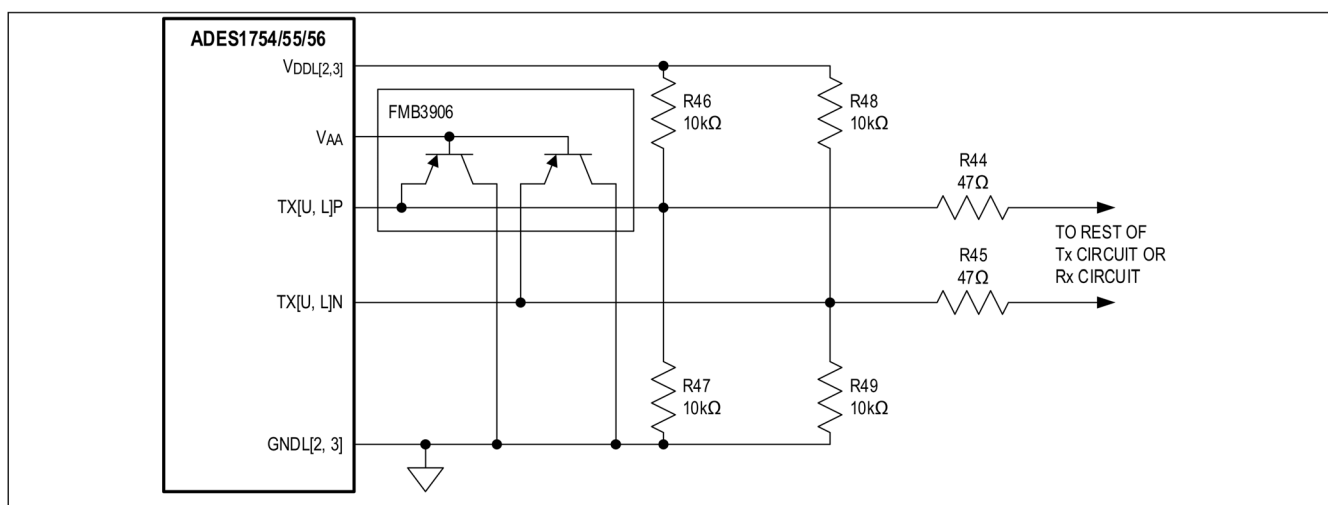


図 101. 高インピーダンス・アイドル・モードのアプリケーション回路

UART の補足的 ESD 保護

UART ポートには、接触放電に関する IEC 61000-4-2 の要求を満たすために補足的な保護が必要になることがあります。±8kV の保護レベルを満たすための推奨回路を図 102 と図 103 に示します。保護部品は、PCB の信号入力点にできるだけ近付けて配置する必要があります。

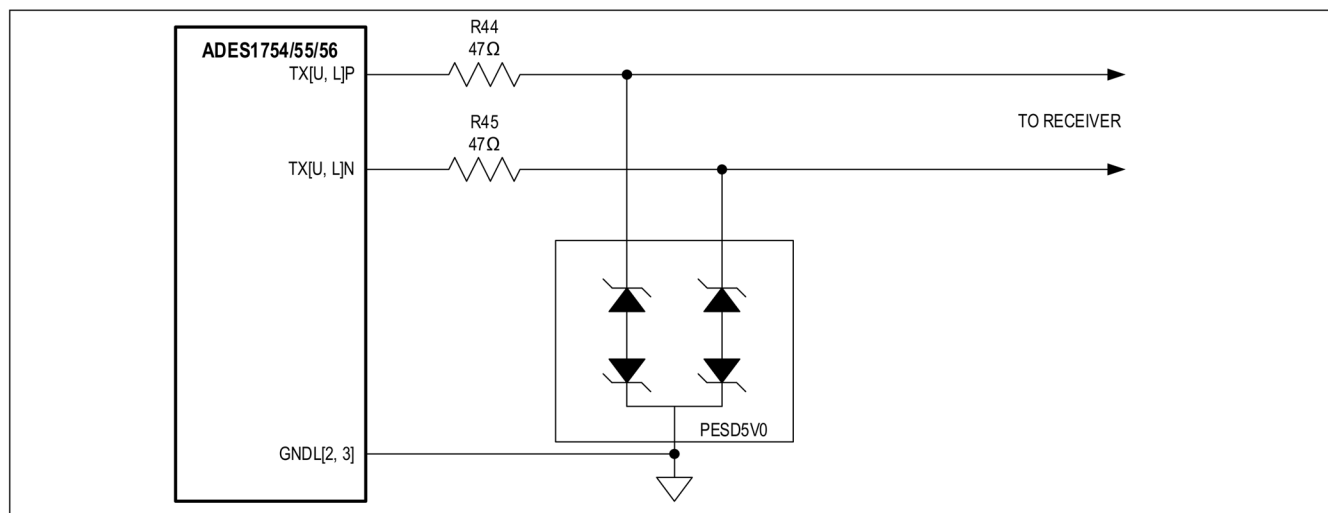


図 102. UART Tx ポートの外部 ESD 保護

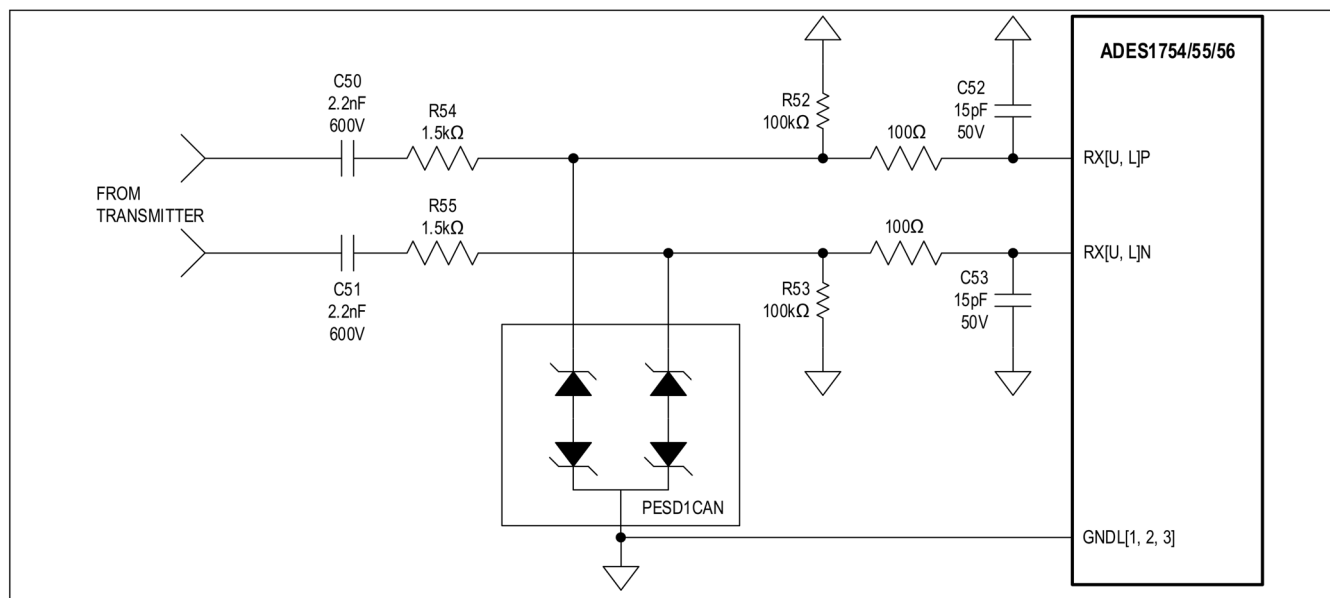


図 103. UART Rx ポートの外部 ESD 保護

シングルエンド Rx モード

下側ポートをシングルエンド Rx モード用に設定するには、差動モードの場合と同様に、RXLP 入力をデジタル・グラウンドに接続し、RXLN 入力で反転信号を受信します。ホストが反転データを送信できない場合は、図 104 に示すように信号を反転させる必要があります。トランスミッタの動作には影響しません。アップスタック・デバイスがシングルエンドの場合に必要なのは、TXUN 信号だけです。

注：シングルエンド・モードの場合は、SHDNL を外部的に駆動する必要があります。

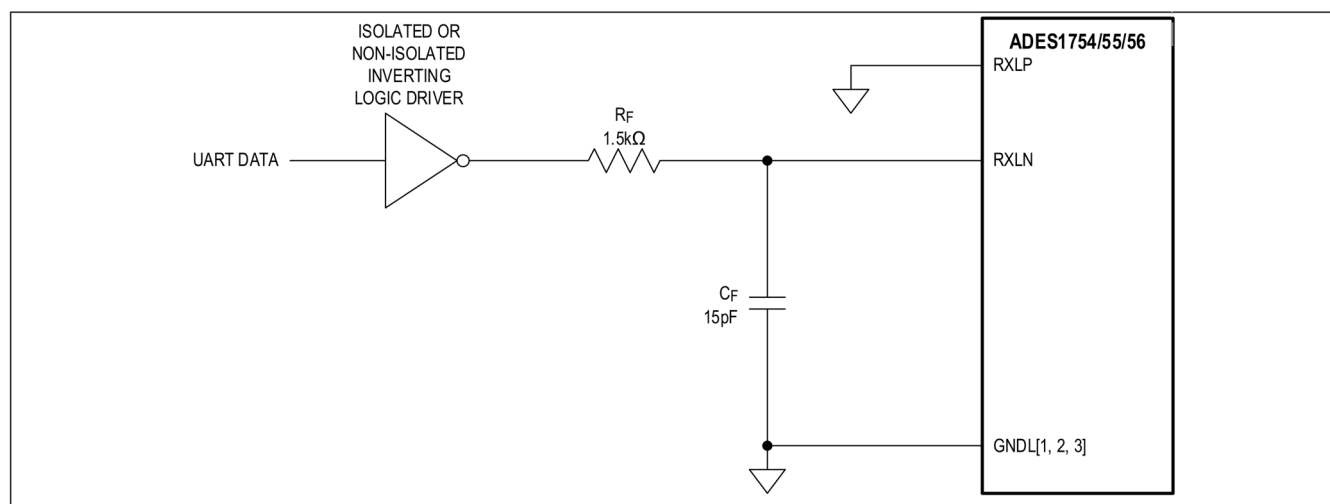


図 104. シングルエンド UART モード用のアプリケーション回路

UART の絶縁

UART には、高 dV/dt の電源ノイズや電磁場により生じるコモン・モード電流の混入の両方が普通に見られるようなノイズの多い高出力バッテリー環境でも、信頼性の高い通信を行うことが求められます。コモン・モード電流は、システムからバッテリーや車体シャーシなどのリファレンス・ノードへの寄生カップリングによっても発生します。デジタイゼーションの物理層は最大限のノイズ耐性を実現できるように設計されます。

AC カップリングされた差動通信アーキテクチャは、同相範囲が $\pm 30\text{V}$ で差動振幅は $+6\text{V}$ です。この範囲が、モジュール間の AC カップリング・コンデンサに加わる静的同相電圧に追加されます。トランスミッタ・ドライバは内部インピーダンスが小さく、ハイおよびロー・ドライバ・ステートでインピーダンスが良好にマッチングされるように、アプリケーション回路によってソース終端されています。このアーキテクチャは、コモン・モード電流の混入によって生じる差動ノイズを最小限に抑えます。デバイスに高周波ノイズが入り込むのを防ぐために、基本通信周波数より上ではレシーバ入力フィルタされます。このシステムは、車体シャーシと高電圧バッテリー・パック端子間のような極めて大きい同相ノイズが存在する回路位置で、より高い同相ノイズ除去機能を持たせるために、絶縁トランスまたはオプト・カップラと共に使用するよう設計されます。

多くのバッテリー・パックはミッドパック・サービス遮断安全スイッチを備えているので、このデバイスは、サービス遮断スイッチが閉じているか開いているかについての情報をデジタイゼーション全体とやりとりするように設計されています。これは、コンデンサ絶縁を採用しているデジタイゼーションの場合に可能です。

UART のトランス絶縁

UART ポートは DC バランスされた差動設計なので、トランス・カップリングが可能です。SPI/UART ブリッジ・インターフェイスと ADES1754/ADES1755/ADES1756 の間のトランス・カップリングは、優れた絶縁と同相ノイズ除去を実現します。信号トランスのセンター・タップは、ノードをローカル・グラウンドに AC カップリングすることによって同相除去性能を向上させるために使用できます。1 次側と 2 次側の寄生カップリングを通過できるコモン・モード電流はグラウンドにシャントされて、非常に効果的な同相ノイズ・フィルタを形成します。

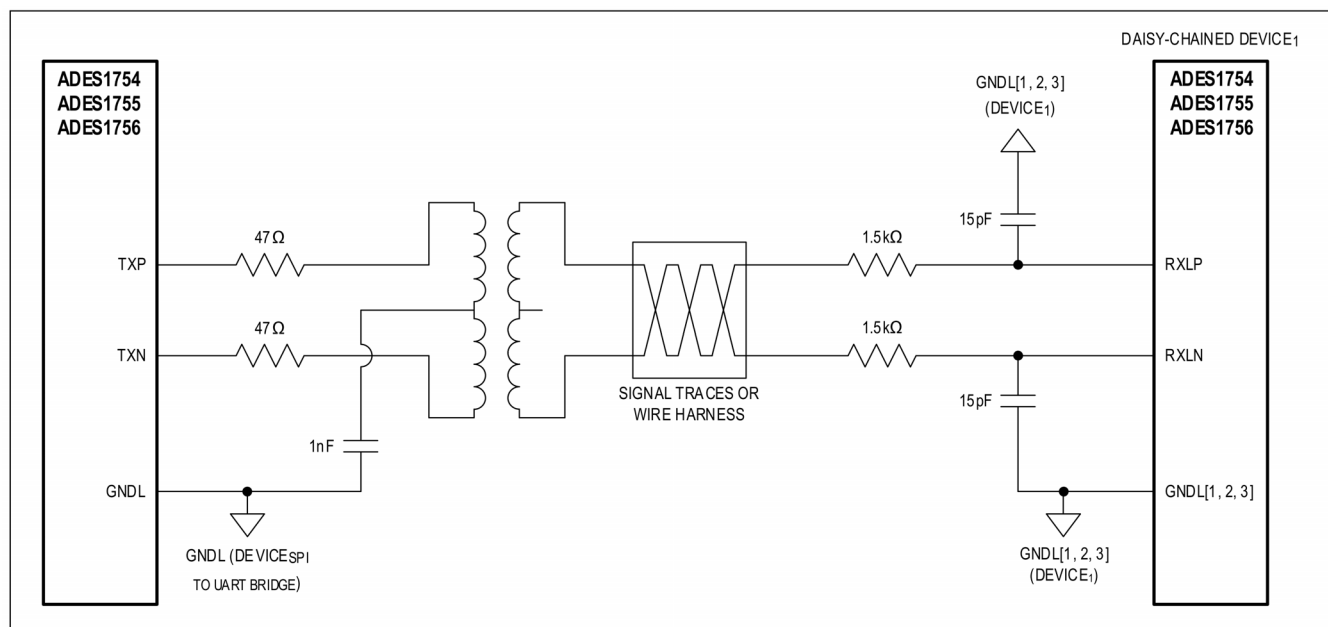


図 105. UART のトランス絶縁

UART の光学絶縁

図 106 に示すように、デイジーチェーンではトランス絶縁やコンデンサ絶縁に代えて光学絶縁を使用できます。

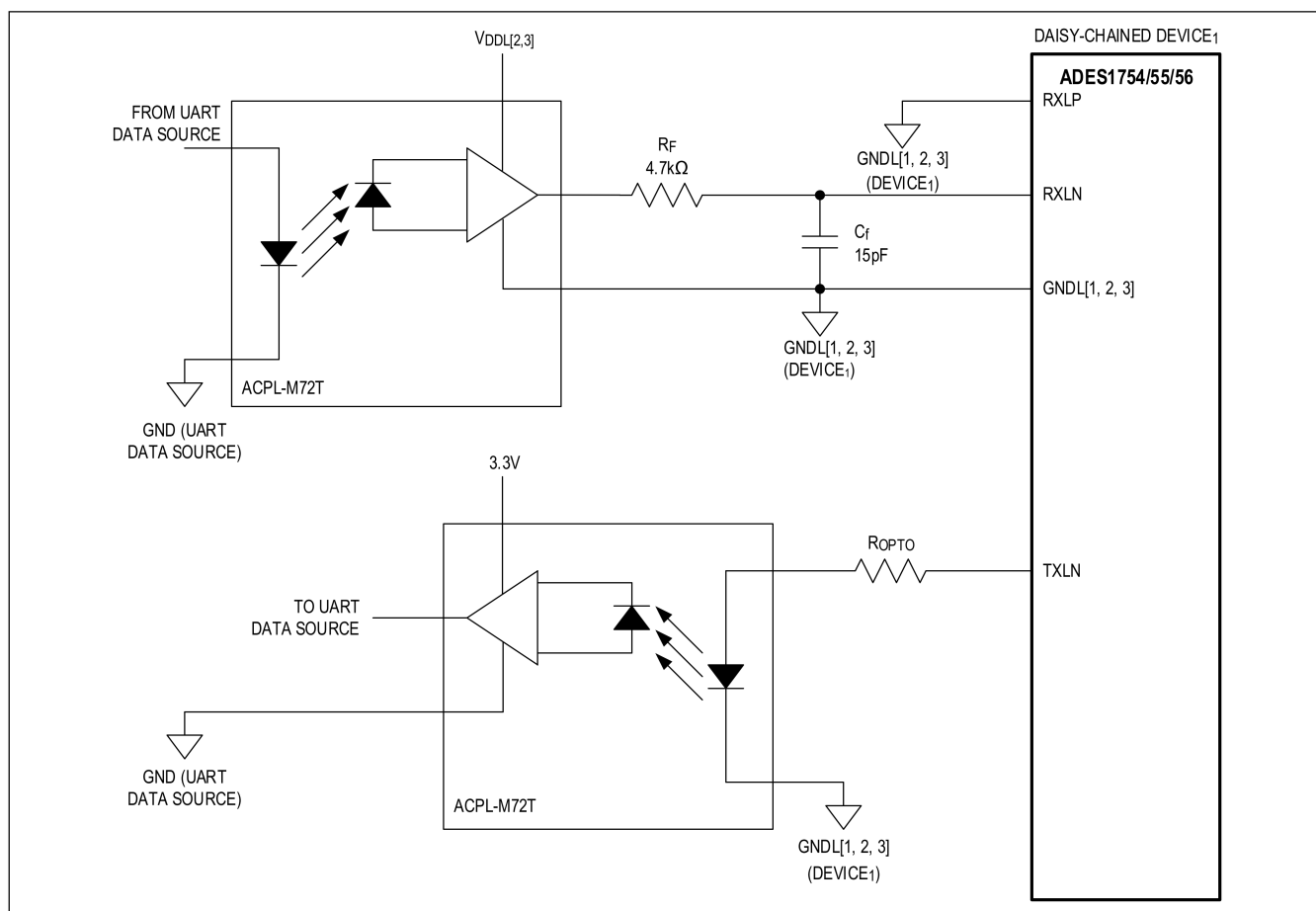


図 106. UART の光学絶縁

アラート・インターフェイス

VDDL2 と VDDL3 はアラート・インターフェイスの電源ピンです。推奨される外部フィルタと ESD 保護は、UART インターフェイスの場合と同じです。図 107 に示すように、UART デイジーチェーン内でシングルエンドのアラート・インターフェイス (ALERTIN ピンと ALERTOUT ピン) を使用するときは、学絶縁を使用します。

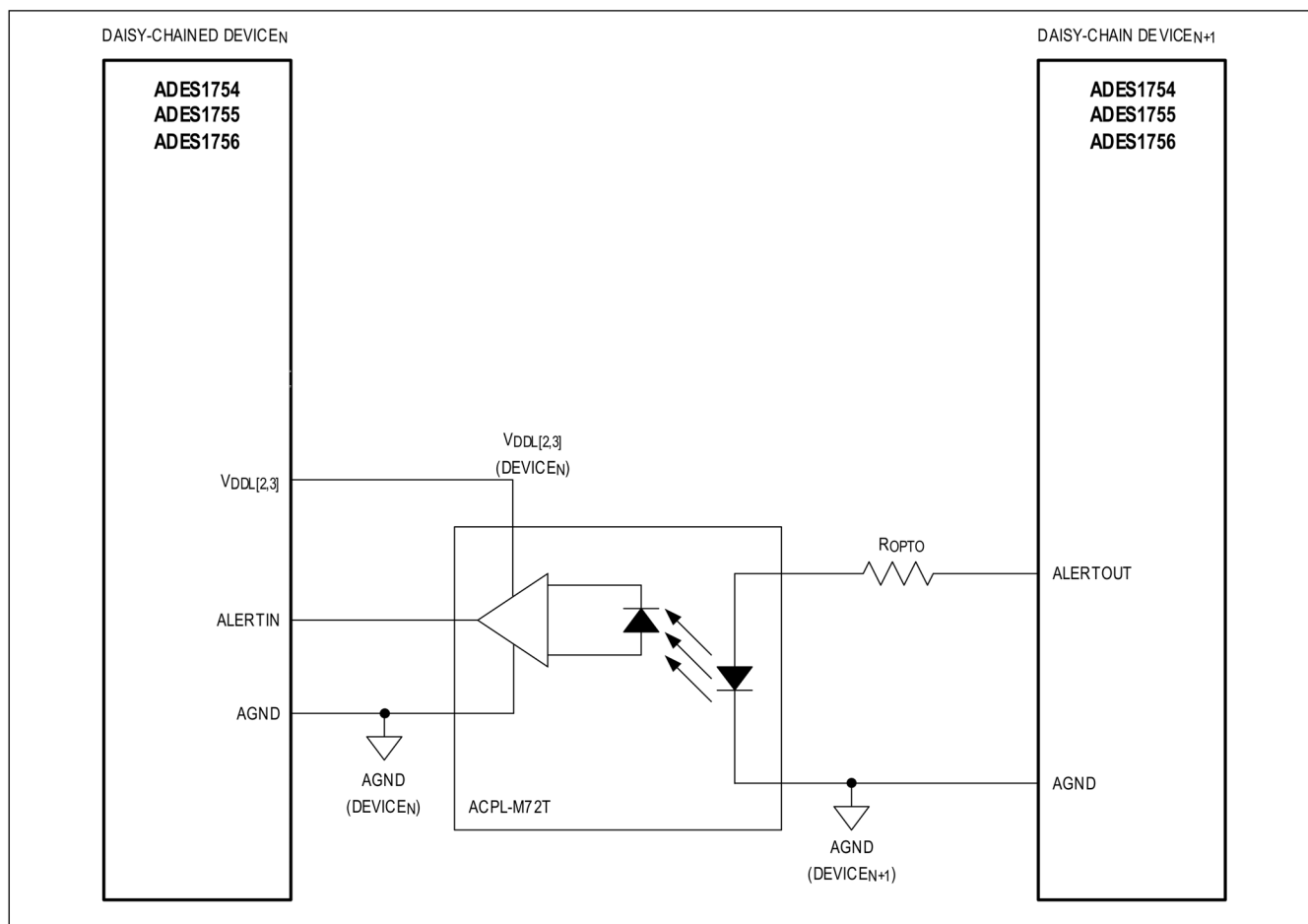


図 107. UART とのシングルエンド・アラート・インターフェイス

デバイス初期化シーケンス

リセット直後はすべてのデバイス・アドレスが 0x00 に設定され、UART ボー・レートと受信モードは自動検出されません。したがって、リセット後やハードウェア構成の変更後は以下の初期化シーケンスが推奨されます。

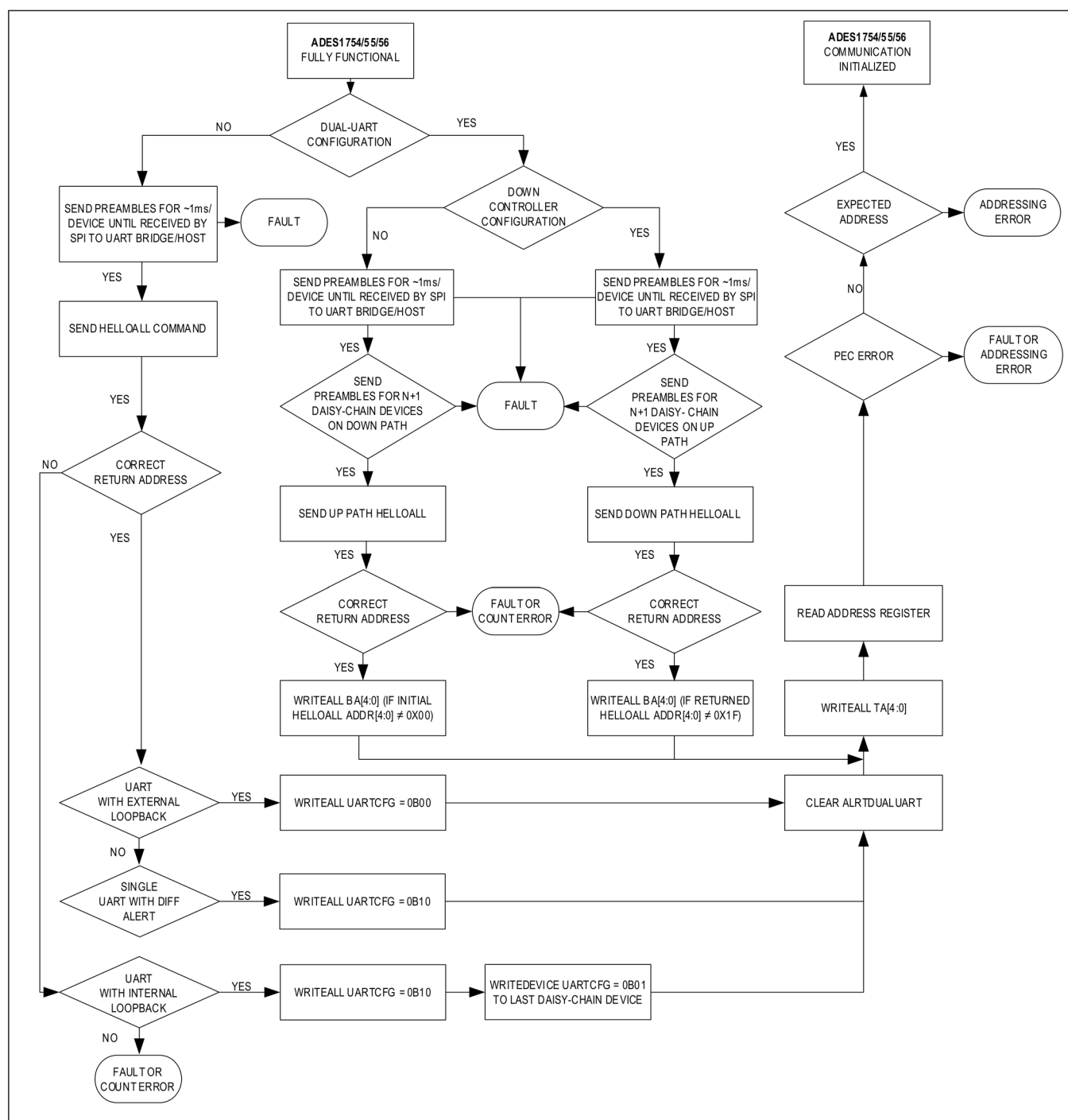


図 108. デバイス初期化シーケンス

エラー・チェック

データの完全性は、マンチェスター・エンコーディング、パリティ、キャラクタ・フレーミング、およびパケット・エラー・チェック (PEC) によって確保されます。これらの機能の組み合わせが、最大長 247 ビット (マンチェスター・エンコーディングとキャラクタ・フレーミングの前にカウント) のステージ間通信を、ハミング距離 (HD) 値 6 でコマンドの読出し方向と書き込み方向の両方について検証します。これは、最大 13 個のデバイスで構成されるデイジーチェーンで最長のコマンド・パケットに相当します。データ・チェック・バイトは READALL コマンドと READDEVICE コマンドの中にあり、コマンド全体がエラーなしで伝達されたことを確認するために使われます。データ・チェック・バイトと PEC バイトを使用することで、READALL コマンド・パケットおよび READDEVICE コマンド・パケットに関するトランザクション全体の完全性を確認することができます。

PEC エラー

ADES1754/ADES1755/ADES1756 が無効な PEC バイトを受信した場合は、STATUS2 レジスタ内の対応する ALRTPECUP ビットまたは ALRTPEC DN ビットと、STATUS1 レジスタの ALRTPEC 概要ビットがセットされます。受信トランザクションにはアップ・パスが使われるので、すべてのシングル UART 設定は ALRTPECUP ビットをセットします。デュアル UART 設定では、アップ・パスの PEC エラーは ALRTPECUP をセットし、ダウン・パスの PEC エラーは ALRTPEC DN をセットします。受信した PEC バイトが計算による CRC 剰余と一致して、受信したコマンドとデータ・ストリームの有効性が確認されない限り、ADES1754/ADES1755/ADES1756 が書き込みコマンドを実行したり受け入れたりすることはありません。コマンドが受け入れられたことを確認するには、ホストが適当な読出しトランザクションを実行して、書き込まれたレジスタの内容を確認する必要があります。

PEC の計算

UART インターフェイスを通じて ADES1754/ADES1755/ADES1756 と直接通信する場合、ホストは、デバイスに送信するデータを保護する PEC バイトを計算して送信する必要があります。同様に、返された読出しパケットについても、ホストは受信したデータを有効なものとして受け入れる前に、受信データを保存して CRC 計算を行い、その結果を ADES1754/ADES1755/ADES1756 から受信した PEC バイトと比較する必要があります。PEC バイトの計算とチェックを行うには、ホストが、以下の多項式 (0xA6) に基づいて CRC-8 (8 ビット巡回冗長チェック) のエンコーディングおよびデコーディング・アルゴリズムを実装していなければなりません。

$$P(x) = x^8 + x^6 + x^3 + x^2 + 1$$

この多項式は、HD = 3 で最大 247 ビットのデータ・ストリームを保護することができます。つまり、3 ビット以下のエラーの任意の組み合わせを含む長さ 247 ビット以下のすべてのデータ・ストリームを確実に識別できます。3 ビットを超えるエラーがある場合は PEC 演算で問題を識別できる可能性が極めて高いですが、これを数学的に保証することはできません。

CRC 計算のハードウェア実装を図 109 に示します。図に示す CRC エンジンは ADES1754/ADES1755/ADES1756 の内部に実装されています。直接 UART 通信をサポートするには、ADES1754/ADES1755/ADES1756 へ送る PEC バイトを生成したり、ADES1754/ADES1755/ADES1756 から受信した PEC バイトをチェックしたりするために、ホストにも同様の実装が必要になります。送られてくる UART データ・ストリームは、LSB ファーストで CRC エンジンに入力されます。データ・ストリームが完全にエンジン内にシフトされると、CRC 剰余が分かります。これが受信データと送信データ両方の PEC バイトになり、図に示すように $PEC[7:0] = BIT[7:0]$ です。剰余内のビットの順番に注意してください。すべての UART トランザクションは LSB ファーストでコマンドとデータ・ストリームを入力します。

UART データ・ストリームを受信すると、ADES1754/ADES1755/ADES1756 は最初に CRC エンジンをクリアして、次に受信データ・ストリームを LSB ファーストで CRC エンジンに入力します。データの最終ビットが処理された後（この場合は受信データ・ストリームの MSB をエンジンに入力した後）はエンジンが停止し、CRC 剰余が求められます。UART トランザクション内では、CRC エンジンのコピーを使ってホストにより計算された受信 PEC バイトがその後に続き（同じく LSB ファースト）、ADES1754/ADES1755/ADES1756 により計算された CRC 剰余と内部で比較されます。受信 PEC バイトと受信データ・ストリームに対して計算された CRC 剰余が一致した場合、その PEC 演算は成功であり、ADES1754/ADES1755/ADES1756 はそのトランザクションを受け入れて実行します。一致しない場合、ADES1754/ADES1755/ADES1756 はそのトランザクションを拒否し、ALRTPEC ステータス・ビットを発行してホストに問題を通知するので、トランザクションは再送されます。

UART データ・ストリームを送信すると、ADES1754/ADES1755/ADES1756 は最初に CRC エンジンをクリアし、次に送信データ・ストリームを LSB ファーストで CRC エンジンに入力します。データの最終ビットが処理された後（この場合は送信データ・ストリームの MSB をエンジンに入力した後）はエンジンが停止し、CRC 剰余が求められます。これが送信 PEC バイトになります。UART トランザクション内では、CRC エンジンのコピーを使って ADES1754/ADES1755/ADES1756 により計算された送信 PEC バイトがその後に続きます（同じく LSB ファースト）。ADES1754/ADES1755/ADES1756 からデータ・ストリームを受信したホストは、CRC エンジンのコピーにそのデータを入力します（データ・ストリームは LSB ファーストで UART トランザクションで受信した順番に従ってエンジンに入力され、最後に MSB が入力されます）。現時点では、ホストが PEC 演算を完了させて受信データの有効性を確認する方法は2つあります。

- 直接比較法：ホストはデータ・ストリームの MSB が入力された時点で CRC エンジンを停止し、得られた CRC 剰余を、ADES1754/ADES1755/ADES1756 から送られてきた PEC バイトと比較します（この場合も LSB ファーストです）。2つのバイトが一致すればそのデータは有効なものとして受け入れられますが、それ以外の場合は拒否されます。上に述べたように、これは ADES1754/ADES1755/ADES1756 が内部的に採用している方法です。

- ゼロ剰余法：ホストは、LSB ファースト（つまり UART トランザクションで受信した順番）でデータ・ストリームの最後に受信 PEC バイトを追加することによって、データの MSB が入力された後も CRC エンジン の計算を継続します。PEC バイトの MSB が CRC エンジン の入力に達すると、得られた CRC 剰余 = 00h の場合はデータが有効なものとして受け入れられますが、それ以外の場合は拒否されます。

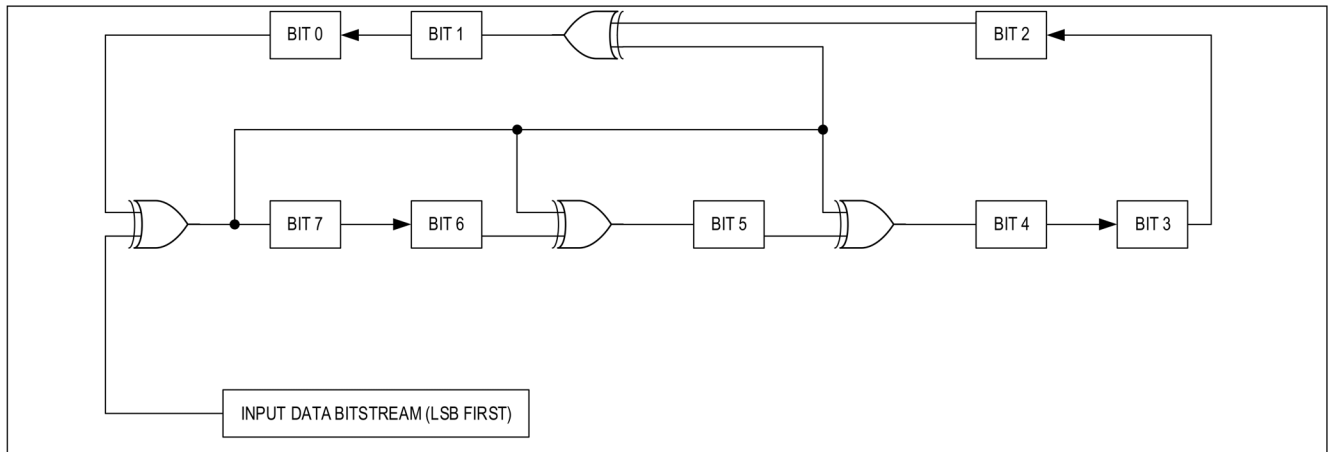


図 109. PEC CRC の計算

PEC 計算の疑似コード

ホストは、PEC バイト自体の前にコマンド・パケットで受信したすべてのバイトを処理するためのアルゴリズムを使用します。この計算には PEC もアライブ・カウンタ・バイトも含まれません。ビットは、LSB ファーストで受信順に処理されます。ビットごとの疑似コード・アルゴリズムを下に示しますが、ホストの計算時間を短縮するためにルックアップ・テーブル・ソリューションを使用することもできます。

通常発行されるコマンド・パケットの場合は、ホストが PEC バイトを事前計算（ハードコード）することができます。一般的に使われる部分的パケットでは、部分的計算の CRC 値を、その後の実行時計算の初期値として使用できます。

```
Function PEC_Calculation(ByteList(), NumberOfBytes, CRCByte)
{
// CRCByte is initialized to 0 for each ByteList in this implementation, where
// ByteList contains all bytes of a single command. It is passed into the
// function in case a partial ByteList calculation is needed.
// Data is transmitted and calculated in LSb first format
// Polynomial = x^8+x^6+x^3+x^2+1 = 1010_0110_1 = 0xA6 POLY = 8'hB2
// 10110010b – Polynomial binary representation is from left to right for LSB first (0xA6 -> 0xB2)
//Loop once for each byte in the ByteList
For ByteCounter = 0 to (NumberOfBytes - 1)
(
//Bitwise XOR the current
CRC value with the ByteList byte CRCByte = CRCByte XOR ByteList(ByteCounter)
//Process each of the 8 CRCByte remainder bits
For BitCounter = 1 to 8
(
// The LSb should be shifted toward the highest order polynomial
```

```
// coefficient. This is a right shift for data stored LSb to the right
// and POLY having high order coefficients stored to the right.
// Determine if LSb = 1 prior to right shift If CRCByte[1] = 1 Then
// When LSb = 1, right shift and XOR CRCByte value with 8 LSbs
// of the polynomial coefficient constant. “/ 2” must be a true right
// shift in the target CPU to avoid rounding problems. CRCByte = ((CRCByte / 2) XOR POLY)
Else
//When LSb = 0, right shift by 1 bit. “/ 2” must be a true right
// shift in the target CPU to avoid rounding problems.
CRCByte = (CRCByte / 2)
End If
//Truncate the CRC value to 8 bits if necessary
CRCByte = CRCByte AND 8'hFF
//Proceed to the next bit Next BitCounter )
//Operate on the next data byte in the ByteList
Next ByteCounter
)
// All calculations done; CRCByte value is the CRC byte for ByteList() and
// the initial CRCByte value
Return CRCByte
}
```

ROMCRC の計算

安全のため、工場でのトリミングされた ROM (OTP) の内容はユーザがリード・バックし、8 ビット CRC を使ってエラーの有無をチェックできます。ROMCRC は ID/OTP の内容を使って計算し、工場での OTP12[15:8]に保存される 8 ビットの CRC 剰余です。ID と OTP 出力データの内容 (OTP12[15:8]を除く – これは ROMCRC[7:0]) は、共に ROMCRC 演算によって保護されます。ROMCRC の計算とチェックを行うには、ホストが、以下の多項式 (0xA6) に基づいて CRC-8 のエンコーディングおよびデコーディング・アルゴリズムを実装していなければなりません。

$$P(x) = x^8 + x^6 + x^3 + x^2 + 1$$

この多項式は、HD = 3 の 200 ビット ID/OTP の内容を保護することができます。つまり、3 ビット以下のエラーの任意の組み合わせを確実に識別できます。3 ビットを超えるエラーがある場合は ROMCRC 演算で問題を識別できる可能性が極めて高いですが、これを数学的に保証することはできません。

CRC 計算のハードウェア実装を図 110 に示します。図に示す CRC エンジンがホスト内に実装されます。以下に示す計算方法を使って工場での ROMCRC バイトの計算と保存を行うための生産用トリム・ソフトウェアにも、同じエンジンが使われます。図に示す剰余内のビットの順番に注意してください (つまり BIT[7:0] = ROMCRC [7:0])。これも、UART モードで PEC バイトの CRC 演算に使われるものと同じ CRC エンジンです。

ROMCRC 演算を完了させるために、ホストはまず CRC エンジンクリアしてから、ADES1754/ADES1755/ADES1756 から受信した 200 ビットの ID/OTP データの内容すべてを、次の順番で連結します：ID1[0:15]、ID2[0:15]、OTP2[0:15]、OTP3[0:15]、OTP4[0:15]、OTP5[0:15]、OTP6[0:15]、OTP7[0:15]、OTP8[0:15]、OTP9[0:15]、OTP10[0:15]、OTP11[0:15]、OTP12[0:7]。これは基本的に LSB ファーストで提供される ID/OTP データのすべてで、ID1[0]は CRC エンジンに入力される最初のビット、OTP12[7]は最後のビットで、200 ビットのすべてを入力する必要があります。現時点では、ホストが ROMCRC 演算を完了させて受信した ID/OTP データの有効性を確立する同等の方法は 2 つあります。

- 直接比較法：ホストは ID/OTP の MSB が入力された時点で CRC エンジン停止し、得られた CRC 剰余を、ADES1754/ADES1755/ADES1756 から ROMCRC[7:0] (OTP12[15:8]) として送られてきた ROMCRC バイトと比較します。2 つのバイトが一致すればそのデータは有効なものとして受け入れられますが、それ以外の場合は拒否され、通信フォルトの場合は再試行されます。問題が解消されない場合は、ADES1754/ADES1755/ADES1756 の ROM 異常の可能性がありま

- ゼロ剰余法：ホストは、LSB ファーストでデータ・ストリームの最後に受信 ROMCRC バイトを追加することによって、データ・ストリームが入力された後も CRC エンジン の計算を継続します（つまり、OTP12[8:15] を使って上に示した連結パターンを、OTP12[15] を最終入力ビットにして継続）。ROMCRC バイトの MSB が CRC エンジン の入力に達すると、得られた CRC 剰余 = 00h の場合はデータが有効なものとして受け入れられますが、それ以外の場合は拒否され、通信フォルトの場合は再試行されます。問題が解消されない場合は、ADES1754/ADES1755/ADES1756 の ROM 異常の可能性がありま

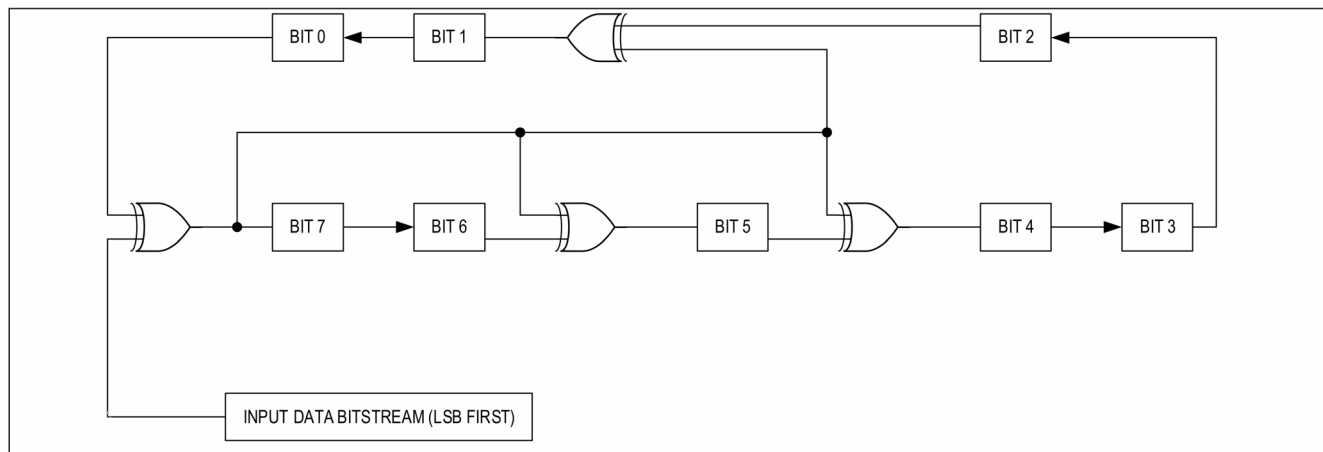


図 110. ROM CRC の計算

バスバーの設計

一部のアプリケーションでは、バス・バーをバッテリー・セル電圧から電氣的に分離し、バック電流がバスバー自体の抵抗に作用して電圧が生じないようにすることで、セル精度を向上できるようにする必要があります。これに対し、他のアプリケーションではバス・バーの抵抗をセル測定値に含め、他の方法でシステムを補正してこの誤差をなくすることができます。最後に、これ以外にも高電圧データ・アキュジション・デバイスの間にバス・バーを配置するような設計とし、セル測定入力を使わないことで測定精度に影響を与えないようにすることも可能です。

ADES1754/ADES1755/ADES1756 はバス・バーに基づくあらゆるシステム設計をサポートする一方で、バスバー接続異常の高度な予測を実現するバスバー測定を行うことができます。SW ピン電流が**絶対最大定格**に定める任意のピンの最大連続電流未満の場合、バスバー設計には従来型のバランシング回路と同じフィルタ構造を利用します。SW ピン電流の仕様値を超える場合は、[図 112](#) に示すように、フィルタ容量と並列に外部ショットキー・ダイオードを配置することを推奨します。このショットキーは、+25°C における SW ピン電流定格での順方向電圧が 0.7V 未満のものを選ぶ必要があります。

SW ピン電流は次式で求めることができます。

$$I_{SW} = (V_{BUSBAR} - 0.7V) / (2 * R_{BALANCE})$$

多くのアプリケーションでは、外部回路に変更を加える必要のないピーク・システム電流をサポートするために、バス・バーの抵抗が非常に低くなっています。

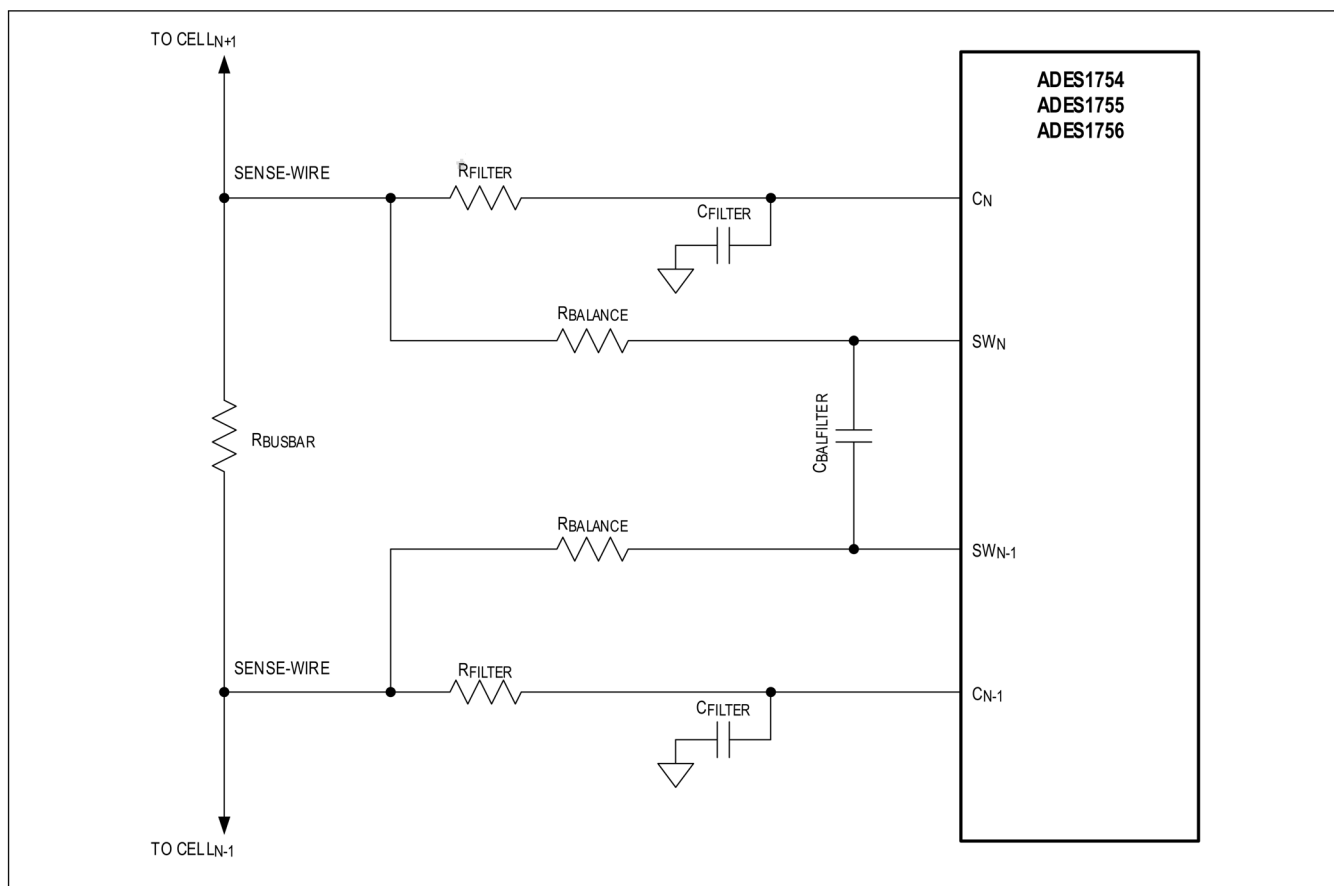


図 111. 連続電流混入値未満のバスバー・アプリケーション回路

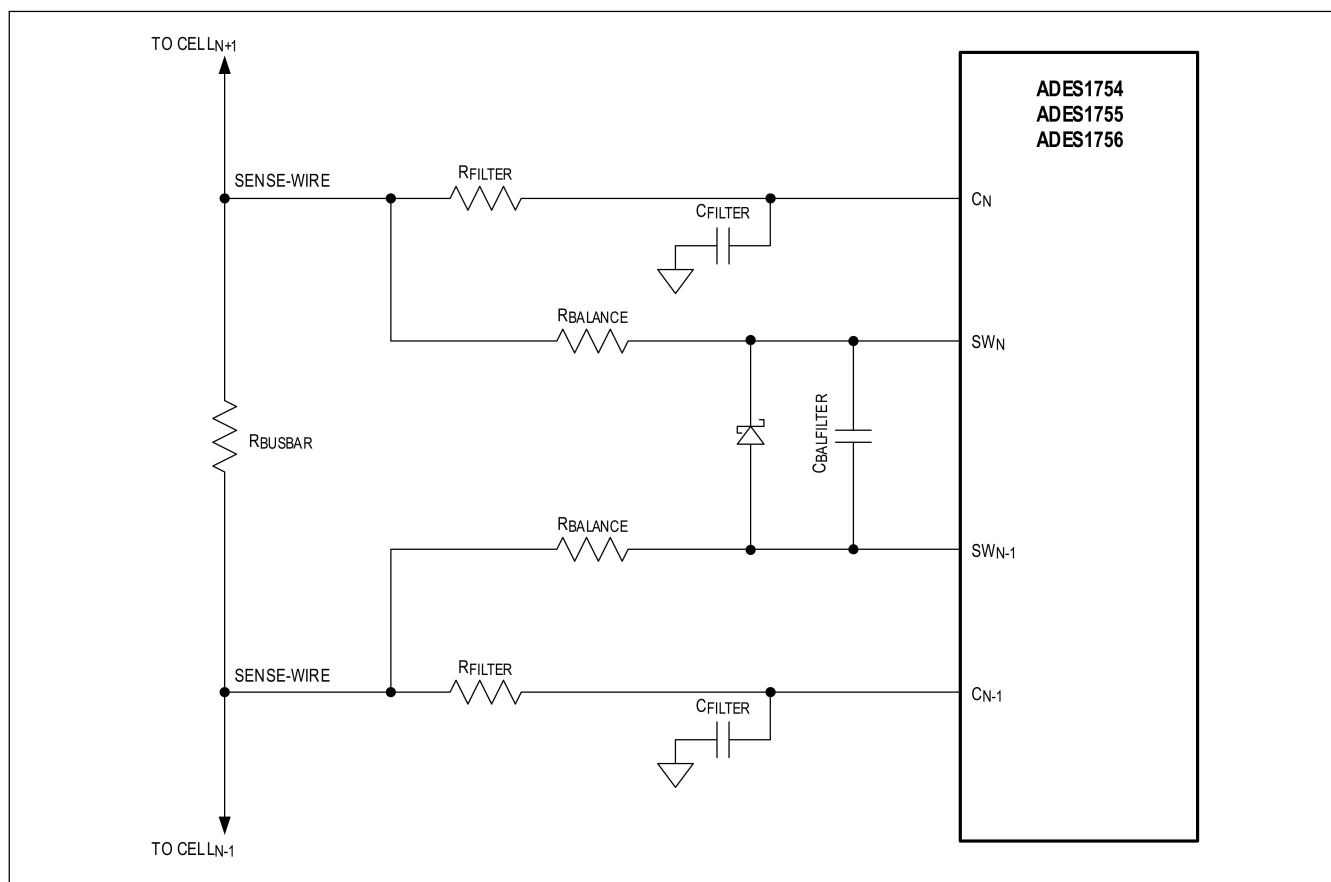


図 112. 連続電流混入値を超えるバスバー・アプリケーション回路

簡略アプリケーション回路図

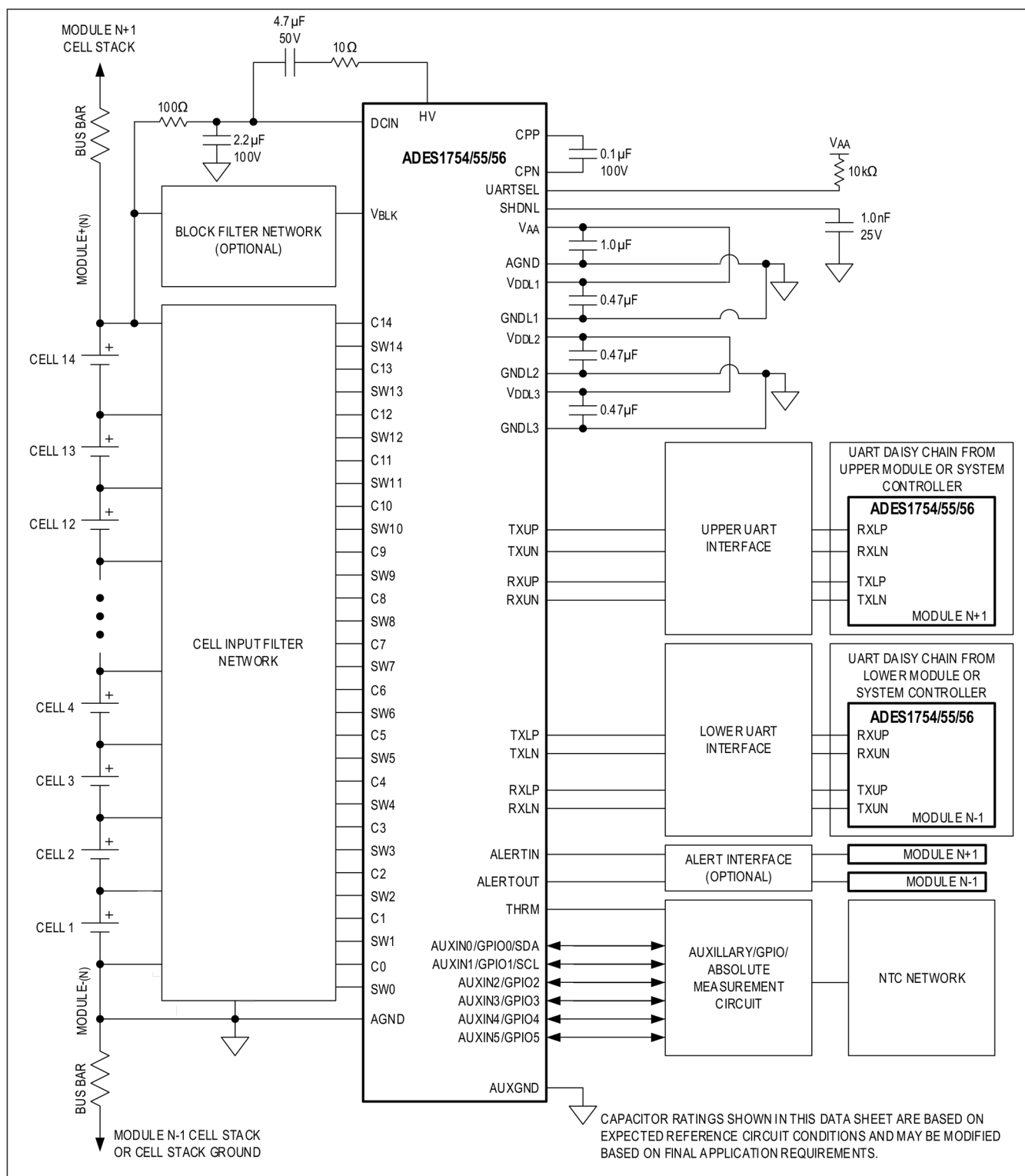


図 113. シングルエンド・アラート・インターフェイスを使用するアプリケーション回路の簡略図

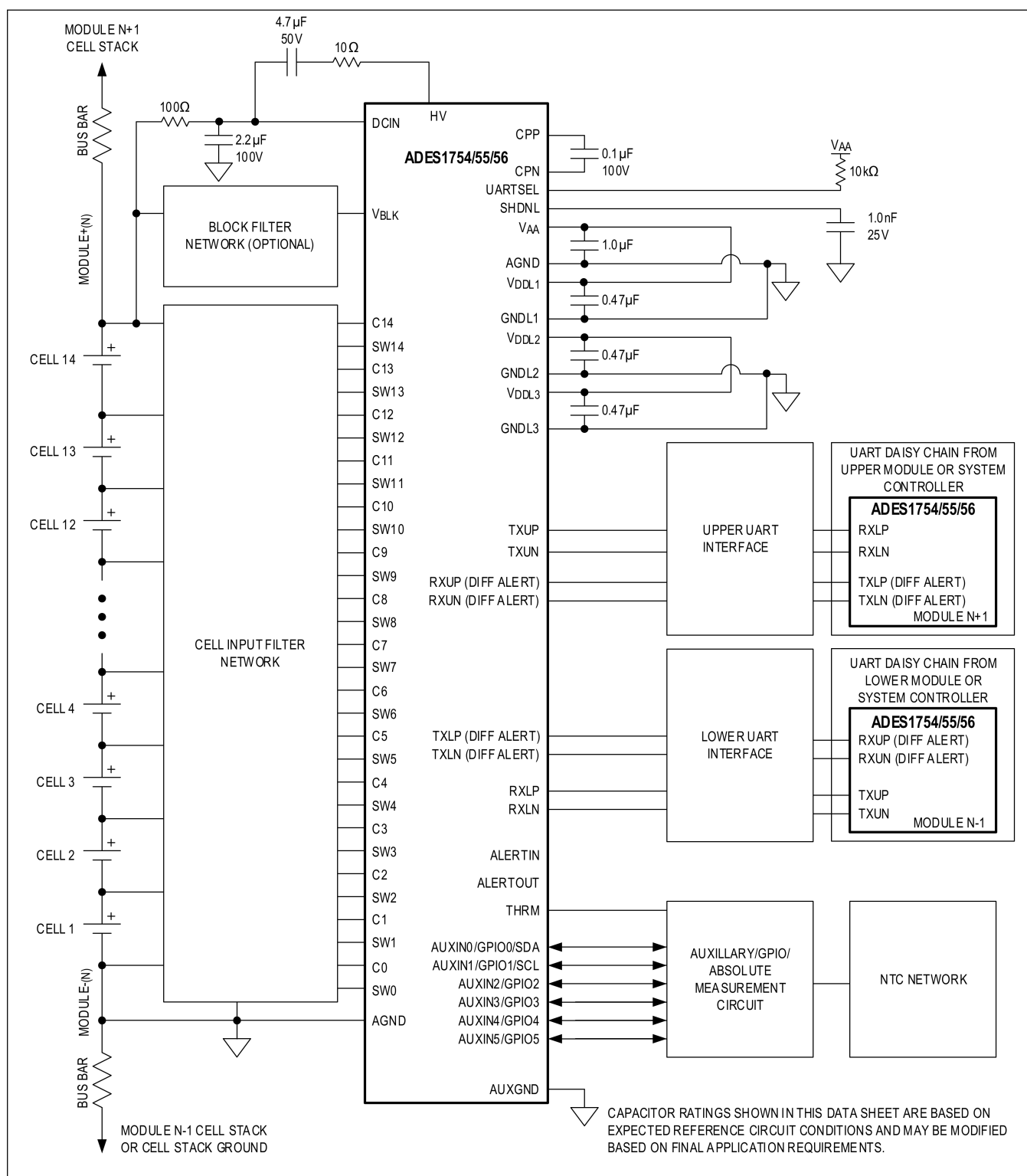


図 114. 差動アラート・インターフェイスを使用するアプリケーション回路の簡略図

PCB レイアウトに関する推奨事項

最大限の精度性能と高い環境耐性を実現するには、慎重な PCB レイアウトが極めて重要です。

回路とレイアウトの例は、EV キットのデータシートに記載されています。

レイアウト手順

- チャージ・ポンプ・コンデンサは、ADES1754/ADES1755/ADES1756 と同じ層上で CPP ピンと CPN ピンの近くに配置します。隣接する信号やプレーンとの不要なカップリングを避けるために、ビアの使用を避けるように注意する必要があります。
- デカップリング・コンデンサは、ADES1754/ADES1755/ADES1756 と同じ層上の V_{DCIN} ピン、V_{AA} ピン、および V_{DDL1} ピンのできるだけ近くに配置します。V_{DDL2} と V_{DDL3} はピンに近付けて配置する必要があります。できれば同じ層上にしてください。すべてのコンデンサはグラウンド・リターンを共有しないようにし、ビアを使い AGND 内部層に直接接続する必要があります。
- AGND、GNDL1、GNDL2、GNDL3、および AUXGND は、ADES1754/ADES1755/ADES1756 の下に配置されたソリッド AGND プレーンにビアで直接接続する必要があります。各配線パターンとビアは、AGND プレーンとの接続点以前で共有しないでください。
- DCIN 入力抵抗のサイズは、ALRTHVHDRM アラートの誤発生を避けるために、デバイスの消費電流 (I_{DCIN}) とボードの消費電流 (I_{VAA_LOAD}) の両方に基づいて決定する必要があります。外部負荷による DCIN 抵抗の調整は次式に従ってください。
$$R_{DCIN_LOAD} = R_{DCIN_NOM} \times (1 - I_{DCIN}/I_{VAA_LOAD})$$
注：フレキシブル・パック動作では DCIN フィルタ抵抗が省略されます。
- SHDNL コンデンサと関連配線パターンのルーティングは、通信インターフェイスやアラート・インターフェイスに含まれる潜在的ノイズ源やデジタル信号から離してシールドする必要があります。これらのノイズやデジタル信号は、SHDNL ピンの電圧に影響を与える可能性があります。
- C_n の配線パターンは、プライマリ測定パスへのノイズ混入源となる可能性があるため、これを避けるために ADES1754/ADES1755/ADES1756 と同じ層上に配置することを推奨します。これらの配線パターンに流れる電流は無視できる程度なので、パターン幅は最小限に抑えることができます。
- SW_n 配線パターンは、バランシング動作による過大な電圧降下をなくすために、許容可能なレイアウトでの幅 (20mil を推奨) について最適化する必要があります。
- UART Rx ポートと Tx ポートは 100Ω の差動インピーダンスで配置する必要があります。分散型 BMS システムで ADES1754/ADES1755/ADES1756 を使用する場合は、グラウンド・リターンをビアで AGND プレーンに直接接続して、UART 通信コネクタのできるだけ近くに ESD 保護回路を配置するよう推奨します。これは、デバイス性能に影響を与える可能性のある他のノードにトランジェント・イベントがカップリングされる前に、それらのイベントをクランプするためです。集中型 BMS システムでは、UART の ESD 部品を省略できます。

レジスタ・マップ

ADES1754/ADES1755/ADES1756 のユーザ・レジスタ・マップ

レジスタ・マップ使用のガイドライン

ADES1754/ADES1755/ADES1756 のレジスタ・マップ (RMap) の詳細を以下のセクションに示します。ここでは RMap 全体の一般的な使用に関するガイドラインを示し、様々なプロトコルとアクセスの問題をどのように扱うのかを含めて、RMap の予想される使用法について詳しく説明します。

インターフェイス・プロトコル・エラー

読出しおよび書込みトランザクションが受け入れられるようにするには、インターフェイス・プロトコルに求められるすべての条件を満たす必要があります。プロトコル・エラーが発生すると、それらのエラーは STATUS1 レジスタおよび STATUS2 レジスタのアラートを通じてレポートされ、問題が発生したことをユーザに知らせます。プロトコル・エラーが発生した場合はトランザクションが拒否されるので、その後の動作は何も行われません。これは、そのトランザクションが予約済みレジスタのアドレスを指定している場合であっても同じです。インターフェイス・プロトコルの詳細要件については、UART インターフェイスに関する説明を参照してください。

予約済みレジスタ

ユーザがアクセスできるレジスタは、すべて 0x00~0x98 のアドレス空間に置かれています。この空間内のアドレス/レジスタで RMap に記載されていないものは、すべて予約済みと見なす必要があります。ADES1754/ADES1755/ADES1756 では、ユーザ・アドレス空間内の以下のアドレスが予約済みです：0x2C、0x2D、0x2E、0x2F、0x46。0x99~0xFF のアドレス空間もアナログ・デバयセズ用として予約されています。

それ以外で予約済みのレジスタ・アドレスに対して有効な読出しまたは書込みが試みられた場合（プロトコル・エラーも CRC/PEC エラーもない）、その UART トランザクションにエラーが生じることはありません。予約済みレジスタ・アドレスに書き込まれたデータが内部に保存されることはなく、予約済みレジスタは常にすべてゼロにリード・バックします。UART ブロックのリードバック要求にいずれかの予約済みレジスタ・アドレスが含まれている場合、リードバック・データにはそれらのアドレスが含まれますが、返されるデータはすべてゼロです。UART ブロックのリードバック・トランザクションでは、どのアドレスもスキップされません。予約済みレジスタに書込みを行おうとしても、ADES1754/ADES1755/ADES1756 はそれらのトランザクションに応答しないので、通常はこのような書込みを避ける必要があります。

未使用ビットフィールド

ユーザがアクセスできるレジスタの中には多くの未使用ビットフィールドがあり、RMap ではこれらをダッシュ (-) で示しています。読出しおよび書込みトランザクションでは、未使用ビットフィールドを含め、データを構成する 16 ビットのすべてに PEC チェックと CRC チェックが行われます。未使用ビットフィールドに書き込まれたデータが内部に保存されることはなく、未使用ビットフィールドのリード・バックは常にすべてゼロになります。

予約済みビットフィールド

RMap 内には、複数の予約済みビットフィールドがあります。DEVCFG1RSRV (4 ビット) と DEVCFG2RSRV (5 ビット) は予備です。読出しおよび書込みトランザクションでは、予約済みビットフィールドを含め、データを構成する 16 ビットのすべてに PEC チェックと CRC チェックが行われます。予約済みビットフィールドに書き込まれたデータは内部に保存され（ただし、これらのビットフィールドの設定は内部動作に影響しません）、予約済みビットフィールドは常にその最新設定をリード・バックします。

レジスタ・ブロックとトランザクション拒否動作

RMap は複数のレジスタ・ブロックに分けられています。それぞれのレジスタ・ブロックには、以下のレジスタ・ブロックの説明に詳細を示す、特定のトランザクション拒否動作が適用されます。これらの動作は、要求された内部的プロセスが現在使用しているレジスタの内容について、その使用中に変更されてしまうことがないようにします。一般に、レジスタ・ブロックは、最大限のトランザクション効率を実現する一方で最高水準の安全性を確保できるように構成され、定義されています。

ブロックされた（ビジー状態の）レジスタに対して有効な書込みトランザクションを実行しようとしても、そのレジスタは現在進行中の内部動作が使用中なのでそのトランザクションは拒否され、ALRTRJCT ビットがセットされて書込みが無視されたことを示します。一般的には、内部プロセスが完了したことを確認してから ADES1754/ADES1755/ADES1756 に何らかの変更を書き込むのではなく、現在使用中のレジスタの内容が変更されてしまうのを避けるためにユーザ・ソフトウェアに書込みを行う必要があります。

ADD RESS	NAME	MSB							LSB
STATUS REGISTERS									
0x00	VERSION[15:8]	MOD[11:4]							
	VERSION[7:0]	MOD[3:0]				VER[3:0]			
0x01	ADDRESS[15:8]	ADDRUNL OCK	BA[4:0]					TA[4:3]	
	ADDRESS[7:0]	TA[2:0]			DA[4:0]				
0x02	STATUS1[15:8]	ALRTSCAN	ALRTRST	ALRTMSMT CH	ALRTCELL OVST	ALRTCELL UVST	ALRTBLKOV ST	ALRTBLKU VST	ALRTAUXO VST
	STATUS1[7:0]	ALRTAUXU VST	—	ALRTPEC	ALRTINTRF C	ALRTCAL	ALRTCBAL	ALRTFMEA 2	ALRTFMEA 1

ADD RESS	NAME	MSB							LSB
0x03	STATUS2[15:8]	ALRTPECU P	ALRTPECD N	ALRTMANU P	ALRTMAND N	ALRTPARU P	ALRTPARDN	ALRTDUAL UART	–
	STATUS2[7:0]	ALRTSPI	ALRTSCLK ERR	ALRTOSC3	ALRTINTBU S	–	ALRTI2C	–	ALRTRJCT
0x04	STATUS3[15:8]	ALRTCBTI MEOUT	ALRTCBTE MP	ALRTCBCA L	ALRTCBNT FY	ALRTCBDO NE	–	–	–
	STATUS3[7:0]	–	–	–	–	–	–	–	–
0x05	FMEA1[15:8]	ALRTOSC1	ALRTOSC2	ALRTCOMM SEU1	ALRTCOMM SEL1	ALRTCOM MSEU2	ALRTCOMM SEL2	ALRTVDDL 3	ALRTVDDL2
	FMEA1[7:0]	ALRTVDDL 1	ALRTGNDL 3	ALRTGNDL 2	ALRTGNDL 1	ALRTHVUV	ALRTHVHDR M	ALRTHVOV	ALRTBALS WSUM
0x06	FMEA2[15:8]	ALRTUSER	ALRTDCIN MUX	ALRTAUXP RTCTSUM	ALRTTEMP	ALRTSCAN TIMEOUT	–	–	–
	FMEA2[7:0]	–	–	–	–	ALRTADCZ S	ALRTADCFS	ALRTCOM PACCOV	ALRTCOMP ACCUV
0x07	ALRTSUM[15:8]	ALRTADC OVST	ALRTCOM POVST	ALRTADCU VST	ALRTCOMP UVST	ALRTADCA UXOVST	ALRTCOMPA UXOVST	ALRTADCA UXUVST	ALRTCOMP AUXUVST
	ALRTSUM[7:0]	–	–	–	ALRTCALO SADC	ALRTCALO SR	ALRTCALOS THRM	ALRTCALG AINP	ALRTCALG AINR
0x08	ALRTOVCELL[15:8]	–	–	ALRTOV[14:9]					
	ALRTOVCELL[7:0]	ALRTOV[8:1]							
0x09	ALRTUVCELL[15:8]	–	–	ALRTUV[14:9]					
	ALRTUVCELL[7:0]	ALRTUV[8:1]							
0x0A	MINMAXCELL[15:8]	–	–	–	–	MAXCELL[3:0]			
	MINMAXCELL[7:0]	–	–	–	–	MINCELL[3:0]			
0x0B	ALRTAUXPRTCT REG[15:8]	–	–	–	–	–	–	–	–

ADD RESS	NAME	MSB							LSB
	ALRTAUXPRTCT REG[7:0]	–	–	ALRTAUXPRTCT[5:4]		ALRTAUXPRTCT[3:0]			
0x0C	ALRTAUXOVRE G[15:8]	–	–	–	–	–	–	–	–
	ALRTAUXOVRE G[7:0]	–	–	ALRTAUXOV[5:4]		ALRTAUXOV[3:0]			
0x0D	ALRTAUXUVRE G[15:8]	–	–	–	–	–	–	–	–
	ALRTAUXUVRE G[7:0]	–	–	ALRTAUXUV[5:4]		ALRTAUXUV[3:0]			
0x0E	ALRTCOMPOVR EG[15:8]	–	–	ALRTCOMPOV[14:9]					
	ALRTCOMPOVR EG[7:0]	ALRTCOMPOV[8:1]							
0x0F	ALRTCOMPUVR EG[15:8]	–	–	ALRTCOMPUV[14:9]					
	ALRTCOMPUVR EG[7:0]	ALRTCOMPUV[8:1]							
0x10	ALRTCOMPAUX OVREG[15:8]	–	–	–	–	–	–	–	–
	ALRTCOMPAUX OVREG[7:0]	–	–	ALRTCOMPAUXOV[5:4]		ALRTCOMPAUXOV[3:0]			
0x11	ALRTCOMPAUX UVREG[15:8]	–	–	–	–	–	–	–	–
	ALRTCOMPAUX UVREG[7:0]	–	–	ALRTCOMPAUXUV[5:4]		ALRTCOMPAUXUV[3:0]			
0x12	ALRTBALSWRE G[15:8]	–	–	ALRTBALSW[13:8]					
	ALRTBALSWRE G[7:0]	ALRTBALSW[7:0]							
0x13	SWACTION[15:8]	–	–	–	–	–	–	–	–
	SWACTION[7:0]	–	–	–	–	–	–	–	SWPOR
GENERAL CONFIGURATION REGISTERS									

ADD RESS	NAME	MSB							LSB
0x14	DEVCFG1[15:8]	UARTCFG[1:0]		TXUIDLEHI Z	TXLIDLEHIZ	DEVCFG1RSRV[1:0]		ALIVECNT EN	UARTHOST
	DEVCFG1[7:0]	DEVCFG 1RSRV	DEVCFG 1RSRV	DEVCFG 1RSRV	DEVCFG 1RSRV	UARTDCEN	NOPEC	ALERTEN	DBLBUFEN
0x15	DEVCFG2[15:8]	IIRFC[2:0]			–	–	–	–	–
	DEVCFG2[7:0]	–	HVCPDIS	FORCEPOR	ALERTDCT STEN	–	DEVCFG2 RSRV	SCANTODI S	CBTODIS
0x16	AUXGPIOCFG[15:8]	I2CEN	–	GPIOEN[5:4]		GPIOEN[3:0]			
	AUXGPIOCFG[7:0]	–	–	GPIODIR[5:4]		GPIODIR[3:0]			
0x17	GPIOCFG[15:8]	–	–	GPIODRV[5:4]		GPIODRV[3:0]			
	GPIOCFG[7:0]	–	–	GPIORD[5:4]		GPIORD[3:0]			
0x18	PACKCFG[15:8]	FLXPCKEN 2	FLXPCKEN 1	FLXPCKSC AN	–	TOPBLOCK[3:0]			
	PACKCFG[7:0]	TOPCELL2[3:0]				TOPCELL1[3:0]			
ALERT CONFIGURATION REGISTERS									
0x19	ALRTIRQEN[15:8]	SCANALRT EN	–	MSMTCHAL RTEN	CELLOVST ALRTEN	CELLUVST ALRTEN	BLKOVSTAL RTEN	BLKUVSTA LRTEN	AUXOVSTA LRTEN
	ALRTIRQEN[7:0]	AUXUVSTA LRTEN	–	PECALRTE N	INTRFCALR TEN	CALALRTE N	CBALALRTE N	FMEA2ALR TEN	FMEA1ALR TEN
0x1A	ALRTOVEN[15:8]	–	BLKVALR TEN	OVALRTEN[14:9]					
	ALRTOVEN[7:0]	OVALRTEN[8:1]							
0x1B	ALRTUVEN[15:8]	–	BLKUVALR TEN	UVALRTEN[14:9]					
	ALRTUVEN[7:0]	UVALRTEN[8:1]							
0x1C	ALRTAUXOVEN[15:8]	–	–	–	–	–	–	–	–
	ALRTAUXOVEN[7:0]	–	–	AUXOVALRTEN[5:4]		AUXOVALRTEN[3:0]			

ADD RESS	NAME	MSB							LSB
0x1D	ALRTAUXUVEN[15:8]	–	–	–	–	–	–	–	–
	ALRTAUXUVEN[7:0]	–	–	AUXUVALRTEN[5:4]		AUXUVALRTEN[3:0]			
0x1E	ALRTCALTST[15:8]	–	–	–	–	–	–	–	–
	ALRTCALTST[7:0]	–	–	–	CALOSADC ALRTFRC	CALOSRAL RTFRC	CALOSTHR MALRTFRC	CALGAINP ALRTFRC	CALGAINRA LRTFRC
THRESHOLD REGISTERS									
0x1F	OVTHCLRREG[15:8]	OVTHCLR[13:6]							
	OVTHCLRREG[7:0]	OVTHCLR[5:0]						–	–
0x20	OVTHSETREG[15:8]	OVTHSET[13:6]							
	OVTHSETREG[7:0]	OVTHSET[5:0]						–	–
0x21	UVTHCLRREG[15:8]	UVTHCLR[13:6]							
	UVTHCLRREG[7:0]	UVTHCLR[5:0]						–	–
0x22	UVTHSETREG[15:8]	UVTHSET[13:6]							
	UVTHSETREG[7:0]	UVTHSET[5:0]						–	–
0x23	MSMTCHREG[15:8]	MSMTCH[13:6]							
	MSMTCHREG[7:0]	MSMTCH[5:0]						–	–
0x24	BIPOVTHCLRREG[15:8]	BIPOVTHCLR[13:6]							
	BIPOVTHCLRREG[7:0]	BIPOVTHCLR[5:0]						–	–

ADD RESS	NAME	MSB							LSB
0x25	BIPOVTHSETRE G[15:8]	BIPOVTHSET[13:6]							
	BIPOVTHSETRE G[7:0]	BIPOVTHSET[5:0]						–	–
0x26	BIPUVTHCLRRE G[15:8]	BIPUVTHCLR[13:6]							
	BIPUVTHCLRRE G[7:0]	BIPUVTHCLR[5:0]						–	–
0x27	BIPUVTHSETRE G[15:8]	BIPUVTHSET[13:6]							
	BIPUVTHSETRE G[7:0]	BIPUVTHSET[5:0]						–	–
0x28	BLKOVTHCLRR EG[15:8]	BLKOVTHCLR[13:6]							
	BLKOVTHCLRR EG[7:0]	BLKOVTHCLR[5:0]						–	–
0x29	BLKOVTHSETR EG[15:8]	BLKOVTHSET[13:6]							
	BLKOVTHSETR EG[7:0]	BLKOVTHSET[5:0]						–	–
0x2A	BLKUVTHCLRR EG[15:8]	BLKUVTHCLR[13:6]							
	BLKUVTHCLRR EG[7:0]	BLKUVTHCLR[5:0]						–	–
0x2B	BLKUVTHSETRE G[15:8]	BLKUVTHSET[13:6]							
	BLKUVTHSETRE G[7:0]	BLKUVTHSET[5:0]						–	–
0x30	AUXROVTHCLR REG[15:8]	AUXROVTHCLR[13:6]							
	AUXROVTHCLR REG[7:0]	AUXROVTHCLR[5:0]						–	–
0x31	AUXROVTHSET REG[15:8]	AUXROVTHSET[13:6]							

ADD RESS	NAME	MSB							LSB
	AUXROVTHSET REG[7:0]	AUXROVTHSET[5:0]						—	—
0x32	AUXRUVTHCLR REG[15:8]	AUXRUVTHCLR[13:6]							
	AUXRUVTHCLR REG[7:0]	AUXRUVTHCLR[5:0]						—	—
0x33	AUXRUVTHSET REG[15:8]	AUXRUVTHSET[13:6]							
	AUXRUVTHSET REG[7:0]	AUXRUVTHSET[5:0]						—	—
0x34	AUXAOVTHCLR REG[15:8]	AUXAOVTHCLR[13:6]							
	AUXAOVTHCLR REG[7:0]	AUXAOVTHCLR[5:0]						—	—
0x35	AUXAOVTHSET REG[15:8]	AUXAOVTHSET[13:6]							
	AUXAOVTHSET REG[7:0]	AUXAOVTHSET[5:0]						—	—
0x36	AUXAUVTHCLR REG[15:8]	AUXAUVTHCLR[13:6]							
	AUXAUVTHCLR REG[7:0]	AUXAUVTHCLR[5:0]						—	—
0x37	AUXAUVTHSET REG[15:8]	AUXAUVTHSET[13:6]							
	AUXAUVTHSET REG[7:0]	AUXAUVTHSET[5:0]						—	—
0x38	COMPOVTHREG [15:8]	COMPOVTH[11:4]							
	COMPOVTHREG [7:0]	COMPOVTH[3:0]			—	—	—	—	—
0x39	COMPUVTHREG [15:8]	COMPUVTH[11:4]							
	COMPUVTHREG [7:0]	COMPUVTH[3:0]			—	—	—	—	—

ADD RESS	NAME	MSB							LSB
0x3A	COMPAUXROVT HREG[15:8]	COMPAUXROVTH[11:4]							
	COMPAUXROVT HREG[7:0]	COMPAUXROVTH[3:0]			–	–	–	–	
0x3B	COMPAUXRUVT HREG[15:8]	COMPAUXRUVTH[11:4]							
	COMPAUXRUVT HREG[7:0]	COMPAUXRUVTH[3:0]			–	–	–	–	
0x3C	COMPAUXAOVT HREG[15:8]	COMPAUXAOVTH[11:4]							
	COMPAUXAOVT HREG[7:0]	COMPAUXAOVTH[3:0]			–	–	–	–	
0x3D	COMPAUXAUVT HREG[15:8]	COMPAUXAUVTH[11:4]							
	COMPAUXAUVT HREG[7:0]	COMPAUXAUVTH[3:0]			–	–	–	–	
DIAGNOSTIC THRESHOLD REGISTERS									
0x3E	COMPOPNTHRE G[15:8]	COMPOPNTH[11:4]							
	COMPOPNTHRE G[7:0]	COMPOPNTH[3:0]			–	–	–	–	
0x3F	COMPAUXROPN THREG[15:8]	COMPAUXROPNTH[11:4]							
	COMPAUXROPN THREG[7:0]	COMPAUXROPNTH[3:0]			–	–	–	–	
0x40	COMPAUXAOPN THREG[15:8]	COMPAUXAOPNTH[11:4]							
	COMPAUXAOPN THREG[7:0]	COMPAUXAOPNTH[3:0]			–	–	–	–	
0x41	COMPACCOVTH REG[15:8]	COMPACCOVTH[11:4]							
	COMPACCOVTH REG[7:0]	COMPACCOVTH[3:0]			–	–	–	–	

ADD RESS	NAME	MSB							LSB
0x42	COMPACCUVTH REG[15:8]	COMPACCUVTH[11:4]							
	COMPACCUVTH REG[7:0]	COMPACCUVTH[3:0]				–	–	–	–
0x43	BALSHRTTHRR EG[15:8]	BALSHRTTHR[13:6]							
	BALSHRTTHRR EG[7:0]	BALSHRTTHR[5:0]						–	–
0x44	BALLOWTHRRE G[15:8]	BALLOWTHR[13:6]							
	BALLOWTHRRE G[7:0]	BALLOWTHR[5:0]						–	–
0x45	BALHIGHTHRRE G[15:8]	BALHIGHTHR[13:6]							
	BALHIGHTHRRE G[7:0]	BALHIGHTHR[5:0]						–	–
CELL DATA REGISTERS									
0x47	CELL1REG[15:8]	CELL1[13:6]							
	CELL1REG[7:0]	CELL1[5:0]						–	–
0x48	CELL2REG[15:8]	CELL2[13:6]							
	CELL2REG[7:0]	CELL2[5:0]						–	–
0x49	CELL3REG[15:8]	CELL3[13:6]							
	CELL3REG[7:0]	CELL3[5:0]						–	–
0x4A	CELL4REG[15:8]	CELL4[13:6]							
	CELL4REG[7:0]	CELL4[5:0]						–	–
0x4B	CELL5REG[15:8]	CELL5[13:6]							
	CELL5REG[7:0]	CELL5[5:0]						–	–
0x4C	CELL6REG[15:8]	CELL6[13:6]							
	CELL6REG[7:0]	CELL6[5:0]						–	–
0x4D	CELL7REG[15:8]	CELL7[13:6]							

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

ADD RESS	NAME	MSB							LSB
	CELL7REG[7:0]	CELL7[5:0]						–	–
0x4E	CELL8REG[15:8]	CELL8[13:6]							
	CELL8REG[7:0]	CELL8[5:0]						–	–
0x4F	CELL9REG[15:8]	CELL9[13:6]							
	CELL9REG[7:0]	CELL9[5:0]						–	–
0x50	CELL10REG[15:8]	CELL10[13:6]							
	CELL10REG[7:0]	CELL10[5:0]						–	–
0x51	CELL11REG[15:8]	CELL11[13:6]							
	CELL11REG[7:0]	CELL11[5:0]						–	–
0x52	CELL12REG[15:8]	CELL12[13:6]							
	CELL12REG[7:0]	CELL12[5:0]						–	–
0x53	CELL13REG[15:8]	CELL13[13:6]							
	CELL13REG[7:0]	CELL13[5:0]						–	–
0x54	CELL14REG[15:8]	CELL14[13:6]							
	CELL14REG[7:0]	CELL14[5:0]						–	–
0x55	BLOCKREG[15:8]	VBLOCK[13:6]							
	BLOCKREG[7:0]	VBLOCK[5:0]						–	–
TOTAL DIAG AUX DATA REGISTERS									
0x56	TOTALREG[15:8]	TOTAL[15:8]							
	TOTALREG[7:0]	TOTAL[7:0]							
0x57	DIAG1REG[15:8]	DIAG1[13:6]							
	DIAG1REG[7:0]	DIAG1[5:0]						–	–
0x58	DIAG2REG[15:8]	DIAG2[13:6]							

ADD RESS	NAME	MSB							LSB
	DIAG2REG[7:0]	DIAG2[5:0]						–	–
0x59	AUX0REG[15:8]	AUX0[13:6]							
	AUX0REG[7:0]	AUX0[5:0]						–	–
0x5A	AUX1REG[15:8]	AUX1[13:6]							
	AUX1REG[7:0]	AUX1[5:0]						–	–
0x5B	AUX2REG[15:8]	AUX2[13:6]							
	AUX2REG[7:0]	AUX2[5:0]						–	–
0x5C	AUX3REG[15:8]	AUX3[13:6]							
	AUX3REG[7:0]	AUX3[5:0]						–	–
0x5D	AUX4REG[15:8]	AUX4[13:6]							
	AUX4REG[7:0]	AUX4[5:0]						–	–
0x5E	AUX5REG[15:8]	AUX5[13:6]							
	AUX5REG[7:0]	AUX5[5:0]						–	–
SCAN SETTINGS REGISTERS									
0x5F	POLARITYCTRL[15:8]	MINMAXP OL	–	POLARITY[14:9]					
	POLARITYCTRL[7:0]	POLARITY[8:1]							
0x60	AUXREFCTRL[15:8]	–	–	–	–	–	–	–	–
	AUXREFCTRL[7:0]	–	–	AUXREFSEL[5:4]		AUXREFSEL[3:0]			
0x61	AUXTIMEREG[15:8]	–	–	–	–	–	–	AUXTIME[9:8]	
	AUXTIMEREG[7:0]	AUXTIME[7:0]							
0x62	ACQCFG[15:8]	ADCZSFSE N	ADCCALE N	COMPACCE N	FOSR[1:0]		THRMMODE[1:0]		–
	ACQCFG[7:0]	–	–	–	–	–	–	–	–

ADD RESS	NAME	MSB							LSB
0x63	BALSWDLY[15:8]	CELLDLY[7:0]							
	BALSWDLY[7:0]	SWDLY[7:0]							
SCAN CONTROL REGISTERS									
0x64	MEASUREEN1[15:8]	–	BLOCKEN	CELLEN[14:9]					
	MEASUREEN1[7:0]	CELLEN[8:1]							
0x65	MEASUREEN2[15:8]	SCANIIRINIT	–	–	–	–	–	–	–
	MEASUREEN2[7:0]	–	–	AUXEN[5:4]		AUXEN[3:0]			
0x66	SCANCTRL[15:8]	SCANDONE	SCANTIMEOUT	DATARDY	AUTOBALSWDIS	ALRTFILTS EL	AMENDFILT	RDFILT	SCANCFG[2]]
	SCANCTRL[7:0]	SCANCFG[1:0]		OVSAMPL[2:0]			ALTMUXSEL	SCANMODE	SCAN
DIAGNOSTIC SETTINGS REGISTERS									
0x67	ADCTEST1AREG[15:8]	ADCTSTEN	–	–	–	ADCTEST1A[11:8]			
	ADCTEST1AREG[7:0]	ADCTEST1A[7:0]							
0x68	ADCTEST1BREG[15:8]	–	–	–	–	ADCTEST1B[11:8]			
	ADCTEST1BREG[7:0]	ADCTEST1B[7:0]							
0x69	ADCTEST2AREG[15:8]	–	–	–	–	ADCTEST2A[11:8]			
	ADCTEST2AREG[7:0]	ADCTEST2A[7:0]							
0x6A	ADCTEST2BREG[15:8]	–	–	–	–	ADCTEST2B[11:8]			
	ADCTEST2BREG[7:0]	ADCTEST2B[7:0]							
DIAGNOSTIC CONTROL REGISTERS									

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

ADD RESS	NAME	MSB							LSB
0x6B	DIAGCFG[15:8]	CTSTDAC[3:0]				CTSTSRC	MUXDIAGBUS	MUXDIAGPAIR	MUXDIAGEN
	DIAGCFG[7:0]	DIAGSEL2[3:0]				DIAGSEL1[3:0]			
0x6C	CTSTCFG[15:8]	CELLOPND IAGSEL	CTSTEN[14:8]						
	CTSTCFG[7:0]	CTSTEN[7:0]							
0x6D	AUXTSTCFG[15:8]	-	-	-	-	-	-	-	-
	AUXTSTCFG[7:0]	-	-	AUXTSTEN[5:4]		AUXTSTEN[3:0]			
0x6E	DIAGGENCFG[15:8]	AUXDIAGSEL[2:0]			-	-	-	-	-
	DIAGGENCFG[7:0]	-	-	-	-	-	-	-	-
CELL-BALANCING REGISTERS									
0x6F	BALSWCTRL[15:8]	CBRESTART	-	BALSWEN[14:9]					
	BALSWCTRL[7:0]	BALSWEN[8:1]							
0x70	BALEXP1[15:8]	-	-	-	-	-	-	CBEXP1[9:8]	
	BALEXP1[7:0]	CBEXP1[7:0]							
0x71	BALEXP2[15:8]	-	-	-	-	-	-	CBEXP2[9:8]	
	BALEXP2[7:0]	CBEXP2[7:0]							
0x72	BALEXP3[15:8]	-	-	-	-	-	-	CBEXP3[9:8]	
	BALEXP3[7:0]	CBEXP3[7:0]							
0x73	BALEXP4[15:8]	-	-	-	-	-	-	CBEXP4[9:8]	
	BALEXP4[7:0]	CBEXP4[7:0]							
0x74	BALEXP5[15:8]	-	-	-	-	-	-	CBEXP5[9:8]	
	BALEXP5[7:0]	CBEXP5[7:0]							
0x75	BALEXP6[15:8]	-	-	-	-	-	-	CBEXP6[9:8]	

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

ADD RESS	NAME	MSB						LSB
	BAEXP6[7:0]	CBEXP6[7:0]						
0x76	BAEXP7[15:8]	–	–	–	–	–	–	CBEXP7[9:8]
	BAEXP7[7:0]	CBEXP7[7:0]						
0x77	BAEXP8[15:8]	–	–	–	–	–	–	CBEXP8[9:8]
	BAEXP8[7:0]	CBEXP8[7:0]						
0x78	BAEXP9[15:8]	–	–	–	–	–	–	CBEXP9[9:8]
	BAEXP9[7:0]	CBEXP9[7:0]						
0x79	BAEXP10[15:8]	–	–	–	–	–	–	CBEXP10[9:8]
	BAEXP10[7:0]	CBEXP10[7:0]						
0x7A	BAEXP11[15:8]	–	–	–	–	–	–	CBEXP11[9:8]
	BAEXP11[7:0]	CBEXP11[7:0]						
0x7B	BAEXP12[15:8]	–	–	–	–	–	–	CBEXP12[9:8]
	BAEXP12[7:0]	CBEXP12[7:0]						
0x7C	BAEXP13[15:8]	–	–	–	–	–	–	CBEXP13[9:8]
	BAEXP13[7:0]	CBEXP13[7:0]						
0x7D	BAEXP14[15:8]	–	–	–	–	–	–	CBEXP14[9:8]
	BAEXP14[7:0]	CBEXP14[7:0]						
0x7E	BALAUTOVTHR[15:8]	CBUVTHR[13:6]						
	BALAUTOVTHR[7:0]	CBUVTHR[5:0]						– CBUVMINCELL
0x7F	BALDLYCTRL[15:8]	–	–	–	–	–	–	CBNTFYCFG[1:0]
	BALDLYCTRL[7:0]	–	–	–	–	–	CBCALDLY[2:0]	
0x80	BALCTRL[15:8]	CBACTIVE[1:0]		CBMODE[2:0]			CBIIRINIT	HOLDSHDNL[1:0]
	BALCTRL[7:0]	CBDUTY[3:0]				CBDONEALRTEN	CBTEMPEN	CBMEASEN[1:0]

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

ADD RESS	NAME	MSB							LSB
0x81	BALSTAT[15:8]	CBACTIVE_M1[1:0]		CBUNIT[1:0]		CBCNTR[1:0]		CBTIMER[9:8]	
	BALSTAT[7:0]	CBTIMER[7:0]							
0x82	BALUVSTAT[15:8]	CBACTIVE_M2[1:0]		CBUVSTAT[14:9]					
	BALUVSTAT[7:0]	CBUVSTAT[8:1]							
0x83	BALDATA[15:8]	CBACTIVE_M3[1:0]		DATARDY_M	–	–	–	–	–
	BALDATA[7:0]	–	–	–	–	–	–	–	CBSCAN
I2C CONTROLLER REGISTERS									
0x84	I2CPNTR[15:8]	I2CPBYTE1[7:0]							
	I2CPNTR[7:0]	I2CPBYTE0[7:0]							
0x85	I2CWDATA1[15:8] 1	I2CWBYTE3[7:0]							
	I2CWDATA1[7:0]	I2CWBYTE2[7:0]							
0x86	I2CWDATA2[15:8] 1	I2CWBYTE1[7:0]							
	I2CWDATA2[7:0]	I2CWBYTE0[7:0]							
0x87	I2CRDATA1[15:8] 1	I2CRBYTE3[7:0]							
	I2CRDATA1[7:0]	I2CRBYTE2[7:0]							
0x88	I2CRDATA2[15:8] 1	I2CRBYTE1[7:0]							
	I2CRDATA2[7:0]	I2CRBYTE0[7:0]							
0x89	I2CCFG[15:8]	I2CFSC	I2CWALT	I2CRFMT	I2C10BIT	I2CPNTRLNGTH	I2CALRTEN	–	–
	I2CCFG[7:0]	–	–	I2CANACONTEN	I2CCONTEN	I2CGLITCHEN	I2CNOISEEN	I2CRDTREN	I2CTOEN
0x8A	I2CSTAT[15:8]	I2CSTATUS[1:0]		–	–	–	–	–	I2CRJCT
	I2CSTAT[7:0]	I2CDEVNA CK	I2CDATAN ACK	I2CANACONT	I2CCONT	I2CGLITCH	I2CNOISE	I2CRDTRE RR	I2CTIMEOU T

ADD RESS	NAME	MSB							LSB
0x8B	I2CSEND[15:8]	I2CPNTRS EL	I2CDATALNGTH[1:0]		I2CDATASEL[1:0]		I2CDEVIDEXT[2:0]		
	I2CSEND[7:0]								
ROM SUPPORT REGISTERS									
0x8C	ID1[15:8]	DEVID[15:8]							
	ID1[7:0]	DEVID[7:0]							
0x8D	ID2[15:8]	DEVID[31:24]							
	ID2[7:0]	DEVID[23:16]							
0x8E	ID3[15:8]	OTP2[7:0]							
	ID3[7:0]	DEVID[39:32]							
0x8F	OTP3REG[15:8]	OTP3[15:8]							
	OTP3REG[7:0]	OTP3[7:0]							
0x90	OTP4REG[15:8]	OTP4[1:0]	ALTREF_OTP[13:8]						
	OTP4REG[7:0]	ALTREF_OTP[7:0]							
0x91	OTP5REG[15:8]	OTP5[15:8]							
	OTP5REG[7:0]	OTP5[7:0]							
0x92	OTP6REG[15:8]	OTP6[15:8]							
	OTP6REG[7:0]	OTP6[7:0]							
0x93	OTP7REG[15:8]	OTP7[15:8]							
	OTP7REG[7:0]	OTP7[7:0]							
0x94	OTP8REG[15:8]	OTP8[15:8]							
	OTP8REG[7:0]	OTP8[7:0]							
0x95	OTP9REG[15:8]	OTP9[15:8]							
	OTP9REG[7:0]	OTP9[7:0]							
0x96	OTP10REG[15:8]	OTP10[15:8]							
	OTP10REG[7:0]	OTP10[7:0]							

ADD RESS	NAME	MSB							LSB
0x97	OTP11REG[15:8]	OTP11[15:8]							
	OTP11REG[7:0]	OTP11[7:0]							
0x98	OTP12REG[15:8]	ROMCRC[7:0]							
	OTP12REG[7:0]	OTP12[7:0]							

レジスタの詳細

VERSION (0x0)

VERSION は読出し専用アクセスが可能なレジスタで、デバイスに関する情報を返します。

BIT	15	14	13	12	11	10	9	8
Field	MOD[11:4]							
Reset	0x000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	MOD[3:0]				VER[3:0]			
Reset	0x000				0x4			
Access Type	Read Only				Read Only			

ビットフィールド	ビット	説明
MOD	15:4	デバイスのモデル番号 0x854 = ADES1754/ADES1755/ADES1756 読出し専用です。
VER	3:0	Si バージョン 現行バージョン = 0x4 読出し専用です。

ADDRESS (0x1)

ADDRESS は読出しおよび書き込みアクセスが可能なレジスタで、UART チェーン内のデバイスが使用する最初のアドレスと最後のアドレス、およびデバイス・アドレスを設定します。

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	ADDRUNLOCK	BA[4:0]						TA[4:3]
Reset	0b1	0b000000						0b000000
Access Type	Write, Read, Ext	Write, Read, Ext						Write, Read, Ext
BIT	7	6	5	4	3	2	1	0
Field	TA[2:0]			DA[4:0]				
Reset	0b000000			0b000000				
Access Type	Write, Read, Ext			Write, Read, Ext				

ビットフィールド	ビット	説明
ADDRUNLOCK	15	<p>UART デバイス・アドレスのアンロック 0 = 通常動作 (HELLOALL の後) 1 = デバイス・アドレス DA[4:0]の書き込み保護をディスエーブルし、HELLOALL を再送して POR なしでデバイス・アドレスを再割り当てできるようにします (ただしデフォルトは POR)。 HELLOALL コマンドによってのみクリアされます (0 の書き込みは無視されます)。</p> <p>このビットフィールドは、ホストによる SWPOR (ソフトウェア POR) 要求の影響を受けません。</p> <p>注: 通常、BA と TA の内容入力時はこのビットに 0 を書き込みます。このビットを設定する必要があるのは、HELLOALL コマンドによって入力された DA のオリジナル内容が壊れていると思われる場合に限られます。</p>
BA	14:10	<p>UART チェーン内のボトム・デバイス・アドレス デジチェーンの最下位にあるデバイスのアドレス。</p> <p>ホストが UART アップ・パスを通じて HELLOALL コマンドで 0x00 以外の初期アドレスを送信した場合 (割当て/インクリメント)、ホストは WRITEALL コマンドを使い、そのボトム・アドレス (および予想されるトップ・アドレス) を、デジチェーン内のすべてのデバイスのこのビットフィールドへ書き込む必要があります。</p> <p>READALL コマンドとアラート・パケット使用時は、データ・チェック機能と PEC 機能を意図したとおり機能させるために、BA[4:0]、TA[4:0]、および DA[4:0]を正しく設定する必要があります。</p> <p>このビットフィールドは、ホストによる SWPOR (ソフトウェア POR) 要求の影響を受けません。</p>
TA	9:5	<p>UART チェーン内のトップ・デバイス・アドレス デジチェーンの最上位に接続されたデバイスのアドレス。</p> <p>ホストが UART ダウン・パスを通じて HELLOALL コマンドで初期アドレスを送信した場合 (割当て/デクリメント)、ホストは WRITEALL コマンドを使い、そのトップ・アドレス (および予想されるボトム・アドレス) を、デジチェーン内のすべてのデバイスのこのビットフィールドに書き込む必要があります。</p> <p>READALL コマンドとアラート・パケット使用時は、データ・チェック機能と PEC 機能を意図したとおり機能させるために、BA[4:0]、TA[4:0]、および DA[4:0]を正しく設定する必要があります。</p> <p>このビットフィールドは、ホストによる SWPOR (ソフトウェア POR) 要求の影響を受けません。</p>

ビットフィールド	ビット	説明
DA	4:0	<p>デバイス・アドレス</p> <p>HELLOALL コマンドがデジチェーン内を伝達されていくときに、このコマンドによってのみ書き込まれるデバイス・アドレス。UART アップ・パスを通じて HELLOALL が発行された場合は、各デバイスによってこのビットフィールドが受け入れられて、自動的にインクリメントされます。UART ダウン・パスを通じて HELLOALL が発行された場合は、各デバイスによってこのビットフィールドが受け入れられて、自動的にデデクリメントされます。</p> <p>ホストは 0x00 以上の初期（ボトム）アドレスを選択し、アップ・パスを通じて HELLOALL コマンドが伝達される際に、最終的なトップ・アドレスが最大アドレスの 0x1F を超えないようにする必要があります。同様に、ホストは 0x1F 以下の初期（トップ）アドレスを選択し、ダウン・パスを通じて HELLOALL コマンドが伝達された後に、最終的なボトム・アドレスが 0x00 以上となるようにする必要があります。</p> <p>書き込みを行っても効果はなく、ADDRUNLOCK = 1 の状態で実行される HELLOALL コマンドだけがこの内容を更新します。</p> <p>このビットフィールドは、ホストによる SWPOR（ソフトウェア POR）要求の影響を受けません。</p>

STATUS1 (0x2)

STATUS1 は読出しアクセスと書き込みアクセスが可能なレジスタで、デバイスの現在の状態に関する情報を格納します。STATUS1 には、STATUS2 レジスタ、STATUS3 レジスタ、および FMEA レジスタと、追加的なリードバック・チェックが必要かどうかを示すその他の選択レジスタに関する概要情報も格納されます。

BIT	15	14	13	12	11	10	9	8
Field	ALRTSCAN	ALRTRST	ALRTMSMTC H	ALRTCELLOVST	ALRTCELLUVST	ALRTBLKOVST	ALRTBLKUVST	ALRTAUXOVST
Reset	0b0	0b1	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Write 0 to Clear, Read	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

BIT	7	6	5	4	3	2	1	0
Field	ALRTAUXUVST	—	ALRTPEC	ALRTINTRFC	ALRTCAL	ALRTCBAL	ALRTFMEA2	ALRTFMEA1
Reset	0b0	—	0b0	0b0	0b0	0b0	0b0	0b0

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

Access Type	Read Only	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only
-------------	-----------	---	-----------	-----------	-----------	-----------	-----------	-----------

ビットフィールド	ビット	説明
ALRTSCAN	15	<p>スキャン完了アラート</p> <p>0 = 測定要求なし、または測定中（デフォルト） 1 = 測定完了</p> <p>SCANCRTL:SCANDONE が削除されるとクリアされます。 読み出し専用です。</p>
ALRTRST	14	<p>リセット・アラート</p> <p>パワーオン・リセットが行われたことを示します。</p> <p>UART ユーザは、パワーオン後と HELLOALL トランザクションの正常終了後に、その後のリセットを検出するためにこのアラートをクリアする必要があります。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTMSMTCH	13	<p>セル電圧ミスマッチ・アラート</p> <p>「$V_{MAX} - V_{MIN} > V_{MSMTCH}$ 閾値」であることを示します。</p> <p>どのチャンネルが補助診断機能に関係するかについては、MINMAXCELL を参照してください。</p> <p>条件が「偽」の場合は次のアキュイジション時にクリアされます。 読み出し専用です。</p>
ALRTCELLOVST	12	<p>セル過電圧ステータス・サマリ・アラート</p> <p>ALRTOV[14:1]と ALRTCOMPOV[14:1]のビット論理和。</p> <p>補助診断機能のフォルトを検出したのが ADC 回路なのか、コンパレータ回路なのか、あるいは両方の回路なのかについては、ALRTSUM を参照してください。</p> <p>イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読み出し専用です。</p>
ALRTCELLUVST	11	<p>セル低電圧ステータス・サマリ・アラート</p> <p>ALRTUV[14:1]と ALRTCOMPUV[14:1]のビット論理和。</p> <p>補助診断機能のフォルトを検出したのが ADC 回路なのか、コンパレータ回路なのか、あるいは両方の回路なのかについては、ALRTSUM を参照してください。</p> <p>イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読み出し専用です。</p>

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
ALRTBLKOVST	10	<p>ブロック過電圧ステータス・アラート</p> <p>最新のブロック電圧測定値が BLKOVTHSET によって設定された閾値を超えたことを示します。</p> <p>過電圧状態が解消されると、次のブロック電圧アキュイジション時にクリアされます。</p> <p>読出し専用です。</p>
ALRTBLKUVST	9	<p>ブロック低電圧ステータス・アラート</p> <p>最新のブロック電圧測定値が BLKUVTHSET によって設定された閾値を下回ったことを示します。</p> <p>過電圧状態が解消されると、次のブロック電圧アキュイジション時にクリアされます。</p> <p>読出し専用です。</p>
ALRTAUXOVST	8	<p>補助過電圧（コールド）ステータス・サマリ・アラート</p> <p>ALRTAUXOV[5:0]および ALRTCOMPAUXOV[5:0]補助アラートの論理和。</p> <p>補助診断機能のフォルトを検出したのが ADC 回路なのか、コンパレータ回路なのか、あるいは両方の回路なのかについては、ALRTSUM を参照してください。</p> <p>イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。</p> <p>読出し専用です。</p>
ALRTAUXUVST	7	<p>補助低電圧（ホット）ステータス・サマリ・アラート</p> <p>ALRTAUXUV[5:0]および ALRTCOMPAUXUV[5:0]補助アラートの論理和。</p> <p>補助診断機能のフォルトを検出したのが ADC 回路なのか、コンパレータ回路なのか、あるいは両方の回路なのかについては、ALRTSUM を参照してください。</p> <p>イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。</p> <p>読出し専用です。</p>
ALRTPEC	5	<p>PEC（CRC）アラート</p> <p>受信した UART キャラクタ／トランザクションに PEC/CRC エラーが含まれていたため、そのキャラクタ／トランザクションが無視されたことを示します。ALRTPECUP と ALRTPEC DN の論理和。</p> <p>STATUS2:ALRTPECUP/DN でコンポーネント・アラートが解消されるとクリアされます。詳細についてはコンポーネント・ビットフィールドの説明を参照してください。</p> <p>読出し専用です。</p>
ALRTINTRFC	4	<p>インターフェイス固有エラー・アラート</p> <p>選択したインターフェイスに固有のエラーを示します。UART ユーザ・インターフェイスおよび／または I²C コントローラ・インターフェイス（イネーブルされている場合）固有のエラーが発生しました。</p> <p>ALRTMANUP/DN、ALRTPARUP/DN、ALRTDUALART、ALRTRJCT、ALRTI2C のビット論理和。</p> <p>ALRTPEC は STATUS レジスタ内の専用の位置を保持します（ALRTPEC のアサートが ALRTINTRFC をアサートすることはありません）。</p> <p>このアラート・ビットがセットされた場合は、STATUS2 レジスタを使い特定のエラーを読み出してクリアすることができます。</p>

ビットフィールド	ビット	説明
ALRTCAL	3	<p>キャリブレーション・フォルト・アラート</p> <p>すべてのキャリブレーション・アラート（ALRTCALOSADC、ALRTCALOSR、ALRTCALOSTHRM、ALRTCALGAINP、ALRTCALGAINR）の論理和。</p> <p>ALRTSUM でコンポーネント・アラートが解消されるとクリアされます。詳細については ALRTSUM と ALRTIRQEN を参照してください。</p> <p>読出し専用です。</p> <p>自動セル・バランスング動作時または放電動作時にキャリブレーション・エラーが発生した場合は動作が終了し、CBACTIVE = 11 と ALRTCBCAL が発行されてユーザに終了を知らせます。</p>
ALRTCBAL	2	<p>セル・バランスング・ステータス・アラート</p> <p>0 = セル・バランスングが非アクティブ／正常 1 = セル・バランスングが完了／フォルト</p> <p>イネーブルされた／マスクされていないすべてのセル・バランスング・アラート（ALRTCBTIMEOUT、ALRTCBTEMP、ALRTCBCAL、ALRTCBNTFY、ALRTCBDONE）の論理和。</p> <p>STATUS3 でコンポーネント・アラートが解消されるとクリアされます。詳細については STATUS3 と ALRTIRQEN を参照してください。</p> <p>読出し専用です。</p>
ALRTFMEA2	1	<p>FMEA2 状態サマリ・アラート</p> <p>FMEA2[15:0]のビット論理和。</p> <p>読出し専用です。</p>
ALRTFMEA1	0	<p>FMEA1 状態サマリ・アラート</p> <p>FMEA1[15:0]のビット論理和。</p> <p>読出し専用です。</p>

STATUS2 (0x3)

STATUS2 は読出しおよび書込みアクセスが可能なレジスタで、インターフェイスおよび通信フォルトに関係するアラートの概要情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	ALRTPECUP	ALRTPECDN	ALRTMANUP	ALRTMANDN	ALRTPARUP	ALRTPARDN	ALRTDUALUART	—
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	—

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	–
BIT	7	6	5	4	3	2	1	0
Field	ALRTSPI	ALRTSCLKERR	ALRTOSC3	ALRTINTBUS	–	ALRTI2C	–	ALRTRJCT
Reset	0b0	0b0	0b0	0b0	–	0b0	–	0b0
Access Type	Write, Read, Ext	Write, Read, Ext	Write, Read, Ext	Write, Read, Ext	–	Read Only	–	Write 0 to Clear, Read

ビットフィールド	ビット	説明
ALRTPECUP	15	<p>UART アップ・インターフェイスの packets ・エラー・チェック・アラート</p> <p>UART アップ・インターフェイスが受信したキャラクタ／トランザクションに PEC エラーが含まれていたため、そのキャラクタ／トランザクションが無視されたことを示します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTPECDN	14	<p>UART ダウン・インターフェイスの packets ・エラー・チェック・アラート</p> <p>UART ダウン・インターフェイスが受信したキャラクタ／トランザクションに PEC エラーが含まれていたため、そのキャラクタ／トランザクションが無視されたことを示します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p> <p>デュアル UART インターフェイス（UARTCFG = 11）を使って動作するデバイスだけに適用されます。</p>
ALRTMANUP	13	<p>UART アップ・インターフェイスのマンチェスター・エンコーディング・エラー</p> <p>UART アップ・インターフェイスが（RXL を通じて）受信したキャラクタに、マンチェスター・エラーが含まれていたことを示します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTMANDN	12	<p>UART ダウン・インターフェイスのマンチェスター・エンコーディング・エラー</p> <p>UART ダウン・インターフェイスが（RXU を通じて）受信したキャラクタに、マンチェスター・エラーが含まれていたことを示します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p> <p>デュアル UART インターフェイス（UARTCFG = 11）を使って動作するデバイスだけに適用されます。</p>

ビットフィールド	ビット	説明
ALRTPARUP	11	<p>UART アップ・インターフェイスのパリティ・エラー</p> <p>UART アップ・インターフェイスが（RXL を通じて）受信したキャラクタに、パリティ・エラーが含まれていたことを示します。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTPARDN	10	<p>UART ダウン・インターフェイスのパリティ・エラー</p> <p>UART ダウン・インターフェイスが（RXU を通じて）受信したキャラクタに、パリティ・エラーが含まれていたことを示します。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p> <p>デュアル UART インターフェイス（UARTCFG = 11）を使って動作するデバイスだけに適用されます。</p>
ALRTDUALUART	9	<p>デュアル UART フォルト・アラート</p> <p>0 = デュアル UART フォルトは検出されませんでした。 1 = 無効なデュアル UART コマンドを受信しました。</p> <p>ALRTDUALUART は以下の状態が 1 つ以上発生したことを示します。</p> <p>ホストとして設定されていないパスを通じて送信された WRITEDevice または WRITEALL コマンドが無視されました（ホスト・パスだけが書き込みを受け入れます）。</p> <p>ダウンストリーム UART パスで UPHOST コマンドが発行されて無視されました。</p> <p>アップストリーム UART パスで DOWNHOST コマンドが発行されて無視されました。</p> <p>これらの状態は UARTCFG = DUAL（11）の場合のみチェックされます。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTSPI	7	<p>SPI エラー・サマリ・アラート</p> <p>以下の SPI トランザクション・エラーが 1 つ以上発生したことを示します。</p> <ul style="list-style-type: none"> • R/WB != R/WB'（つまり、DI[31] != DI[3], RW_ERR） • DIN[15:0] != 0x0000、読出しモード（RW_ERR） • トランザクション・タイムアウト（TO_ERR） <p>特定のエラー状態の発生は、すべての SPI トランザクションの一部として STAT[4:0]（DO[31:27]）でレポートされます。</p> <p>このビットにロジック 0 を書き込むことによって、存在するすべての SPI CRC_ERR、RW_ERR、および TO_ERR アラートがクリアされます。ロジック 1 を書き込んでも効果はありません。</p> <p>SPI インターフェイス（UARTSEL = 0）を使って動作するデバイスだけに適用されます。</p> <p>注： SPI CRC_ERR 状態は専用の STATUS1:ALRTPEC ビット（読出し専用）を使ってレポートされますが、クリアはこのビットフィールドを使って行われます（つまり、CRC_ERR 状態は ALRTSPI でレポートされません）。ALRTPEC をクリアするには、ALRTSPI が既に 0 であったとしても ALRTSPI に 0 を書き込む必要があります（他の SPI エラーがレポートされていない場合）。SPI CLK_ERR によってカバーされる SPI クロックの問題は、個別に発生／レポート／クリアされます（詳細については ALRTSCLKERR、ALRTOSC3、および ALRTINTBUS を参照）。</p>

ビットフィールド	ビット	説明
ALRTSCLKERR	6	<p>SPI SCLK エラー・アラート</p> <p>長さが正確に 32SCLK サイクルではない SPI トランザクションが受信されたことを示します。</p> <p>このエラー状態は、すべての SPI トランザクションの一部として STAT[1] (DO[28]) でレポートされる 3 つのエラーのうちの 1 つです。</p> <p>このビットはロジック 0 を書き込むことによってクリアされます。 ロジック 1 を書き込んでも効果はありません。</p> <p>SPI インターフェイス (UARTSEL = 0) を使って動作するデバイスだけに適用されます。</p>
ALRTOSC3	5	<p>HFOSC フォルト・アラート</p> <p>LFOSC を基準に測定した場合に、HVOSC の周波数とその予定値の$\pm 5\%$以内に入っていないことを示します。ステータスは 2 サイクルごとに更新されます (LFOSC)。SPI モード (UARTSEL = 0) でのみ必要で、サポートも SPI モードだけに限られます。ドリフト・アラート状態でも SPI インターフェイスを引き続き機能させることはできますが、HVOSC が停止したり速度が極端に増加／減少したりした場合は機能しなくなります。</p> <p>このエラー状態は、すべての SPI トランザクションの一部として STAT[1] (DO[28]) でレポートされる 3 つのエラーのうちの 1 つです。</p> <p>この状態が解消された場合のクリアは、ロジック 0 を書き込むことによってのみ行われます。 ロジック 1 を書き込んでも効果はありません。</p>
ALRTINTBUS	4	<p>SPI 内部バス・トランザクション異常</p> <p>SPI 読出しまたは書込みトランザクションが内部メモリ・バス経由で正しく伝達されなかったことを示します。これは、内部バスのクロッキングを行う 16MHz 発振器（またはブランチ）が完全に停止した場合、動作が間欠的になった場合、もしくは指定周波数範囲を大きく外れた場合に起こる可能性があります。ALRTOSC1、2、または 3 アラートを伴うことがあります。</p> <p>このエラー状態は、すべての SPI トランザクションの一部として STAT[1] (DO[28]) でレポートされる 3 つのエラーのうちの 1 つです。</p> <p>このビットはロジック 0 を書き込むことによってクリアされます。 ロジック 1 を書き込んでも効果はありません。</p> <p>SPI インターフェイス (UARTSEL = 0) を使って動作するデバイスだけに適用されます。</p>
ALRTI2C	2	<p>I²C コントローラ・フォルト・アラート</p> <p>I2CSTAT[8:0]エラー・インジケータ・ビットの論理和で、I2CCFG:I2CALRTEN によるマスキングが適用されます。</p> <p>I2CSTAT レジスタのマスクされていないコンポーネント・アラートが解消された場合のみクリアされます。 読出し専用です。</p>

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
ALRTRJCT	0	<p>保護コマンド拒否アラート 0 = 通常動作 1 = アクティブ・スキャンまたはセル・バランシング動作で無効なコマンドが拒否されました</p> <p>アクティブ／ゲーティング・スキャン時またはセル・バランシング動作時に、保護されたレジスタへの無効な書込みが受信されると、ALRTRJCT が発行されます。無効なコマンドは無視されます。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>

STATUS3 (0x4)

STATUS3 は読出しおよび書込みアクセスが可能なレジスタで、自動セル・バランシング動作に関するアラートの概要情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	ALRTCBTIMEOUT	ALRTCBTEMP	ALRTCBCAL	ALRTCBNTFY	ALRTCBDONE	—	—	—
Reset	0b0	0b0	0b0	0b0	0b0	—	—	—
Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—

ビットフィールド	ビット	説明
ALRTCBTIMEOUT	15	<p>セル・バランシング・タイムアウト・アラート 0 = セル・バランシングがディスエーブル、または進行中 1 = タイムアウト・フォルトによってセル・バランシング動作が停止</p> <p>内部的なロジック・フォルト状態によってウォッチドッグ・タイマーがトリガされて、放電または自動セル・バランシング動作が停止すると ALRTCBTIMEOUT が発行されます。</p> <p>CBTODIS = 0 の場合はこのアラートが自動的にイネーブルされます。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>

ビットフィールド	ビット	説明
ALRTCBTEMP	14	<p>セル・バランシング・サーマル・アラート</p> <p>0 = セル・バランシングがディスエーブル、または進行中</p> <p>1 = サーマル・フォルトによってセル・バランシング動作が停止</p> <p>サーマル・フォルト状態によってマニュアル、放電、または自動セル・バランシング動作が停止すると、ALRTCBTEMP が発行されます。</p> <p>CBTEMPEN = 1 の場合は、このアラートが自動的にイネーブルされます。</p> <p>アラートを発生させた自動セル・バランシング動作が完了した後、もしくはそれ以外の形で終了した後に、ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>
ALRTCBCAL	13	<p>セル・バランシング・キャリブレーション・アラート</p> <p>0 = セル・バランシングがディスエーブル、または進行中</p> <p>1 = キャリブレーション・フォルトによってセル・バランシング動作が停止</p> <p>組込みキャリブレーションのフォルト状態によって放電または自動セル・バランシング動作が停止すると、ALRTCBCAL が発行されます。</p> <p>アラートを発生させた自動セル・バランシング動作が完了した後、もしくはそれ以外の形で終了した後に、ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>
ALRTCBNTFY	12	<p>セル・バランシング通知アラート</p> <p>0 = セル・バランシング進捗通知なし</p> <p>1 = セル・バランシング進捗通知</p> <p>ALRTCBNTFY は、放電および自動セル・バランシング動作時に、その動作が正常に進捗していることを確認するために定期的に発行されます。</p> <p>このアラートのイネーブルと設定は CBNTFYCFG によって行います。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>
ALRTCBDONE	11	<p>セル・バランシング完了アラート</p> <p>0 = セル・バランシングがディスエーブル、または進行中</p> <p>1 = セル・バランシング動作が完了</p> <p>通常計時終了または低電圧終了状態によってマニュアル、放電、または自動セル・バランシング動作が完了すると、ALRTCBDONE が発行されます。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>

FMEA1 (0x5)

FMEA1 は読み出しアクセスと書き込みアクセスが可能なレジスタで、考えられるフォルト状態に関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

Field	ALRTOSC1	ALRTOSC2	ALRTCOMMSE U1	ALRTCOMMSE L1	ALRTCOMMSE U2	ALRTCOMMSE L2	ALRTVDDL 3	ALRTVDDL2
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Read Only	Read Only	Read Only	Read Only	Write 0 to Clear, Read	Write 0 to Clear, Read
BIT	7	6	5	4	3	2	1	0
Field	ALRTVDDL 1	ALRTGNDL 3	ALRTGNDL2	ALRTGNDL1	ALRTHVUV	ALRTHVHDM	ALRTHVO V	ALRTBALSWSU M
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write, Read, Ext

ビットフィールド	ビット	説明
ALRTOSC1	15	LFOSC フォルト・アラート HFOSC 発振器を基準に測定した場合に、LFOSC の周波数とその予定値の±5%以内に入っていないことを示します。ステータスは 2 サイクルごとに更新されます (LFOSC)。 この状態が解消された場合のクリアは、ロジック 0 を書き込むことによってのみ行われます。ロジック 1 を書き込んでも効果はありません。
ALRTOSC2	14	32kHz 発振器フォルト・アラート (冗長) ALRTOSC1 と同じで、独立ラッチを備えた冗長アラートです。 この状態が解消された場合のクリアは、ロジック 0 を書き込むことによってのみ行われます。ロジック 1 を書き込んでも効果はありません。
ALRTCOMMSEU1	13	UART 上側ポート・シングルエンド・アラート UART が、POR 後に受信した最初のプリアンプルに基づいて上側ポート・レシーバをシングルエンド・モードにしたことを示します。 このビットは、ALRTRST ビットがクリアされるまでセットされません。 読出し専用です。
ALRTCOMMSEL1	12	UART 下側ポート・シングルエンド・アラート UART が、POR 後に受信した最初のプリアンプルに基づいて下側ポート・レシーバをシングルエンド・モードにしたことを示します。 このビットは、ALRTRST ビットがクリアされるまでセットされません。 読出し専用です。
ALRTCOMMSEU2	11	UART 上側ポート・シングルエンド冗長アラート ALRTCOMMSEU1 (冗長アラート) と同じですが、ALRTRST がクリアされる前にセットされる点が異なります。 読出し専用です。

ビットフィールド	ビット	説明
ALRTCOMMSEL2	10	UART 下側ポート・シングルエンド冗長アラート ALRTCOMMSEL1（冗長アラート）と同じですが、ALRTRST がクリアされる前にセットされる点が異なります。 読出し専用です。
ALRTVDDL3	9	V _{DDL3} フォルト・アラート 「 $V_{DDL3} < V_{VDDL2/3_OC}$ 」であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 この状態が解消された場合のクリアは、ロジック 0 を書き込むことによるのみ行われます。 ロジック 1 を書き込んでも効果はありません。
ALRTVDDL2	8	V _{DDL2} フォルト・アラート 「 $V_{DDL2} < V_{VDDL2/3_OC}$ 」であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 この状態が解消された場合のクリアは、ロジック 0 を書き込むことによるのみ行われます。 ロジック 1 を書き込んでも効果はありません。
ALRTVDDL1	7	V _{DDL1} フォルト・アラート 「 $V_{DDL1} < V_{VDDL1_OC}$ 」であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 この状態が解消された場合のクリアは、ロジック 0 を書き込むことによるのみ行われます。 ロジック 1 を書き込んでも効果はありません。
ALRTGNDL3	6	GNDL3 フォルト・アラート GNDL3 ピンがオープン・サーキット状態であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
ALRTGNDL2	5	GNDL2 フォルト・アラート GNDL2 ピンがオープン・サーキット状態であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
ALRTGNDL1	4	GNDL1 フォルト・アラート GNDL1 ピンがオープン・サーキット状態であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
ALRTHVUV	3	HV 低電圧フォルト・アラート 「 $V_{HV} < V_{HVUV}$ 」であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
ALRTHVHDM	2	HV ヘッドルーム・フォルト・アラート 正確な測定のためのアクイジションを行った際に、「 $V_{HV} - V_{TOPCELL1/2}$ 」の値が低すぎたことを示します。測定動作時にだけチェックされます。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
ALRTHVOV	1	HV 過電圧フォルト・アラート 「 $V_{HV} - V_{DCIN} > V_{HVUV}$ 」であることを示します。このビットは、ALRTRST ビットがクリアされるまでセットされません。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。

ビットフィールド	ビット	説明
ALRTBALSWSUM	0	<p>バランス・スイッチ・フォルト・アラートの概要 ALRTBALSW[13:0]のビット論理和。</p> <p>BALSWDIAG スキャン終了時に更新されます。</p> <p>イネーブルされたすべての ALRTBALSW アラートが解消された場合や、ロジック 0 を書き込むことによってクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>

FMEA2 (0x6)

FMEA2 は読み出しアクセスと書き込みアクセスが可能なレジスタで、考えられるフォルト状態に関する最新情報を示します。

BIT	15	14	13	12	11	10	9	8
Field	ALRTUSER	ALRTDCINMUX	ALRTAUXPRTCTSUM	ALRTTEMP	ALRTSCANTIMEOUT	—	—	—
Reset	0b0	0b0	0b0	0b0	0b0	—	—	—
Access Type	Write, Read	Write 0 to Clear, Read	Read Only	Write 0 to Clear, Read	Read Only	—	—	—

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	ALRTADCZS	ALRTADCF	ALRTCOMPACCOV	ALRTCOMPACCUV
Reset	—	—	—	—	0b0	0b0	0b0	0b0
Access Type	—	—	—	—	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read

ビットフィールド	ビット	説明
ALRTUSER	15	<p>ユーザ定義アラート（診断）</p> <p>アラート・インターフェイスのテストに使われます。ロジック 1 を書き込むことによってアサートされます。生成されるアラートはアラート・インターフェイス／UART DCByte を通じてリレーされ、FMEA2 コマンドを使ってリード・バックできます。ロジック 0 を書き込むことによってクリアされます（デフォルト）。</p>
ALRTDCINMUX	14	<p>DCIN MUX フォルト・アラート</p> <p>0 = DCINMUX フォルトは検出されませんでした（デフォルト） 1 = DCINMUX フォルトが検出されました</p> <p>ハイ状態の場合は、イネーブルされた DCINMUX がフレキシブル・バック・アプリケーション内で正しく機能していないことを示します。接続はダイオードによって行われ、性能に影響することがあります。また、その他の関連フォルトが生成されることがあります。</p> <p>このアラートは、STATUS1:ALTRST がクリアされた後に DCINMUX がイネーブル（FLXPACKEN = 1）されるとイネーブルされます。PACKCFG レジスタは、フレキシブル・バック・アプリケーションで DCIN 電源にどの SW[n]入力を使用するかと、V_{BLK}測定にどの C[n]を使用するかについての選択を行います。</p> <p>この状態が解消された場合のクリアは、ロジック 0 を書き込むことによってのみ行われます。ロジック 1 を書き込んでも効果はありません。</p>

ビットフィールド	ビット	説明
ALRTAUXPRTCTSUM	13	<p>補助保護フォルト・アラートの概要</p> <p>イネーブルされたすべての ALRTAUXPRTCT ビットの論理和で、1 つまたは複数の AUXINn 入力があるフォルト・モードにあって、入力保護が作動したことを示します。これらのアラートは、現在 AUXINn 入力として設定されているすべての AUX/GPIO ピンについてイネーブルされます。</p> <p>このビットは、ALRTAUXPRTCT レジスタがクリアされた場合のみクリアされます。仕様の詳細については ALRTAUXPRTCT レジスタを参照してください。</p> <p>読出し専用です。</p>
ALRTTEMP	12	<p>ダイ過熱フォルト・アラート</p> <p>「$T_{DIE} > +115^{\circ}\text{C}$」であることを示します（代表値は$+120^{\circ}\text{C}$）。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p> <p>自動セル・バランス動作時または放電動作時にサーマル・アラートが発生した場合は動作が終了し、CBACTIVE = 11 と ALRTCBTEMP が発行されてユーザに終了を知らせます。</p>
ALRTSCANTIMEOUT	11	<p>スキャン・タイムアウト・アラート</p> <p>0 = スキャンが要求されなかったか、正常に進捗しています（デフォルト）</p> <p>1 = タイムアウト・フォルトによってスキャン動作が停止しました</p> <p>ALRTSCANTIMEOUT は SCANTIMEOUT のコピーです。</p> <p>SCANTODIS = 0 の場合はこのアラートが自動的にイネーブルされます。</p> <p>SCANCTRL:SCANTIMEOUT に 0 を書き込むことによるのみクリアされます。</p> <p>読出し専用です。</p>
ALRTADCZS	3	<p>ADC ゼロ・スケール BIST アラート</p> <p>0 = ADC ゼロ・スケール BIST 合格</p> <p>1 = ADC ゼロ・スケール BIST 不合格</p> <p>最後のアキュイジション時に行われた ADC ゼロ・スケール BIST 測定の結果をレポートします。SAR ADC、DAC、コンパレータ、およびロジック・コンポーネントをテストします。ADCZSFSEN を使ってイネーブルします。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p> <p>注：詳しい結果が必要な場合は、ゼロ・スケール ADC 詳細診断を使用します。</p>

ビットフィールド	ビット	説明
ALRTADCFS	2	<p>ADC フルスケール BIST アラート 0 = ADC フルスケール BIST 合格 1 = ADC フルスケール BIST 不合格</p> <p>最後のアキュイジション時に行われた ADC フルスケール BIST 測定の結果をレポートします。SAR ADC、DAC、コンパレータ、およびロジック・コンポーネントをテストします。ADCZSFSEN を使ってイネーブルします。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p> <p>注： 詳しい結果が必要な場合は、フルスケール ADC 診断を使用します。</p>
ALRTCOMPACCOV	1	<p>シーケンス終了時コンパレータ精度診断の過電圧アラート 0 = COMP 精度 OV テスト合格 1 = COMP 精度 OV テスト不合格</p> <p>シーケンス終了時コンパレータ精度過電圧診断がイネーブルされている場合（SCANCFG = 001 または 010、および COMPACCEN = 1）の診断結果。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>
ALRTCOMPACCUV	0	<p>シーケンス終了時コンパレータ精度診断の低電圧アラート 0 = COMP 精度 UV テスト合格 1 = COMP 精度 UV テスト不合格</p> <p>シーケンス終了時コンパレータ精度低電圧診断がイネーブルされている場合（SCANCFG = 001 または 010、および COMPACCEN = 1）の診断結果。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。</p> <p>ロジック 1 を書き込んでも効果はありません。</p>

ALRTSUM (0x7)

ALRTSUM は読出しアクセスが可能なレジスタで、デバイスの現在の状態に関する追加的な詳細情報を格納し、STATUS1 の複数の概要ビットをセットします。

BIT	15	14	13	12	11	10	9	8
Field	ALRTADCO VST	ALRTCOMPO VST	ALRTADCU VST	ALRTCOMPU VST	ALRTADCAUX OVST	ALRTCOMPAUX OVST	ALRTADCAUX UVST	ALRTCOMPAUX UVST
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	ALRTCALOS ADC	ALRTCALOSR	ALRTCALOSTHR M	ALRTCALGAIN P	ALRTCALGAINR
Reset	–	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	–	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
ALRTADCOVST	15	セル ADC 過電圧アラート・ステータスの概要 ADC 測定値に基づく ALRTOV[14:1]のビット論理和。 イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTCOMPOVST	14	コンパレータ・セル過電圧アラート・ステータスの概要 冗長コンパレータ・モニタリングに基づく ALRTCOMPOV[14:1]のビット論理和。 イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTADCUVST	13	セル ADC 低電圧アラート・ステータスの概要 ADC 測定値に基づく ALRTUV[14:1]のビット論理和。 イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTCOMPUVST	12	コンパレータ・セル低電圧アラート・ステータスの概要 冗長コンパレータ・モニタリングに基づく ALRTCOMPUV[14:1]のビット論理和。イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTADCAUXOVST	11	補助 ADC 過電圧（コールド）アラート・ステータスの概要 ADC 測定値に基づく ALRTAUXOV[5:0]の論理和。 イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTCOMPAUXOVST	10	コンパレータ補助過電圧（コールド）アラート・ステータスの概要 冗長コンパレータ・モニタリングに基づく ALRTCOMPAUXOV[5:0]の論理和。イネーブルされたすべての過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTADCAUXUVST	9	補助 ADC 低電圧（ホット）アラート ADC 測定値に基づく ALRTAUXUV[5:0]の論理和。 イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
ALRTCOMPAUXUVST	8	コンパレータ補助低電圧（ホット）アラート・ステータスの概要 冗長コンパレータ・モニタリングに基づく ALRTCOMPAUXUV[5:0]の論理和。 イネーブルされたすべての低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTCALOSADC	4	ADC オフセット・キャリブレーション・アラート 0 = ADC オフセット・キャリブレーションが有効 1 = ADC オフセット・キャリブレーション・フォルト ALRTCALOSADC は、ADC オフセット・キャリブレーション動作の返した結果が予定範囲から外れていたことを示します。 その後のキャリブレーション動作または CALOSADC への書込みが予定された結果を返すと、クリアされます。 読出し専用です。
ALRTCALOSR	3	ランプ LSA + ADC オフセット・キャリブレーション・アラート 0 = LSA + ADC オフセット・キャリブレーションが有効 1 = LSA + ADC オフセット・キャリブレーション・フォルト ALRTCALOSR は、LSA + ADC オフセット・キャリブレーション動作の返した結果が予定範囲から外れていたことを示します。 その後のキャリブレーション動作または CALOSR への書込みが予定の結果を返すと、クリアされます。 読出し専用です。
ALRTCALOSTHRM	2	ADC レシオメトリック・オフセット・キャリブレーション・アラート 0 = レシオメトリック ADC オフセット・キャリブレーションが有効 1 = レシオメトリック ADC オフセット・キャリブレーション・フォルト ALRTCALOSTHRM は、レシオメトリック ADC オフセット・キャリブレーション動作の返した結果が予定範囲から外れていたことを示します。 その後のキャリブレーション動作または CALOSTHRM への書込みが予定の結果を返すと、クリアされます。 読出し専用です。
ALRTCALGAINP	1	ピラミッド・ゲイン・キャリブレーション・アラート 0 = ピラミッド・ゲイン・キャリブレーションが有効 1 = ピラミッド・キャリブレーション・フォルト ALRTCALGAINP は、ゲイン・キャリブレーション動作の返した結果が予定範囲から外れていたことを示します。 その後のキャリブレーション動作または CALGAINP への書込みが予定の結果を返すと、クリアされます。 読出し専用です。
ALRTCALGAINR	0	ランプ・ゲイン・キャリブレーション・アラート 0 = ランプ・ゲイン・キャリブレーションが有効 1 = ランプ・キャリブレーション・フォルト ALRTCALGAINR は、ゲイン・キャリブレーション動作の返した結果が予定範囲から外れていたことを示します。 その後のキャリブレーション動作または CALGAINR への書込みが予定の結果を返すと、クリアされます。 読出し専用です。

ALRTOVCELL (0x8)

ALRTOVCELL は読出しアクセスが可能なレジスタで、ADC 測定に基づくセル過電圧フォルト・アラートに関する最新の情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	ALRTOV[14:9]					
Reset	—	—	0x00					
Access Type	—	—	Read Only					
BIT	7	6	5	4	3	2	1	0
Field	ALRTOV[8:1]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
ALRTOV	13:0	セル過電圧・フォルト・アラート ALRTOV[n]は「V _{CELLN} > V _{OV} 」であることを示し（V _{OV} は POLARITY = 0 では OVTHSET 閾値、POLARITY = 1 では BIPOVTHSET）、OVALRTEN[n] = 1 の場合に評価／イネーブルされます。 過電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。

ALRTUVCELL (0x9)

ALRTUVCELL は読出しアクセスが可能なレジスタで、ADC 測定に基づくセル低電圧フォルト・アラートに関する最新の情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	ALRTUV[14:9]					
Reset	—	—	0x00					
Access Type	—	—	Read Only					

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

BIT	7	6	5	4	3	2	1	0
Field	ALRTUV[8:1]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
ALRTUV	13:0	<p>セル低電圧フォルト・アラート</p> <p>ALRTOV[n]は「$V_{CELLN} < V_{UV}$」であることを示し（V_{UV}は POLARITY = 0 では UVTHSET 閾値、POLARITY = 1 では BIPUVTHSET）、UVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>低電圧状態が解消されると、次のアキュイジション時にクリアされます。</p> <p>読出し専用です。</p>

MINMAXCELL (0xA)

MINMAXCELL は読出しアクセスが可能なレジスタで、測定値が最大のセルと最小のセルの位置に関する情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	MAXCELL[3:0]			
Reset	—	—	—	—	0x0			
Access Type	—	—	—	—	Read Only			
BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	MINCELL[3:0]			
Reset	—	—	—	—	0x0			
Access Type	—	—	—	—	Read Only			

ビットフィールド	ビット	説明
MAXCELL	11:8	<p>最大電圧セル</p> <p>RDFILT によって選択された ALU/IIR データに基づき、最後のスキャン時（SCAN = 1）に（すべて CELLENn = 1 で）イネーブル／観測された最大セル電圧のセル番号[14:1]。SCAN = 0 で行われたデータ要求では、このビットフィールドは更新されません。複数のセルが同じ最大値である場合、このフィールドにはその結果をレポートしたセルの中で最小のセル番号が格納されます。</p> <p>注：この動作は、MINMAXPOL による選択に応じて、ユニポーラまたはバイポーラ測定セットに適用されます。MINMAXPOL が、スキャンのどの測定値も基準に合致しないように設定されている場合は（例えば MINMAXPOL = 1（バイポーラ）なのに POLARITY[14:1] = 0000h）、返される結果は Fh になります（有効な結果が見つからなかったことを示す）。</p> <p>読出し専用です。</p>

ビットフィールド	ビット	説明
MINCELL	3:0	<p>最小電圧セル</p> <p>RDFILT によって選択された ALU/IIR データに基づき、最後のスキャン時 (SCAN = 1) に (すべて CELLENn = 1 で) イネーブル/観測された最小セル電圧のセル番号[14:1]。SCAN = 0 で行われたデータ要求では、このビットフィールドは更新されません。複数のセルが同じ最小値である場合、このフィールドにはその結果をレポートしたセルの中で最小のセル番号が格納されます。</p> <p>注：この動作は、MINMAXPOL による選択に応じて、ユニポーラまたはバイポーラ測定セットに適用されます。MINMAXPOL が、スキャンのどの測定値も基準に合致しないように設定されている場合は (例えば MINMAXPOL = 1 (バイポーラ) なのに POLARITY[14:1] = 0000h)、返される結果は Fh になります (有効な結果が見つからなかったことを示す)。</p> <p>読出し専用です。</p>

ALRTAUXPRTCTREG (0xB)

ALRTAUXPRTCT は読出しアクセスが可能なレジスタで、補助入力保護フォルト・アラートに関係する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	ALRTAUXPRTCT[5:4]		ALRTAUXPRTCT[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Read Only		Read Only			

ビットフィールド	ビット	説明
ALRTAUXPRTCT	5:4	<p>補助保護フォルト・アラート</p> <p>ALRTAUXPRTCT[n]は「$V_{AUX[n]} > V_{AA}$」であることを示します。このアラートは、AUXINn 入力として設定されたそれぞれの AUX/GPIO ピンについて評価/イネーブルされます (AUXGPIOCFG を参照)。</p> <p>あるピンでフォルト状態が検出されると、内部回路を保護するために AUXINn 入カスイッチがディセーブルされます。そのピンの AUXINn 測定とアラートは、正しい動作状態に復帰するまで無効になります。</p> <p>再試行時にその状態が解消された場合、もしくは影響を受けるピンの AUXINn 入力としての設定が解除された (保護回路をディセーブルした) 場合のみクリアされます。AUX 動作を再試行してフォルト状態をクリアするには、必要な設定を AUXGPIOCFG レジスタに再度書き込みます (設定をトグルする必要はありません)。</p> <p>読出し専用です。</p>

ビットフィールド	ビット	説明
ALRTAUXPRTCT	3:0	<p>補助保護フォルト・アラート</p> <p>ALRTAUXPRTCT[n]は「$V_{AUX[n]} > V_{AA}$」であることを示します。このアラートは、AUXINn 入力として設定されたそれぞれの AUX/GPIO ピンについて評価／イネーブルされます（AUXGPIOCFG を参照）。</p> <p>あるピンでフォルト状態が検出されると、内部回路を保護するために AUX[n]入力スイッチがディセーブルされます。そのピンの AUX[n]測定とアラートは、正しい動作状態に復帰するまで無効になります。</p> <p>再試行時にその状態が解消された場合、もしくは影響を受けるピンの AUXINn 入力としての設定が解除された（保護回路をディセーブルした）場合のみクリアされます。AUX 動作を再試行してフォルト状態をクリアするには、必要な設定を AUXGPIOCFG レジスタに再度書き込みます（設定をトグルする必要はありません）。</p> <p>読み出し専用です。</p>

ALRTAUXOVREG (0xC)

ALRTAUXOV は読み出しアクセスが可能なレジスタで、補助過電圧（コールド）フォルト・アラートに関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	ALRTAUXOV[5:4]		ALRTAUXOV[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Read Only		Read Only			

ビットフィールド	ビット	説明
ALRTAUXOV	5:4	<p>補助過電圧（コールド）フォルト・アラート</p> <p>ALRTAUXOV[n]は「$V_{AUXINn} > V_{AUXOVTHSET}$」であることを示し、AUXOVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>過電圧状態が解消されると、次のアキュジション時にクリアされます。</p> <p>読み出し専用です。</p>
ALRTAUXOV	3:0	<p>補助過電圧（コールド）フォルト・アラート</p> <p>ALRTAUXOV[n]は「$V_{AUXINn} > V_{AUXOVTHSET}$」であることを示し、AUXOVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>過電圧状態が解消されると、次のアキュジション時にクリアされます。読み出し専用です。</p>

ALRTAUXUVREG (0xD)

ALRTAUXUVは読出しアクセスが可能なレジスタで、補助低電圧フォルト（ホット）アラートに関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	ALRTAUXUV[5:4]		ALRTAUXUV[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Read Only		Read Only			

ビットフィールド	ビット	説明
ALRTAUXUV	5:4	補助低電圧（ホット）フォルト・アラート ALRTAUXUV[n]は「 $V_{AUXINn} < V_{AUXUVTHSET}$ 」であることを示し、AUXUVALRTEN[n] = 1 の場合に評価／イネーブルされます。 低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTAUXUV	3:0	補助低電圧（ホット）フォルト・アラート ALRTAUXUV[n]は「 $V_{AUXINn} < V_{AUXUVTHSET}$ 」であることを示し、AUXUVALRTEN[n] = 1 の場合に評価／イネーブルされます。 低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。

ALRTCOMPOVREG (0xE)

ALRTCOMPOV は読出しアクセスが可能なレジスタで、冗長コンパレータに基づくセル過電圧フォルト・アラートに関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

Field	—	—	ALRTCOMPOV[14:9]					
Reset	—	—	0b00000000000000					
Access Type	—	—	Read Only					
BIT	7	6	5	4	3	2	1	0
Field	ALRTCOMPOV[8:1]							
Reset	0b00000000000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
ALRTCOMPOV	13:0	<p>セル過電圧・フォルト・コンパレータ・アラート</p> <p>ALRTCOMPOV[n]は「$V_{CELL[n]} > V_{COMPOVTH}$」であることを示し（$V_{COMPOVTH}$はコンパレータ過電圧閾値）、OVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>過電圧状態が解消されると、次のコンパレータ・アキュジション時にクリアされます。 読出し専用です。</p>

ALRTCOMPUVREG (0xF)

ALRTCOMPUV は読出しアクセスが可能なレジスタで、冗長コンパレータに基づくセル低電圧フォルト・アラートに関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	–	–	ALRTCOMPUV[14:9]					
Reset	–	–	0b000000000000000					
Access Type	–	–	Read Only					
BIT	7	6	5	4	3	2	1	0
Field	ALRTCOMPUV[8:1]							
Reset	0b000000000000000							
Access Type	Read Only							

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
ALRTCOMPUV	13:0	<p>セル低電圧・フォルト・コンパレータ・アラート</p> <p>ALRTCOMPUV[n]は「$V_{CELL[n]} < V_{COMPUVTH}$」であることを示し（$V_{COMPUVTH}$はコンパレータ低電圧閾値）、UVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>低電圧状態が解消されると、次のコンパレータ・アキュジション時にクリアされます。 読出し専用です。</p>

ALRTCOMPAUXOVREG (0x10)

ALRTCOMPAUXOV は読出しアクセスが可能なレジスタで、冗長コンパレータに基づく補助過電圧フォルト（コールド）アラートに関する最新情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	ALRTCOMPAUXOV[5:4]		ALRTCOMPAUXOV[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Read Only		Read Only			

ビットフィールド	ビット	説明
ALRTCOMPAUXOV	5:4	<p>補助過電圧（コールド）フォルト・コンパレータ・アラート</p> <p>ALRTCOMPAUXOV[n]は「$V_{AUXINn} > V_{COMPOVTH}$」であることを示し（$V_{COMPOVTH}$はコンパレータ過電圧閾値、コールド）、AUXOVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>過電圧状態が解消されると、次のコンパレータ・アキュジション時にクリアされます。 読出し専用です。</p>
ALRTCOMPAUXOV	3:0	<p>補助過電圧（コールド）フォルト・コンパレータ・アラート</p> <p>ALRTCOMPAUXOV[n]は「$V_{AUXINn} > V_{COMPOVTH}$」であることを示し（$V_{COMPOVTH}$はコンパレータ過電圧閾値、コールド）、AUXOVALRTEN[n] = 1 の場合に評価／イネーブルされます。</p> <p>過電圧状態が解消されると、次のコンパレータ・アキュジション時にクリアされます。 読出し専用です。</p>

ALRTCOMPAUXUVREG (0x11)

ALRTCOMPAUXUV は読出しアクセスが可能なレジスタで、冗長コンパレータに基づく補助低電圧フォルト（ホット）アラートに関する最新情報を格納します。.

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	ALRTCOMPAUXUV[5:4]		ALRTCOMPAUXUV[3:0]			
Reset	–	–	0b00		0x0			
Access Type	–	–	Read Only		Read Only			

ビットフィールド	ビット	説明
ALRTCOMPAUXUV	5:4	補助低電圧（ホット）フォルト・コンパレータ・アラート ALRTCOMPAUXUV[n]は「 $V_{AUXINn} < V_{COMPUVTH}$ 」であることを示し（ $V_{COMPUVTH}$ はコンパレータ低電圧閾値、ホット）、AUXUVALRTEN[n] = 1 の場合に評価／イネーブルされます。 低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。
ALRTCOMPAUXUV	3:0	補助低電圧（ホット）フォルト・コンパレータ・アラート ALRTCOMPAUXUV[n]は「 $V_{AUXINn} < V_{COMPUVTH}$ 」であることを示し（ $V_{COMPUVTH}$ はコンパレータ低電圧閾値、ホット）、AUXUVALRTEN[n] = 1 の場合に評価／イネーブルされます。 低電圧状態が解消されると、次のアキュイジション時にクリアされます。 読出し専用です。

ALRTBALSWREG (0x12)

ALRTBALSW は読出しアクセスが可能なレジスタで、バランスング・スイッチフォルト・アラートに関する最新の概要情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	ALRTBALSW[13:8]					
Reset	—	—	0b00000000000000					
Access Type	—	—	Read Only					

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

BIT	7	6	5	4	3	2	1	0
Field	ALRTBALSW[7:0]							
Reset	0b0000000000000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
ALRTBALSW	13:0	<p>バランス・スイッチ・フォルト・アラート</p> <p>ALRTBALSW[n]は、対応する測定結果がバランス・スイッチ診断モード（SCANCFG = 100~111）の指定する閾値を超えていることを示します。</p> <p>TOPCELL1/2 位置より上のテストとフォルトは、自動的にこのレジスタからマスクされます（詳細は PACKCFG:TOPCELL1&2 を参照）。</p> <p>この状態が解消されると、次のアキュジション時にクリアされます。 読み出し専用です。</p>

SWACTION (0x13)

SWACTION は読み出しおよび書き込みアクセスが可能なレジスタで、ソフトウェアの終了要求とリセット要求を可能にするビットを格納します。これらの要求を常用することは推奨できませんが、エラーの場合は有効です。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	SWPOR
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read, Pulse

ビットフィールド	ビット	説明
SWPOR	0	<p>ソフトウェア POR 要求</p> <p>0 = 通常動作（デフォルト、効果なし）</p> <p>1 = ソフトウェア POR イベントを開始</p> <p>常にロジック 0 を読み出します。</p>

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

DEVCFG1 (0x14)

DEVCFG1 は読み出しアクセスと書き込みアクセスが可能なレジスタで、デバイスのインターフェイス動作の設定を制御します。

BIT	15	14	13	12	11	10	9	8
Field	UARTCFG[1:0]		TXUIDLEHIZ	TXLIDLEHIZ	DEVCFG1RSRV[1:0]		ALIVECNTEN	UARTHOST
Reset	0b11		0b0	0b0	0b00		0b0	0b1
Access Type	Write, Read, Ext		Write, Read, Ext	Write, Read, Ext	Write, Read, Ext		Write, Read, Ext	Read Only
BIT	7	6	5	4	3	2	1	0
Field	DEVCFG1RSRV	DEVCFG1RSRV	DEVCFG1RSRV	DEVCFG1RSRV	UARTDCEEN	NOPEC	ALERTEN	DBLBUFEN
Reset	0b0	0b0	0b0	0b0	0b1	0b0	0b0	0b0
Access Type	Write, Read, Ext	Write, Read, Ext	Write, Read, Ext	Write, Read, Ext	Write, Read	Write, Read, Ext	Write, Read, Ext	Write, Read

ビットフィールド	ビット	説明
UARTCFG	15:14	<p>UART インターフェイスの設定 00 - 外部ループバックのシングル UART インターフェイス 01 - 内部ループバックのシングル UART インターフェイス 10 - 差動アラート・インターフェイスのシングル UART インターフェイス 11 - デュアル UART インターフェイス（デフォルト）</p> <p>ループバックを使用するシングル UART オプション（モード 0x）：UART アップ・パスを読み出しおよび書き込みコマンドに使用し、ダウン・パスはリターン・パス（パススルー）として使用します。内部ループバック・パスが必要な場合は、モード 01 を使い、チェーン内の最後のデバイスだけに内部シャントを作動させる必要があります。ダウン・パスは UART 通信に使用するので、アラート・インターフェイスはシングルエンドです（ALERTIN ピンと ALERTOUT ピンを使用）。</p> <p>差動アラート・インターフェイスのシングル UART（モード 10）：UART アップ・パスは、チェーン内の最後のデバイスから μC へのダイレクト・ワイヤ・リターン・パスを使用する読み出しおよび書き込みコマンド用に使用します。ダウン・パスは差動アラート・パスとして使われます。シングルエンド・アラート・パスはディスエーブルされます。つまり ALERTOUT ポートがアイドル状態となり、ALERTIN ポートがディスエーブルされます。</p> <p>デュアル UART インターフェイス：アップとダウン両方のインターフェイスが UART 通信に使われます。書き込みコマンドを受け入れるのはホスト・パス（UPHOST コマンドまたは DOWNHOST コマンドを使って選択し、HOSTUART によって示す）だけですが、読み出しコマンドは両方のパスで受け入れることができます。ダウン・パスは UART 通信に使用するので、アラート・インターフェイスはシングルエンドです（ALERTIN ピンと ALERTOUT ピンを使用）。</p> <p>上記のすべてのオプションにおいて UART アップ・パスは RXL->TXU ポートを使用し、UART ダウン・パスは TXL->RXU ポートを使用します。</p> <p>このビットフィールドは、ホストによる SWPOR（ソフトウェア POR）要求の影響を受けません。</p> <p>注：デバイス・ハードウェアは、正しい動作モードに対応できるように予め設定しておく必要があります。デバイスは、どのハードウェア構成でもデバイスを設定できるように、デュアル UART モードでパワー・アップします。誤った動作モードが設定された場合 UART コントローラは通信を停止し（更に場合によっては FORCEPOR を発行）、SHDNL をアサートすることでデバイスをデフォルト・ステータスにリセットする必要があります。</p>

ビットフィールド	ビット	説明
TXUIDLEHIZ	13	<p>UART 上側 Tx アイドル・モードの選択 0 = ロジック 0 で TXU ドライバがアイドル（デフォルト） 1 = 高インピーダンスで TXU ドライバがアイドル</p> <p>通常動作時はデフォルト状態のままにしてください。</p> <p>このビットフィールドは、ホストによる SWPORA（ソフトウェア POR）要求の影響を受けません。</p>
TXLIDLEHIZ	12	<p>UART 下側 Tx アイドル・モードの選択 0 = ロジック 0 で TXL ドライバがアイドル（デフォルト） 1 = 高インピーダンスで TXL ドライバがアイドル</p> <p>通常動作時はデフォルト状態のままにしてください。</p> <p>このビットフィールドは、ホストによる SWPORA（ソフトウェア POR）要求の影響を受けません。</p>
DEVCFG1RSRV	11:10	<p>予約済み。 書き込まれた値をリード・バックします。</p>
ALIVECNTEN	9	<p>UART インターフェイスのアライブ・カウンタをイネーブルします。 0 = アライブ・カウンタ・バイトを送信しません（デフォルト）。 1 = すべての書き込みおよび読み出しパッケージの最後にアライブ・カウンタ・バイトを含めます。</p>
UARTHOST	8	<p>UART ホスト・モード・インジケータ・ビット 0 = UART ダウン・パスがホスト 1 = UART アップ・パスがホスト（デフォルト）</p> <p>現在どちらの UART パスがホストとして設定されているかを示します。ダウン・ホスト・モードには UARTCFG = DUAL（11）の場合のみアクセス可能です。ホスト・モードは、UPHOST コマンドおよび DOWNHOST コマンドを使用して選択します。</p> <p>読み出し専用です。</p> <p>このビットフィールドは、ホストによる SWPORA（ソフトウェア POR）要求の影響を受けません。</p>
DEVCFG1RSRV	7	<p>予約済み。 書き込まれた値をリード・バックします。</p>
DEVCFG1RSRV	6	<p>予約済み。 書き込まれた値をリード・バックします。</p>

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
DEVCFG1RSRV	5	予約済み。 書き込まれた値をリード・バックします。
DEVCFG1RSRV	4	予約済み。 書き込まれた値をリード・バックします。
UARTDCEN	3	UART データ・チェック・バイトのイネーブル（インターフェイス・オプション） 0 - データ・チェック・バイトをサポートしません 1 - データ・チェック・バイトが必要です（デフォルト）
NOPEC	2	UART PEC/CRC のディスエーブル 0 = PEC/CRC をイネーブル（デフォルト） 1 = PEC/CRC をディスエーブル UART インターフェイスを使ってパケット・エラー・チェックを行うかどうかを決定します。 このビットをセットした場合は、UART パケット／コマンドから PEC キャラクタを省く必要があります。
ALERTEN	1	アラート・インターフェイスのイネーブル 0 = アラート・インターフェイスをディスエーブル（デフォルト） 1 = アラート・インターフェイスをイネーブル ディスエーブルした場合： - UARTECFG = 0x または 11（シングルエンド・アラート）の場合は、ALERTOUT ポートが高インピーダンスでアイドル状態になり、ALERTIN ポートがディスエーブル／無視されます。 - UARTECFG = 10（差動アラート）の場合は、TXLIDLEHIZ による設定に従い UART ダウン・パスがアイドル状態になります。 イネーブルした場合、デバイスは STATUS1 の内容に基づいてアラートを開始すると共に、デジタイゼーションとの間でやり取りされるすべての受信アラートをバス・スルーします。 このビットは、ホストによる SWPOR（ソフトウェア POR）要求の影響を受けません。
DBLBUFEN	0	ダブル・バッファ・モードのイネーブル 0 = 通常動作（デフォルト） 1 = ダブル・バッファ動作 ダブル・バッファ・モードをイネーブルします。 このモードは、次のアキュイジションの終了時ではなく開始時に、ALU/IIR からデータ・レジスタへ自動的にデータを転送します。 このモードを使用すると、ホストが 2 回目のアキュイジションを開始してから（2 回目のアキュイジション中に）最初のアキュイジションのデータを読み出すことができます。これは、最初のデータ読出しトランザクションが 2 回目のアキュイジション完了より長かった場合でも機能しますが、3 回目のアキュイジションは最初のアキュイジションのデータ読出しが終了するまで保留になります。3 回目のアキュイジションが始まると、3 回目のアキュイジション実行中に 2 回目のアキュイジションのデータがデータ・レジスタへ移され、以降も同様に処理が続けられます。

DEVCFG2 (0x15)

DEVCFG2 は読出しアクセスと書き込みアクセスが可能なレジスタで、デバイス・フィルタリングの設定、いくつかのトップ・レベル診断モード、およびタイムアウト・モニタを制御します。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	IIRFC[2:0]			—	—	—	—	—
Reset	0b010			—	—	—	—	—
Access Type	Write, Read			—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	HVCPDIS	FORCEPOR	ALERTDCTSTEN	—	DEVCFG2RSRV	SCANTODIS	CBTODIS
Reset	—	0b0	0b0	0b0	—	0b0	0b0	0b0
Access Type	—	Write, Read	Write, Read	Write, Read	—	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
IIRFC	15:13	<p>IIR フィルタの係数選択</p> <p>000 = 0.125 001 = 0.250 010 = 0.375 (デフォルト) 011 = 0.500 100 = 0.625 101 = 0.750 110 = 0.875 111 = 1.000 (フィルタ・オフ)</p> <p>この設定は、IIR フィルタの最新測定結果と、それまでに蓄積された結果の重み付けを決定します。1.0 に設定すると、フィルタは実質的にディスエーブルされます。</p>
HVCPDIS	6	<p>HV チャージ・ポンプのディスエーブル</p> <p>0 = 通常動作 (デフォルト) 1 = HV チャージ・ポンプをディスエーブル</p> <p>ALRTHVUV 診断に使われます。通常動作時に HV チャージ・ポンプをディスエーブルすると、V_{HV} が低電圧状態になるので測定誤差が生じます。</p>
FORCEPOR	5	<p>POR イベントを強制します。</p> <p>0 = 通常動作 (デフォルト) 1 = SHDNL を内部的にプルダウンすることによってハード POR をイネーブル POR 実行前にクリアすると、SHDNL のアクティブ・プルダウンが解除されます。</p> <p>注： このビットは、SHDNL 低下により発行される POR イベントの完了の加速に使われます。UART アプリケーションでは、UART 動作が SHDNL プルダウンと競合したりプルダウンより優先されたりする可能性があります。最良の結果を得るために、このモード使用時は UART 通信を停止してください。</p>
ALERTDCTSTEN	4	<p>UART アラート DC 診断テストのイネーブル</p> <p>0 = UART アラート DC テストをディスエーブル (デフォルト) 1 = UART アラート DC テストをイネーブル</p> <p>GPIO/AUX0 へのショートテスト用に、ALRTOUT ピンを DC 診断モードにするために使用します。</p> <p>イネーブルすると、アラート状態が存在する場合は ALRTOUT ピンがローに駆動され、それ以外の場合はハイに駆動されます。ALRTUSER への書込みは、両方向で ALRTOUT を実行するために行うことができます。AUX/GPIO[0]などの隣接ピンは、直接モニタするか診断モードでモニタしてフォルトを検出することができます。</p> <p>この機能は、通常は ALRTOUT ピンを使用しない UARTCFG = 10 (差動アラート) を含め、すべての UARTCFG モードで機能します。</p>

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
DEVCFG2RSRV	2	予約済み。 書き込まれた値をリード・バックします。
SCANTODIS	1	スキャン・タイムアウトのディスエーブル 0 = 通常動作（デフォルト） 1 = アキュイジション・ウォッチドッグをディスエーブルしますが、SCANCTRL レジスタの SCANTIMEOUT フラグはクリアしません（このフラグがセットされている場合）。
CBTODIS	0	セル・バランシング・タイムアウトのディスエーブル 0 = 通常動作（デフォルト） 1 = セル・バランシング・ウォッチドッグをディスエーブルしますが、STATUS3 レジスタの ALRTCBTIMEOUT フラグはクリアしません（このフラグが前もってセットされている場合）。

AUXGPIOCFG (0x16)

AUXGPIOCFG は読出しアクセスと書き込みアクセスが可能なレジスタで、AUX/GPIO 多機能ピンの設定を制御します。

BIT	15	14	13	12	11	10	9	8
Field	I2CEN	—	GPIOEN[5:4]		GPIOEN[3:0]			
Reset	0b0	—	0b11		0xF			
Access Type	Write, Read, Ext	—	Write, Read, Ext		Write, Read, Ext			
BIT	7	6	5	4	3	2	1	0
Field	—	—	GPIODIR[5:4]		GPIODIR[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
I2CEN	15	デジタル I ² C モードのイネーブル 0 = 通常設定動作（デフォルト） 1 = I ² C コントローラ動作 I2CEN がハイに設定されている場合、AUX/GPIO[0]は SDA オープン・ドレイン I/O として設定され、AUX/GPIO[1]は SCL オープン・ドレイン出力ドライバとして設定されて I ² C コントローラとして使われます。 このビットをセットすると、AUX/GPIO[1:0]については、AUXGPIOCFG、GPIO、および MEASUREEN2 による残りすべての選択が無視されます。

ビットフィールド	ビット	説明
GPIOEN	13:12	デジタル GPIO モードのイネーブル 0 = アナログ入力 (AUX) モード (高 Z) 1 = デジタル GPIO モード (デフォルト) GPIOEN[n]は、対応する AUX/GPIO[n]ピンを選択されたモードでの動作に設定します。
GPIOEN	11:8	デジタル GPIO モードのイネーブル 0 = アナログ入力 (AUX) モード (高 Z) 1 = デジタル GPIO モード (デフォルト) GPIOEN[n]は、対応する AUX/GPIO[n]ピンを選択されたモードでの動作に設定します。 注: I2CEN = 1 の場合 GPIOEN[1:0]は無視されますが、ユーザ設定はリード・バックされます。
GPIODIR	5:4	デジタル GPIO の方向選択 0 = デジタル入力モード (高 Z、デフォルト) 1 = デジタル出力モード GPIODIR[n]は、対応する AUX/GPIO[n]ピンの方向を設定します。 この設定は GPIOEN[n] = 1 (デジタル GPIO モードをイネーブル) の場合のみ適用されます。 デジタル入力モード (GPIOEN = 1 かつ GPIODIR = 0) では、GPIO 入力が入力状態にならないように 2MΩ のプルダウン (R _{GPIO}) がイネーブルされます。 デジタル出力モード (GPIOEN = 1 かつ GPIODIR = 1) では GPIO 入力回路が動作を継続するので、ポート・ステータスを直接確認できます。
GPIODIR	3:0	デジタル GPIO の方向選択 0 = デジタル入力モード (高 Z、デフォルト) 1 = デジタル出力モード GPIODIR[n]は、対応する AUX/GPIO[n]ピンの方向を設定します。 この設定は GPIOEN[n] = 1 (デジタル GPIO モードをイネーブル) の場合のみ適用されます。 デジタル入力モード (GPIOEN = 1 かつ GPIODIR = 0) では、GPIO 入力が入力状態にならないように 2MΩ のプルダウン (R _{GPIO}) がイネーブルされます。 デジタル出力モード (GPIOEN = 1 かつ GPIODIR = 1) では GPIO 入力回路が動作を継続するので、ポート・ステータスを直接確認できます。 注: I2CEN = 1 の場合、GPIODIR[1:0]は無視されますがユーザ設定はリード・バックされます。

GPIOCFG (0x17)

GPIOCFG は読み出しアクセスと書き込みアクセスが可能なレジスタで、GPIO 出力の出力ステータスを制御し、GPIO 入力の入力ステータスをリード・バックします。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	–	–	GPIODRV[5:4]		GPIODRV[3:0]			
Reset	–	–	0b00		0x0			
Access Type	–	–	Write, Read, Ext		Write, Read, Ext			
BIT	7	6	5	4	3	2	1	0
Field	–	–	GPIORD[5:4]		GPIORD[3:0]			
Reset	–	–	0b00		0x0			
Access Type	–	–	Read Only		Read Only			

ビットフィールド	ビット	説明
GPIODRV	13:12	<p>デジタル GPIO の出力ステート 0 = 出力ロジック 0 (デフォルト) 1 = 出力ロジック 1 GPIODRV[n]は、対応する AUX/GPIO[n]ピンの出力ロジックのステート方向を設定します。</p> <p>この設定は GPIOEN[n] = 1 かつ GPIODIR[n] = 1 (デジタル GPIO 出力モードをイネーブル) の場合のみ適用されます。</p>
GPIODRV	11:8	<p>デジタル GPIO の出力ステート 0 = 出力ロジック 0 (デフォルト) 1 = 出力ロジック 1 GPIODRV[n]は、対応する AUX/GPIO[n]ピンの出力ロジックのステート方向を設定します。</p> <p>この設定は GPIOEN[n] = 1 かつ GPIODIR[n] = 1 (デジタル GPIO 出力モードをイネーブル) の場合のみ適用されます。</p> <p>注: I2CEN = 1 の場合、GPIODRV[1:0]は無視されますがユーザ設定はリード・バックされます。</p>
GPIORD	5:4	<p>デジタル GPIO 入力ステート・インジケータ 0 = ロジック 0 (デフォルト) 1 = ロジック 1 GPIORD[n]は、各アクティブ GPIO[n]入力バッファの現在のロジック・ステートを示します。データが関係するのは GPIOEN[n] = 1 (すべてのデジタル GPIO ピンが入力モードまたは出力モードでモニタされる) の場合だけで、それ以外ではゼロをリード・バックします。</p> <p>ロジック・ステートは、読出しトランザクション時にレジスタ・アドレス・バイトのパリティ・ビットの後にサンプリングされます。</p> <p>読出し専用です。</p>
GPIORD	3:0	<p>デジタル GPIO 入力ステート・インジケータ 0 = ロジック 0 (デフォルト) 1 = ロジック 1 GPIORD[n]は、各アクティブ GPIO[n]入力バッファの現在のロジック・ステートを示します。データが関係するのは GPIOEN[n] = 1 (すべてのデジタル GPIO ピンが入力モードまたは出力モードでモニタされる) の場合だけで、それ以外の場合は 0 をリード・バックします。</p> <p>ロジック・ステートは、読出しトランザクション時にレジスタ・アドレス・バイトのパリティ・ビットの後にサンプリングされます。</p> <p>読出し専用です。</p> <p>注: I2CEN = 1 の場合は GPIORD[1:0]が無効になり、00 をリード・バックします。</p>

PACKCFG (0x18)

PACKCFG は読み出しアクセスと書き込みアクセスが可能なレジスタで、アプリケーションに使用する最上位のセルとブロックが分かるようにデバイスを設定します。フレキシブル・パック・アプリケーションの詳細も、このレジスタ内に設定されます。

BIT	15	14	13	12	11	10	9	8
Field	FLXPCKEN2	FLXPCKEN1	FLXPCKSCAN	–	TOPBLOCK[3:0]			
Reset	0b1	0b1	0b1	–	0xF			
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	TOPCELL2[3:0]				TOPCELL1[3:0]			
Reset	0xF				0xF			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明
FLXPCKEN2	15	<p>フレキシブル・パック・イネーブル 2</p> <p>0 = フレキシブル・パック機能をディスエーブル 1 = トップ・セルとトップ・ブロックのフレキシブル・パック選択をイネーブル（デフォルト）</p> <p>フレキシブル・パックのサポートが開始されたことを示し（DCINMUX と V_{BLKMUX}）、DCIN ピンの電源が外部から供給されていないときは内部電源とブロック配線パスを選択します。</p> <p>この選択は冗長ビットフィールドによって保護されます。FLXPCKEN1 と FLXPCKEN2 は一致している必要があり、それにより内部 FLXPCKEN1/2 の選択が有効になります。これら 2 つのビットフィールドが一致していない場合は内部 FLXPCKEN1/2 の選択が 1（イネーブル、デフォルト）にマップされ、DCINMUX の選択が OFF 位置にマップされます。</p> <p>SWn の選択は TOPCELL1/2 によって決定されます（TOPCELL1&2 に基づく）。有効な選択範囲はセル 8（0x8）からセル 14（0xE）までです。</p> <p>サポートされていない値（0x0～0x7、0xF）を TOPCELL1/2 に選択した場合は DCINMUX 選択スイッチがディスエーブルされますが、DCINMUX コモン・スイッチはイネーブルされます（これがデフォルト状態）。この状態では、DCIN はまず最も高い SWn 入力の下ダイオードに達します。DCIN が外部から供給されている場合、これを妨げるものではありません。</p> <p>ブロックの選択は TOPBLOCK によって決定されます。有効なセル選択範囲はセル 8（0x8）からセル 14（0xE）までです。</p> <p>サポートされていない値（0x0～0x7、0xF）を TOPBLOCK に選択した場合は、V_{BLKP} ポートが選択されます。</p>

ビットフィールド	ビット	説明
FLXPCKEN1	14	<p>フレキシブル・パック・イネーブル 1 (冗長ビットフィールド)</p> <p>0 = フレキシブル・パック機能をディスエーブル</p> <p>1 = トップ・セルとトップ・ブロックのフレキシブル・パック選択をイネーブル (デフォルト)</p> <p>動作と冗長ビットフィールドのチェックについての詳細は、FLXPCKEN2 を参照してください。</p>
FLXPCKSCAN	13	<p>フレキシブル・パック・スキャン設定</p> <p>0 = フレキシブル・パックの ALTMUX スキャンを変更しない</p> <p>1 = TOPCELL1/2 のアキュイジション前に 30μs の遅延を追加して、フレキシブル・パックの ALTMUX スキャンを変更 (デフォルト)</p> <p>FLEXPCKSCAN は、ALTMUXSEL = 1 でのすべてのスキャンにおいて、SCANMODE に関わらず TOPCELL1/2 電圧のサンプリング前に 30μs の遅延を挿入するように測定シーケンスを設定します。この遅延は、フレキシブル・パック設定で DCIN のローディングが一時的に停止した場合に、SW[TOPCELL1/2]入力がセトリングするだけの時間を提供して、正確な診断測定ができるようにします。</p> <p>FLXPCKEN1/2 = 1 および TOPCELL1/2 がサポートされている値 (0x8~0xE) に設定されていて、なおかつ ALTMUXSEL = 1 (実効値) の場合は、スキャン・シーケンスに影響を与えます。それ以外の場合は無視されます。</p>
TOPBLOCK	11:8	<p>トップ・ブロックの選択</p> <p>V_{BLK} 以外のピンを選択した場合に、トップ・ブロックの位置を設定します。V_{BLOCK} 抵抗分圧器の接続位置を正しく決定するために使用します。</p> <p>TOPBLOCK[3:0]は、V_{BLOCK} 抵抗分圧器に接続する Cn ピンを選択します。0xF (デフォルト) は V_{BLK} ピンを選択します。0x0~0x7 の選択はサポートされておらず、選択した場合は 0xF (V_{BLK}、デフォルト) にマップされます。</p> <p>トップ・セルより上のチャンネルにパスパーが設置されている場合は、TOPBLOCK が TOPCELL1/2 とならないことがあります。FLXPCKEN1/2 = 0 の場合 TOPBLOCK は無視されます。</p>
TOPCELL2	7:4	<p>トップ・セルの選択 2</p> <p>使用チャンネル数が 14 未満の場合にトップ・セル位置を設定します。FLXPCKEN1/2 = 1 のときに、ALRTBALSW 診断アラート (常時) を正しくマスクして DCINMUX を選択するために使用します。</p> <p>この選択は冗長ビットフィールドによって保護されます。TOPCELL1 と TOPCELL2 は一致している必要があり、それにより内部 TOPCELL1/2 の選択が有効になります。2 つのビットフィールドが一致していない場合は ALRTBALSW アラートはマスクされず、内部 DCINMUX 選択は OFF 位置にマップされます。</p> <p>0xF (デフォルト) はすべての ALRTBALSW マスキングを解除し、DCINMUX を OFF 位置にします。</p> <p><u>フレキシブル・パック動作</u></p> <p>TOPCELL1/2 は DCIN ピンに接続する SW ピンを選択します。0x8~0xE を選択すると、それぞれ SW[8]~SW[14]にマップされます。0x0~0x7 および 0xF の選択はサポートされておらず、選択した場合は OFF 位置にマップされます。OFF 位置では、DCIN はまず最も高い SWn 入力の下ダイオードに達します。</p> <p><u>マスキング動作</u></p> <p>TOPCELL1/2 は、ALRTBALSW 診断のマスキング動作も設定します。この機能はすべての選択をサポートしています。</p>

ビットフィールド	ビット	説明
TOPCELL1	3:0	トップ・セルの選択 1（冗長ビットフィールド） 使用チャンネル数が 14 未満の場合にトップ・セル位置を設定します。FLXPCKEN1/2 = 1 のときに、ALRTBALSW 診断アラート（常時）を正しくマスクして DCINMUX を選択するために使用します。 動作と冗長ビットフィールドのチェックについての詳細は、TOPCELL2 を参照してください。

ALRTIRQEN (0x19)

ALRTIRQEN は読出しアクセスと書込みアクセスが可能なレジスタで、どの STATUS1 アラートが ALERT インターフェイス・ポートを通じて割込みをトリガするのを選択し、これらは DCByte やアラート・パケットを通じた通知に含まれます。STATUS1 レジスタ自体の情報（または STATUS1 に格納される何らかの構成項）がこれらの設定によってマスク／ディスエーブルされることはなく、基本的なデータは STATUS1 のリードバックを通じていつでも使用できます。

BIT	15	14	13	12	11	10	9	8
Field	SCANALRTEN	—	MSMTCHALRT EN	CELLOVSTALRT EN	CELLUVSTALRT EN	BLKOVSTALRT EN	BLKUVSTALRT EN	AUXOVSTALRT EN
Reset	0b0	—	0b1	0b1	0b1	0b1	0b1	0b1
Access Type	Write, Read	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	AUXUVSTALRT EN	—	PECALRTEN	INTRFCALRTEN	CALALRTEN	CBALALRTEN	FMEA2ALRTEN	FMEA1ALRTEN
Reset	0b1	—	0b1	0b1	0b1	0b1	0b1	0b1
Access Type	Write, Read	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
SCANALRTEN	15	<p>スキャン完了アラートのイネーブル 0 = ALRTSCAN をマスク（デフォルト） 1 = ALRTSCAN をレータをイネーブル</p> <p>デフォルトでディセーブルされているのは、これが安全機能ではなく通知オプションだからです。</p> <p>割込み駆動アプリケーションをサポートするために、アラート・インターフェイスだけに適用されます。UART DCByte やアラート・パケットに ALRTSCAN が含まれることはありません。</p>
MSMTCHALRTEN	13	<p>セル電圧ミスマッチ・アラートのイネーブル 0 = ALRTMSMTCH をマスク 1 = ALRTMSMTCH をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
CELLOVSTALRTEN	12	<p>セル過電圧ステータス・サマリ・アラートのイネーブル 0 = ALRTCELLOVST をマスク 1 = ALRTCELLOVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
CELLUVSTALRTEN	11	<p>セル低電圧ステータス・サマリ・アラートのイネーブル 0 = ALRTCELLUVST をマスク 1 = ALRTCELLUVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
BLKOVSTALRTEN	10	<p>ブロック過電圧ステータス・アラートのイネーブル 0 = ALRTBLKOVST をマスク 1 = ALRTBLKOVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
BLKUVSTALRTEN	9	<p>ブロック低電圧ステータス・アラートのイネーブル 0 = ALRTBLKUVST をマスク 1 = ALRTBLKUVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
AUXOVSTALRTEN	8	<p>補助過電圧ステータス・サマリ・アラートのイネーブル 0 = ALRTAUXOVST をマスク 1 = ALRTAUXOVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>
AUXUVSTALRTEN	7	<p>補助低電圧ステータス・サマリ・アラートのイネーブル 0 = ALRTAUXUVST をマスク 1 = ALRTAUXUVST をイネーブル（デフォルト）</p> <p>アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。</p>

ビットフィールド	ビット	説明
PECALRTEN	5	パケット・エラー・チェック (CRC) アラートのイネーブル 0 = ALRTPEC をマスク 1 = ALRTPEC をイネーブル (デフォルト) アラート・インターフェイスと UART アラート・パケットに適用されます。ALRTPEC は UART DCByte に含まれません。
INTRFCALRTEN	4	インターフェイス固有エラー・アラートのイネーブル 0 = ALRTINTRFC をマスク 1 = ALRTINTRFC をイネーブル (デフォルト) アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。
CALALRTEN	3	キャリブレーション・フォルト・アラートのイネーブル 0 = ALRTCAL をマスク 1 = ALRTCAL をイネーブル (デフォルト) アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。
CBALALRTEN	2	セル・バランシング・ステータス・アラートのイネーブル 0 = ALRTCBAL をマスク 1 = ALRTCBAL をイネーブル (デフォルト) アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。
FMEA2ALRTEN	1	FMEA2 状態サマリ・アラートのイネーブル 0 = ALRTFMEA2 をマスク 1 = ALRTFMEA2 をイネーブル (デフォルト) アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。
FMEA1ALRTEN	0	FMEA1 状態サマリ・アラートのイネーブル 0 = ALRTFMEA1 をマスク 1 = ALRTFMEA1 をイネーブル (デフォルト) アラート・インターフェイス、UART DCByte、およびアラート・パケットに適用されます。

ALRTOVEN (0x1A)

ALRTOVEN は読み出しアクセスと書き込みアクセスが可能なレジスタで、ADC またはコンパレータを使用するスキャン時に、選択入力チャンネルの過電圧フォルト・チェックをイネーブルします。

BIT	15	14	13	12	11	10	9	8
Field	–	BLKOVARTEN	OVALRTEN[14:9]					
Reset	–	0b0	0b0000000000000000					
Access Type	–	Write, Read	Write, Read					

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BIT	7	6	5	4	3	2	1	0
Field	OVALRTEN[8:1]							
Reset	0b0000000000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BLKCOVALRTEN	14	ブロック過電圧フォルト・チェックのイネーブル BLKCOVALRTEN は、BLKOVTHSET 閾値を基準とする ADC ブロック測定値の過電圧フォルト・チェックをイネーブルします。 クリアすると、対応するブロック・アラートもクリアされます。
OVALRTEN	13:0	過電圧フォルト・チェックのイネーブル OVALRTEN[n]は、OVTHSET 閾値（ADC）と COMPOVTH 閾値（コンパレータ）を基準とする CELL[n]の過電圧フォルト・チェックをイネーブルします。 クリアすると、ALRTOVCELL と ALRTCOMPOVREG の対応セル・アラートもクリアされます。

ALRTUVEN (0x1B)

ALRTUVEN は読出しアクセスと書込みアクセスが可能なレジスタで、ADC またはコンパレータを使用するスキャン時に、選択入力チャンネルの低電圧フォルト・チェックをイネーブルします。

BIT	15	14	13	12	11	10	9	8
Field	—	BLKUVALRTEN	UVALRTEN[14:9]					
Reset	—	0b0	0b0000000000000000					
Access Type	—	Write, Read	Write, Read					

BIT	7	6	5	4	3	2	1	0
Field	UVALRTEN[8:1]							
Reset	0b0000000000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BLKUVALRTEN	14	ブロック低電圧フォルト・チェックのイネーブル BLKUVALRTEN は、BLKUVTHSET 閾値を基準とする ADC ブロック測定値の低電圧フォルト・チェックをイネーブルします。 クリアすると、対応するブロック・アラートもクリアされます。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
UVALRTEN	13:0	<p>低電圧フォルト・チェックのイネーブル</p> <p>UVALRTEN[n]は、UVTHSET 閾値（ADC）と COMPUVTH 閾値（コンパレータ）を基準とする CELL[n]の低電圧フォルト・チェックをイネーブルします。</p> <p>クリアすると、ALRTOVCELL と ALRTCOMPOVREG の対応セル・アラートもクリアされます。</p>

ALRTAUXOVEN (0x1C)

ALRTAUXOVEN は読出しアクセスと書込みアクセスが可能なレジスタで、ADC またはコンパレータを使用するスキャン時に、選択した補助チャンネルの補助過電圧（コールド）フォルト・チェックをイネーブルします。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	AUXOVALRTEN[5:4]		AUXOVALRTEN[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
AUXOVALRTEN	5:4	<p>補助過電圧（コールド）フォルト・チェックのイネーブル</p> <p>AUXOVALRTEN[n]は、AUXREFSEL[n]による選択に従い、AUXROVTHSET/AUXAOVTHSET（ADC）および COMPAUXROVTH/COMPAUXAOVTH（コンパレータ）のレシオメトリック／絶対閾値を基準として、AUX[n]の過電圧（コールド）フォルト・チェックをイネーブルします。クリアすると、対応するアラートもクリアされます。</p> <p>注：それぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされます。</p>
AUXOVALRTEN	3:0	<p>補助過電圧（コールド）フォルト・チェックのイネーブル</p> <p>AUXOVALRTEN[n]は、AUXREFSEL[n]による選択に従い、AUXROVTHSET/AUXAOVTHSET（ADC）および COMPAUXROVTH/COMPAUXAOVTH（コンパレータ）のレシオメトリック／絶対閾値を基準として、AUX[n]の過電圧（コールド）フォルト・チェックをイネーブルします。クリアすると、対応するアラートもクリアされます。</p> <p>注：I2CEN ビット（デジタル I²C モード、[1:0]だけに適用）またはそれぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされません。</p>

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ALRTAUXUVEN (0x1D)

ALRTAUXUVEN は読み出しアクセスと書き込みアクセスが可能なレジスタで、ADC またはコンパレータを使用する選択補助チャンネルの補助低電圧（ホット）フォルト・チェックをイネーブルします。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	AUXUVALRTEN[5:4]		AUXUVALRTEN[3:0]			
Reset	–	–	0b00		0x0			
Access Type	–	–	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
AUXUVALRTEN	5:4	<p>補助低電圧（ホット）フォルト・チェックのイネーブル</p> <p>AUXUVALRTEN[n]は、AUXREFSEL[n]による選択に従い、AUXRUVTHSET/AUXAUVTHSET（ADC）および COMPAUXRUVTH/COMPAUXAUVTH（コンパレータ）のレシオメトリック／絶対閾値を基準として、AUX[n]の低電圧（ホット）フォルト・チェックをイネーブルします。クリアすると、対応するアラートもクリアされます。</p> <p>注：それぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされます。</p>
AUXUVALRTEN	3:0	<p>補助低電圧（ホット）フォルト・チェックのイネーブル</p> <p>AUXUVALRTEN[n]は、AUXREFSEL[n]による選択に従い、AUXRUVTHSET/AUXAUVTHSET（ADC）および COMPAUXRUVTH/COMPAUXAUVTH（コンパレータ）のレシオメトリック／絶対閾値を基準として、AUX[n]の低電圧（ホット）フォルト・チェックをイネーブルします。クリアすると、対応するアラートもクリアされます。</p> <p>注：I2CEN ビット（デジタル I²C モード、[1:0]だけに適用）、またはそれぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされず。</p>

ALRTCALTST (0x1E)

ALRTCALTST は読み出しアクセスと書き込みアクセスが可能なレジスタで、リードバックおよび割込みロジックをテストするためにキャリブレーション・アラートを強制的に発生させることができます。発生させたアラートは、レジスタをすべてゼロに書き戻すまでそのままになります（既存のキャリブレーション・データが範囲内にあることが前提）。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	CALOSADCALRTFRC	CALOSRALRTFRC	CALOSTHRMALRTFRC	CALGAINPALRTFRC	CALGAINRALRTFRC
Reset	–	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
CALOSADCALRTFRC	4	<p>ADC オフセット・キャリブレーション・アラートの強制 0 = ALRTCALOSADC の通常動作（デフォルト） 1 = マスクされていない場合は ALRTCALOSADC を強制</p> <p>アラート機能をテストするために使用します。</p>
CALOSRALRTFRC	3	<p>ランプ LSA + ADC オフセット・キャリブレーション・アラートの強制 0 = ALRTCALOSR の通常動作（デフォルト） 1 = マスクされていない場合は ALRTCALOSR を強制</p> <p>アラート機能をテストするために使用します。</p>
CALOSTHRMALRTFRC	2	<p>レシオメトリック ADC オフセット・キャリブレーション・アラートの強制 0 = ALRTCALOSTHRM の通常動作（デフォルト） 1 = マスクされていない場合は ALRTCALOSTHRM を強制</p> <p>アラート機能をテストするために使用します。</p>
CALGAINPALRTFRC	1	<p>ピラミッド・ゲイン・キャリブレーション・アラートの強制 0 = ALRTCALGAINP の通常動作（デフォルト） 1 = マスクされていない場合は ALRTCALGAINP を強制</p> <p>アラート機能をテストするために使用します。</p>
CALGAINRALRTFRC	0	<p>ランプ・ゲイン・キャリブレーション・アラートの強制 0 = ALRTCALGAINR の通常動作（デフォルト） 1 = マスクされていない場合は ALRTCALGAINR を強制</p> <p>アラート機能をテストするために使用します。</p>

OVTHCLRREG (0x1F)

OVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、ユニポーラ ADC 測定に使用するセル過電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	OVTHCLR[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	OVTHCLR[5:0]						–	–
Reset	0b11111111111111						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
OVTHCLR	15:2	<p>ユニポーラ・セル過電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以下ではユニポーラ・セル測定の ALRTOV アラートがクリア／デアサートされます。</p> <p>注：正しい動作のためには、この値が常に OVTHSET 以下でなければなりません。</p>

OVTHSETREG (0x20)

OVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、ユニポーラ ADC 測定に使用するセル過電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	OVTHSET[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	OVTHSET[5:0]						—	—
Reset	0b11111111111111						—	—

Access Type	Write, Read	—	—
-------------	-------------	---	---

ビットフィールド	ビット	説明
OVTHSET	15:2	ユニポーラ・セル過電圧アラートのセット閾値 これは 14 ビットの閾値で、この閾値を超えるとユニポーラ・セル測定 of ALRTOV アラートがセット／アサートされます。 値を 0x3FFF にすると過電圧チェックは実質的にディスエーブルされます。

UVTHCLRREG (0x21)

UVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、ユニポーラ ADC 測定に使用するセル低電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	UVTHCLR[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	UVTHCLR[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
UVTHCLR	15:2	ユニポーラ・セル低電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以上ではユニポーラ・セル測定 of ALRTUV アラートがクリア／デアサートされます。 注：正しい動作のためには、この値が常に UVTHSET より大きくなければなりません。

UVTHSETREG (0x22)

UVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、ユニポーラ ADC 測定に使用するセル低電圧アラートのセット閾値を選択します。

BITS	15	14	13	12	11	10	9	8
Field	UVTHSET[13:6]							

Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	UVTHSET[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
UVTHSET	15:2	ユニポーラ・セル低電圧アラートのセット閾値 これは 14 ビットの閾値で、この閾値を下回るとユニポーラ・セル測定 of ALRTUV アラートがセット／アサートされます。 値を 0x0000 にすると、低電圧チェックは実質的にディスエーブルされます。

MSMTCHREG (0x23)

MSMTCH は読み出しアクセスと書き込みアクセスが可能なレジスタで、ADC セル・スキャン測定に使用するセル電圧ミスマッチ・アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	MSMTCH[13:6]							
Reset	0b111111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	MSMTCH[5:0]						—	—
Reset	0b111111111111111						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
MSMTCH	15:2	セル電圧ミスマッチ・アラート閾値 これは 14 ビットの閾値で、最大セル電圧と最小セル電圧の差がこの値を超えると、ALRTMSMTCH がセット／アサートされます。 ミスマッチ計算に含まれるのがユニポーラ ADC 測定 (POLARITYn = 0) だけなのか、すべての測定が含まれるのかは、POLARITYCTRL:MINMAXPOL によって決まります。

BIPOVTHCLRREG (0x24)

BIPOVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、バイポーラ ADC 測定に使用するセル過電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BIPOVTHCLR[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BIPOVTHCLR[5:0]						—	—
Reset	0b11111111111111						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BIPOVTHCLR	15:2	バイポーラ・セル過電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以下ではバイポーラ・セル測定の ALRTOV アラートがクリア／デアサートされます。バイポーラ・フォーマットです。 注：正しい動作のためには、この値が常に BIPOVTHSET 以下でなければなりません。

BIPOVTHSETREG (0x25)

BIPOVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、バイポーラ ADC 測定に使用するセル過電圧アラートのセット閾値を選択します。

BITS	15	14	13	12	11	10	9	8
Field	BIPOVTHSET[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							

BIT	7	6	5	4	3	2	1	0
Field	BIPOVTHSET[5:0]						–	–
Reset	0b11111111111111						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
BIPOVTHSET	15:2	バイポーラ・セル過電圧アラートのセット閾値 これは 14 ビットの閾値で、この閾値を超えるとバイポーラ・セル測定 of ALRTOV アラートがセット／アサートされます。バイポーラ・フォーマットです。 値を 0x3FFF にすると過電圧チェックは実質的にディスエーブルされます。

BIPUVTHCLRREG (0x26)

BIPUVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、バイポーラ ADC 測定に使用するセル低電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BIPUVTHCLR[13:6]							
Reset	0b00000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BIPUVTHCLR[5:0]						—	—
Reset	0b00000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BIPUVTHCLR	15:2	バイポーラ・セル低電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以上ではバイポーラ・セル測定 of ALRTUV アラートがクリア／デアサートされます。バイポーラ・フォーマットです。 注：正しい動作のためには、この値が常に BIPUVTHSET 以上でなければなりません。

BIPUVTHSETREG (0x27)

BIPUVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、バイポーラ ADC 測定に使用するセル低電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BIPUVTHSET[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BIPUVTHSET[5:0]						–	–
Reset	0b0000000000000000						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
BIPUVTHSET	15:2	<p>バイポーラ・セル低電圧アラートのセット閾値</p> <p>これは 14 ビットの閾値で、この閾値を下回るとバイポーラ・セル測定の ALRTUV アラートがセット／アサートされます。バイポーラ・フォーマットです。</p> <p>値を 0x0000 にすると、低電圧チェックは実質的にディスエーブルされます。</p>

BLKOVTHCLRREG (0x28)

BLKOVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、ADC 測定に使用するブロック過電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BLKOVTHCLR[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BLKOVTHCLR[5:0]						—	—
Reset	0b11111111111111						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BLKOVTHCLR	15:2	ブロック過電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以下では ALRTBLKOV アラートがクリア／デアサートされます。 注：正しい動作のためには、この値が常に BLKOVTHSET 以下でなければなりません。

BLKOVTHSETREG (0x29)

BLKOVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、ADC 測定に使用するブロック過電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BLKOVTHSET[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BLKOVTHSET[5:0]						—	—
Reset	0b11111111111111						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BLKOVTHSET	15:2	ブロック過電圧アラートのセット閾値 これは 14 ビットの閾値で、この閾値を超えると ALRTBLKOV アラートがセット／アサートされます。 値を 0x3FFF にすると過電圧チェックは実質的にディスエーブルされます。

BLKUVTHCLRREG (0x2A)

BLKUVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、ADC 測定に使用するブロック低電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BLKUVTHCLR[13:6]							
Reset	0b00000000000000							
Access Type	Write, Read							

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

BIT	7	6	5	4	3	2	1	0
Field	BLKUVTHCLR[5:0]						–	–
Reset	0b0000000000000000						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
BLKUVTHCLR	15:2	<p>ブロック低電圧アラートのクリア閾値 これは 14 ビットの閾値で、この閾値以上では ALRTBLKUV アラートがクリア／デアサートされます。</p> <p>注：正しい動作のためには、この値が常に BLKUVTHSET 以上でなければなりません。</p>

BLKUVTHSETREG (0x2B)

BLKUVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、ADC 測定に使用するブロック低電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BLKUVTHSET[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BLKUVTHSET[5:0]						–	–
Reset	0b0000000000000000						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
BLKUVTHSET	15:2	<p>ブロック低電圧アラートのセット閾値 これは 14 ビットの閾値で、この閾値を下回ると ALRTBLKUV アラートがセット／アサートされます。</p> <p>値を 0x0000 にすると、低電圧チェックは実質的にディスエーブルされます。</p>

AUXROVTHCLRREG (0x30)

AUXROVTHCLR は読出しアクセスと書き込みアクセスが可能なレジスタで、レシオメトリック補助 ADC 測定に使用する過電圧（コールド）アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXROVTHCLR[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXROVTHCLR[5:0]						—	—
Reset	0b11111111111111						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
AUXROVTHCLR	15:2	レシオメトリック補助過電圧（コールド）アラートのクリア閾値 これは 14 ビットの過電圧（コールド）クリア閾値で、この閾値以下では ALRTAUXOV アラートがクリア／デアサートされます。 この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。 注：正しい動作のためには、この値が常に AUXROVTHSET 以下でなければなりません。

AUXROVTHSETREG (0x31)

AUXROVTHSET は読出しアクセスと書き込みアクセスが可能なレジスタで、レシオメトリック補助 ADC 測定に使用する過電圧（コールド）アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXROVTHSET[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXROVTHSET[5:0]						—	—

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

Reset	0b11111111111111	–	–
Access Type	Write, Read	–	–

ビットフィールド	ビット	説明
AUXROVTHSET	15:2	<p>レシオメトリック補助過電圧（コールド）アラートのセット閾値 これは 14 ビットの過電圧（コールド）セット閾値で、この閾値を超えると ALRTAUXOV アラートがアサートされます。</p> <p>この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。</p> <p>値を 0x3FFF にすると過電圧チェックは実質的にディスエーブルされます。</p>

AUXRUVTHCLRREG (0x32)

AUXRUVTHCLR は読出しアクセスと書き込みアクセスが可能なレジスタで、レシオメトリック補助 ADC 測定に使用する低電圧（ホット）アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXRUVTHCLR[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXRUVTHCLR[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
AUXRUVTHCLR	15:2	<p>レシオメトリック補助低電圧（ホット）アラートのクリア閾値 これは 14 ビットの低電圧（ホット）クリア閾値で、この閾値以上では ALRTAUXUV アラートがクリア／デアサートされます。</p> <p>この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。</p> <p>注：正しい動作のためには、この値が常に AUXRUVTHSET 以上でなければなりません。</p>

AUXRUVTHSETREG (0x33)

AUXRUVTHSET は読み出しアクセスと書き込みアクセスが可能なレジスタで、レシオメトリック補助 ADC 測定に使用する低電圧（ホット）アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXRUVTHSET[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXRUVTHSET[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
AUXRUVTHSET	15:2	レシオメトリック補助低電圧（ホット）アラートのセット閾値 これは 14 ビットの低電圧（ホット）セット閾値で、この閾値を下回ると ALRTAUXUV アラートがアサートされます。 この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。 値を 0x0000 にすると、低電圧チェックは実質的にディスエーブルされます。

AUXAOVTHCLRREG (0x34)

AUXAOVTHCLR は読み出しアクセスと書き込みアクセスが可能なレジスタで、絶対補助 ADC 測定に使用する過電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXAOVTHCLR[13:6]							
Reset	0b1111111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXAOVTHCLR[5:0]						—	—

Reset	0b11111111111111	–	–
Access Type	Write, Read	–	–

ビットフィールド	ビット	説明
AUXAOVTHCLR	15:2	<p>絶対補助過電圧アラートのクリア閾値</p> <p>これは 14 ビットの過電圧クリア閾値で、この閾値以下では ALRTAUXOV アラートがクリア／デアサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>注：正しい動作のためには、この値が常に AUXAOVTHSET 以下でなければなりません。</p>

AUXAOVTHSETREG (0x35)

AUXAOVTHSET は読み出しアクセスと書き込みアクセスが可能なレジスタで、絶対補助 ADC 測定に使用する過電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXAOVTHSET[13:6]							
Reset	0b11111111111111							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXAOVTHSET[5:0]						–	–
Reset	0b11111111111111						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
AUXAOVTHSET	15:2	<p>補助過電圧アラートのセット閾値</p> <p>これは 14 ビットの過電圧セット閾値で、この閾値を超えると ALRTAUXOV アラートがアサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>値を 0x3FFF にすると過電圧チェックは実質的にディスエーブルされます。</p>

AUXAUVTHCLRREG (0x36)

AUXAUVTHCLR は読出しアクセスと書込みアクセスが可能なレジスタで、絶対補助 ADC 測定に使用する低電圧アラートのクリア閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXAUVTHCLR[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXAUVTHCLR[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
AUXAUVTHCLR	15:2	<p>絶対補助低電圧アラートのクリア閾値</p> <p>これは 14 ビットの低電圧クリア閾値で、この閾値以上では ALRTAUXUV アラートがクリア／デアサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>注：正しい動作のためには、この値が常に AUXAUVTHSET 以上でなければなりません。</p>

AUXAUVTHSETREG (0x37)

AUXAUVTHSET は読出しアクセスと書込みアクセスが可能なレジスタで、絶対補助 ADC 測定に使用する低電圧アラートのセット閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	AUXAUVTHSET[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	AUXAUVTHSET[5:0]						—	—

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

Reset	0b0000000000000000	—	—
Access Type	Write, Read	—	—

ビットフィールド	ビット	説明
AUXAUVTHSET	15:2	<p>絶対補助低電圧アラートのセット閾値 これは 14 ビットの低電圧セット閾値で、この閾値を下回ると ALRTAUXUV アラートがアサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>値を 0x0000 にすると、低電圧チェックは実質的にディスエーブルされます。</p>

COMPOVTHREG (0x38)

COMPOVTH は読出しアクセスと書込みアクセスが可能なレジスタで、冗長コンパレータ用のセル過電圧アラート閾値を選択します。

BITS	15	14	13	12	11	10	9	8
Field	COMPOVTH[11:4]							
Reset	0xFFFF							
Access Type	Write, Read							
BITS	7	6	5	4	3	2	1	0
Field	COMPOVTH[3:0]				—	—	—	—
Reset	0xFFFF				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPOVTH	15:4	<p>コンパレータ・セル過電圧アラート閾値 これは入力範囲 5V の 12 ビット閾値で、この値を超えるとコンパレータ・スキャンによって ALRTCOMPOV アラートがセット／アサートされます。</p> <p>値を 0xFFFF にすると過電圧チェックは実質的にディスエーブルされます。</p> <p>注：正しい動作のためには、この値が常に COMPUVTH 以上でなければなりません。</p>

COMPUVTHREG (0x39)

COMPUVTH は読出しアクセスと書込みアクセスが可能なレジスタで、冗長コンパレータ用のセル低電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPUVTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPUVTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPUVTH	15:4	<p>コンパレータ・セル低電圧アラート閾値</p> <p>これは入力範囲 5V の 12 ビット閾値で、この値を下回るとコンパレータ・スキャンによって ALRTCOMPUV アラートがセット／アサートされます。</p> <p>値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます。</p> <p>注：正しい動作のためには、この値が常に COMPOVTH 以下でなければなりません。</p>

COMPAUXROVTHREG (0x3A)

COMPAUXROVTH は読出しアクセスと書込みアクセスが可能なレジスタで、レシオメトリック補助コンパレータ測定時に適用される過電圧（コールド）アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPAUXROVTH[11:4]							
Reset	0xFFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXROVTH[3:0]				—	—	—	—

Reset	0xFFFF	—	—	—	—
Access Type	Write, Read	—	—	—	—

ビットフィールド	ビット	説明
COMPAUXROVTH	15:4	<p>コンパレータ・レシオメトリック補助過電圧（コールド）アラート閾値</p> <p>これは入力範囲 V_{AA} の 12 ビット過電圧（コールド）閾値で、この値を超えるとコンパレータ・スキャンによって ALRTCOMPAUXOV アラートがセット／アサートされます。</p> <p>この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。</p> <p>値を 0xFFFF にすると過電圧チェックは実質的にディスエーブルされます。</p> <p>注：正しい動作のためには、この値が常に COMPAUXRUVTH 以上でなければなりません。</p>

COMPAUXRUVTHREG (0x3B)

COMPAUXRUVTH は読出しアクセスと書き込みアクセスが可能なレジスタで、レシオメトリック補助コンパレータ測定時に適用される低電圧（ホット）アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPAUXRUVTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXRUVTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPAUXRUVTH	15:4	<p>コンパレータ・レシオメトリック補助低電圧（ホット）アラート閾値</p> <p>これは入力範囲 V_{AA} の 12 ビット低電圧（ホット）閾値で、この値を下回るとコンパレータ・スキャンによって ALRTCOMPAUXUV アラートがセット／アサートされます。</p> <p>この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。</p> <p>値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます。</p> <p>注：正しい動作のためには、この値が常に COMPAUXROVTH 以下でなければなりません。</p>

COMPAUXAOVTHREG (0x3C)

COMPAUXAOVTH は読み出しアクセスと書き込みアクセスが可能なレジスタで、絶対補助コンパレータ測定時に適用される過電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPAUXAOVTH[11:4]							
Reset	0xFFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXAOVTH[3:0]				—	—	—	—
Reset	0xFFF				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPAUXAOVTH	15:4	<p>コンパレータ絶対補助過電圧アラート閾値</p> <p>これは入力範囲 V_{REF} の 12 ビット過電圧閾値で、この値を超えるとコンパレータ・スキャンによって ALRTCOMPAUXOV アラートがセット／アサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>値を 0xFFFF にすると過電圧チェックは実質的にディスエーブルされます。</p> <p>注：正常動作のためには、この値が常に COMPAUXAUVTH 以上でなければなりません。</p>

COMPAUXAUVTHREG (0x3D)

COMPAUXAUVTH は読み出しアクセスと書き込みアクセスが可能なレジスタで、絶対補助コンパレータ測定時に適用される低電圧アラート閾値を選択します。

BITS	15	14	13	12	11	10	9	8
Field	COMPAUXAUVTH[11:4]							

Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXAUVTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPAUXAUVTH	15:4	<p>コンパレータ絶対補助低電圧アラート閾値</p> <p>これは入力範囲 V_{REF} の 12 ビット低電圧閾値で、この値を下回るとコンパレータ・スキャンによって ALRTCOMPAUXUV アラートがセット／アサートされます。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます。</p> <p>注：正しい動作のためには、この値が常に COMPAUXAOVTH 以下でなければなりません。</p>

COMPOPNTHREG (0x3E)

COMPOPNTH は読出しアクセスと書込みアクセスが可能なレジスタで、オープン診断モードでユニポーラ・セル入力に適用される低電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPOPNTNTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPOPNTNTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPOPNTNTH	15:4	<p>コンパレータ・セル・オープン低電圧アラート閾値</p> <p>これは入力範囲 5V の 12 ビット閾値で、この値を下回ると、オープン診断モードでユニポーラ・セル入力に対して行われるコンパレータ・スキャンによって、ALRTCOMPUV アラートがセット/アサートされます（CTSTCFG:CELLOPNDIAGSEL を参照）。</p> <p>値を 0x000 にすると、オープン低電圧チェックは実質的にディスエーブルされます。</p>

COMPAUXROPNTHREG (0x3F)

COMPAUXROPNTH は読出しアクセスと書込みアクセスが可能なレジスタで、オープン診断モードでレシオメトリック補助入力に適用される低電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPAUXROPNTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXROPNTH[3:0]				–	–	–	–
Reset	0x000				–	–	–	–
Access Type	Write, Read				–	–	–	–

ビットフィールド	ビット	説明
COMPAUXROPNTH	15:4	<p>コンパレータ・レシオメトリック補助オープン低電圧アラート閾値</p> <p>これは入力範囲 V_{AA} の 12 ビット低電圧閾値で、この値を下回ると、オープン診断モードでレシオメトリック補助入力に対して行われるコンパレータ・スキャンによって、ALRTCOMPAUXUV アラートがセット/アサートされます（DIAGGENCFG:AUXDIAGSEL を参照）。</p> <p>この閾値は、AUXREFSELn = 0（レシオメトリック）での補助測定に適用されます。</p> <p>値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます。</p>

COMPAUXAOPNTHREG (0x40)

COMPAUXAOPNTH は読出しアクセスと書込みアクセスが可能なレジスタで、オープン診断モードで絶対補助入力に適用される低電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

Field	COMPAUXAOPNTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPAUXAOPNTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPAUXAOPNTH	15:4	<p>コンパレータ絶対補助オープン低電圧アラート閾値</p> <p>これは入力範囲 V_{REF} の 12 ビット低電圧閾値で、この値を下回ると、オープン診断モードで絶対補助入力に対して行われるコンパレータ・スキャンによって、ALRTCOMPAUXUV アラートがセット／アサートされます（DIAGGENCFG:AUXDIAGSEL を参照）。</p> <p>この閾値は、AUXREFSELn = 1（絶対）での補助測定に適用されます。</p> <p>値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます。</p>

COMPACCOVTHREG (0x41)

COMPACCOVTH は読出しアクセスと書込みアクセスが可能なレジスタで、コンパレータ精度診断時に適用される過電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPACCOVTH[11:4]							
Reset	0xFFFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPACCOVTH[3:0]				—	—	—	—
Reset	0xFFFF				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPACCOVTH	15:4	<p>シーケンス終了時コンパレータ精度診断の過電圧アラート閾値</p> <p>これは入力範囲 5V の 12 ビット過電圧閾値で、イネーブルされている場合（SCANCFG = 001 または 010、かつ COMPACCEN = 1）、コンパレータを使用する測定シーケンス終了時にコンパレータの精度を確認するために使われます。</p> <p>LSA2（ゲイン = 1/4）を通じた $COMP_{IN} = V_{REF}$ のセル・シグナル・パスを使い、$DAC_{REF} = V_{REF}$ でテストされます。値が COMPACCOVTH を超えると ALRTCOMPACCOV ビットがセット／アサートされます。</p> <p>0x3FF は理想値です。コンパレータ・セル・シグナル・パス・フォルト診断で得られた情報に基づいて精度の高い値を選択できます。値を 0xFFFF にすると、過電圧チェックは実質的にディスエーブルされます（デフォルト）。</p>

COMPACCUVTHREG (0x42)

COMPACCUVTH は読出しアクセスと書込みアクセスが可能なレジスタで、コンパレータ精度診断時に適用される低電圧アラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	COMPACCUVTH[11:4]							
Reset	0x000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	COMPACCUVTH[3:0]				—	—	—	—
Reset	0x000				—	—	—	—
Access Type	Write, Read				—	—	—	—

ビットフィールド	ビット	説明
COMPACCUVTH	15:4	<p>シーケンス終了時コンパレータ精度診断の低電圧アラート閾値</p> <p>これは入力範囲 5V の 12 ビット低電圧閾値で、イネーブルされている場合（SCANCFG = 001 または 010、かつ COMPACCEN = 1）、コンパレータを使用する測定シーケンス終了時にコンパレータの精度を確認するために使われます。</p> <p>LSA2（ゲイン = 1/4）を通じた $COMP_{IN} = V_{REF}$ のセル・シグナル・パスを使い、$DAC_{REF} = V_{REF}$ でテストされます。値が COMPACCUVTH を下回ると、ALRTCOMPACCUV ビットがセット／アサートされます。</p> <p>0x3FF は理想値です。コンパレータ・セル・シグナル・パス・フォルト診断で得られた情報に基づいて精度の高い値を選択できます。値を 0x000 にすると、低電圧チェックは実質的にディスエーブルされます（デフォルト）。</p>

BALSHRTTHRREG (0x43)

BALSHRTTHR は読出しアクセスと書込みアクセスが可能なレジスタで、バランス・スイッチ・ショート診断モードで使われるアラート閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BALSHRTTHR[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BALSHRTTHR[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BALSHRTTHR	15:2	<p>バランス・スイッチ・ショート診断アラート閾値</p> <p>これは 14 ビットの低電圧閾値で、バランシング・スイッチのショート・サーキット診断テストに使われます (SCANCFG = 100)。</p> <p>ユニポーラ・フォーマットです。BALSW ショート診断では、POLARITYn = 0 および CELLENn = 1 のセルだけが測定されチェックされます。</p> <p>ユニポーラ ADC セル電圧の結果値はこのモードで取得されて閾値と比較され、いずれかの結果が閾値未満だった場合、その結果はバランス・スイッチ・アラート (ALRTBALSW) としてフラグされます。閾値より大きい結果は正常値と見なされます。閾値は、診断測定を行う前にシステム・コントローラによって設定する必要があります。</p>

BALLOWTHRREG (0x44)

BALLOWTHR は読出しアクセスと書込みアクセスが可能なレジスタで、バランス・スイッチ・オープン診断モードで使われるアラート下限閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BALLOWTHR[13:6]							

Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BALLOWTHR[5:0]						–	–
Reset	0b0000000000000000						–	–
Access Type	Write, Read						–	–

ビットフィールド	ビット	説明
BALLOWTHR	15:2	<p>バランス・スイッチ・オープン診断アラート下限閾値 これは 14 ビットの低電圧閾値で、バランス・スイッチの導通テストとセル検出ワイヤ診断テストに使用します (SCANCFG = 101、110、および 111)。</p> <p>バイポーラ・フォーマットで、通常は小さい正の値を選択します。BALSW オープン診断では、POLARITY_n = 0 および BALSWEN_n = 1 のセルだけが測定され、チェックされます。セル検出オープン奇数/偶数診断では、TOPCELL1/2 以下で POLARITY_n = 0 の奇数/偶数セルだけが測定され、チェックされます。</p> <p>このモードでのバイポーラ ADC セルの結果値は閾値と比較され、いずれかの結果が閾値未満だった場合、その結果はバランス・スイッチ・アラート (ALRTBALSW) としてフラグされます。閾値より大きい結果は正常値と見なされます。閾値は、診断測定を行う前にシステム・コントローラによって設定する必要があります。</p>

BALHIGHTHRREG (0x45)

BALHIGHTHR は読出しアクセスと書込みアクセスが可能なレジスタで、バランス・スイッチ・オープン診断モードで使われるアラート上限閾値を選択します。

BIT	15	14	13	12	11	10	9	8
Field	BALHIGHTHR[13:6]							
Reset	0b0000000000000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	BALHIGHTHR[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Write, Read						—	—

ビットフィールド	ビット	説明
BALHIGHTHR	15:2	<p>バランス・スイッチ・オープン診断アラート上限閾値</p> <p>これは 14 ビットの過電圧閾値で、バランシング・スイッチの導通テストとセル検出ワイヤ診断テストに使用します（SCANCFG = 101、110、111）。</p> <p>通常は、外部抵抗の特性に基づいて適切な正の値のバイポーラ・フォーマットを選択します。BALSW オープン診断では、POLARITYn = 0 および BALSWEEn = 1 のセルだけが測定され、チェックされます。セル検出オープン奇数／偶数診断では、TOPCELL1/2 以下で POLARITYn = 0 の奇数／偶数セルだけが測定され、チェックされます。</p> <p>このモードでのバイポーラ ADC セルの結果値は閾値と比較され、いずれかの結果が閾値を超えている場合、その結果はバランシング・スイッチ・アラート（ALRTBALSW）としてフラグされます。閾値より小さい結果は正常値と見なされます。閾値は、診断測定を行う前にシステム・コントローラによって設定する必要があります。</p>

CELL1REG (0x47)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL1[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL1[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL1	15:2	<p>セル電圧測定結果</p> <p>CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。</p> <p>フルスケール入力範囲は 5V です。</p> <p>CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。</p> <p>読出し専用です。</p>

CELL2REG (0x48)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL2[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL2[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL2	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL3REG (0x49)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL3[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL3[5:0]						—	—
Reset	0b0000000000000000						—	—

Access Type	Read Only	-	-
-------------	-----------	---	---

ビットフィールド	ビット	説明
CELL3	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL4REG (0x4A)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL4[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL4[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL4	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL5REG (0x4B)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL5[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL5[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL5	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL6REG (0x4C)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL6[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL6[5:0]						—	—
Reset	0b0000000000000000						—	—

Access Type	Read Only	–	–
-------------	-----------	---	---

ビットフィールド	ビット	説明
CELL6	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL7REG (0x4D)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL7[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL7[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL7	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL8REG (0x4E)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL8[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL8[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL8	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL9REG (0x4F)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL9[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL9[5:0]						—	—
Reset	0b0000000000000000						—	—

Access Type	Read Only	—	—
-------------	-----------	---	---

ビットフィールド	ビット	説明
CELL9	15:2	<p>セル電圧測定結果</p> <p>CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。</p> <p>フルスケール入力範囲は 5V です。</p> <p>CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。</p> <p>読出し専用です。</p>

CELL10REG (0x50)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL10[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL10[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL10	15:2	<p>セル電圧測定結果</p> <p>CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。</p> <p>フルスケール入力範囲は 5V です。</p> <p>CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。</p> <p>読出し専用です。</p>

CELL11REG (0x51)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL11[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL11[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL11	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL12REG (0x52)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL12[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL12[5:0]						—	—
Reset	0b0000000000000000						—	—

Access Type	Read Only	—	—
-------------	-----------	---	---

ビットフィールド	ビット	説明
CELL12	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL13REG (0x53)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL13[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL13[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL13	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

CELL14REG (0x54)

CELLn は読出しアクセスが可能なレジスタで、それぞれの個別セル測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	CELL14[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	CELL14[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
CELL14	15:2	セル電圧測定結果 CELLn[13:0]には、CELLn の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 5V です。 CELLEN = 0 で最新の ADC スキャン時に測定がスキップされた場合、内部データは更新されず、ALU/IIR リードバックは RDFILT によって決定されます。 読出し専用です。

BLOCKREG (0x55)

BLOCK は読出しアクセスが可能なレジスタで、合計ブロック測定結果の最新の値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	VBLOCK[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	VBLOCK[5:0]						—	—
Reset	0b0000000000000000						—	—

Access Type	Read Only	-	-
-------------	-----------	---	---

ビットフィールド	ビット	説明
VBLOCK	15:2	ブロック電圧測定結果 VBLOCK[13:0]には、 V_{BLK} の 14 ビットの測定結果が格納されます。 フルスケール入力範囲は 65V です。 BLOCKEN = 0 で最新の ADC スキャン時に測定がスキップされた場合は内部データが更新されず、 ALU/IIR リードバックは RDFILT によって決定されます。 読み出し専用です。

TOTALREG (0x56)

TOTAL は読み出しアクセスが可能なレジスタで、スタック内でイネーブルされたすべての測定結果の最新の合計値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	TOTAL[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	TOTAL[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
TOTAL	15:0	合計セル電圧測定結果 TOTAL[15:0]には、MEASUREEN1 により最後のスキャン時にイネーブルされたすべてのセルの測定結果の 16 ビット合計値が格納されます。 フルスケール範囲は、1.22mV LSB で 0.0~80.0V です（ユニポーラ）。 読み出し専用です。 以下の動作に注意してください： ディセーブルされた測定値も最後の結果を保持するので、結果レジスタ内には、最後のスキャンで計算された TOTAL 結果に含まれなかったデータが存在する可能性があります。 セルとバスバー（ユニポーラとバイポーラ）の測定値が 1 つのスキャン内で混在している場合、合計計算はその状態に応じて処理されます。 0V 未満の合計値には対応できず、0x0000 にクリップされます（これはバイポーラ測定値だけを使用するスキャンで行われることがあります）。

DIAG1REG (0x57)

DIAG1 は読み出し専用のレジスタで、最後の ADC アキュイジション時に行われた DIAGCFG:DIAGSEL1 の選択により要求された診断結果が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	DIAG1[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	DIAG1[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
DIAG1	15:2	DIAG1 には、DIAGCFG:DIAGSEL1 により選択された診断の 14 ビット測定結果が格納されます。

DIAG2REG (0x58)

DIAG2 は読み出し専用のレジスタで、最後の ADC アキュイジション時に行われた DIAGCFG:DIAGSEL2 の選択により要求された診断結果が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	DIAG2[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0

Field	DIAG2[5:0]	—	—
Reset	0b0000000000000000	—	—
Access Type	Read Only	—	—

ビットフィールド	ビット	説明
DIAG2	15:2	DIAG2 には、DIAGCFG:DIAGSEL2 により選択された診断の 14 ビット測定結果が格納されます。

AUX0REG (0x59)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	AUX0[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	AUX0[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
AUX0	15:2	<p>補助電圧測定結果</p> <p>AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合（AUXGPIOCFG を参照）、結果は未使用チャンネルの 0x0000 をリード・バックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

AUX1REG (0x5A)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	AUX1[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	AUX1[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
AUX1	15:2	<p>補助電圧測定結果</p> <p>AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合（AUXGPIOCFG を参照）、結果は未使用チャンネルの 0x0000 をリード・バックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

AUX2REG (0x5B)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	AUX2[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	AUX2[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
AUX2	15:2	<p>補助電圧測定結果 AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合（AUXGPIOCFG を参照）、結果は未使用チャンネルの 0x0000 をリード・バックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

AUX3REG (0x5C)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	AUX3[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	AUX3[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
AUX3	15:2	<p>補助電圧測定結果 AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合（AUXGPIOCFG を参照）、結果は未使用チャンネルの 0x0000 をリード・バックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

AUX4REG (0x5D)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	AUX4[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	AUX4[5:0]						—	—
Reset	0b0000000000000000						—	—
Access Type	Read Only						—	—

ビットフィールド	ビット	説明
AUX4	15:2	<p>補助電圧測定結果</p> <p>AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合は（AUXGPIOCFG を参照）、結果は未使用チャネルの 0x0000 をリード・バックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

AUX5REG (0x5E)

AUXn は読出しアクセスが可能なレジスタで、イネーブルされたそれぞれの個別補助測定結果の現在値が格納されます。

BIT	15	14	13	12	11	10	9	8
Field	AUX5[13:6]							
Reset	0b0000000000000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

Field	AUX5[5:0]	—	—
Reset	0b0000000000000000	—	—
Access Type	Read Only	—	—

ビットフィールド	ビット	説明
AUX5	15:2	<p>補助電圧測定結果</p> <p>AUXn[13:0]には、AUXn の 14 ビット測定結果が格納されます。</p> <p>フルスケール入力範囲はレシオメトリック動作時で V_{AA}、絶対動作時で V_{REF} です。</p> <p>ポートが AUXINn 入力として設定されていない場合（AUXGPIOCFG を参照）、結果は未使用チャンネルの 0x0000 をリードバックします。それ以外の場合は、AUXEN = 0 で最後の ADC スキャン時に測定がスキップされると、その前に決定された結果がそのまま残ります。</p> <p>読出し専用です。</p>

POLARITYCTRL (0x5F)

POLARITYCTRL は読出しアクセスと書込みアクセスが可能なレジスタで、スキャン時に使用する測定タイプを決定します。一般に、ユニポーラ・モードはセルを示し、バイポーラ・モードはバス・バーを示します。

BIT	15	14	13	12	11	10	9	8
Field	MINMAXPOL	—	POLARITY[14:9]					
Reset	0b0	—	0b0000000000000000					
Access Type	Write, Read	—	Write, Read					
BIT	7	6	5	4	3	2	1	0
Field	POLARITY[8:1]							
Reset	0b0000000000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
MINMAXPOL	15	<p>MIN/MAX 動作モード</p> <p>0 = MINCELL、MAXCELL、および ALRTMSMTCH の計算にはユニポーラ・セル測定値だけが含まれます（デフォルト）。</p> <p>1 = MINCELL、MAXCELL、および ALRTMSMTCH の計算にはバイポーラ・セル測定値だけが含まれます（燃料電池アプリケーションに有効です）。</p>

ビットフィールド	ビット	説明
POLARITY	13:0	<p>セル測定極性の選択 0 = ユニポーラ、入力範囲 0~5V (デフォルト) 1 = バイポーラ、-2.5V~2.5V 入力</p> <p>バイポーラ・セルは、BALSWDIAG ADC 測定スキャン時にはフォルト・マスクされます。 MINMAXPOL は、MIN/MAXCELL と ALRTMSMTCH の計算にバイポーラ・セルを含めるかどうかを決定します。</p> <p>バイポーラ・セル測定値は、OVTH 閾値および UVTH 閾値ではなく BIPOVTH 閾値および BIPUVTH 閾値を使ってチェックされます。</p> <p>バイポーラ・セルはコンパレータ測定スキャンに含まれません。ALRTCOMPOV アラート、ALRTCOMPUV アラートはトリガされません。</p>

AUXREFCTRL (0x60)

AUXREFCTRL は読出しアクセスと書込みアクセスが可能なレジスタで、ADC および COMP のアキュイジション・シーケンス時にイネーブルされた補助チャンネルに使用するリファレンス範囲を制御します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	AUXREFSEL[5:4]		AUXREFSEL[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
AUXREFSEL	5:4	<p>補助入力リファレンスの選択 0 = レシオメトリック、REF = V_{THRM} (デフォルト) 1 = 絶対、REF = $V_{REF} = 1.25V$</p> <p>このビットは、ADC およびコンパレータ・アキュイジション・シーケンス時に使用するリファレンスと、AUX OV、UV、および OPN 閾値のどの設定を使用するかを選択します。</p> <p>注：それぞれの GPIOEN ビットをセットすると (GPIO モード)、このビットは無視されますが、ユーザ設定はリード・バックされます。</p>
AUXREFSEL	3:0	<p>補助入力リファレンスの選択 0 = レシオメトリック、REF = V_{THRM} (デフォルト) 1 = 絶対、REF = $V_{REF} = 1.25V$</p> <p>このビットは、ADC およびコンパレータ・アキュイジション・シーケンス時に使用するリファレンスと、AUX OV、UV、および OPN 閾値のどの設定を使用するかを選択します。</p> <p>注：I2CEN ビット (デジタル I²C モード、[1:0]だけに適用)、またはそれぞれの GPIOEN ビットをセットすると (GPIO モード)、このビットは無視されますがユーザ設定はリード・バックされません。</p>

AUXTIMEREG (0x61)

AUXTIMEREG は読出しアクセスと書込みアクセスが可能なレジスタで、測定前の AUX/GPIO ピンのバイアスに使用できるセトリング時間を制御します。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	AUXTIME[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read	
BIT	7	6	5	4	3	2	1	0
Field	AUXTIME[7:0]							
Reset	0b0000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
AUXTIME	9:0	<p>AUX 変換前セトリング時間</p> <p>次式に従い、イネーブルされたすべての AUXn 入力の変換前セトリング時間を 0μs（デフォルト）から 6.138ms までの範囲で設定します。</p> $t_{\text{Settle}} = (\text{AUXTIME}[9:0]) * 6\mu\text{s}$ <p>THRM 電圧はアキュイジションが開始されるまで出力されない（自動モードの場合）、アプリケーション回路が必要とする場合は、これにより追加的なセトリング時間を設定することができます。</p> <p>この時間は、要求された各スキャンの開始時に挿入されます。AUXTIME がまだ終了しておらず、他にアクティブなスキャン測定が存在しない場合は、AUXTIME の間に HVCP がリフレッシュされます。</p>

ACQCFG (0x62)

ACQCFG は読出しアクセスと書込みアクセスが可能なレジスタで、測定手順とアキュイジション手順の複数の側面を制御します。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

Field	ADCZSFSEN	ADCCALEN	COMPACCEN	FOSR[1:0]		THRMMODE[1:0]		–
Reset	0b0	0b0	0b0	0b00		0b00		–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read		–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明
ADCZSFSEN	15	<p>シーケンス終了時の ADC スタック・フォルト診断のイネーブル 0 = ADC ZS/FS 診断をディスエーブル（デフォルト） 1 = ADC ZS/FS 診断をイネーブル</p> <p>イネーブルした場合は、ADC を使用する測定シーケンス終了時に（SCANCFG != 010）、出力をゼロスケールおよびフルスケールに強制するように設計されたオーバードライブ入力を使って、自動的に ADC のテストが行われます。0x000 以外の結果は ALRTADCZS を通じて、0xFFFF 以外の結果は ALRTADCFS を通じてレポートされます。</p>
ADCCALEN	14	<p>ADC キャリブレーションのイネーブル 0 = スキャン結果のキャリブレーションを行いません 1 = スキャン結果のキャリブレーションを行います コンパレータの動作には影響しません。</p>
COMPACCEN	13	<p>シーケンス終了時コンパレータ精度診断のイネーブル 0 = COMPACC 診断をディスエーブル（デフォルト） 1 = COMPACC 診断をイネーブル</p> <p>イネーブルした場合は、コンパレータを使用する測定シーケンス（SCANCFG = 001 または 010）の終了時に、LSA2 パス（ゲイン = 1/4）を通じ $COMP_{IN} = V_{REF}$ および $DAC_{REF} = V_{REF}$ で、上下の閾値 COMPACCOVTHR と COMPACCUVTHR を使い、自動的にコンパレータのテストが行われます。結果が予定値と異なる場合は、ALRTCMPACCOV または ALRTCMPACCUV が発行されます。</p>
FOSR	12:11	<p>オーバーサンプリング周波数の選択 00 = f_{OSR} = 選択した機能によって決まる周波数 01 = f_{OSR} = 1.60kHz、50Hz 除去に有効 1x = f_{OSR} = 1.92kHz、60Hz 除去に有効</p> <p>ADC およびコンパレータ・スキャンの f_{OSR} は、オーバーサンプリング・アキュイジション（OVSAMPL > 000）に使用する特定の実効サンプリング周波数を設定します。これは、$n \times (f_{OSR}/OSR)$ にヌルを配置して、所定の周波数におけるノイズ除去の助けとするために使用できます。例えば、$f_{OSR} = 1.60kHz$ で $OSR = 32$ の場合は、50Hz におけるノイズとその高調波を減衰させることができます。</p> <p>00 を選択するとその結果は一定しませんが、最大実効サンプリング周波数は、アナログ・オーバーヘッド動作（HVCP リフレッシュなど）に加えて、測定用に選択したチャンネル数と診断機能だけで決まります。最も厳しい条件は、すべての機能をイネーブルした状態のときに 2.2kHz で生じると見込まれます。</p>

ビットフィールド	ビット	説明
THRMMODE	10:9	サーミスタ・バイアス制御モード 内部スイッチを通じた THRM ピンへの V_{AA} の入力を制御して、測定用に外部サーミスタをバイアスします。 0x - 自動モード（アキュジション・モード時にスイッチ・オン） 10 - マニュアル・オフ・モード（スイッチは常時オフ） 11 - マニュアル・オン・モード（スイッチは常時オン）

BALSWDLY (0x63)

BALSWDLY は読出しアクセスと書込みアクセスが可能なレジスタで、ADC 測定が要求された場合にマニュアルおよび自動セル・バランシング動作で使用する遅延間隔を選択します。

BIT	15	14	13	12	11	10	9	8
Field	CELLDLY[7:0]							
Reset	0x00							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	SWDLY[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
CELLDLY	15:8	セル・バランシング時のセル・パス回復遅延の選択 ADC 測定前に、C[n] (HVMUX) をセル・バランシング時の電圧降下から回復させるための時間遅延。 0 μ s（デフォルト）から 24.480ms までの値を設定できます（ステップ・サイズは 96 μ s）。 この遅延は、AUTOBALSWDIS = 1 および ALTMUXSEL = 0 を使用するときマニュアル・セル・バランシング・モードで使われます。CBMEASEN = 1x および ALTMUXSEL = 0 のときは、偶数および奇数放電サイクルの各ペアの後で自動セル・バランシング・モードと放電モードにも使われます。
SWDLY	7:0	セル・バランシング時のスイッチ・パス回復遅延の選択 ADC 測定前に、SW[n] (ALTMUX) をセル・バランシング時の電圧降下から回復させるための時間遅延。 0 μ s（デフォルト）から 24.480ms までの値を設定できます（ステップ・サイズは 96 μ s）。 この遅延は、AUTOBALSWDIS = 1 および ALTMUXSEL = 1 を使用するときマニュアル・セル・バランシング・モードで使われます。CBMEASEN = 1x および ALTMUXSEL = 1 のときは、偶数および奇数放電サイクルの各ペアの後で自動セル・バランシング・モードと放電モードにも使われます。

MEASUREEN1 (0x64)

MEASUREEN1 は読出しアクセスと書込みアクセスが可能なレジスタで、ADC および COMP アクイジション・シーケンス時の測定チャンネルを制御します。

BIT	15	14	13	12	11	10	9	8
Field	–	BLOCKEN	CELLEN[14:9]					
Reset	–	0b0	0b0000000000000000					
Access Type	–	Write, Read	Write, Read					
BIT	7	6	5	4	3	2	1	0
Field	CELLEN[8:1]							
Reset	0b0000000000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BLOCKEN	14	<p>ブロック電圧測定のイネーブル</p> <p>0 = $V_{BLK}/TOPBLOCK$ 測定と自動分圧器接続をディスエーブル（デフォルト）</p> <p>1 = $V_{BLK}/TOPBLOCK$ 測定と自動分圧器接続をイネーブル</p> <p>ADC スキャンだけに適用されます。ブロックのコンパレータ測定は行われません。</p> <p>ADC 測定のイネーブルに加えて、BLOCKEN はスキャン時に V_{BLOCK} 抵抗分圧器を自動的に使用可能にします。</p> <p>注：フレキシブル・パック使用時（FLXPCKEN1/2 = 1）は選択した Cn ピンに抵抗分圧器を接続しますが、その場合に流れるバイアス電流は Cn の結果に影響を与えます。したがって、フレキシブル・パック使用時は、一般に ALTMUXSEL = 1 でスキャンする場合だけ BLOCKEN = 1 に設定することを推奨します。</p>
CELLEN	13:0	<p>セル電圧測定のイネーブル</p> <p>0 = CELLn 測定をディスエーブル（デフォルト）</p> <p>1 = CELLn 測定をイネーブル</p> <p>アキュイジション・モードでそれぞれのセルの測定をイネーブルします。</p>

MEASUREEN2 (0x65)

MEASUREEN2は読出しアクセスと書込みアクセスが可能なレジスタで、ADCおよびCOMPアキュイジション・シーケンス時に測定する補助チャンネル、およびIIRの初期化を制御します。

BIT	15	14	13	12	11	10	9	8
Field	SCANIIRINIT	–	–	–	–	–	–	–
Reset	0b0	–	–	–	–	–	–	–
Access Type	Write, Read	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	AUXEN[5:4]		AUXEN[3:0]			
Reset	–	–	0b00		0x0			
Access Type	–	–	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
SCANIIRINIT	15	シーケンサ IIR 初期化要求 0 = IIR フィルタを継続（デフォルト） 1 = IIR フィルタを初期化 継続モードでは IIR アキュムレータの電流値が維持され（恐らくは直前のセル測定値から）、通常はシーケンサ測定値が修正されます。 初期化モードでは IIR アキュムレータが最初に測定された値に再初期化され、更に通常はセル・パラランシング測定値が修正されます。
AUXEN	5:4	補助入力測定のイネーブル 0 = 補助 ADC 測定をディスエーブル（デフォルト） 1 = 補助 ADC 測定をイネーブル アキュイジション・モードでそれぞれの補助入力の測定をイネーブルします。 注：それぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされます。
AUXEN	3:0	補助入力測定のイネーブル 0 = 補助 ADC 測定をディスエーブル（デフォルト） 1 = 補助 ADC 測定をイネーブル アキュイジション・モードでそれぞれの補助入力の測定をイネーブルします。 注：I2CEN ビット（デジタル I ² C モード、[1:0]だけに適用）またはそれぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされます。

SCANCTRL (0x66)

SCANCTRL は読出しアクセスと書込みアクセスが可能なレジスタで、デバイスの要求された内部測定アキュイジション（スキャン）を制御します。このレジスタは、任意のスキャン要求の結果として生成されたデータの取り扱いも管理します。

ADC スキャンは、セルおよび補助電圧の高精度測定に使われます。

COMP スキャンは、ADC による測定結果の定期的な安全性／冗長性チェックに使われますが、通信効率を向上させるために使われることもあります。

オンデマンド・キャリブレーションは ADC の内部キャリブレーションを実行して、キャリブレーション・データ・レジスタを更新します。スキャンおよび診断設定ならびに制御設定によって要求される ADC 測定は、すべて無視されます。

バランス・スイッチおよびセル検出ワイヤ・オープン ADC 診断スキャンは、ADC スキャンの一種です。これらの設定を使用すると、他のスキャンおよび診断設定ならびに制御設定が一時的にオーバーライドされます。詳細については [BALSW 診断](#) のセクションを参照してください。

BIT	15	14	13	12	11	10	9	8
Field	SCANDONE	SCANTIMEOUT	DATARDY	AUTOBALSWDIS	ALRTFILTSEL	AMENDFILT	RDFILT	SCANCFG[2]
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b000
Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Write, Read, Ext	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	SCANCFG[1:0]		OVSAMPL[2:0]			ALTMUXSEL	SCANMODE	SCAN
Reset	0b000		0b000			0b0	0b0	0b0
Access Type	Write, Read		Write, Read			Write, Read	Write, Read	Write, Read, Pulse

ビットフィールド	ビット	説明
SCANDONE	15	<p>アキュイジション完了インジケータ・ビット</p> <p>0 = 要求された場合に、SCAN アキュイジションが進行中であることを示します。</p> <p>1 = SCAN アキュイジションが完了したことを示します。</p> <p>SCAN アキュイジションが完了すると、デバイスはこのビットをハイにセットして完了したことを示します。</p> <p>このビットは 0 を書き込むことによってクリアされます。このビットがハイのときは、SCAN を使って新たなアキュイジションを要求しても無視されます。ロジック 1 を書き込んでも内部的な効果はありません。</p>

ビットフィールド	ビット	説明
SCANTIMEOUT	14	<p>スキャン・タイムアウト・インジケータ・ビット</p> <p>予定された時間内にアキュイジションが完了しなかったことを示します。タイムアウト閾値はオーバーサンプリング設定によって異なります。</p> <p>SCANTIMEOUT が発行されると、それまでに得られた部分的なデータは疑わしいものと見なされて無視されます。IIR を使用するアプリケーションでは、タイムアウト・イベントに起因するデータ破損を防ぐために、SCANIIRINIT を発行する必要があります。</p> <p>アキュイジション・ウォッチドッグは、DEVCFG2 レジスタの SCANTODIS をセットすることによってディスエーブルできます。</p> <p>新たなタイムアウト・イベントを検出できるようにするには、ロジック 0 を書き込んでクリアします。ロジック 1 を書き込んで内部効果はありません。</p>
DATARDY	13	<p>データ・レディ・インジケータ・ビット</p> <p>アキュイジションから得られた測定データが ALU からデータ・レジスタに転送され、読み出せる状態になったことを示します。すべての測定レジスタと MIN/MAX/TOTAL のデータは同時に転送されます。</p> <p>次のデータ転送を検出できるようにするには、ロジック 0 を書き込んでクリアします。ロジック 1 を書き込んで内部効果はありません。</p>
AUTOBALSWDIS	12	<p>自動バランシング・スイッチのディスエーブル</p> <p>0 = セル・バランシング動作は測定シーケンスに影響されません（デフォルト）</p> <p>1 = 測定シーケンス中はセル・バランシング・マニュアル動作が一時的にディスエーブルされます</p> <p>測定シーケンス時のアクティブ・マニュアル・セル・バランシング動作の自動中断をイネーブルします。</p> <p>セル回復セトリング時間および診断回復のための遅延は、以下に示すシーケンスの ALTMUXSEL 設定に基づいて、自動的に選択されます。</p> <p>0 = CELLDLY を使用</p> <p>1 = SWDLY を使用</p>
ALRTFILTSEL	11	<p>アラート・フィルタリングの選択</p> <p>0 = 未加工のシーケンサ結果に基づくアラートの発行（デフォルト）</p> <p>1 = IIR フィルタの結果に基づくアラートの発行</p> <p>セル・アラートとブロック・アラートを、未加工のシーケンサ出力（オーバーサンプリングは適用したまま）と IIR フィルタ出力のどちらに基づいて発行するかを決定します。</p> <p>モード 1 を選択した場合は、IIR のセトリング動作による誤アラートの発行を避けるために、最初のスキャンに MEASUREEN2:SCANIIRINIT を使用する必要があります。</p> <p>注：自動セル・バランシング・モードで行われる測定スキャンでは、このビットは無視されます（ALRTFILTSEL = 1 を使用）。</p>

ビットフィールド	ビット	説明
AMENDFILT	10	<p>IIR フィルタ修正のイネーブル</p> <p>0 = IIR アキュムレータに ADC の結果は含まれません（デフォルト）。</p> <p>1 = IIR アキュムレータには ADC の結果が含まれます。</p> <p>IIR フィルタ／アキュムレータを備えた ADC 出力の場合、ハイに設定すると、ALU 内の新しい ADC 変換が自動的にスケールリングされ、シーケンスの最後に IIR アキュムレータへ転送されます。ほとんどの場合、これは通常の測定シーケンスに使われます。</p> <p>ローに設定すると、ALU 内の新しい ADC 変換は、シーケンス終了時に IIR アキュムレータへ転送されません。これは、ほとんどの場合、ADC の結果がセトリング後の正常データを破損させる可能性がある診断測定シーケンスに使われます。</p> <p>注： 自動セル・バランシング・モードで行われる測定スキャンでは、このビットは無視されます（AMENDFILT = 1 を使用）。</p>
RDFILT	9	<p>IIR フィルタ読出しの選択</p> <p>0 = フィルタ処理していない ADC データが出力データ・レジスタにロードされます（デフォルト）。</p> <p>1 = IIR フィルタ処理した ADC データが出力データ・レジスタにロードされます。</p> <p>このビットは、リードバックのためセル・レジスタとブロック・レジスタにロードするデータのソースを選択します。測定スキャン要求時（SCAN = 1）におけるこのビットの設定は、TOTAL、MINCELL、MAXCELL、MSMTCH、およびすべての OV/UV アラートの計算に使用するソース・データ（フィルタ処理あり／なし）も決定します。</p>
SCANCFG	8:6	<p>スキャン設定</p> <p>以下の選択に基づいて、実行するスキャンのタイプを選択します。FOSR の選択は、オーバーサンプリングを行うすべてのスキャンに適用されます。</p> <p>000 = ADC のみのスキャン 001 = ADC + COMP スキャン（ピラミッドのみ） 010 = COMP のみのスキャン（ピラミッドのみ） 011 = オンデマンド・キャリブレーション 100 = バランシング・スイッチ・ショート 101 = バランシング・スイッチ・オープン 110 = セル検出オープン、奇数 111 = セル検出オープン、偶数</p> <p>これらの選択のいくつかは他のレジスタの内容によってフォーマットされ、いくつかは他のレジスタの内容を一時的に変更／オーバーライドします。詳細についてはレジスタの説明を参照してください。</p> <p>COMP スキャンについては常にユニポーラがデフォルトで、バイポーラ・モードで要求されたセル測定はスキップされます。</p> <p>オンデマンド・キャリブレーションは、CALOSADC、CALOSR、CALOSTHRM、CALGAINP、および CALGAINR 補正係数の内容を更新する自動化ルーチンを実行します。この動作中に他の測定は行われません。</p> <p>注： 自動セル・バランシング・モードで行われる測定スキャンでは、このビットフィールドは無視されます（SCANCFG = 000 を使用）。</p>

ビットフィールド	ビット	説明
OVSAMPL	5:3	<p>ADC アキュイジション用オーバーサンプリングの選択</p> <p>000 = シングル・アキュイジション</p> <p>001 = 4xオーバーサンプリング</p> <p>010 = 8xオーバーサンプリング</p> <p>011 = 16xオーバーサンプリング</p> <p>100 = 32xオーバーサンプリング</p> <p>101 = 64xオーバーサンプリング</p> <p>11x = 128xオーバーサンプリング</p> <p>注： このビットフィールドはキャリブレーション・スキャン時（SCANCFG = 011）には無視されます。</p> <p>自動セル・バランシング・モードで行われる測定スキャンでは、このビットフィールドは無視されず（OVSAMPL = 011 を使用）。</p>
ALTMUXSEL	2	<p>セル測定パスの選択</p> <p>0 = HVMUX シグナル・パス（デフォルト）</p> <p>1 = ALTMUX シグナル・パス（デフォルト）</p> <p>診断のセクションを参照してください。</p> <p>注： ALTMUX の設定が SCANCFG（BALSWDIAG）と異なる場合は、SCANCFG が優先されます。</p>
SCANMODE	1	<p>ADC スキャン・モードの選択</p> <p>0 = ピラミッド・スキャン・モード（デフォルト）</p> <p>1 = ランプ・スキャン・モード</p> <p>コンパレータまたはキャリブレーション・スキャン要求を使用するスキャンでは、ランプ・スキャン・モードはサポートされていません。これらのスキャンでは、この設定は無視されます。</p> <p>注： 自動セル・バランシング・モードで行われる測定スキャンでは、このビットは無視されます（SCANMODE = 0 を使用）。</p>
SCAN	0	<p>スキャン（測定シーケンス）の要求</p> <p>0 - 測定シーケンスを開始せずにデータ転送を開始したり、測定条件をセットアップしたりするために使用します</p> <p>1 - 新しい測定シーケンス（スキャン）を要求してデータ転送を開始するために使用します</p> <p>ストローブ・ビットとして動作するので、クリアする必要はありません（自動クリア）。常にロジック 0 を読み出します。既にスキャンが進行中の場合、または SCANDONE がハイの場合は、SCANCTRL に SCAN = 1 を書き込んで新しいスキャンを要求しても無視されます。この場合、SCANCTRL[15:1]に書き込まれる内容は受け入れられますが競合するスキャンは実行されず、ALRTRJCT が発行されてユーザに競合状態であることを知らせます。</p> <p>注： このビットは、SCANCFG を使用して BALSWDIAG モードを開始／終了させ、（その後に SCANCTRL に SCAN = 1 を書き込んで）測定を要求する前に他の諸状態を安定させられるようにすることを目的としています。</p> <p>このビットは、様々なデータ移動オプションを実現したり（詳細は DBLBUFEN と RDFILT を参照）、測定シーケンス／スキャンを要求することなく SCANDONE ビット、SCANTIMEOUT ビット、および DATARDY ビットをクリアしたりするために使用することもできます。</p>

ADCTEST1AREG (0x67)

ADCTEST1A は読み出しアクセスと書き込みアクセスが可能なレジスタで、ALU 診断に使用するユーザ指定指数を格納します。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	ADCTSTEN	–	–	–	ADCTEST1A[11:8]			
Reset	0b0	–	–	–	0x000			
Access Type	Write, Read	–	–	–	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	ADCTEST1A[7:0]							
Reset	0x000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ADCTSTEN	15	<p>ADC/ALU セルフ・テスト・モードのイネーブル</p> <p>0 = 通常動作（デフォルト）</p> <p>1 = ALU テスト・モードをイネーブル</p> <p>このモードは、ADC 変換データではなく ADCTEST レジスタの 12 ビット・データを ALU に直接入力します。その後にスキャンを実行して、ALU とキャリブレーション MAC の正しい動作を確認できます。</p> <p>注：</p> <p>確定的な結果が得られるように（ゲイン = 1.0、オフセット = 0.0）、キャリブレーション係数は使われません。</p> <p>オンデマンド・キャリブレーション・スキャン（SCANCFG = 011）ではミスキャリブレーションを避けるために ADCTESTEN は無視され、バランスング結果が不正確になるのを避けるためにすべてのスキャンが自動セル・バランスング・モードで行われます。</p>
ADCTEST1A	11:0	<p>ALU ADC 入力引数 1A</p> <p>ALU 診断のためのユーザ指定テスト・データ（ADCTESTEN = 1）。この 12 ビット・データは、奇数番号サンプル（例えば最初のサンプル）の最初の変換時に ALU に入力されます。</p>

ADCTEST1BREG (0x68)

ADCTEST1B は読み出しアクセスと書き込みアクセスが可能なレジスタで、ALU 診断に使用するユーザ指定引数を格納します。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	ADCTEST1B[11:8]			
Reset	–	–	–	–	0x000			
Access Type	–	–	–	–	Write, Read			

BIT	7	6	5	4	3	2	1	0
Field	ADCTEST1B[7:0]							
Reset	0x000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ADCTEST1B	11:0	ALU ADC 入力引数 1B ALU 診断のためのユーザ指定テスト・データ（ADCTEST = 1）。この 12 ビット・データは、奇数番号サンプル（例えば最初のサンプル）の 2 番目の変換時に ALU に入力されます。

ADCTEST2AREG (0x69)

ADCTEST2A は読出しアクセスと書込みアクセスが可能なレジスタで、ALU 診断に使用するユーザ指定引数を格納します。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	ADCTEST2A[11:8]			
Reset	–	–	–	–	0x000			
Access Type	–	–	–	–	Write, Read			

BIT	7	6	5	4	3	2	1	0
Field	ADCTEST2A[7:0]							
Reset	0x000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ADCTEST2A	11:0	ALU ADC 入力引数 2A ALU 診断のためのユーザ指定テスト・データ（ADCTEST = 1）。この 12 ビット・データは、オーバーサンプリング・モードにおける偶数番号サンプルの最初の変換時に ALU に入力されます。

ADCTEST2BREG (0x6A)

ADCTEST2B は読出しアクセスと書込みアクセスが可能なレジスタで、ALU 診断に使用するユーザ指定引数を格納します。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	ADCTEST2B[11:8]			
Reset	—	—	—	—	0x000			
Access Type	—	—	—	—	Write, Read			
BIT	7	6	5	4	3	2	1	0
Field	ADCTEST2B[7:0]							
Reset	0x000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ADCTEST2B	11:0	ALU ADC 入力引数 2B ALU 診断のためのユーザ指定テスト・データ（ADCTEST = 1）。この 12 ビット・データは、オーバーサンプリング・モードにおける偶数番号サンプルの 2 番目の変換時に ALU に入力されます。

DIAGCFG (0x6B)

DIAGCFG は読出しアクセスと書き込みアクセスが可能なレジスタで、内部測定アキュイジション（スキャン）に適用される診断ソースとモードのオプションを制御します。

BIT	15	14	13	12	11	10	9	8
Field	CTSTDAC[3:0]				CTSTSRC	MUXDIAGBUS	MUXDIAGPAIR	MUXDIAGEN
Reset	0x0				0b0	0b0	0b0	0b0
Access Type	Write, Read				Write, Read	Write, Read	Write, Read	Write, Read
BIT	7	6	5	4	3	2	1	0
Field	DIAGSEL2[3:0]				DIAGSEL1[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明																											
CTSTDAC	15:12	<p>イネーブルされたすべてのテスト・ソースの電流レベル設定で、下の表によります (Cn、AUXIN については 6.25μA LSB、HVMUX については 3.125μA LSB)</p> <table> <tr> <th>CTSTDAC</th><th>TEST SOURCE</th><th>CURRENT</th></tr> <tr> <td>[3:0]</td><td>Cn, AUXIN</td><td>HVMUX</td></tr> <tr> <td>0x0</td><td>6.25μA</td><td>3.125μA</td></tr> <tr> <td>0x1</td><td>12.50μA</td><td>6.250μA</td></tr> <tr> <td>0x2</td><td>18.75μA</td><td>9.375μA</td></tr> <tr> <td>...</td><td>...</td><td>...</td></tr> <tr> <td>0xD</td><td>87.5μA</td><td>43.75μA</td></tr> <tr> <td>0xE</td><td>93.75μA</td><td>46.875μA</td></tr> <tr> <td>0xF</td><td>100μA</td><td>50μA</td></tr> </table>	CTSTDAC	TEST SOURCE	CURRENT	[3:0]	Cn, AUXIN	HVMUX	0x0	6.25μA	3.125μA	0x1	12.50μA	6.250μA	0x2	18.75μA	9.375μA	0xD	87.5μA	43.75μA	0xE	93.75μA	46.875μA	0xF	100μA	50μA
CTSTDAC	TEST SOURCE	CURRENT																											
[3:0]	Cn, AUXIN	HVMUX																											
0x0	6.25μA	3.125μA																											
0x1	12.50μA	6.250μA																											
0x2	18.75μA	9.375μA																											
...																											
0xD	87.5μA	43.75μA																											
0xE	93.75μA	46.875μA																											
0xF	100μA	50μA																											
CTSTSRC	11	<p>テスト電流ソースの極性 0 = GND へ電流をシンク (デフォルト) 1 = V_{DDL} から電流をソース</p> <p>注: 極性選択は AUX テスト電流ソースだけに適用されます。</p>																											
MUXDIAGBUS	10	<p>MUXDIAGPAIR がイネーブルされている場合は、HVMUX テスト電流ソースを接続する HVMUX 出力を選択します。 0 = 偶数セル、C0、および AGND に使用する出力 1 = 奇数セル、REF、および ALTREF に使用する出力</p>																											
MUXDIAGPAIR	9	<p>MUX 診断バスの設定 0 = 両方の HVMUX テスト電流ソースを両方の HVMUX 出力に接続。(デフォルト) 1 = シングル HVMUX テスト電流ソースを (MUXDIAGBUS で選択した) 一方の HVMUX 出力だけに接続。</p>																											
MUXDIAGEN	8	<p>HVMUX テスト電流ソースのイネーブル 0 = ディスエーブル (デフォルト)。 1 = イネーブル 電流レベルは CSTDAC で設定し、接続は MUXDIAGPAIR と MUXDIAGBUS で設定します。</p>																											
DIAGSEL2	7:4	<p>アキュイジション診断 2 測定の選択 0000 = 診断要求なし 0001 = ダイ温度 (ADC_{IN} = V_{PTAT}、ADC_{REF} = V_{REF}) 0010 = V_{AA} (ADC_{IN} = LSamp を通じた V_{REF}、ADC_{REF} = V_{AA}) 0011 = セル・シグナル・パス ADC フォルト、V_{ALTREF} (ADC_{IN} = V_{ALTREF} (1V)、ADC_{REF} = V_{REF}) 0100 = コンパレータ・セル・シグナル・パス・フォルト (DAC_{CODE} = 0x400 (1/4) で ADC_{IN} = LSamp2 を通じた V_{REF} - V_{DAC}、ADC_{REF} = DAC_{REF} = V_{REF}、バイポーラ・モード) 0101 = セル・キャリブレーション (ADC_{IN} = LSamp を通じた V_{REF}、ADC_{REF} = V_{REF}) SCANMODE の選択に従ってキャリブレーション・ゲインとオフセット係数、およびチョッピングを適用。 0110 = オフセット・キャリブレーション (ADC_{IN} = ショート (ピラミッド) または ADC_{IN} = LSamp を介してショート (ランプ)、ADC_{REF} = V_{REF}、バイポーラ・モード) SCANMODE の選択に従ってキャリブレーション・オフセット係数を適用。 0111 = 3/4 スケール DAC テスト (DAC = 0xC00 ADC_{IN} = V_{DAC}、ADC_{REF} = DAC_{REF} = V_{REF}) 1000 = 1/4 スケール DAC テスト (DAC = 0x3FF ADC_{IN} = V_{DAC}、ADC_{REF} = DAC_{REF} = V_{REF}) 1001 = THRM オフセット・キャリブレーション (ADC_{IN} = ショート、ADC_{REF} = V_{THRM}、バイポーラ・モード)。CALOSTHRM 係数を適用。 1101 = V_{DDL2/3} (ADC_{IN} = LSamp を通じた V_{DDL2/3}、ADC_{REF} = V_{REF})</p> <p>アキュイジションに追加する 2 回目の診断測定を選択し、結果は DIAG2 に保存されます。必要に応じて適切なキャリブレーション (ADCALEN = 0 の場合は工場デフォルト) とチョッピングが行われます。</p> <p>詳細な診断機能 1010 = ゼロスケール ADC テスト (0x0000、ADC_{IN} = -V_{AA}、ADC_{REF} = V_{REF}、バイポーラ・モード)、DIAG を通じてすべての結果を使用可能。 1011 = フルスケール ADC テスト (0x3FFC、ADC_{IN} = V_{AA}、ADC_{REF} = V_{REF}、バイポーラ・モード)、DIAG を通じてすべての結果を使用可能。 1100 = LSAMP オフセット (ADC_{IN} = V_{LSA_0V}、ADC_{REF} = V_{REF}、バイポーラ・モード)</p> <p>通常、詳細診断はアキュイジション終了時に行われ (LSAMP オフセットについては例外で、これは V_{ALTREF} 診断時に行われます)、可否の結果も FMEA2 BIST アラートで知ることができます。ただし、詳細結果の検討が必要と見なされる場合は、上記の各モードを使って DIAG2 レジスタから読み出すことができます。</p>																											

ビットフィールド	ビット	説明
DIAGSEL1	3:0	<p>アキュイジション診断 1 測定を選択</p> <p>0000 = 診断要求なし</p> <p>0001 = ダイ温度 ($ADC_{IN} = V_{PTAT}$、$ADC_{REF} = V_{REF}$)</p> <p>0010 = V_{AA} ($ADC_{IN} = LSamp$ を通じた V_{REF}、$ADC_{REF} = V_{AA}$)</p> <p>0011 = セル・シグナル・パス ADC フォルト、V_{ALTREF} ($ADC_{IN} = V_{ALTREF}$ (1V)、$ADC_{REF} = V_{REF}$)</p> <p>0100 = コンパレータ・セル・シグナル・パス・フォルト ($DAC_{CODE} = 0x400$ (1/4) で $ADC_{IN} = LSamp2$ を通じた $V_{REF} - V_{DAC}$、$ADC_{REF} = DAC_{REF} = V_{REF}$、バイポーラ・モード)</p> <p>0101 = セル・キャリブレーション ($ADC_{IN} = LSamp$ を通じた V_{REF}、$ADC_{REF} = V_{REF}$) SCANMODE の選択に従ってキャリブレーション・ゲインとオフセット係数、およびチョッピングを適用。</p> <p>0110 = オフセット・キャリブレーション ($ADC_{IN} = ショート$ (ピラミッド) または $ADC_{IN} = LSamp$ を介してショート (ランプ)、$ADC_{REF} = V_{REF}$、バイポーラ・モード) SCANMODE の選択に従ってキャリブレーション・オフセット係数を適用。</p> <p>0111 = 3/4 スケール DAC テスト ($DAC = 0xC00$ $ADC_{IN} = V_{DAC}$、$ADC_{REF} = DAC_{REF} = V_{REF}$)</p> <p>1000 = 1/4 スケール DAC テスト ($DAC = 0x3FF$ $ADC_{IN} = V_{DAC}$、$ADC_{REF} = DAC_{REF} = V_{REF}$)</p> <p>1001 = THRM オフセット・キャリブレーション ($ADC_{IN} = ショート$、$ADC_{REF} = V_{THRM}$、バイポーラ・モード)。CALOSTHRM 係数を適用。</p> <p>1101 = $V_{DDL2/3}$ ($ADC_{IN} = LSamp$ を通じた $V_{DDL2/3}$、$ADC_{REF} = V_{REF}$)</p> <p>アキュイジションに追加する最初の診断測定を選択します。結果は DIAG1 に保存されます。必要に応じて適切なキャリブレーション ($ADCALEN = 0$ の場合は工場デフォルト) とチョッピングが行われます。</p> <p>詳細な診断機能</p> <p>1010 = ゼロスケール ADC テスト ($0x0000$、$ADC_{IN} = -V_{AA}$、$ADC_{REF} = V_{REF}$、バイポーラ・モード)、DIAG を通じてすべての結果を使用可能。</p> <p>1011 = フルスケール ADC テスト ($0x3FFC$、$ADC_{IN} = V_{AA}$、$ADC_{REF} = V_{REF}$、バイポーラ・モード)、DIAG を通じてすべての結果を使用可能。</p> <p>1100 = LSAMP オフセット ($ADC_{IN} = V_{LSA_{OV}}$、$ADC_{REF} = V_{REF}$、バイポーラ・モード)</p> <p>通常、詳細診断はアキュイジション終了時に行われ (LSAMP オフセットについては例外で、これは V_{ALTREF} 診断時に行われます)、合否の結果も FMEA2 BIST アラートで知ることができます。ただし、詳細結果の検討が必要と見なされる場合は、上記の各モードを使って DIAG1 レジスタから読み出すことができます。</p>

CTSTCFG (0x6C)

CTSTCFG は読出しアクセスと書き込みアクセスが可能なレジスタで、選択したセル入力チャンネルへの診断電流ソースの適用を制御します。

BIT	15	14	13	12	11	10	9	8
Field	CELLOPNDIAGSEL	CTSTEN[14:8]						
Reset	0b0	0b0000000000000000						
Access Type	Write, Read	Write, Read						
BIT	7	6	5	4	3	2	1	0
Field	CTSTEN[7:0]							
Reset	0b0000000000000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
CELLOPNDIAGSEL	15	<p>セル・オープン診断モードの選択</p> <p>0 - 通常動作（デフォルト）</p> <p>1 - オープン診断動作</p> <p>通常モード（0）では CELLEN によって測定 CELLn チャンネルが選択され、ADC およびコンパレータ両方のアキュイジション・シーケンスで、標準閾値を使いチャンネルごとに測定が行われます。</p> <p>オープン診断モード（1）で測定される CELLn チャンネルは、チャンネルごとに (CELLENn & !POLARITYn) を適用することによって選択されます。ローサイド・コンパレータ・チェックだけを行う場合は、別のオープン（OPN）閾値を使用します。</p> <p>通常、オープン診断モードでは CTSTEN を使ってすべての測定チャンネルのプルダウン電流ソースがイネーブルされ、コンパレータ測定だけが選択されます（SCANCFG = 010）。</p> <p>ほとんどの場合、このモードは該当する補助オープン診断モード（AUXDIAGSEL = 010 または 011）で使われます。</p>

ビットフィールド	ビット	説明
CTSTEN	14:0	セル診断電流ソースのイネーブル 対応する診断テスト用セル入力に接続する電流ソースをイネーブルします。電流レベルは、DIAGCFG レジスタの CTSTDAC によって設定されます。

AUXTSTCFG (0x6D)

AUXTSTCFG は読み出しアクセスと書き込みアクセスが可能なレジスタで、選択した補助入力チャンネルへの診断モードと電流ソースの適用を制御します。

BITS	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BITS	7	6	5	4	3	2	1	0
Field	—	—	AUXTSTEN[5:4]		AUXTSTEN[3:0]			
Reset	—	—	0b00		0x0			
Access Type	—	—	Write, Read, Ext		Write, Read, Ext			

ビットフィールド	ビット	説明
AUXTSTEN	5:4	補助診断電流ソースのイネーブル 対応する診断テスト用補助入力に接続する電流ソースをイネーブルします。電流レベルは DIAGCFG:CTSTDAC で設定し、電流方向は DIAGCFG:CTSTSRC で設定します。 注：それぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされます。
AUXTSTEN	3:0	補助診断電流ソースのイネーブル 対応する診断テスト用補助入力に接続する電流ソースをイネーブルします。電流レベルは DIAGCFG:CTSTDAC で設定し、電流方向は DIAGCFG:CTSTSRC で設定します。 注：I2CEN ビット（デジタル I ² C モード、[1:0]だけに適用）またはそれぞれの GPIOEN ビットをセットすると（GPIO モード）、このビットは無視されますがユーザ設定はリード・バックされま

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

DIAGGENCFG (0x6E)

DIAGGENCFG は読出しアクセスと書き込みアクセスが可能なレジスタで、選択した入力パスへの全般的診断モードの適用を制御します。

BIT	15	14	13	12	11	10	9	8
Field	AUXDIAGSEL[2:0]			–	–	–	–	–
Reset	0b000			–	–	–	–	–
Access Type	Write, Read			–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明
AUXDIAGSEL	15:13	AUX 診断モードの選択 00x - 通常動作（デフォルト） 010 - AUX 加速放電動作（レシオメトリックのみ） 011 - THRM 出力を AGND に接続 1xx - アナログ・デバイセズ専用に予約済み AUXINn ピンの診断テストに使用する制御ビットです。AUXINn 入力として設定されたポートだけをテストします。

BALSWCTRL (0x6F)

BALSWCTRL は読出しアクセスと書き込みアクセスが可能なレジスタで、マニュアルおよび自動セル・バランスング・モードでの放電バランスング・スイッチの動作を制御します。

自動セル・バランスング動作中（CBMODE = 001、1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	CBRESTART	—	BALSWEN[14:9]					
Reset	0b0	—	0b0000000000000000					
Access Type	Write, Read, Pulse	—	Write, Read, Ext					
BIT	7	6	5	4	3	2	1	0

Field	BALSWEN[8:1]
Reset	0b0000000000000000
Access Type	Write, Read, Ext

ビットフィールド	ビット	説明
CBRESTART	15	マニュアル・モードのウォッチドッグ・タイマー再開 0 - CBTIMER が動作を続けます。 1 - CBTIMER がゼロにリセットされます。 ストローブ・ビットとして動作するので、クリアする必要はありません。常にロジック 0 を読み出します。 マニュアル・モードでのみアクセスと適用が可能です。 セル・バランシング・タイマーが終了してから CBRESTART に 1 を書き込んでも効果はありません。もう 1 つのセル・バランシング・イベントをマニュアル・モードで実行するには、BALCTRL レジスタに別の書込みを行う必要があります。
BALSWEN	13:0	バランス・スイッチのイネーブル BALSWEN[n]は SWn と SWn-1 の間のバランシング・スイッチをイネーブルして（導通できるようにする）、CELLn のバランシングを行います。

BALEXP1 (0x70)

BALEXPn は読み出しアクセスと書込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。

BALEXP1 は、すべてのグループ自動セル・バランシング・モードおよび放電モードの終了時間と、マニュアル・セル・バランシング・モードのウォッチドッグ・タイムアウトを設定します。

すべてのセル・バランシング動作中（CBMODE != 000）、このレジスタへの書込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP1[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP1[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP1	9:0	<p>セル・バランシング終了時間</p> <p>CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。</p> <p>CBEXP1 は、マニュアル、放電、および自動グループのセル・バランシング・モードのコントローラ／ウォッチドッグのタイムアウト設定として使われます。</p> <p>値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。</p>

BALEXP2 (0x71)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP2[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP2[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP2	9:0	<p>セル・バランシング終了時間</p> <p>CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。</p> <p>値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。</p>

BALEXP3 (0x72)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP3[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP3[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP3	9:0	<p>セル・バランシング終了時間</p> <p>CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。</p> <p>値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。</p>

BALEXP4 (0x73)

BALEXPn は読出しアクセスと書込みアクセスが可能なレジスタで、CELLn (SWn と SWn-1 の間のスイッチを使用) のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中 (CBMODE = 1xx) 、このレジスタへの書込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP4[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP4[7:0]							
Reset	0b0000000000							

Access Type	Write, Read, Ext
-------------	------------------

ビットフィールド	ビット	説明
CBEXP4	9:0	セル・バランシング終了時間 CELLnのセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP5 (0x74)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP5[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP5[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP5	9:0	セル・バランシング終了時間 CELLnのセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP6 (0x75)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP6[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP6[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP6	9:0	<p>セル・バランスング終了時間</p> <p>CELLn のセル・バランスング終了時間です。単位 (LSB = 時間、分、または秒) は CBMODE によって決まります。</p> <p>値 0x3FF は期限を設けずにバランスングを行います (タイマーの終了がない)。デフォルト値の 0x000 はセル・バランスングをディスエーブルします (タイマー終了を事前に設定)。</p>

BALEXP7 (0x76)

BALEXPn は読出しアクセスと書き込みアクセスが可能なレジスタで、CELLn (SWn と SWn-1 の間のスイッチを使用) のセル・バランスング終了時間を格納します。個々の自動セル・バランスング・モードだけに使われます。

自動セル・バランスング動作中 (CBMODE = 1xx)、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	CBEXP7[9:8]	
Reset	–	–	–	–	–	–	0b0000000000	
Access Type	–	–	–	–	–	–	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP7[7:0]							
Reset	0b0000000000							

Access Type	Write, Read, Ext
-------------	------------------

ビットフィールド	ビット	説明
CBEXP7	9:0	セル・バランシング終了時間 CELLnのセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP8 (0x77)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP8[9:8]	
Reset	—	—	—	—	—	—	0b00000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP8[7:0]							
Reset	0b00000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP8	9:0	セル・バランシング終了時間 CELLnのセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP9 (0x78)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP9[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP9[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP9	9:0	<p>セル・バランシング終了時間</p> <p>CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。</p> <p>値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。</p>

BALEXP10 (0x79)

BALEXPn は読出しアクセスと書込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	CBEXP10[9:8]	
Reset	–	–	–	–	–	–	0b0000000000	
Access Type	–	–	–	–	–	–	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP10[7:0]							
Reset	0b0000000000							

Access Type	Write, Read, Ext
-------------	------------------

ビットフィールド	ビット	説明
CBEXP10	9:0	セル・バランシング終了時間 CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP11 (0x7A)

BALEXPn は読出しアクセスと書込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP11[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP11[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP11	9:0	セル・バランシング終了時間 CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP12 (0x7B)

BALEXPn は読出しアクセスと書込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書込みアクセスはブロックされます。

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	CBEXP12[9:8]	
Reset	–	–	–	–	–	–	0b0000000000	
Access Type	–	–	–	–	–	–	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP12[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP12	9:0	<p>セル・バランシング終了時間</p> <p>CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。</p> <p>値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。</p>

BALEXP13 (0x7C)

BALEXPn は読出しアクセスと書き込みアクセスが可能なレジスタで、CELLn (SWn と SWn-1 の間のスイッチを使用) のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中 (CBMODE = 1xx)、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP13[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP13[7:0]							
Reset	0b0000000000							

Access Type	Write, Read, Ext
-------------	------------------

ビットフィールド	ビット	説明
CBEXP13	9:0	セル・バランシング終了時間 CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALEXP14 (0x7D)

BALEXPn は読み出しアクセスと書き込みアクセスが可能なレジスタで、CELLn（SWn と SWn-1 の間のスイッチを使用）のセル・バランシング終了時間を格納します。個々の自動セル・バランシング・モードだけに使われます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBEXP14[9:8]	
Reset	—	—	—	—	—	—	0b0000000000	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	CBEXP14[7:0]							
Reset	0b0000000000							
Access Type	Write, Read, Ext							

ビットフィールド	ビット	説明
CBEXP14	9:0	セル・バランシング終了時間 CELLn のセル・バランシング終了時間です。単位（LSB = 時間、分、または秒）は CBMODE によって決まります。 値 0x3FF は期限を設けずにバランシングを行います（タイマーの終了がない）。デフォルト値の 0x000 はセル・バランシングをディスエーブルします（タイマー終了を事前に設定）。

BALAUTOUVTHR (0x7E)

BALAUTOUVTHR は読み出しアクセスと書き込みアクセスが可能なレジスタで、自動セル・バランシング動作で使用した場合の ADC のセル低電圧終了閾値を選択します。

14 チャンネル高電圧
データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

このレジスタに書き込みを行えば、この閾値を直接設定したり自動選択したりすることができます。

自動セル・バランシング動作中（CBMODE = 1xx）、このレジスタへの書き込みアクセスはブロックされます。また、アクティブ測定スキャン中に CBUVMINCELL = 1 で書き込みを行うと、それらの書き込みはすべてブロックされ、ALRTRJCT が発行されます（進行中のスキャンの結果として MINCELL データが変更されることがあるため）。

このレジスタから読出しを行うと、閾値の現在値とその選択に使われた方法が分かります。

BIT	15	14	13	12	11	10	9	8	
Field	CBUVTHR[13:6]								
Reset	0b11111111111111								
Access Type	Write, Read, Ext								
BIT	7	6	5	4	3	2	1	0	
Field	CBUVTHR[5:0]						—	CBUVMINCELL	
Reset	0b11111111111111						—	0b0	
Access Type	Write, Read, Ext						—	Write, Read, Ext	

ビットフィールド	ビット	説明
CBUVTHR	15:2	セル・バランシング低電圧閾値 これは入力範囲 5V の 14 ビット ADC 閾値で、この値を下回ると各セルのセル・バランシング動作が中断されます。 デフォルトの 0x3FFF では、事前に設定をしない限りセル・バランシングは行われません。
CBUVMINCELL	0	セル・バランシング低電圧閾値の選択 0 = ユーザが定義する CBUVTHR 1 = MINCELL で定義する CBUVTHR モード 0 では、BALAUTOUVTHR への有効書き込み時に CBUVTHR に書き込まれた値が、CBUVTHR にロードされます。 モード 1 では、BALAUTOUVTHR への有効書き込み時に、MINCELL アドレスに対応する CELLn レジスタ内の現在値が CBUVTHR に自動的にロードされます（書き込み時の CBUVTHR の内容は無視されます）。 注：CBUVTHR のチェックを行う自動セル・バランシングは、ユニポーラ・セル測定でのみサポートされています。MINMAXPOL = 1 のときに CBUVMINCELL = 1 が書き込まれると、結果として CBUVTHR が 0x3FFFh に設定されます。

BALDLYCTRL (0x7F)

BALDLYCTRL は読み出しアクセスと書き込みアクセスが可能なレジスタで、自動セル・バランシング動作で使用する遅延／タイミング間隔を選択します。

自動セル・バランシング動作中 (CBMODE = 001、1xx)、このレジスタへの書き込みアクセスはブロックされます。

BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	CBNTFYCFG[1:0]	
Reset	—	—	—	—	—	—	0b00	
Access Type	—	—	—	—	—	—	Write, Read, Ext	
BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	CBCALDLY[2:0]		
Reset	—	—	—	—	—	0b000		
Access Type	—	—	—	—	—	Write, Read, Ext		

ビットフィールド	ビット	説明
CBNTFYCFG	9:8	<p>セル・バランシング通知アラートの設定</p> <p>00 = セル・バランシング通知アラートをディスエーブル (デフォルト)</p> <p>01 = 1 時間ごとに通知を発行</p> <p>10 = 2 時間ごとに通知を発行</p> <p>11 = 4 時間ごとに通知を発行</p> <p>自動モードと放電モードでは、セル・バランシング通知アラート (ALRTCNTFY) を発行して、自動動作が正常に進捗していることを確認できます。発行頻度は上に示すようにリアルタイムで選択されます (つまり CBDUTY で調整した値ではない)。HOLDSDHNL の間は引き続き通知アラートが発行されます。</p>
CBCALDLY	2:0	<p>セル・バランシング・キャリブレーション周期の選択</p> <p>自動モードと放電モードでは、偶数／奇数セル・バランシング期間の各ペアの後に、管理用の ADC 測定 (および CBUVTHR 閾値がイネーブルされている場合や使用できる場合はこの閾値によるチェック) が行われます。</p> <p>CBCALDLY を使用すると、下に示す頻度で測定動作をキャリブレーション動作に置き換えることができます。値を 000 (デフォルト) にすると CAL 動作がディスエーブルされます (ADC 動作だけが行われる)。</p> <p>000 - 周期的キャリブレーションをディスエーブル</p> <p>001 - 2 サイクル (1 サイクルおき)</p> <p>010 - 4 サイクル (3 サイクルおき)</p> <p>011 - 8 サイクル</p> <p>100 - 12 サイクル</p> <p>101 - 16 サイクル</p> <p>110 - 24 サイクル</p> <p>111 - 32 サイクル</p> <p>CBMEASEN = 0x (ADC/CAL 測定をディスエーブル) の場合このビットフィールドは無視され、効果はありません。</p>

14 チャンネル高電圧
データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BALCTRL (0x80)

BALCTRL は読み出しアクセスと書き込みアクセスが可能なレジスタで、すべての内部セル・バランシングのモードと動作の初期化と制御を行います。

このレジスタに CBMODE = 000 (ディスエーブル) 以外の値を書き込むと、CBTIMER がゼロから再開されて、要求されたモードの動作が開始されます。

BIT	15	14	13	12	11	10	9	8
Field	CBACTIVE[1:0]		CBMODE[2:0]			CBIIRINIT	HOLDSHDNL[1:0]	
Reset	0b00		0b000			0b0	0b00	
Access Type	Read Only		Write, Read, Ext			Write, Read	Write, Read	
BIT	7	6	5	4	3	2	1	0
Field	CBDUTY[3:0]				CBDONEALRTEN	CBTEMPEN	CBMEASEN[1:0]	
Reset	0x0				0b0	0b0	0b00	
Access Type	Write, Read				Write, Read	Write, Read	Write, Read	

ビットフィールド	ビット	説明
CBACTIVE	15:14	セル・バランシング・タイマーのアクティブ・インジケータ 00 = セル・バランシングはディスエーブル (デフォルト) 01 = セル・バランシング動作がアクティブ 10 = CBUVTHR に達したか CBEXP 終了条件を満たしたことでセル・バランシングが正常に完了 11 = サーマル終了 (ALRTCBCTEMP)、タイムアウト (ALRTCBCTIMEOUT)、またはキャリブレーション・フォルト (ALTCBCAL) の条件によってセル・バランシングが不意に停止 読み出し専用です。
CBMODE	13:11	セル・バランシング・モードの選択 000 = セル・バランシングをディスエーブル (デフォルト) 001 = 時間単位の緊急/EOL 放電 010 = 秒単位のマニュアル・セル・バランシング 011 = 分単位のマニュアル・セル・バランシング 100 = 秒単位の自動個別セル・バランシング 101 = 分単位の自動個別セル・バランシング 110 = 秒単位の自動グループ・セル・バランシング 111 = 分単位の自動グループ・セル・バランシング

ビットフィールド	ビット	説明
CBIIRINIT	10	セル・バランシング IIR 初期化要求 0 = IIR フィルタを継続（デフォルト） 1 = IIR フィルタを初期化 イネーブルすると、最初の測定スキャン時に IIR フィルタの内容が初期化され、IIR がセトリングする時間を確保するために CBUVTHR チェックが 16 測定スキャンにわたって中断されます。
HOLDSHDNL	9:8	SHDNL ホールド・モードのイネーブル 00 = ホールドなし（デフォルト） 01 = 自動セル・バランシングまたは放電動作の実行時は、SHDNL をハイに保持 10 = 自動セル・バランシングまたは放電動作の実行時に加え、更に 5 分間または最大適用 CBEXP 時間の 6.25%（どちらか長い方）の間、SHDNL をハイに保持 11 = 自動セル・バランシングまたは放電動作が完了してその後に削除されるまで、SHDNL をハイに保持
CBDUTY	7:4	セル・バランシング・デューティサイクル それぞれの t_{CBE0} 時間内のアクティブ・デューティサイクルを設定します。 0000 = 6.25%（デフォルト） 0001 = 12.5% ... 1110 = 93.75% 1111 = 100%、NOL と測定／キャリブレーションのオーバーヘッドが小さくなります。
CBDONEALRTEN	3	セル・バランシング完了アラートのイネーブル 0 = STATUS1:ALRTCBAI で ALRTCB DONE をマスク（デフォルト） 1 = STATUS1:ALRTCBAI に ALRTCB DONE を含める このアラート・コンポーネントをマスクすることで、ユーザは、予期せぬ終了だけを通知するか正常終了も含めて通知するかを選択できます。
CBTEMPEN	2	セル・バランシングのサーマル終了のイネーブル 0 = セル・バランシングは ALRTTEMP に影響されません（デフォルト） 1 = ALRTTEMP が発生するとセル・バランシングを停止します
CBMEASEN	1:0	セル・バランシング測定のイネーブル 0x = 組込み ADC/CAL 測定と CBUVTHR チェックをディスエーブル（デフォルト） 10 = 組込み ADC/CAL 測定をイネーブル、CBUVTHR チェックをディスエーブル 11 = 組込み ADC/CAL 測定をイネーブル、CBUVTHR チェックをイネーブル 注： CBUVTHR のチェックを行う自動セル・バランシングは、ユニポーラ・セル測定でのみサポートされています。

BALSTAT (0x81)

BALSTAT は読出しアクセスが可能なレジスタで、現在進行中の自動セル・バランシング動作をモニタすることができます。

CBMODE が開始されるとすべてのステータス・ビットが維持され、CBMODE に 000 が書き込まれる（ディスエーブルされる）か、CBSTART を通じて新しい CBMODE 動作が開始された場合だけクリアされます。

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	CBACTIVE_M1[1:0]		CBUNIT[1:0]		CBCNTR[1:0]		CBTIMER[9:8]	
Reset	0b00		0b00		0b00		0b0000000000	
Access Type	Read Only		Read Only		Read Only		Read Only	
BIT	7	6	5	4	3	2	1	0
Field	CBTIMER[7:0]							
Reset	0b0000000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
CBACTIVE_M1	15:14	<p>セル・バランシング・タイマーのアクティブ・インジケータ（ミラー）</p> <p>00 = セル・バランシングはディスエーブル（デフォルト）</p> <p>01 = セル・バランシング動作がアクティブ</p> <p>10 = CBUVTHR に達したか CBEXP 終了条件を満たしたことでセル・バランシングが正常に完了</p> <p>11 = サーマル終了（ALRTCBCTEMP）、タイムアウト（ALRTCBCTIMEOUT）、またはキャリブレーション・フォルト（ALRTCBCAL）の条件によってセル・バランシングが不意に停止</p> <p>読み出し専用です。</p>
CBUNIT	13:12	<p>セル・バランシング・タイマーの単位インジケータ</p> <p>00 = セル・バランシングはディスエーブル（デフォルト）</p> <p>01 = CBTIMER は秒単位で測定</p> <p>10 = CBTIMER は分単位で測定</p> <p>11 = CBTIMER は時間単位で測定</p> <p>セル・バランシング・タイマーの動作モードを確認できます（LSB 重み付け）。</p> <p>読み出し専用です。</p>
CBCNTR	11:10	<p>セル・バランシング・アクティブ・カウンタ</p> <p>CBTIMER が分モードまたは時間モードで動作しているときに、CBTIMER の動作／アクティビティを確認するために読み出せる 1Hz カウンタです。このカウンタは、すべてのアクティブ・セル・バランシング・モード（CBMODE != 000）で 0 から 3 までカウントして、約 4 秒ごとに 0 にロール・オーバーします。</p> <p>読み出し専用です。</p> <p>注：</p> <p>ホールド SHDNL 延長時間（HOLDSDNL = 1x）中は、CBCNTR が動作を続けます。</p> <p>適用される CBEXP を 0x3FF（無限）に設定すると、このカウンタは動作を継続しますが、アクティブ・セル・バランシング・モードには影響しません。</p>

ビットフィールド	ビット	説明
CBTIMER	9:0	<p>セル・バランシング・タイマーの値</p> <p>CBMODE に応じて現在のセル・バランシング・タイマーの値を秒数、分数、または時間数で読み出します。これは CBUNIT によって示されます。</p> <p>読出し専用です。</p> <p>注：</p> <p>SHDNL ホールド／延長時間中（HOLDSDNL = 1x）、CBTIMER は適用終了時間（CBEXP）をリード・バックして、要求されたバランシング動作が完了したことを示します。</p> <p>適用される CBEXP を 0x3FF（無限）に設定すると、このタイマーは動作を継続してロール・オーバーしますが、アクティブ・セル・バランシング・モードには影響しません。</p>

BALUVSTAT (0x82)

BALUVSTAT は読出しアクセスが可能なレジスタで、セル電圧と CBUVTHR 低電圧閾値の関係についての最新概要情報を格納します。

BIT	15	14	13	12	11	10	9	8
Field	CBACTIVE_M2[1:0]		CBUVSTAT[14:9]					
Reset	0b00		0b0000000000000000					
Access Type	Read Only		Read Only					
BIT	7	6	5	4	3	2	1	0
Field	CBUVSTAT[8:1]							
Reset	0b0000000000000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
CBACTIVE_M2	15:14	<p>セル・バランシング・タイマーのアクティブ・インジケータ（ミラー）</p> <p>00 = セル・バランシングはディスエーブル（デフォルト）</p> <p>01 = セル・バランシング動作がアクティブ</p> <p>10 = CBUVTHR に達したか CBEXP 終了条件を満たしたことでセル・バランシングが正常に完了</p> <p>11 = サーマル終了（ALRTCBCAL）、タイムアウト（ALRTCBCALTIMEOUT）、またはキャリブレーション・フォルト（ALRTCBCAL）の条件によってセル・バランシングが不意に停止</p> <p>読出し専用です。</p>

ビットフィールド	ビット	説明
CBUVSTAT	13:0	<p>セル・バランシング CBUVTHR チェック・ステータス</p> <p>CBUVSTAT[n] = 1 は、対応する CELLn の結果が CBUVTHR によって指定された閾値未満となったこと、およびそのセルに対するセル・バランシング動作が終了したことを示します。</p> <p>CBMODE に 000 が書き込まれる（ディスエーブルされる）か、BALCTRL への書き込みを通じて新しい CBMODE 動作が開始された場合のみクリアされます。</p> <p>読み出し専用です。</p> <p>注： CBUVTHR のチェックを行う自動セル・バランシングは、BALSWENN = 1 の位置におけるユニポーラ・セル測定でのみサポートされています。必要な測定値を更新するには、CELLENn = 1 および POLARITYn = 0 であることを確認する必要があります。この測定がサポートされていない場合は、終了条件 CBUVSTATn = 1 によってセルのバランシングが自動的に終了します。</p>

BALDATA (0x83)

BALDATA は読み出しアクセスが可能なレジスタで、セル電圧と CBUVTHR 低電圧閾値の関係についての最新の概要情報を示します。

BIT	15	14	13	12	11	10	9	8
Field	CBACTIVE_M3[1:0]		DATARDY_M	–	–	–	–	–
Reset	0b00		0b0	–	–	–	–	–
Access Type	Read Only		Write, Read, Ext	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	CBSCAN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read, Pulse

ビットフィールド	ビット	説明
CBACTIVE_M3	15:14	<p>セル・バランシング・タイマーのアクティブ・インジケータ（ミラー）</p> <p>00 = セル・バランシングはディスエーブル（デフォルト）</p> <p>01 = セル・バランシング動作がアクティブ</p> <p>10 = CBUVTHR に達したか CBEXP 終了条件を満たしたことでセル・バランシングが正常に完了</p> <p>11 = サーマル終了（ALRTCTEMP）、タイムアウト（ALRCBTIMEOUT）、またはキャリブレーション・フォルト（ALRCBCAL）の条件によってセル・バランシングが不意に停止</p> <p>読み出し専用です。</p>

ビットフィールド	ビット	説明
DATARDY_M	13	データ・レディ・インジケータ・ビット（ミラー） アキュイジションから得られた測定データがデータ・レジスタに転送され、読み出せる状態になったことを示します。すべての測定レジスタと MIN/MAX/TOTAL のデータは同時に転送されます。 次のデータ転送を検出できるようにするには、ロジック 0 を書き込んでクリアします。ロジック 1 を書き込んでも内部的な効果はありません。 これは SCANCFG の DATARDY ビットのミラーで、自動および放電セル・バランシング・モードで収集された測定結果のリードバックをサポートするために使われます。
CBSCAN	0	測定結果を IIR からデータ・レジスタへマニュアルで転送します 0 = 転送要求なし 1 = （RDFILT 設定に関わらず）IIR からデータ・レジスタへ測定結果を転送し、転送が完了すると DATARDY ビットがセットされます。 ストローブ・ビットとして動作するので、クリアする必要はありません（自動クリア）。このビットは、セル・バランシング・マニュアル・モードやディスエーブル・モードでは効果がありません。 CBMEASEN = 0x の場合も同様です。常にロジック 0 を読み出します。

I2CPNTR (0x84)

I2CPTNR は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラ・トランザクションに使用できる 2 つのポインタ・バイト（レジスタ・アドレス）が格納されます。

I2CSEND が読出しまたは書込みトランザクションを開始すると、そのトランザクション中に I2CPNTR に書込みをしようとしても無視され、I2CRJCT フォルトが発行されます。

BIT	15	14	13	12	11	10	9	8
Field	I2CPBYTE1[7:0]							
Reset	0xFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	I2CPBYTE0[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明
I2CPBYTE1	15:8	I ² C ポインタ・アドレス・バイト 1 これは、I ² C コントローラ・トランザクションに使用できるポインタ（レジスタ）・アドレス・バイト 1 です。
I2CPBYTE0	7:0	I ² C ポインタ・アドレス・バイト 0 これは、I ² C コントローラ・トランザクションに使用できるポインタ（レジスタ）・アドレス・バイト 0 です。

I2CWDATA1 (0x85)

I2CWDATA1 は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラの書込みモード・トランザクションに使用できる上位データ・バイトが格納されます。

I2CSEND が I²C 読出しまたは書込みトランザクションを開始すると、そのトランザクション中に I2CWDATA1 に書込みをしようとしても無視され、I2CRJCT フォルトが発行されます。

BIT	15	14	13	12	11	10	9	8
Field	I2CWBYTE3[7:0]							
Reset	0xFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	I2CWBYTE2[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明
I2CWBYTE3	15:8	I ² C 書込みデータ・バイト 3 これは I ² C コントローラの書込みモード・トランザクションに使用できる 3 番目の（MS）バイトです。
I2CWBYTE2	7:0	I ² C 書込みデータ・バイト 2 これは I ² C コントローラの書込みモード・トランザクションに使用できる 2 番目のバイトです。

I2CWDATA2 (0x86)

I2CWDATA2 は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラの書込みモードトランザクションに使用できる下位データ・バイトが格納されます。

I2CSEND が I²C 読出しまたは書込みトランザクションを開始すると、そのトランザクション中に I2CWDATA2 に書込みをしようとしても無視され、I2CRJCT フォルトが発行されます。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

Field	I2CWBYTE1[7:0]							
Reset	0xFF							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	I2CWBYTE0[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明
I2CWBYTE1	15:8	I ² C 書き込みデータ・バイト 1 これは I ² C コントローラの書き込みモード・トランザクションに使用できる 1 番目のバイトです。
I2CWBYTE0	7:0	I ² C 書き込みデータ・バイト 0 これは I ² C コントローラの書き込みモード・トランザクションに使用できる 0 番目の (LS) バイトです。

I2CRDATA1 (0x87)

I2CRDATA1 は読出しアクセスが可能なレジスタで、I²C コントローラの読出しモード・トランザクション用に受信される上位データ・バイトが格納されます。

注 : I²C 読出しトランザクション時には各バイトの受信／アクノレッジごとにデータが更新されるので、アクティブ I²C 読出しトランザクション中にこのレジスタをリード・バックすると、I2CRJCT フォルトが発行されます。

BIT	15	14	13	12	11	10	9	8
Field	I2CRBYTE3[7:0]							
Reset	0xFF							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I2CRBYTE2[7:0]							
Reset	0xFF							
Access Type	Read Only							

ビットフィールド	ビット	説明
I2CRBYTE3	15:8	I ² C 読出しデータ・バイト 3 これは I ² C コントローラの読出しモード・トランザクションに使用できる 3 番目の (MS) バイト・スペースです。
I2CRBYTE2	7:0	I ² C 読出しデータ・バイト 2 これは I ² C コントローラの読出しモード・トランザクションに使用できる 2 番目のバイト・スペースです。

I2CRDATA2 (0x88)

I2CRDATA2 は読出しアクセスが可能なレジスタで、I²C コントローラの読出しモード・トランザクション用に受信される下位データ・バイトが格納されます。

注 : I²C 読出しトランザクション時には各バイトの受信／アクノレッジごとにデータが更新されるので、アクティブ I²C 読出しトランザクション中にこのレジスタをリード・バックすると、I2CRJCT フォルトが発行されます。

BIT	15	14	13	12	11	10	9	8
Field	I2CRBYTE1[7:0]							
Reset	0xFF							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	I2CRBYTE0[7:0]							
Reset	0xFF							
Access Type	Read Only							

ビットフィールド	ビット	説明
I2CRBYTE1	15:8	I ² C 読出しデータ・バイト 1 これは I ² C コントローラの読出しモード・トランザクションに使用できる 1 番目のバイト・スペースです。
I2CRBYTE0	7:0	I ² C 読出しデータ・バイト 0 これは I ² C コントローラの読出しモード・トランザクションに使用できる 0 番目の (LS) バイト・スペースです。

I2CCFG (0x89)

I2CCFG は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラのモードとトランザクション・フォーマットを設定します。

I2CSEND が読出しまたは書込みトランザクションを開始すると、そのトランザクション中に I2CCFG に書込みをしようとしても無視され、I2CRJCT フォルトが発行されます。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BIT	15	14	13	12	11	10	9	8
Field	I2CFSC	I2CWALT	I2CRFMT	I2C10BIT	I2CPNTRLNGTH	I2CALRTEN	—	—
Reset	0b1	0b0	0b1	0b0	0b0	0b0	—	—
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	I2CANACONTEN	I2CCONTEN	I2CGLITCHEN	I2CNOISEEN	I2CRDTREN	I2CTOEN
Reset	—	—	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	—	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
I2CFSC	15	I ² C コントローラの SCL 速度の選択 0 = $f_{SCL} = 100\text{kHz}$ 1 = $f_{SCL} = 400\text{kHz}$ (デフォルト) このビットは、I2CSEND への書込みに応答して、I ² C コントローラにより開始されるトランザクションに使用する f_{SCL} を決定します。
I2CWALT	14	I ² C コントローラの代替書込みモードの選択 0 = 通常モード (1、2、3、または 4 バイト・データ) 1 = 代替モード (1、2、0、または 4 バイト・データ) このビットは、I2CDATALNGTH 選択ビットを使って書込みモードで使用できるデータ長を決定します。
I2CRFMT	13	I ² C コントローラの読出しフォーマットの選択 0 = 通常フォーマット 1 = 複合フォーマット (デフォルト) このビットは、I2CSEND への書込みに応答して、I ² C コントローラにより開始される読出しモード・トランザクションに使用するフォーマットを決定します (書込みモード・トランザクションには影響しません)。
I2C10BIT	12	I ² C コントローラのアドレスモードの選択 0 = 7 ビット・アドレス指定 (デフォルト) 1 = 10 ビット・アドレス指定 このビットは、I2CSEND への書込みに応答して、I ² C コントローラにより開始されるトランザクションに使用するアドレス・フォーマットを決定します。
I2CPNTRLNGTH	11	I ² C トランザクションのポインタ長の選択 0 = 1 バイト・ポインタ (デフォルト) 1 = 2 バイト・ポインタ これは、要求された I ² C コントローラ・トランザクションに使用するポインタ長です。 1 バイト・ポインタ・モードを使用する場合は (デフォルト、標準)、I2CPNTRSEL を使って両方のポインタ・バイトを I ² C コントローラ・トランザクションに使用することができます (設定時間を最小限に短縮)。
I2CALRTEN	10	I ² C アラートをイネーブル 0 = ALRTI2C レポートをディスエーブル (デフォルト) 1 = ALRTI2C レポートをイネーブル イネーブルした場合、STATUS2:ALRTI2C にはイネーブルした/マスクされていない I ² C フォルト・インジケータ I2CSTAT[8:0]のビット論理和が反映されます。このアラートは、I2CALRTEN = 0 に設定することによってマスクできます。 I2CSTAT がクリアされて新しいフォルトがレポートされていなければ、アラートはクリアされません。

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
I2CANACONTEN	5	<p>I²C バスのアナログ・コンテンション・レポートのイネーブル 0 = バスのコンテンション・モニタリングをマスク（デフォルト） 1 = バスのコンテンション・モニタリングをレポート</p> <p>バス・モニタリングの動作と制限についての詳細な説明は、データシートを参照してください（セットアップおよびホールド・タイミング違反、グリッチ検出、ノイズの取扱いなど）。</p> <p>ゼロを選択してもモニタ回路を作動させて I2CSTAT:I2CCONT で結果をレポートできますが、モニタされた状態が ALRTI2C や I2CSTAT:I2CSTATUS トランザクション・エラー（10）の発行をトリガすることはありません。</p>
I2CCONTEN	4	<p>I²C バスのデジタル・コンテンション・レポートのイネーブル 0 = バスのコンテンション・モニタリングをマスク（デフォルト） 1 = バスのコンテンション・モニタリングをレポート</p> <p>バス・モニタリングの動作と制限についての詳細な説明は、データシートを参照してください（セットアップおよびホールド・タイミング違反、グリッチ検出、ノイズの取扱いなど）。</p> <p>ゼロを選択してもモニタ回路を作動させて I2CSTAT:I2CCONT で結果をレポートできますが、モニタされた状態が ALRTI2C や I2CSTAT:I2CSTATUS トランザクション・エラー（10）の発行をトリガすることはありません。</p>
I2CGLITCHEN	3	<p>I²C バスのグリッチ・レポートのイネーブル 0 = バスのグリッチ・モニタリングをマスク（デフォルト） 1 = バスのグリッチ・モニタリングをレポート</p> <p>バス・モニタリングの動作と制限についての詳細な説明は、データシートを参照してください（セットアップおよびホールド・タイミング違反、グリッチ検出、ノイズの取扱いなど）。</p> <p>ゼロを選択してもモニタ回路を作動させて I2CSTAT:I2CGLITCH で結果をレポートできますが、モニタされた状態が ALRTI2C や I2CSTAT:I2CSTATUS トランザクション・エラー（10）の発行をトリガすることはありません。</p>
I2CNOISEEN	2	<p>I²C バスのノイズ・レポートのイネーブル 0 = バスのノイズ・モニタリングをマスク（デフォルト） 1 = バスのノイズ・モニタリングをレポート</p> <p>バス・モニタリングの動作と制限についての詳細な説明は、データシートを参照してください（セットアップおよびホールド・タイミング違反、グリッチ検出、ノイズの取扱いなど）。</p> <p>ゼロを選択してもモニタ回路を作動させて I2CSTAT:I2CNOISE で結果をレポートできますが、モニタされた状態が ALRTI2C や I2CSTAT:I2CSTATUS トランザクション・エラー（10）の発行をトリガすることはありません。</p>

ビットフィールド	ビット	説明
I2CRDTREN	1	I ² C 冗長読出しチェックのイネーブル 0 = 冗長読出しチェックをディスエーブル（デフォルト） 1 = 冗長読出しチェックをイネーブル 冗長読出しチェックの動作と制限についての詳細な説明は、データシートを参照してください。このビットは、冗長読出しトランザクションと不整合レポートの両方をイネーブルします。
I2CTOEN	0	I ² C タイムアウトのイネーブル 0 = I ² C トランザクション・ウォッチドッグをディスエーブル（デフォルト） 1 = I ² C トランザクション・ウォッチドッグをイネーブル

I2CSTAT (0x8A)

I2CSTAT は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラの現在の状態を示します。

I2CSTATUS ビットはリアルタイムで更新されて、I²C コントローラと要求されたトランザクションの現在の状態を示します。このステータスの内容は書込み動作によってクリアされ、トランザクションの進捗またはその後のトランザクション要求によって変更されます。

2 番目のバイトには I²C フォルト・ビットが格納され、I²C トランザクションでフォルトが確認されたことを示します。これらのビットはフォルト発生時に更新されて、0 を書き込むことによってのみクリアされます。トランザクション異常時は複数のフォルトが発生し得るので、すべてのエラーの発生を確認するために I2CSTATUS が 10（トランザクション・エラー）になるまで待つのが最良の方法です。

望ましいことではありませんが、直前のトランザクションの I²C フォルト・ビットがリードバックされてクリアされる前に新たな I²C トランザクションが要求された場合は、その後のトランザクションが正常に終了してもフォルトの累積履歴がリストされます。

BIT	15	14	13	12	11	10	9	8
Field	I2CSTATUS[1:0]		–	–	–	–	–	I2CRJCT
Reset	0b00		–	–	–	–	–	0b0
Access Type	Write, Read, Ext		–	–	–	–	–	Write, Read, Ext
BIT	7	6	5	4	3	2	1	0
Field	I2CDEVNACK	I2CDATANACK	I2CANACONT	I2CCONT	I2CGLITCH	I2CNOISE	I2CRDTRERR	I2CTIMEOUT
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read	Write 0 to Clear, Read

ビットフィールド	ビット	説明
I2CSTATUS	15:14	<p>I²C ステータス・インジケータ 00 - トランザクションの要求なし（デフォルト） 01 - トランザクションが進行中 10 - トランザクション・エラー 11 - トランザクション完了</p> <p>I2CSTATUS は、I²C コントローラの現在のステータスを示します。</p> <p>これらのステータス・ビットは、0 が書き込まれるか、I2CSEND を使って新しいトランザクションが開始されるとクリアされます。ロジック 1 を書き込んでも効果はありません。</p> <p>特定のクリア／更新動作に注意してください。</p>
I2CRJCT	8	<p>I²C トランザクション拒否エラー・インジケータ 0 = エラーのレポートがない（デフォルト） 1 = I²C 動作が拒否された</p> <p>次の理由によって 1 つまたは複数の I²C コントローラ動作が拒否されたことを示します。すなわち、 1) アクティブ I²C トランザクションの進行中に I2CSEND への書込みによって新しい I²C トランザクションが要求された、2) アクティブ I²C トランザクションの進行中に保護された I²C コントローラ・レジスタに書込みを行おうとした、または 3) アクティブ I²C 読出しトランザクションの進行中に I2CRDATA レジスタからの読出しが要求された。詳細については I²C 制御レジスタの説明を参照してください。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
I2CDEVNACK	7	<p>I²C デバイス ID のノット・アクノレージンジケータ 0 = エラーのレポートがない（デフォルト） 1 = ターゲット・アドレスのアクノレージがない</p> <p>I²C トランザクションのデバイス ID バイトが、ターゲットによりアクノレージされなかったことを示します。これは、ターゲットに不具合があること、またはターゲットがバス上に存在しないことを示します。</p> <p>複合フォーマットの読出しトランザクションの場合、エラーを避けるには両方のターゲット・アドレスのアクノレージ・パルスが必要です。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。ロジック 1 を書き込んでも効果はありません。</p>
I2CDATANACK	6	<p>I²C データのノット・アクノレージ・インジケータ 0 = エラーのレポートがない（デフォルト） 1 = データ・バイトのアクノレージがない</p> <p>1 つまたは複数の I²C トランザクションのデータ・バイト書込みが、ターゲットによりアクノレージされなかったことを示します。これは、ターゲットに不具合が生じている、バス上にターゲットが存在しない、ビジー状態にある、もしくはサポートされていないトランザクションが拒否されたことを示します。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
I2CANACONT	5	<p>I²C バスのアナログ競合エラー 0 = エラーのレポートがない（デフォルト） 1 = I²C バス競合エラーがレポートされた</p> <p>アナログ・バス競合状態が確認されたことを示します。アナログ競合は、サンプリングした SDA 値と I²C コントローラによって得られた値が一致しないとレポートされます。このモニタは、I²C ターゲット・デバイスで通常使われるフィルタ回路をエミュレートして、I²C コントローラによる駆動時にアナログ・フィルタ付き SCL ポートによってサンプリングされるアナログ・フィルタ付き SDA ポートを監視します。</p> <p>読出しモードでターゲットから受信する SDA データは、アナログ・フィルタ付きのバージョンの SDA と SCL を使ってラッチされます。</p> <p>ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
I2CCONT	4	<p>I²C バスのデジタル競合エラー 0 = エラーのレポートがない（デフォルト） 1 = I²C バス競合エラーがレポートされた</p> <p>バス競合状態が確認されたことを示します。デジタル競合は、デジタル・オーバーサンプリングされたポートの結果と I²C コントローラによって得られた値が一致しないとレポートされます。このモニタは、信号をセトリングさせる必要のある時間内に I²C コントローラが駆動する、フィルタなしの SCL ポートと SDA ポートを監視します。デジタル的にオーバーサンプリングを行う競合は、（アナログ・フィルタを採用する）アナログ競合より敏感です。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
I2CGLITCH	3	<p>I²C バスのグリッチ・エラー 0 = エラーのレポートがない（デフォルト） 1 = I²C バス・グリッチ・エラーがレポートされた</p> <p>バスのグリッチ状態が確認されたことを示します。デジタル・オーバーサンプリング・ポート・モニタが、デジタル的に評価されたフィルタ値と一致しないサンプルが 2 つ以上連続したことをレポートすると、グリッチがレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます（I²C 仕様には含まれません）。このモニタは、指定された遷移時間を外れるフィルタなしの SCL ポートと SDA ポートを監視します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>
I2CNOISE	2	<p>I²C バスのノイズ・エラー 0 = エラーのレポートがない（デフォルト） 1 = I²C バス・ノイズ・エラーがレポートされた</p> <p>バスのノイズが多いことを示します。評価済みのフィルタ値と一致しないサンプルが大量に（>25%）生じたことをデジタル・オーバーサンプリング・ポート・モニタがレポートすると、ノイズ状態がレポートされます。この状態は、低速遷移時間、セットアップ時間、またはホールド時間に違反した場合もレポートされます（I²C 仕様には含まれません）。このモニタは、指定された遷移時間を外れるフィルタなしの SCL ポートと SDA ポートを監視します。</p> <p>ロジック 0 を書き込むことによってのみクリアされます。 ロジック 1 を書き込んでも効果はありません。</p>

ビットフィールド	ビット	説明
I2CRDTRERR	1	I ² C 冗長読出しエラー・インジケータ 0 = エラーのレポートがない（デフォルト） 1 = I ² C 冗長読出しエラーがレポートされた I ² C 冗長読出しトランザクション・チェックに不合格となったことを示します。これは、最初の読出しトランザクションでリード・バックされたデータが、2 回目の読出しトランザクションのデータと一致しなかったことを意味します。この機能は I2CRDTREN = 1 の場合のみイネーブルされます。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。
I2CTIMEOUT	0	I ² C タイムアウト・エラー・インジケータ 0 = エラーのレポートがない（デフォルト） 1 = I ² C トランザクション・タイム・アウト 予定された時間内にトランザクションが完了しなかったことを示します。この機能は I2CTOEN = 1 の場合のみイネーブルされます。 ロジック 0 を書き込むことによるのみクリアされます。 ロジック 1 を書き込んでも効果はありません。

I2CSEND (0x8B)

I2CSEND は読出しアクセスと書込みアクセスが可能なレジスタで、I²C コントローラ・トランザクションを設定して開始します。

このレジスタに書込みを行うと、I²C コントローラ・トランザクションが開始されます。同時に複数のトランザクションを実行することはできません。既に進行中のアクティブ I²C トランザクションがある状態で I2CSEND への書込みが行われると、最後のトランザクション要求は無視され、I2CSEND の内容も更新されません。この状態が発生した場合は I2CRJCT フォルトが発行されます。

このレジスタからの読出しは現在の内容をリードバックします。これは、I²C コントローラが受け入れた最後のトランザクション要求を表します。

BIT	15	14	13	12	11	10	9	8
Field	I2CPNTRSEL	I2CDATALNGTH[1:0]		I2CDATASEL[1:0]		I2CDEVIDEXT[2:0]		
Reset	0b0	0b01		0b01		0b000		
Access Type	Write, Read	Write, Read		Write, Read		Write, Read		
BIT	7	6	5	4	3	2	1	0
Field	I2CDEVID[6:0]							I2CRWB
Reset	0b0000000							0b0

Access Type	Write, Read	Write, Read, Ext
-------------	-------------	------------------

ビットフィールド	ビット	説明
I2CPNTRSEL	15	I ² C トランザクション・ポインタの選択 0 - I2CPBYTE0 を使用 1 - I2CPBYTE1 を使用 要求された I ² C コントローラ書き込みモードまたは複合フォーマット読出しモードのトランザクションに使用するポインタ・バイトを選択します。 I2CPNTRLNGTH = 1 (2 バイト・ポインタ・モード) の場合このビットは無視され、両方のバイトが送信されます。
I2CDATALNGTH	14:13	I ² C トランザクションのデータ長 00 - 1 バイトの読出しと書き込み 01 - 2 バイトの読出しと書き込み (デフォルト) 10 - 3 バイトの読出し、3 バイトまたは 0 バイトの書き込み 11 - 4 バイトの読出しと書き込み これは、要求された I ² C コントローラ・トランザクションに使用するデータ長です。 I2CWALT モードになると、書き込みモードの場合だけ 3 バイト・データ長オプションが 0 バイト・データ長オプションに置き換えられます。
I2CDATASEL	12:11	I ² C データ位置の選択 00 - バイト 0 01 - バイト 1 (デフォルト) 10 - バイト 2 11 - バイト 3 書き込みトランザクションで送信されるデータ・バイトの位置と、読出しトランザクション時の保存に使用するデータ・バイトのターゲット位置を選択します。この選択は、トランザクションに使用するデータ・スペースの MSB の位置を示します。使用するバイトの数は I2CDATALNGTH によって設定されます。 いくつかの制限があります。詳細はデータシートを参照してください。
I2CDEVIDEXT	10:8	I ² C デバイス ID エクステンション これは、10 ビット・アドレス・モードで I ² C コントローラ・トランザクションに使用する 3 ビットのデバイス ID エクステンションです (ターゲット・アドレス[9:7])。7 ビット・アドレス・モードではこの内容は無視されます。
I2CDEVID	7:1	I ² C デバイス ID これは、要求された I ² C コントローラ・トランザクションに使用するデバイス ID (ターゲット・アドレス[6:0]) です。
I2CRWB	0	I ² C R/WB コントローラ・トランザクションのタイプ 0 = 書き込みモード・トランザクション (デフォルト) 1 = 読出しモード・トランザクション このビットは、I2CSEND への書き込みに応答して、I ² C コントローラによって開始されるトランザクションのタイプを決定します。

ID1 (0x8C)

ID1 は読出しアクセスが可能なレジスタで、ROM に保存された固有デバイス ID の 2LSB を格納し、ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	DEVID[15:8]							
Reset	0x00							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	DEVID[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
DEVID	15:0	デバイス ID（一部） 工場でプログラムされる 40 ビットのデバイス ID の中の 1LSB。ID1[0]は常にロジック 1 を読み出します。有効なデバイス ID には、ロジック 1 に設定されたビットが 2 つ以上含まれます。 読み出し専用です。

ID2 (0x8D)

ID2 は読み出しアクセスが可能なレジスタで、ROM に保存された固有デバイス ID の 2MSB を格納し、ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	DEVID[31:24]							
Reset	0x00							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	DEVID[23:16]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
DEVID	15:0	デバイス ID（一部） 工場でプログラムされる 40 ビットのデバイス ID 中の 2 バイト。有効なデバイス ID には、ロジック 1 に設定されたビットが 2 つ以上含まれます。 読み出し専用です。

ID3 (0x8E)

ID3 は読み出しアクセスが可能なレジスタで、ROM に保存された固有デバイス ID の MSB と工場出荷時のキャリブレーション・データを格納し、ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP2[7:0]							
Reset	0x00							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	DEVID[39:32]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP2	15:8	工場出荷時のキャリブレーション・データ 読み出し専用です。
DEVID	7:0	デバイス ID（一部） 工場でプログラムされる 40 ビットのデバイス ID の MSB。有効なデバイス ID には、ロジック 1 に設定されたビットが 2 つ以上含まれます。 読み出し専用です。

OTP3REG (0x8F)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP3[15:8]							
Reset	0x0000							
Access Type	Read Only							

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

BIT	7	6	5	4	3	2	1	0
Field	OTP3[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP3	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP4REG (0x90)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP4[1:0]		ALTREF_OTP[13:8]					
Reset	0b00		0b0000000000000000					
Access Type	Read Only		Read Only					

BIT	7	6	5	4	3	2	1	0
Field	ALTREF_OTP[7:0]							
Reset	0b0000000000000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP4	15:14	工場出荷時のキャリブレーション・データ 読出し専用です。
ALTREF_OTP	13:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP5REG (0x91)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
-----	----	----	----	----	----	----	---	---

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

Field	OTP5[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP5[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP5	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP6REG (0x92)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP6[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP6[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP6	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

14 チャンネル高電圧 データ・アキュイジション・システム

ADES1754/ADES1755/ADES1756

OTP7REG (0x93)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP7[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP7[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP7	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP8REG (0x94)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP8[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP8[7:0]							
Reset	0x0000							
Access Type	Read Only							

14 チャンネル高電圧 データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

ビットフィールド	ビット	説明
OTP8	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP9REG (0x95)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP9[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP9[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP9	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP10REG (0x96)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP10[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP10[7:0]							
Reset	0x0000							

14 チャンネル高電圧 データ・アキュジション・システム

ADES1754/ADES1755/ADES1756

Access Type	Read Only
-------------	-----------

ビットフィールド	ビット	説明
OTP10	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP11REG (0x97)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	OTP11[15:8]							
Reset	0x0000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	OTP11[7:0]							
Reset	0x0000							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTP11	15:0	工場出荷時のキャリブレーション・データ 読出し専用です。

OTP12REG (0x98)

工場出荷時のキャリブレーション・データ ROM です。ROMCRC による妥当性確認が行われます。

BIT	15	14	13	12	11	10	9	8
Field	ROMCRC[7:0]							
Reset	0x00							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0

14 チャンネル高電圧
データ・アクイジション・システム

ADES1754/ADES1755/ADES1756

Field	OTP12[7:0]
Reset	0x00
Access Type	Read Only

ビットフィールド	ビット	説明
ROMCRC	15:8	ROM CRC 値 ボードに搭載された読出し専用メモリの内容から計算された 8 ビット CRC 値です。ID および OTP ROM 出力データの内容は、多項式 $0xA6 (x^8 + x^6 + x^3 + x^2 + 1)$ を使用する 8 ビット CRC によって保護されます。 読出し専用です。
OTP12	7:0	工場出荷時のキャリブレーション・データ 読出し専用です。

型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
ADES1754GCB/V+	-40°C to +105°C	64 LQFP
ADES1754GCB/V+T	-40°C to +105°C	64 LQFP
ADES1755GCB/V+	-40°C to +105°C	64 LQFP
ADES1755GCB/V+T	-40°C to +105°C	64 LQFP
ADES1756GCB/V+	-40°C to +105°C	64 LQFP
ADES1756GCB/V+T	-40°C to +105°C	64 LQFP

+は鉛 (Pb) フリー／RoHS 準拠のパッケージであることを示します。

T はテープ&リールを示します。

チップ情報

プロセス : BiCMOS

改訂履歴

版数	改訂日	説明	改訂ページ
0	11/23	初版発行	-



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 23 頁、「フレキシブル・バッテリー・パック設定」の項、上から 5 行目

【誤】

「能動的に制御される SDHNL の前に・・・」

【正】

「能動的に制御される SHDNL の前に・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 35 頁、「パワーオン（スタンバイ・モード）」の項、最初の行

【誤】

「**SHNDL** ピンは、・・・」

【正】

「**SHDNL** ピンは、・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 90 頁、「SHDNL チャージ・ポンプ」の項、最初の行

【誤】

「SHNDL ピンは、・・・」

【正】

「SHDNL ピンは、・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 90 頁、「ADC オーバーサンプリング」の項、上からの 3 行目

【誤】

「・・・2²ⁿ 個以上のオーバーサンプル・・・」

【正】

「・・・2²ⁿ 個以上のオーバーサンプル・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 90 頁、「SHDNL チャージ・ポンプ」の項、最初の行

【誤】

表 53

【正】

図 53

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 91 頁、「コマンド・パケット」の項、最初の行

【誤】

表 54

【正】

図 54

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 98 頁、「WRITEDEVICE コマンド」の項、上から 2 行目

【誤】

図 48

【正】

表 48

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 18 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 18 日

製品名： **ADES1754/ADES1755/ADES1756**

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 103 頁、**DOWNHOST Command** の項、上から 4 行目

【誤】

「DOWNHOST コマンドは、WRITE アクセスをアップ・パス (UARTHOST = 1b1) か
らダウン・パス (UARTHOST = 1b1) へ渡す必要があるときに使用します。」

【正】

「DOWNHOST コマンドは、WRITE アクセスをアップ・パス (UARTHOST = 1b1) か
らダウン・パス (UARTHOST = 0b1) へ渡す必要があるときに使用します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 188 頁、表中ビットフィールド「ALRTSCAN」の説明の欄、下から 2 行目

【誤】

「SCANCTRL:SCANDONE が削除される・・・」

【正】

「SCANCTRL:SCANDONE が削除される・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 193 頁、表中ビットフィールド「ALRTOSC3」の説明の欄、下から 2 行目

【誤】

「LFOSC を基準に測定した場合に、HFOSC の周波数とその予定値の±5%以内に入っていないことを示します。ステータスは 2 サイクルごとに更新されます (LFOSC) 。

及び

「HFOSC が停止したり速度が極端に増加／減少したりした場合は機能しなくなります。」

【正】

「LFOSC を基準に測定した場合に、HFOSC の周波数とその予定値の±5%以内に入っていないことを示します。ステータスは 2 サイクルごとに更新されます (LFOSC) 。

及び

「HFOSC が停止したり速度が極端に増加／減少したりした場合は機能しなくなります。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 6 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 6 月 12 日

製品名： ADES1754 / ADES1755 / ADES1756

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 218 頁、表中ビットフィールド「GPIODRV」の説明の欄 (2 ケ所)

【誤】

「GPIODRV[n]は、対応する AUX/GPIO[n]ピンの出力ロジックのステート方向を設定します。」

【正】

「GPIODRV[n]は、対応する AUX/GPIO[n]ピンの出力ロジックのステートを設定します。」