



シングル・チャンネル、設定可能、 絶縁型デジタル入力

データシート

ADE1201

特長

シングル・チャンネル、設定可能、絶縁型デジタル入力

プログラマブル・トリップ閾値

オンチップのパウンス防止フィルタ

オンチップのデータと電力の絶縁

アプリケーション回路モニタの広い電圧範囲

±10V DC～±300V DC

8Vrms～240Vrms AC

プログラマブル・ウェット電流

パルス電流：最大 205mA

定電流：最大 6.3mA

安全性と規制に対する認定

UL 認定

1 分間で 3750Vrms、UL 1577 規格に準拠

CSA Component Acceptance Notice 5A（申請中）

CSA 61010-1：300Vrms

VDE 適合性認定（申請中）

DIN V VDE V 0884-11（VDE V 0884-11）：2017-1

V_{IORM} = 565Vpeak

堅牢な EMC ソリューションがリレー保護システム・

レベルの条件をサポート

システム診断に ADC サンプルを使用可能

PGA 付き内部 SAR ADC

3.3V 単電源

isoPower 内蔵の絶縁型 DC/DC コンバータ

インターフェース

SPI

DOUT1 出力にはデジタル入力の状態が反映

IRQ 割込みピン

動作温度：-40°C～+125°C

沿面距離 6.8mm の 20 ピン LGA パッケージ

アプリケーション

エネルギー伝導および分配

多機能リレー保護

変電所のバッテリーの監視

ベイまたは変電所インターロック

ユニットの結合

回路ブレーカのステータス表示

リモート・ターミナル・ユニット

ビルディング・オートメーション

概要

ADE1201¹ は、エネルギー伝導および分配アプリケーション向けのシングル・チャンネル、設定可能、絶縁型デジタル入力監視ソリューションです。ADE1201 はシリアル・ポート・インターフェース（SPI）を介して設定され、バイナリ入力または接点入力とも呼ばれるデジタル入力の絶縁型測定を実行します。DOUT1 ピンの ADE1201 デジタル出力信号には、ユーザ設定可能なシグナル・コンディショニングの後、入力信号の状態が反映されます。SPI プロトコルは、最大 8 つのデバイスが 1 つの 4 線式 SPI ポートを共有できるアドレス指定をサポートします。

ADE1201 のアプリケーション回路は、±10V DC～±300V DC または 8Vrms～240Vrms の幅広い入力電圧を受け入れます。プログラマブル・ウェット電流と堅牢なアプリケーション回路により、システム・レベルで厳しい電磁環境適合性（EMC）を満たします。

ADE1201 は isoPower[®] 内蔵の絶縁型 DC/DC コンバータを搭載しており、外部絶縁型電源は不要です。iCoupler[®] チップ・スケール・トランス技術を使って、デジタル入力モニタの高電圧の絶縁側と低電圧の非絶縁側の間のロジック信号を絶縁しています。この技術により、データと電源の絶縁を含む小型設計を実現しています。

内蔵逐次比較レジスタ（SAR）A/D コンバータ（ADC）と 1×～10×のプログラマブル・ゲイン・アンプ（PGA）により、アナログ入力を測定します。SPI ポートを介して ADC 波形を利用したシステム・レベルの診断が可能です。

製品のハイライト

1. シングル・チャンネル、設定可能、絶縁型デジタル入力
2. 単一のハードウェア設計により、24V～300V のシステムをサポート
3. 堅牢なアーキテクチャ
4. システム・レベルの診断が可能

¹米国特許番号 2017/0250043 により保護されています。その他の特許は申請中です。

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	デカップリングとグラウンド・プレーンの接続	29
アプリケーション	1	電磁干渉 (EMI) 抑制コンデンサ	29
概要	1	アプリケーション情報	30
製品のハイライト	1	レジスタ・マップ	31
改訂履歴	2	レジスタの詳細	32
機能ブロック図	3	ロック・レジスタ	32
仕様	4	コントロール・レジスタ	32
電気的特性	4	バイナリ・チャンネル・コントロール・レジスタ	33
タイミング特性	6	バイナリ・チャンネル閾値レベル・レジスタ	34
絶縁および安全性関連の仕様	7	WARNA1 チャンネル閾値レベル・レジスタ	34
パッケージ特性	7	WARNB1 チャンネル閾値レベル・レジスタ	34
適用規格	8	WARNC1 チャンネル閾値レベル・レジスタ	34
DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性	9	バイナリ・チャンネル構成レジスタ	35
絶対最大定格	10	WARNA1 データバス構成レジスタ	35
熱抵抗	10	WARNB1 データバス構成レジスタ	35
ESD に関する注意	10	WARNC1 データバス構成レジスタ	35
ピン配置およびピン機能の説明	11	割込みマスク・レジスタ	36
代表的な性能特性	12	割込みステータス・レジスタ	36
テスト回路	15	ステータス・レジスタ	37
動作原理	16	ADC レジスタ	37
電源とコンディショニング	16	ADC デシメーション・レジスタ	37
デジタル入力信号経路	17	プログラマブル負荷コントロール・レジスタ	38
無効モード	20	プログラマブル負荷立上がり閾値レジスタ	38
プログラマブル負荷電流	20	プログラマブル負荷ロー・コード・レジスタ	38
外付け FET の保護	22	プログラマブル負荷ハイ・コード・レジスタ	38
ゲート駆動	23	プログラマブル負荷大電流時間レジスタ	39
サーマル・シャットダウン	24	電力量計コントロール・レジスタ	39
割込み	24	電力量計最大閾値レジスタ	39
SPI プロトコルの概要	24	電力量計チャンネル 1 アキュムレータ・レジスタ	39
構成レジスタの完全性の保護	26	プログラマブル負荷イネーブル・レジスタ	40
バージョン	28	PGA ゲイン・レジスタ	40
絶縁疲労	28	外形寸法	41
レイアウトのガイドライン	29	オーダー・ガイド	41
フェライト・ビーズ	29		

改訂履歴

12/2019–Revision 0: 初版

機能ブロック図

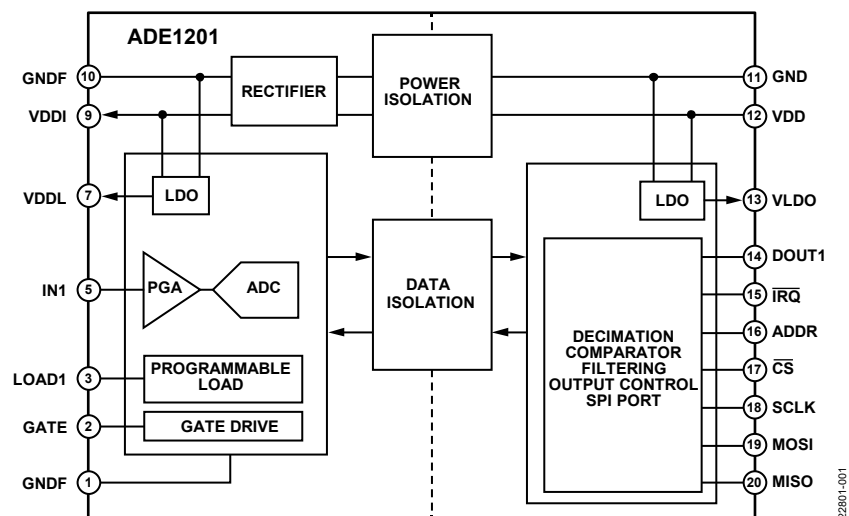


図 1.

仕様

電気的特性

注記がない限り、VDD = 3.3V ± 10%、GND = 0V、内部リファレンス、すべての仕様は T_A = -40°C ~ +125°C で規定します。

表 1. 統計的特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments	
ANALOG INPUT (IN1)							
Input Voltage Range	V _{IN}	0		1.25/PGA	V	PGA = 1, 2, 5, and 10	
Input Sampling Current	I _{INx}	−50		+50	nA	PGA = 1, 2, 5, and 10	
GATE DRIVE (GATE)							
Output Voltage	V _{GATENOM}		7.0		V	V _{GATENOM} = 6.6 V	
Output Current	I _{GATE}			3.5	μA		
PROGRAMABLE LOAD (LOAD1)							
Leakage Resistance			29		kΩ	Programmable load is disabled	
Constant Current						Typical programmable range	
Resolution			6		bits		
Range		0.11		6.4	mA		
Total Unadjusted Error (TUE) ¹		−4.5		+6.1	%FSR		
TUE at 25°C ¹		−1.5		+4.5	%FSR		
Integral Nonlinearity (INL)		−1		+1	LSB		
Differential Nonlinearity (DNL)		−0.5		+0.5	LSB		
Offset		15	20	30	μA		
Gain Error		−7	+1.5	+7.5	%FSR	Measured at Code 63 compared to ideal value of 6.3 mA	
Code 22 ¹		2		2.5	mA	Typical programmable range	
Code 63 ¹		5.8		6.8	mA		
Pulsed Current							
Resolution			10		bits		
Range		0.21		205	mA		
TUE ¹		−4.5		+4.5	%FSR		
TUE at 25°C ¹		−2		+2.5	%FSR		
INL		−5		+9.5	LSB		
DNL		−7.5		+3.4	LSB		
Offset		15	20	40	μA		
Gain Error		−7	+0.2	+6	%FSR		
Code 1023 ¹		190		216	mA		
THERMAL SHUTDOWN							
Threshold ¹	T _{SD}		170		°C	See Thermal Shutdown section Junction temperature	
Hysteresis ¹			25		°C		
ISOLATION COMMON-MODE TRANSIENT IMMUNITY (CMTI)							
Static			50		kV/ μS	Common-mode voltage (V _{CM}) = 2 kV	
ADDR PIN INPUT							
Input High Current	I _{INH}			1	μA		
Input Low Current	I _{INL}			1	μA		
LOGIC INPUTS (MOSI, SCLK, $\overline{\text{CS}}$)							
Input High Voltage	V _{INH}	2.4			V		
Input Low Voltage	V _{INL}			0.8	V		
Input High Current	I _{INH}			1	μA		
Input Low Current	I _{INL}			10	μA		
Input Capacitance ¹	C _{IN}			10	pF		

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUTS (MISO, DOUT1, $\overline{\text{IRQ}}$)						The $\overline{\text{IRQ}}$ pin is open-drain
Output High Voltage	V_{OH}	2.4			V	Source current (I_{SOURCE}) = 3.5 mA
Output Low Voltage	V_{OL}			0.4	V	Sink current (I_{SINK}) = 3.5 mA
POWER SUPPLY						
Operating Voltage Range	V_{DD}	2.97		3.63	V	
Supply Current	I_{DD}	3.3	4.3	6.7	mA	

¹ 設計および特性評価により確保。

表 2. SAR、ADC、および PGA 特性

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SPEED AND PERFORMANCE					
ADC Resolution		8		bits	No missing codes
Throughput		100		kSPS	
SIGNAL-TO-NOISE RATIO (SNR)					
PGA = 1, 2, 5		48		dB	
PGA = 10		46		dB	
DC ACCURACY					
INL		0.25		LSB	
DNL		0.25		LSB	
Gain Error	-2.5		+2.5	%FSR	PGA = 1, 2, 5, 10
Offset Error	-3		+3	LSB	PGA = 1, 2, 5, 10

タイミング特性

表 3. 入力信号のタイミング特性

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Input Signal Filter Resolution ¹		20		μs	
Time Delay from Step Change on IN1 Input to DOUT1 Change State	60	86	110	μs	BIN_FILTER_VAL = 3, with step on IN1 from 0 V to 0.8 V
Power-Up Time		110		ms	With initial VDDI = 0 V, using recommended circuit in Figure 20
ADDR Pin Load Time ¹		320		μs	After power-on (see Figure 22)

¹ 設計により性能を確保。

表 4. プログラマブル負荷スイッチング特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Turn On Rise Time	t_R	2		9	μs	In high idle mode with a 200 mA pulse
Pulsed Current On Time	t_{PK}	4	4.1	4.3	ms	HIGH_TIME = 400
Turn Off Fall Time	t_F			0.025	μs	

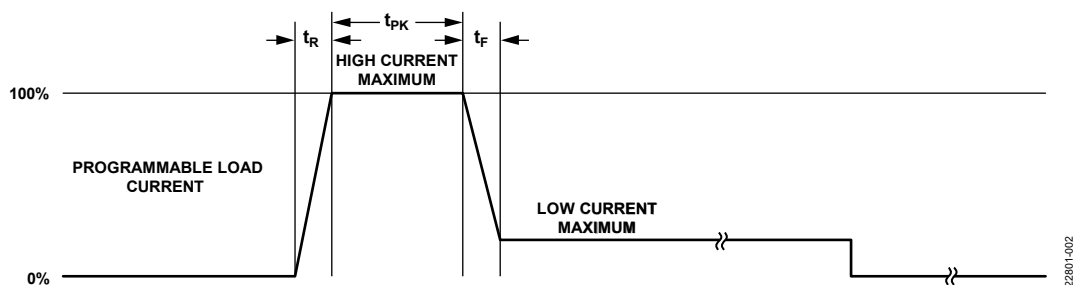


図 2. プログラマブル負荷スイッチング特性

表 5.SPI タイミング・パラメータ

Parameter ¹	Symbol	Min	Typ	Max	Unit
CS to SCLK Negative Edge	t_{SS}	10			ns
SCLK Frequency	f_{SCLK}	0.00025		10	MHz
SCLK Low Pulse Width	t_{SL}	40			ns
SCLK High Pulse Width	t_{SH}	40			ns
Data Output Valid After SCLK Edge	t_{DAV}			40	ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	10			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	10			ns
Data Output Fall Time	t_{DF}			10	ns
Data Output Rise Time	t_{DR}			10	ns
SCLK Rise Time	t_{SR}			10	ns
SCLK Fall Time	t_{SF}			10	ns
MISO Disable After CS Rising Edge	t_{DIS}			100	ns
CS High After SCLK Edge	t_{SFS}	0			ns

¹ 設計および特性評価により確保。

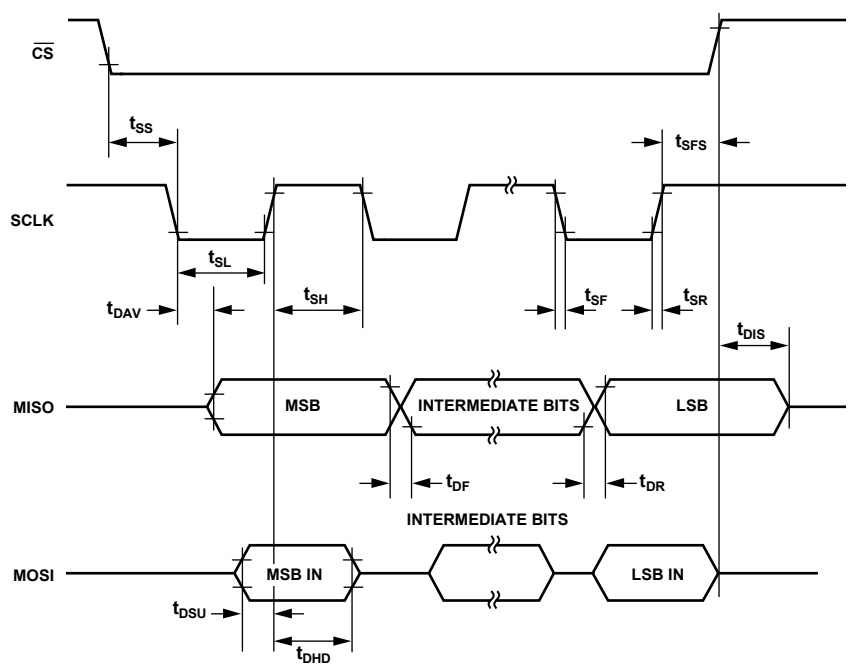


図 3. SPI タイミング

絶縁および安全性関連の仕様

詳細については www.analog.com/jp/icouplersafety を参照してください。

表 6.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3750	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L (I01)	6.8	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	6.8	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB)	L (PCB)	6.8	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		21	μm min	Minimum distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 7.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		1.25		pF	f = 1 MHz

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、1 番ピン～10 番ピンを相互に接続し、11 番ピン～20 番ピンを相互に接続します。

適用規格

ADE1201 は、表 8 に記載された組織による認定を申請中です。

表 8. 認定

UL	CSA (Pending)	VDE (Pending)
Recognized Under UL 1577 Component Recognition Program ¹ Single Protection, 3750 V rms Isolation Voltage File E214100	Approved under CSA Component Acceptance Notice 5A CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 640 V rms (904 V peak) Reinforced insulation at 320 V rms (452 V peak) IEC 60601-1 Edition 3.1: 1 means of patient protection (MOPP), 250 V rms (354 V peak) CSA 61010-1-12 and IEC 61010-1 third edition Basic insulation at 300 V rms mains, 640 V rms (904 V peak) Reinforced insulation at 300 V rms mains, 320 V secondary (452 V peak) File 205078	Certified according to DIN V VDE V 0884-11 (VDE V 0884-11):2017-1 ² Reinforced insulation, $V_{IORM} = 565$ V peak, $V_{IOTM} = 8$ kV peak, $V_{IMPULSE} = 8$ kV peak File 2471900-4880-0001

¹ UL 1577 に従い、各製品には 4500Vrms 以上の絶縁試験電圧を 1 秒間加える耐電圧試験を実施しています。

² DIN V VDE V 0884-11 に従い、各製品には 1059V (peak) 以上の絶縁試験電圧を 1 秒間加える耐電圧試験を実施しています。

DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性

このアイソレータは、安全限界データ範囲内の絶縁にのみ適しています。安全性データの維持は、保護回路によって確保する必要があります。

パッケージのアスタリスク (*) は、707V (peak) 動作電圧の VDE 0884 認定を取得済みであることを示しています。

表 9.

説明	記号	テスト条件／コメント	特性	単位
IEC 60664-1 による設置等級			I to IV	
定格主電源電圧 ≤ 150Vrms			I to IV	
定格主電源電圧 ≤ 300Vrms			I to III	
定格主電源電圧 ≤ 600Vrms			40/125/21	
耐候性カテゴリ			2	
DIN VDE 0110, 表 1 による汚染度			565	V peak
最大動作絶縁電圧	V_{IORM}		1060	V peak
入力～出力テスト電圧、メソッド b1	$V_{pd(m)}$	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC		
入力～出力テスト電圧、メソッド A				
環境テスト・サブグループ 1 に従う	$V_{pd(m)}$	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	848	V peak
入力または安全テスト・サブグループ 2 およびサブグループ 3 に従う	$V_{pd(m)}$	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	678	V peak
最大許容過電圧	V_{IOTM}		8000	V peak
インパルス	$V_{IMPULSE}$	1.2 μ s rise time, 50 μ s, 50% fall time in air, to the preferred sequence	8000	V peak
絶縁電圧耐性	V_{ISO}	1 minute withstand rating	3750	V_{RMS}
強化サージ絶縁電圧	V_{IOSM}	$V_{peak} = 1.3 \times V_{IMPULSE}$, 1.2 μ s rise time, 50 μ s, 50% fall time	10400	V peak
安全制限値		Maximum value allowed in the event of a failure (see Figure 4)		
最大周辺温度	T_S		125	°C
25°C での総消費電力 ¹	I_{S1}		0.75	W
T_S における絶縁抵抗	R_S	$V_{IO} = 500$ V	>10 ⁹	Ω

¹ 絶縁の完全性が確保される最大消費電力。

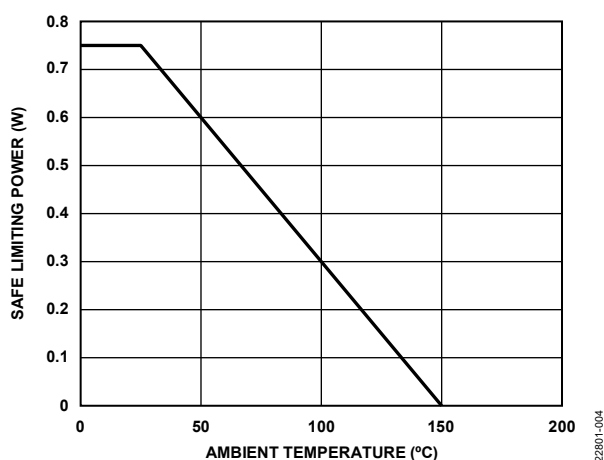


図 4. 熱ディレーティング曲線、DIN V VDE V 0884-11 による安全限界電力の周囲温度への依存性

絶対最大定格

特に指定がない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 10.

Parameter	Rating
VDD to GND	-0.3 V to +3.7 V
IN1 to GNDF	-0.2 V to +2 V
LOAD1 to GNDF	-0.3 V to +7.7 V
GATE to GNDF	-0.3 V to +7.7 V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3 \text{ V}$
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3 \text{ V}$
Operating Temperature	
Industrial Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec) ¹	300°C
Electrostatic Discharge (ESD)	
Human Body Model ²	±5 kV
Field Induced Charged Device Model (FICDM) ³	±1.5 kV

¹ RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを推奨します。この規格の最新バージョンについては、JEDEC にお問い合わせください。

² 適用規格：ANSI/ESDA/JEDEC JS-001-2014。

³ 適用規格：JESD22-C101F (JEDEC の ESD FICDM 規格)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 12. 最大の連続動作電圧¹

Parameter	Max	Unit	Reference Standard ²
AC Voltage			
Bipolar Waveform			
Basic Insulation	636	V peak	Lifetime limited by insulation lifetime per VDE-0884-11
Reinforced Insulation	537	V peak	Lifetime limited by package creepage per IEC 60664-1
Unipolar Waveform			
Basic Insulation	1242	V peak	Lifetime limited by package creepage per IEC 60664-1
Reinforced Insulation	621	V peak	Lifetime limited by package creepage per IEC 60664-1
DC Voltage			
Basic Insulation	760	V peak	Lifetime limited by package creepage per IEC 60664-1
Reinforced Insulation	380	V peak	Lifetime limited by package creepage per IEC 60664-1

¹ 最大の連続動作電圧は、絶縁バリアの両端にかかる連続電圧の大きさを指します。詳細については、絶縁疲労のセクションを参照してください。

² 仕様規定された試験条件での絶縁寿命は 50 年より長くなります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は接合部・周囲の熱抵抗、 θ_{JC} は接合部・ケースの熱抵抗です。 Ψ_{JT} は、ジャンクションから上面への特性評価パラメータです。

表 11. 熱抵抗¹

Package Type	θ_{JA}	θ_{JC}	Ψ_{JT}	Unit
CC-20-5	168	76	12	°C/W

¹ JEDEC 自然対流環境で JEDEC 2s2p サーマル・テスト・ボードを使ってシミュレーションしたデータに基づきます。詳細については、JEDEC 仕様 JESD-51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



図 5. ピン配置

表 13. ピン機能の説明

ピン番号	記号	説明
1	GNDF	1 番ピンに配置される GNDF ピンは、内部プログラマブル負荷からの電流に帰還経路を提供します。1 番ピンと 10 番ピンはいずれも外部でグラウンドに接続します。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。AC または負の DC 入力に加えられ場合は、複数の ADE1201 アプリケーション回路から GNDF ピンを相互接続しないでください。
2	GATE	このピンを使用して、エンハンスメント・モード電界効果トランジスタ (FET) のゲート・ピンを駆動します。
3	LOAD1	プログラマブル負荷。このピンを使用して、リレー接点に負荷をかけるのに必要なプリセット電流を制御します。
4	NIC	内部では未接続。
5	IN1	デジタル入力ピン。スケーリングされた入力信号はこのピンに入力されます。
6, 8	NC	接続なし。これらのピンは内部で接続されています。これらのピンは外部で GNDF に接続することを推奨します。
7	VDDL	アナログ低ドロップアウト (LDO) レギュレータの 1.8V 出力。このピンには外部の負荷回路を接続しないでください。このピンは表 16 に示す推奨コンデンサを使用して GNDF にデカップリングします。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。
9	VDDI	2 次側絶縁電源出力ピン。このピンから 2.0V の内部絶縁電源にアクセスできます。このピンは表 16 に示す推奨コンデンサを使用して GNDF にデカップリングします。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。このピンには外部の負荷回路を接続しないでください。
10	GNDF	10 番ピンに配置される GNDF ピンは、内部絶縁電源と LDO レギュレータのリファレンスとして使用されます。1 番ピンと 10 番ピンはいずれも外部でグラウンドに接続します。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。AC または負の DC 入力に加えられ場合は、複数の ADE1201 アプリケーション回路から GNDF ピンを相互接続しないでください。
11	GND	GND ピン。このピンはシステム・コントローラ側のグラウンド・ピンです。
12	VDD	1 次側電源電圧。このピンは ADE1201 に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3V \pm 10\%$ に維持してください。このピンは表 16 に示す推奨コンデンサを使用して GND ピンにデカップリングします。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。
13	VLDO	LDO レギュレータの 1.8V 出力。このピンは表 16 に示す推奨コンデンサを使用して GND ピンにデカップリングします。このピンの接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。このピンには外部の負荷回路を接続しないでください。
14	DOUT1	デジタル・データ出力ピン。このピンはプッシュ/プル・モードで動作します。このピンは IN1 ピンのデジタル入力信号を複製してロジック・ハイ (V_{OH}) またはロジック・ロー (V_{OL}) に遷移します。
15	\overline{IRQ}	割込みピン。このピンはオープンドレインです。VDD 電源電圧に $10k\Omega$ プルアップ抵抗を接続することを推奨します。
16	ADDR	アドレス・モード・ピン。このピンはマルチチップ・アドレス指定に使用されます。マルチチップ・アドレス指定を使用しない場合は、このピンをグラウンドに接続してください。SPI での ADE1201 のアドレス指定のセクションで説明するように、アドレス分配器には 1% 抵抗が必要です。
17	\overline{CS}	SPI ポート用チップ・セレクト。
18	SCLK	SPI ポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します。
19	MOSI	SPI ポート用データ入力。
20	MISO	SPI ポート用データ出力。

代表的な性能特性

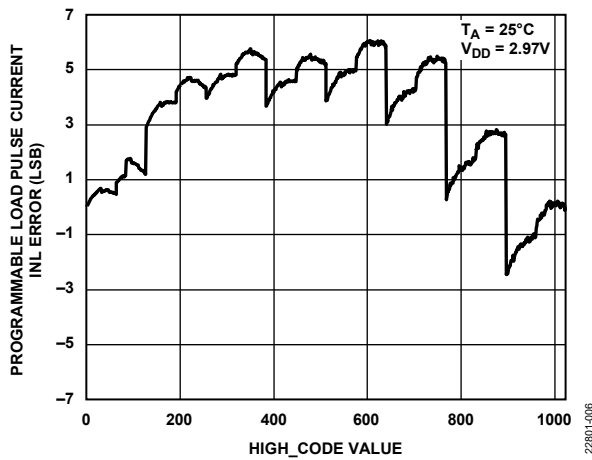


図 6. プログラマブル負荷パルス電流の INL 誤差と HIGH_CODE 値の関係

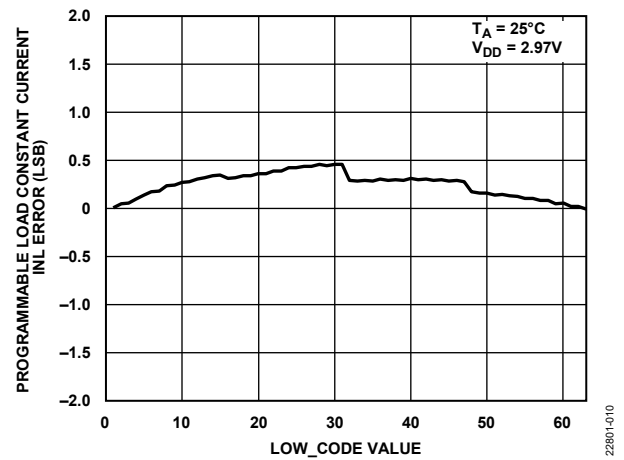


図 9. プログラマブル負荷定電流の INL 誤差と LOW_CODE 値の関係

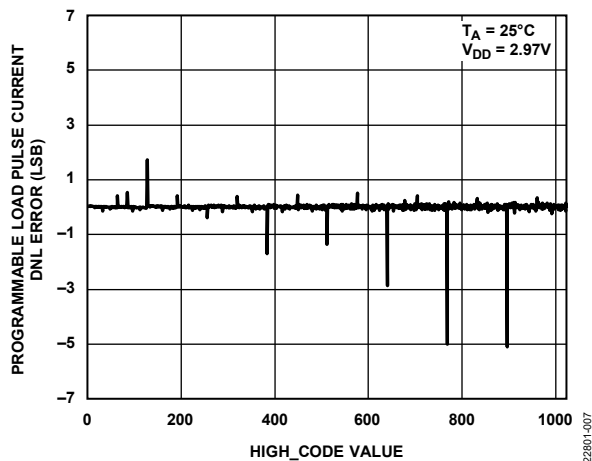


図 7. プログラマブル負荷パルス電流の DNL 誤差と HIGH_CODE 値の関係

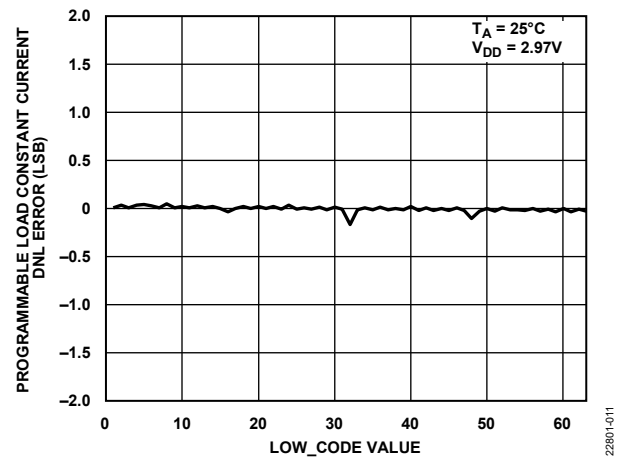


図 10. プログラマブル負荷定電流の DNL 誤差と LOW_CODE 値の関係

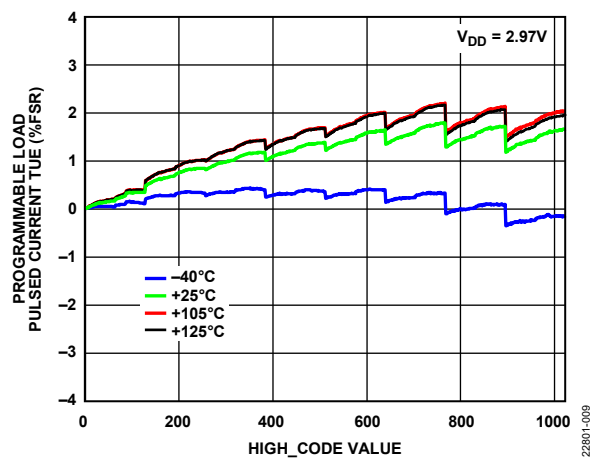


図 8. 様々な温度におけるプログラマブル負荷パルス電流の総合未調整誤差と HIGH_CODE 値の関係

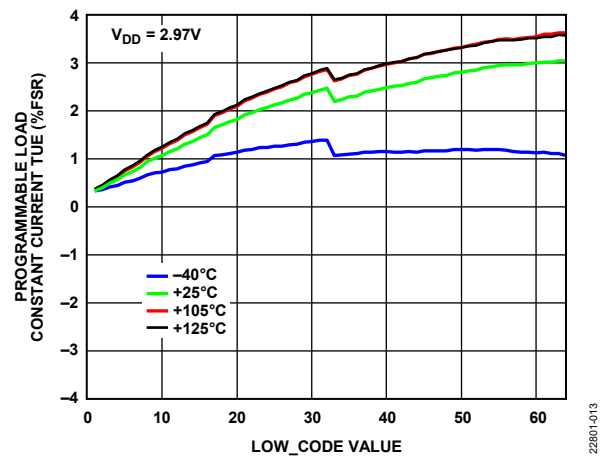


図 11. 様々な温度におけるプログラマブル負荷定電流の総合未調整誤差と LOW_CODE 値の関係

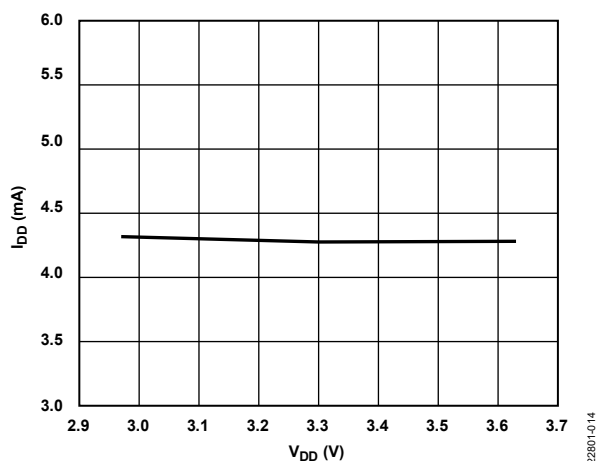


図 12. I_{DD} と V_{DD} の関係

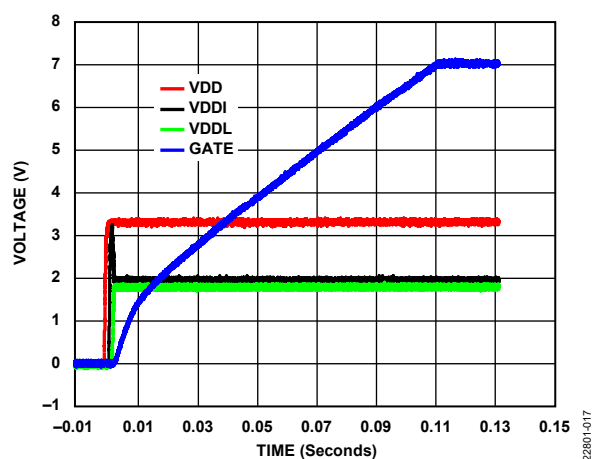


図 15. VDD ピンが非絶縁側で電力供給される場合の絶縁側 (VDDI、VDDL、および GATE ピン) のパワーアップ

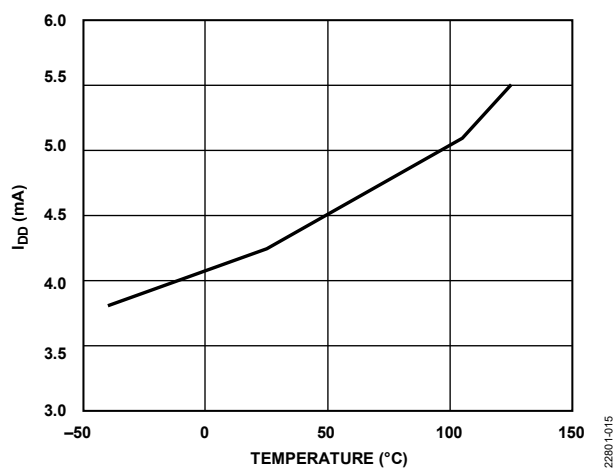


図 13. I_{DD} の温度特性

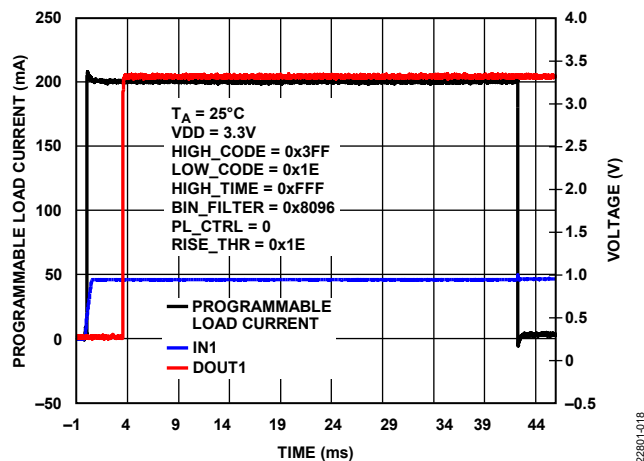


図 16. ロー・アイドル・モードでの標準的な入力信号、デジタル出力信号、およびプログラマブル負荷電流信号 (IN1、DOUT1、およびチャンネル 1 のプログラマブル負荷電流)

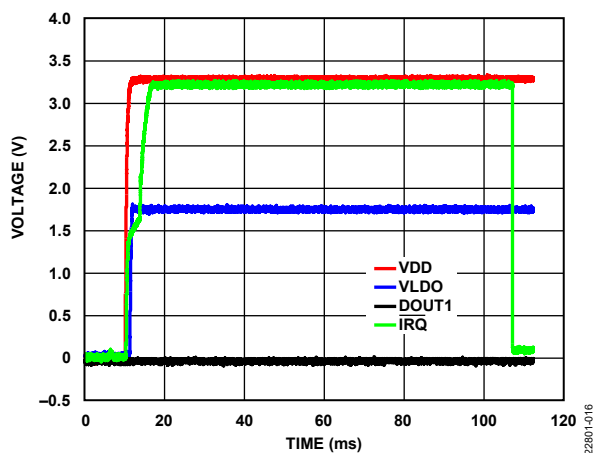


図 14. 非絶縁側 (VDD、VLDO、DOUT1、および \overline{IRQ} ピン) のパワーアップ

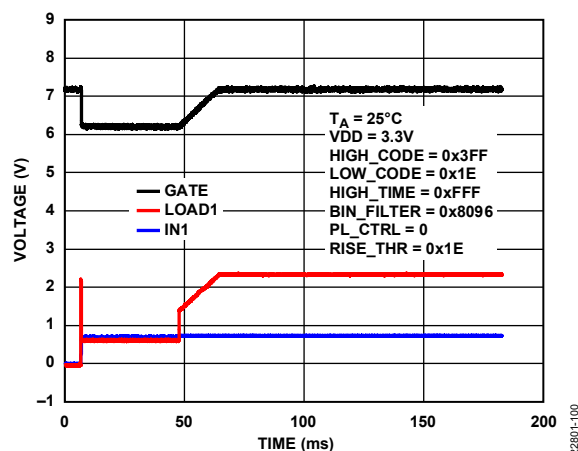


図 17. 外付け FET が導通しているときの標準的な入力信号、ゲート信号、および LOAD1 信号 (IN1、ゲート、LOAD1)

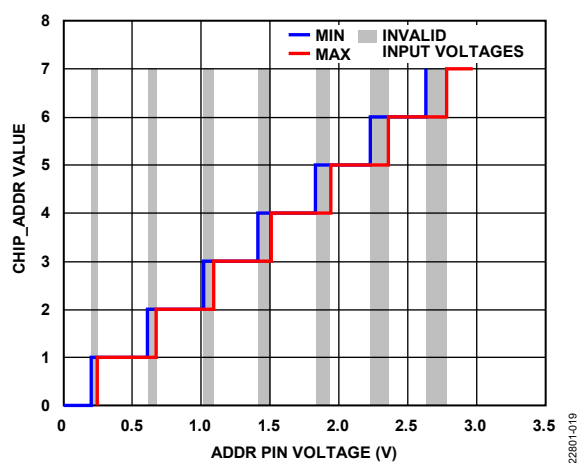


図 18. デコードされた SPI アドレス (CHIP_ADDR) 値と ADDR ピンの電圧の関係

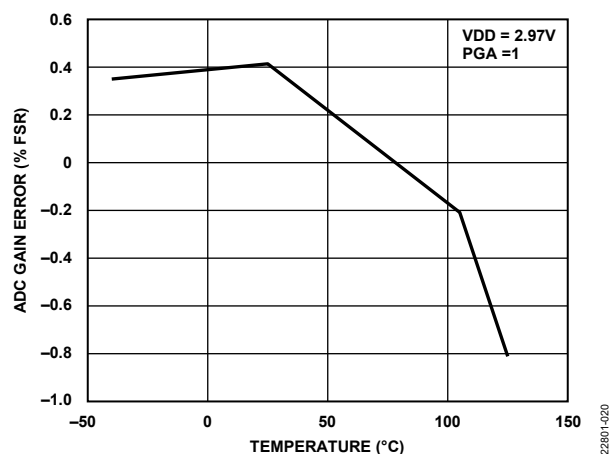


図 19. ADC ゲイン誤差の温度特性

テスト回路

ADE1201 の標準的なアプリケーション回路を図 20 に示します。

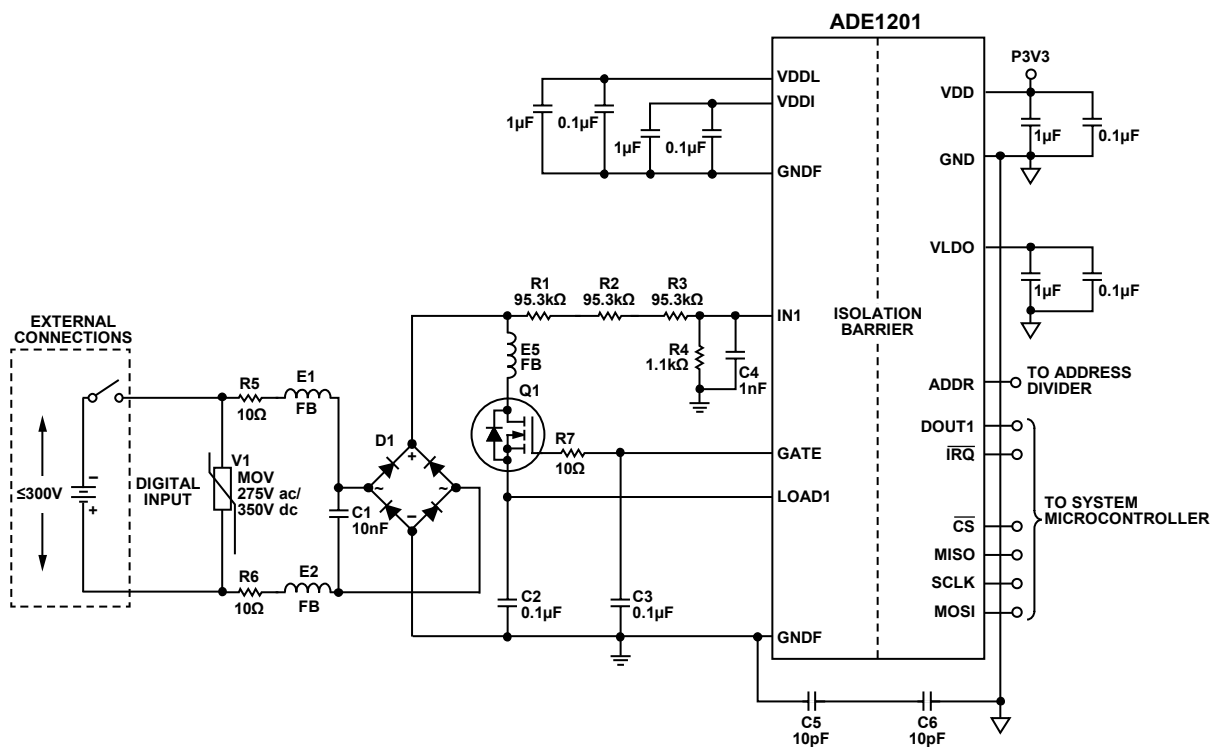


図 20. 代表的なアプリケーション回路

22801-021

動作原理

ADE1201 は、エネルギー伝導および分配アプリケーション向けのシングル・チャンネル、設定可能、絶縁型デジタル入力モニタです。ADE1201 は絶縁側と非絶縁側で構成されます（図 21 を参照）。

ADE1201 への電力供給に必要なのは 3.3V 単電源のみです。絶縁側（VDDI ピンと GNDF ピン）は内部の絶縁型 DC/DC コンバータから電力供給されます。この電力は非絶縁側の VDD ピンと GND ピンから生成されます。isoPower 技術により、外部の絶縁電源は不要です。

デバイスの絶縁側には、PGA、SAR ADC、プログラマブル負荷、ゲート駆動が含まれます。

デジタル・アイソレータを介して、絶縁側は非絶縁側と通信できます。

非絶縁側は、絶縁側から渡される A/D コンバータ（ADC）データのシグナル・コンディショニングを行って、DOUT1 デジタル出力を生成します。このデジタル出力は、絶縁側の IN1 デジタル入力のステータスを反映します。

SPI を使用して、ADE1201 の初期化と、動作中のステータスと ADC 波形の監視を実行できます。

電源とコンディショニング

VDD、VLDO、および GND の各ピン

VDD ピンは 3.3V ロジック・レベル電源に接続します。これらのピンは表 16 に示す推奨コンデンサを使用して GND ピンにデカップリングします。接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。

GNDF ピン

GNDF ピンは、絶縁バリアの後の高電圧側回路のリファレンスとして使用されます。1 番ピンに配置される GNDF ピンは、内部プログラマブル負荷からの電流に帰還経路を提供します。10 番ピンに配置される GNDF ピンは、内部絶縁電

源と LDO レギュレータのリファレンスとして使用されます。1 番ピンと 10 番ピンはいずれも PCB 上の高電圧グラウンド・プレーンに接続する必要があります。詳細なグラウンディング方法は、レイアウトのガイドラインのセクションで説明します。

VDDI および VDDL 電源

VDDI ピンは 2.0V の絶縁側電源出力です。VDDL ピンはアナログ LDO レギュレータの 1.8V 出力です。これらのピンは表 16 に示す推奨コンデンサを使用して GNDF（10 番ピン）にデカップリングします。接続に関する推奨事項は、レイアウトのガイドラインのセクションを参照してください。VDDI および GNDF 絶縁型電源出力から外付け部品に電力を供給することはできません。

パワーアップ

パワーアップ時には、1 つまたは複数の ADE1201 デバイスで構成されるシステムを管理するホスト・コントローラが以下の手順を実行する必要があります。

1. VDD ピンに 3.3V を供給します。DC/DC コンバータがパワーアップし、ADE1201 の絶縁側に電力を供給します。デバイス全体が動作可能になります。パワーアップ時間については、表 3 を参照してください。
2. ADE1201 デバイスがコマンドを受け入れ可能な状態になったことを確認するには、各デバイスの INT_STATUS レジスタを、ビット 14（RSTDONE）が 1 にセットされるまで読み出します。
3. SPI を使用して、各 ADE1201 の構成レジスタ（BIN_FILTER、PL_EN、および PGA_GAIN）を初期化します。
4. LOCK レジスタに 0xADE1 を書き込み、設定プロセスを完了します。

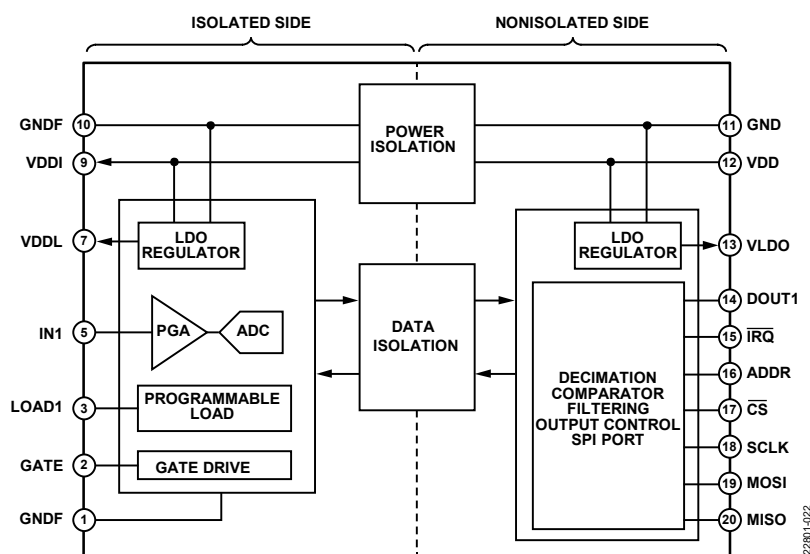


図 21. ADE1201 の非絶縁側と絶縁側

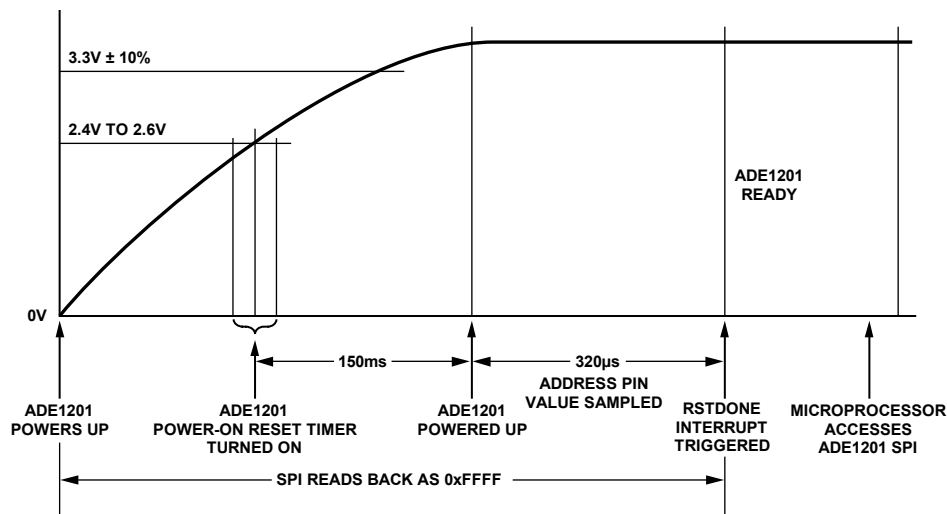


図 22. ADE1201 システムのパワーアップ手順

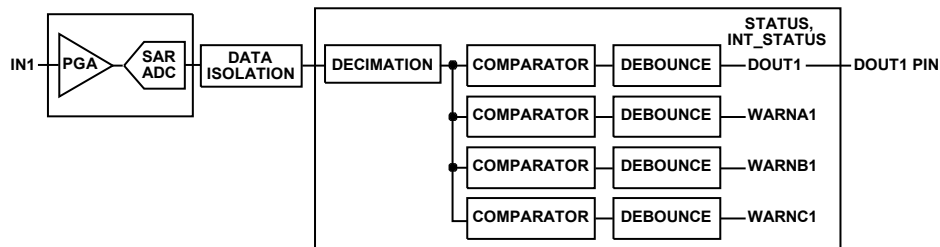


図 23. デジタル入力信号経路

デジタル入力信号経路

ADE1201 の代表的なアプリケーション回路を図 20 に示します。これには分圧器を使用した外部スケーリングが含まれます。IN1 ピンと GNDF ピン間の許容される入力電圧を表 1 に示します。

図 20 に示すように、AC 信号を検出するにはフルブリッジ整流器が必要です。

図 23 に、IN1 ピンで測定される入力に基づいて DOUT1 のデジタル出力信号を生成する、ADE1201 IC 内で行われるデジタル・シグナル・コンディショニングの詳細図を示します。次に各回路の機能を詳しく説明します。

PGA

PGA 段では、表 14 に示すように 4 つのスケール・ファクタを使用できます。入力電圧範囲は、IN1 の入力電圧範囲と同じです（表 1 と表 14 の V_{IN} ）。SPI を介してゲインを設定するには、PGA_GAIN レジスタ（アドレス 0x201）のビット [1:0]（PGA_GAIN）に書き込みます。システム閾値が PGA の電圧範囲外に設定されないように、表 14 に示すように内部 ADC の電圧範囲が最大になるゲインを選択することを推奨します。

デフォルトでは、PGA_GAIN ビットは 00 にクリアされます。これは PGA が 1 に設定されるという意味です。

表 14. PGA のゲインの設定値

V_{IN}	PGA	PGA_GAIN Register, Bits[1:0]
1.25	1×	00
0.625	2×	01
0.25	5×	10
0.125	10×	11

SAR ADC

PGA 段の後、ADE1201 SAR ADC は図 23 に示すように 8 ビットの出力を生成します。ADC は IN1 チャンネルを 100kSPS でサンプリングします。デジタル化されたデータは絶縁バリアを介して渡されます。

新しい ADC サンプルが利用可能になったとき通知するように設定するには、MASK レジスタに 0x8000 を書き込みます。IRQ ピンは 100kSPS のレートで 1µs の間ハイになった後 9µs の間ローになり、新しい ADC サンプルが利用可能になったことを示します。ADC サンプルを読み出すときは、MASK レジスタのビット 15（DREADY）だけが割込みイネーブルになっている必要があります（MASK = 0x8000）。

デシメーション

ADC からのデータはデシメータを介して渡されます。デシメーション・フィルタは N 個のサンプルを平均化してから N でデシメーションします。N は 2、4、または 8 で、BIN_CTRL レジスタの DECRATE ビット（ビット[2:1]）（表 15 を参照）で設定されます。デシメーション・フィルタの構成を図 24 に示します。デシメーションを有効にするには、BIN_CTRL レジスタのビット 0（DECIMATE）を 1 にセットします。デフォルトではデシメータは無効になり、ADC からのデータはデシメータをバイパスします。

表 15. デシメーションの設定値

DECIMATE Bit Setting	Number of Samples
00	Bypass the decimator
01	2
10	4
11	8

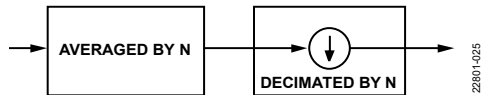


図 24. デシメーション・フィルタの構成

デジタル・データパス

デシメータから出力されるデータは 4 つのデータパスで処理されます。これにはコンパレータとバウンス防止フィルタリングが含まれます。

図 23 に示すように、1 つのデータパス (DOUT1) は DOUT1 出力を駆動できます。この出力は SPI を介して読み出すことができます。

警告を設定できるように、3 つの追加データパス (WARNA1、WARNB1、および WARNC1) が用意されています。警告データパスの出力は、SPI を介して読み出すことができます。

BIN_FILTER、WARNA_FILTER、WARNB_FILTER、および WARNC_FILTER の各レジスタのビット 15 をセットして、コンパレータとバウンス防止フィルタを有効にします。

コンパレータの機能

各コンパレータは高閾値レベルと低閾値レベルを備えています。閾値は、0x00~0xFF の間でプログラム可能です。IN1 ピンの電圧を 1.25V/PGA に設定すると、0xFF に変換されます。目的のスレッショルド電圧および入力信号レベルに基づいて閾値レジスタの値を計算するには、次式を使用します。

$$THR = (THRESHOLD / (1.25 / PGA)) \times 255 \quad (1)$$

ここで、

THR は、BIN_THR、WARNA_THR、WARNB_THR、および WARNC_THR の各コントロール・レジスタに書き込まれる値です。

THRESHOLD は、V 単位で表現される目的の閾値レベルです。PGA は、PGA_GAIN レジスタによって選択される PGA ゲインです。

BIN_THR レジスタは、DOUT1 データパスに使用される設定を格納します。その内容は DOUT1 ピンに出力できます。WARNA_THR、WARNB_THR、および WARNC_THR の各レジスタは、警告チャンネルの設定を格納します。

各コンパレータには、ヒステリシス・モード、ミッドレンジ・モード、より大きい (GT) モード、より小さい (LT) モードの 4 つの設定可能な動作モードがあります。これらのモードは、BIN_CTRL レジスタの BIN_MODE、WARNA_MODE、WARNB_MODE、および WARNC_MODE の各ビットによって選択されます。リセット後は、DOUT1 チャンネルはヒステリシス・モード、WARNA1 チャンネルは GT モード、WARNB1 チャンネルはミッドレンジ・モード、WARNC1 チャンネルは LT モードになります。

ヒステリシス出力モードのコンパレータ

ヒステリシス出力モードでは、ADC の出力がコンパレータの高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなると、出力はローに設定されます。ヒステリシス出力モードのコンパレータの動作を図 25 に示します。

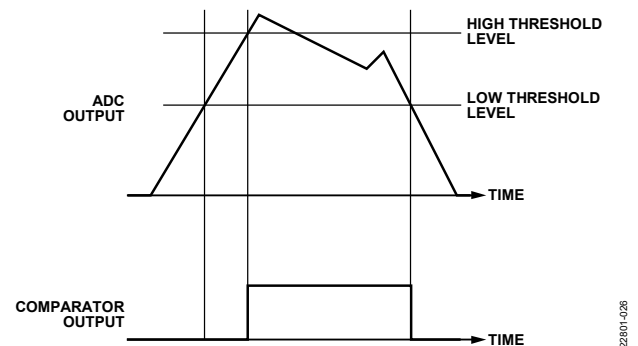


図 25. ヒステリシス出力モードのコンパレータ

ミッドレンジ出力モードのコンパレータ

ミッドレンジ出力モードでは、ADC の出力が高閾値レベルより小さく低閾値レベルより大きい場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなるか、または高閾値レベルより高くなると、出力はローに設定されます。ミッドレンジ出力モードのコンパレータの動作を図 26 に示します。

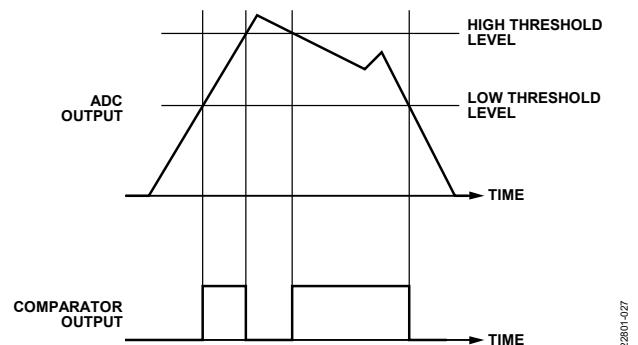


図 26. ミッドレンジ出力モードのコンパレータ

GT モードのコンパレータ

GT モードでは、ADC の出力が高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が高閾値レベルより低くなると、コンパレータの出力はローに設定されます。GT 出力モードのコンパレータの動作を図 27 に示します。

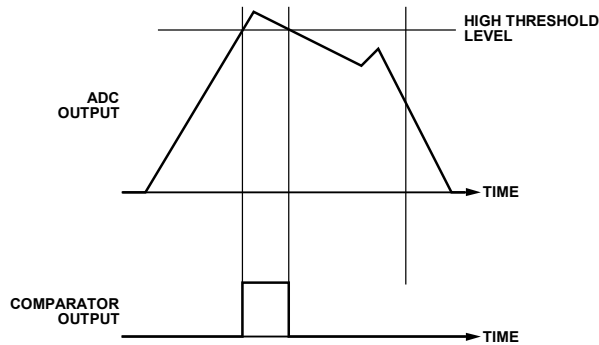


図 27. GT 出力モードのコンパレータ

LT モードのコンパレータ

LT モードでは、ADC の出力が高閾値レベルより低い場合または等しい場合、コンパレータの出力はハイに設定されます。ADC の出力が高閾値レベルより大きくなると、コンパレータの出力はローに設定されます。LT 出力モードのコンパレータの動作を図 28 に示します。

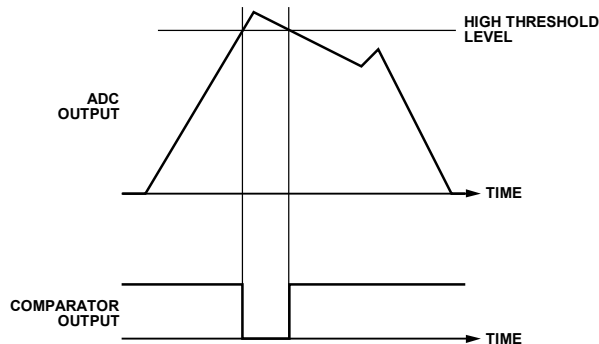


図 28. LT 出力モードのコンパレータ

バウンス防止機能

各データパスにはコンパレータに続いてバウンス防止フィルタがあります。

各バウンス防止フィルタは、20μs ごとにインクリメントするカウンタで構成されます。バウンスを防止する時間の最大値は 163.82ms です。フィルタ長 0 は、バウンス防止フィルタがバイパスされるという意味です。フィルタ長は次式を使用して計算します。

$$\text{フィルタ長} = \text{バウンス防止時間} / \text{チャンネル更新間隔}$$

ここで、

フィルタ長は、BIN_FILTER_VAL、WARNA_FILTER_VAL、WARNB_FILTER_VAL、および WARNC_FILTER_VAL の各ビット・フィールドに書き込まれる値です。

バウンス防止時間は、フィルタの目的の長さ (μs 単位) です。チャンネル更新間隔は 20μs です。

バウンス防止フィルタは 2 つのモードで機能します。モードは BIN_FILTER、WARNA_FILTER、WARNB_FILTER、および WARNC_FILTER の各レジスタのビット 14 で管理されます。ビット 14 が 0 (デフォルト値) の場合、フィルタはアップ/クリア・モードです。ビット 14 が 1 の場合、フィルタはアップ/ダウン・モードです。

バウンス防止機能のアップ/クリア・モード

アップ/クリア・モードでは、コンパレータの出力がハイの間、フィルタ・カウンタはフィルタ長に達するまでインクリメントします。カウンタがフィルタ長に達する前にコンパレータの出力がローになると、カウンタはクリアされます。カウンタがフィルタ長に達すると、フィルタの出力はハイになります。コンパレータの出力がハイの間、カウンタはインクリメントを停止します。コンパレータの出力がローになると、カウンタはデクリメントします。カウンタが 0 までデクリメントすると、フィルタの出力はローになります。カウンタが 0 までデクリメントする前にコンパレータの出力がローからハイになると、カウンタはフィルタ長にリセットされます。

バウンス防止機能のアップ/ダウン・モード

アップ/ダウン・モードでは、コンパレータの出力がハイの間、フィルタ・カウンタはフィルタ長に達するまでインクリメントします。コンパレータの出力がローになると、カウンタはデクリメントします。カウンタがフィルタ長に達すると、フィルタの出力はハイになります。コンパレータの出力がハイの間、カウンタはインクリメントを停止します。コンパレータの出力がローになると、カウンタはデクリメントします。カウンタが 0 までデクリメントすると、フィルタの出力はローになります。アップ/ダウン・モードとアップ/クリア・モードで動作するバウンス防止フィルタの例については、図 29 を参照してください。

バウンス防止フィルタの出力は、STATUS レジスタ内の対応する DOUT1、WARNA1、WARNB1、および WARNC1 の各ビットから SPI を介して読み出すことができます。DOUT1 のフィルタ出力は、IN1 のフィルタ出力のステータスを表します。

DOUT1 のフィルタ出力のステータスは、DOUT1 ピンに反映されます。バウンス防止フィルタの出力が $\overline{\text{IRQ}}$ ピン上の割込みをトリガするように設定できます (割込みのセクションを参照)。

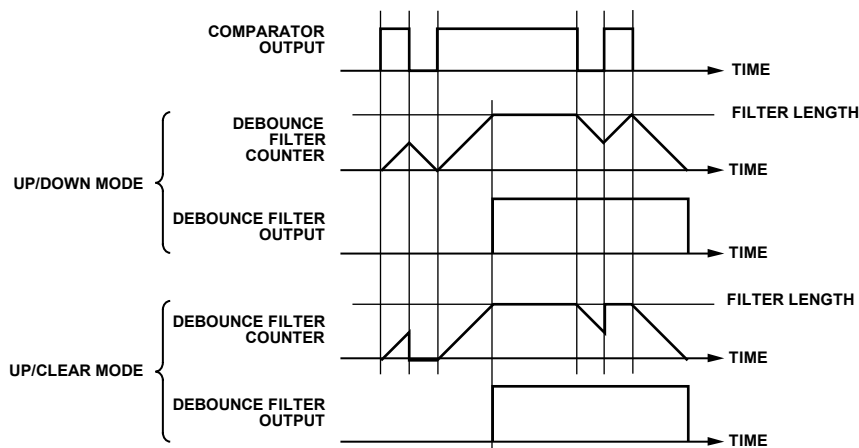


図 29. バウンス防止フィルタの機能の例

無効モード

ADE1201 を設定するときはレジスタ保護機能を無効にする必要があります（構成レジスタの完全性の保護のセクションを参照）。この時間の間、DOUT1 ピンの状態は IN1 ピンの入力の状態を反映せず、IC は無効モードになります。レジスタ保護が有効にされるまで、IC はこのモードのままになります。

無効モードの間、DOUT1 ピンの ADE1201 出力は、BIN_CTRL レジスタのビット[5:4] (INVALID_MODE) およびビット 3 (FORCEVAL) に基づいて設定されます。INVALID_MODE ビットが 00 の場合、DOUT1 のフィルタ出力は、BIN_CTRL レジスタの FORCEVAL ビットで設定された値に設定されます。これらのビットが 01 の場合、DOUT1 のフィルタ出力は、デジタル・データパスからの DOUT1 出力に設定されます。これらのビットが 10 の場合、DOUT1 のフィルタ出力は、無効モードに移行した時点のビット値をトグルします。これらのビットが 11 の場合、DOUT1 のフィルタ出力は、現在の値を保持します。

プログラマブル負荷電流

ADE1201 のプログラマブル負荷電流のブロック図を図 30 に示します。プログラマブル負荷の入力インピーダンスを表 1 に示します。PL_EN レジスタのビット 15 およびビット 14 = 00 でプログラマブル負荷が無効にされ、外付け FET が導通している場合、負荷は約 100μA をシンクします。

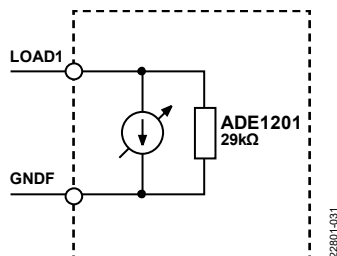


図 30. プログラマブル負荷電流のブロック図

図 20 に示すように、ADE1201 のアプリケーション回路には高電圧デジタル入力に加えられます。デジタル入力が高電圧状態に切り替わると、ADE1201 は、PL_HIGH_TIME レジスタで設定されたユーザ定義の時間だけパルス電流負荷を注入した後、定電流に切り替えます。このパルス電流はウェット電流とも呼ばれ、デジタル入力の接点から酸化物を除去すると共に、サージや高速トランジェントの影響を最小限に抑えます。

パルス電流の設定時に PL_HIGH_CODE レジスタの HIGH_CODE ビット（ビット[9:0]）に書き込む値は、次式を使用して計算します。

$$\text{HIGH_CODE} = \text{パルス電流} / 0.2 \quad (2)$$

ここで、パルス電流は目的の電流レベル（mA 単位）です。パルス電流の分解能は LSB あたり 0.2mA です。最大電流は、 $(2^{10} - 1) \times 0.2 = 204.6\text{mA}$ です。

推奨されるパルス電流範囲は 20mA ~ 200mA、HIGH_CODE = 100 (10 進数) ~ 1023 (10 進数) です。最小電流は 0.2mA、HIGH_CODE = 1 です。

パルス電流は、PL_HIGH_TIME レジスタのビット[11:0] (HIGH_TIME) で設定された時間だけ流れます。

目的のパルス時間に基づいて HIGH_TIME ビット・フィールドに書き込む値は、次式を使用して決定します。

$$\text{HIGH_TIME} = \text{パルス電流時間} / 10 \quad (3)$$

ここで、パルス電流時間は目的の時間（μs 単位）です。パルス電流時間の分解能は 10μs です。最大時間は、 $(2^{12} - 1) \times 10 (\mu\text{s}) = 40.95\text{ms}$ です。

パルス電流時間の経過後、プログラマブル負荷は、LOW_CODE ビット (PL_LOW_CODE レジスタのビット[5:0]) で設定された定電流レベルに切り替わります。LOW_CODE ビット・フィールドに書き込む値は、次式を使用して決定します。

$$\text{LOW_CODE} = \text{定電流} / 0.1 \quad (4)$$

ここで、定電流は目的の電流レベル（mA 単位）です。定電流の分解能は LSB あたり 0.1mA です。

設定可能な最大電流は、 $(2^6 - 1) \times 0.1 = 6.3\text{mA}$ です。

ロー・アイドル・モードまたはハイ・アイドル・モードを選択して、プログラマブル・パルス電流がいつアクティブになるかを決定できます。

ロー・アイドル・モード

プログラマブル負荷パルス電流がロー・アイドル・モード (PL_CTRL レジスタの PL_MODE = 0) でオンになるように、ADC 入力コードを選択できます。これがデフォルトの動作モードです。

図 31 に、ロー・アイドル・モードでのプログラマブル負荷電流の動作を示します。デジタル入力がローからハイに遷移すると、ADC 出力が RISE_THR ビット (PL_RISE_THR レジスタのビット [7:0]) で設定された立上がりエッジ閾値に達した後、パルス電流が生成されます。プログラマブル負荷パルス電流が生成されるには、DOUT1 ピンがローになっている必要があることに注意してください。

パルス電流が確実に生成されるには、BIN_FILTER_VAL が 3 以上で、RISE_THR が BIN_HI_THR より小さくなくてはなりません。

ハイ・アイドル・モード

ハイ・アイドル・モードを有効にするには、PL_CTRL レジスタの PL_MODE ビットを 1 にセットして、入力電圧が外付け FET をオンにするのに十分な大きさ (数百 mV) になるとまもなくプログラマブル負荷パルス電流がオンになるようにします。図 32 に、ハイ・アイドル・モードでのプログラマブル負荷電流の動作を示します。プログラマブル負荷パルス電流が生成されるには、DOUT1 ピンがローになっている必要があることに注意してください。パルス電流が確実に生成されるには、BIN_FILTER_VAL が 3 以上でなければなりません。

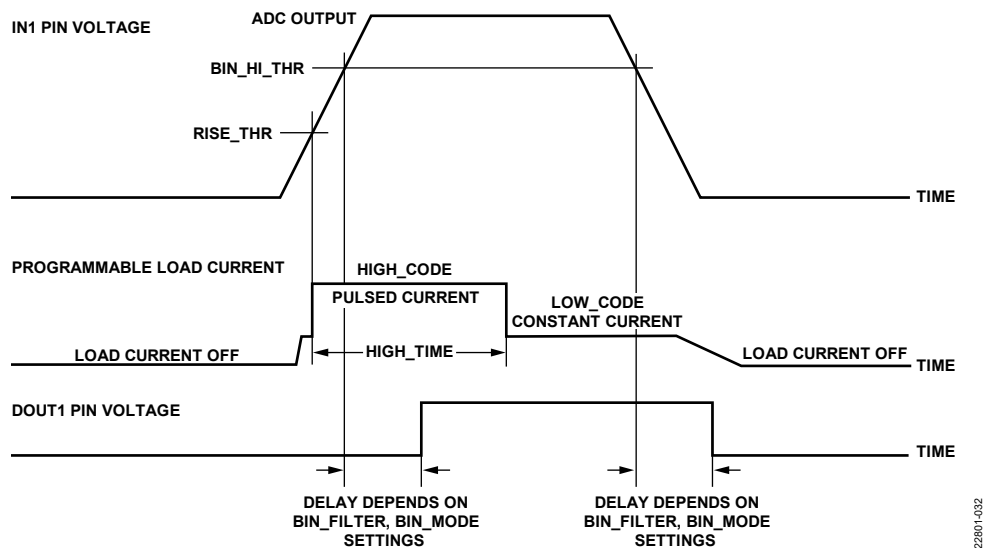


図 31. ロー・アイドル・モードでのプログラマブル負荷電流の波形

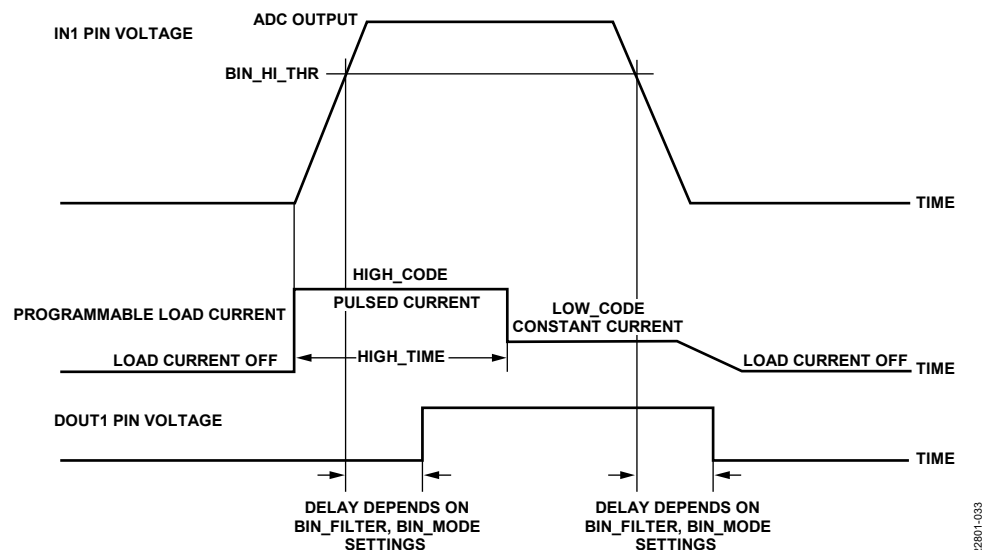


図 32. ハイ・アイドル・モードでのプログラマブル負荷電流の波形

外付け FET の保護

外付け FET 保護機能は、プログラムされた負荷電流と一定時間測定したデジタル入力電圧に基づいて、おおよその FET 電力量を監視します。累算値が（プログラムされた電流負荷によって決まる）プログラムされた制限閾値に達すると、クールダウン期間の間、パルス電流がオフになります。

閾値の計算

所与の入力（ADC1）について予想される ADC コードを次式を使用して計算し、直近の整数に丸めます。

$$ADC1 = ((\text{電圧} \times \text{ゲイン} \times \text{フルスケール ADC コード}) / (\text{分圧比} \times \text{リファレンス})) \quad (5)$$

ここで、
電圧は、ADE1201 アプリケーション回路への入力電圧（V 単位）です。
ゲインは、PGA_GAIN レジスタの設定値に従って 1、2、5、または 10 です。
フルスケール ADC コードは、ADC による最大コード出力（255）です。
分圧比は、アプリケーション回路の分圧比です。
リファレンスは、電圧リファレンス値（通常は 1.25V、V 単位）です。

外付け FET の安全動作領域を使用して閾値（EGY_MTR_THR）を計算し、パルス電流からの電力量がこの閾値を超えないようにすることができます。閾値は次式で計算します。

$$EGY_MTR_THR = (SOA \times ADC1) / (\text{電圧} \times \text{パルス電流} \times \text{レート} \times 2^7) \quad (6)$$

ここで、
SOA は、FET が安全に消費できる電力量（J 単位）です。
パルス電流は、プログラマブル負荷のパルス電流の設定値（A 単位）です。
レートは累算レート（1/100kHz = 10μs、秒単位）です。
パルスごとに予想される増加分は、次式で計算します。

$$\text{SinglePulseIncrease} = \frac{ADC1 \times \text{PulseCurrentTime}(s)}{\text{Rate}(s) \times 2^7} \quad \text{シング}$$

$$\text{ル・パルスの増加分} = (ADC1 \times \text{パルス電流時間}) / (\text{レート} \times 2^7) \quad (7)$$

パルス電流状態で ADC コード = 0xFF の場合、IN1 の入力電圧が ADC の入力電圧範囲より大きくなり、外付け FET が短時間で安全動作領域の制限に達することがあります。この効果をモデル化するには、EGY_MTR_CTRL レジスタの OV_SCALE ビットで過電圧スケール・ファクタを設定し、FET 電力量モニタリングの累算を高速化します。この条件で、各パルスの値を次式で計算できます。

$$\text{OverRangePulseIncrease} = \frac{\text{OverRangeFactor} \times \text{FullScaleADCCode} \times \text{PulseCurrentTime}(s)}{\text{Rate}(s) \times 2^7}$$

$$(\text{過電圧係数} \times \text{フルスケール ADC コード} \times \text{パルス電流時間}) / (\text{レート} \times 2^7) \quad (8)$$

ここで、過電圧係数は EGY_MTR_CTRL レジスタの OV_SCALE ビットで設定されます。スケール・ファクタは 1、4、8、または 16 に設定できます。

クールダウンの設定

監視中の FET 電力量が、プログラムされた電力量制限閾値に達すると、クールダウン期間の間、パルス電流がオフになります。クールダウン期間（秒単位）は、EGY_MTR_CTRL レジスタ（アドレス 0x015）のビット [3:0]（COOLDOWN_SEC）で設定されます。COOLDOWN_SEC ビットが 0 にクリアされると、クールダウン機能は無効になり、負荷電流はオフにされず、アキュムレータは強制的に 0 になります。

外付け FET 電力量アキュムレータは、パルス電流時間外には COOLDOWN_DECR ビット（EGY_MTR_CTRL レジスタのビット [15:8]）で設定された量だけデクリメントします。デクリメント間隔は、COOLDOWN_TIMESTEP ビット（EGY_MTR_CTRL レジスタのビット [5:4]）で設定されます。間隔は、10μs（ビット [5:4] = 00）、20μs（ビット [5:4] = 01）、40μs（ビット [5:4] = 10）、または 80μs（ビット [5:4] = 11）です。

ADE1201 がクールダウン期間に入ると、EGY_MTR1 アキュムレータは 0 にリセットされます。

外付け FET 保護機能のメカニズムを図 33 に示します。

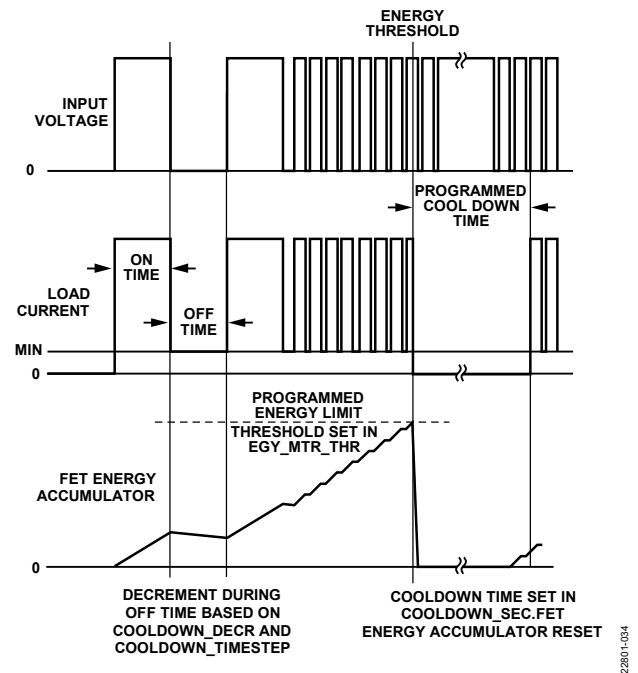


図 33. FET 保護クールダウン機能

ゲート駆動

GATE ピンを使用して、高電圧エンハンスメント・モードの外付け FET (Q1) を駆動します。電源投入後、図 34 に示すように、GATE ピンは $V_{GATENOM}$ でバイアスされ、Q1 が LOAD1 ピンを保護しながら定電流を流せるようにします。安定性維持のために、1 個の 10Ω 外部ゲート電流制限抵抗 (R3) と、1 個の $0.1\mu\text{F}$ ゲート・コンデンサ (C5) が必要です。表 1 に公称 $V_{GATENOM}$ 電圧を示します (図 34 を参照)。

パルス電流が流れる間、 $V_{GATENOM}$ は LOAD1 ピン上の電圧を下げるように調整され、オンチップ消費電力を最小限に抑えます。

外付け FET が導通している場合、対応する LOAD1 ピンの電圧 (V_{GS}) は 0.6V になります。

パルス電流時間の経過後、GATE の電圧は調整されて $V_{GATENOM}$ に戻ります。ADE1201 には、 V_{GS} が最大 6V の FET を使用できます。

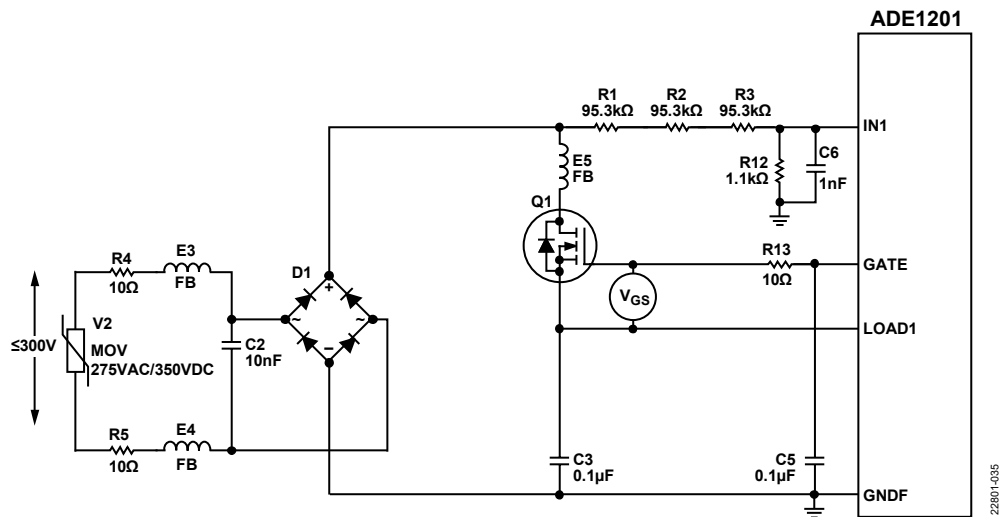


図 34. ゲートによる FET の制御

サーマル・シャットダウン

絶縁側のジャンクション温度が表 1 に示すサーマル・シャットダウン値を超えた場合、プログラマブル負荷電流は無効になります。INT_STATUS レジスタの TSD ビットは、デバイスがサーマル・シャットダウン状態であるかどうかを示します。デバイスが表 1 に示すヒステリシス値だけクールダウンされると、プログラマブル負荷電流は再び有効になります。

割込み

IRQ の出力は、プッシュプル出力ではなくオープンドレイン出力です。

IRQ ピンは、16 ビット割込みマスク・レジスタ (MASK) によって制御されます。割込みを有効にするには、MASK レジスタの対応するビットを 1 にセットする必要があります。割込みを無効にするには、そのビットを 0 にクリアする必要があります。

INT_STATUS レジスタ

割込みがトリガされると、 $\overline{\text{IRQ}}$ ピンがローになります。割込み発生源を特定するには、INT_STATUS レジスタを読み出して、どのビットが 1 にセットされているかを特定します。INT_STATUS レジスタのフラグをクリアするには、INT_STATUS レジスタに書き込んで、対応するビットを 1 にセットします。対応する INT_STATUS フラグがクリアされるまで、 $\overline{\text{IRQ}}$ ピンはローのままになります。

デフォルトでは、RSTDONE 割込みを除くすべての割込みは無効になります。この割込みを無効にする (マスクする) ことはできません。

パワーアップ中またはソフトウェア・リセット中は、 $\overline{\text{IRQ}}$ ピンはハイにとどまります。パワーアップまたはソフトウェア・リセットが終了すると、 $\overline{\text{IRQ}}$ ピンがローになり、INT_STATUS レジスタのビット 14 (RSTDONE) が 1 にセットされます。

MASK レジスタのビット 15 (DREADY) は、ビット[14:0]とは異なる機能を持つことに注意してください。DREADY の機能の詳細については、SAR ADC のセクションを参照してください。

STATUS レジスタ

STATUS レジスタは、リアルタイムで更新されるステータス・フラグを格納します。フラグに関連する条件がトリガされると、フラグは 1 にセットされます。条件がなくなると、フラグは自動的に 0 にクリアされます。

STATUS レジスタのビットは INT_STATUS レジスタのビットと同じですが、1 つだけ例外があります。STATUS レジスタのビット 14 は RSTBUSY ですが、INT_STATUS レジスタのビット 14 は RSTDONE です。RSTBUSY ビットは、リセット中およびパワーオン中は 1 で、IC がコマンドを受け入れ可能な状態になると 0 になります。

SPI プロトコルの概要

SPI 互換インターフェースは、SCLK、MOSI、MISO、 $\overline{\text{CS}}$ の 4 本のピンで構成されます。ADE1201 は常に SPI スレーブになります。SPI は 16 ビットの読出し／書き込み動作を行うことができます。このインターフェースがサポートする最大シリアル・クロック周波数は 10MHz です。

$\overline{\text{CS}}$ 入力ピンは、チップ・セレクト入力です。 $\overline{\text{CS}}$ ピンをローに駆動すると、データ全体の転送動作が実行されます。データ転送動作中に $\overline{\text{CS}}$ がハイになると転送が中断され、シリア

ル・バスがハイ・インピーダンス状態になります。 $\overline{\text{CS}}$ ピンをローに戻すことによって、新しい転送を開始できます。

SCLK の立下がりエッジで MOSI ピンからデバイスにデータがシフトインされ、SCLK の立上がりエッジで ADE1201 がそのデータをサンプリングします。また、SCLK の立下がりエッジで ADE1201 から MISO ピンにデータがシフトアウトされ、SCLK の立上がりエッジでホスト・コントローラがそのデータをサンプリングします。ワードの最上位ビットから先にシフトインおよびシフトアウトが行われます。ADE1201 からデータが送信されないときは、MISO はハイ・インピーダンス状態のままになります。

図 35 に、ADE1201 の SPI と、マスター SPI を備えるホスト・コントローラ間の接続を示します。

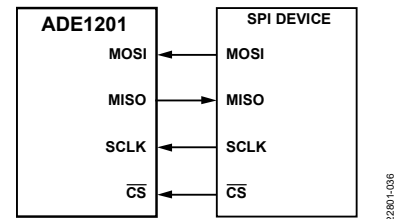


図 35. SPI から SPI デバイスへの接続

SPI での ADE1201 のアドレス指定

同じ SPI バス上で最大 8 個の ADE1201 デバイスにアクセスできます。最大 7 個の等しい抵抗 (1kΩ~10kΩ の範囲、許容誤差 1%) の電圧ラダーを使用できます (図 37 を参照)。ADDR ピンが 3.3V に接続されている場合、ADE1201 のチップ・アドレスは 7 です。ADDR ピンがグラウンドに接続されている場合、ADE1201 のチップ・アドレスは 0 です。それ以外の 6 個の ADE1201 デバイスには、分圧器の印加電圧に基づく順序でチップ・アドレスが割り当てられます。マルチチップ・アドレス指定を使用しない場合は、ADDR ピンをグラウンドに接続してください。チップ・アドレスは、16 ビット・コマンド・ヘッダのビット[2:0]に表示されます。

15	14	4	3	2	0
BROADCAST	REGISTER ADDRESS	R/W	CHIP_ADDR		

図 36. SPI ヘッダ・ワード

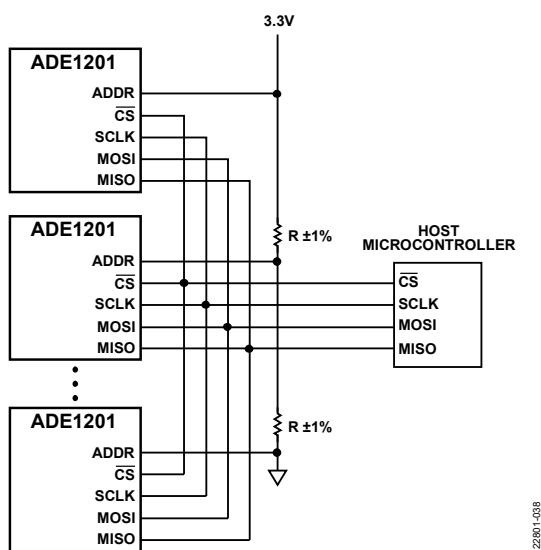


図 37. SPI のマルチチップ・アドレス指定モード

SPI の書き込み動作

ホスト・コントローラが $\overline{\text{CS}}$ ピンをローに設定し、（ビット [14:4] でレジスタ・アドレスが指定され、コマンド・ヘッダのビット 3 が 0 にクリアされた）16 ビット・コマンド・ワードの送信を開始すると、書き込み動作が開始されます（図 38 を参照）。

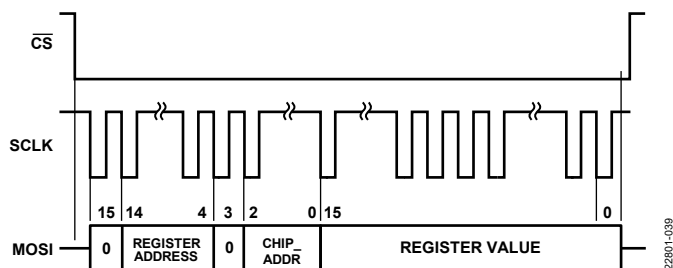


図 38. SPI の書き込み動作

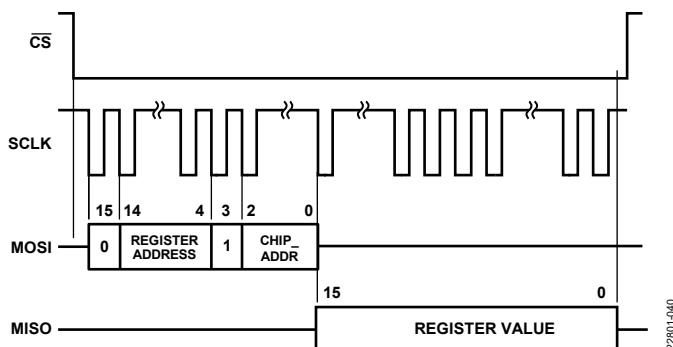


図 39. SPI の読み出し動作

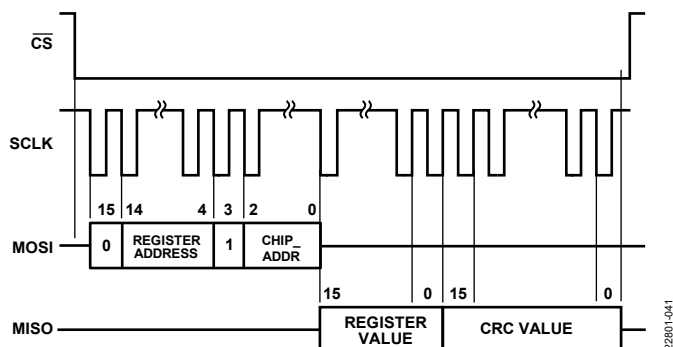


図 40. 巡回冗長検査（CRC）が付加された SPI 読み出し動作

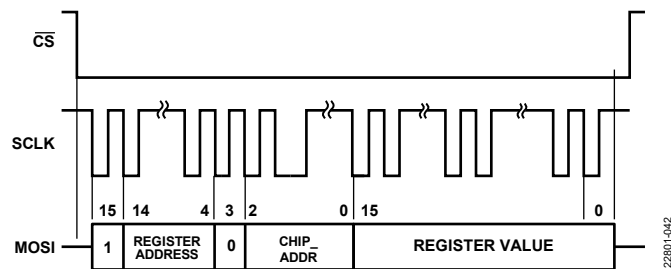


図 41. SPI のブロードキャスト書き込み動作

レジスタへの書き込みが行われるたびに、レジスタ値を読み出して検証する必要があります。

複数の ADE1201 デバイスが同じ SPI バス（図 35 を参照）を共有し、複数のチップの同じレジスタを同じ値で初期化する必要がある場合、ブロードキャスト書き込み機能を利用できます。SPI ヘッダ・ワードのビット 15 を 1 にセットし、ブロードキャスト書き込みを有効にします（図 41 を参照）。SPI バス上のチップ・アドレスを示すヘッダ・ワードのビット[2:0]（CHIP_ADDR）は、ブロードキャスト書き込みの間は無視されます。

SPI の読出し動作

ADE1201 のレジスタは、図 39 に示すプロトコルに従って一度に 1 つずつ読み出すことができます。

ホスト・コントローラが CS ピンをローに設定し、16 ビット・コマンド・ワードの送信を開始すると、読出し動作が開始されます（図 36 を参照）。ADE1201 は、ヘッダ・ワードの最後のビットを受信すると、SCLK が次にハイからローへ遷移したときに MISO ライン上にレジスタ内容の送信を開始します。ホスト・コントローラは、SCLK がローからハイへ遷移したときにデータをサンプリングします。

SPI 読出し動作では、コマンド・ヘッダのビット 3 が 1 に設定されている必要があります（図 36 を参照）。

SPI 読出し動作の完全性を確保するために、MOSI ピン上に送信されるレジスタ値の 16 ビット CRC（CRC-16）をトランザクションに含めることができます。CRC が有効な場合、ADE1201 は、SPI 読出し動作中にレジスタ値の後に CRC-16 値を付加します（図 40 を参照）。

CTRL レジスタのビット 0（SPI_CRC_APPEND_EN）が 0（デフォルト値）にクリアされている場合は、SPI 読出し動作中に CRC 値は付加されません。このビットが 1 にセットされている場合は、SPI 読出し動作中に読み出されるレジスタ値に CRC-16 値が付加されます。

CRC アルゴリズムは、標準的な CRC-16-CCITT 多項式に基づいています。レジスタは、線形帰還シフト・レジスタ（LFSR）ベースのジェネレータに、一度に 1 バイトずつ、最上位バイトを先頭にして取り込まれます（図 42 を参照）。次に、各バイトが MSB ファーストで使用されます。

図 43 は、LFSR がどのように CRC 計算に使用されるかを示しています。ADE1201 のレジスタは、LFSR によって使用されるビット[a₁₅:a₀]を形成します。ビット a₀ はレジスタのビット 15 です。ビット a₁₅ はレジスタのビット 0 です。

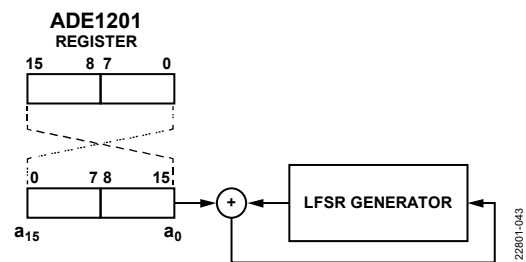


図 42. CRC の計算

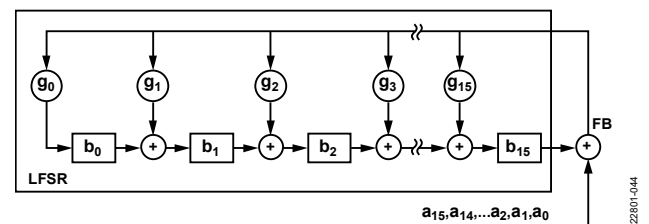


図 43. CRC の計算に使用される LFSR ジェネレータ

ビット b_i (0 = 1 (i = 0, 1, 2, ..., 15) は、CRC を形成するビットの初期状態です。ビット b₀ は最下位ビット、ビット b₁₅ は最上位ビットです。

係数 g_i (i = 0, 1, 2, ..., 15) は、CRC-16-CCITT アルゴリズムによって次のように定義されている生成多項式の係数です。

$$G(x) = x^{16} + x^{12} + x^5 + 1 \quad (9)$$

$$g_0 = g_5 = g_{12} = 1 \quad (10)$$

他のすべての g_i 係数は 0 です。

$$FB(j) = a_{j-1} \text{ XOR } b_{15}(j-1) \quad (11)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (12)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 15 \quad (13)$$

式 11、式 12、式 13 は、j = 1, 2, ..., 16 について繰り返す必要があります。SPI 通信 CRC に書き込まれる値には、ビット b_i(16) (i = 0, 1, ..., 15) が含まれます。

構成レジスタの完全性の保護

構成レジスタには、ユーザ・アクセスが可能なレジスタ（表 17 に示す R/W レジスタ）とユーザ・アクセス不可の内部レジスタがあります。

電源投入時に、ユーザ・アクセスが可能な構成レジスタには制限なしで書き込み可能です。

レジスタの設定が完了したら、LOCK レジスタに 0xADE1 を書き込み、絶縁側から非絶縁側へ設定情報を送信します。この動作により、SPI ポートからの構成レジスタへの書き込みアクセスが無効化され、設定の完全性が保護されます。

保護が有効になったら、LOCK レジスタを読み出して、ビット 0 (LOCK) が 1 に設定されていることを確認します。LOCK レジスタを読み出したとき、ビット 0 (LOCK) は保護ステータスを示します。LOCK ビットが 0 の場合、保護は無効です。LOCK ビットが 1 の場合、保護は有効です。

ロック機能は、ADDR_RELOAD ビット、LOCK レジスタ、および INT_STATUS レジスタには影響を与えません。これらは LOCK = 1 の場合でも書き込み可能です。

レジスタの保護を無効にするには、LOCK レジスタに 0xADE0 を書き込みます。

いずれかの構成レジスタを変更するには、保護を無効にして、レジスタの値を変更し、保護を再び有効にします。

バージョン

CTRL レジスタの REVID ビット（ビット[8:5]）は、IC のバージョンを示します。

絶縁疲労

疲労による絶縁寿命は、絶縁材の厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

試験とモデリングにより、長期間の性能低下の主な要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体にかかるストレスは、DC ストレスや、AC 成分の時間と共に変化する電圧ストレスに大別できます。前者の場合は変位電流が存在しないため、ほとんど疲労が発生しませんが、後者の場合は疲労が発生します。

通常、認定文書に記載されている定格は、60Hz のサイン波ストレスに基づいています。この値には、ライン電圧からの絶縁が反映されることが理由です。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ 60Hz の AC 電圧と DC 電圧が組み合わされています（式 14 を参照）。ストレスを受ける AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を並べ替えることができます（式 15 を参照）。ADE1201 で使用されるポリイミド材料の絶縁疲労については、AC rms 電圧で製品寿命が決まります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (14)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (15)$$

ここで、

V_{RMS} は、合計 rms 動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に AC 実効値が 240V のライン電圧が存在し、他方に 400V dc のバス電圧が存在するとします。絶縁材料はポリイミドです。デバイスの沿面距離、間隙、寿命を判断するために臨界電圧を求める場合は、図 44 と以降の数式を参照してください。

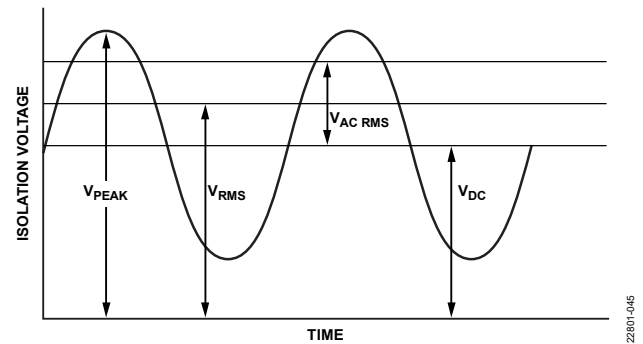


図 44. 臨界電圧の例

式 16 のバリア両端の動作電圧は、次式を使用して計算します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (16)$$

$$V_{RMS} = \sqrt{240^2 + 400^2} \quad (17)$$

この例では、 $V_{RMS} = 466V$ です。

この V_{RMS} 値は、システムの規格で要求される沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC rms 電圧を求めるには、式 18 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (18)$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2} \quad (19)$$

この例では、 $V_{AC\ RMS} = 240V\ rms$ です。

この場合、AC rms 電圧は 240V rms のライン電圧です。この計算は、波形がサイン波でない場合は更に精度が向上します。この値を表 12 の動作電圧の制限値と比較して期待寿命を確認すると、60Hz のサイン波の値よりも低く、50 年の運用寿命規定を十分に満たしていることがわかります。

表 12 の DC 動作電圧の制限値は、IEC 60664-1 で仕様規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格と異なる場合があります。

レイアウトのガイドライン

図 20 に、ADE1201 の代表的なアプリケーション回路の回路図を示します。

アプリケーション回路には 4 層 PCB を推奨します。図 45 に、P0 上の 1 つのデジタル入力チャンネルのインターフェースとして 1 個の ADE1201 を使用する場合の推奨レイアウトを示します。AC または負の DC 入力加えられる場合は、複数の ADE1201 アプリケーション回路から GNDF ピンを相互接続しないでください。

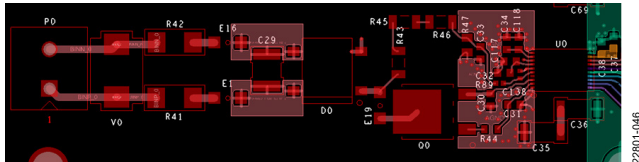


図 45. ADE1201 の回路基板、表面層

図 46 に、ADE1201 周囲の重要な領域に焦点を合わせて図 45 のレイアウトを拡大した図を示します。

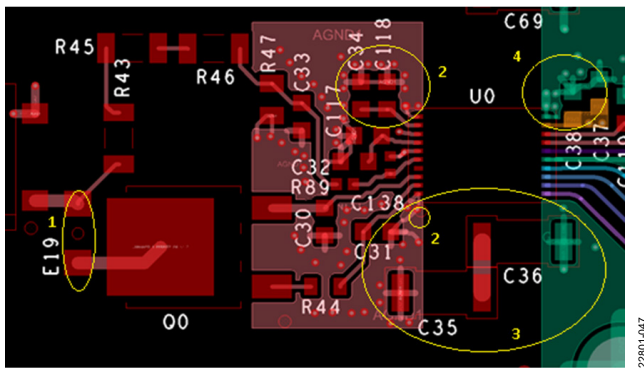


図 46. ADE1201 のサポート回路の拡大図

フェライト・ビーズ

フェライト・ビーズは、アプリケーション回路内の寄生容量が高周波数（数百 MHz）で FET と共振するのを防ぐために、FET のドレインに配置されます。フェライト・ビーズは FET のドレインの近くに配置します（図 46 の黄色の円 1 を参照）。

デカップリングとグラウンド・プレーンの接続

グラウンド・プレーンへの低インダクタンスの経路が必要です。複数のビアを使用してインダクタンスを低減し、GNDF グラウンド・ピン（1 番ピンと 10 番ピン）への複数の接続を提供することを推奨します。

デカップリング・コンデンサを配置する場合は、小さいコンデンサ（0.1μF）を VDDI ピンおよび GNDF ピン（10 番ピン）のできるだけ近くに配置し、ピンとコンデンサの間およびコンデンサとグラウンドの間に低インダクタンスを提供します。

図 47 と図 48 に、ADE1201 の 1 番ピンと 10 番ピンの周囲の推奨レイアウトの拡大図を示します（図 46 の黄色の円 2 を参照）。

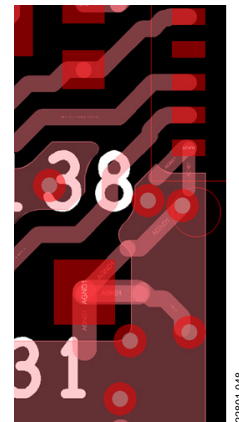


図 47. ADE1201 の 1 番ピンの拡大図

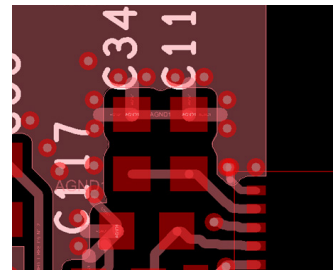


図 48. ADE1201 の 10 番ピンの拡大図

絶縁側（11 番ピンの GND と 12 番ピンの VDD 電源）のデカップリングについても、同じ規則が適用されます（図 46 の黄色の円 4 を参照）。

AC または負の DC 入力加えられる場合は、複数の ADE1201 アプリケーション回路から GNDF ピンを相互接続しないでください。

電磁干渉（EMI）抑制コンデンサ

電磁放射の低減と伝導妨害に対する耐性向上のために、高電圧コンデンサの使用を推奨します。

これらのコンデンサは、図 49 に示すように、複数のビアを介して 2 つのグラウンド・プレーン（GND と GNDF）間に接続する必要があります（図 46 の黄色の円 3 を参照）。グラウンド・プレーンとコンデンサ・フットプリント上の銅の間の距離は、ADE1201 の沿面距離と間隙より小さいため、アプリケーションの沿面距離と間隙の条件を満たすように注意してください。スルーホール・コンデンサは推奨しません。

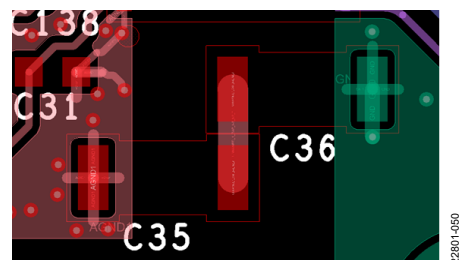


図 49. EMI 抑制コンデンサ

アプリケーション情報

表 16 に、推奨される ADE1201 アプリケーション回路の外付け部品を示します（図 20 を参照）。

表 16. 外付け部品

部品	値	推奨部品		注意／注釈
		メーカー	メーカー製品番号 ¹	
Capacitors				
Decoupling for VDDL, VDDI, VDD, VLDO	1 μ F 0.1 μ F	AVX AVX	0603YC105KAT2A 06035C104KAT2A	X7R。1 μ F と 0.1 μ F で各電圧レールをデカップリングすることを推奨します。
C1	10 nF	TDK	CGA8L4C0G2J103J160KA	630V 高電圧コンデンサ。ADE1201 の入力からの高周波妨害をシャントします。
C3	1000 pF	Murata	GRM188R71H102KA01D	50V、セラミック X7R。ADE1201 のプログラマブル負荷回路の正常な動作に必要です。
C4	1 nF	TDK	C1608C0G2A102J	R4 と共にローパス・フィルタを構成します。
C13, C14	10 pF	TDK	C4520C0G3F100F085KA	3kV、SMD、EMI 抑制コンデンサ。放射エミッションの低減に必要な場合があります。
Resistors				
R1 to R3	95.3 k Ω	Panasonic	ERJ-8ENF9532V	1% 1206。分圧器の一部を構成します。これらの部品のサイズは、沿面距離と間隙の条件によって決まります。
R4	1.1 k Ω	Panasonic	ERJ-6ENF1101V	1%、0805。分圧器の一部を構成します。
R5, R6	10 Ω	Vishay	SMM02070C1009FBP00	1%、1W、オートモーティブ・グレードの MELF (Metal Electrode Leadless Face)。電流制限抵抗として機能します。サージおよび EMC 耐性の向上に必要です。
R7	10 Ω	Vishay	Y162910R0000B9R	0.1% Z フォイル、電流制限抵抗。
Other Components				
External FET (Q1)		Vishay	SIHFRC20TR-GE3	プログラマブル電流が流れるデバイス。動作点はあらゆる条件下で SOA の範囲内（6V の最大 V _{GS} ）である必要があります。
Diode Rectifier Bridge (D1)		Vishay	DF10SA-E3/77	1kV、1A。バイポーラ動作に必要です。
Ferrite Beads (E1, E2)		Murata	BLM31PG601SN1L	10MHz～300MHz の範囲でアクティブ。放射エミッションを低減し、RF イミユニティを向上させます。
Ferrite Beads (E3)		Murata	BLM31PG601SN1L	10MHz～300MHz の範囲でアクティブ。FET の寄生発振を防止します。
Metal Oxide Varistor (MOV) (V1)	275 V ac/ 350 V dc	Kemet	VP3225K401R275	電圧トランジェントを抑制します。

¹ 推奨部品または同等の部品を使用します。

レジスタ・マップ

表 17. レジスタの一覧とアドレス・マップ

アドレス	名前	説明	リセット	アクセス
0x000	LOCK	ロック・レジスタ	0x0001	R/W
0x001	CTRL	コントロール・レジスタ	0x1080	R/W
0x002	BIN_CTRL	バイナリ・チャンネル・コントロール・レジスタ	0x3610	R/W
0x003	BIN_THR	バイナリ・チャンネル閾値レベル・レジスタ	0x5AAA	R/W
0x004	WARNA_THR	WARNA1 チャンネル閾値レベル・レジスタ	0xCCCC	R/W
0x005	WARNB_THR	WARNB1 チャンネル閾値レベル・レジスタ	0x5A88	R/W
0x006	WARNC_THR	WARNC1 チャンネル閾値レベル・レジスタ	0x2D2D	R/W
0x007	BIN_FILTER	バイナリ・チャンネル構成レジスタ	0x0096	R/W
0x008	WARNA_FILTER	WARNA1 データパス構成レジスタ	0x80FA	R/W
0x009	WARNB_FILTER	WARNB1 データパス構成レジスタ	0x80FA	R/W
0x00A	WARNC_FILTER	WARNC1 データパス構成レジスタ	0x80FA	R/W
0x00B	MASK	割込みマスク・レジスタ	0x4000	R/W
0x00C	INT_STATUS	割込みステータス・レジスタ	0x0000	RW1C
0x00D	STATUS	ステータス・レジスタ	0x4000	R
0x00E	ADC	ADC レジスタ	0x0000	R
0x00F	ADCDEC	ADC デシメーション・レジスタ	0x0000	R
0x010	PL_CTRL	プログラマブル負荷コントロール・レジスタ	0x0000	R/W
0x011	PL_RISE_THR	プログラマブル負荷立ち上がり閾値レジスタ	0x001E	R/W
0x012	PL_LOW_CODE	プログラマブル負荷ロー・コード・レジスタ	0x001E	R/W
0x013	PL_HIGH_CODE	プログラマブル負荷ハイ・コード・レジスタ	0x00C8	R/W
0x014	PL_HIGH_TIME	プログラマブル負荷大電流時間レジスタ	0x012C	R/W
0x015	EGY_MTR_CTRL	電力量計コントロール・レジスタ	0x0505	R/W
0x016	EGY_MTR_THR	電力量計最大閾値レジスタ	0x9BA3	R/W
0x017	EGY_MTR1	電力量計チャンネル1 アキュムレータ・レジスタ	0x0000	R
0x200	PL_EN	プログラマブル負荷イネーブル・レジスタ	0x0000	R/W
0x201	PGA_GAIN	PGA ゲイン・レジスタ	0x0000	R/W

レジスタの詳細

ロック・レジスタ

アドレス：0x000、リセット：0x0001、レジスタ名：LOCK

構成レジスタに書き込む前に、LOCK レジスタに書き込んでデバイスをアンロックする必要があります。デバイスがロックされている場合でも、レジスタの読出しは常に可能です。

表 18. LOCK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	LOCK_KEY	ロック・キー。LOCK ビットをリセットまたはセットするには、LOCK_KEY = 0xADE を書き込みます。デバイスをアンロックするには、LOCK レジスタに 0xADE0 を書き込みます。デバイスをロックするには、LOCK レジスタに 0xADE1 を書き込みます。	0x0	W
[3:1]	RESERVED	予備。	0x0	R
0	LOCK	ロック・ビット。リセット後、デバイスはロックされ、LOCK ビットは 1 にセットされます。デバイスを構成するには、このビットに 0 を書き込んだ後、目的の構成レジスタに書き込みます。LOCK ビットに 1 を書き込むと、約 100μs 以内に通常動作が再開されます。ロック機能は、LOCK ビット、ADDR_RELOAD ビット、および INT_STATUS レジスタには影響を与えません。これらのビットおよびレジスタは、LOCK = 1 の場合でも書込み可能です。	0x1	R/W

コントロール・レジスタ

アドレス：0x001、リセット：0x1080、レジスタ名：CTRL

コントロール・レジスタでは、複数の動作モードの切り替えとモデルおよびリビジョン情報の読出しが可能です。

表 19. CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	W
[13:12]	MODEL	モデル ID。 0：デバイスは ADE1201 です。	0x0	R
[11:9]	CHIP_ADDR	チップ・アドレス。CHIP_ADDR ビット・フィールドは、SPI が使用するチップ・アドレスです。このビット・フィールドの値は、電源投入時の ADDR ピンの電圧に基づいて決定されます。	0x0	R
[8:5]	REVID	バージョン ID。IC の現在のリビジョンは 0x4 です。	0x4	R
4	SW_RST	ソフトウェア・リセット。SW_RST ビットに 1 を書き込むと、デバイスはリセットされます。	0x0	W
3	ADDR_RELOAD	アドレス再ロード。このビットに 1 を書き込むと、チップ・アドレスが ADDR ピンの電圧から強制的にデコードされ、ラッチされます。	0x0	W
[2:1]	RESERVED	予備。	0x0	R
0	SPI_CRC_APPEND_EN	SPI の CRC 付加イネーブル。SPI 読出しを実行してクロッキングを 16 サイクル維持したときにこのビットがセットされていた場合、読出し動作に 16 ビット CRC が付加されます。	0x0	R/W

バイナリ・チャンネル・コントロール・レジスタ

アドレス：0x002、リセット：0x3610、レジスタ名：BIN_CTRL

デシメーションおよびフィルタ・モードに関するバイナリ・チャンネルおよび警告の制御。

表 20. BIN_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	LOAD_STANDBY_MODE	負荷スタンバイ・モード負荷スタンバイ・モードでは、バイナリ・チャンネルは ADC 電圧値の代わりに負荷スタンバイ電流を監視します。	0x0	R/W
[13:12]	WARNC_MODE	コンパレータの動作モード。 0：ヒステリシス・モード。ADC の出力がコンパレータの高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなると、出力はローに設定されます。 1：ミッドレンジ・モード。ADC の出力が高閾値レベルより低く低閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 10：GT モード。ADC の出力が高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 11：LT モード。ADC の出力が高閾値レベルより低いかまたは等しい場合、コンパレータの出力はハイに設定されます。	0x3	R/W
[11:10]	WARNB_MODE	コンパレータの動作モード。 0：ヒステリシス・モード。ADC の出力がコンパレータの高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなると、出力はローに設定されます。 1：ミッドレンジ・モード。ADC の出力が高閾値レベルより低く低閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 10：GT モード。ADC の出力が高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 11：LT モード。ADC の出力が高閾値レベルより低いかまたは等しい場合、コンパレータの出力はハイに設定されます。	0x1	R/W
[9:8]	WARNA_MODE	コンパレータの動作モード。 0：ヒステリシス・モード。ADC の出力がコンパレータの高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなると、出力はローに設定されます。 1：ミッドレンジ・モード。ADC の出力が高閾値レベルより低く低閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 10：GT モード。ADC の出力が高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 11：LT モード。ADC の出力が高閾値レベルより低いかまたは等しい場合、コンパレータの出力はハイに設定されます。	0x2	R/W
[7:6]	BIN_MODE	コンパレータの動作モード。 0：ヒステリシス・モード。ADC の出力がコンパレータの高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。ADC の出力が低閾値レベルより低くなると、出力はローに設定されます。 1：ミッドレンジ・モード。ADC の出力が高閾値レベルより低く低閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 10：GT モード。ADC の出力が高閾値レベルより高い場合、コンパレータの出力はハイに設定されます。 11：LT モード。ADC の出力が高閾値レベルより低いかまたは等しい場合、コンパレータの出力はハイに設定されます。	0x0	R/W
[5:4]	INVALID_MODE	無効モード。このビット・フィールドは、無効モードで DOUT1 に出力される値を選択します。 00：DOUT1 は FORCEVAL ビットの値に等しくなります。 01：DOUT1 はバイナリ・フィルタの出力に等しくなります。 10：DOUT1 は無効モードへの移行時に値をトグルします。 11：DOUT1 は現在値を保持します。	0x1	R/W
3	FORCEVAL	無効モード中の DOUT1 の値。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[2:1]	DECRATE	デシメーション・レート。デシメーションが有効な場合に使用されるデシメーション・レート。 0：デシメーション・フィルタをバイパス。 1：デシメーション・レートは 2。 10：デシメーション・レートは 4。 11：デシメーション・レートは 8。	0x0	R/W
0	DECIMATE	デシメーションを有効にします。このビットがセットされている場合、ADC データは DECRATE ビット・フィールドの設定値に従ってデシメーションされます。デシメーションされたサンプルは、ADCDEC レジスタから読み出すことができます。	0x0	R/W

バイナリ・チャンネル閾値レベル・レジスタ

アドレス：0x003、リセット：0x5AAA、レジスタ名：BIN_THR

バイナリ・チャンネルの高閾値および低閾値。

表 21. BIN_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	BIN_LO_THR	低閾値レベル。ADC ≤ 低閾値の場合、コンパレータの出力はリセットされます。	0x5A	R/W
[7:0]	BIN_HI_THR	高閾値レベル。ADC > 高閾値の場合、コンパレータの出力はセットされます。	0xAA	R/W

WARNA1 チャンネル閾値レベル・レジスタ

アドレス：0x004、リセット：0xCCCC、レジスタ名：WARNA_THR

警告 A の高閾値および低閾値。

表 22. WARNA_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	WARNA_LO_THR	低閾値レベル。ADC ≤ 低閾値の場合、コンパレータの出力はリセットされます。	0xCC	R/W
[7:0]	WARNA_HI_THR	高閾値レベル。ADC > 高閾値の場合、コンパレータの出力はセットされます。	0xCC	R/W

WARNB1 チャンネル閾値レベル・レジスタ

アドレス：0x005、リセット：0x5A88、レジスタ名：WARNB_THR

警告 B の高閾値および低閾値。

表 23. WARNB_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	WARNB_LO_THR	低閾値レベル。ADC ≤ 低閾値の場合、コンパレータの出力はリセットされます。	0x5A	R/W
[7:0]	WARNB_HI_THR	高閾値レベル。ADC > 高閾値の場合、コンパレータの出力はセットされます。	0x88	R/W

WARNC1 チャンネル閾値レベル・レジスタ

アドレス：0x006、リセット：0x2D2D、レジスタ名：WARNC_THR

警告 C の高閾値および低閾値。

表 24. WARNC_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	WARNC_LO_THR	低閾値レベル。ADC ≤ 低閾値の場合、コンパレータの出力はリセットされます。	0x2D	R/W
[7:0]	WARNC_HI_THR	高閾値レベル。ADC > 高閾値の場合、コンパレータの出力はセットされます。	0x2D	R/W

バイナリ・チャンネル構成レジスタ

アドレス：0x007、リセット：0x0096、レジスタ名：BIN_FILTER

バイナリ・チャンネル構成レジスタ。

表 25. BIN_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	BIN_EN	DOUT1 データパス・イネーブル。このビットが 0 の場合、コンパレータの出力は強制的にローになります。このビットはデフォルトで 0 になり、データパスが無効になることに注意してください。	0x0	R/W
14	BIN_UPDOWN	セットされた場合、バウンス防止フィルタはアップ/ダウン・モードになります。デフォルトでは、アップ/クリア・モードになります。	0x0	R/W
13	RESERVED	予備。	0x0	R
[12:0]	BIN_FILTER_VAL	フィルタ長。フィルタ長は 20 μ s 刻みで増加します。フィルタ長より短い入力グリッチは除去され、出力は変化しません。フィルタ長が 0 の場合、フィルタはバイパスされ、出力は遅延なしで入力と等しくなります。	0x96	R/W

WARNA1 データパス構成レジスタ

アドレス：0x008、リセット：0x80FA、レジスタ名：WARNA_FILTER

警告 A データパス構成レジスタ。

表 26. WARNA_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	WARNA_EN	フィルタ・コンパレータ・イネーブル。	0x1	R/W
14	WARNA_UPDOWN	フィルタのアップ/ダウン・モード。	0x0	R/W
13	RESERVED	予備。	0x0	R
[12:0]	WARNA_FILTER_VAL	フィルタ長。フィルタ長は 20 μ s 刻みで増加します。フィルタ長より短い入力グリッチは除去され、出力は変化しません。フィルタ長が 0 の場合、フィルタはバイパスされ、出力は遅延なしで入力と等しくなります。	0xFA	R/W

WARNB1 データパス構成レジスタ

アドレス：0x009、リセット：0x80FA、レジスタ名：WARNB_FILTER

警告 B データパス構成レジスタ。

表 27. WARNB_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	WARNB_EN	フィルタ・コンパレータ・イネーブル。	0x1	R/W
14	WARNB_UPDOWN	フィルタのアップ/ダウン・モード。	0x0	R/W
13	RESERVED	予備。	0x0	R
[12:0]	WARNB_FILTER_VAL	フィルタ長。フィルタ長は 20 μ s 刻みで増加します。フィルタ長より短い入力グリッチは除去され、出力は変化しません。フィルタ長が 0 の場合、フィルタはバイパスされ、出力は遅延なしで入力と等しくなります。	0xFA	R/W

WARNC1 データパス構成レジスタ

アドレス：0x00A、リセット：0x80FA、レジスタ名：WARNC_FILTER

警告 C データパス構成レジスタ。

表 28. WARNC_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	WARNC_EN	フィルタ・コンパレータ・イネーブル。	0x1	R/W
14	WARNC_UPDOWN	フィルタのアップ/ダウン・モード。	0x0	R/W
13	RESERVED	予備。	0x0	R
[12:0]	WARNC_FILTER_VAL	フィルタ長。フィルタ長は 20 μ s 刻みで増加します。フィルタ長より短い入力グリッチは除去され、出力は変化しません。フィルタ長が 0 の場合、フィルタはバイパスされ、出力は遅延なしで入力と等しくなります。	0xFA	R/W

割込みマスク・レジスタ

アドレス：0x00B、リセット：0x4000、レジスタ名：MASK

MASK レジスタのビットがセットされると、ビット 15 (DREADY) を除いて、対応するステータス・フラグが割込みを生成します (表 29 を参照)。

表 29. MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	DREADY	ADC 波形サンプル割込みイネーブル。ADC サンプルが使用可能な状態になったときに同期する 100kHz の割込みを有効にするには、このビットを 1 にセットします。このビットを有効にするときは、MASK レジスタのビット [14:0] が 0 にクリアされて他のすべての割込みが無効になっている必要があります。	0x0	R/W
14	RSTDONE	デバイスがリセットされ、プログラム可能な状態またはデフォルトの通常動作を開始できる状態になったことを示します。	0x1	R/W
13	BUSY	内部通信ビジー。	0x0	R/W
12	RESERVED	予備。	0x0	R/W
11	COOLDOWN1	チャンネル 1 クールダウン・モード割込みイネーブル。このビットを 1 に設定すると、内部 FET 電力計の設定に従って安全動作モードの範囲内にデバイスを維持するためにチャンネル 1 がクールダウン・モードになったときに通知されます。	0x0	R/W
10	TSD	プログラマブル負荷サーマル・シャットダウン割込みイネーブル。このビットを 1 にセットすると、過熱保護のためにプログラマブル負荷が無効になったときに通知されます。	0x0	R/W
9	COMFLT	絶縁通信エラー割込みイネーブル。このビットを 1 にセットすると、デバイスの絶縁側と非絶縁側の間で伝達される内部データにエラーがあったときに通知されます。デバイスはパケットの再送信で対応します。INT_STATUS レジスタの COMFLT ビットに 1 が書き込まれた後もエラーが続く場合は、デバイスのレジスタの設定値を再設定してください。	0x0	R/W
8	MEMFLT	メモリ障害割込みイネーブル。このビットを 1 にセットすると、デバイスの絶縁側と非絶縁側のレジスタの値に不一致があったときに通知されます。これはレジスタを再設定する必要があることを示します。	0x0	R/W
[7:4]	RESERVED	予備。	0x0	R/W
3	WARNC1	WARNC1 割込みイネーブル。このビットを 1 にセットすると、WARNC1 コンパレータの出力がロジック・ローからロジック・ハイに変化したときに通知されます。	0x0	R/W
2	WARNB1	WARNB1 割込みイネーブル。このビットを 1 にセットすると、WARNB1 コンパレータの出力がロジック・ローからロジック・ハイに変化したときに通知されます。	0x0	R/W
1	WARNA1	WARNA1 割込みイネーブル。このビットを 1 にセットすると、WARNA1 コンパレータの出力がロジック・ローからロジック・ハイに変化したときに通知されます。	0x0	R/W
0	DOUT1	DOUT1 割込みイネーブル。このビットを 1 にセットすると、DOUT1 ピンがロジック・ローからロジック・ハイに変化したときに通知されます。	0x0	R/W

割込みステータス・レジスタ

アドレス：0x00C、リセット：0x0000、レジスタ名：INT_STATUS

割込みステータス・レジスタは、割込みを生成できるイベントのうち何が発生したかを示します。目的のビット位置に 1 を書き込んでイベントをアクノレッジし、ビットをクリアします。このレジスタはデバイスがロックされているときでも書き込み可能です。

表 30. INT_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	RSTDONE	デバイスがリセットされ、プログラム可能な状態またはデフォルトの通常動作を開始できる状態になったことを示します。	0x0	RW1C
13	BUSY	内部通信ビジー。	0x0	RW1C
12	RESERVED	予備。	0x0	RW1C
11	COOLDOWN1	チャンネル 1 はクールダウン・モードです。	0x0	RW1C
10	TSD	サーマル・シャットダウンが検出されました。	0x0	RW1C
9	COMFLT	通信障害。	0x0	RW1C
8	MEMFLT	メモリ障害。メモリ障害が検出された場合は、デバイスを再設定してください。	0x0	RW1C
[7:4]	RESERVED	予備。	0x0	RW1C
3	WARNC1	チャンネル 1 からの警告 C。	0x0	RW1C

ビット	ビット名	説明	リセット	アクセス
2	WARNB1	チャンネル 1 からの警告 B。	0x0	RW1C
1	WARNA1	チャンネル 1 からの警告 A。	0x0	RW1C
0	DOUT1	DOUT1。	0x0	RW1C

ステータス・レジスタ

アドレス：0x00D、リセット：0x4000、レジスタ名：STATUS

このレジスタのビットはラッチされないため、ポーリングして目的のイベントの現在のステータスを確認できます。

表 31. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	RSTBUSY	RSTBUSY が 0 から 1 へ遷移すると、デバイスがリセットされ、プログラム可能な状態またはデフォルトの通常動作を開始できる状態になったことを示します。このビットはアクティブ・ローであるため、不良読み出し（0xFFFF）と初期化されたデバイスを区別できます。	0x1	R
13	BUSY	内部通信ビジー。	0x0	R
12	RESERVED	予備。	0x0	R
11	COOLDOWN1	チャンネル 1 はクールダウン・モードです。	0x0	R
10	TSD	サーマル・シャットダウンが検出されました。	0x0	R
9	COMFLT	通信障害。	0x0	R
8	MEMFLT	メモリ障害。メモリ障害が検出された場合は、デバイスを再設定してください。	0x0	R
[7:4]	RESERVED	予備。	0x0	R
3	WARNC1	チャンネル 1 からの警告 C。	0x0	R
2	WARNB1	チャンネル 1 からの警告 B。	0x0	R
1	WARNA1	チャンネル 1 からの警告 A。	0x0	R
0	DOUT1	DOUT1。	0x0	R

ADC レジスタ

アドレス：0x00E、リセット：0x0000、レジスタ名：ADC

ADC サンプルは 100kHz で更新されます。

表 32. ADC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	ADC1	ADC チャンネル 1。	0x0	R

ADC デシメーション・レジスタ

アドレス：0x00F、リセット：0x0000、レジスタ名：ADCDEC

デシメーションされた ADC サンプル。

表 33. ADCDEC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	ADCDEC1	デシメーションされた ADC チャンネル 1。サンプルは DECRATE ビット・フィールドで指定されたレートでデシメーションされています。	0x0	R

プログラマブル負荷コントロール・レジスタ

アドレス：0x010、リセット：0x0000、レジスタ名：PL_CTRL

プログラマブル負荷をロー・アイドル・モードまたはハイ・アイドル・モードに設定します。

表 34. PL_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	PL_MODE	プログラマブル負荷モード。 0：ロー・アイドル状態。ロー・アイドル状態では、チャンネルの ADC コードが 0 より大きく RISE_THR ビット・フィールドより小さい場合、プログラマブル負荷電流は PL_LOW_CODE に設定されます。チャンネルの ADC 値が PL_RISE_THR より高くなると、負荷電流は PL_HIGH_CODE に設定されます。 1：ハイ・アイドル状態。ハイ・アイドル状態では、チャンネルの ADC コードが 0 より高い場合、プログラマブル負荷電流は PL_HIGH_CODE に設定されます。LOAD1 ピンに十分な電圧ヘッドルームが生じると、まもなくプログラム負荷電流が流れます。	0x0	R/W

プログラマブル負荷立上がり閾値レジスタ

アドレス：0x011、リセット：0x001E、レジスタ名：PL_RISE_THR

プログラマブル負荷立上がりエッジ ADC サンプル閾値を設定します。

表 35. PL_RISE_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	RISE_THR	立上がりエッジ閾値。ロー・アイドル・モード（PL_MODE = 0）に設定されている場合、ADC 値が RISE_THR より大きくなると、LOAD1 ピンが大電流をシンクするように設定されます（PL_HIGH_CODE）。 書き込むことができる最小値は 0x01 で、最大値は 0xFE です。これらの値がハードウェアによって強制的に適用されるため、0x00 を書き込むと 0x01 になり、0xFF を書き込むと 0xFE になります。	0x1E	R/W

プログラマブル負荷ロー・コード・レジスタ

アドレス：0x012、リセット：0x001E、レジスタ名：PL_LOW_CODE

プログラマブル負荷のロー・コード。

表 36. PL_LOW_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	LOW_CODE	プログラマブル負荷のロー・コード。最小低電流値は 100μA 単位です。最小値は 0x1 です。0x0 が書き込まれた場合、LOW_CODE = 0x1 になります。	0x1E	R/W

プログラマブル負荷ハイ・コード・レジスタ

アドレス：0x013、リセット：0x00C8、レジスタ名：PL_HIGH_CODE

プログラマブル負荷のハイ・コード。

表 37. PL_HIGH_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R
[9:0]	HIGH_CODE	200μA 単位のプログラマブル負荷のハイ・コード。書き込むことができる最小値は 0x1 です。	0xC8	R/W

プログラマブル負荷大電流時間レジスタ

アドレス：0x014、リセット：0x012C、レジスタ名：PL_HIGH_TIME

大電流タイマーの持続時間。

表 38. PL_HIGH_TIME のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	HIGH_TIME	プログラマブル負荷の大電流時間。プログラマブル負荷がハイ状態に遷移すると、プログラマブル負荷は HIGH_TIME 時間（10 μ s 単位）の間大電流をプルダウンします。最小 HIGH_TIME は 10 μ s です。0 が書き込まれた場合、HIGH_TIME = 1 になります。	0x12C	R/W

電力量計コントロール・レジスタ

アドレス：0x015、リセット：0x0505、レジスタ名：EGY_MTR_CTRL

電力量計コントロール・レジスタ。

表 39. EGY_MTR_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	COOLDOWN_DECR	クールダウン・デクリメント。パルス電流がオフになると、FET 電力アキュムレータは COOLDOWN_TIMESTEP ごとに COOLDOWN_DECR の値だけデクリメントします。	0x5	R/W
[7:6]	OV_SCALE	過電圧スケール・ファクタ。ADC 値が 0xFF の場合に適用されます。 0：1 倍。 1：4 倍。 10：8 倍。 11：16 倍。	0x0	R/W
[5:4]	COOLDOWN_TIMESTEP	クールダウン・タイムステップ。パルス電流がオフになると、FET 電力アキュムレータは COOLDOWN_TIMESTEP ごとに COOLDOWN_DECR の値だけデクリメントします。 0：10 μ s。 1：20 μ s。 10：40 μ s。 11：80 μ s。	0x0	R/W
[3:0]	COOLDOWN_SEC	クールダウン期間。クールダウン期間は秒単位です。値を 0 にすると、クールダウン機能は無効になります。	0x5	R/W

電力量計最大閾値レジスタ

アドレス：0x016、リセット：0x9BA3、レジスタ名：EGY_MTR_THR

電力量計の最大電力量閾値。

表 40. EGY_MTR_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MAX_EGY_THR	最大電力量閾値。MAX_EGY_THR を超えると、デバイスはクールダウン・モードに移行します。閾値は 128 でスケールリングされます。デバイスがクールダウン・モードでないとき、電力量計はスケールリングされた ADC 値を 10 μ s ごとに加算します。	0x9BA3	R/W

電力量計チャンネル 1 アキュムレータ・レジスタ

アドレス：0x017、リセット：0x0000、レジスタ名：EGY_MTR1

電力量計チャンネル 1。

表 41. EGY_MTR1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	EGY_MTR1	チャンネル 1 の電力量計。現在の累算値。	0x0	R

プログラマブル負荷イネーブル・レジスタ

アドレス：0x200、リセット：0x0000、レジスタ名：PL_EN

プログラマブル負荷イネーブル。

表 42. PL_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	EN2	プログラマブル負荷チャンネル 1 イネーブル。プログラマブル負荷をイネーブルにするには、EN1 ビットと EN2 ビットの両方をセットする必要があります。パワーオン・リセット後はディスエーブルになります。	0x0	R/W
14	EN1	プログラマブル負荷チャンネル 1 イネーブル。プログラマブル負荷をイネーブルにするには、EN1 ビットと EN2 ビットの両方をセットする必要があります。パワーオン・リセット後はディスエーブルになります。	0x0	R/W
[13:4]	RESERVED	予備。	0x0	R
[3:0]	RESERVED	予備。	0x0	R/W

PGA ゲイン・レジスタ

アドレス：0x201、リセット：0x0000、レジスタ名：PGA_GAIN

ゲイン値（表 43 を参照）。

表 43. PGA_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
[1:0]	PGA_GAIN	PGA ゲイン。4 ビットの温度計値にデコードされる 2 ビットの値。次の 4 つのゲイン値をサポートします。 0：ゲインは 1。 1：ゲインは 2。 10：ゲインは 5。 11：ゲインは 10。	0x0	R/W

外形寸法

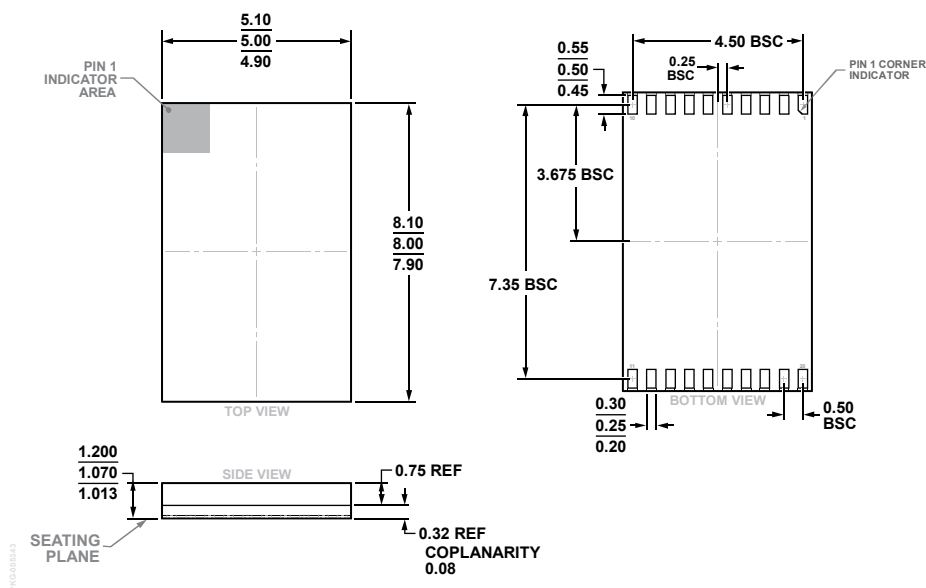


図 50. 20 ピンのランド・グリッド・アレイ [LGA]
(CC-20-5)
寸法単位：mm

オーダー・ガイド

Model ^{1,2}	Temperature Range	Package Description	Package Option
ADE1201ACCZ	-40°C to +125°C	20-Lead Land Grid Array [LGA]	CC-20-5
ADE1201ACCZ-RL	-40°C to +125°C	20-Lead Land Grid Array [LGA]	CC-20-5
EVAL-ADE1201EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品

² EVAL-SDP-CB1Z は、EVAL-ADE1201EBZ 評価用ボードを管理するコントローラ・ボードです。両方のボードと一緒に注文する必要があります。