

高入力インピーダンス、プログラマブル・ゲイン、24 ビット、1MSPS、エイリアス・フリーの μ Module[®] DAQ ソリューション

特長

- ▶ 高集積データ・アキュジション・ソリューション
- ▶ 広い入力共通モード電圧範囲
 - ▶ 最大ユニポーラ入力範囲: +24V または -24V
- ▶ 設定可能な 8 つのバイナリ・ゲイン・オプション: 1V/V ~ 128V/V
- ▶ 3 つのピンで選択可能なアンチエイリアシング・フィルタ (AAF) ゲイン・オプション
 - ▶ $G = 1\text{V/V}$ 、 0.364V/V 、 0.143V/V
- ▶ 最大の平坦度と直線的な位相特性を持つ 4 次 AAF
 - ▶ 90dB (代表値) の除去によるエイリアシングからの完全な保護
- ▶ デバイス間の優れた位相整合とドリフト
- ▶ 高精度の AC 性能と DC 性能を両立
 - ▶ システム全体のダイナミック・レンジ: 最大 136dB
 - ▶ THD: -113dB (代表値、入力トーン 1kHz、総ゲイン = 1 の場合)
 - ▶ DC CMRR: 81dB (代表値、総ゲイン = 1 の場合)
 - ▶ 入力バイアス電流: 1pA (代表値、25°C 時)
 - ▶ INL: $\pm 3.3\text{ppm}$ (代表値)
 - ▶ ゲイン誤差ドリフト: $5\text{ppm}/^\circ\text{C}$ (最大値)
 - ▶ デバイス間の位相不整合: $\pm 0.5^\circ$ (最大値、20kHz 時)
- ▶ プログラマブルな出力データ・レート、フィルタ・タイプ、レイテンシ
 - ▶ リニア位相デジタル・フィルタ・オプション:
 - ▶ 広帯域低リップル FIR フィルタ (256kSPS、最大入力帯域幅 110kHz)

- ▶ sinc5 フィルタ (1.024MSPS、最大入力帯域幅 208.9kHz、最大群遅延 4 μ s)
- ▶ sinc3 フィルタ (50Hz/60Hz 除去)
- ▶ LDO 内蔵
- ▶ 電源デカップリング・コンデンサ内蔵
- ▶ ピン・ストラップまたは SPI インターフェースを使用した設定
- ▶ 絶縁アプリケーションに最適化されたデジタル・インターフェース
- ▶ 診断チェック・メカニズムに最適
- ▶ 動作温度範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$
- ▶ 12.00mm \times 6.00mm、84 ボール、ボール・ピッチ 0.80mm の CSP_BGA パッケージで提供
 - ▶ ディスクリット・ソリューションと比較してフットプリントを 1/11 に削減

アプリケーション

- ▶ 汎用入力測定プラットフォーム
- ▶ 電子テストおよび計測
- ▶ サウンドと振動、音響、および素材科学の研究開発
- ▶ ループ検証における制御とハードウェア
- ▶ 予防メンテナンスのための状態監視
- ▶ オーディオ試験

機能ブロック図

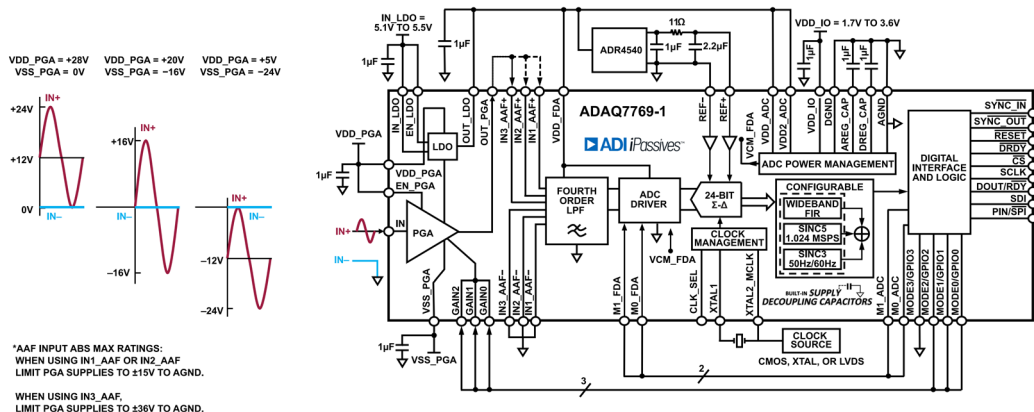


図 1. 機能ブロック図

目次

特長	1	ノイズ性能	92
アプリケーション	1	デジタル・インターフェース	96
機能ブロック図	1	SPIでの読み出しと書き込み	97
概要	4	SPI制御インターフェースのエラー処理	98
仕様	6	シリアル・インターフェースでのCRCチェック	98
AAF_GAIN = IN1_AAF	6	変換読み出しモード	100
AAF_GAIN = IN2_AAF	12	データ変換モード	103
AAF_GAIN = IN3_AAF	18	連続変換モード	103
一般仕様	24	ワンショット変換モード	103
タイミング仕様	27	シングル変換モード	104
1.8V タイミング仕様	28	デューティサイクル変換モード	104
絶対最大定格	32	複数の ADAQ7769-1 デバイスの同期	105
熱抵抗	32	ADAQ7769-1 のその他の機能	106
静電放電 (ESD) 定格	32	リセット	106
ピン配置およびピン機能の説明	33	ステータス・ヘッダ	106
代表的な性能特性	36	診断機能	106
AAF_GAIN = IN1_AAF	36	アプリケーション情報	107
AAF_GAIN = IN2_AAF	43	状態基準保全 (CBM) アプリケーション	107
AAF_GAIN = IN3_AAF	50	アナログ入力	107
用語の定義	57	センサーとのインターフェース	110
動作原理	59	PIN制御モードと SPI 制御モード	111
アナログ入力	59	電源	111
アンチエイリアシング・フィルタ (AAF)	65	リファレンス、リファレンス・バッファ、	
完全差動アンプ (FDA) の消費電力モード	68	直線性向上バッファ	111
直線性向上バッファ	68	推奨インターフェース	111
リファレンス入力とバッファリング	68	プログラマブル・デジタル・フィルタ	113
コア・コンバータ	69	レイアウトのガイドライン	116
電源	70	レジスタの一覧	117
電源のデカップリング	70	レジスタの詳細	119
電源スタンバイ	70	コンポーネント・タイプ・レジスタ	119
クロック供給とサンプリング・ツリー	70	製品固有 ID レジスタ	119
クロッキングとクロックの選択	71	デバイス・グレードおよびリビジョン・レジスタ	119
デジタル・フィルタ処理	72	ユーザ・スクラッチ・パッド・レジスタ	119
合計群遅延	79	デバイス・ベンダ ID レジスタ	120
ADC の速度と性能	79	インターフェース・フォーマット制御レジスタ	120
デバイスの設定方法	79	電力およびクロック制御レジスタ	121
PIN制御モードの概要	80	アナログ・バッファ制御レジスタ	121
SPI 制御の概要	83	変換ソース選択およびモード制御レジスタ	122
SPI 制御モード	84	デジタル・フィルタおよびデシメーション制御レジスタ	122
クイック・スタートアップ・ガイド	88	sinc3 デシメーション・レート (MSB) レジスタ	123
電源の接続	88	sinc3 デシメーション・レート (LSB) レジスタ	123
デバイスの制御モード	89	周期的変換レート制御レジスタ	123
入力範囲の選択	89	同期モードおよびリセット・トリガリング・レジスタ	124
MCLK の分周器とソースの選択	89	GPIO ポート制御レジスタ	124
デジタル・フィルタの設定	90		
ADC の消費電力モード	90		
基本的なレジスタ・セットアップ	90		
クイック・スタートの例	91		

目次

GPIO 出力制御レジスタ	124	デバイス・エラー・フラグ・メイン・レジスタ	127
GPIO 入力読出しレジスタ	125	SPI エラー・レジスタ	128
オフセット・キャリブレーション MSB レジスタ	125	ADC 診断出力レジスタ	128
オフセット・キャリブレーション MID レジスタ	125	デジタル診断出力レジスタ	128
オフセット・キャリブレーション LSB レジスタ	125	MCLK 診断出力レジスタ	128
ゲイン・キャリブレーション MSB レジスタ	126	係数制御レジスタ	129
ゲイン・キャリブレーション MID レジスタ	126	係数データ・レジスタ	129
ゲイン・キャリブレーション LSB レジスタ	126	アクセス・キー・レジスタ	129
SPI 診断制御レジスタ	126	外形寸法	130
ADC 診断機能制御レジスタ	127	オーダー・ガイド	130
デジタル診断機能制御レジスタ	127	評価用ボード	130
変換結果レジスタ	127		

改訂履歴

7/2025— Revision 0: Initial Version

概要

ADAQ7769-1 は、シグナル・コンディショニング、変換、および処理ブロックを 1 つのシステム・イン・パッケージ (SiP) 設計に組み込んだ、24 ビットの高精度データ・アキュイジション (DAQ) μ Module[®]システムです。このシステムは、超小型、高性能、高精度の DAQ システムを短時間で開発することを可能にします。

ADAQ7769-1 の構成要素は次のとおりです。

- ▶ 1~128 のバイナリ・ゲインで動作するように設定可能な、低ノイズ、低バイアス電流、高帯域幅のプログラマブル・ゲイン・アンプ (PGA)
- ▶ 低ノイズ、直線的位相の 4 次アンチエイリアシング・フィルタ (AAF)
- ▶ 低ノイズ、低歪み、広帯域幅、ゲイン選択可能な ADC ドライバ、およびオプションの直線性向上バッファ
- ▶ プログラマブル・デジタル・フィルタを備えた高性能、中帯域幅の 24 ビット・シグマ・デルタ ADC
- ▶ 低ノイズ、低ドロップアウトのリニア・レギュレータ
- ▶ リファレンス・バッファ
- ▶ シグナル・チェーンに必要な重要受動部品

ADAQ7769-1 は PGA の電源電圧に応じた柔軟性を備え、最大で 0V~+24V/0V~-24V のユニポーラ範囲、または $\pm 16V$ のバイポーラ範囲にわたる幅広いシングルエンド入力振幅をサポートします。8 つのバイナリ PGA ゲイン設定とピン選択による 3 つの AAF ゲイン設定が可能な ADAQ7769-1 は、システムのダイナミック・レンジを拡張し、より低振幅の入力信号に対するシグナル・チェーンのノイズ性能を向上させます。入力信号は 1pA (代表値) という極めて低い入力バイアス電流で完全にバッファリングされます。これにより入力インピーダンスの整合が容易になり、高い出力インピーダンスを持つセンサーに ADAQ7769-1 を直接インターフェース接続できます。

4 次ローパス・アナログ・フィルタとユーザ設定可能なデジタル・フィルタを組み合わせることにより、入力ノードで発生する高周波ノイズと帯域外トーンがエイリアシングによって対象帯域に混ざるのを防ぎ、シグナル・チェーンを完全に保護します。アナログ・ローパス・フィルタは、位相直線性を高め、帯域内振幅応答を最大限に平坦化できるよう綿密に設計されています。アナログ・ローパス・フィルタ内で使用される抵抗ネットワークは iPassives[™] 技術を用いて構築されており、絶対値においても温度範囲全体においても優れた抵抗整合特性を備えています。結果として、温度変化によるドリフトを最小限に抑えながらシグナル・チェーンの性能が維持されます。また ADAQ7769-1 は、デバイス間での位相不整合がほとんどありません。

高性能 ADC ドライバ・アンプによって、最大サンプリング・レートにおける ADC 入力の完全なセトリングが確保されます。ドライバ回路は、安定性を維持しながら、付加ノイズ、誤差、歪みを最小限に抑えるように設計されています。完全差動アーキテクチャは、シグナル・チェーンのダイナミック・レンジを最大限に引き出します。

ADAQ7769-1 内の A/D コンバータ (ADC) は、高性能、24 ビット精度、シングル・チャンネルのシグマ・デルタ・コンバータで、優れた AC 性能と DC 精度を備え、16.384MHz の MCLK から 256kSPS のスループット・レートを実現しています。このデバイスは、シグナル・チェーンの直線性を更に向上できる直線性向上バッファをオプションで備えています。

ADAQ7769-1 は入力リファレンス電圧 4.096V で仕様規定されていますが、このデバイスは VDD_ADC から 1V までのリファレンス電圧に対応できます。

ADAQ7769-1 には 2 種類のリファレンス・バッファがあります。1 つはリファレンス入力の駆動条件を緩和するプリチャージ・リファレンス・バッファ、もう 1 つは高インピーダンスのリファレンス入力を提供するフル・リファレンス・バッファです。どちらのバッファもオプションであり、レジスタ設定でオフにすることができます。

ADAQ7769-1 は、水晶、CMOS、または LVDS の 3 種類のクロック入力に対応しています。

ADAQ7769-1 には 3 種類のデジタル・ローパス・フィルタがあります。広帯域低リップル FIR フィルタは理想的なブリック・ウォール・フィルタと同様のフィルタ・プロファイルを備えているので、周波数分析に最適です。sinc5 フィルタは、良好なエイリアシング除去レベルを維持しながら、低レイテンシの経路とスムーズなステップ応答を実現します。また、16.384MHz の MCLK で最大 1.024MSPS の出力データ・レートをサポートしていることから、sinc5 フィルタは低レイテンシのデータ収集と時間領域分析に最適なものとなっています。sinc3 フィルタは幅広いデシメーション・レシオをサポートし、16.384MHz の MCLK で最小 50SPS までの出力データ・レートを生成できます。そのため、50Hz/60Hz の同時除去ポスト・フィルタと組み合わせた場合、sinc3 フィルタは高精度の DC 測定に特に有効です。ADAQ7769-1 の 3 つのデジタル・フィルタは、いずれも直線的な位相応答を持つ FIR フィルタです。フィルタの帯域幅は DAQ シグナル・チェーンの帯域幅に直接対応しており、全てレジスタを使用して設定できます。

ADAQ7769-1 は、2 つのデバイス設定方法をサポートしています。SPI インターフェースを通じたレジスタ書き込みを介してデバイスを設定する方法と、単純なハードウェア・ピン・ストラッピングを通じ、事前定義された複数のモードのいずれかで動作するようにデバイスを設定する方法です。

レジスタ・アクセスとサンプル・データ・リードバックの両方の機能が、単一の SPI インターフェースでサポートされています。ADAQ7769-1 は常に SPI ターゲットとして機能します。デバイスとの通信に 3 つ以上の IO チャンネルを用いれば、複数のインターフェース・モードに対応できます。

システムの信頼性向上を助けるために、ADAQ7769-1 には動作中の多様なエラーを検出する一連の内部診断機能が組み込まれています。

ADAQ7769-1 の電源接続は、内蔵 LDO を使用することで大幅に簡素化できます。なお、ディスクリット部品の数を更に削減するために、0.1 μ F のデカップリング・コンデンサも内蔵されています。

電源スタンバイ時はデバイスの各機能ブロックをスタンバイ・モードにすることができ、これによりデバイスの合計消費電力を 0.65mW 未満にすることが可能です。

概要

ADAQ7769-1 デバイスの動作温度範囲は -40°C ～ $+105^{\circ}\text{C}$ で、 $12\text{mm} \times 6\text{mm}$ 、84 ボール、ボール・ピッチ 0.8mm の BGA パッケージを採用しており、マルチチャンネル・アプリケーションに適しています。デバイスのフットプリントは、ディスクリート部品を使用した同じソリューションのフットプリントと比較して 1/8 のサイズです。

仕様

AAF_GAIN = IN1_AAF

特に指定のない限り、IN1_AAF+ = OUT_PGA、IN1_AAF- = AGND、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、f_{MOD} = MCLK/2、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、T_A = -40°C~105°C。代表値は T_A = 25°C での値です。

表 1. AAF_GAIN = IN1_AAF 使用時の仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT CHARACTERISTICS					
Programmable Gain Amplifier (PGA) Input	IN pin				
Input Bias Current	-40°C < T _A < 85°C		1	150	pA
	-40°C < T _A < 105°C			600	pA
PGA Common-Mode Input Range		VSS_PGA		VDD_PGA - 4	V
PGA Gain Range	PGA_GAIN = 1, 2, 4, 8, 16, 32, 64, 128	1		128	V/V
Linear Input Range	PGA_GAIN = 1		±4.096		V
Anti-Aliasing Filter (AAF) Input	IN1_AAF+/- pins				
AAF Gain	AAF_GAIN = 1		1		V/V
AAF Differential Input Range	±V _{REF} /AAF_GAIN		±4.096		V
AAF Common-Mode Input Range		-2.1		+4.5	V
AAF Common-Mode Rejection DC	DC to 60Hz, referred to IN1_AAF input		81.8		dB
AAF Common-Mode Rejection AC	f = 10kHz, referred to IN1_AAF input		71.0		dB
AAF Input Resistance, R _{IN}	Fully-differential configuration (IN1_AAF+ = positive input, IN1_AAF- = negative input)		4		kΩ
	Single-ended to differential configuration (IN1_AAF+ = input, IN1_AAF- = AGND)		2.67		kΩ
OVERALL SYSTEM DC ACCURACY					
Gain Error ¹	All PGA_GAIN, RTI	-0.16	-0.07	+0.06	%
Gain Error Drift ^{1, 2}	Endpoint Method				
	PGA_GAIN = 1 to 64	0.0	1.6	3.0	ppm/°C
	PGA_GAIN = 128	0.1	2.4	4.8	ppm/°C
Offset Error ¹	RTI, T _A = 25°C				
	PGA_GAIN = 1		±(10+390/ PGA_GAIN)	±1100	μV
	PGA_GAIN = 2 to 128		±(10+390/ PGA_GAIN)		μV
Offset Error Drift ^{1, 2}	RTI, Endpoint Method				
	PGA_GAIN = 1	-13.1	0.1-(3.1/ PGA_GAIN)	4.2	μV/°C
	PGA_GAIN = 2 to 128		0.1-(3.1/ PGA_GAIN)		μV/°C
Integral Nonlinearity (INL) ³	Endpoint Method				
	PGA_GAIN = 1		±3.3		ppm of linear input range
	PGA_GAIN = 16		±7.6		ppm of linear input range
	PGA_GAIN = 128		±75.0		ppm of linear input range
Low-Frequency Noise	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		0.37		μV rms
	PGA_GAIN = 2		0.22		μV rms

仕様

表 1. AAF_GAIN = IN1_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Peak-to-Peak Resolution ⁴	PGA_GAIN = 4		0.12		μV rms
	PGA_GAIN = 8		0.08		μV rms
	PGA_GAIN = 16		0.05		μV rms
	PGA_GAIN = 32		0.05		μV rms
	PGA_GAIN = 64		0.04		μV rms
	PGA_GAIN = 128		0.04		μV rms
	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		20.7		Bits
	PGA_GAIN = 2		20.4		Bits
	PGA_GAIN = 4		20.3		Bits
	PGA_GAIN = 8		19.9		Bits
	PGA_GAIN = 16		19.6		Bits
	PGA_GAIN = 32		18.6		Bits
	PGA_GAIN = 64		17.8		Bits
	PGA_GAIN = 128		17.0		Bits
OVERALL SYSTEM AC PERFORMANCE					
Dynamic Range (DR) ⁵	Wideband low-ripple FIR filter, ODR = 256kSPS, DEC_RATE = 32, BW = 110.8kHz				
	Shorted input				
	PGA_GAIN = 1	105.5	107.6		dB
	PGA_GAIN = 2		106.7		dB
	PGA_GAIN = 4		105.1		dB
	PGA_GAIN = 8		102.3		dB
	PGA_GAIN = 16		98.4		dB
	PGA_GAIN = 32		93.6		dB
	PGA_GAIN = 64		88.3		dB
	PGA_GAIN = 128		83.2		dB
Noise Spectral Density	Total system DR		125.5		dB
	RTI, shorted input, at 1kHz				
	PGA_GAIN = 1		36		nV/√Hz
	PGA_GAIN = 2		20		nV/√Hz
	PGA_GAIN = 4		12		nV/√Hz
	PGA_GAIN = 8		8.4		nV/√Hz
	PGA_GAIN = 16		6.6		nV/√Hz
	PGA_GAIN = 32		5.7		nV/√Hz
	PGA_GAIN = 64		5.1		nV/√Hz
	PGA_GAIN = 128		4.8		nV/√Hz
Total RMS Noise	RTI, shorted input				
	PGA_GAIN = 1		12.0		μV rms
	PGA_GAIN = 2		6.7		μV rms
	PGA_GAIN = 4		4.1		μV rms
	PGA_GAIN = 8		2.8		μV rms
	PGA_GAIN = 16		2.2		μV rms
	PGA_GAIN = 32		1.9		μV rms
	PGA_GAIN = 64		1.7		μV rms
	PGA_GAIN = 128		1.6		μV rms
Signal-to-Noise Ratio (SNR)	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 3.87Vp		105.8		dB
	PGA_GAIN = 2, 1.93Vp		105.0		dB

仕様

表 1. AAF_GAIN = IN1_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Total Harmonic Distortion (THD)	PGA_GAIN = 4, 0.97Vp		103.4		dB
	PGA_GAIN = 8, 0.48Vp		100.8		dB
	PGA_GAIN = 16, 0.24Vp		97.0		dB
	PGA_GAIN = 32, 0.12Vp		92.0		dB
	PGA_GAIN = 64, 0.060Vp		86.9		dB
	PGA_GAIN = 128, 0.030Vp		81.9		dB
	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 3.87Vp		-113.4		dB
	PGA_GAIN = 2, 1.93Vp		-112.1		dB
	PGA_GAIN = 4, 0.97Vp		-113.8		dB
	PGA_GAIN = 8, 0.48Vp		-114.6		dB
	PGA_GAIN = 16, 0.24Vp		-116.1		dB
	PGA_GAIN = 32, 0.12Vp		-116.1		dB
	PGA_GAIN = 64, 0.060Vp		-111.6		dB
	PGA_GAIN = 128, 0.030Vp		-104.1		dB
Signal-to-Noise and Distortion Ratio (SINAD)	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 3.87Vp		105.1		dB
	PGA_GAIN = 2, 1.93Vp		104.2		dB
	PGA_GAIN = 4, 0.97Vp		103.0		dB
	PGA_GAIN = 8, 0.48Vp		100.6		dB
	PGA_GAIN = 16, 0.24Vp		97.0		dB
	PGA_GAIN = 32, 0.12Vp		92.0		dB
	PGA_GAIN = 64, 0.060Vp		86.9		dB
	PGA_GAIN = 128, 0.030Vp		81.9		dB
Spurious-Free Dynamic Range (SFDR)	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 3.87Vp		-114.6		dBc
	PGA_GAIN = 2, 1.93Vp		-112.6		dBc
	PGA_GAIN = 4, 0.97Vp		-115.1		dBc
	PGA_GAIN = 8, 0.48Vp		-116.9		dBc
	PGA_GAIN = 16, 0.24Vp		-118.9		dBc
	PGA_GAIN = 32, 0.12Vp		-121.8		dBc
	PGA_GAIN = 64, 0.060Vp		-113.7		dBc
	PGA_GAIN = 128, 0.030Vp		-105.6		dBc
Intermodulation Distortion (IMD)	$f_{IN_A} = 9\text{kHz}$, $f_{IN_B} = 10\text{kHz}$				
	Second-order				
	PGA_GAIN = 1		-115		dBc
	PGA_GAIN = 2		-106		dBc
	PGA_GAIN = 4		-115		dBc
	PGA_GAIN = 8		-117		dBc
	PGA_GAIN = 16		-113		dBc
	PGA_GAIN = 32		-109		dBc
	PGA_GAIN = 64		-104		dBc
	PGA_GAIN = 128		-98		dBc
	Third-order				
	PGA_GAIN = 1 to 16		-120		dBc
	PGA_GAIN = 32		-118		dBc
	PGA_GAIN = 64		-115		dBc
	PGA_GAIN = 128		-110		dBc

仕様

表 1. AAF_GAIN = IN1_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG FRONT-END (AFE) MAGNITUDE AND PHASE PERFORMANCE ⁶					
AFE Bandwidth	-3dB relative to signal amplitude at DC				
	PGA_GAIN = 1		358.2		kHz
	PGA_GAIN = 2		382.7		kHz
	PGA_GAIN = 4		375.1		kHz
	PGA_GAIN = 8		366.9		kHz
	PGA_GAIN = 16		351.3		kHz
	PGA_GAIN = 32		309.1		kHz
	PGA_GAIN = 64		224.8		kHz
	PGA_GAIN = 128		117.2		kHz
Analog Group Delay	f _{IN} = 20 kHz				
	PGA_GAIN = 1		0.81		μs
	PGA_GAIN = 2		0.69		μs
	PGA_GAIN = 4		0.73		μs
	PGA_GAIN = 8		0.81		μs
	PGA_GAIN = 16		0.92		μs
	PGA_GAIN = 32		1.11		μs
	PGA_GAIN = 64		1.44		μs
	PGA_GAIN = 128		2.10		μs
Phase Angle Mismatch over Gain ^{2, 3, 6}	Sine wave, f _{IN} = 20kHz, single device, normalized to PGA_GAIN = 1, T _A = 25°C				
	PGA_GAIN = 2	-0.936	-0.865	-0.793	Degrees
	PGA_GAIN = 4	-0.595	-0.531	-0.467	Degrees
	PGA_GAIN = 8	0.006	0.063	0.119	Degrees
	PGA_GAIN = 16	0.774	0.842	0.910	Degrees
	PGA_GAIN = 32	2.036	2.155	2.273	Degrees
	PGA_GAIN = 64	4.360	4.594	4.829	Degrees
	PGA_GAIN = 128	8.868	9.336	9.804	Degrees
Phase Angle Drift ^{2, 3, 6}	f _{IN} = 20kHz				
	PGA_GAIN = 1	0.13	0.20	0.26	m°/°C
	PGA_GAIN = 2	-0.01	0.05	0.12	m°/°C
	PGA_GAIN = 4	0.25	0.32	0.39	m°/°C
	PGA_GAIN = 8	0.61	0.82	1.03	m°/°C
	PGA_GAIN = 16	1.24	1.72	2.20	m°/°C
	PGA_GAIN = 32	2.46	3.47	4.47	m°/°C
	PGA_GAIN = 64	4.88	6.89	8.90	m°/°C
	PGA_GAIN = 128	9.52	13.47	17.42	m°/°C
Device-to-Device Phase Angle Mismatch ^{2, 3, 6}	f _{IN} = 20kHz, typical = ±1σ, T _A = 25°C				
	PGA_GAIN = 1	-0.038	±0.013	0.038	Degrees
	PGA_GAIN = 2	-0.079	±0.020	0.079	Degrees
	PGA_GAIN = 4	-0.073	±0.018	0.073	Degrees
	PGA_GAIN = 8	-0.067	±0.017	0.067	Degrees
	PGA_GAIN = 16	-0.078	±0.020	0.078	Degrees
	PGA_GAIN = 32	-0.126	±0.032	0.126	Degrees
	PGA_GAIN = 64	-0.240	±0.060	0.240	Degrees
	PGA_GAIN = 128	-0.471	±0.118	0.471	Degrees

仕様

表 1. AAF_GAIN = IN1_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Device-to-Device Phase Angle Mismatch Drift ^{2, 3, 6}	$f_{IN} = 20\text{kHz}$, typical = $ 1\sigma $ per °C				
	PGA_GAIN = 1		0.2	1.0	μ°/C
	PGA_GAIN = 2		-2.7	-11.0	μ°/C
	PGA_GAIN = 4		-2.6	-10.4	μ°/C
	PGA_GAIN = 8		0.1	0.4	μ°/C
	PGA_GAIN = 16		9.1	36.6	μ°/C
	PGA_GAIN = 32		32.1	128.3	μ°/C
	PGA_GAIN = 64		72.4	289.6	μ°/C
	PGA_GAIN = 128		141.5	565.9	μ°/C
Magnitude Flatness	$f_{IN} = 20\text{kHz}$				
	PGA_GAIN = 1 to 16		± 0.005		dB
	PGA_GAIN = 32		-0.010		dB
	PGA_GAIN = 64		-0.030		dB
	PGA_GAIN = 128		-0.100		dB
	$f_{IN} = 100\text{kHz}$				
	PGA_GAIN = 1 to 16		± 0.10		dB
	PGA_GAIN = 32		-0.10		dB
	PGA_GAIN = 64		-0.50		dB
	PGA_GAIN = 128		-2.00		dB
Alias Rejection	All PGA_GAIN, -6.0dBFS input signal at MCLK = 16.384MHz		90		dB
POWER SUPPLY CURRENT					
VDD_PGA	IN = AGND		1.3		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		1.35		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		2.4		mA
VSS_PGA	IN = AGND		-2.0		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		-2.1		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		-1.3		mA
VDD_FDA	IN1_AAF+ = IN1_AAF- = AGND		4.9		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		5.0		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		4.8		mA
VDD_ADC	Standby		120		μA
	Linearity boost buffer on, reference precharge buffer on		6.3		mA
	Linearity boost buffer off, reference precharge buffers off		2.4		mA
	Standby		205		μA
VDD2_ADC			4.7		mA
	Standby		30		μA
VDD_IO					
Sinc3 Filter			3.5		mA
Sinc5 Filter			3.7		mA
Wideband Low-Ripple FIR Filter			9.1		mA

仕様

表 1. AAF_GAIN = IN1_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Standby POWER DISSIPATION	VDD_PGA = 15V, VSS_PGA = -15V, IN_LDO = EN_LDO = 5.3 V, OUT_LDO = VDD_FDA = VDD_ADC = VDD2_ADC, VDD_IO = 3.3 V, linearity boost buffer on, reference precharge buffer on, external CMOS MCLK		380		μA
Full Operating Mode					
Sinc3 Filter	IN = AGND, any PGA_GAIN		145		mW
Sinc5 Filter	IN = AGND, any PGA_GAIN		146		mW
Wideband Low-Ripple FIR Filter	IN = AGND, any PGA_GAIN		164		mW
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		167		mW
	Full-scale DC input with common mode = AGND, any PGA_GAIN		169		mW
Standby Mode	FDA in standby mode, and ADC in standby mode		3.14		mW
ADC Power-Down	FDA in standby mode, and ADC in power-down mode		0.65		mW

¹ テスタの繰り返し性と再現性のガード・バンドは含まれていません。

² 手順に従って IC を作製した 1 枚のウェハから抽出した 50 個のサンプルを用い、-40°C~+105°C の温度範囲で行った特性評価のデータに基づき計算した制限値。

³ これらの値に対する製品テストは行われていませんが、量産開始時の特性評価データで裏付けられています。

⁴ ピーク to ピーク分解能については、用語の定義のセクションを参照してください。計算に用いたノイズは、「Low-Frequency Noise」の仕様に記載されています。

⁵ 異なるゲインおよびフィルタ設定におけるダイナミック・レンジとノイズの詳細については、ノイズ性能のセクションを参照してください。

⁶ AFE 性能、用語の定義、計算については、AFE の位相性能の計算のセクションを参照してください。

仕様

AAF_GAIN = IN2_AAF

特に指定のない限り、IN2_AAF+ = OUT_PGA、IN2_AAF- = AGND、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。代表値は $T_A = 25^{\circ}\text{C}$ での値です。

表 2. AAF_GAIN = IN2_AAF 使用時の仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT CHARACTERISTICS					
PGA Input	IN pin				
Input Bias Current	$-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$		1	150	pA
	$-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$			600	pA
PGA Common-Mode Input Range		VSS_PGA		VDD_PGA - 4	V
PGA Gain Range	PGA_GAIN = 1, 2, 4, 8, 16, 32, 64, 128	1		128	V/V
Linear Input Range	PGA_GAIN = 1		± 11.264		V
AAF Input	IN2_AAF+/- pins				
AAF Gain	AAF_GAIN = 0.364		4/11		V/V
AAF Differential Input Range	$\pm V_{REF}/AAF_GAIN$		± 11.264		V
AAF Common-Mode Input Range		-6.1		+6.2	V
AAF Common-Mode Rejection DC	DC to 60Hz, referred to IN2_AAF input		81.9		dB
AAF Common-Mode Rejection AC	f = 10kHz, referred to IN2_AAF input		78.8		dB
AAF Input Resistance, R_{IN}	Fully-differential configuration (IN2_AAF+ = positive input, IN2_AAF- = negative input)		11		k Ω
	Single-ended to differential configuration (IN2_AAF+ = input, IN2_AAF- = AGND)		6.35		k Ω
OVERALL SYSTEM DC ACCURACY					
Gain Error ¹	All PGA_GAIN, RTI	-0.12	-0.02	+0.10	%
Gain Error Drift ^{1, 2}	Endpoint Method				
	PGA_GAIN = 1 to 64	-0.9	+0.9	+2.3	ppm/ $^{\circ}\text{C}$
	PGA_GAIN = 128	-0.6	+1.7	+4.0	ppm/ $^{\circ}\text{C}$
Offset Error ¹	RTI, $T_A = 25^{\circ}\text{C}$				
	PGA_GAIN = 1		$\pm(10+620/PGA_GAIN)$	± 1600	μV
	PGA_GAIN = 2 to 128		$\pm(10+620/PGA_GAIN)$		μV
Offset Error Drift ^{1, 2}	RTI, Endpoint Method				
	PGA_GAIN = 1	-23.4	0.1-(5.1/PGA_GAIN)	9.4	$\mu\text{V}/^{\circ}\text{C}$
	PGA_GAIN = 2 to 128		0.1-(5.1/PGA_GAIN)		$\mu\text{V}/^{\circ}\text{C}$
INL ³	Endpoint Method				
	PGA_GAIN = 1		± 2.0		ppm of linear input range
	PGA_GAIN = 16		± 2.6		ppm of linear input range
	PGA_GAIN = 128		± 19.9		ppm of linear input range
Low-Frequency Noise	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		1.08		$\mu\text{V rms}$
	PGA_GAIN = 2		0.73		$\mu\text{V rms}$

仕様

表 2. AAF_GAIN = IN2_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Peak-to-Peak Resolution ⁴	PGA_GAIN = 4		0.25		μV rms
	PGA_GAIN = 8		0.12		μV rms
	PGA_GAIN = 16		0.08		μV rms
	PGA_GAIN = 32		0.08		μV rms
	PGA_GAIN = 64		0.06		μV rms
	PGA_GAIN = 128		0.07		μV rms
	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		20.6		Bits
	PGA_GAIN = 2		20.2		Bits
	PGA_GAIN = 4		20.7		Bits
	PGA_GAIN = 8		20.7		Bits
	PGA_GAIN = 16		20.4		Bits
	PGA_GAIN = 32		19.3		Bits
	PGA_GAIN = 64		18.8		Bits
	PGA_GAIN = 128		17.6		Bits
OVERALL SYSTEM AC PERFORMANCE					
DR ⁵	Wideband low-ripple FIR filter, ODR = 256kSPS, DEC_RATE = 32, BW = 110.8kHz				
	Shorted input				
	PGA_GAIN = 1	105.5	108.1		dB
	PGA_GAIN = 2		108.0		dB
	PGA_GAIN = 4		107.6		dB
	PGA_GAIN = 8		106.8		dB
	PGA_GAIN = 16		104.9		dB
	PGA_GAIN = 32		101.4		dB
	PGA_GAIN = 64		96.9		dB
	PGA_GAIN = 128		91.9		dB
Noise Spectral Density	Total system DR		134.0		dB
	RTI, shorted input, at 1kHz				
	PGA_GAIN = 1		95		nV/√Hz
	PGA_GAIN = 2		48		nV/√Hz
	PGA_GAIN = 4		25		nV/√Hz
	PGA_GAIN = 8		14		nV/√Hz
	PGA_GAIN = 16		8.4		nV/√Hz
	PGA_GAIN = 32		6.3		nV/√Hz
	PGA_GAIN = 64		5.4		nV/√Hz
	PGA_GAIN = 128		4.8		nV/√Hz
Total RMS Noise	RTI, shorted input				
	PGA_GAIN = 1		31.5		μV rms
	PGA_GAIN = 2		15.8		μV rms
	PGA_GAIN = 4		8.3		μV rms
	PGA_GAIN = 8		4.6		μV rms
	PGA_GAIN = 16		2.8		μV rms
	PGA_GAIN = 32		2.1		μV rms
	PGA_GAIN = 64		1.8		μV rms
	PGA_GAIN = 128		1.6		μV rms
SNR	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 10.6Vp		106.0		dB
	PGA_GAIN = 2, 5.32Vp		105.8		dB

仕様

表 2. AAF_GAIN = IN2_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
THD	PGA_GAIN = 4, 2.66Vp		105.6		dB
	PGA_GAIN = 8, 1.33Vp		104.7		dB
	PGA_GAIN = 16, 0.67Vp		102.9		dB
	PGA_GAIN = 32, 0.33Vp		99.7		dB
	PGA_GAIN = 64, 0.16Vp		95.2		dB
	PGA_GAIN = 128, 0.083Vp		90.3		dB
	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 10.6Vp		-111.6		dB
	PGA_GAIN = 2, 5.32Vp		-105.2		dB
	PGA_GAIN = 4, 2.66Vp		-114.8		dB
SINAD	PGA_GAIN = 8, 1.33Vp		-118.1		dB
	PGA_GAIN = 16, 0.67Vp		-117.8		dB
	PGA_GAIN = 32, 0.33Vp		-116.2		dB
	PGA_GAIN = 64, 0.16Vp		-112.5		dB
	PGA_GAIN = 128, 0.083Vp		-106.9		dB
	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 10.6Vp		104.9		dB
	PGA_GAIN = 2, 5.32Vp		102.4		dB
	PGA_GAIN = 4, 2.66Vp		105.1		dB
	PGA_GAIN = 8, 1.33Vp		104.5		dB
SFDR	PGA_GAIN = 16, 0.67Vp		102.7		dB
	PGA_GAIN = 32, 0.33Vp		99.5		dB
	PGA_GAIN = 64, 0.16Vp		95.1		dB
	PGA_GAIN = 128, 0.083Vp		90.2		dB
	-0.5dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 10.6Vp		-116.6		dBc
	PGA_GAIN = 2, 5.32Vp		-104.3		dBc
	PGA_GAIN = 4, 2.66Vp		-115.4		dBc
	PGA_GAIN = 8, 1.33Vp		-124.1		dBc
	PGA_GAIN = 16, 0.67Vp		-129.4		dBc
IMD	PGA_GAIN = 32, 0.33Vp		-126.0		dBc
	PGA_GAIN = 64, 0.16Vp		-115.3		dBc
	PGA_GAIN = 128, 0.083Vp		-109.3		dBc
	$f_{IN_A} = 9\text{kHz}$, $f_{IN_B} = 10\text{kHz}$				
	Second-order				
	PGA_GAIN = 1		-105		dBc
	PGA_GAIN = 2		-93		dBc
	PGA_GAIN = 4		-107		dBc
	PGA_GAIN = 8		-116		dBc
	PGA_GAIN = 16		-110		dBc
	PGA_GAIN = 32		-107		dBc
	PGA_GAIN = 64		-104		dBc
	PGA_GAIN = 128		-100		dBc
	Third-order				
	PGA_GAIN = 1		-113		dBc
	PGA_GAIN = 2		-117		dBc
	PGA_GAIN = 4		-119		dBc
	PGA_GAIN = 8		-118		dBc
	PGA_GAIN = 16		-116		dBc

仕様

表 2. AAF_GAIN = IN2_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	PGA_GAIN = 32		-115		dBc
	PGA_GAIN = 64		-112		dBc
	PGA_GAIN = 128		-108		dBc
AFE MAGNITUDE AND PHASE PERFORMANCE ⁶					
AFE Bandwidth	-3dB relative to signal amplitude at DC				
	PGA_GAIN = 1		299.3		kHz
	PGA_GAIN = 2		312.6		kHz
	PGA_GAIN = 4		308.7		kHz
	PGA_GAIN = 8		303.1		kHz
	PGA_GAIN = 16		293.5		kHz
	PGA_GAIN = 32		265.4		kHz
	PGA_GAIN = 64		202.6		kHz
	PGA_GAIN = 128		116.1		kHz
Analog Group Delay	f _{IN} = 20kHz				
	PGA_GAIN = 1		1.05		μs
	PGA_GAIN = 2		0.93		μs
	PGA_GAIN = 4		0.98		μs
	PGA_GAIN = 8		1.06		μs
	PGA_GAIN = 16		1.17		μs
	PGA_GAIN = 32		1.35		μs
	PGA_GAIN = 64		1.68		μs
	PGA_GAIN = 128		2.34		μs
Phase Angle Mismatch over Gain ^{2, 3, 6}	Sine wave, f _{IN} = 20kHz, single device, normalized to PGA_GAIN = 1, T _A = 25°C				
	PGA_GAIN = 2	-0.936	-0.863	-0.791	Degrees
	PGA_GAIN = 4	-0.595	-0.531	-0.466	Degrees
	PGA_GAIN = 8	-0.003	0.054	0.122	Degrees
	PGA_GAIN = 16	0.779	0.847	0.914	Degrees
	PGA_GAIN = 32	2.036	2.155	2.273	Degrees
	PGA_GAIN = 64	4.335	4.570	4.805	Degrees
	PGA_GAIN = 128	8.807	9.275	9.743	Degrees
Phase Angle Drift ^{2, 3, 6}	f _{IN} = 20kHz				
	PGA_GAIN = 1	0.11	0.23	0.35	m°/°C
	PGA_GAIN = 2	-0.03	0.09	0.20	m°/°C
	PGA_GAIN = 4	0.24	0.35	0.47	m°/°C
	PGA_GAIN = 8	0.63	0.86	1.08	m°/°C
	PGA_GAIN = 16	1.25	1.76	2.27	m°/°C
	PGA_GAIN = 32	2.49	3.50	4.51	m°/°C
	PGA_GAIN = 64	4.90	6.92	8.94	m°/°C
	PGA_GAIN = 128	9.59	13.50	17.40	m°/°C
Device-to-Device Phase Angle Mismatch ^{2, 3, 6}	f _{IN} = 20kHz, typical = ±1σ, T _A = 25°C				
	PGA_GAIN = 1	-0.051	±0.015	0.051	Degrees
	PGA_GAIN = 2	-0.088	±0.022	0.088	Degrees
	PGA_GAIN = 4	-0.082	±0.021	0.082	Degrees
	PGA_GAIN = 8	-0.077	±0.019	0.077	Degrees
	PGA_GAIN = 16	-0.087	±0.022	0.087	Degrees
	PGA_GAIN = 32	-0.133	±0.033	0.133	Degrees
	PGA_GAIN = 64	-0.244	±0.061	0.244	Degrees

仕様

表 2. AAF_GAIN = IN2_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Device-to-Device Phase Angle Mismatch Drift ^{2, 3, 6}	PGA_GAIN = 128	-0.475	±0.119	0.475	Degrees
	f _{IN} = 20kHz, typical = 1σ per °C				
	PGA_GAIN = 1		-3.9	-15.8	μ°/°C
	PGA_GAIN = 2		-3.3	-13.1	μ°/°C
	PGA_GAIN = 4		-3.9	-15.7	μ°/°C
	PGA_GAIN = 8		0.9	3.5	μ°/°C
	PGA_GAIN = 16		12.7	50.7	μ°/°C
	PGA_GAIN = 32		37.2	148.8	μ°/°C
	PGA_GAIN = 64		87.7	350.9	μ°/°C
	PGA_GAIN = 128		165.5	661.8	μ°/°C
Magnitude Flatness	f _{IN} = 20kHz				
	PGA_GAIN = 1 to 16		±0.005		dB
	PGA_GAIN = 32		-0.010		dB
	PGA_GAIN = 64		-0.030		dB
	PGA_GAIN = 128		-0.100		dB
	f _{IN} = 100kHz				
	PGA_GAIN = 1 to 16		±0.10		dB
	PGA_GAIN = 32		-0.15		dB
	PGA_GAIN = 64		-0.60		dB
	PGA_GAIN = 128		-2.00		dB
Alias Rejection	All PGA_GAIN, -6.0dBFS input signal at MCLK = 16.384MHz		90		dB
POWER SUPPLY CURRENT					
VDD_PGA	IN = AGND		1.33		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		1.6		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		3.4		mA
VSS_PGA	IN = AGND		-1.7		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		-2.0		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		-1.25		mA
VDD_FDA	IN2_AAF+ = IN2_AAF- = AGND		4.4		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		4.7		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		4.3		mA
VDD_ADC	Standby		120		μA
	Linearity boost buffer on, reference precharge buffer on		6.3		mA
	Linearity boost buffer off, reference precharge buffers off		2.4		mA
VDD2_ADC	Standby		205		μA
			4.7		mA
	Standby		30		μA
VDD_IO					
Sinc3 Filter			3.5		mA
Sinc5 Filter			3.7		mA

仕様

表 2. AAF_GAIN = IN2_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Wideband Low-Ripple FIR Filter			9.1		mA
Standby			380		μA
POWER DISSIPATION	VDD_PGA = 15V, VSS_PGA = -15V, IN_LDO = EN_LDO = 5.3 V, OUT_LDO = VDD_FDA = VDD_ADC = VDD2_ADC, VDD_IO = 3.3 V, linearity boost buffer on, reference precharge buffer on, external CMOS MCLK				
Full Operating Mode					
Sinc3 Filter	IN = AGND, any PGA_GAIN		139		mW
Sinc5 Filter	IN = AGND, any PGA_GAIN		139		mW
Wideband Low-Ripple FIR Filter	IN = AGND, any PGA_GAIN		157		mW
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		167		mW
	Full-scale DC input with common mode = AGND, any PGA_GAIN		181		mW
Standby Mode	FDA in standby mode, and ADC in standby mode		3.14		mW
ADC Power-Down	FDA in standby mode, and ADC in power-down mode		0.65		mW

¹ テスタの繰り返し性と再現性のガード・バンドは含まれていません。

² 手順に従って IC を作製した 1 枚のウェハから抽出した 50 個のサンプルを用い、-40°C～+105°C の温度範囲で行った特性評価のデータに基づき計算した制限値。

³ これらの値に対する製品テストは行われていませんが、量産開始時の特性評価データで裏付けられています。

⁴ ピーク to ピーク分解能については、用語の定義のセクションを参照してください。計算に用いたノイズは、「Low-Frequency Noise」の仕様に記載されています。

⁵ 異なるゲインおよびフィルタ設定におけるダイナミック・レンジとノイズの詳細については、ノイズ性能のセクションを参照してください。

⁶ AFE 性能、用語の定義、計算については、AFE の位相性能の計算のセクションを参照してください。

仕様

AAF_GAIN = IN3_AAF

特に指定のない限り、IN3_AAF+ = OUT_PGA、IN3_AAF- = AGND、VDD_PGA = 20V、VSS_PGA = -16V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。代表値は $T_A = 25^{\circ}\text{C}$ での値です。

表 3. AAF_GAIN = IN3_AAF 使用時の仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT CHARACTERISTICS					
PGA Input	IN pin				
Input Bias Current	$-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$		1	150	pA
	$-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$			600	pA
PGA Common-Mode Input Range		VSS_PGA		VDD_PGA - 4	V
PGA Gain Range	PGA_GAIN = 1, 2, 4, 8, 16, 32, 64, 128	1		128	V/V
Linear Input Range ¹	PGA_GAIN = 1				
	VDD_PGA = +20V, VSS_PGA = -16V	-16		+16	V
	VDD_PGA = +28V, VSS_PGA = 0V	0		+24	V
	VDD_PGA = +5V, VSS_PGA = -24V	-24		0	V
AAF Input	IN3_AAF+/- pins				
AAF Gain	AAF_GAIN = 0.143		1/7		V/V
AAF Differential Input Range	$\pm V_{REF}/AAF_GAIN$		± 28.672		V
AAF Common-Mode Input Range		-16		+12	V
AAF Common-Mode Rejection DC	DC to 60Hz, referred to IN3_AAF input		93.0		dB
AAF Common-Mode Rejection AC	f = 10kHz, referred to IN3_AAF input		89.5		dB
AAF Input Resistance, R_{IN}	Fully-differential configuration (IN3_AAF+ = positive input, IN3_AAF- = negative input)		28		k Ω
	Single-ended to differential configuration (IN3_AAF+ = input, IN3_AAF- = AGND)		14.93		k Ω
OVERALL SYSTEM DC ACCURACY					
Gain Error ²	All PGA_GAIN, RTI	-0.08	+0.02	+0.13	%
Gain Error Drift ^{2, 3}	Endpoint Method				
	PGA_GAIN = 1 to 64	-0.4	+1.5	+3.0	ppm/ $^{\circ}\text{C}$
	PGA_GAIN = 128	-0.1	+2.3	+4.7	ppm/ $^{\circ}\text{C}$
Offset Error ²	RTI, $T_A = 25^{\circ}\text{C}$				
	PGA_GAIN = 1		$\pm(10+710/PGA_GAIN)$	± 2200	μV
	PGA_GAIN = 2, 4, 8, 16, 32, 64, 128		$\pm(10+710/PGA_GAIN)$		μV
Offset Error Drift ^{2, 3}	RTI, Endpoint Method				
	PGA_GAIN = 1	-49.6	0.1-(9.0/PGA_GAIN)	22.0	$\mu\text{V}/^{\circ}\text{C}$
	PGA_GAIN = 2 to 128		0.1-(9.0/PGA_GAIN)		$\mu\text{V}/^{\circ}\text{C}$
INL ⁴	Endpoint Method				
	PGA_GAIN = 1		± 2.5		ppm of linear input range
	PGA_GAIN = 16		± 1.6		ppm of linear input range
	PGA_GAIN = 128		± 7.4		ppm of linear input range

仕様

表 3. AAF_GAIN = IN3_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Low-Frequency Noise	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		2.15		μV rms
	PGA_GAIN = 2		1.11		μV rms
	PGA_GAIN = 4		0.51		μV rms
	PGA_GAIN = 8		0.25		μV rms
	PGA_GAIN = 16		0.15		μV rms
	PGA_GAIN = 32		0.08		μV rms
	PGA_GAIN = 64		0.05		μV rms
	PGA_GAIN = 128		0.04		μV rms
Peak-to-Peak Resolution ⁵	Sinc3 filter, ODR = 50SPS, BW = 15Hz, shorted input, RTI				
	PGA_GAIN = 1		20.1		Bits
	PGA_GAIN = 2		20.1		Bits
	PGA_GAIN = 4		20.2		Bits
	PGA_GAIN = 8		20.2		Bits
	PGA_GAIN = 16		20.2		Bits
	PGA_GAIN = 32		19.9		Bits
	PGA_GAIN = 64		19.4		Bits
	PGA_GAIN = 128		18.8		Bits
OVERALL SYSTEM AC PERFORMANCE					
DR ⁶	Wideband low-ripple FIR filter, ODR = 256kSPS, DEC_RATE = 32, BW = 110.8kHz				
	Shorted input				
	PGA_GAIN = 1, input range = ±16V	101.7	102.9		dB
	PGA_GAIN = 2, input range = ±8V		103.0		dB
	PGA_GAIN = 4, input range = ±4V		102.9		dB
	PGA_GAIN = 8, input range = ±2V		102.8		dB
	PGA_GAIN = 16, input range = ±1V		102.6		dB
	PGA_GAIN = 32, input range = ±0.5V		101.0		dB
	PGA_GAIN = 64, input range = ±0.25V		98.5		dB
	PGA_GAIN = 128, input range = ±0.125V		94.4		dB
Noise Spectral Density	Total system DR		136.5		dB
	RTI, shorted input, at 1kHz				
	PGA_GAIN = 1		243		nV/√Hz
	PGA_GAIN = 2		119		nV/√Hz
	PGA_GAIN = 4		61		nV/√Hz
	PGA_GAIN = 8		31		nV/√Hz
	PGA_GAIN = 16		16		nV/√Hz
	PGA_GAIN = 32		9.6		nV/√Hz
	PGA_GAIN = 64		6.3		nV/√Hz
	PGA_GAIN = 128		5.1		nV/√Hz
Total RMS Noise	RTI, shorted input				
	PGA_GAIN = 1		80.8		μV rms
	PGA_GAIN = 2		39.7		μV rms
	PGA_GAIN = 4		20.3		μV rms
	PGA_GAIN = 8		10.2		μV rms
	PGA_GAIN = 16		5.2		μV rms
	PGA_GAIN = 32		3.2		μV rms
	PGA_GAIN = 64		2.1		μV rms

仕様

表 3. AAF_GAIN = IN3_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SNR	PGA_GAIN = 128		1.7		μV rms
	-5.2dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 16Vp		102.2		dB
	PGA_GAIN = 2, 8Vp		102.1		dB
	PGA_GAIN = 4, 4Vp		102.2		dB
	PGA_GAIN = 8, 2Vp		102.0		dB
	PGA_GAIN = 16, 1Vp		101.5		dB
	PGA_GAIN = 32, 0.5Vp		100.1		dB
	PGA_GAIN = 64, 0.25Vp		97.4		dB
THD	PGA_GAIN = 128, 0.125Vp		93.4		dB
	-5.2dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 16Vp		-110.1		dB
	PGA_GAIN = 2, 8Vp		-113.5		dB
	PGA_GAIN = 4, 4Vp		-112.5		dB
	PGA_GAIN = 8, 2Vp		-110.6		dB
	PGA_GAIN = 16, 1Vp		-110.2		dB
	PGA_GAIN = 32, 0.5Vp		-110.0		dB
	PGA_GAIN = 64, 0.25Vp		-109.8		dB
SINAD	PGA_GAIN = 128, 0.125Vp		-108.7		dB
	-5.2dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 16Vp		101.5		dB
	PGA_GAIN = 2, 8Vp		101.8		dB
	PGA_GAIN = 4, 4Vp		101.8		dB
	PGA_GAIN = 8, 2Vp		101.4		dB
	PGA_GAIN = 16, 1Vp		100.9		dB
	PGA_GAIN = 32, 0.5Vp		99.7		dB
	PGA_GAIN = 64, 0.25Vp		97.1		dB
SFDR	PGA_GAIN = 128, 0.125Vp		93.3		dB
	-5.2dBFS, sine input, 1kHz tone				
	PGA_GAIN = 1, 16Vp		-113.6		dBc
	PGA_GAIN = 2, 8Vp		-122.9		dBc
	PGA_GAIN = 4, 4Vp		-112.5		dBc
	PGA_GAIN = 8, 2Vp		-111.6		dBc
	PGA_GAIN = 16, 1Vp		-111.5		dBc
	PGA_GAIN = 32, 0.5Vp		-111.8		dBc
	PGA_GAIN = 64, 0.25Vp		-112.5		dBc
IMD	PGA_GAIN = 128, 0.125Vp		-112.4		dBc
	All PGA_GAIN, $f_{IN_A} = 9\text{kHz}$, $f_{IN_B} = 10\text{kHz}$				
	Second-order				
	PGA_GAIN = 1		-105		dBc
	PGA_GAIN = 2		-118		dBc
	PGA_GAIN = 4		-103		dBc
	PGA_GAIN = 8		-103		dBc
	PGA_GAIN = 16 to 128		-102		dBc
	Third-order				
	PGA_GAIN = 1		-118		dBc
	PGA_GAIN = 2		-121		dBc
	PGA_GAIN = 4		-121		dBc
	PGA_GAIN = 8		-119		dBc

仕様

表 3. AAF_GAIN = IN3_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	PGA_GAIN = 16		-118		dBc
	PGA_GAIN = 32		-116		dBc
	PGA_GAIN = 64		-112		dBc
	PGA_GAIN = 128		-108		dBc
AFE MAGNITUDE AND PHASE PERFORMANCE ⁷					
AFE Bandwidth	-3dB relative to signal amplitude at DC				
	PGA_GAIN = 1		278.1		kHz
	PGA_GAIN = 2		290.1		kHz
	PGA_GAIN = 4		286.4		kHz
	PGA_GAIN = 8		282.1		kHz
	PGA_GAIN = 16		273.7		kHz
	PGA_GAIN = 32		249.5		kHz
	PGA_GAIN = 64		194.1		kHz
	PGA_GAIN = 128		114.1		kHz
Analog Group Delay	f _{IN} = 20kHz				
	PGA_GAIN = 1		1.25		μs
	PGA_GAIN = 2		1.13		μs
	PGA_GAIN = 4		1.18		μs
	PGA_GAIN = 8		1.26		μs
	PGA_GAIN = 16		1.37		μs
	PGA_GAIN = 32		1.55		μs
	PGA_GAIN = 64		1.88		μs
	PGA_GAIN = 128		2.54		μs
Phase Angle Mismatch over Gain ^{3, 4, 7}	Sine wave, f _{IN} = 20kHz, single device, normalized to PGA_GAIN = 1, T _A = 25°C				
	PGA_GAIN = 2	-0.934	-0.861	-0.788	Degrees
	PGA_GAIN = 4	-0.589	-0.525	-0.460	Degrees
	PGA_GAIN = 8	0.002	0.060	0.119	Degrees
	PGA_GAIN = 16	0.784	0.854	0.923	Degrees
	PGA_GAIN = 32	2.042	2.160	2.278	Degrees
	PGA_GAIN = 64	4.337	4.573	4.809	Degrees
	PGA_GAIN = 128	8.809	9.273	9.738	Degrees
Phase Angle Drift ^{3, 4, 7}	f _{IN} = 20kHz				
	PGA_GAIN = 1	0.27	0.54	0.82	m°/°C
	PGA_GAIN = 2	0.14	0.38	0.62	m°/°C
	PGA_GAIN = 4	0.35	0.65	0.94	m°/°C
	PGA_GAIN = 8	0.80	1.16	1.52	m°/°C
	PGA_GAIN = 16	1.43	2.05	2.68	m°/°C
	PGA_GAIN = 32	2.71	3.81	4.90	m°/°C
	PGA_GAIN = 64	5.10	7.22	9.34	m°/°C
	PGA_GAIN = 128	9.83	13.78	17.73	m°/°C
Device-to-Device Phase Angle Mismatch ^{3, 4, 7}	f _{IN} = 20kHz, typical = ±1σ, T _A = 25°C				
	PGA_GAIN = 1	-0.058	±0.016	0.058	Degrees
	PGA_GAIN = 2	-0.091	±0.023	0.091	Degrees
	PGA_GAIN = 4	-0.084	±0.021	0.084	Degrees
	PGA_GAIN = 8	-0.081	±0.020	0.081	Degrees
	PGA_GAIN = 16	-0.087	±0.022	0.087	Degrees
	PGA_GAIN = 32	-0.131	±0.033	0.131	Degrees

仕様

表 3. デジタル・タイミング・インターフェース (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Device-to-Device Phase Angle Mismatch Drift ^{3, 4, 7}	PGA_GAIN = 64	-0.243	±0.061	0.243	Degrees
	PGA_GAIN = 128	-0.469	±0.117	0.469	Degrees
	f _{IN} = 20kHz, typical = 1σ per °C				
	PGA_GAIN = 1		-5.9	-23.5	μ°/°C
	PGA_GAIN = 2		-7.4	-29.7	μ°/°C
	PGA_GAIN = 4		-5.1	-20.4	μ°/°C
	PGA_GAIN = 8		-8.1	-32.5	μ°/°C
	PGA_GAIN = 16		-2.4	-9.7	μ°/°C
	PGA_GAIN = 32		28.6	114.3	μ°/°C
	PGA_GAIN = 64		70.7	282.7	μ°/°C
Magnitude Flatness	PGA_GAIN = 128		155.6	622.5	μ°/°C
	f _{IN} = 20kHz				
	PGA_GAIN = 1 to 16		±0.005		dB
	PGA_GAIN = 32		-0.010		dB
	PGA_GAIN = 64		-0.030		dB
	PGA_GAIN = 128		-0.100		dB
	f _{IN} = 100kHz				
	PGA_GAIN = 1 to 16		±0.10		dB
	PGA_GAIN = 32		-0.20		dB
	PGA_GAIN = 64		-0.70		dB
Alias Rejection	PGA_GAIN = 128		-2.10		dB
	All PGA_GAIN, -20dBFS input signal at MCLK = 16.384MHz		90		dB
POWER SUPPLY CURRENT					
VDD_PGA	IN = AGND		1.4		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		1.6		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		3.2		mA
VSS_PGA	IN = AGND		-1.6		mA
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		-1.9		mA rms
	Full-scale DC input with common mode = AGND, any PGA_GAIN		-1.3		mA
VDD_FDA	IN3_AAF+ = IN3_AAF- = AGND		4.2		mA
	IN3_AAF+ = 12.5Vp 1kHz sine input, IN3_AAF- = AGND		4.3		mA rms
	IN3_AAF+ = 12.5VDC, IN3_AAF- = AGND		4.0		mA
VDD_ADC	Standby		120		μA
	Linearity boost buffer on, reference precharge buffer on		6.3		mA
	Linearity boost buffer off, reference precharge buffers off		2.4		mA
	Standby		205		μA
VDD2_ADC			4.7		mA
	Standby		30		μA
VDD_IO					
Sinc3 Filter			3.5		mA
Sinc5 Filter			3.7		mA

仕様

表 3. AAF_GAIN = IN3_AAF 使用時の仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Wideband Low-Ripple FIR Filter			9.1		mA
Standby			380		μA
POWER DISSIPATION	VDD_PGA = 20V, VSS_PGA = -16V, IN_LDO = EN_LDO = 5.3 V, OUT_LDO = VDD_FDA = VDD_ADC = VDD2_ADC, VDD_IO = 3.3 V, linearity boost buffer on, reference precharge buffer on, external CMOS MCLK				
Full Operating Mode					
Sinc3 Filter	IN = AGND, any PGA_GAIN		137		mW
Sinc5 Filter	IN = AGND, any PGA_GAIN		138		mW
Wideband Low-Ripple FIR Filter	IN = AGND, any PGA_GAIN		157		mW
	Full-scale 1kHz sine input with common mode = AGND, any PGA_GAIN		164		mW
	Full-scale DC input with common mode = AGND, any PGA_GAIN		177		mW
Standby Mode	FDA in standby mode, and ADC in standby mode		3.14		mW
ADC Power-Down	FDA in standby mode, and ADC in power-down mode		0.65		mW

¹ IN3_AAF+/-を使用する直線的入力範囲は PGA のコモンモード入力範囲によって制限され、PGA の電源電圧とは無関係です。様々な PGA ゲインと AAF ゲインに対する全ての直線的入力範囲のリストについては、[入力範囲の選択](#)のセクションを参照してください。

² テスタの繰り返し性と再現性のガード・バンドは含まれていません。

³ 手順に従って IC を作製した 1 枚のウェハから抽出した 50 個のサンプルを用い、-40°C~+105°C の温度範囲で行った特性評価のデータに基づき計算した制限値。

⁴ これらの値に対する製品テストは行われていませんが、量産開始時の特性評価データで裏付けられています。

⁵ ピーク to ピーク分解能については、[用語の定義](#)のセクションを参照してください。計算に用いたノイズは、「Low-Frequency Noise」の仕様に記載されています。

⁶ 異なるゲインおよびフィルタ設定におけるダイナミック・レンジとノイズの詳細については、[ノイズ性能](#)のセクションを参照してください。

⁷ AFE 性能、用語の定義、計算については、[AFE の位相性能の計算](#)のセクションを参照してください。

仕様

一般仕様

特に指定のない限り、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、f_{MOD} = MCLK/2、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、T_A = -40°C~105°C。代表値は T_A = 25°C の値です。

表 4. 一般仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR) ¹					
	Wideband low-ripple FIR	8		256	kSPS
	Sinc5	8		1024	kSPS
	Sinc3	0.05		256	kSPS
No Missing Codes	Wideband low-ripple FIR, Decimation ratio ≥ 32	24			Bits
	Sinc5 filter, decimation ratio ≥ 32	24			Bits
	Sinc3 Filter, decimation ratio ≥ 64	24			Bits
Data Output Coding		Twos complement, MSB first			
REFERENCE INPUT CHARACTERISTICS					
REFIN Voltage	REFIN = (REF+) - (REF-)	1		VDD_ADC-AGND	V
Absolute REFIN Voltage Limit	Reference unbuffered	AGND - 0.05		VDD_ADC+ 0.05	V
	Reference buffer on	AGND		VDD_ADC	V
	Reference precharge buffer on	AGND		VDD_ADC	V
Average REFIN Current	Reference unbuffered		±80		μA/V
	Reference precharge buffer on		±20		μA
	Reference buffer on		±300		nA
Average REFIN Current Drift	Reference unbuffered		±1.7		nA/V/°C
	Reference precharge buffer on		125		nA/°C
	Reference buffer on		4		nA/°C
Common-Mode Rejection	Up to 10MHz		100		dB
DIGITAL FILTER RESPONSE					
Wideband Low-Ripple FIR Filter					
Decimation Rate	Six selectable decimation rates	32		1024	
Output Data Rate				256	kSPS
Group Delay	Latency		34/ODR		Sec
Settling Time	Complete settling		68/ODR		Sec
Pass-Band Ripple				±0.005	dB
Pass Band	-0.005dB		0.4 × ODR		Hz
	-0.1dB pass band		0.409 × ODR		
	-3dB Bandwidth		0.433 × ODR		Hz
Stop-Band Frequency	Attenuation >105dB		0.499 × ODR		Hz
Stop-Band Attenuation		105			dB
Sinc5					
Decimation Rate	Eight selectable decimation rates	8		1024	
Output Data Rate				1.024	MSPS
Group Delay	Latency		< 3/ODR		Sec
Settling time	Complete settling		< 6/ODR		Sec
Pass Band	-0.1dB bandwidth		0.0376 × ODR		Hz
	-3dB bandwidth		0.204 × ODR		Hz

仕様

表 4. 一般仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Sinc3 Filter					
Decimation Rate	1024 decimation rates	32		185,280	kSPS
Output Data Rate				256	
Group Delay	Latency		2/ODR		Sec
Settling Time	Complete settling to reject 50Hz		60		ms
Pass Band	-0.1dB bandwidth		0.0483 × ODR		Hz
	-3dB bandwidth		0.2617 × ODR		Hz
CLOCK					
External Clock MCLK		0.6	16.384	17	MHz
Internal Clock MCLK			16.384		MHz
Input High Voltage	See the logic input parameter				
Duty Cycle	16.384MHz MCLK	25:75	50:50	25:75	%
MCLK Logic Low-Pulse Width		16			ns
MCLK Logic High-Pulse Width		16			ns
Crystal Frequency		8	16	17	MHz
Crystal Start-Up Time	Clock output valid		2		ms
ADC RESET					
ADC Start-Up Time after Reset	Reset rising edge to first $\overline{\text{DRDY}}$, $\overline{\text{PIN}}$ mode, Decimate by 8		100		μs
Minimum $\overline{\text{RESET}}$ Low-Pulse Width		0.0001		100	ms
LOGIC INPUTS	Applies to all logic inputs unless specified otherwise, voltage referenced to AGND				
Input High Voltage, V_{INH}	$1.7\text{V} \leq V_{\text{DD_IO}} \leq 1.9\text{V}$	$0.65 \times V_{\text{DD_IO}}$			V
	$2.22\text{V} \leq V_{\text{DD_IO}} \leq 3.6\text{V}$	$0.65 \times V_{\text{DD_IO}}$			V
Input Low Voltage, V_{INL}	$1.7\text{V} \leq V_{\text{DD_IO}} \leq 1.9\text{V}$			$0.35 \times V_{\text{DD_IO}}$	V
	$2.22\text{V} \leq V_{\text{DD_IO}} \leq 3.6\text{V}$			0.7	V
Hysteresis	$2.22\text{V} \leq V_{\text{DD_IO}} \leq 3.6\text{V}$	0.08		0.25	V
	$1.7\text{V} \leq V_{\text{DD_IO}} \leq 1.9\text{V}$	0.04		0.2	V
Leakage Current	Excluding $\overline{\text{RESET}}$ pin	-10	0.05	+10	μA
	$\overline{\text{RESET}}$ pin pull-up resistor		1		kΩ
GAIN0, GAIN1, GAIN2, EN_PGA	Voltage referenced to AGND				
Input High Voltage		2			V
Input Low Voltage				0.8	V
Input Current	GAIN0/GAIN1/GAIN2/EN_PGA = $V_{\text{DD_PGA}}$ or AGND		2	±100	nA
M0_FDA, M1_FDA	Voltage referenced to AGND				
Input High Voltage		1.4			V
Input Low Voltage				1	V
Input Current	M0_FDA or M1_FDA = 0V to 5V		-10		nA
EN_LDO	Voltage referenced to AGND				
Input High Voltage	$5.1\text{V} \leq \text{IN_LDO} \leq 5.5\text{V}$	1.2			V
Input Low Voltage	$5.1\text{V} \leq \text{IN_LDO} \leq 5.5\text{V}$			0.4	V
Input Current	EN_LDO = IN_LDO or AGND		0.1		μA
LOGIC OUTPUTS					
Output High Voltage	$2.2\text{V} \leq V_{\text{DD_IO}} < 3.6\text{V}$, $I_{\text{SOURCE}} = 500\mu\text{A}$, LV_BOOST_off	$0.8 \times V_{\text{DD_IO}}$			V
	$1.7\text{V} \leq V_{\text{DD_IO}} \leq 1.9\text{V}$, $I_{\text{SOURCE}} = 200\mu\text{A}$, LV_BOOST_on	$0.8 \times V_{\text{DD_IO}}$			V

仕様

表 4. 一般仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Output Low Voltage	$2.2V \leq VDD_IO < 3.6V$, $I_{SINK} = 1mA$, LV_BOOST_off			0.4	V
	$1.7V \leq VDD_IO \leq 1.9V$, $I_{SINK} = 400\mu A$, LV_BOOST_on			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
LDO CHARACTERISTIC					
Input Voltage Range		5.1		5.5	V
IN_LDO Supply Current	OUT_LDO load current = 20mA		80		μA
OUT_LDO Voltage		4.80	4.90	5.03	V
Load Regulation	$I_{OUT} = 1mA$ to 20mA		0.0005		%/mA
Dropout Voltage ²	$I_{OUT} = 20mA$		3		mV
Start-Up Time ³			350		μs
Current Limit Threshold			500		mA
Thermal Shutdown Threshold			150		$^{\circ}C$
Thermal Shutdown Hysteresis			15		$^{\circ}C$
POWER REQUIREMENTS					
VDD_PGA		5		30	V
VSS_PGA		-25		0	V
VDD_PGA - VSS_PGA		5		30	V
VDD_FDA	Referenced to AGND	4.75	5	5.5	V
VDD_ADC	Referenced to AGND	4.75	5	5.5	V
VDD2_ADC	Referenced to AGND	2	2.5	5.5	V
VDD_IO	Referenced to AGND	1.7	1.8	3.6	V
POWER SUPPLY REJECTION	Referred to input (RTI), DC to 100Hz				
VDD_PGA	PGA_GAIN = 1		113		dB
	PGA_GAIN = 128		116		dB
VSS_PGA	PGA_GAIN = 1		130		dB
	PGA_GAIN = 128		117		dB
VDD_FDA	$V_{STEP} = 0.2V_{p-p}$		105		dB
VDD_ADC	$V_{STEP} = 0.2V_{p-p}$		85		dB
VDD2_ADC	$V_{STEP} = 0.2V_{p-p}$		105		dB
VDD_IO	$V_{STEP} = 0.2V_{p-p}$		100		dB
LDO	$V_{STEP} = 0.2V_{p-p}$		124		dB

¹ ODR の範囲は、MCLK が 16.384MHz に固定されている場合に、MCLK_DIV とデシメーション・レートの変動範囲内において ADAQ7769-1 で使用できるプログラマブル・デシメーション・レートを表します。最適性能を得るための推奨 ODR 速度については、[ADC の速度と性能](#)のセクションを参照してください。

² ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。この電圧は、2.3V を超える出力電圧に対してのみ適用されます。

³ スタートアップ時間は、EN_LDO の立上がりエッジから出力電圧（OUT_LDO）が公称値の 90% になるまでの時間として定義されます。

仕様

タイミング仕様

特に指定のない限り、VDD_ADC = 4.5V~5.5V、VDD2_ADC = 2.0V~5.5V、VDD_IO = 2.2V~3.6V、AGND = DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = VDD_IO、負荷容量 (C_{LOAD}) = 20pF、LV_BOOST ビット (ビット 7、INTERFACE_FORMAT レジスタ、レジスタ 0x14) をディセーブル。

これらの仕様は、初回リリース時のサンプル・テストによって適合性が確認されています。全ての入力信号は $t_R = t_F = 5\text{ns}$ で仕様規定しています (VDD_IO の 10%~90%、VDD_IO/2 の電圧レベルから時間を測定)。タイミング図は図 2~図 8 を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 5. タイミング仕様

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Controller clock frequency			16.384	17	MHz
$t_{\text{MCLK_HIGH}}$	MCLK high time		16			ns
$t_{\text{MCLK_LOW}}$	MCLK low time		16			ns
f_{MOD}	Modulator frequency	MCLK_DIV[1:0] = 11 MCLK_DIV[1:0] = 10 MCLK_DIV[1:0] = 01 MCLK_DIV[1:0] = 00		MCLK/2 MCLK/4 MCLK/8 MCLK/16		Hz Hz Hz Hz
t_{DRDY}	Conversion period	Rising $\overline{\text{DRDY}}$ edge to next rising $\overline{\text{DRDY}}$ edge, continuous conversion mode		$f_{\text{MOD}}/\text{DEC_RATE}$		Hz
$t_{\text{DRDY_HIGH}}$	$\overline{\text{DRDY}}$ high time	$t_{\text{MCLK}} = 1/\text{MCLK}$	$t_{\text{MCLK}} - 5$	$1 \times t_{\text{MCLK}}$		ns
$t_{\text{MCLK_DRDY}}$	MCLK to $\overline{\text{DRDY}}$	Rising MCLK edge to $\overline{\text{DRDY}}$ rising edge	10	13	18	ns
$t_{\text{MCLK_RDY}}$	MCLK to $\overline{\text{RDY}}$ indicator on the DOUT/ $\overline{\text{RDY}}$ pin	Rising MCLK edge to $\overline{\text{RDY}}$ falling edge	10	13	18	ns
t_{UPDATE}	ADC data update	Time prior to $\overline{\text{DRDY}}$ rising edge where the ADC conversion register updates, single conversion read		$1 \times t_{\text{MCLK}}$		ns
t_{START}	$\overline{\text{START}}$ pulse width		$1.5 \times t_{\text{MCLK}}$			ns
$t_{\text{MCLK_SYNC_OUT}}$	MCLK to SYNC_OUT	Falling MCLK to falling SYNC_OUT			$t_{\text{MCLK}} + 16$	ns
t_{SCLK}	SCLK period		50			ns
t_1	$\overline{\text{CS}}$ falling to SCLK falling		0			ns
t_2	$\overline{\text{CS}}$ falling to data output enable				6	ns
t_3	SCLK falling edge to data output valid			10	15	ns
t_4	Data output hold time after SCLK falling edge		4			ns
t_5	SDI setup time before SCLK rising edge		3			ns
t_6	SDI hold time after SCLK rising edge		8			ns
t_7	$\overline{\text{CS}}$ high time	4-wire interface	10			ns
t_8	SCLK high time		20			ns
t_9	SCLK low time		20			ns
t_{10}	SCLK rising edge to $\overline{\text{DRDY}}$ high	Single conversion read only, time from last SCLK rising edge to $\overline{\text{DRDY}}$ high	$1 \times t_{\text{MCLK}}$			ns
t_{11}	SCLK rising edge to $\overline{\text{CS}}$ rising edge		6			ns
t_{12}	$\overline{\text{CS}}$ rising edge to DOUT/ $\overline{\text{RDY}}$ output disable		4		7	ns
t_{13}	DOUT/ $\overline{\text{RDY}}$ indicator pulse width	In continuous read mode with $\overline{\text{RDY}}$ on, DOUT enabled, with SCLK idling high		$1 \times t_{\text{MCLK}}$		ns
t_{14}	$\overline{\text{CS}}$ falling edge to SCLK rising edge		2			ns
t_{15}	SYNC_IN setup time before MCLK rising edge		2			ns
t_{16}	SYNC_IN pulse width		$1.5 \times t_{\text{MCLK}}$			ns

仕様

表 5. タイミング仕様（続き）

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t_{17}	SCLK rising edge to \overline{RDY} indicator rising edge	In continuous read mode with \overline{RDY} enabled on DOUT	1			ns
t_{18}	\overline{DRDY} rising edge to SCLK falling edge	In continuous read mode with \overline{RDY} enabled on DOUT	8			ns

1.8V タイミング仕様

特に指定のない限り、 $VDD_ADC = 4.5V \sim 5.5V$ 、 $VDD2_ADC = 2V \sim 5.5V$ 、 $VDD_IO = 1.7V \sim 1.9V$ 、 $AGND = DGND = AGND2_ADC = 0V$ 、入力ロジック 0 = 0V、入力ロジック 1 = VDD_IO 、 $C_{LOAD} = 20pF$ 、LV_BOOST ビット（ビット 7、INTERFACE_FORMAT レジスタ、レジスタ 0x14）をイネーブル。

これらの仕様は、初回リリース時のサンプル・テストによって適合性が確認されています。全ての入力信号は $t_R = t_F = 5ns$ で仕様規定しています（ VDD_IO の 10%~90%、 $VDD_IO/2$ の電圧レベルから時間を測定）。タイミング図は図 2~図 8 を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 6. 1.8V タイミング仕様

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Frequency			16.384	17	MHz
t_{MCLK_HIGH}	MCLK high time		16			ns
t_{MCLK_LOW}	MCLK low time		16			ns
f_{MOD}	Modulator frequency	MCLK_DIV[1:0] = 11 MCLK_DIV[1:0] = 10 MCLK_DIV[1:0] = 01 MCLK_DIV[1:0] = 00		MCLK/2 MCLK/4 MCLK/8 MCLK/16		Hz Hz Hz Hz
$t_{\overline{DRDY}}$	Conversion period	Rising \overline{DRDY} edge to next rising \overline{DRDY} edge, continuous conversion mode		f_{MOD}/DEC_RATE		Hz
$t_{\overline{DRDY_HIGH}}$	\overline{DRDY} high time	$t_{MCLK} = 1/MCLK$	$t_{MCLK} - 5$	$1 \times t_{MCLK}$		ns
t_{MCLK_DRDY}	MCLK to \overline{DRDY}	Rising MCLK edge to \overline{DRDY} rising edge	13	19	25	ns
t_{MCLK_RDY}	MCLK to \overline{RDY} indicator on the DOUT/ \overline{RDY} pin	Rising MCLK edge to \overline{RDY} falling edge	13	19	25	ns
t_{UPDATE}	ADC data update	Time prior to \overline{DRDY} rising edge where the ADC conversion register updates		$1 \times t_{MCLK}$		ns
t_{START}	\overline{START} pulse width		$1.5 \times t_{MCLK}$			ns
$t_{MCLK_SYNC_OUT}$	MCLK to $\overline{SYNC_OUT}$	Falling MCLK to falling $\overline{SYNC_OUT}$, see the Synchronization of Multiple ADAQ7769-1 Devices sections			$t_{MCLK} + 31$	ns
t_{SCLK}	SCLK period		50			ns
t_1	\overline{CS} falling to SCLK falling		0			ns
t_2	\overline{CS} falling to data output enable				11	ns
t_3	SCLK falling edge to data output valid			14	19	ns
t_4	Data output hold time after SCLK falling edge		7			ns
t_5	SDI setup time before SCLK rising edge		3			ns
t_6	SDI hold time after SCLK rising edge		8			ns
t_7	\overline{CS} high time	4-wire interface	10			ns
t_8	SCLK high time		23			ns
t_9	SCLK low time		23			ns
t_{10}	SCLK rising edge to \overline{DRDY} high	Time from last SCLK rising edge to \overline{DRDY} high, if this is exceeded, conversion N + 1 is missed, single conversion read	$1 \times t_{MCLK}$			ns
t_{11}	SCLK rising edge to \overline{CS} rising edge		6			ns

仕様

表 6. 1.8V タイミング仕様（続き）

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t_{12}	\overline{CS} rising edge to DOUT/ \overline{RDY} output disable		7.5		13	ns
t_{13}	DOUT/ \overline{RDY} indicator pulse width	In continuous read mode with \overline{RDY} on, DOUT enabled, with SCLK idling high		$1 \times t_{MCLK}$		ns
t_{14}	\overline{CS} falling edge to SCLK rising edge		2.5			ns
t_{15}	$\overline{SYNC_IN}$ setup time before MCLK rising edge		2			ns
t_{16}	$\overline{SYNC_IN}$ pulse width		$1.5 \times t_{MCLK}$			ns
t_{17}	SCLK rising edge to \overline{RDY} indicator rising edge	In continuous read mode with \overline{RDY} on, DOUT enabled	5.5			ns
t_{18}	\overline{DRDY} rising edge to SCLK falling edge	In continuous read mode with \overline{RDY} on, DOUT enabled	15			ns

タイミング図

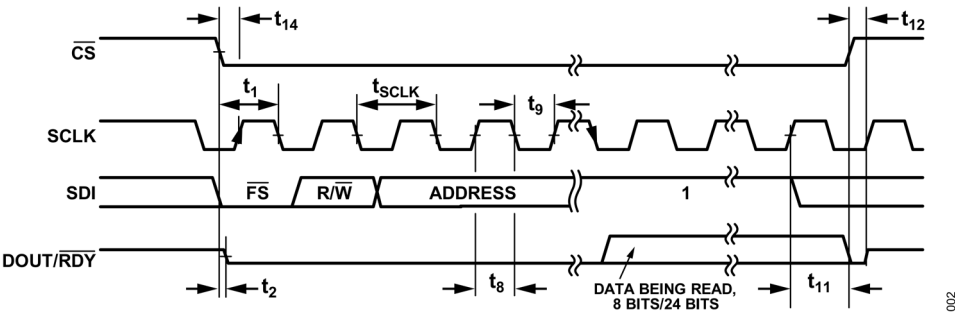


図 2. SPI 読出しのタイミング図

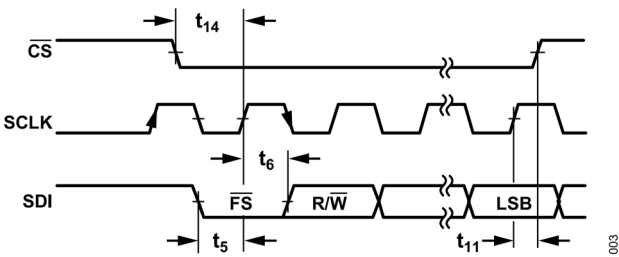
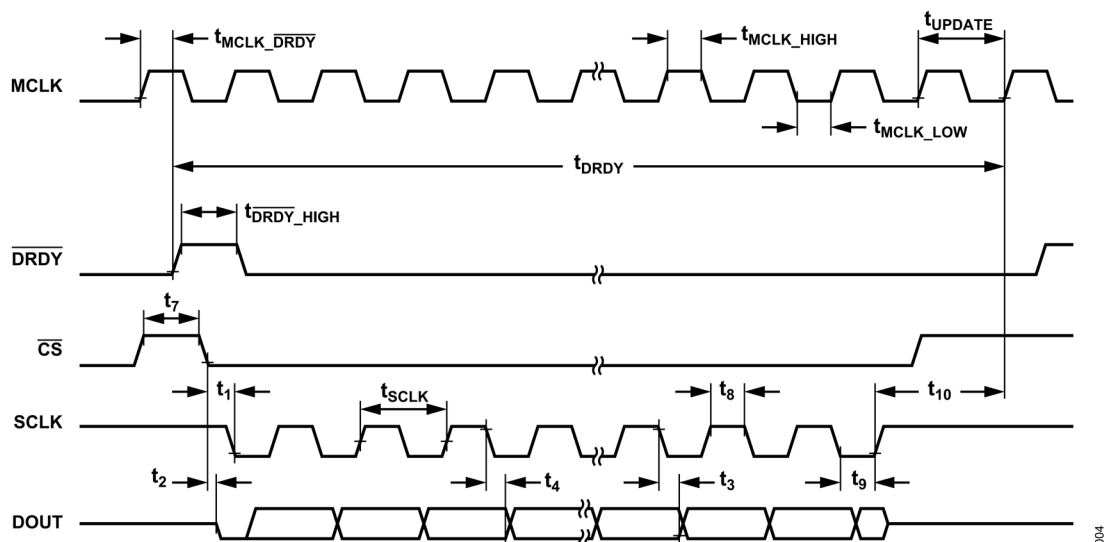
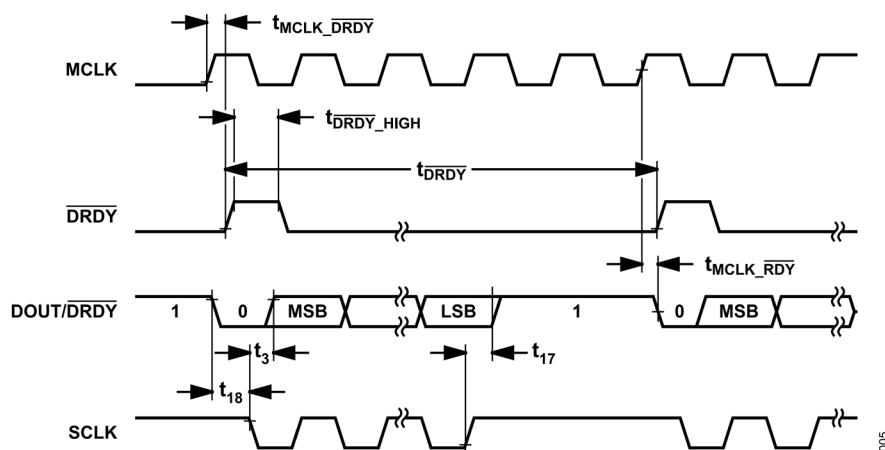
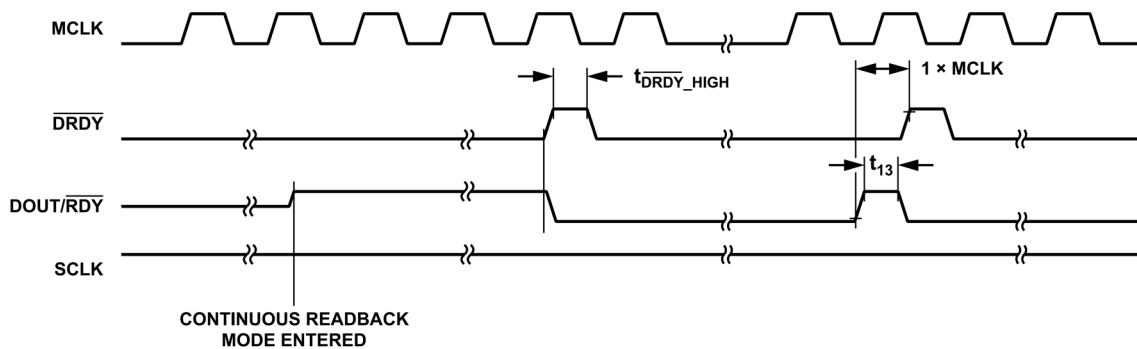


図 3. SPI 書き込みのタイミング図

仕様

図 4. 連続変換モードでの変換結果の読出し (\overline{CS} がトグル)図 5. 連続変換モードでの変換結果の読出し、 \overline{RDY} をイネーブル (\overline{CS} をローに維持) した連続読出しモード図 6. SCLK を使用しない場合の $DOUT/\overline{RDY}$ の動作

仕様

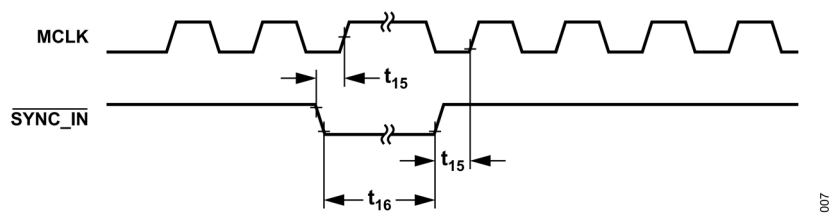


図 7. 同期SYNC_INパルス

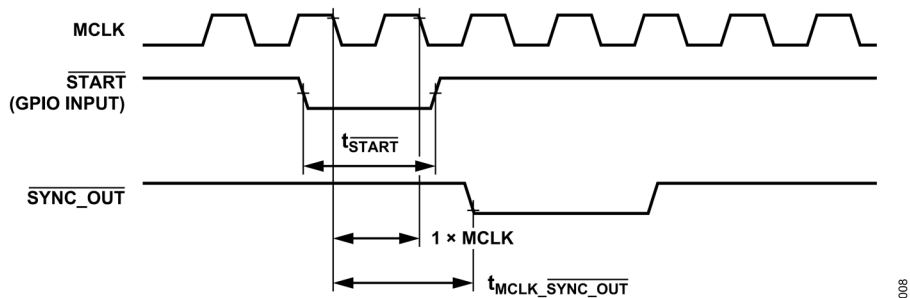


図 8. 非同期STARTおよびSYNC_OUT

絶対最大定格

表 7. 絶対最大定格

Parameter	Rating
VDD_PGA to AGND	36V
VSS_PGA to AGND	-36V
VDD_PGA to VSS_PGA	36V
IN to AGND	VDD_PGA to VSS_PGA
IN Input Current ¹	±10mA
GAIN0, GAIN1, GAIN2, EN_PGA	VSS_PGA - 0.3V to VDD_PGA + 0.3V or 30mA, whichever occurs first
IN1_AAF+, IN1_AAF- to AGND	±15V
IN2_AAF+, IN2_AAF- to AGND	±15V
IN3_AAF+, IN3_AAF- to AGND	±36V
VDD_FDA to VDD_ADC	-0.3V to +0.3V
VDD_FDA to AGND	-0.3V to +6.5V
M0_FDA and M1_FDA to AGND	-0.3V to VDD_FDA + 0.3V
IN_LDO to AGND	-0.3V to +6.5V
EN_LDO to AGND	-0.3V to +6.5V
OUT_LDO to AGND	-0.3V to IN_LDO
VDD_ADC to AGND	-0.3V to +6.5V
VDD2_ADC to AGND	-0.3V to +6.5V
VDD_IO to DGND	-0.3V to +6.5V
DGND to AGND	-0.3V to +0.3V
VDDIO, DREG_CAP to DGND (VDD_IO connected to DREG_CAP for 1.8V Operation)	-0.3V to +2.25V
REF+, REF- to AGND	-0.3V to VDD_ADC + 0.3V
Digital Input Voltage to DGND	-0.3V to VDD_IO + 0.3V
Digital Output Voltage to DGND	-0.3V to VDD_IO + 0.3V
XTAL1 to DGND	-0.3V to +2.1V
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
Pb-Free, Soldering Reflow (10sec to 30sec)	260°C
Maximum Package Classification	260°C

¹ IN ピンには VDD_PGA および VSS_PGA 電源ピンへのクランプ・ダイオードが接続されています。入力信号が電源レールを 0.3V 上回る場合は、入力電流を 10mA 以下に制限してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は 1 立方フィートの密閉容器内で測定された自然対流時の周囲とジャンクションの間の熱抵抗です。 θ_{JC_TOP} はジャンクションとケース上面の間の熱抵抗、 θ_{JC_BOTTOM} はジャンクションとケース下面の間の熱抵抗です。 θ_{JB} はジャンクションとボードの間の熱抵抗です。 Ψ_{JT} はジャンクションと上面の間の熱特性、 Ψ_{JB} はジャンクションと基板の間の熱特性です。

表 8 に示す熱抵抗値は、特に指定のない限り JEDEC 仕様に基いてシミュレーションされたもので、JESD51-12 に適合した状態で使用する必要があります。

表 8. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOTTOM}	θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
BC-84-4	31.0	20.5	20.0	24.1	8.4	24.2	(°C/W)

¹ テスト条件 1：熱抵抗のシミュレーション値は、1S0P JEDEC PCB を使用した θ_{JC_top} を除き、ビアを備えた 2S2P JEDEC PCB を使用した場合の値です。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADAQ7769-1 の ESD 定格

表 9. ADAQ7769-1、84 ボール CSP_BGA

ESD Model	Withstand Voltage (V)	Class
HBM	±2000	2
FICDM	±500	C2A

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

ADAQ7769-1
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	EN_PGA	AGND	AGND	AGND	M0_FDA	M0_ADC	M1_ADC	M1_FDA	DNC	DNC	VDD_ADC	DNC	VDD_ADC	VDD2_ADC
B	VSS_PGA	VSS_PGA	VSS_PGA	VSS_PGA	IN2_AAF+	DGND	AGND	IN2_AAF-	IN_LDO	IN_LDO	IN_LDO	DNC	REF-	REF+
C	AGND	AGND	AGND	OUT_PGA	IN1_AAF+	AGND	AGND	IN1_AAF-	RESET	MODE1/ GPIO1	MODE2/ GPIO2	AGND	AGND	VDD2_ADC
D	IN	AGND	AGND	AGND	IN3_AAF+	AGND	AGND	IN3_AAF-	DNC	MODE3/ GPIO3	MODE0/ GPIO0	SYNC_IN	SYNC_OUT	AREG_CAP
E	VDD_PGA	VDD_PGA	VDD_PGA	VDD_PGA	AGND	VDD_FDA	VDD_FDA	VDD_FDA	PIN/SPI	DOUT/RDY	SCLK	SDI	CS	DRDY
F	GAIN0	GAIN1	GAIN2	EN_LDO	CLK_SEL	OUT_LDO	OUT_LDO	OUT_LDO	VDD_IO	DGND	DGND	DREG_CAP	XTAL1	XTAL2 MCLK

ANALOG PINS

DIGITAL PINS

POWER PINS

AGND/DGND

DO NOT CONNECT

NOTES:
1. NC = NOT (INTERNALLY) CONNECTED. LEAVE FLOATING OR CONNECT TO GROUND REFERENCE.
2. DNC = DO NOT CONNECT. LEAVE THE NODE FLOATING FOR NORMAL OPERATION.

8

図 9. ピン配置

表 10. ADAQ7769-1 のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	EN_PGA	DI	アクティブ・ハイのデジタル入力。ロー・レベルでは PGA がディスエーブルされて、全てのスイッチがオフになります。ハイ・レベルでは GAINx のロジック入力が PGA のゲインを決定します。
A2 to A4, B7, C1 to C3, C6, C7, C12, C13, D2 to D4, D6, D7, E5	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、および VDD2_ADC 電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
A5	M0_FDA	DI	FDA モード制御入力 0。通常動作では M0_ADC に接続します。
A6	M0_ADC	DO	FDA モード制御出力 0。通常動作では M0_FDA に接続します。
A7	M1_ADC	DO	FDA モード制御出力 1。通常動作では M1_FDA に接続します。
A8	M1_FDA	DI	FDA モード制御入力 1。通常動作では M1_ADC に接続します。
A9, A10, A12, B12, D9	DNC	N/A ²	接続しないでください。通常動作ではこのノードはフロート状態のままにします。
A11, A13	VDD_ADC	P	ADC アナログ電源電圧。AGND を基準とします。内蔵 LDO を用いる場合は OUT_LDO に接続し、それ以外の場合は VDD_FDA ピンにも給電する単電源に接続します。
A14, C14	VDD2_ADC	P	ADC2 次アナログ電源電圧。AGND を基準とします。
B1 to B4	VSS_PGA	P	PGA の負電源。AGND を基準とします。
B5	IN2_AAF+	AI	AAF 信号入力、非反転、ゲイン 0.364。22Vpp の最大差動入力。
B6, F10, F11	DGND	P	VDD_IO 電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
B8	IN2_AAF-	AI	AAF 信号入力、反転、ゲイン 0.364。22Vpp の最大差動入力。
B9 to B11	IN_LDO	P	内蔵 LDO 電源入力。IN_LDO は 1μF 以上のコンデンサを使って AGND にバイパスします。
B13	REF-	AI	ADC リファレンス入力負側ノード。通常動作では、AGND に接続してください。
B14	REF+	AI	ADC リファレンス入力正側ノード。電圧レベルが VDD_ADC ~ AGND + 1V の範囲の外部リファレンスを REF+ と REF- の間に印加します。
C4	OUT_PGA	AO	PGA 信号出力。必要な AAF ゲインに応じ、IN1_AAF+、IN2_AAF+、または IN3_AAF+ に接続して、対応する負の AAF 入力を AGND に接続します。
C5	IN1_AAF+	AI	AAF 信号入力、非反転、ゲイン 1。8Vpp の最大差動入力。
C8	IN1_AAF-	AI	AAF 信号入力、反転、ゲイン 1。8Vpp の最大差動入力。
C9	RESET	DI	ADC ハードウェア非同期リセット入力。デバイスが起動を完了した後に、ハード・リセットまたはソフト・リセットを実行することを推奨します。
C10	MODE1/GPIO1	DI/O	PIN 制御モードでは、MODE2 が PIN 制御動作プロファイル選択入力 2 となります。 PIN 制御モードでは、MODE1 が PIN 制御動作プロファイル選択入力 1 となります。 SPI 制御モードでは、GPIO1 が、VDD_IO ピンおよび DGND ピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。

ピン配置およびピン機能の説明

表 10. ADAQ7769-1 のピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
C11	MODE2/GPIO2	DI/O	多機能ピン。 PIN制御モードでは、MODE2 がPIN制御動作プロファイル選択入力 2 となります。 SPI 制御モードでは、GPIO2 が、VDD_IO ピンおよび DGND ピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。
D1	IN	AI	システム/PGA 信号入力。
D5	IN3_AAF+	AI	AAF 信号入力、非反転、ゲイン 0.143。57Vpp の最大差動入力。
D8	IN3_AAF-	AI	AAF 信号入力、反転、ゲイン 0.143。57Vpp の最大差動入力。
D10	MODE3/GPIO3	DI/O	多機能ピン。 PIN制御モードでは、MODE3 がPIN制御動作プロファイル選択入力 3 となります。 SPI 制御モードでは、GPIO3 が、VDD_IO ピンおよび DGND ピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。このピンは、EN_GPIO_START ビットを用いることで、START 機能に割り当てすることもできます。
D11	MODE0/GPIO0	DI/O	多機能ピン。 PIN制御モードでは、MODE0 がPIN制御動作プロファイル選択入力 0 となります。 SPI 制御モードでは、GPIO0 が、VDD_IO ピンおよび DGND ピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。
D12	SYNC_IN	DI	SYNC_IN は、SYNC_OUT ピンまたはメイン・コントローラから同期信号を受信します。同期信号は MCLK に同期する必要があります。SYNC_IN により、複数の ADAQ7769-1 デバイスの同期と同時サンプリングが可能になります。
D13	SYNC_OUT	DO	MCLK に同期した同期パルス出力。このピンにより、1 つまたは複数の ADAQ7769-1 デバイスを SPI を通じて同期させることができます。SYNC_OUT 出力を発するには、SPI インターフェースを介して SYNC コマンドを送信します。これを使用する場合は、SYNC_OUT 信号を同じデバイスの SYNC_IN ピンおよび他の ADAQ7769-1 デバイスの SYNC_IN ピンに接続すると、同時サンプリングを行うことができます。
D14	AREG_CAP	AO	ADC の内部アナログ LDO レギュレータ出力。このピンは、1μF のコンデンサを用いて AGND とデカップリングします。AREG_CAP からの電圧出力は、ADAQ7769-1 外部の回路では使用しないでください。
E1	VDD_PGA	P	PGA 入出力段の正電源。AGND を基準とします。
E2 to E4	VDD_PGA	P	PGA の正側電源。AGND を基準とします。
E6 to E8	VDD_FDA	P	ADC ドライバ・アンプ正側電源。AGND を基準とします。内蔵 LDO を用いる場合は OUT_LDO に接続し、それ以外の場合は VDD_ADC ピンにも給電する単電源に接続します。
E9	PIN/SPI	DI	デバイス・モード選択入力。 0：ピン・モード動作。設定ピンのロジックを通じてデバイス動作の制御と設定を行います。 1：SPI を介しレジスタを通じて制御と設定を行います。
E10	DOUT/RDY	DO	シリアル・インターフェース・データ出力とデータ・レディ信号の組み合わせ。この出力データ・ピンは、DOUT ピンのみで構成するか SPI 制御モードを通じて構成することができ、レディ信号（RDY）を含みます。このデバイスは DOUT/RDY の組み合わせ信号を使用するようにプログラムできるので、必要なインターフェース IO ライン数を減らすことができます。
E11	SCLK	DI	シリアル・インターフェース・クロック。
E12	SDI	DI	シリアル・インターフェース・データ入力。
E13	CS	DI	シリアル・インターフェースのチップ・セレクト入力。アクティブ・ロー。
E14	DRDY	DO	ADC 変換データ・レディ出力。変換結果が使用可能であることを示すための周期的信号出力。
F1	GAIN0	DI	PGA ゲイン制御ロジック入力 0。
F2	GAIN1	DI	PGA ゲイン制御ロジック入力 1。
F3	GAIN2	DI	PGA ゲイン制御ロジック入力 2。
F4	EN_LDO	DI	内蔵 LDO イネーブル入力。アクティブ・ハイ。
F5	CLK_SEL	DI	ADC クロック・ソース選択入力。 PIN制御モードでは、0 = CMOS クロック・オプション。外部 CMOS クロック信号を XTAL2_MCLK ピンに印加し、XTAL1 ピンを DGND に接続します。1 = 水晶発振器オプション。外部水晶発振器は、XTAL1 ピンと XTAL2_MCLK ピンの間に接続します。 SPI 制御モードでは、CLK_SEL ピンを DGND に接続します。レジスタの読書きを通じてクロック・ソースを選択します。LVDS クロック・オプションは SPI 制御モードでのみ使用できます。

ピン配置およびピン機能の説明

表 10. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
F6 to F8 F9	OUT_LDO VDD_IO	P P	内蔵 LDO 出力。OUT_LDO は 1μF 以上のコンデンサを使って AGND にバイパスします。 デジタル電源。VDD_IO ピンは、全てのインターフェース・ピンのロジック・レベルを設定します。VDD_IO は、内蔵のデジタル LDO レギュレータを介してデジタル処理の電源を供給します。DGND を基準とします。VDD_IO は 1μF 以上のコンデンサを使って DGND にバイパスします。VDD_IO ≤ 1.8V の場合は、VDD_IO を DREG_CAP に接続して 10μF のコンデンサを用いてデカップリングし、更にインターフェース・フォーマット制御レジスタの LV_BOOST（レジスタ 0x14 のビット 7）をイネーブルします（ インターフェース・フォーマット制御レジスタのセクション を参照）。
F12	DREG_CAP	AO	ADC の内部デジタル LDO レギュレータ出力。DREG_CAP は、1μF のコンデンサを使用して DGND からデカップリングします。VDD_IO ≤ 1.8V の場合は、VDD_IO を DREG_CAP に接続して 10μF のコンデンサを用いてデカップリングし、更にインターフェース・フォーマット制御レジスタの LV_BOOST（レジスタ 0x14 のビット 7）をイネーブルします（ インターフェース・フォーマット制御レジスタのセクション を参照）。DREG_CAP からの電圧出力は、ADAQ7769-1 外部の回路では使用しないでください。
F13	XTAL1	DI	ADC クロック入力 1。 外部水晶発振器：外部水晶発振器の 1 つのノードに接続します。 LVDS：LVDS クロック源の 1 つのノードに接続します。 CMOS クロック：DGND に接続します。
F14	XTAL2_MCLK	DI	ADC クロック入力 2。 外部水晶発振器：外部水晶発振器の 2 つ目のノードに接続します。 LVDS：LVDS クロック源の 2 つ目のノードに接続します。 CMOS クロック：CMOS クロック源に接続します。VDD_IO および DGND を基準とするロジック・レベル。

¹ AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = 双方向デジタル、P = 電源またはグラウンド。² N/A は該当なしを意味します。

代表的な性能特性

AAF_GAIN = IN1_AAF

特に指定のない限り、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。代表値は $T_A = 25^{\circ}\text{C}$ での値です。

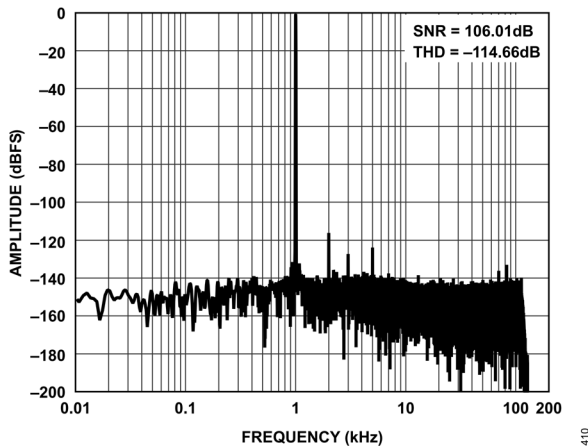


図 10. 広帯域低リップル FIR フィルタ、PGA_GAIN = 1V/V、IN1_AAF、バイポーラ・シングルエンド入力、-0.5dBFS (3.9Vp)

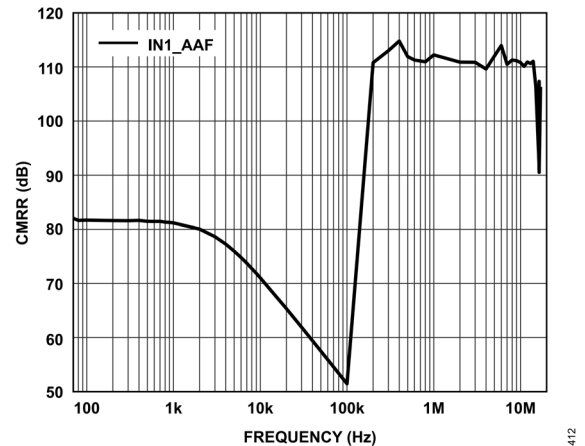


図 12. AC CMRR と入力周波数の関係、IN1_AAF

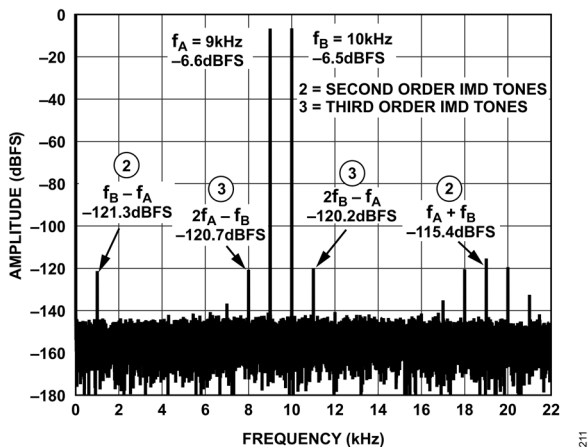


図 11. ツー・トーン入力、PGA_GAIN = 1V/V、IN1_AAF、 $f_A = 9\text{kHz}$ および -6.6dBFS、 $f_B = 10\text{kHz}$ および -6.5dBFS、サイン波、広帯域低リップル・フィルタ、ODR = 256kSPS

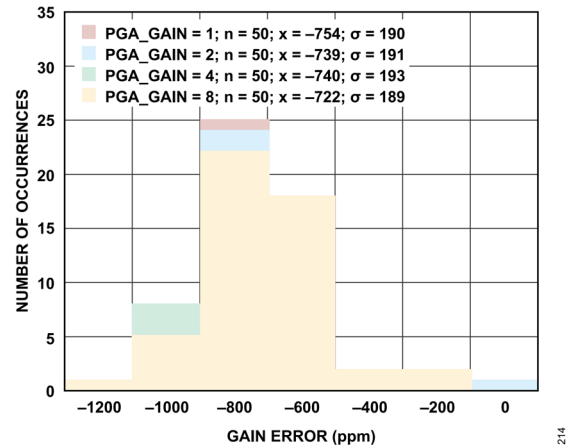


図 13. ゲイン誤差の分布、PGA_GAIN = 1~PGA_GAIN = 8、IN1_AAF

代表的な性能特性

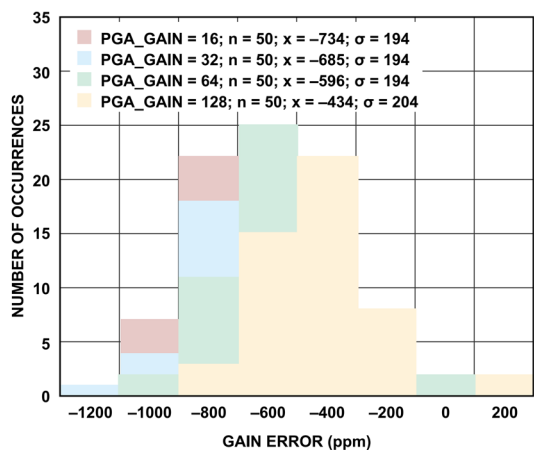


図 14. ゲイン誤差の分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN1_AAF

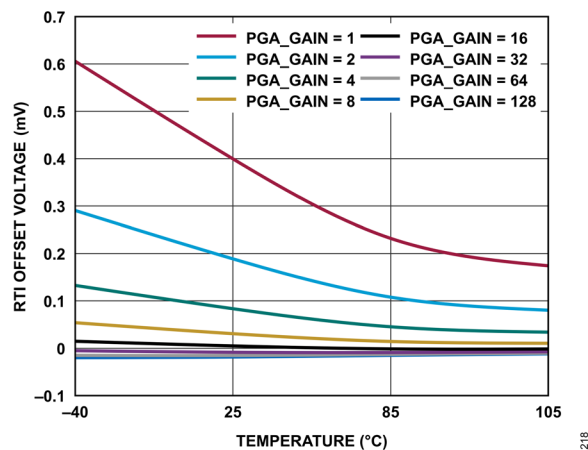


図 17. オフセット誤差と温度の関係、IN1_AAF

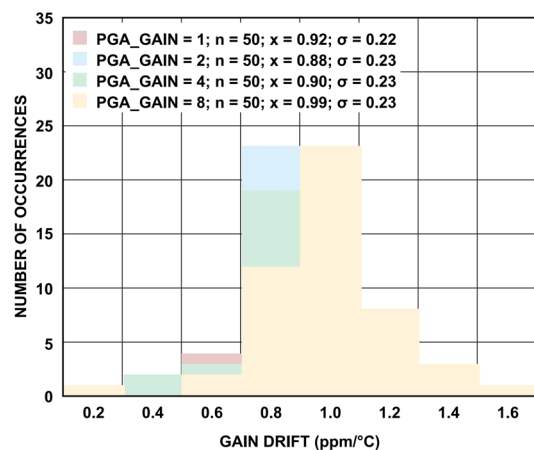


図 15. ゲイン誤差ドリフトの分布、
PGA_GAIN = 1~PGA_GAIN = 8、IN1_AAF

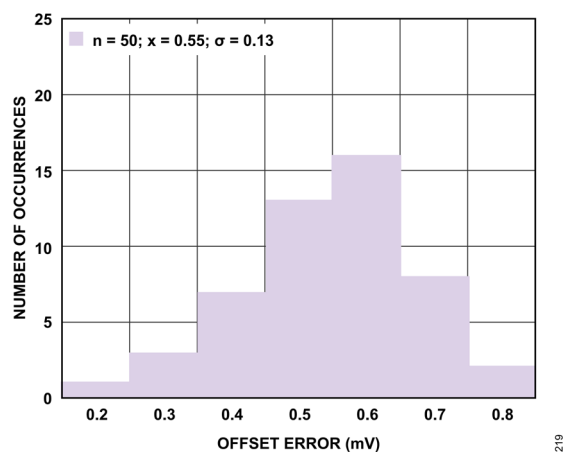


図 18. オフセット誤差の分布、PGA_GAIN = 1V/V、IN1_AAF

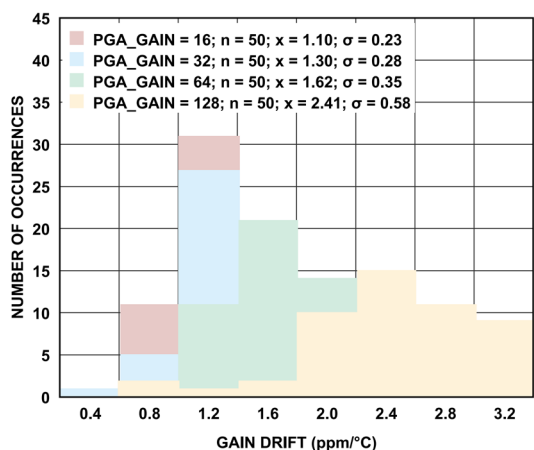


図 16. ゲイン誤差ドリフトの分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN1_AAF

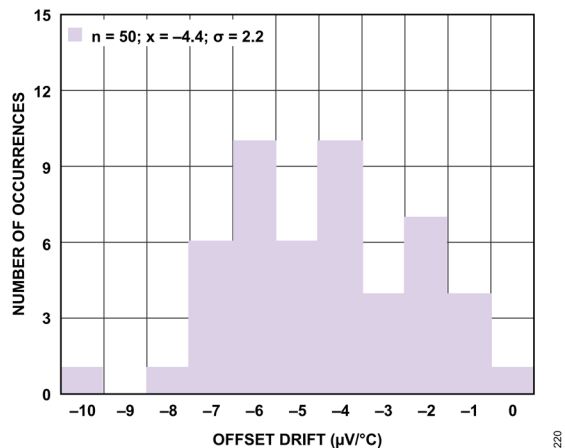


図 19. オフセット誤差ドリフトの分布、
PGA_GAIN = 1V/V、IN1_AAF

代表的な性能特性

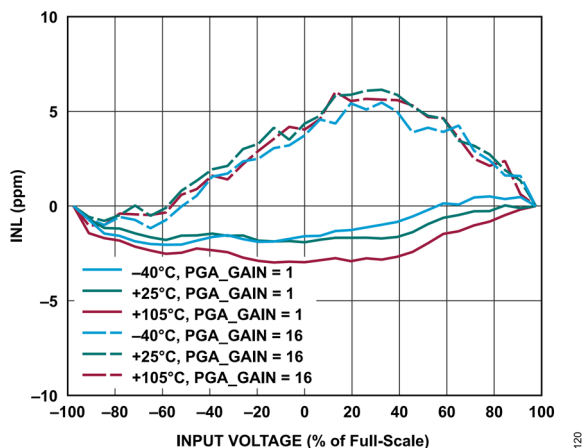


図 20. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 1V/V と PGA_GAIN = 16V/V、IN1_AAF

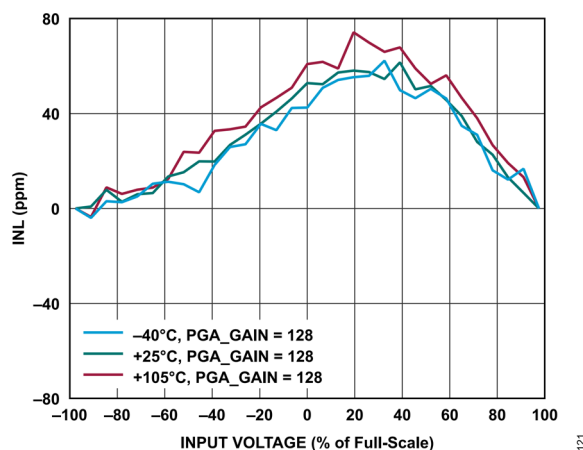


図 21. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 128V/V、IN1_AAF

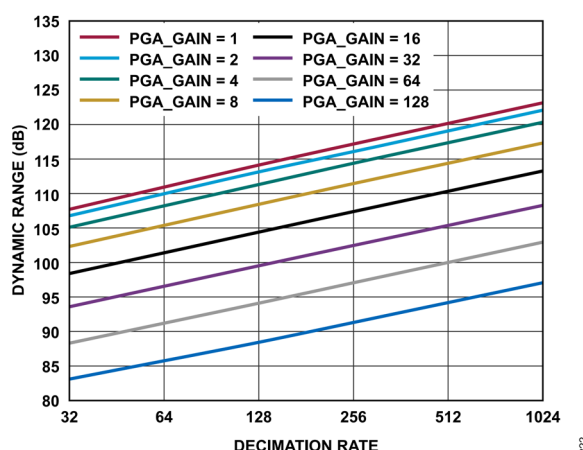


図 22. 様々な PGA_GAIN でのダイナミック・レンジとデシメーション・レートの関係、IN1_AAF、広帯域低リップル・フィルタ、入力を短絡

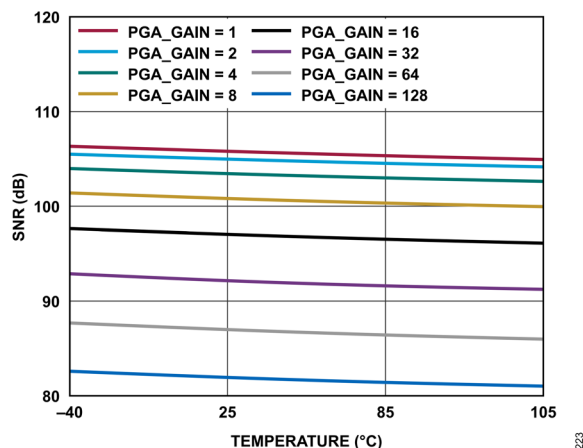


図 23. 様々な PGA_GAIN での S/N 比と温度の関係、IN1_AAF、広帯域低リップル・フィルタ、-0.5dBFS (3.9Vp)、1kHz

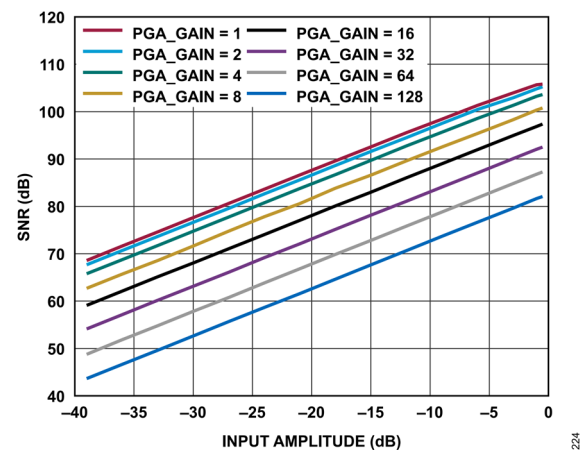


図 24. 様々な PGA_GAIN での S/N 比と入力振幅の関係、IN1_AAF、広帯域低リップル・フィルタ、1kHz

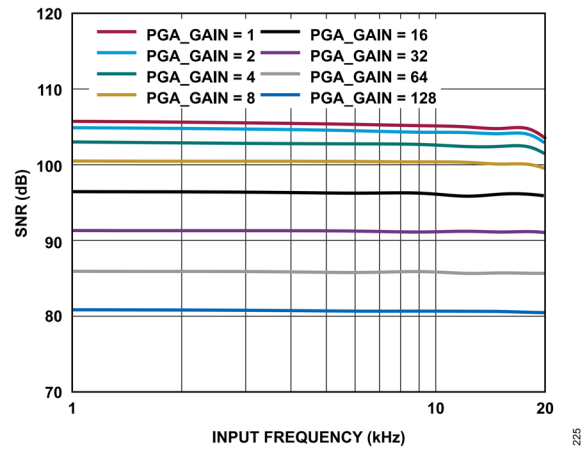


図 25. 様々な PGA_GAIN での S/N 比と入力周波数の関係、IN1_AAF、-0.5dBFS、FDA = 通常消費電力

代表的な性能特性

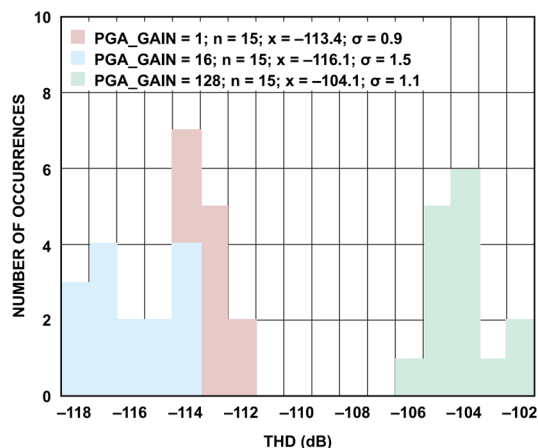


図 26. 様々な PGA_GAIN での THD 分布、
IN1_AAF、-0.5dBFS、1kHz

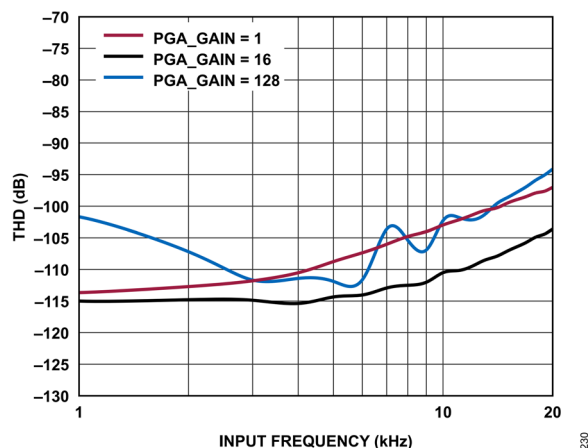


図 29. 異なる FDA 消費電力モードでの THD と入力周波数の
関係、25°C、PGA_GAIN = 1V/V、IN1_AAF、-0.5dBFS

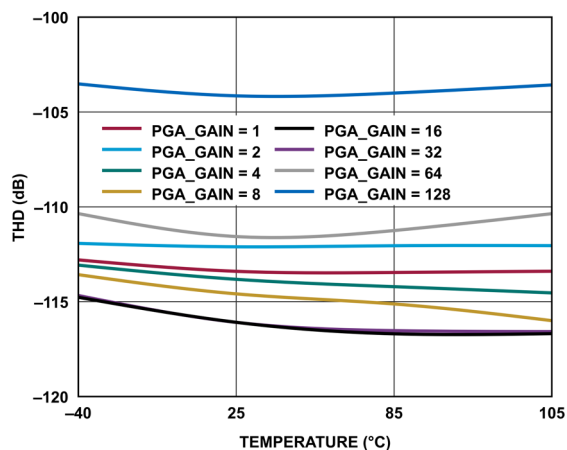


図 27. 様々な PGA_GAIN での THD と温度の関係、
IN1_AAF、-0.5dBFS (3.9Vp)、1kHz

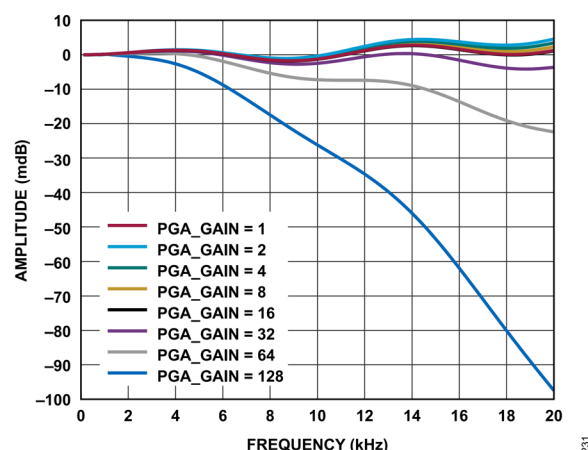


図 30. 様々な PGA_GAIN での広帯域低リプル FIR フィルタの
パス・バンド・リプル、IN1_AAF、ODR = 256kSPS、
DC 時 0dB で正規化

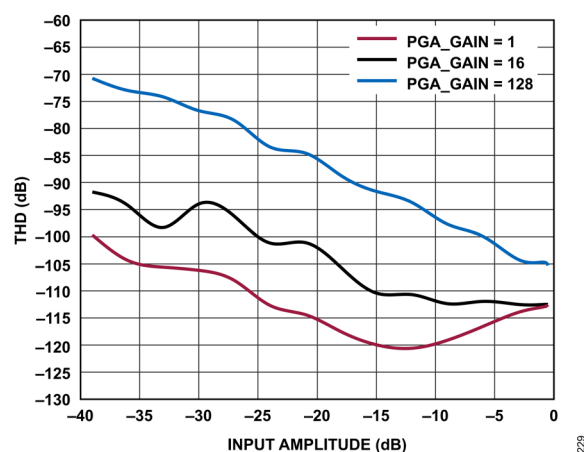


図 28. 様々な PGA_GAIN での THD と入力振幅の関係、
IN1_AAF、1kHz

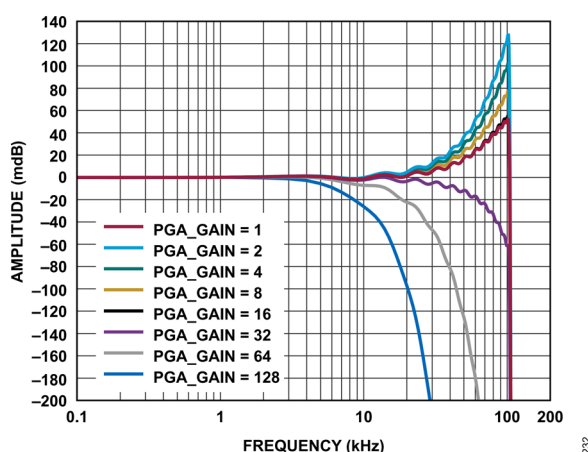


図 31. 様々な PGA_GAIN での広帯域低リプル FIR フィルタの
振幅平坦性、IN1_AAF、ODR = 256kSPS、DC 時 0dB で正規化

代表的な性能特性

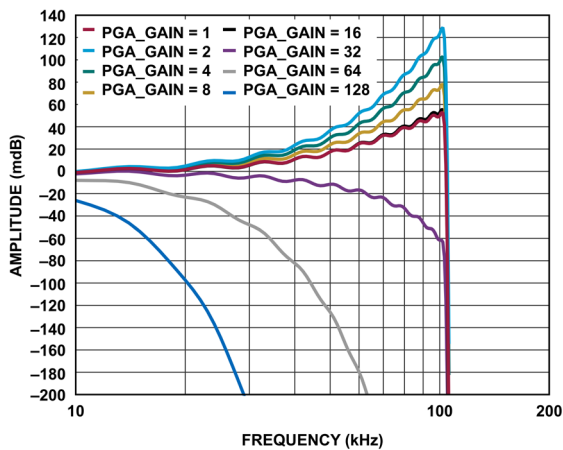


図 32. 様々な PGA_GAIN で広帯域低リップル FIR フィルタのパス・バンド・ドロープ、IN1_AAF、ODR = 256kSPS、DC 時 0dB で正規化

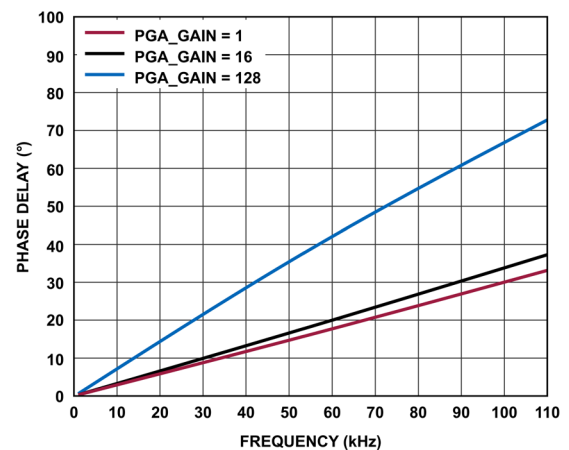


図 35. AFE パス・バンドの位相応答、IN1_AAF

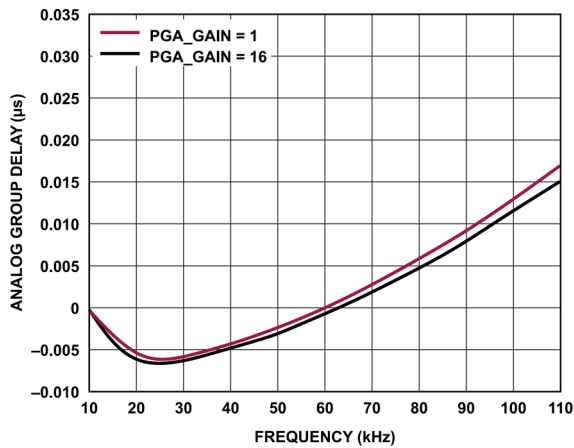


図 33. AFE パス・バンド・アナログ群遅延と周波数の関係、PGA_GAIN = 1 と PGA_GAIN = 16、IN1_AAF、25°C、10kHz 時の遅延で正規化

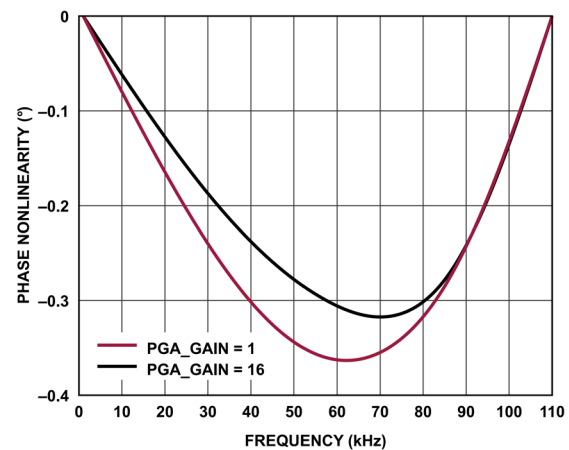


図 36. AFE パス・バンド位相の非直線性、PGA_GAIN = 1 と PGA_GAIN = 16、IN1_AAF、エンドポイント法 (100Hz~110kHz)

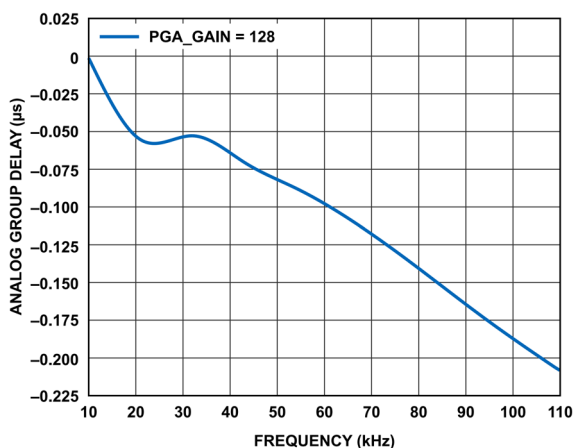


図 34. AFE パス・バンド・アナログ群遅延と周波数の関係、PGA_GAIN = 128、IN1_AAF、25°C、10kHz 時の遅延で正規化

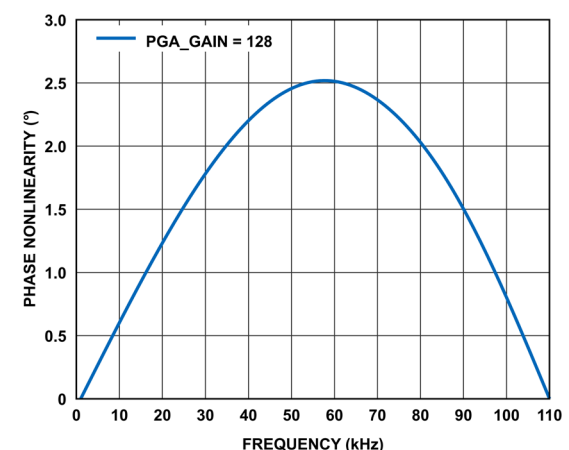


図 37. AFE パス・バンド位相の非直線性、PGA_GAIN = 128、IN1_AAF、エンドポイント法 (100Hz~110kHz)

代表的な性能特性

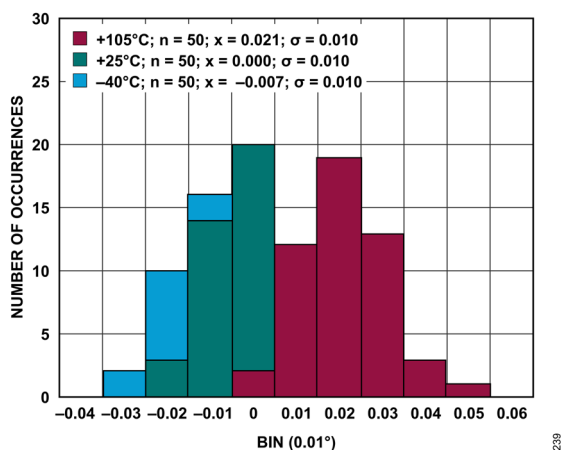


図 38. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 1V/V、IN1_AAF、25°C での平均値で正規化

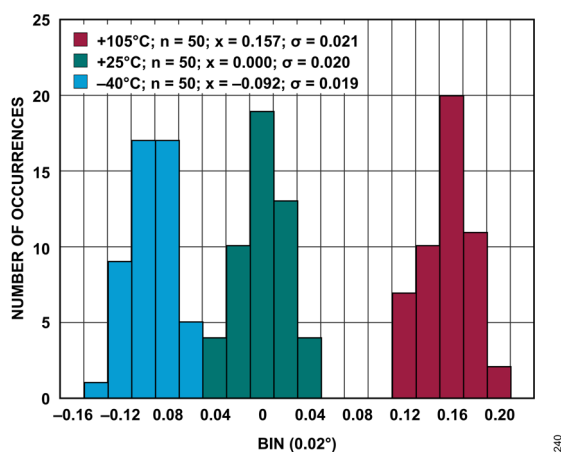


図 39. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 16V/V、IN1_AAF、25°C での平均値で正規化

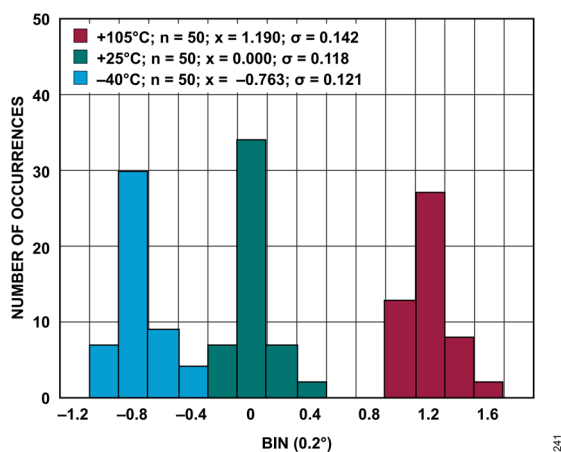


図 40. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 128V/V、IN1_AAF、25°C での平均値で正規化

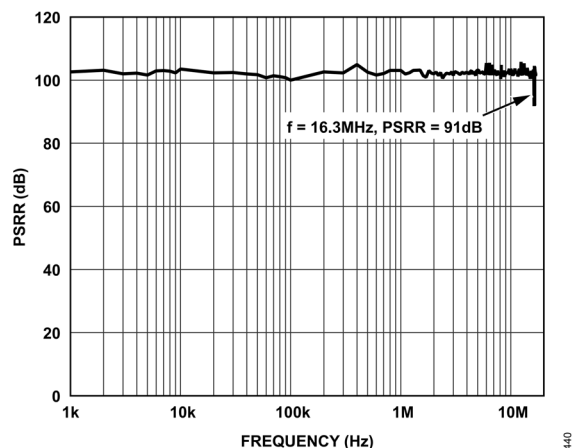


図 41. LDO AC PSRR、VDD_FDA と VDD_ADC と VDD2_ADC に接続、内蔵の 0.1μF 電源デカップリング・コンデンサだけを 使用

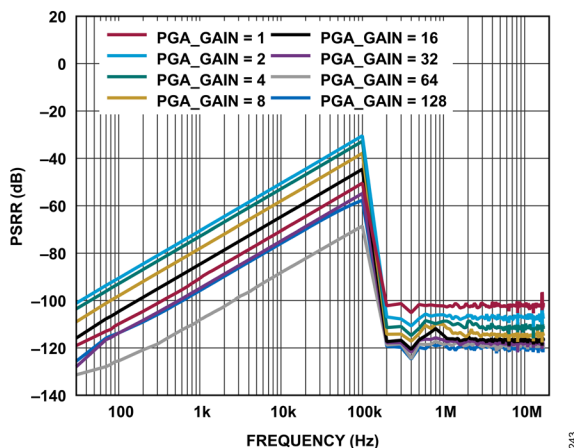


図 42. 全ての PGA_GAIN での VDD_PGA AC PSSR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを 使用

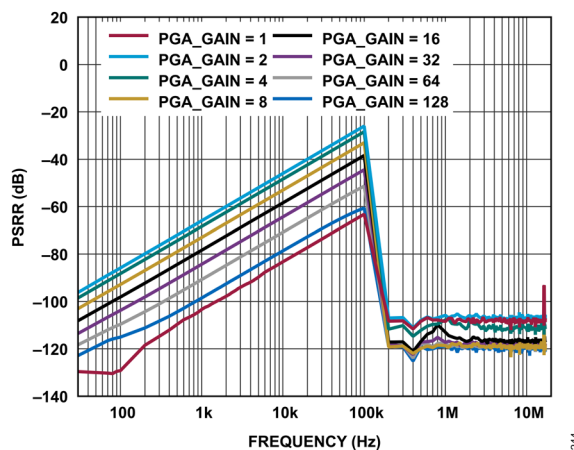


図 43. 全ての PGA_GAIN での VSS_PGA AC PSSR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを 使用

代表的な性能特性

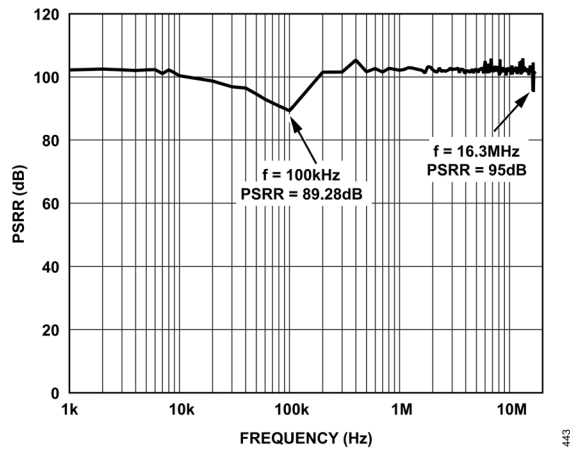


図 44. VDD_IO AC PSRR、内蔵の 0.1 μ F 電源デカップリング・コンデンサだけを使用

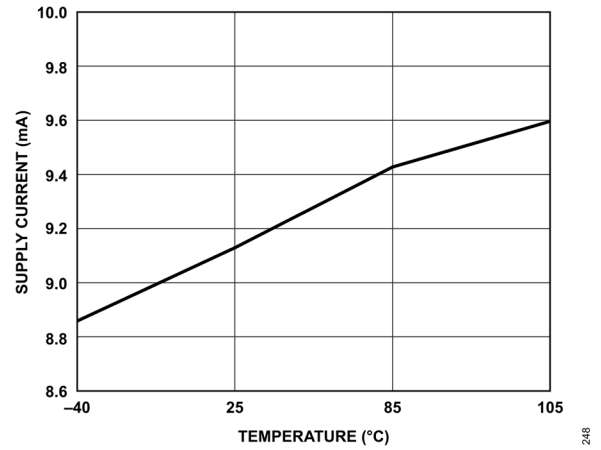


図 47. VDD_IO 電源電流と温度の関係

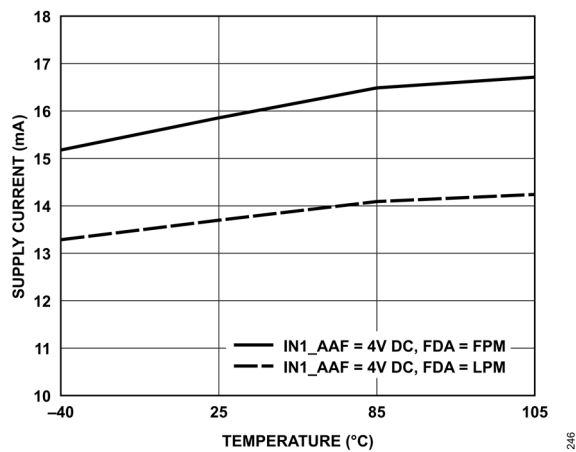


図 45. DC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

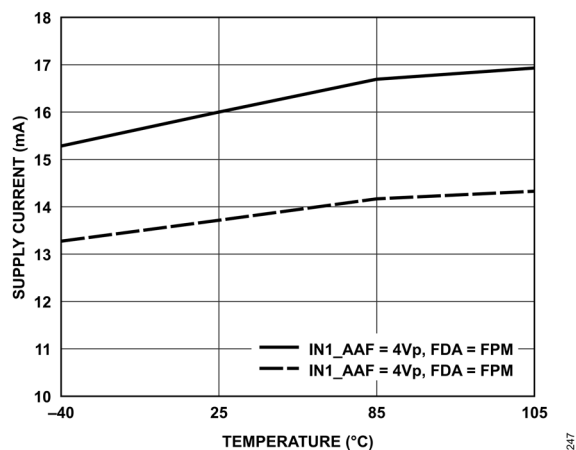


図 46. AC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

代表的な性能特性

AAF_GAIN = IN2_AAF

特に指定のない限り、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。代表値は $T_A = 25^{\circ}\text{C}$ での値です。

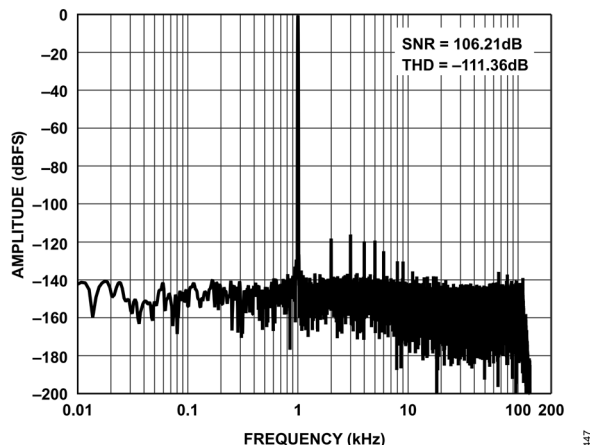


図 48. 広帯域低リップル FIR フィルタ、PGA_GAIN = 1V/V、IN2_AAF、バイポーラ・シングルエンド入力、-0.5dBFS (10.6Vp)

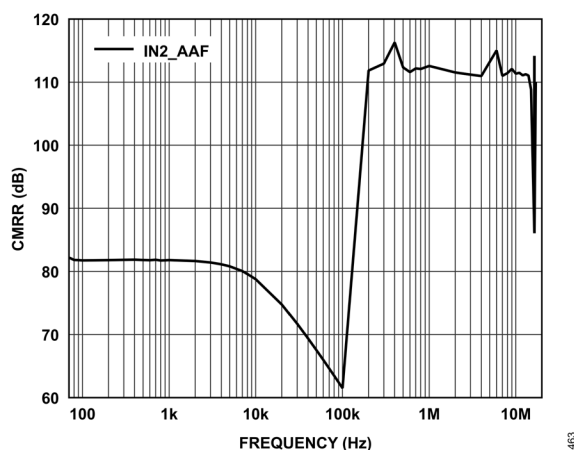


図 50. AC CMRR と入力周波数の関係、IN2_AAF

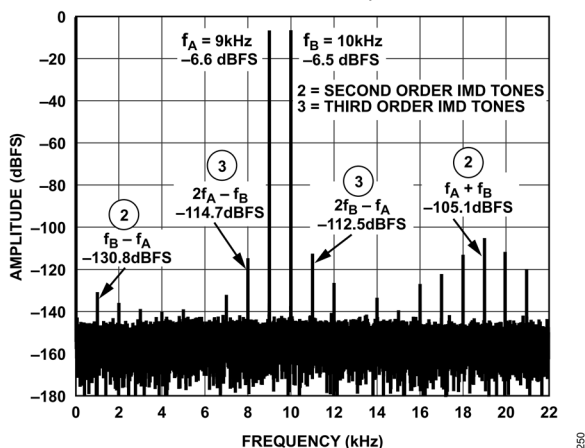


図 49. ツー・トーン入力、PGA_GAIN = 1V/V、IN2_AAF、 $f_A = 9\text{kHz}$ および -6.6dBFS、 $f_B = 10\text{kHz}$ および -6.5dBFS、サイン波、広帯域低リップル・フィルタ、ODR = 256kSPS

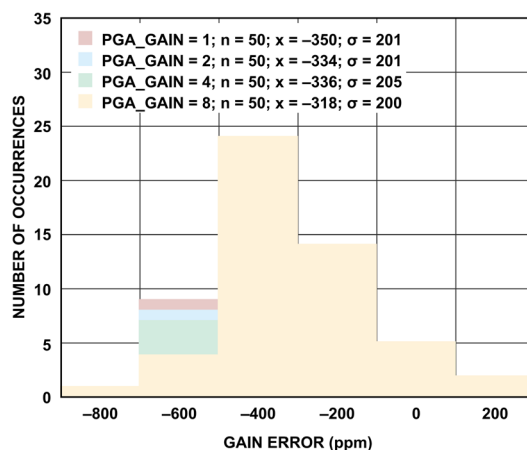


図 51. ゲイン誤差の分布、PGA_GAIN = 1~PGA_GAIN = 8、IN2_AAF

代表的な性能特性

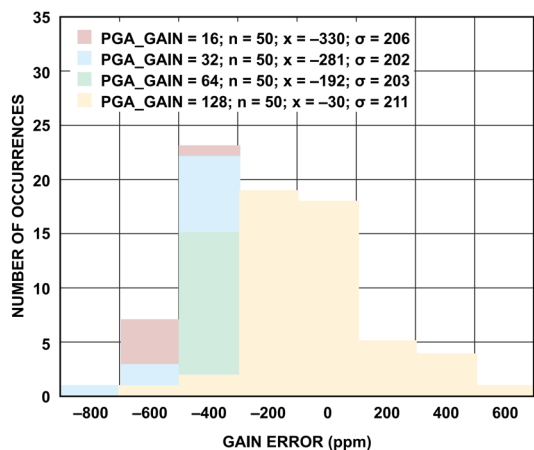


図 52. ゲイン誤差の分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN2_AAF

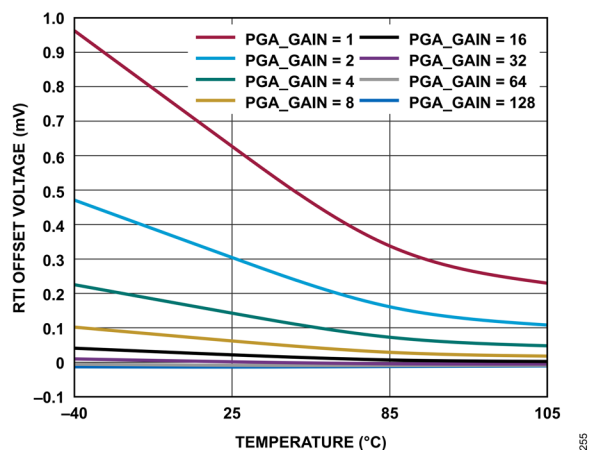


図 55. オフセット誤差と温度の関係、IN2_AAF

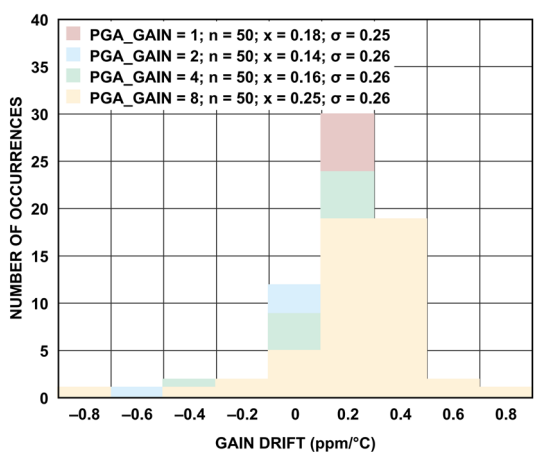


図 53. ゲイン誤差ドリフトの分布、
PGA_GAIN = 1~PGA_GAIN = 8、IN2_AAF

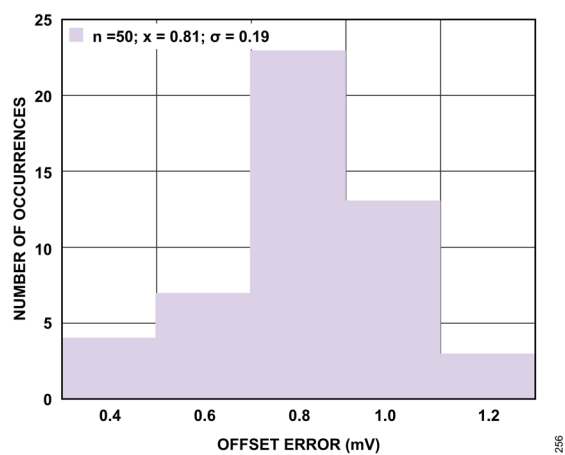


図 56. オフセット誤差の分布、PGA_GAIN = 1V/V、IN2_AAF

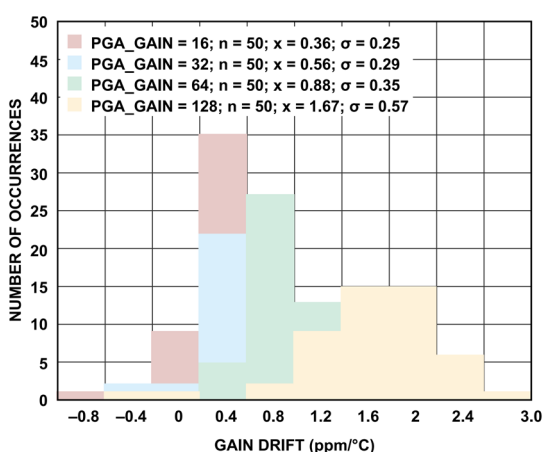


図 54. ゲイン誤差ドリフトの分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN2_AAF

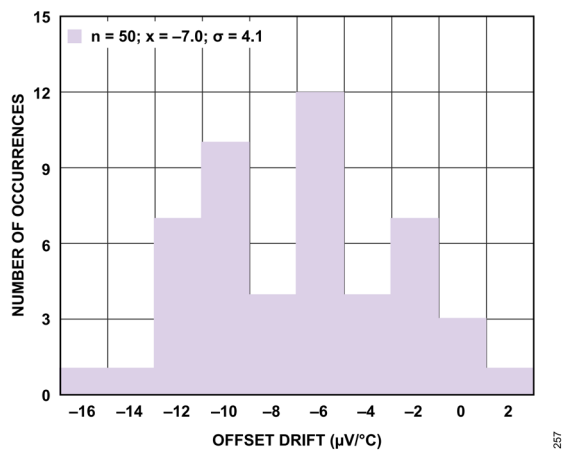


図 57. オフセット誤差ドリフトの分布、
PGA_GAIN = 1V/V、IN2_AAF

代表的な性能特性

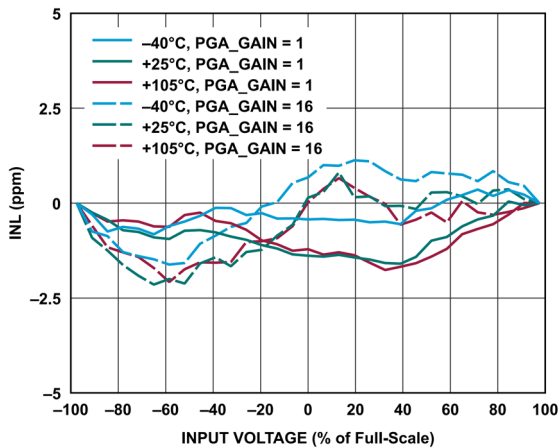


図 58. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 1V/V と PGA_GAIN = 16V/V、IN2_AAF

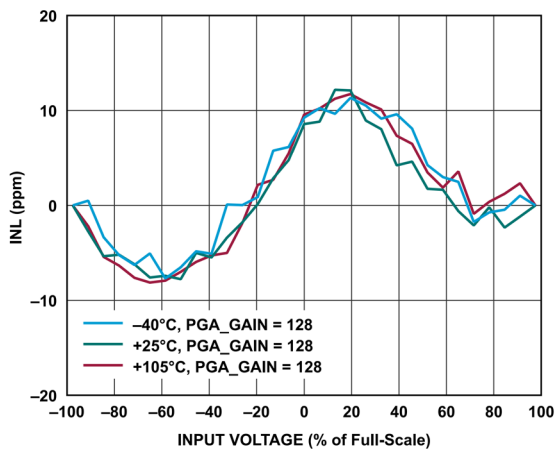


図 59. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 128V/V、IN2_AAF

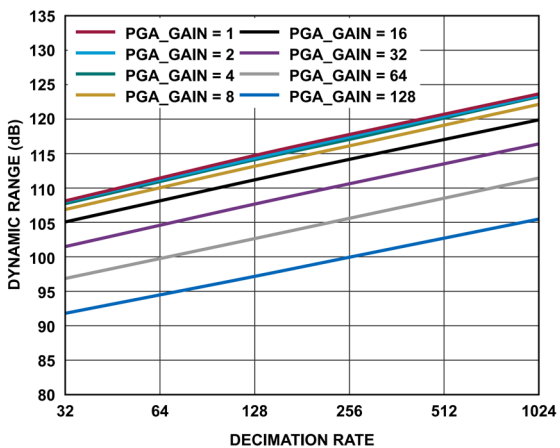


図 60. 様々な PGA_GAIN でのダイナミック・レンジとデシメーション・レートの関係、IN2_AAF、広帯域低リップル・フィルタ、入力を短絡

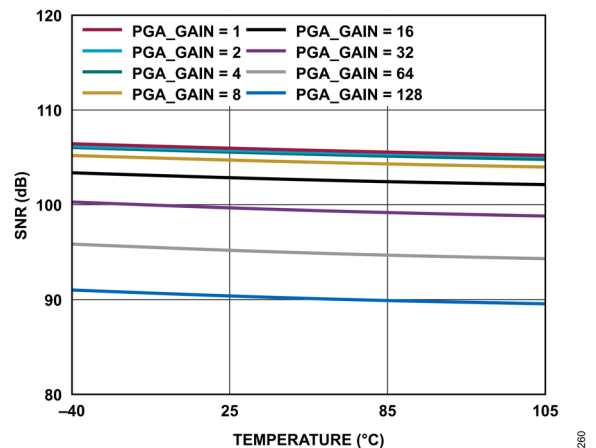


図 61. 様々な PGA_GAIN での S/N 比と温度の関係、IN2_AAF、広帯域低リップル・フィルタ、-0.5dBFS (10.6Vp)、1kHz

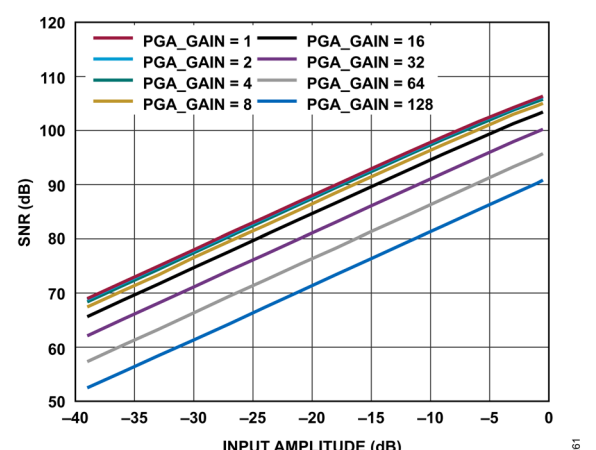


図 62. 様々な PGA_GAIN での S/N 比と入力振幅の関係、IN2_AAF、広帯域低リップル・フィルタ、1kHz

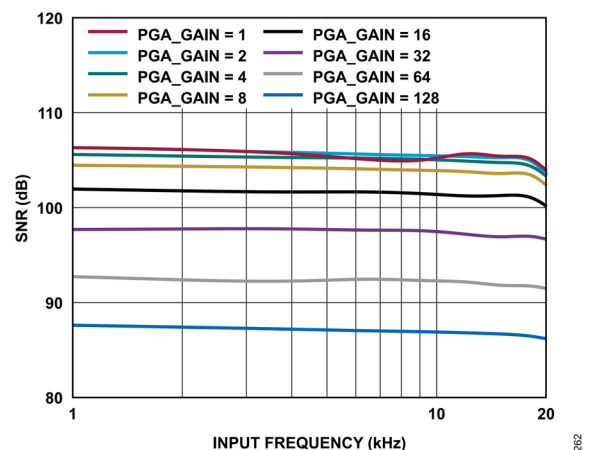


図 63. 様々な PGA_GAIN での S/N 比と入力周波数の関係、IN2_AAF、-0.5dBFS、FDA = 通常消費電力

代表的な性能特性

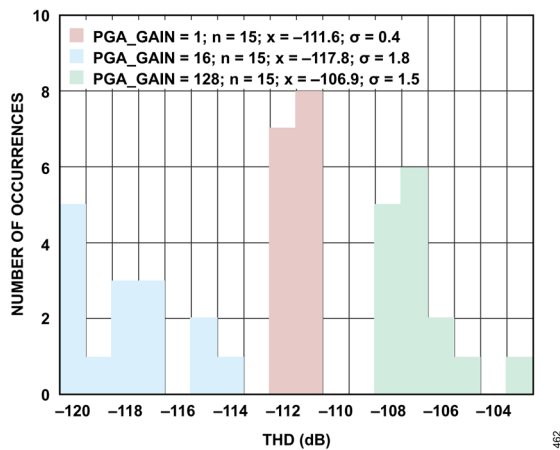


図 64. 様々な PGA_GAIN での THD 分布、
IN2_AAF、-0.5dBFS、1kHz

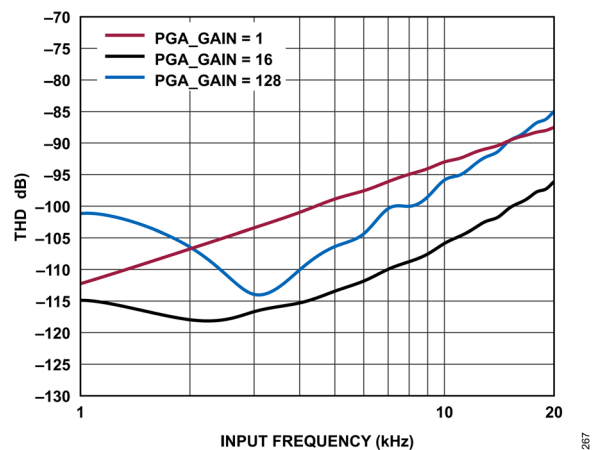


図 67. 異なる FDA 消費電力モードでの THD と入力周波数の
関係、25°C、PGA_GAIN = 1V/V、IN2_AAF、-0.5dBFS

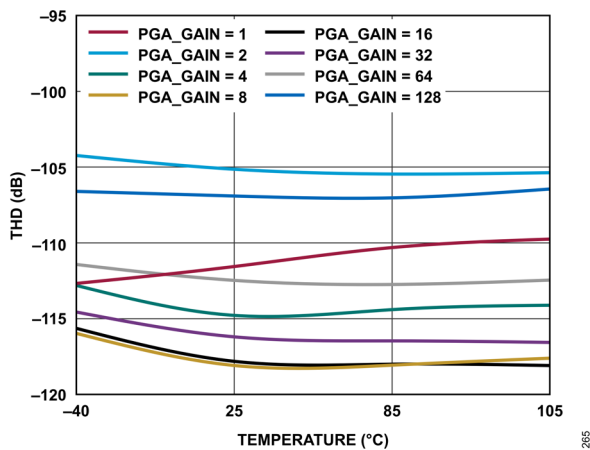


図 65. 様々な PGA_GAIN での THD と温度の関係、
IN2_AAF、-0.5dBFS (10.6Vp)、1kHz

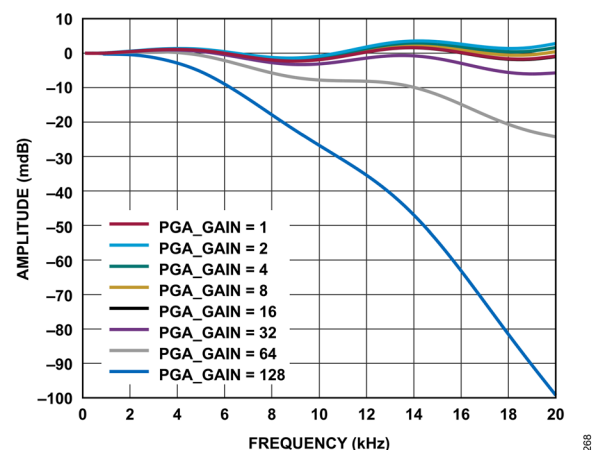


図 68. 様々な PGA_GAIN での広帯域低リップル FIR フィルタの
パス・バンド・リップル、IN2_AAF、ODR = 256kSPS、
DC 時 0dB で正規化

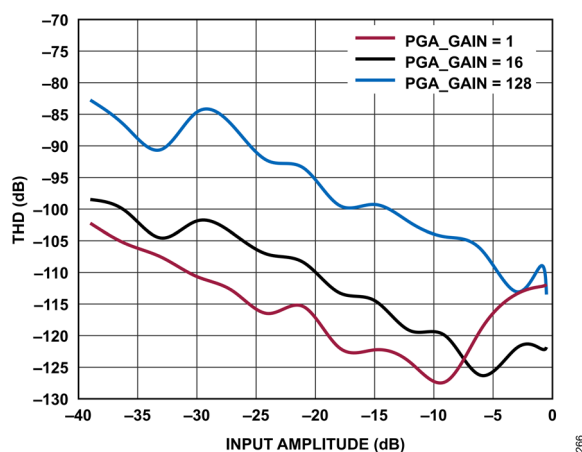


図 66. 様々な PGA_GAIN での THD と入力振幅の関係、
IN2_AAF、1kHz

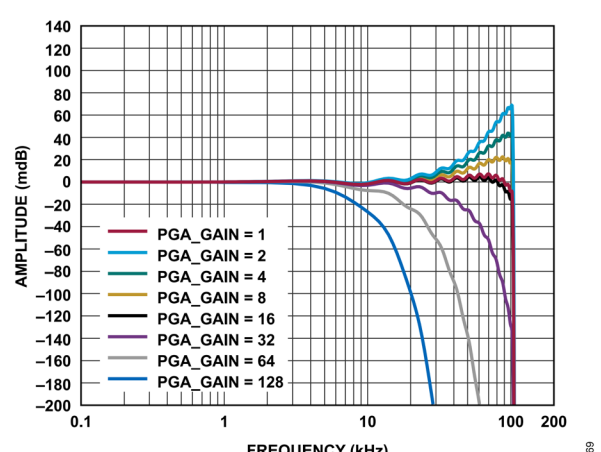


図 69. 様々な PGA_GAIN での広帯域低リップル FIR フィルタの
振幅平坦性、IN2_AAF、ODR = 256kSPS、DC 時 0dB で正規化

代表的な性能特性

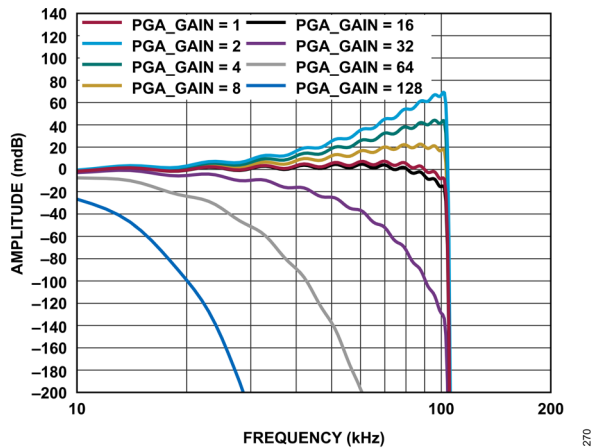


図 70. 様々な PGA_GAIN で広帯域低リップル FIR フィルタのパス・バンド・ドループ、IN2_AAF、ODR = 256kSPS、DC 時 0dB で正規化

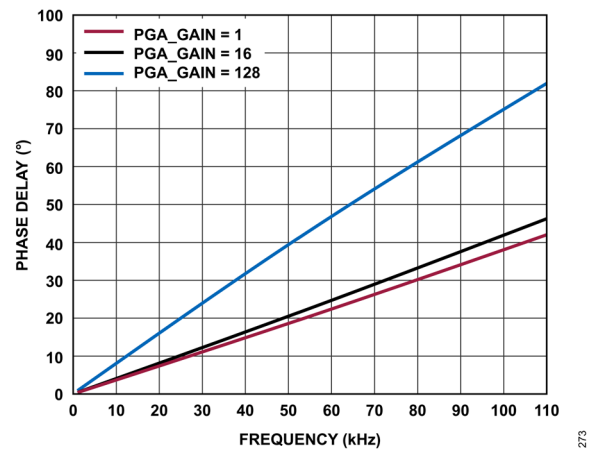


図 73. AFE パス・バンドの位相応答、IN2_AAF

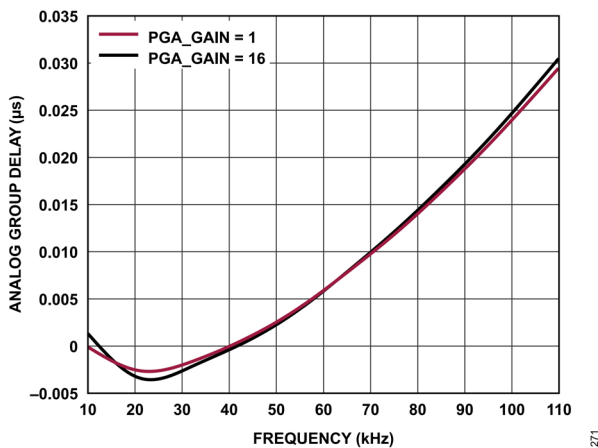


図 71. AFE のパス・バンド・アナログ遅延と周波数の関係、PGA_GAIN = 1 と PGA_GAIN = 16、IN2_AAF、25°C、10kHz 時の遅延で正規化

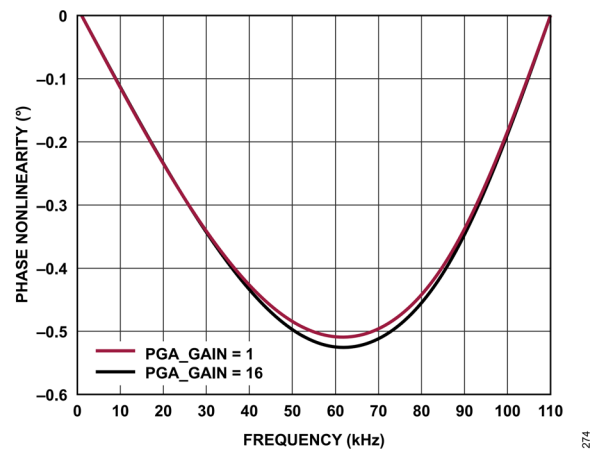


図 74. AFE パス・バンド位相の非直線性、PGA_GAIN = 1 と PGA_GAIN = 16、IN2_AAF、エンドポイント法 (100Hz~110kHz)

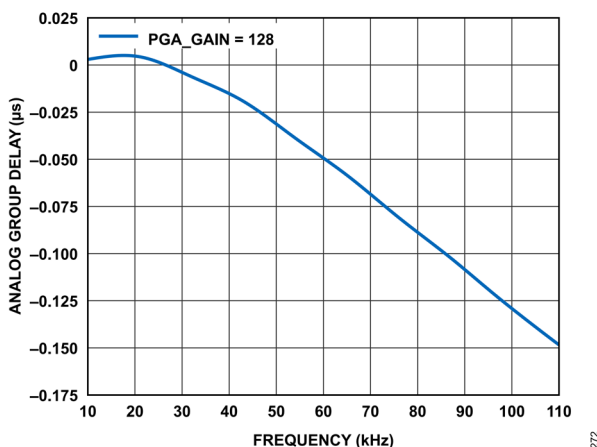


図 72. AFE パス・バンド・アナログ群遅延と関係周波数の関係、PGA_GAIN = 128、IN2_AAF、25°C、10kHz 時の遅延で正規化

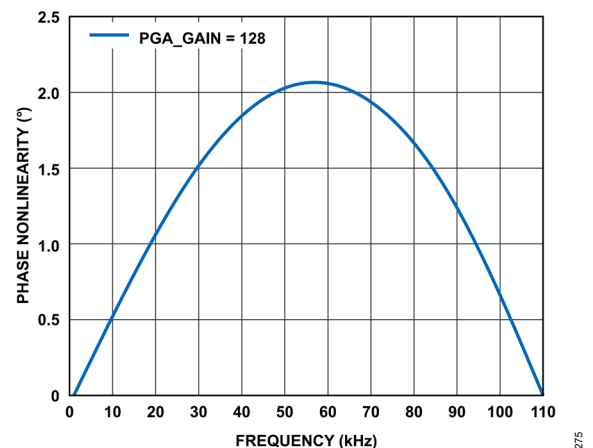


図 75. AFE パス・バンド位相の非直線性、PGA_GAIN = 128、IN2_AAF、エンドポイント法 (100Hz~110kHz)

代表的な性能特性

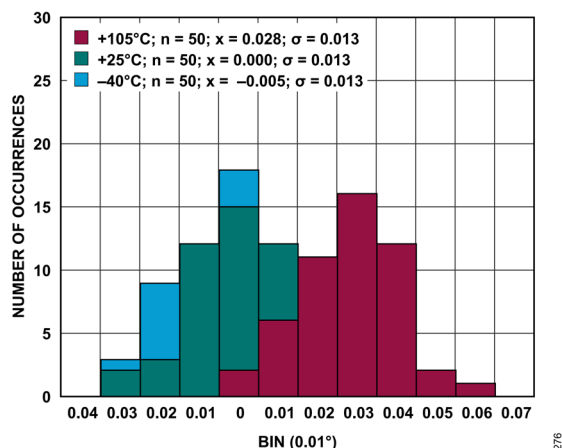


図 76. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 1V/V、IN2_AAF、25°C での平均値で正規化

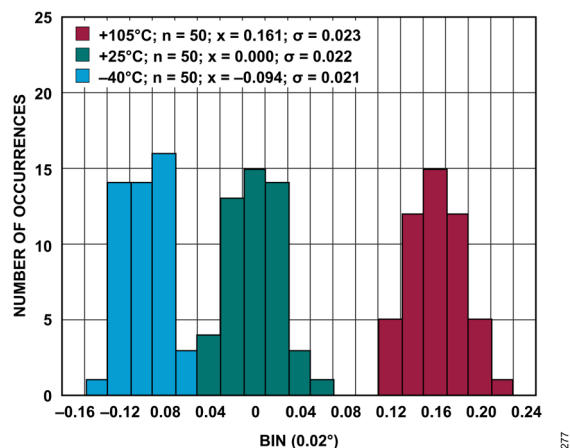


図 77. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 16V/V、IN2_AAF、25°C での平均値で正規化

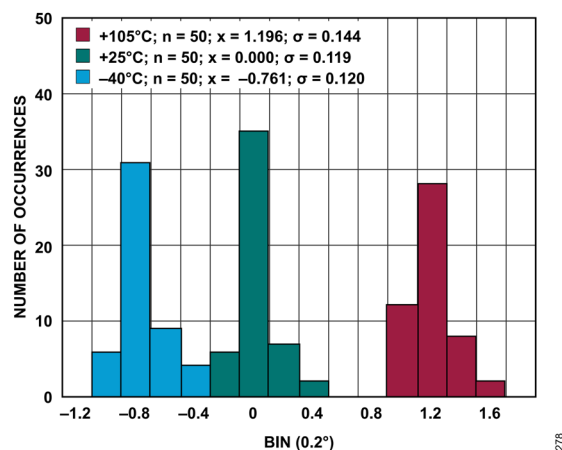


図 78. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 128V/V、IN2_AAF、25°C での平均値で正規化

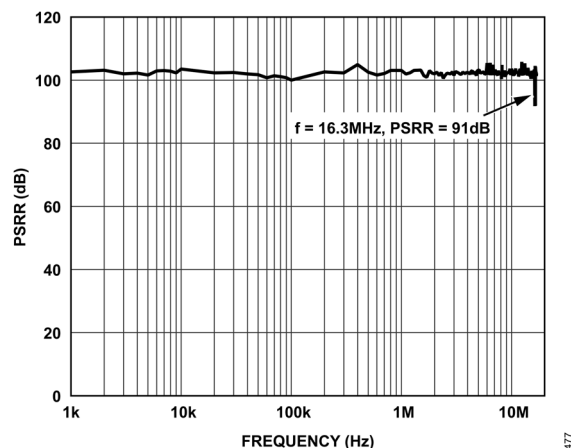


図 79. LDO AC PSRR, VDD_FDA と VDD_ADC と VDD2_ADC に接続、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

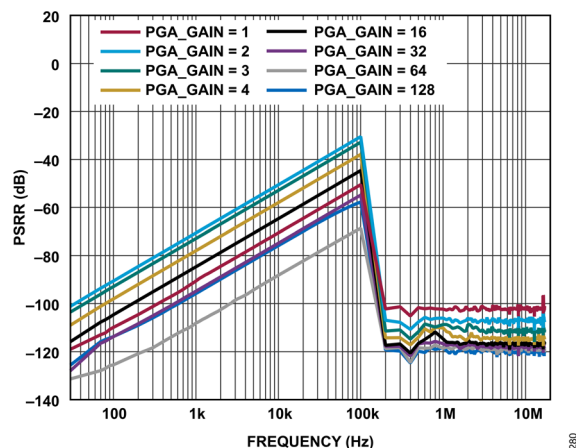


図 80. 全ての PGA_GAIN での VDD_PGA AC PSSR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

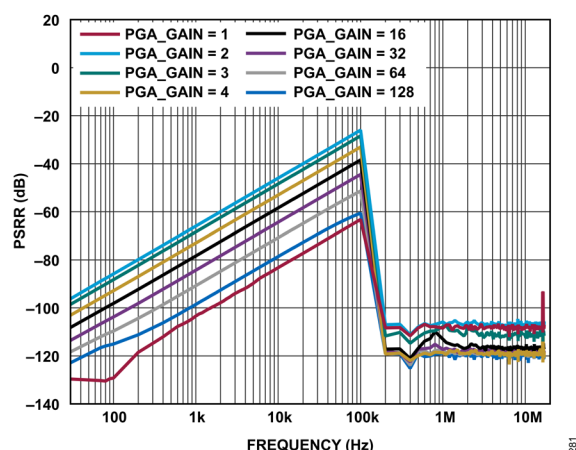


図 81. 全ての PGA_GAIN での VSS_PGA AC PSSR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

代表的な性能特性

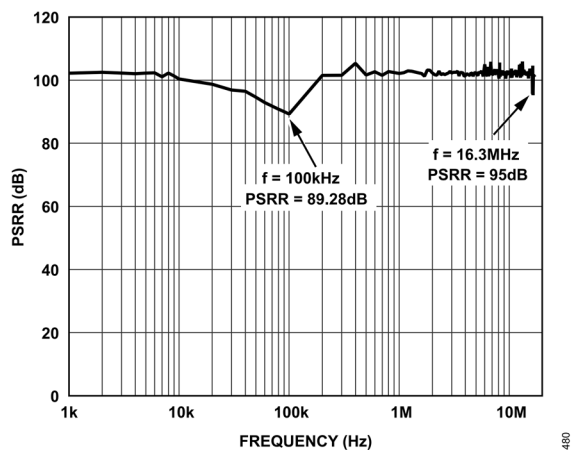


図 82. VDD_IO AC PSRR、内蔵の 0.1 μ F 電源デカップリング・コンデンサだけを使用

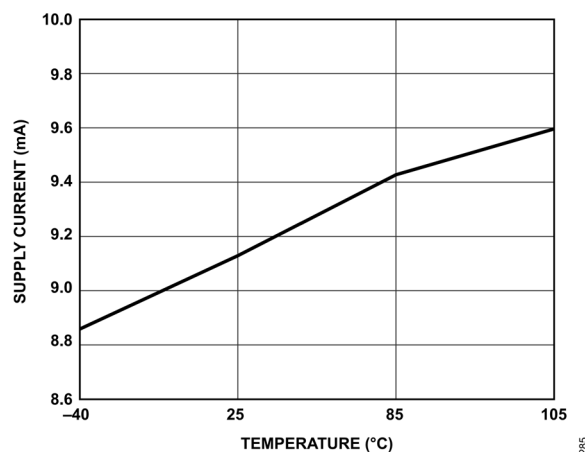


図 85. VDD_IO 電源電流と温度の関係

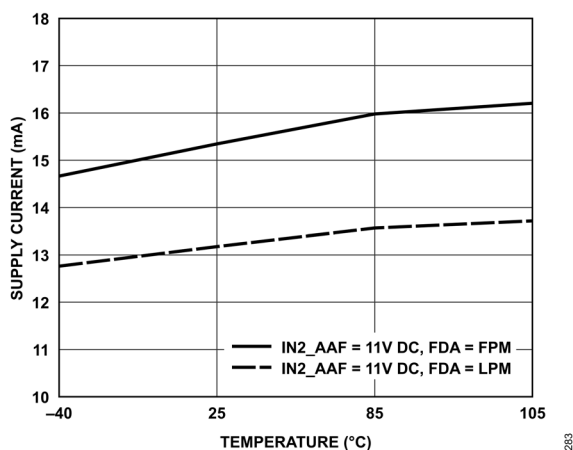


図 83. DC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

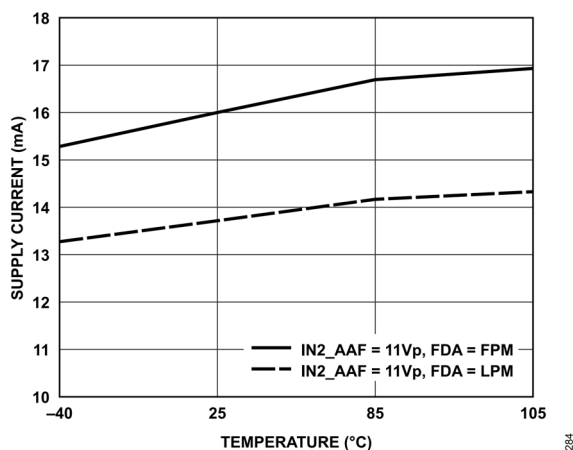


図 84. AC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

代表的な性能特性

AAF_GAIN = IN3_AAF

特に指定のない限り、VDD_PGA = 20V、VSS_PGA = -16V、AGND = DGND = 0V、IN_LDO = EN_LDO = 5.1V~5.5V、OUT_LDO = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、デューティサイクル 50:50、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。代表値は $T_A = 25^{\circ}\text{C}$ での値です。

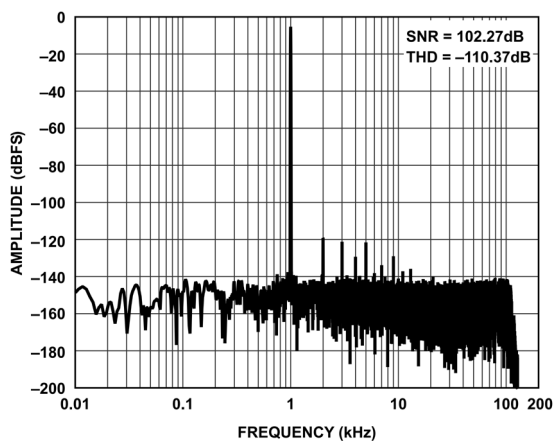


図 86. 広帯域低リップル FIR フィルタ、PGA_GAIN = 1V/V、IN3_AAF、バイポーラ・シングルエンド入力、-5.2dBFS (15.7Vp)

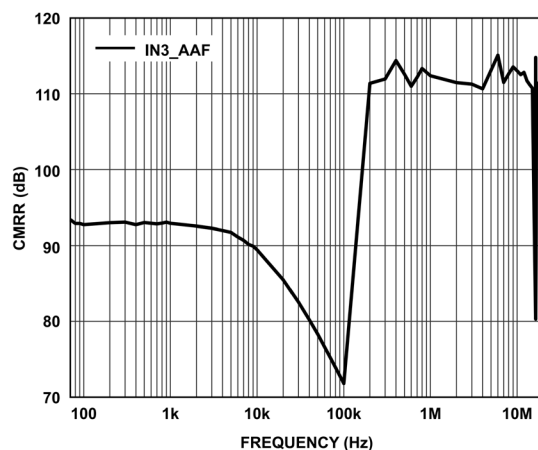


図 88. AC CMRR と入力周波数の関係、IN3_AAF

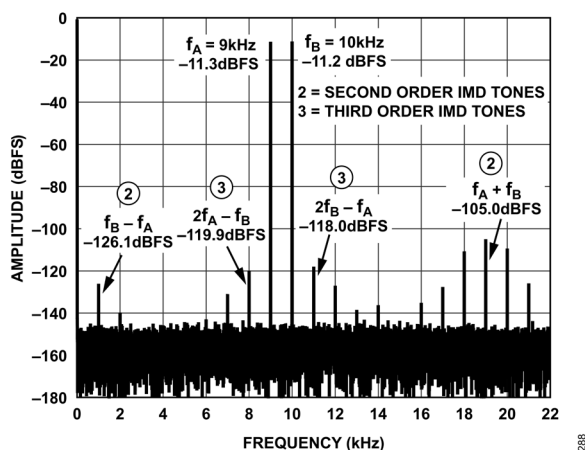


図 87. ツー・トーン入力、PGA_GAIN = 1V/V、IN3_AAF、 $f_A = 9\text{kHz}$ および -11.3dBFS 、 $f_B = 10\text{kHz}$ および -11.2dBFS 、サイン波、広帯域低リップル・フィルタ、ODR = 256kSPS

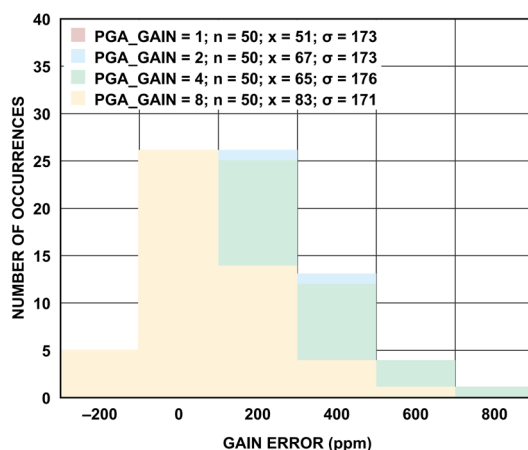


図 89. ゲイン誤差の分布、PGA_GAIN = 1~PGA_GAIN = 8、IN3_AAF

代表的な性能特性

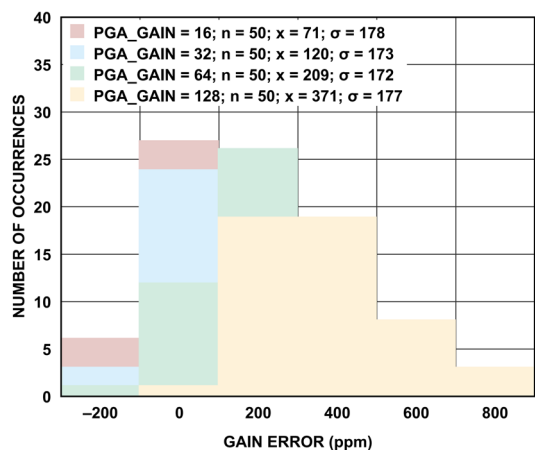


図 90. ゲイン誤差の分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN3_AAF

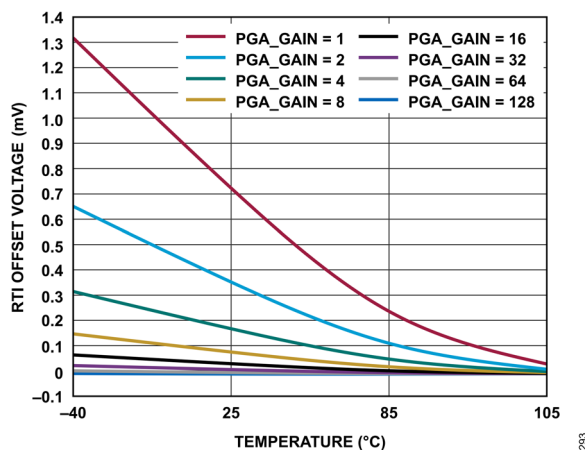


図 93. オフセット誤差と温度の関係、IN3_AAF

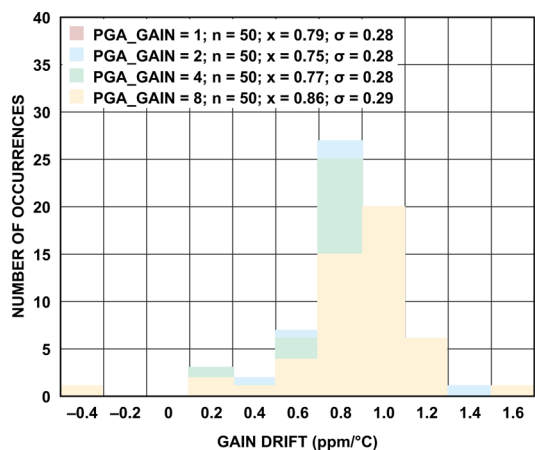


図 91. ゲイン誤差ドリフトの分布、
PGA_GAIN = 1~PGA_GAIN = 8、IN3_AAF

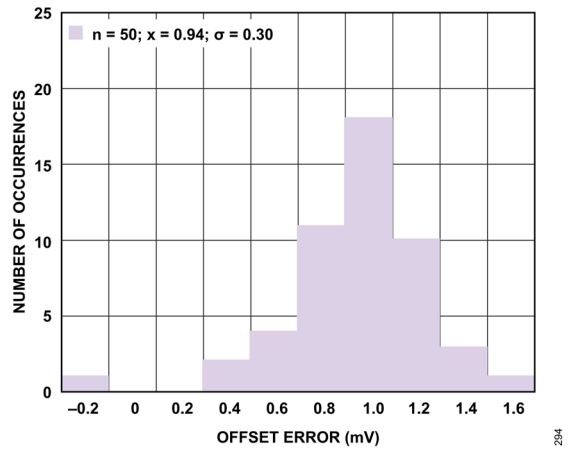


図 94. オフセット誤差の分布、PGA_GAIN = 1V/V、IN3_AAF

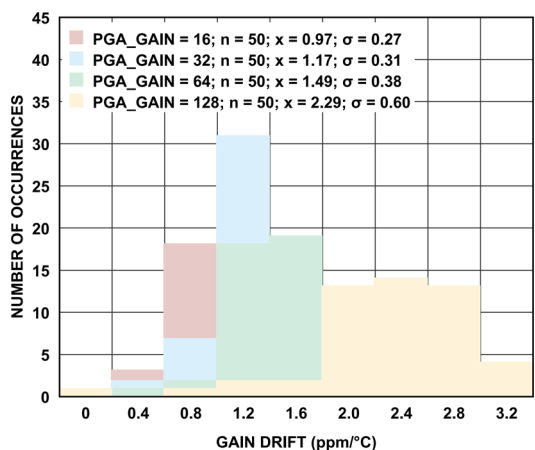


図 92. ゲイン誤差ドリフトの分布、
PGA_GAIN = 16~PGA_GAIN = 128、IN3_AAF

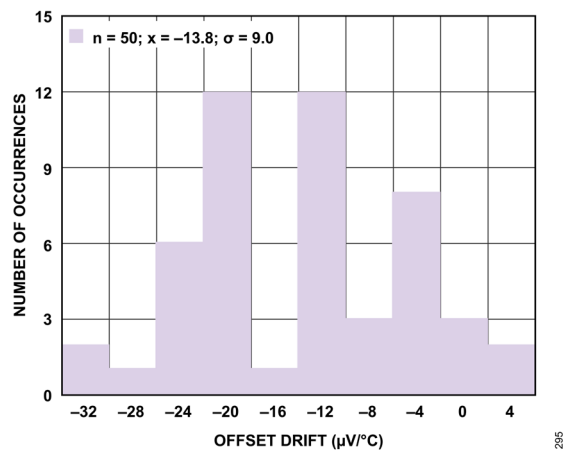


図 95. オフセット誤差ドリフトの分布、
PGA_GAIN = 1V/V、IN3_AAF

代表的な性能特性

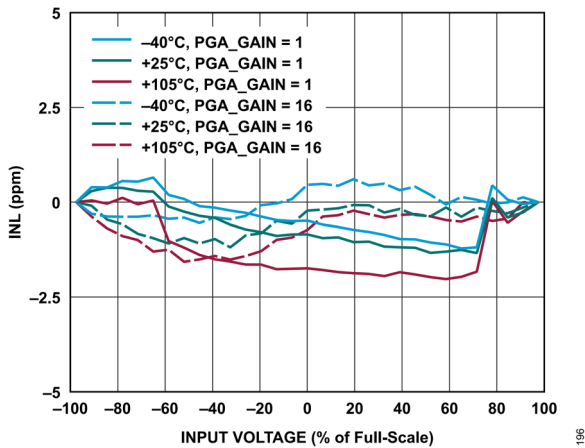


図 96. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 1V/V と PGA_GAIN = 16V/V、IN3_AAF

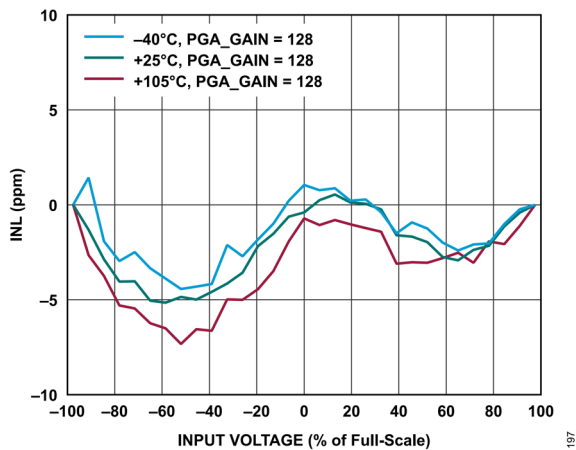


図 97. 様々な温度での INL 誤差と入力電圧の関係、PGA_GAIN = 128V/V、IN3_AAF

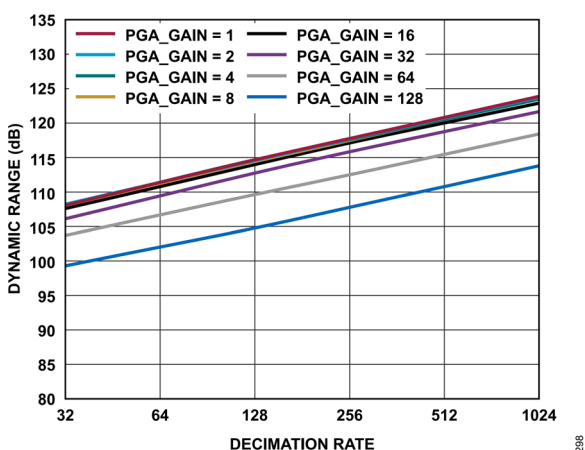


図 98. 様々な PGA_GAIN でのダイナミック・レンジとデシメーション・レートの関係、IN3_AAF、広帯域低リップル・フィルタ、入力を短絡

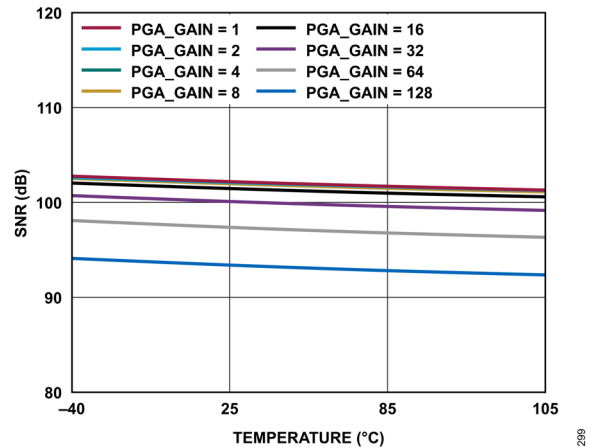


図 99. 様々な PGA_GAIN での S/N 比と温度の関係、IN3_AAF、広帯域低リップル・フィルタ、-5.2dBFS (15.7Vp)、1kHz

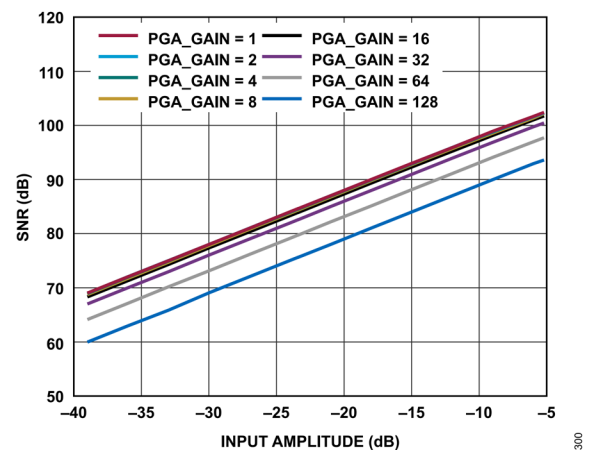


図 100. 様々な PGA_GAIN での S/N 比と入力振幅の関係、IN3_AAF、広帯域低リップル・フィルタ、1kHz

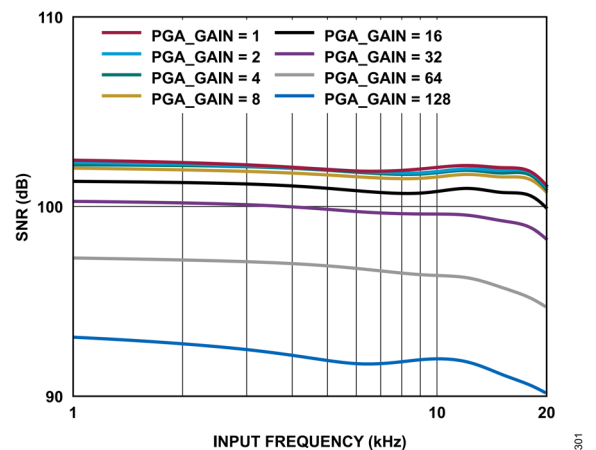


図 101. 様々な PGA_GAIN での S/N 比と入力周波数の関係、IN3_AAF、-5.2dBFS、FDA = 通常消費電力

代表的な性能特性

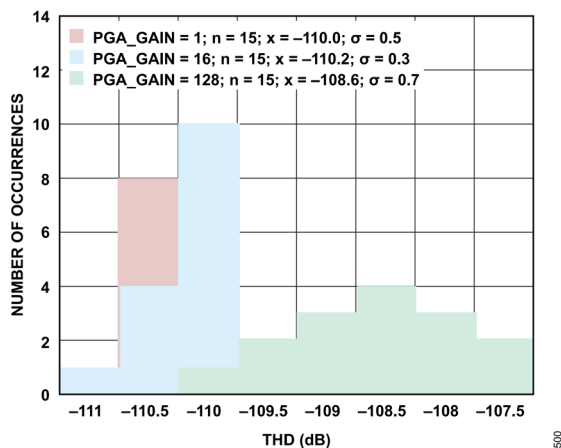


図 102. 様々な PGA_GAIN での THD 分布、
IN3_AAF、-7.2dBFS、1kHz

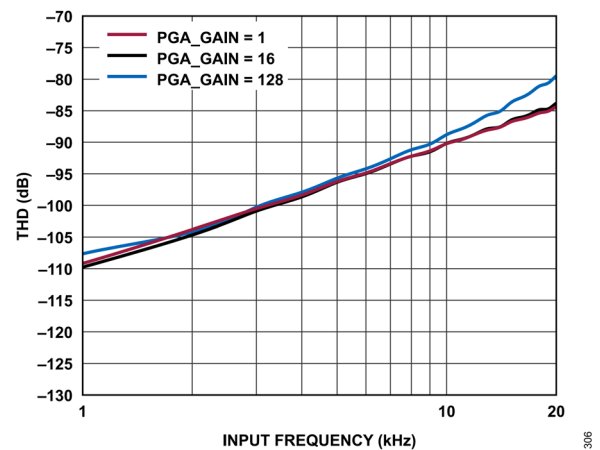


図 105. 異なる FDA 消費電力モードでの THD と入力周波数の
関係、25°C、PGA_GAIN = 1V/V、IN3_AAF、-5.2dBFS

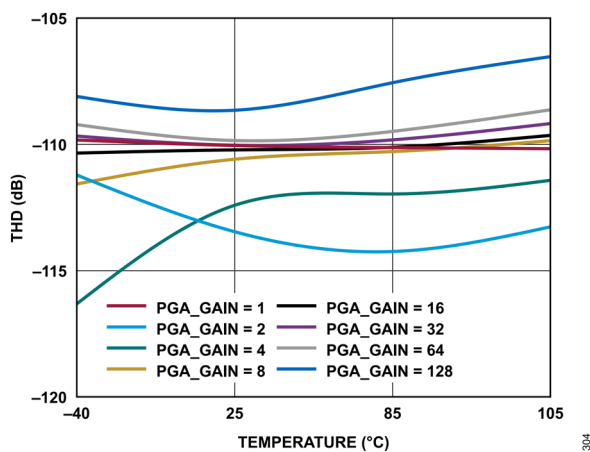


図 103. 様々な PGA_GAIN での THD と温度の関係、
IN3_AAF、-5.2dBFS (15.7Vp)、1kHz

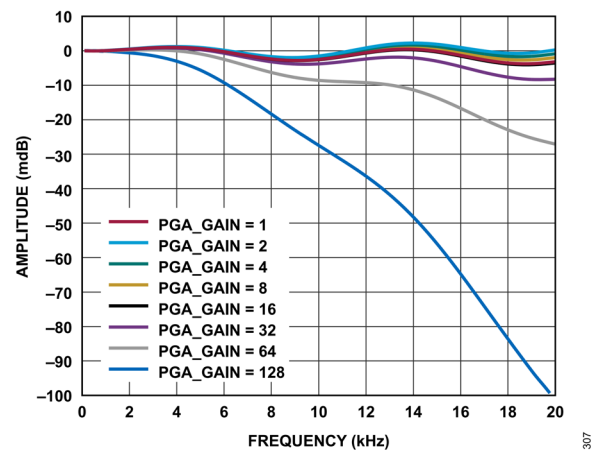


図 106. 様々な PGA_GAIN での広帯域低リップル FIR フィルタ
のパス・バンド・リップル、IN3_AAF、ODR = 256kSPS、
DC 時 0dB で正規化

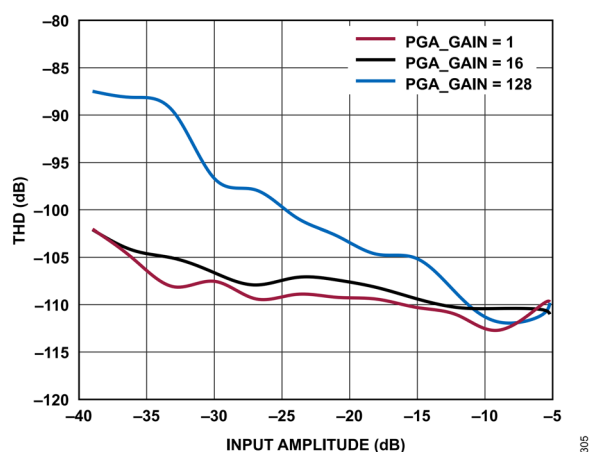


図 104. 様々な PGA_GAIN での THD と入力振幅の関係、
IN3_AAF、1kHz

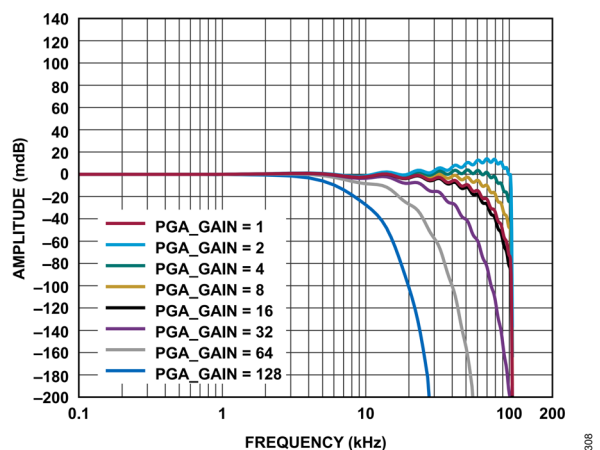


図 107. 様々な PGA_GAIN での広帯域低リップル FIR フィルタ
の振幅平坦性、IN3_AAF、ODR = 256kSPS、
DC 時 0dB で正規化

代表的な性能特性

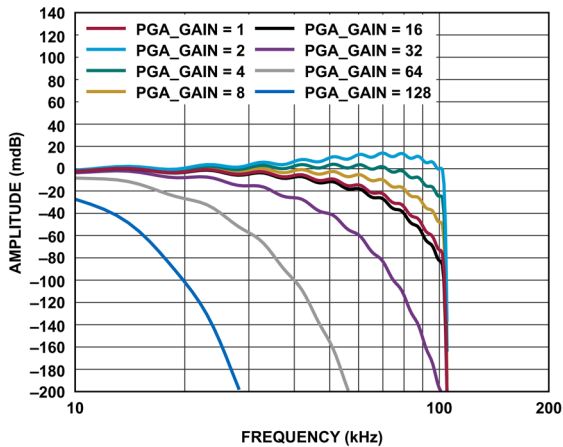


図 108. 様々な PGA_GAIN での広帯域低リプル FIR フィルタのパス・バンド・ドロープ、IN3_AAF、ODR = 256kSPS、DC 時 0dB で正規化

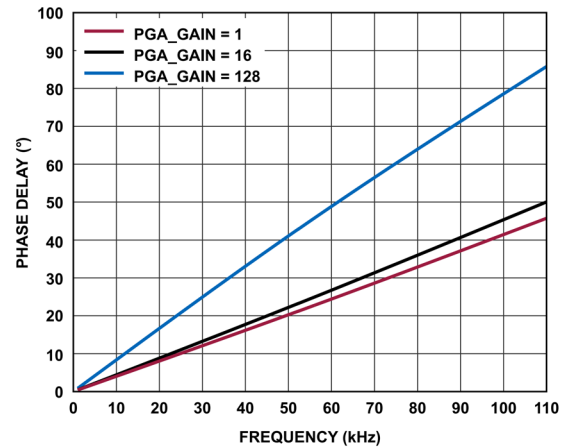


図 111. AFE パス・バンドの位相応答、IN3_AAF

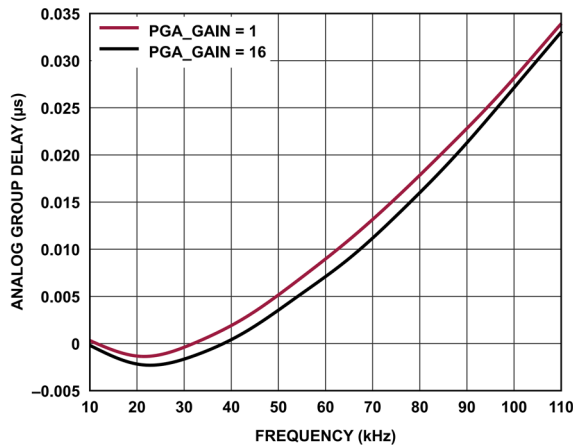


図 109. AFE のパス・バンド・アナログ遅延と周波数の関係、PGA_GAIN = 1 と PGA_GAIN = 16、IN3_AAF、25°C、10kHz 時の遅延で正規化

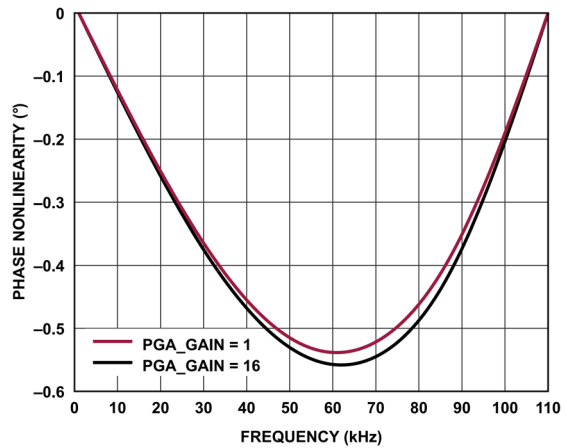


図 112. AFE パス・バンド位相の非直線性、PGA_GAIN = 1 と PGA_GAIN = 16、IN3_AAF、エンドポイント法（100Hz～110kHz）

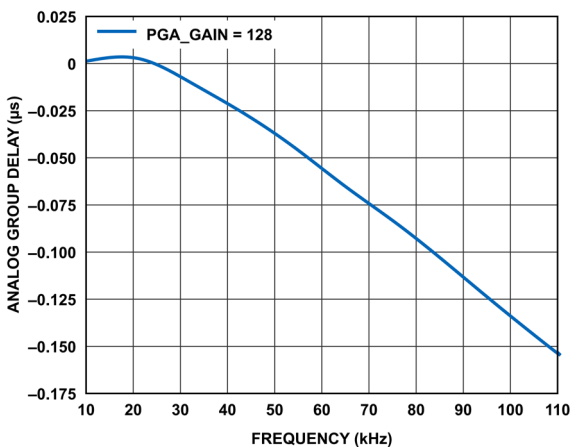


図 110. AFE パス・バンド・アナログ群遅延と関係周波数の関係、PGA_GAIN = 128、IN3_AAF、25°C、10kHz 時の遅延で正規化

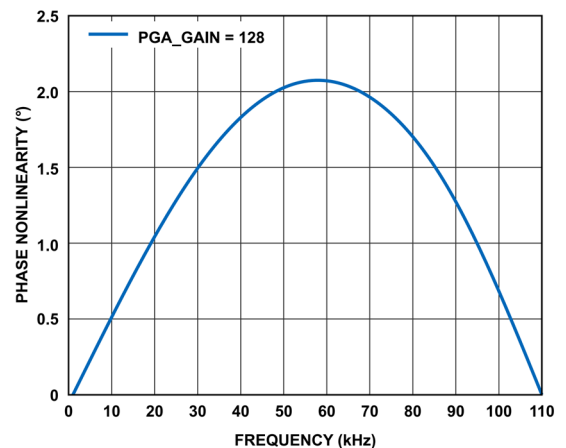


図 113. AFE パス・バンド位相の非直線性、PGA_GAIN = 128、IN3_AAF、エンドポイント法（100Hz～110kHz）

代表的な性能特性

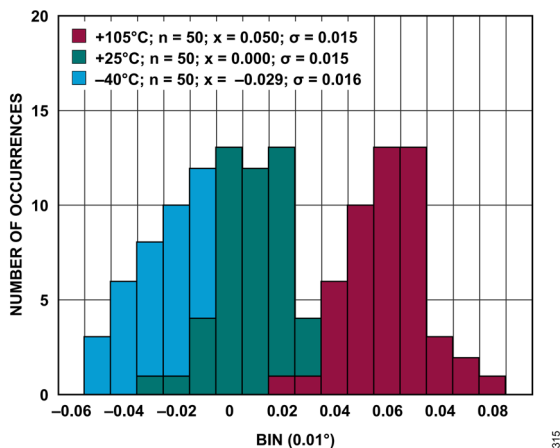


図 114. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 1V/V、IN3_AAF、25°Cでの平均値で正規化

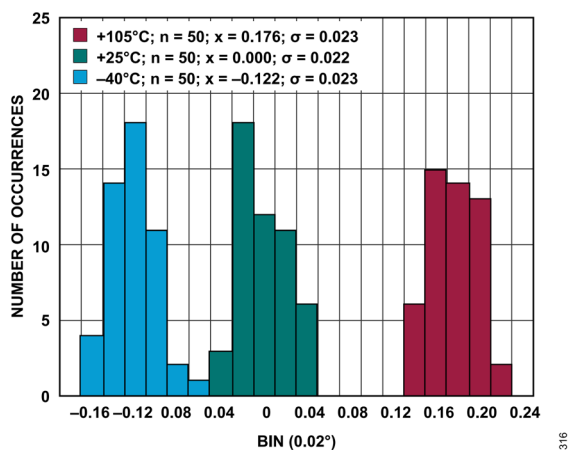


図 115. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 16V/V、IN3_AAF、25°Cでの平均値で正規化

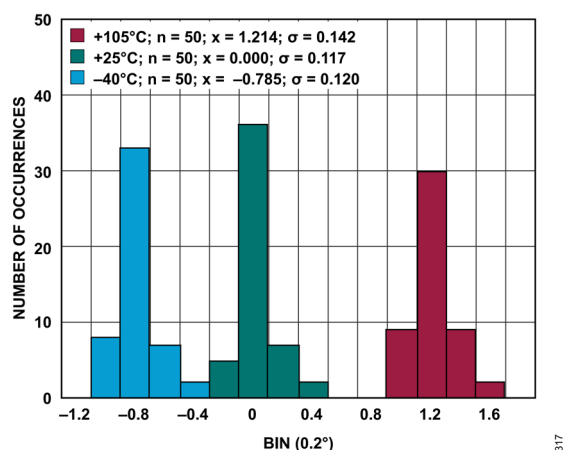


図 116. デバイス間の位相角不整合のヒストグラム、20kHz、PGA_GAIN = 128V/V、IN3_AAF、25°Cでの平均値で正規化

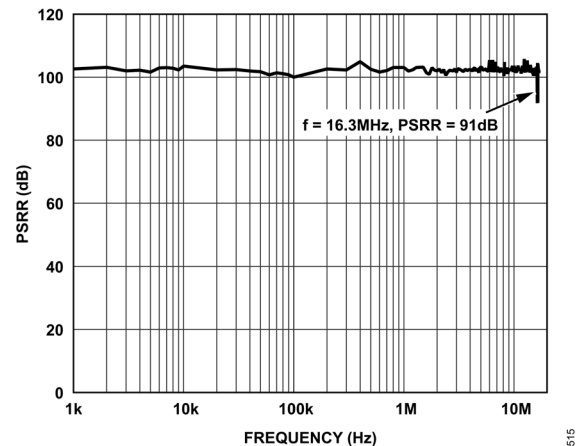


図 117. LDO AC PSRR、VDD_FDA と VDD_ADC と VDD2_ADC に接続、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

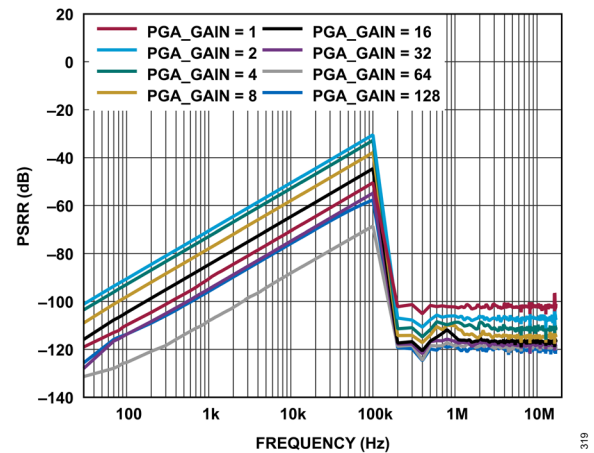


図 118. 全ての PGA_GAIN で VDD_PGA AC PSRR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

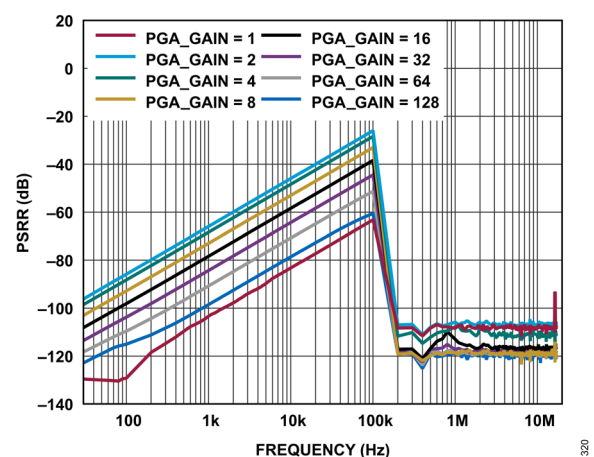


図 119. 全ての PGA_GAIN で VSS_PGA AC PSRR、内蔵の 0.1μF 電源デカップリング・コンデンサだけを使用

代表的な性能特性

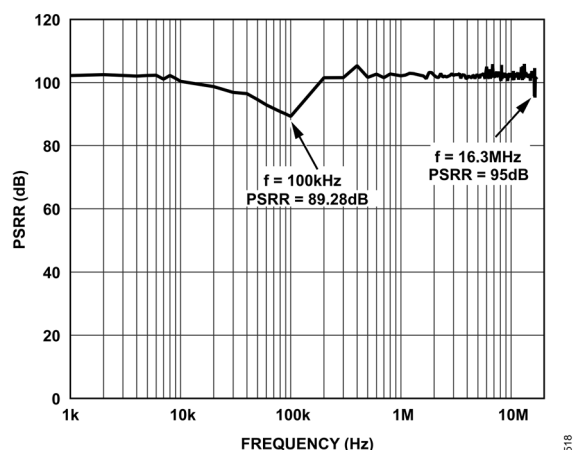


図 120. VDD_IO AC PSRR、内蔵の 0.1 μ F 電源デカップリング・コンデンサだけを使用

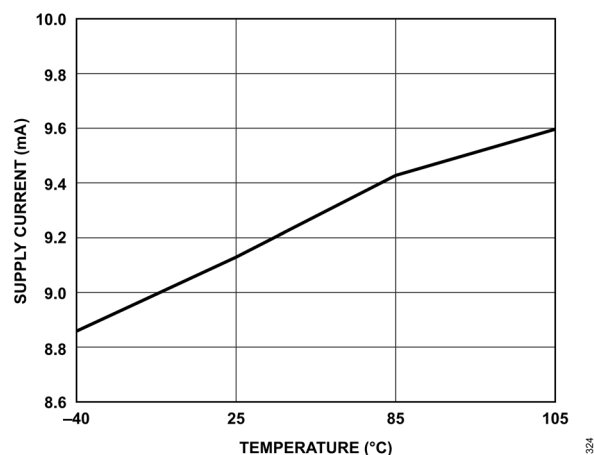


図 123. VDD_IO 電源電流と温度の関係

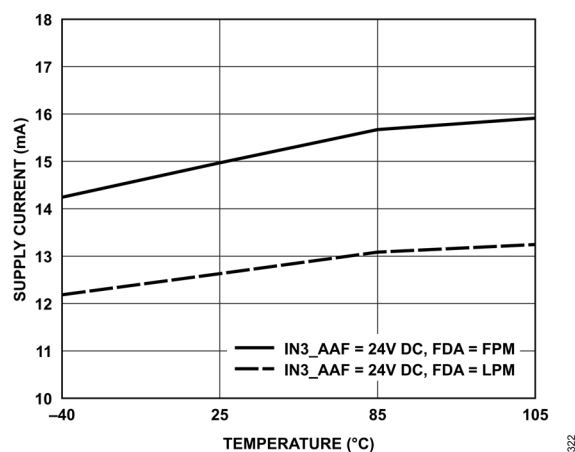


図 121. DC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

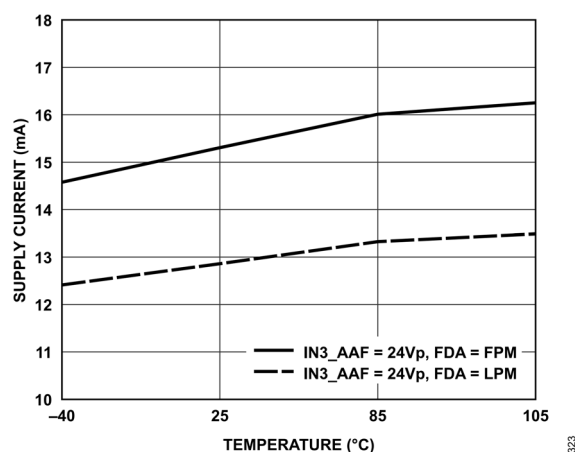


図 122. AC 入力使用時の LDO 電源電流と温度の関係、OUT_LDO を VDD_FDA と VDD_ADC と VDD2_ADC に接続

用語の定義

総ゲイン

PGA と AAF を組み合わせた場合の全体的なゲイン。

$$TOTAL_GAIN = PGA_GAIN \times AAF_GAIN \quad (1)$$

最下位ビット (LSB)

コンバータで表現できる最小のインクリメント。分解能が N ビットの ADC の場合、電圧を単位とする LSB は次式で求めることができます。

$$LSB (V) = \frac{V_{REF} \times 2}{2^N \times PGA_GAIN \times AAF_GAIN} \quad (2)$$

AC 同相ノイズ除去比 (CMRR)

周波数 f で IN に印加されたサイン波のコモンモード電圧と、同じ周波数 f の ADC 出力電圧の比。

$$CMRR (dB) = 20 \log \left(\frac{V_{IN_f} \times TOTAL_GAIN}{V_{ADC_f}} \right) \quad (3)$$

ここで、

V_{IN_f} は、周波数 f で IN に印加されたサイン波のコモンモード電圧、
 $TOTAL_GAIN$ は、PGA と AAF を組み合わせた場合の全体的なゲイン、
 V_{ADC_f} は、同じ周波数 f での ADC 出力電圧です。

ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フルスケールより 1/2LSB 高いレベル (±4.096V 範囲で -4.0955999756V) で発生します。最後の遷移 (011 ... 110 から 011 ... 111) は、公称フルスケールより 1/2LSB 低いアナログ電圧 (±4.096V 範囲で +4.095999268V) で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

ゲイン誤差ドリフト

1°C の温度変化によるゲイン誤差変化とフルスケール・レンジ (2^N) の比。これは、1°C あたりの ppm 値で表されます。

オフセット誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

1°C の温度変化によるオフセット誤差変化とフルスケール・コード・レンジ (2^N) の比。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL はこの理想値からの最大偏差で、ノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL) 誤差

負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差。最初のコード遷移より 1/2LSB だけ手前の点を負のフルスケールとして使用します。正のフルスケールは、最後のコード遷移を 1/2LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ダイナミック・レンジ (DR)

同じ PGA_GAIN と AAF_GAIN を使用したときの、直線電圧範囲の二乗平均平方根 (実効値) の値と、IN ピンをグラウンドに短絡した状態で測定した入力換算実効値ノイズの比です。単位はデシベルです。

$$DR = 20 \times \log_{10} \left(\frac{Linear\ Input\ Range\ (RMS)}{RMS\ Noise} \right) \quad (4)$$

ここで、

$$Linear\ Input\ Range\ (RMS) = \frac{V_{pp}}{2\sqrt{2}} \quad (5)$$

全システム・ダイナミック・レンジ

同じ AAF_GAIN を使用したときの、PGA_GAIN = 1 での直線電圧範囲の実効値と、IN ピンをグラウンドに短絡させて PGA_GAIN = 128 で測定した入力換算実効値ノイズの比です。単位はデシベルです。

ピーク to ピーク分解能

ピーク to ピーク・ノイズすなわちフリッカの影響を受けないビット数。フリッカフリー分解能またはノイズフリー・コード分解能とも呼ばれます。次式に従います。

$$\log_2 \left(\frac{Linear\ Input\ Range\ (V_{pp})}{6.6 \times Low\ Frequency\ Noise\ (RMS)} \right) \quad (6)$$

S/N 比 (SNR)

ナイキスト周波数を下回る全てのスペクトル成分 (高調波成分と直流成分を除く) の実効値総和に対する実際の入力信号の実効値の比。単位はデシベルです。

全高調波歪み (THD)

高調波の実効値総和と基本波の比。単位はデシベルです。ADAQ7769-1 の場合、THD は次のように定義されます。

$$THD (dB) = 20 \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right) \quad (7)$$

ここで、

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は第 2 高調波から第 6 高調波までの実効値振幅、
 V_1 は基本波の実効値振幅です。

用語の定義

信号／ノイズ+歪み (SINAD) 比

ナイキスト周波数を下回る全てのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号実効値の比。単位はデシベルです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号の実効値振幅と、高調波を含むピーク・スプリアス信号との差で、単位はデシベル (dB) です。

相互変調歪み

2つの周波数 f_a と f_b のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスは $m f_a$ と $n f_b$ （ここで、 $m, n = 0, 1, 2, 3, \dots$ ）の和と差で表される周波数を使用して歪みの積を生成します。相互変調歪み項とは m も n も 0 ではない項です。例えば、2次の項は $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および $(f_a - 2f_b)$ を含みます。

相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の実効値振幅に対する個々の歪み積の実効値総和の比率で、デシベルで表します。

デバイス間の位相角不整合

デバイス間の位相角不整合は、所定の入力信号周波数において、複数の ADAQ7769-1 デバイスからなるグループの平均位相遅延に対する単独の ADAQ7769-1 デバイスの位相遅延差を表す尺度です。この不整合は、データ・アクイジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良好に一致しているかを示すものでもあります。代表的な仕様は、分布の $\pm 1\sigma$ （標準偏差）ですが、最大値（最小値）はこの値の 4 倍です。

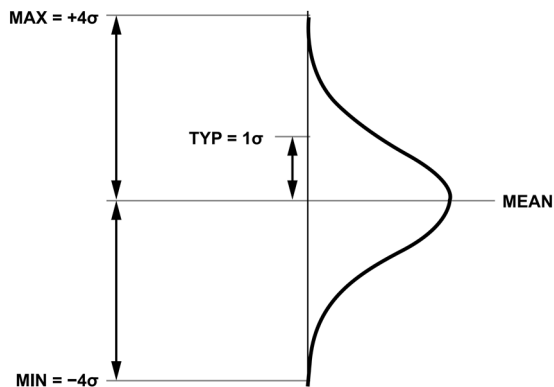


図 124. デバイス間の位相角不整合の計算

デバイス間の位相角不整合ドリフト

デバイス間の位相角不整合ドリフトは、デバイス間の位相角不整合の標準偏差 (σ) が、与えられた入力信号周波数において温度と共にどの程度広がるか、あるいは狭まるかを表します。正の符号は温度上昇と共に位相不整合の分布が広がることを示し、負の符号は温度上昇と共に位相不整合の分布が狭まることを示します。この仕様は、動作温度範囲全体にわたりエンドポイント法を用いて計算できます。代表的な仕様は 1°C ごとに $|1\sigma|$ の変化ですが、図 125 に示すように、最大値はこの 4 倍になります。

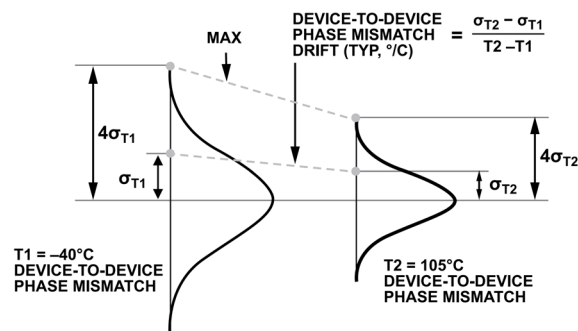


図 125. デバイス間の位相角不整合ドリフトの計算

電源電圧変動除去比 (PSRR)

電源の変動はコンバータの直線性ではなく、フル・スケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化による、フル・スケール遷移ポイントでの最大変化です。

動作原理

アナログ入力

ADAQ7769-1 は広く柔軟な入力範囲を備えており、図 126 に示すように、 $0V \sim +24V$ あるいは $0V \sim -24V$ のシングルエンド・ユニポーラ入力や、 $\pm 16V$ のシングルエンド・バイポーラ入力を IN ピンに加えて使用することができます。この入力範囲のシフトは、図 130 と図 131 に示すように、VDD_PGA 電源と VSS_PGA 電源を変更することによって実現できます。

比較的小さい入力信号については、PGA の 8 種類のプログラムブル・バイナリ・ゲイン設定と AAF の 3 つのピンで選択可能なゲイン設定によって、システムのダイナミック・レンジを拡張することができます。このような機能によって、ADAQ7769-1 は、振幅の異なる様々なセンサーを使用する各種システムに適した DAQ ソリューションとなっています。

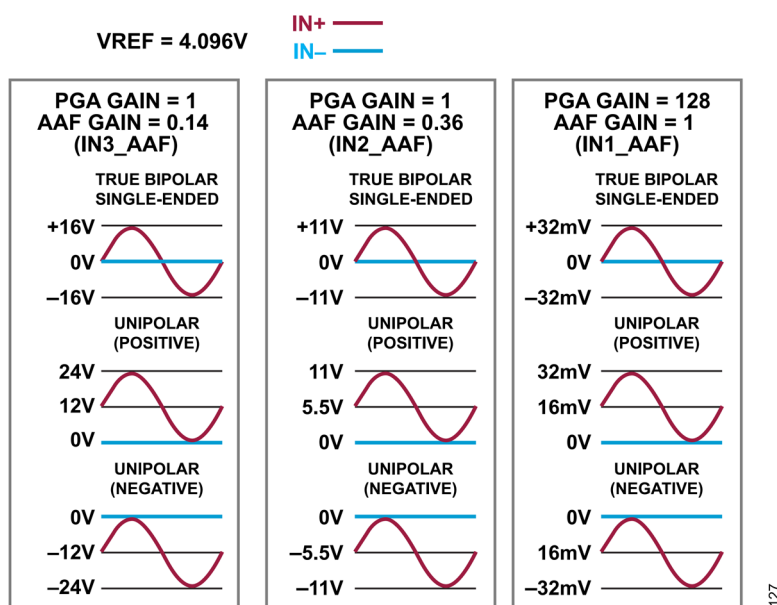


図 126. 差動入力信号の例

127

動作原理

PGA の絶対入力範囲

IN ピンに加える ADAQ7769-1 の絶対入力範囲は、その電源電圧である VDD_PGA と VSS_PGA に制限されます。

AAF 入力

AAF 段は完全差動アンプ (FDA) を含むネットワークです。ADAQ7769-1 の一部としての AAF 段の役割の 1 つは、PGA からシングルエンド信号を差動信号に変換して差動 ADC へ入力することです。

図 127 に示すように、ADAQ7769-1 には、PGA 段をバイパスして直接 AAF へ入力を送るオプションがあります。PGA をバイパスしていずれかの IN_x_AAF ピンに入力を直接送る場合は、その入力をシングルエンド、疑似差動、または差動とすることができます。

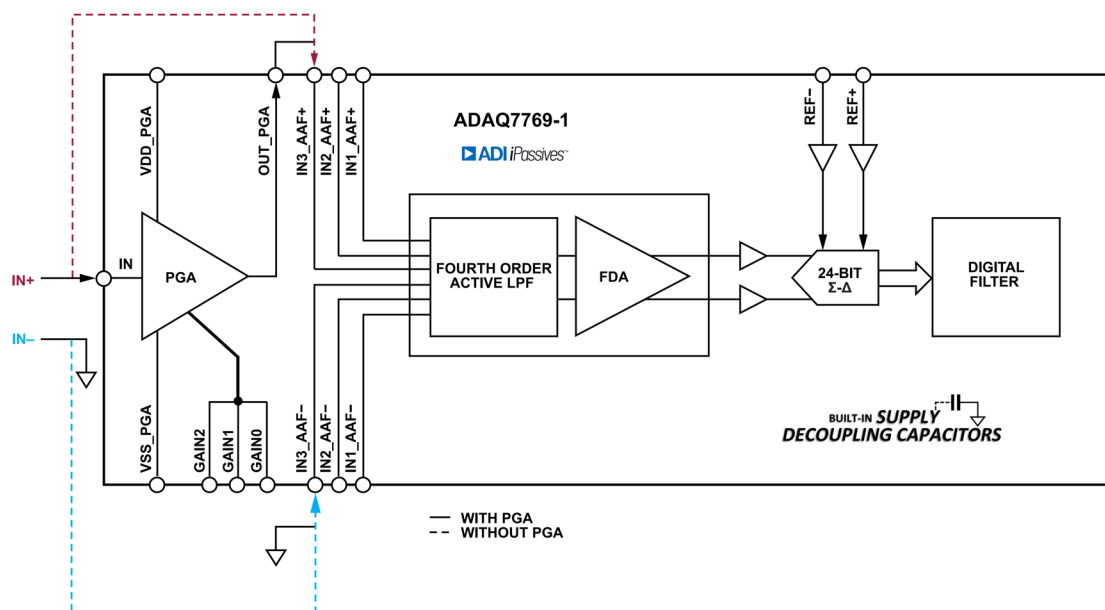


図 127. PGA をバイパスするオプション

128

動作原理

AAF の絶対入力範囲

AAF ピンが受け入れる絶対電圧は、入力ペアによって異なります。IN1_AAF+/- と IN2_AAF+/- の絶対最大入力 は $\pm 15V$ で、IN3_AAF+/- の絶対最大入力 は $\pm 36V$ です。

AAF の差動入力範囲

3 つの AAF 入力ペアは差動です。これは、ADC に振幅を発生させる入力信号が各 AAF 入力ペアの差であって、個々のピンの瞬時電圧ではないことを意味します。

差動信号の振幅は、AAF_GAIN とリファレンスの電圧レベルによって異なります。最大差動入力電圧は次式で計算できます

$$V_{INx_AAF+} - V_{INx_AAF-} = \frac{\pm V_{REF}}{AAF_GAIN} \quad (8)$$

ここで、 V_{INx_AAF+} は INx_AAF+ の電圧、 V_{INx_AAF-} は INx_AAF- の電圧です。

AAF のコモンモード入力範囲

コモンモード入力信号 (VICM) は、差動入力の特定のペアに印加される絶対電圧の平均で、次式で与えられます。

$$V_{ICM} = \frac{V_{INx_AAF+} + V_{INx_AAF-}}{2} \quad (9)$$

入力信号のコモンモード電圧範囲は、ドライバ・アンプの電源電圧 (VDD_FDA) と選択した AAF 入力ペアによって決まります。入力ペアの選択を簡単に行えるように、各 AAF 入力ペアの最大差動入力範囲およびコモンモード入力範囲を表 11 に示します。

PGA 入力の直線の入力範囲内で動作をさせれば (仕様を参照)、AAF コモンモード入力範囲の条件は自動的に満たされます。例えば、IN ピンに +24V を加えると PGA_GAIN が 1 に設定され、OUT_PGA が IN3_AAF+ に、IN3_AAF- が AGND に接続されて、IN3_AAF+ と IN3_AAF- の間の VICM は次のようになります。

$$V_{ICM} = \frac{24 \times 1 + 0}{2} = 12V \quad (10)$$

表 11. AAF の差動入力範囲とコモンモード入力範囲

AAF Input Pin	Gain (V/V)	AAF Differential Input Range with $V_{REF} = 4.096V$ (V)	AAF Common-Mode Input Range with $V_{REF} = 4.096V$	
			Min (V)	Max (V)
IN1_AAF+/-	1	± 4.096	-2.1	+4.5
IN2_AAF+/-	0.364	± 11.264	-6.1	+6.2
IN3_AAF+/-	0.143	± 28.672	-16	+12

入力振幅と動作領域

図 128～図 131 に、異なる AAF 入力ペアに接続された PGA 出力ピン (OUT_PGA) における電圧の相対的なスケーリングと、それに対応する 24 ビットの 2 の補数形式のデジタル出力を 16 進数コードで表示した値を示します。OUT_PGA は IN への入力と PGA_GAIN の単純な積ですが、入力や出力のクリッピングを避けるために電源に十分なヘッドルームのあることが前提になります。図 128 は IN1_AAF と IN2_AAF を使用した場合の相対的なスケーリングで、図 129～図 131 は IN3_AAF を使用して PGA 電源電圧を変えた場合の動作領域の違いを示しています。

動作原理

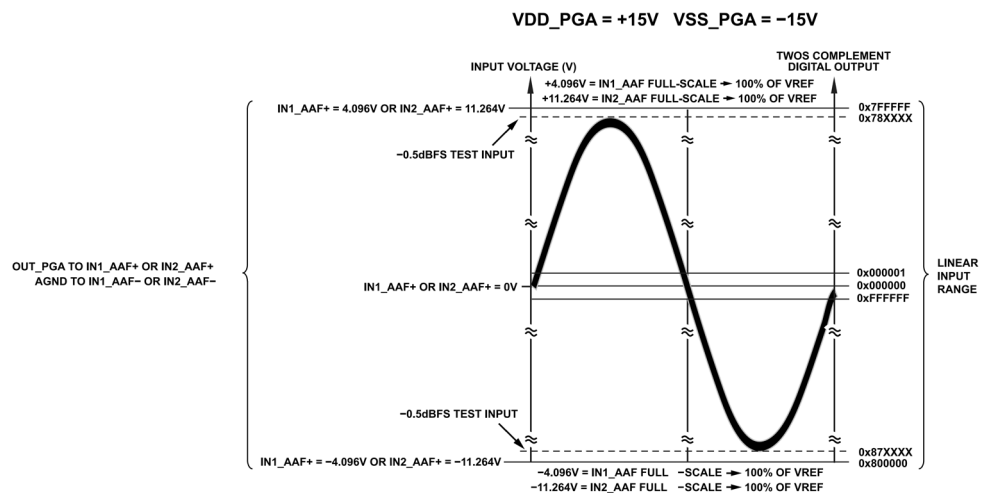


図 128. IN1_AAF および IN2_AAF 使用時の入力電圧から ADC 出力コードへの変換の詳細

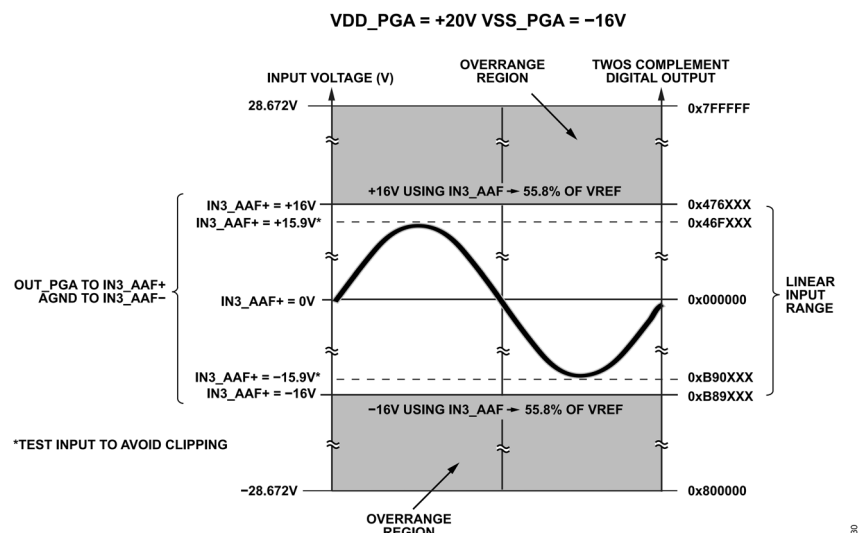


図 129. IN3_AAF 使用時のバイポーラ入力電圧から ADC 出力コードへの変換の詳細

動作原理

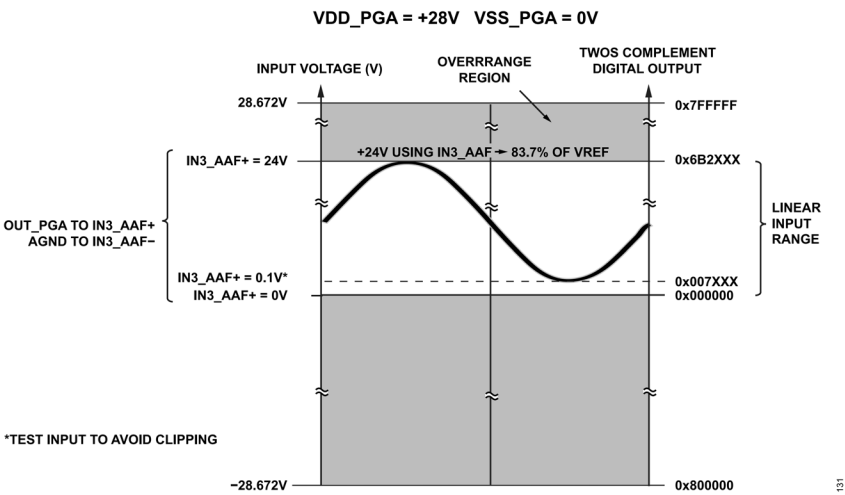


図 130. IN3_AAF 使用時の正のユニポーラ入力電圧から ADC 出力コードへの変換の詳細

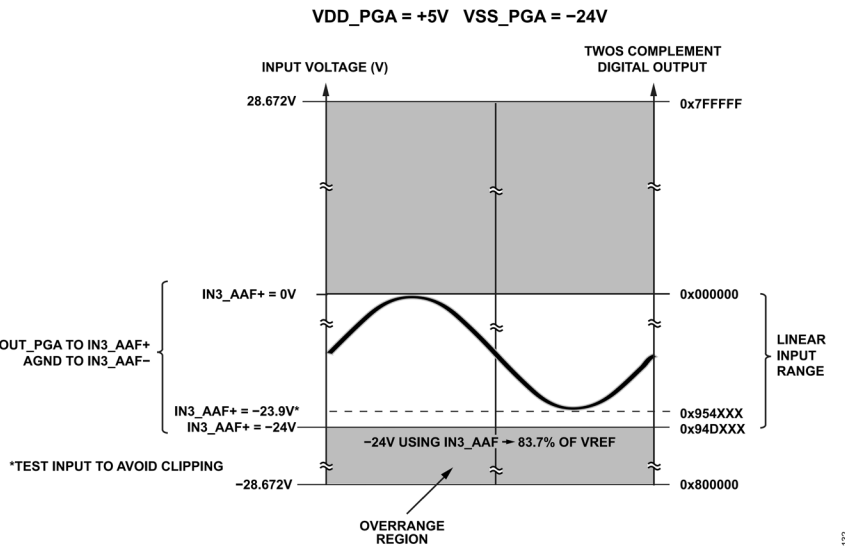


図 131. IN3_AAF 使用時の負のユニポーラ入力電圧から ADC 出力コードへの変換の詳細

動作原理

入力範囲の選択

PGA_GAIN と AAF_GAIN の選択を容易にするために、一連のゲイン設定の組み合わせに対応する直線入力範囲を表 12、表 13、

表 14 に示します。表 14 では、IN3_AAF を使用する直線入力範囲がバイポーラ範囲とユニポーラ範囲に分かれています。これは、PGA 電源と PGA コモンモード入力範囲によって入力範囲が制限されるからです。

表 12. IN1_AAF 使用時の入力範囲の選択 ($V_{REF} = 4.096V$)

GAIN2 Pin Logic	GAIN1 Pin Logic	GAIN0 Pin Logic	PGA_GAIN (V/V)	AAF_GAIN (V/V)	TOTAL_GAIN (V/V)	Linear Input Range (V)
L	L	L	1	1	1	±4.096
L	L	H	2	1	2	±2.048
L	H	L	4	1	4	±1.024
L	H	H	8	1	8	±0.512
H	L	L	16	1	16	±0.256
H	L	H	32	1	32	±0.128
H	H	L	64	1	64	±0.064
H	H	H	128	1	128	±0.032

表 13. IN2_AAF 使用時の入力範囲の選択 ($V_{REF} = 4.096V$)

GAIN2 Pin Logic	GAIN1 Pin Logic	GAIN0 Pin Logic	PGA_GAIN (V/V)	AAF_GAIN (V/V)	TOTAL_GAIN (V/V)	Linear Input Range (V)
L	L	L	1	0.364	0.364	±11.264
L	L	H	2	0.364	0.727	±5.632
L	H	L	4	0.364	1.455	±2.816
L	H	H	8	0.364	2.909	±1.408
H	L	L	16	0.364	5.818	±0.704
H	L	H	32	0.364	11.636	±0.352
H	H	L	64	0.364	23.273	±0.176
H	H	H	128	0.364	46.545	±0.088

表 14. IN3_AAF を使用する入力範囲の選択 ($V_{REF} = 4.096V$)

GAIN2 Pin Logic	GAIN1 Pin Logic	GAIN0 Pin Logic	PGA_GAIN (V/V)	AAF_GAIN (V/V)	TOTAL_GAIN (V/V)	Bipolar Linear Input Range (V) ¹	Unipolar Positive Linear Input Range (V) ²	Unipolar Negative Linear Input Range (V) ³
L	L	L	1	0.143	0.143	±16	0 to +24	0 to -24
L	L	H	2	0.143	0.286	±8	0 to +12	0 to -12
L	H	L	4	0.143	0.571	±4	0 to +6	0 to -6
L	H	H	8	0.143	1.143	±2	0 to +3	0 to -3
H	L	L	16	0.143	2.286	±1	0 to +1.5	0 to -1.5
H	L	H	32	0.143	4.571	±0.5	0 to +0.75	0 to -0.75
H	H	L	64	0.143	9.143	±0.25	0 to +0.375	0 to -0.375
H	H	H	128	0.143	18.286	±0.125	0 to +0.1875	0 to -0.1875

¹ $V_{DD_PGA} = 20V$ 、 $V_{SS_PGA} = -16V$ 。

² 正のユニポーラ ($V_{DD_PGA} = +28V$ 、 $V_{SS_PGA} = 0V$)。

³ 負のユニポーラ ($V_{DD_PGA} = +5V$ 、 $V_{SS_PGA} = -24V$)。

動作原理

アンチエイリアシング・フィルタ (AAF)

ADAQ7769-1 の入力信号帯域幅は、デジタル・フィルタによって左右されます。ユーザは、デシメーション・レシオを設定することで、デジタル・フィルタの帯域幅を調整できます。フィルタの帯域幅は、MCLK 周波数の変更によって微調整することもできます。例えば、広帯域低リップル・デジタル・フィルタ・オプションを用い $ODR = 256\text{kSPS}$ の場合、シグナル・チェーン全体の -3dB 帯域幅は、 $f_{3\text{dB}} = 0.433 \times ODR = 110.85\text{kHz}$ のデジタル・フィルタ帯域幅に等しくなります。同じフィルタのストップ・バンドは $0.499 \times ODR$ 、最小ストップ・バンド減衰は -105dB です。

離散時間 $\Sigma\Delta$ ADC と同様に、ADAQ7769-1 のデジタル・フィルタはシグナル・サンプリング周波数 f_s の周囲の信号を除去しません。ADAQ7769-1 のコア ADC は、 $2 \times f_{\text{MOD}}$ の周波数でサンプリングを行います。 $f_{\text{MOD}} = \text{MCLK}/2$ の通常動作モードでは、ADC の f_s は MCLK に等しい値です。デジタル・フィルタは $f_s \pm f_{3\text{dB}}$ の

周波数範囲の信号を除去しないため、この周波数範囲内のノイズおよび干渉信号がパス・バンドにフォールド・バックされる可能性があります。図 132 に示すように、 f_s の周囲の信号を除去して帯域外の信号が対象帯域へフォールド・バックされるのを防ぐには、アナログ AAF を追加する必要があります。

デジタル・フィルタは、 $f_s \pm f_{3\text{dB}}$ の周波数範囲の信号を除去しません。ADAQ7769-1 のコア ADC は $2 \times f_{\text{MOD}}$ の周波数でサンプリングを行います。 $f_{\text{MOD}} = \text{MCLK}/2$ の通常動作モードでは、ADC のサンプリング周波数 f_s は MCLK に等しい値です。

ADAQ7769-1 の全ての入力ペアには、 16.384MHz で 65dB 以上の除去を達成できるように設計された 4 次アナログ AAF が組み込まれています。このアナログ AAF と広帯域低リップル FIR フィルタを組み合わせることで、ADAQ7769-1 は、図 132 に示すように全ての帯域外信号を 90dB 以上除去することができます。

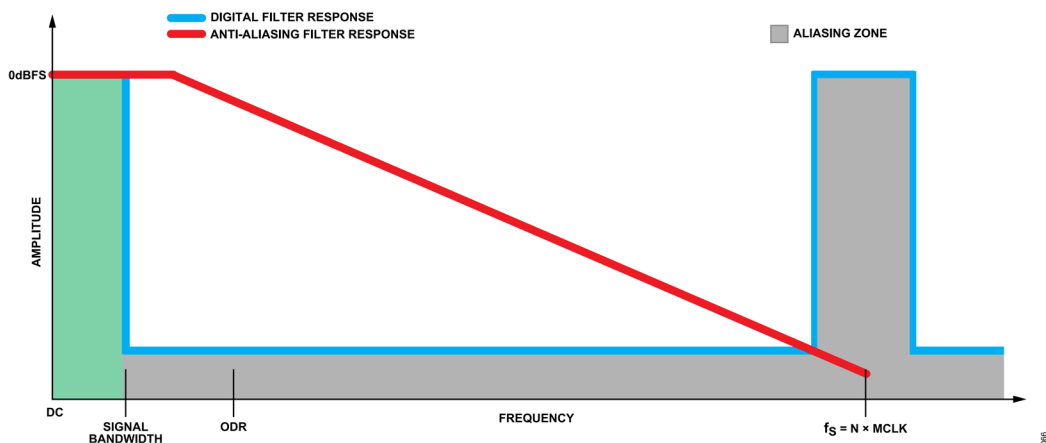


図 132. 離散時間オーバーサンプリング・コンバータの AAF 条件を示す簡略図

動作原理

振幅および位相応答

AAF は、帯域内の信号に対し振幅と位相の歪みを最小限に抑えて、最適なエイリアシング除去を実現するよう設計されています。図 36 に示すように、パス・バンドにおけるフィルタの位相応答は高い直線性を有しています。アナログ・デバイセズの iPassives 技術により、フィルタの-3dB コーナー周波数は厳密に制御されており、図 38～図 40 に示すように、デバイス間の位相

角不整合が最小限に抑えられています。この性能は、x、y、z 軸用の 3 つの加速度センサーを用いて装置の状態監視アプリケーションで故障箇所を特定する場合など、同時サンプリング・アプリケーションで高い必要があります。許容誤差や温度ドリフト特性にばらつきがあるディスクリートの抵抗やコンデンサを用いたシグナル・チェーンでこれらのアプリケーションを実現するのは困難かつ高コストとなる可能性があるため、この性能はシグナル・チェーン μModule の大きな長所となります。

表 15. PGA + アナログ AAF のプロファイル

PGA_GAIN	AAF_GAIN	Analog Filter -3dB Bandwidth (kHz)	Relative to DC Attenuation at MCLK = 16.384MHz (dB)	DC to 100kHz Pass-Band Droop (m dB)	Change in Group Delay from DC to 100kHz (ns)
1	1	358.2	90	+50	59
1	0.364	299.3	90	-10	84
1	0.143	278.1	90	-80	88

動作原理

AFE の位相性能の計算

デジタル・フィルタの群遅延は一定なので、異なるゲインまたは温度における位相角不整合、あるいはデバイス間の位相角不整合は全て AFE によるものです。AFE には、PGA、FDA、およびそのアナログ・フィルタが含まれています。

位相角の周波数依存性

ADAQ7769-1 の位相応答は直線的です。ある周波数と別の周波数との間の位相遅延を補間する理想的な式は、次のとおりです。

$$\frac{\theta_1}{f_{IN_1}} = \frac{\theta_2}{f_{IN_2}} \quad (11)$$

ここで、 θ_x は入力周波数 f_{IN_x} を用いた AFE の位相遅延です。

ただし、わずかに非直線性があるため、傾きと切片の項により上式を補正します。

$$\theta = m \times f_{IN} + b + \text{Nonlinearity} \quad (12)$$

ここで、

m はスロープ。

b は、図 35 に示すように、エンドポイント法を用いたパス・バンド周波数範囲全体にわたる入力周波数に関する位相遅延の線形方程式の y 切片です。

100Hz ~ 110kHz の位相遅延をエンドポイントとして用いると、代表的なデバイスの最も厳しい条件での非直線性は、図 36 と図 37 に示すように、入力範囲に応じて -0.4° から $+3.0^\circ$ となります。

位相角ドリフト

位相角ドリフトは、与えられた入力信号周波数における単一デバイスの温度に伴う位相遅延変化の割合を表します。 $^\circ\text{C}$ を単位とするこのドリフトは、 $-40^\circ\text{C} \sim 105^\circ\text{C}$ の全動作温度範囲にわたってエンドポイント法を用いて計算できます。代表的な仕様値は、多数のデバイスの平均位相角ドリフトですが、最大（または最小）仕様は代表値から 4σ （標準偏差の 4 倍）です。

例えば、PGA_GAIN = 1、IN1_AAF を使用した場合に、代表的なデバイス A の入力から出力までの位相遅延が 20kHz、 $T_A = 25^\circ\text{C}$ で 5.8° だとします。 $T_A = 105^\circ\text{C}$ の場合、同じデバイス A の位相遅延の代表値は次のようになります。

$$5.8^\circ + 0.00020^\circ/\text{C} \text{ (Typical Specification)} \times (105^\circ\text{C} - 25^\circ\text{C}) = 5.816^\circ \text{ phase delay}$$

デバイス B は、最大位相角ドリフト仕様で動作している場合、同じデバイス B の位相遅延は次のようになります。

$$5.8^\circ + 0.00026^\circ/\text{C} \text{ (Maximum Specification)} \times (105^\circ\text{C} - 25^\circ\text{C}) = 5.8208^\circ \text{ phase delay}$$

位相角不整合の PGA ゲインへの依存性

位相角不整合の PGA ゲインへの依存性とは、同じデバイスと AAF_GAIN における PGA_GAIN = 1 での位相遅延を基準とした、PGA_GAIN = 2 ~ 128 における位相遅延のことを言います。代表仕様値は位相角不整合の PGA ゲイン依存性を多数のデバイスで平均した値ですが、最大（あるいは最小）仕様値は代表値の 4σ （標準偏差の 4 倍）です。

例えば、IN1_AAF を使用する代表的なデバイス A の入力から出力までの位相遅延が、PGA_GAIN = 1、20kHz のときに 5.8° だとします。PGA_GAIN = 128 における同じデバイス A の位相遅延の代表値は、次のようになります。

$$5.8^\circ + 9.336^\circ \text{ (Typical Specification)} = 15.136^\circ \text{ phase delay}$$

デバイス B が全 PGA ゲイン仕様にわたり最大位相角不整合で動作している場合、PGA_GAIN = 128 における同じデバイス B の位相遅延は次のようになります。

$$5.8^\circ + 9.804^\circ \text{ (Maximum Specification)} = 15.604^\circ \text{ phase delay}$$

デバイス間の位相角不整合

デバイス間の位相角不整合は、所定の入力信号周波数において、複数の ADAQ7769-1 デバイスからなるグループの平均位相遅延に対する単一の ADAQ7769-1 デバイスの位相遅延差を表す尺度です（図 124 参照）。この不整合は、データ・アキュイジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良好に一致しているかを示すものです。代表的な仕様は、分布の $\pm 1\sigma$ （標準偏差）ですが、最大値（最小値）はこの値の 4 倍です。

例えば、PGA_GAIN = 1、IN1_AAF を使用して、入力が 20kHz のときの多数のデバイスの位相遅延を求める場合、デバイス C が位相遅延の分布の最小値側にある、つまり平均よりも $(-)0.038^\circ$ 進んでいるとします。同様に、デバイス D は位相遅延の分布の最大値側にある、つまり平均よりも $(+)0.038^\circ$ 遅れているとします。デバイス C とデバイス D の間の位相角不整合は次のようになります。

$$+0.038^\circ \text{ (max)} - (-)0.038^\circ \text{ (min)} = 0.076^\circ$$

これは 2 個の ADAQ7769-1 デバイス間の最も厳しい場合の位相角不整合です（PGA_GAIN = 1、IN1_AAF、 $T_A = 25^\circ\text{C}$ 、20kHz 入力を使用）。

デバイス間の位相角不整合ドリフト

デバイス間の位相角不整合ドリフトは、デバイス間の位相角不整合の標準偏差 (σ) が、与えられた入力信号周波数において温度と共にどの程度広がるか、あるいは狭まるかを表します。正の符号は温度上昇と共に位相不整合の分布が広がることを示し、負の符号は温度上昇と共に位相不整合の分布が狭まることを示します。この仕様は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$ の全動作温度範囲にわたってエンドポイント法を用いて計算されます。図 125 に示すように、代表的な仕様値は 1°C あたり 1σ の変化ですが、最大値はこの値の 4 倍となります。

PGA_GAIN = 1、IN1_AAF を使用し、入力周波数が 20kHz、 25°C で多数のデバイスにおけるデバイス間位相角不整合の標準偏差 (σ) を測定したときに、分布の σ が 0.013° であったとします。別の温度における標準偏差を補間するには、次式を用います。

$$\sigma_{T2} = \sigma_{T1} + \text{Device-to-Device Phase Angle Mismatch Drift} \times (T_2 - T_1)$$

$$\text{例: } \sigma_{-40^\circ\text{C}} = 0.013^\circ + (0.2\mu^\circ/\text{C}) \times (-40^\circ\text{C} - 25^\circ\text{C}) = 0.012987^\circ$$

動作原理

完全差動アンプ（FDA）の消費電力モード

ADAQ7769-1 の FDA は、高分解能かつ高性能の Σ - Δ ADC を駆動できる、低ノイズ、低歪みのアンプです。

FDA では、低消費電力モードと通常消費電力モードの 2 つの消費電力モードが選択できます。FDA の低消費電力モードは 1/f ノイズが小さいので、DC 入力アプリケーションに最適です。通常消費電力モードでは、消費電流が大きい場合に直線性が向上します。

図 133 に M0_FDA、M1_FDA、M0_ADC、M1_ADC の接続を示します。この接続では、FDA は通常消費電力モードになります。FDA を低消費電力モードにするには、図 134 に示すように M0_FDA をグラウンドにプルダウンし、M1_FDA と M1_ADC は接続したままにする必要があります。

ADC がパワーダウン・モードまたはスタンバイ・モードになっている場合に電力を節約するには、M0_FDA と M1_FDA をグラウンドにプルダウンして FDA をスタンバイ状態にする必要があります。M0_FDA および M1_FDA が M0_ADC および M1_ADC に接続されている場合、これは自動的に行われます。表 16 を参照してください。

表 16. FDA モードの真理値表

ADC Mode	Is M0/ M1_FDA Connected to M0/M1_ADC?			
	M0_FDA Input Logic	M1_FDA Input Logic	FDA Mode	
Fast ¹	Yes	M0_ADC = High	M1_ADC = High	Full-power mode
Median	Yes	M0_ADC = Low	M1_ADC = High	Low-power mode
Low	Yes	M0_ADC = Low	M1_ADC = Low	Standby
Standby	Yes	M0_ADC = Low	M1_ADC = Low	Standby
Power-Down	Yes	M0_ADC = Low	M1_ADC = Low	Standby

¹ 連続変換モードおよびワンショット変換モードでは、ADC は常にアクティブです。シングル変換モードおよびデューティサイクル変換モードでは、ADC のアクティブ状態とスタンバイ状態が交互に切り替わります。詳細については、データ変換モードのセクションを参照してください。

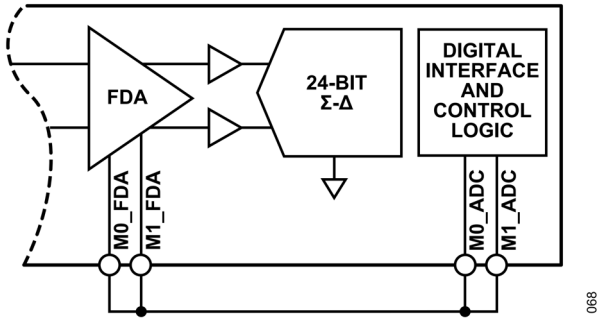


図 133. FDA の通常消費電力モードの接続

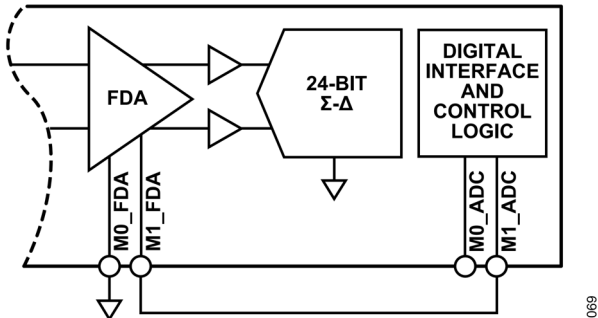


図 134. FDA の低消費電力モードの接続

直線性向上バッファ

ADAQ7769-1 のドライバ・アンプとコア ADC の間には、1 対の直線性向上バッファが配置されています。これらのバッファをオンにすることでデバイスの直線性を向上させることができます。直線性向上バッファは、シグナル・チェーン性能にノイズを加えることはありませんが、VDD_ADC 電源で 2mA（代表値）の電流（1 対ごと）が追加で消費されます。

直線性向上バッファはデフォルトでイネーブルされています。アナログ・バッファ制御レジスタのセクションの LINEARITY_BOOST_A_OFF ビットおよび LINEARITY_BOOST_B_OFF ビット（それぞれ、レジスタ 0x16 のビット 1 およびビット 2）を 0 にセットすることで、SPI 制御モードでバッファをオフにできます。PIN 制御モードでは、直線性向上バッファは常にイネーブルされています。

リファレンス入力とバッファリング

ADAQ7769-1 には差動リファレンス入力 REF+ と REF- があります。絶対入力リファレンスの電圧範囲は、1V ~ VDD_ADC - AGND です。

リファレンス入力は、REF+ ピンと REF- ピンそれぞれについてのフル・バッファ入力またはブリチャージ・バッファ入力として設定するか、両方のバッファをバイパスするように設定することができます。

フル・バッファまたはブリチャージ・バッファを使用すると、大きな負荷や複数のデバイスを駆動するときに外部リファレンスにかかる負荷が軽減されます。リファレンス・ピンへのフル・バッファ入力を使用すると入力ノードが高インピーダンスになり、従来の外部リファレンスの超低ソース・インピーダンスを利用できないレシオメトリック・アプリケーションに、ADAQ7769-1 を使用することができます。

動作原理

PIN制御モードの場合、リファレンス・プリチャージ・バッファはデフォルトでオンになります。SPI モードでは、フル・バッファまたはプリチャージ・バッファを選ぶことができます。

リファレンス入力電流は変調器のクロック・レートに比例します。

高速モードで MCLK = 16.384MHz の場合、リファレンス入力電流はバッファなしで約 80μA/V、プリチャージ・バッファをイネーブルすると約 20μA です。

プリチャージ・バッファがオフで、REF+ = 5V、REF- = 0V の場合、

$$REF_{\pm} = 5V \times 80\mu A/V = +400\mu A$$

プリチャージ・バッファがオンで、REF+ = 5V、REF- = 0V の場合、

$$REF_{\pm} = \text{approximately } 20\mu A$$

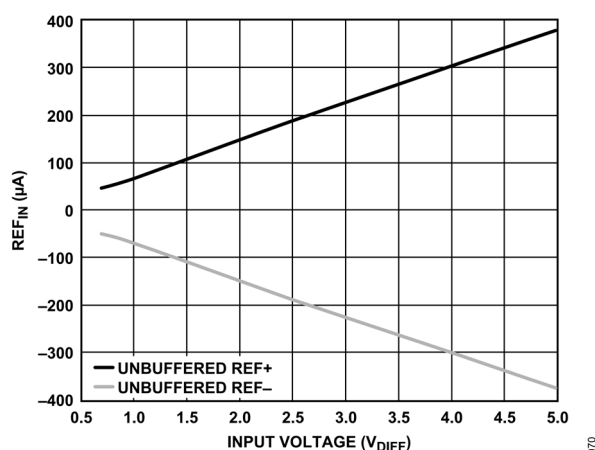


図 135. リファレンス入力電流 (REF_IN) と入力電圧の関係、バッファなしの REF+ と REF-

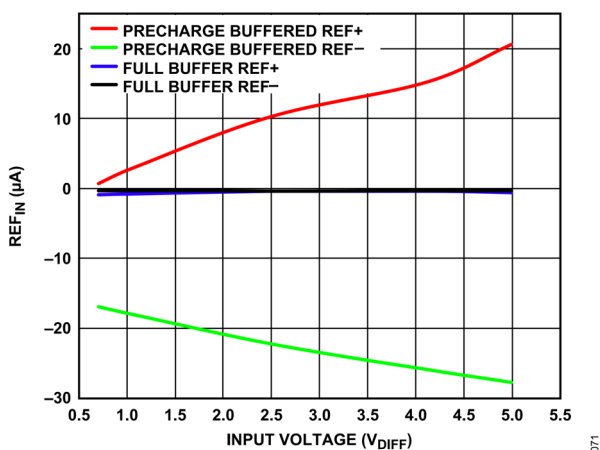


図 136. リファレンス入力電流 (REF_IN) と入力電圧の関係、プリチャージ・バッファ使用時の REF+ と REF-、およびフル・バッファ使用時の REF+ と REF-

最大限の性能とヘッドルームを確保するには、ADR444 や ADR4540 のような 4.096V リファレンスを使用します。これらのリファレンスは 5V レールで電源供給することも、VDD_ADC 電源を共用することもできます。

SPI 制御モードでは、リファレンス検出機能を使用できます。詳細については [SPI モードの診断機能](#) のセクションを参照してください。

コア・コンバータ

ADAQ7769-1 は、最大 5V のリファレンスを使用でき、任意の入力ペア間の差動電圧をデジタル出力に変換できます。24 ビットの変換結果は MSB ファーストで、2 の補数フォーマットで表されます。図 137 に理想的な伝達関数、表 17 に理想的な入力電圧とその出力コードを示します。

コードを電圧に変換するには次の式を用います。コードは最初に 2 の補数フォーマットからストレート・バイナリに変換されているものとします。

$$Voltage = \frac{(Code - Midscale Code) \times 2 \times V_{REF}}{2^{24} \times TOTAL_GAIN} \quad (13)$$

ここで、ミッドスケール・コードはストレート・バイナリ表示で 0x800000 であり、表 17 の 0x7FFFFFFF は、ストレート・バイナリの 0xFFFFF に変換されます。V_REF/TOTAL_GAIN 範囲内の入力電圧の計算には式 13 を使用します。これは、[入力振幅と動作領域](#) のセクションに示すように、信号がクリップされておらず直線入力範囲内であることが前提です。

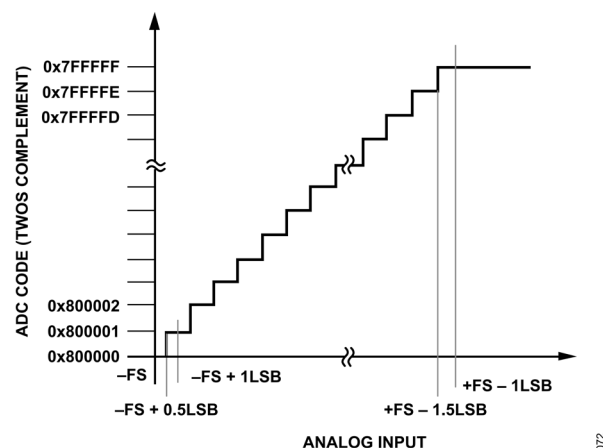


図 137. 理想的な伝達関数 (FS はフルスケール)

表 17. 理想的な入力電圧と出力コード

Description	Analog Input (V), IN1_AAF AAF_GAIN = 1, IN2_AAF AAF_GAIN = 4/11, and IN3_AAF AAF_GAIN = 1/7	Digital Output Code, 2s Complement (Hexadecimal)
FS - 1LSB	$+V_{REF}/TOTAL_GAIN \times (1 - 1/2^{23})$	0x7FFFFFFF
Midscale + 1LSB	$+V_{REF}/TOTAL_GAIN/2^{23}$	0x000001
Midscale	0	0x000000
Midscale - 1LSB	$-V_{REF}/TOTAL_GAIN/2^{23}$	0xFFFFF
-FS + 1LSB	$-V_{REF}/TOTAL_GAIN \times (1 - 1/2^{23})$	0x800001
-FS	$-V_{REF}/TOTAL_GAIN$	0x800000

動作原理

電源

ADAQ7769-1 には複数の電源ピンがあり、これは接続を簡単にするために内部 LDO に接続できます。

内部 LDO は、図 138 に示すように、5V 出力を安定化して VDD_FDA、VDD_ADC、VDD2_ADC ピンや ADR4540 などの外部リファレンスを使用するために、5.1V~5.5V の入力範囲で使用できます。正しく動作させるために、LDO の入力および出力には 1μF のコンデンサを用いることを推奨します。図 139 は、内部 LDO の使用が望ましくない場合に、VDD_FDA、VDD_ADC、VDD2_ADC、およびリファレンスに外部電源を使用する方法を示しています。

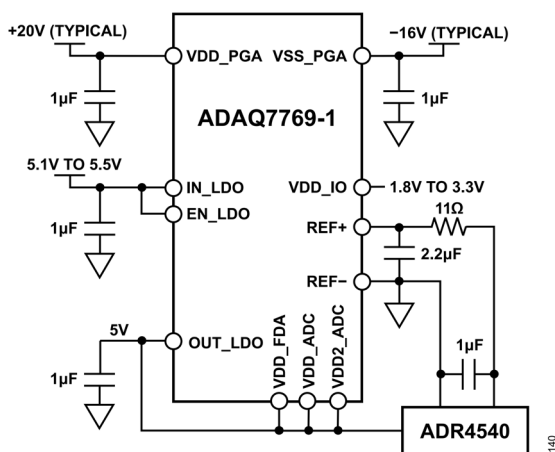


図 138. 内部 LDO を使用した ADAQ7769-1 の電源接続

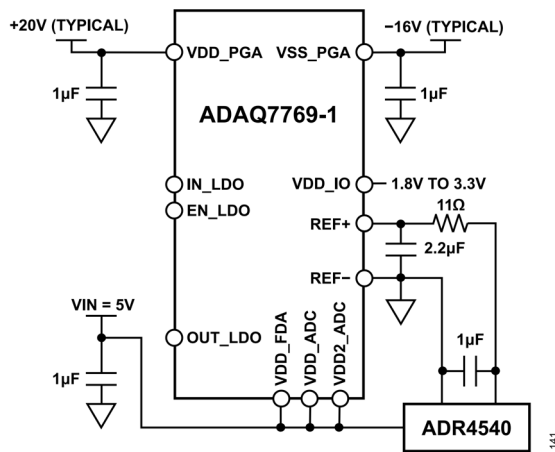


図 139. 5V 外部電源を使用した ADAQ7769-1 の電源接続

VDD_PGA および VSS_PGA は PGA の入力段と出力段に給電します。

VDD_FDA 電源は ADC ドライバに給電します。

VDD_ADC 電源は、直線性向上バッファ、コア ADC フロントエンド、リファレンス入力に給電します。

VDD2_ADC 電源は、内部 1.8V アナログ LDO レギュレータに接続されています。このレギュレータは ADC コアに給電します。VDD2_ADC と AGND 間の電圧範囲は 5.5V (最大値) ~2.0V (最小値) です。消費電力を抑えることが求められるアプリケーションでは、良好に安定化された 2.5V 電源を使って VDD2_ADC への給電を個別に行うことを推奨します。この場合の消費電流は 4.7mA (代表値) で、内部 LDO からの 5V 電源や外部 5V 電源を使用する場合と比較して 11.75mW の節電が可能です。

VDD_IO は内部の 1.8V デジタル LDO レギュレータに電力を供給し、このレギュレータは ADC のデジタル・ロジックに電力を供給します。VDD_IO は、ADC の SPI インターフェースの電圧レベルを設定します。VDD_IO は DGND が基準で、VDD_IO - DGND は 3.6V (最大) ~1.7V (最小) の範囲で変化しますが、GPIO を使用して SPI モードで PGA の GAIN ピンを制御するには 2.5V 以上とする必要があります。

電源のデカップリング

ADAQ7769-1 は、VDD_PGA、VSS_PGA、VDD_FDA、VDD_ADC、VDD_ADC2、VDD_IO の各電源ピンに 0.1μF の電源デカップリング・コンデンサを内蔵しています。外部的には、AREG_CAP ピンと DREG_CAP ピンを通じ、1μF のコンデンサを使って ADC 自体のアナログ LDO とデジタル LDO をグラウンドからデカップリングする必要があります。

図 41 に、内部 5V LDO の AC PSRR を示します。この LDO は内蔵の 0.1μF 電源デカップリング・コンデンサと OUT_LDO ピンに推奨される 1μF 外部デカップリング・コンデンサを使用して、VDD_FDA、VDD_ADC、VDD_ADC2 に接続されています (図 138 を参照)。図 42~図 44 は、それぞれ VDD_PGA、VSS_PGA、VDD_IO の AC PSRR です。

電源スタンバイ

ADAQ7769-1 の各機能ブロックは、スタンバイ・モードまたはパワーダウン・モードにすることができます。全ての機能ブロックをスタンバイ・モードまたはパワーダウン・モードにすると、ADAQ7769-1 の全消費電力を 0.65mW にできます。詳細については、完全差動アンプ (FDA) の消費電力モード、ADC パワーダウン・モード、ADC スタンバイ・モードの各セクションを参照してください。

クロック供給とサンプリング・ツリー

ADAQ7769-1 のコア ADC には、コントローラ・クロック信号 (MCLK) が供給されます。MCLK 信号は、4つのオプション、すなわち、CMOS クロック、XTAL1 ピンと XTAL2 ピン間に接続された水晶発振器、LVDS 信号、および内部クロックのいずれか 1つを選択することができます。ADAQ7769-1 が受信する MCLK 信号によって ADC のコアのシグマ・デルタ変調器クロック・レート (f_{MOD}) が決まり、更にこれによって $2 \times f_{MOD}$ の変調器のサンプリング周波数が決まります。

$$f_{MOD} = \frac{MCLK}{MCLK_DIV} \quad (14)$$

f_{MOD} を決定するには、4 つあるクロック分周設定、すなわち、MCLK_DIV ビット (レジスタ 0x15、ビット[5:4]) を基にした MCLK/2、MCLK/4、MCLK/8、または MCLK/16 のいずれか 1つを選択して設定します (電力およびクロック制御レジスタのセクションを参照)。例えば、ODR または入力帯域幅を最大にするには、16.384MHz の MCLK レートが必要です。変調器周波数を 8.192MHz にするには、分周比 2 の MCLK 分周器 (MCLK_DIV) を選択してください。

動作原理

変調器周波数の設定を制御する方法は、 $\overline{\text{PIN}}$ 制御モードと SPI 制御モードで異なります。

SPI 制御モードでは、消費電力モードと MCLK_DIV を個別にプログラムできます。消費電力モードと MCLK_DIV を個別に選択できるので、MCLK 速度を自由に選択して目的の変調器の周波数を実現できますが、これはわずかな電力節約にもつながります。例えば、消費電力モードが低消費電力モードになっている場合は、MCLK = 2.048MHz、MCLK_DIV = 2 の設定を使用すると、MCLK = 16.384MHz、MCLK_DIV = 16 の設定を使用するよりも電力効率が向上します。どちらのオプションも有効な選択で、f_{MOD} 周波数は 1.024MHz です。表 18 に、f_{MOD} 周波数を基準にした ADC 消費電力モード設定の推奨事項を示します。

表 18. ADC の各消費電力モードで推奨される f_{MOD} 範囲

Power Mode	Recommended f _{MOD} Range (MHz)
Low	0.038 to 1.024
Median	1.024 to 4.096
Fast	4.096 to 8.192

$\overline{\text{PIN}}$ 制御モードでは、MODEx ピンが変調器周波数を決定します（表 28 参照）。MODEx ピンはフィルタ・タイプとデシメーション・レートの選択にも使われます。

フロントエンド AAF から帯域外トーンを最大限に除去するには、f_{MOD} 周波数を高い値に維持することを推奨します。入力帯域幅を狭くする必要がある場合は、デシメーション・レートを増加させます。

電力とノイズ性能の関係の最適化

測定の対象帯域幅に応じて、最小限の消費電流または最高の分解能のいずれかを選択できます。各消費電力モードのカバー範囲が重複しているので、この選択が可能です。同じ ODR を得る方法は複数あります。低い MCLK 周波数と低いデシメーション・レートを組み合わせて使用しても、高い MCLK 周波数と高いデシメーション・レートを使用した場合と同じデータ・レートを実現できます。低い変調器クロックの周波数を使用することで、消費電力を少なくすることができます。逆に、より高い分解能を実現するには、高い変調域クロック周波数を使用してオーバーサンプリングの量を最大限まで高めます。

クロッキングとクロックの選択

ADAQ7769-1 は、SPI 制御モードの場合にデバイスの初期起動に使用される内部発振器を備えています。ADAQ7769-1 がスタートアップ・ルーチンを完了すると、クロックが外部 MCLK に切り替わります。ADAQ7769-1 は特定の内部クロック・サイクル数にわたって外部 MCLK の立下がりエッジをカウントして、クロックが有効であること、および周波数が 600kHz 以上であることを確認します。外部 MCLK に問題がある場合、クロックの切替えは行われず、ADAQ7769-1 のクロック・エラー・ビットがセットされて、ADAQ7769-1 は内部クロックによる動作を続けます。

SPI モードでは、内部発振器、外部 CMOS、水晶発振器、または LVDS の 4 つのクロック・オプションがあります。MCLK ソースを設定するには、CLOCK_SEL ビット（レジスタ 0x15、ビット [7:6]）を使用します（電力およびクロック制御レジスタのセクションを参照）。MCLK ピンの極性に関しては、図 4～図 8 のタイミング図に示すように、外部 CMOS クロックまたは水晶発振器を用いる場合、MCLK は XTAL2_MCLK ピンに印加される MCLK ソースと同相となり、LVDS クロックを用いる場合、MCLK は XTAL1 ピンと同相になります。

$\overline{\text{PIN}}$ 制御モードでは、CLK_SEL ピンが外部 MCLK ソースを設定します。 $\overline{\text{PIN}}$ 制御モードでは、外部 CMOS または水晶発振器の 2 つのクロック・オプションを使用できます。CLK_SEL ピンは起動時にサンプリングされます。

$\overline{\text{PIN}}$ モードと SPI モードのどちらについても、クロック・ソースを変更した場合は必ずデバイスをリセットすることを推奨します。

クロックの品質評価チェックをオフにするには、EN_ERR_EXT_CLK_QUAL ビット（ADC 診断機能制御レジスタのセクションに示すレジスタ 0x29 のビット 0）をセットします。クロック品質評価チェックをオフにすると、推奨 MCLK 周波数の範囲より低い外部 MCLK クロック・レートを使用できるようになります。

CLK_SEL ピン

$\overline{\text{PIN}}$ 制御モードで CLK_SEL = 0 にした場合は、CMOS クロック・オプションを選択して XTAL2_MCLK ピンに使用する必要があります。この場合は XTAL1 ピンを DGND に接続します。この接続を図 140 に示します。

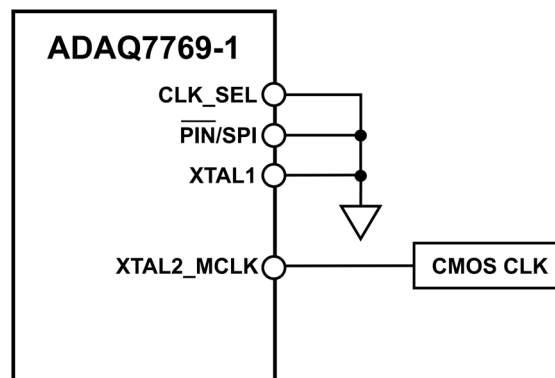


図 140. 外部 CMOS クロックを MCLK として用いる $\overline{\text{PIN}}$ モード

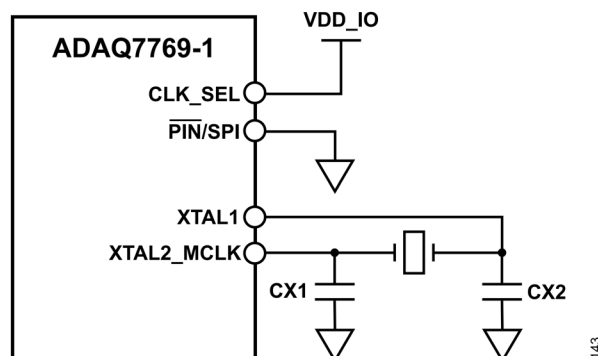


図 141. 外部水晶発振器を MCLK として用いる $\overline{\text{PIN}}$ モード

動作原理

$\overline{\text{PIN}}$ 制御モードで $\text{CLK_SEL} = 1$ にした場合は、水晶発振器オプションを選択し、図 141 に示すように、XTAL1 ピンと XTAL2_MCLK ピンの間に接続する必要があります。CX1 および CX2 は、回路調整用に水晶発振器の各端子から DGND に接続されたコンデンサです。これらのコンデンサの容量値は、水晶振動子の XTAL1 ピンおよび XTAL2_MCLK ピンに接続しているパターンの長さや容量に依存します。

SPI 制御モードでは、CLK_SEL ピンは使用する MCLK ソースを選択しないので、CLK_SEL を DGND に接続する必要があります。

内部発振器の使用

DC 入力電圧を測定する必要がある絶縁アプリケーションなどのように、場合によっては内部クロック発振器を使用する変換の方が望ましいことがあります。しかし、内部クロック使用時はジッタのために S/N 比が低下することがあるので、内部クロックを使って AC 信号を変換することは推奨できません。

デジタル・フィルタ処理

ADAQ7769-1 では 3 種類のデジタル・フィルタを使用できます。ADAQ7769-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル FIR フィルタ、 $0.433 \times \text{ODR}$ で -3dB (SPI 制御モードで 6 レート)
- ▶ sinc5、低レイテンシ・フィルタ、 $0.204 \times \text{ODR}$ で -3dB (SPI 制御モードで 8 レート)
- ▶ sinc3、低レイテンシ・フィルタ、 $0.2617 \times \text{ODR}$ で -3dB、データ・レートは SPI 制御モードで広範囲にプログラム可能

デシメーション・レート制御

ADAQ7769-1 は、表 19 に示すように、sinc デジタル・フィルタと広帯域低リップル FIR デジタル・フィルタ用のプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。SPI 制御使用時の ADAQ7769-1 上でのデシメーション・レート制御は、sinc5 フィルタおよび広帯域低リップル FIR フィルタ用のデジタル・フィルタおよびデシメーション制御レジスタで設定します。

sinc3 フィルタのデシメーション・レートは、sinc3 デシメーション・レート (LSB) レジスタと sinc3 デシメーション・レート (MSB) レジスタを使って制御します。これらのレジスタは、合わせて 13 ビットのプログラムを可能にします。デシメーション・レートは、これらのレジスタの値を 1 だけインクリメントして、その値に 32 を乗じることによって設定します。例えば、sinc3 デシメーション・レート (LSB) レジスタの値を 0x5 に設定すると、sinc3 フィルタのデシメーション・レートは 192 になります。

$\overline{\text{PIN}}$ 制御モードでは、MODE0 ピンがデシメーション・レシオを制御します。sinc5 フィルタ・オプションと広帯域フィルタ・オプションに使用できるデシメーション・レートは、32 と 64 だけです。 $\overline{\text{PIN}}$ 制御モードで使用できる全てのオプションについては、表 28 を参照してください。

表 19. デシメーション・レート・オプション

Filter Option	Available Decimation Rates	
	SPI Control Mode	$\overline{\text{PIN}}$ Control Mode
Wideband Low-Ripple FIR	$\times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 32, \times 64$
Sinc5	$\times 8, \times 16, \times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 8, \times 32, \times 64$
Sinc3	Programmable decimation rate	50Hz and 60Hz output only, based on a 16.384MHz MCLK

動作原理

広帯域低リップル FIR フィルタ

FIR フィルタは $0.433 \times \text{ODR}$ までの低リップルの入力パス・バンドです。この広帯域低リップル FIR フィルタでは $0.5 \times \text{ODR}$ (ナイキスト) での 105dB というほぼ完全な減衰により、最大限のアンチエイリアス保護が実現されます。広帯域低リップル FIR フィルタの周波数応答を図 142 に示します。広帯域低リップル FIR フィルタのパス・バンド・リップルは図 143 に示すように $\pm 0.005\text{dB}$ で、ストップ・バンドの減衰量は 105dB です。広帯域低リップル FIR フィルタは 64 次のデジタル・フィルタです。フィルタの群遅延は $34/\text{ODR}$ です。同期パルスの後、SYNC_IN の立上がりエッジからデータが完全にセトリングされるまでに遅延が追加されます。SYNC_IN パルスから最初の DRDY までの時間とデータが完全にセトリングするまでの時間を、様々な ODR 値について表 20 に示します。

広帯域低リップル FIR フィルタは 6 つのデシメーション・レートのいずれか 1 つで選択して、必要な分解能に対して最適な入力帯域幅と変換速度を選ぶことができます。

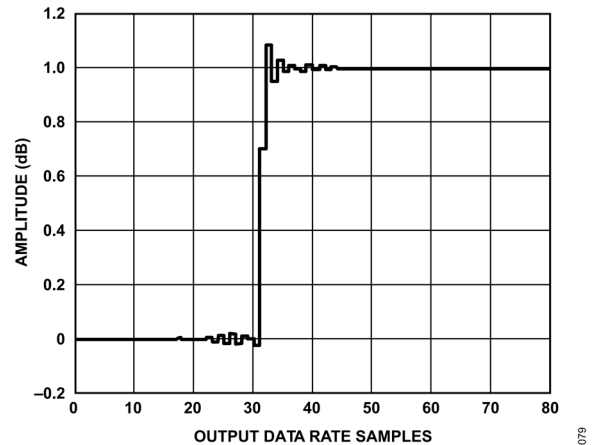


図 144. 広帯域低リップル FIR フィルタのステップ応答

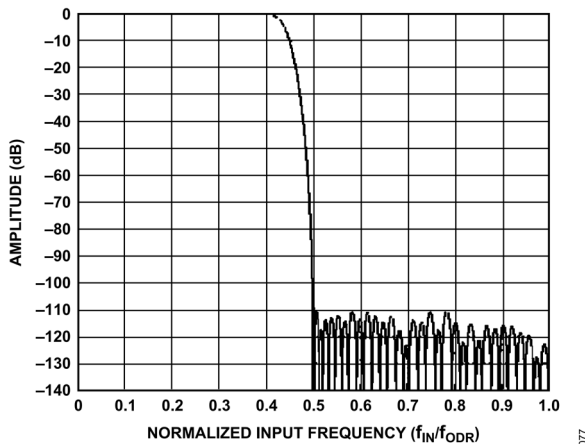


図 142. 広帯域低リップル FIR フィルタの周波数応答

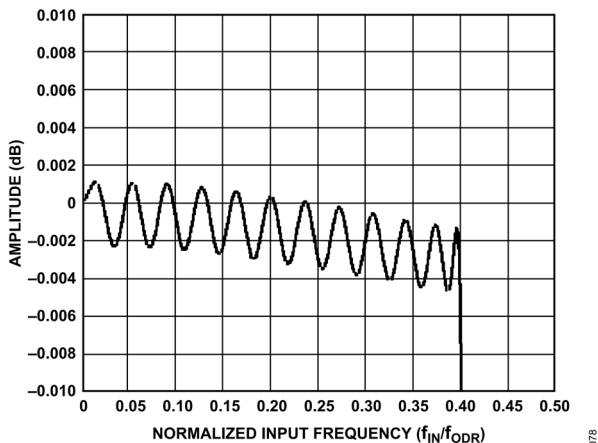


図 143. 広帯域低リップル FIR フィルタのパス・バンド・リップル

動作原理

表 20. 広帯域低リップル FIR フィルタ、 $\overline{\text{SYNC_IN}}$ からデータ・セトリングまで

MCLK Divide Setting	Decimation Rate	ODR (kSPS)		MCLK Periods	
		MCLK = 16.384MHz	MCLK = 13.107MHz	Delay from First MCLK Rise after SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise after SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	256	204.8	284	4,252
	64	128	102.4	413	8,349
	128	64	51.2	797	16,669
	256	32	25.6	1,565	33,309
	512	16	12.8	3,101	66,589
	1,024	8	6.4	6,157	133,133
MCLK/4	32	128	102.4	428	8,364
	64	64	51.2	812	16,684
	128	32	25.6	1,580	33,324
	256	16	12.8	3,116	66,604
	512	8	6.4	6,188	133,164
	1,024	4	3.2	12,300	266,252
MCLK/16	32	32	25.6	1,674	33,418
	64	16	12.8	3,202	66,690
	128	8	6.4	6,274	133,250
	256	4	3.2	12,418	266,370
	512	2	1.6	24,706	532,610
	1,024	1	0.8	49,154	1,064,962

動作原理

sinc5 フィルタ

ADAQ7769-1 の sinc5 フィルタを使用すると、制御ループの DC 入力や、ユーザ指定の後処理が必要な場合に有用な低レイテンシの信号パスを使用できるようになります。sinc5 フィルタの -3dB 帯域幅は $0.204 \times \text{ODR}$ です。

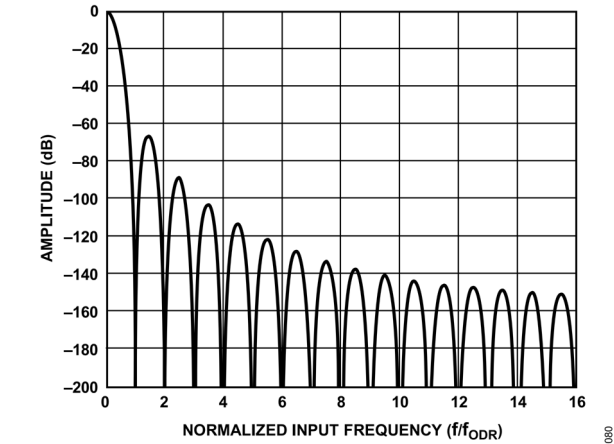


図 145. sinc5 フィルタの周波数応答

フィルタのインパルス応答は $1/\text{ODR}$ の 5 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は $20\mu\text{s}$ です。ODR が 1.024MSPS の場合、データの完全なセトリングに要する時間は $5\mu\text{s}$ です。

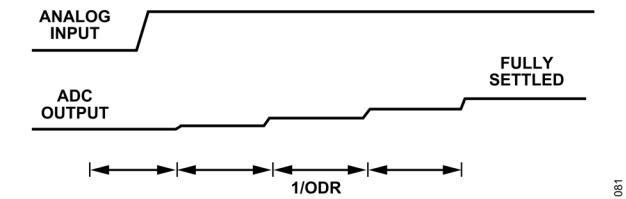


図 146. sinc5 フィルタのステップ応答

sinc5 フィルタ使用時の $\overline{\text{SYNC_IN}}$ パルスから最初の $\overline{\text{DRDY}}$ までの時間と、データが完全にセトリングするまでの時間を、様々な ODR 値について表 21 に示します。

表 21. sinc5 フィルタ、 $\overline{\text{SYNC_IN}}$ からデータ・セトリングまで

		ODR (kSPS)		MCLK Periods	
MCLK Divide Setting	Decimation Rate	MCLK = 16.384MHz	MCLK = 13.107MHz	Delay from First MCLK Rise after SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise after SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	8	1,024	819.2	46	110
	16	512	409.6	62	190
	32	256	204.8	94	350
	64	128	102.4	162	674
	128	64	51.2	295	1,319
	256	32	25.6	561	2,609
	512	16	12.8	1,093	5,189
	1,024	8	6.4	2,173	10,365
MCLK/4	8	512	409.6	79	207
	16	256	204.8	111	367
	32	128	102.4	175	687
	64	64	51.2	310	1,334
	128	32	25.6	576	2,624
	256	16	12.8	1,108	5,204
	512	8	6.4	2,172	10,364
	1,024	4	3.2	4,332	20,716
MCLK/16	8	128	102.4	278	790
	16	64	51.2	406	1,430
	32	32	25.6	662	2,710
	64	16	12.8	1,194	5,290
	128	8	6.4	2,258	10,450
	256	4	3.2	4,386	20,770
	512	2	1.6	8,642	41,410
	1,024	1	0.8	17,282	82,818

動作原理

出力データ・レートを 1.024MSPS とするためのプログラミング

1.024MSPS の sinc5 フィルタ・パスは、広帯域低リップル FIR フィルタを使用して達成できる ODR より更に高い ODR を求めるユーザ向けに用意されています。このパスでは量子化ノイズが制限されています。したがって、制御ループでのレイテンシを最小限にする必要がある場合や、外部フィールド・プログラマブル・ゲート・アレイ（FPGA）またはデジタル・シグナル・プロセッサ（DSP）にカスタム・デジタル・フィルタ処理を実行する必要がある場合に最適です。

sinc5 FIR フィルタを 1.024MSPS の出力データ・レートに設定するには、[デジタル・フィルタおよびデシメーション制御レジスタ](#)の FILTER ビット（レジスタ 0x19、ビット[6:4]）に 001 を書き込みます。ADAQ7769-1 はデシメーション・レートを自動的に 8 に変更し、出力データ長は、デジタル・シリアル・インターフェースの最大速度制限により 24 ビットから 16 ビットに短縮されます。

例えば、CMOS MCLK をクロック・ソースとして用いると同時に 16.384MHz の MCLK を用いて、ADAQ7769-1 を起動時から 1.024MSPS の出力データ・レートに設定するには、次の SPI 書き込みを使用します。

- ▶ レジスタ 0x15 にデータ 0x33 を書き込む
- ▶ レジスタ 0x19 にデータ 0x10 を書き込む

sinc3 フィルタ

ADAQ7769-1 の sinc3 フィルタを使用すると、制御ループの DC 入力に有用な低レイテンシの信号パスを使用できるようになり、特定周波数における不要な既知の干渉を除去することができます。sinc3 フィルタ・パスには、既知の干渉を除去できるように、プログラマブル・デシメーション・レートが組み込まれています。sinc3 フィルタの使用時は、32 から 1,85,280 までのデシメーション・レートを設定できます。sinc3 フィルタの-3dB 帯域幅は $0.2617 \times \text{ODR}$ です。

例えば、sinc3 フィルタの DEC_RATE を 16.384MHz の MCLK、50SPS の ODR、MCLK_DIV = 2 の条件で計算するには、次の式を用います。

$$\text{DEC_RATE} = \frac{\text{MCLK}}{\text{MCLK_DIV} \times \text{ODR}} \quad (15)$$

$$\text{DEC_RATE} = \frac{16.384\text{MHz}}{2 \times 50} = 163,840$$

sinc3 のデシメーション・レシオを設定するには、まず次式を用いて等価 sinc3 デシメーション・レシオを計算して、[sinc3 デシメーション・レート \(MSB\) レジスタ](#)（レジスタ 0x1A）および [sinc3 デシメーション・レート \(LSB\) レジスタ](#)（レジスタ 0x1B）に書き込みます。

$$\text{Value} = \frac{\text{DEC_RATE}}{32} - 1 = 5,119 \quad (16)$$

実際のデシメーション・レートは、これらのレジスタの値を 1 だけインクリメントしてから 32 を乗じることで得られるので、デシメーション・レシオを 1,63,840 に設定するには、等価バイナリ値 5,119 を [sinc3 デシメーション・レート \(MSB\) レジスタ](#)（レジスタ 0x1A）および [sinc3 デシメーション・レート \(LSB\) レジスタ](#)（レジスタ 0x1B）に書き込みます。

異なる MCLK および MCLK_DIV について、50SPS および 60SPS の ODR を実現するために sinc3 デシメーション・レジスタに書き込む値を、それぞれ表 22 と表 23 に示します。

表 22. 異なる MCLK および MCLK_DIV を用いて 50SPS の ODR を実現するための sinc3 デシメーション・レジスタ値

MCLK (MHz)	MCLK_DIV	Decimation Rate	Value in DEC_RATE Register
16.384	2	163,840	5,119
	4	81,920	2,559
	8	40,960	1,279
	16	20,480	639
13.1072	2	131,072	4,095
	4	65,536	2,047
	8	32,768	1,023
	16	16,384	511

表 23. 異なる MCLK および MCLK_DIV を用いて 60SPS の ODR を実現するための sinc3 デシメーション・レジスタ値

MCLK (MHz)	MCLK_DIV	Decimation Rate	Value in DEC_RATE Register
16.384	2	136,533	4,266
	4	68,267	2,132
	8	34,133	1,066
	16	17,067	532
13.1072	2	109,227	3,412
	4	54,613	1,706
	8	27,307	852
	16	13,653	426

動作原理

50Hz 除去、60Hz 除去、および 50Hz/60Hz 除去のプログラミング

50Hz トーンを除去するには、sinc3 フィルタの ODR を 50Hz にプログラムします (図 147 を参照)。デジタル・フィルタおよびデシメーション制御レジスタの EN_60HZ_REJ ビット (レジスタ 0x19、ビット 7) をセットすることによって、50Hz と 60Hz の両方を同時に除去することも可能です。この設定では、50Hz と 60Hz 両方のライン周波数を除去することができます。ODR を 50SPS として、目的の周波数で測定した最小除去比を表 24 と表 25 に示します。

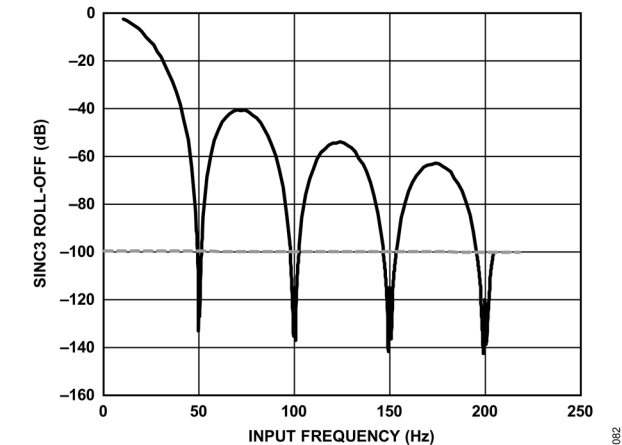


図 147. 50Hz 除去を示す sinc3 フィルタの周波数応答、ODR = 50SPS、×1,63,840 デシメーション

表 24. sinc3 フィルタの 50Hz 除去、ODR = 50SPS、デシメーション・レシオ = 1,63,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	101
100 ± 2	102
150 ± 3	102
200 ± 4	102

表 25. sinc3 フィルタの 50Hz および 60Hz 除去、ODR = 50SPS、デシメーション・レシオ = 1,63,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	81
60 ± 1	67
100 ± 2	83
120 ± 2	72
150 ± 3	86
180 ± 3	78
200 ± 4	90
240 ± 4	87

フィルタのインパルス応答は 1/ODR の 3 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は 12μs です。

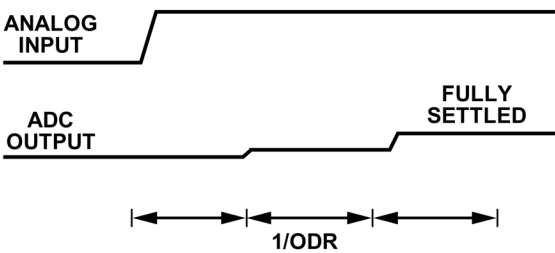


図 148. sinc3 フィルタのステップ応答

動作原理

表 26. sinc3 フィルタ、 $\overline{\text{SYNC_IN}}$ からデータ・セトリングまで

MCLK Divide Setting	Decimation Rate	Value in DEC_RATE Register	ODR (kSPS)		MCLK Periods	
			MCLK = 16.384MHz	MCLK = 13.107MHz	Delay from First MCLK Rise after SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise after SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	0	256	204.8	127	255
	64	1	128	102.4	191	447
	128	3	64	51.2	319	831
	256	7	32	25.6	575	1,599
	512	15	16	12.8	1,087	3,135
	1,024	31	8	6.4	2,111	6,207
	163,840	5,119	0.05	0.04	327,743	983,103
MCLK/4	32	0	128	102.4	241	497
	64	1	64	51.2	369	881
	128	3	32	25.6	625	1,649
	256	7	16	12.8	1,137	3,185
	512	15	8	6.4	2,161	6,257
	1,024	31	4	3.2	4,209	12,401
	81,920	2,559	0.05	0.04	327,793	983,153
MCLK/16	32	0	32	25.6	926	1,950
	64	1	16	12.8	1,438	3,486
	128	3	8	6.4	2,462	6,558
	256	7	4	3.2	4,510	12,702
	512	15	2	1.6	8,606	24,990
	1,024	31	1	0.8	16,798	49,566
	20,480	639	0.05	0.04	328,094	983,454

動作原理

合計群遅延

PGA、AAF、およびデジタル・フィルタは、いずれもパス・バンド全体にわたり直線的な位相応答と一定の群遅延を示します。シグナル・チェーン全体としての、IN入力からADC出力への合計群遅延は次式で表されます。

$$\text{Total Group Delay} = \text{Analog Group Delay} + \text{Digital Filter Group Delay} \quad (17)$$

ここで、

Analog Group DelayはPGAとAAFからの遅延で、これは仕様に記載されています。

Digital Filter Group Delayは、選択したデジタル・フィルタおよびODRからの遅延で、これも仕様に記載されています。

ADCの速度と性能

ADAQ7769-1では、使用するデジタル・フィルタに応じて広い範囲のODRを選択できます。ADAQ7769-1では、広帯域低リップルFIRフィルタやsinc5フィルタを用いた場合で1kSPS、sinc3フィルタを用いた場合で0.0125kSPSという低いODRが可能で、これは、高デシメーション・レシオを用いた変調器を最小限のサンプリング・レートで動作させることで実現できます。例えば、広帯域低リップルFIRフィルタ・オプションでは、1kSPSのODRは、MCLK = 16.384MHz、デシメーション・レート = 1024、 $f_{\text{MOD}} = \text{MCLK}/16$ の条件で実現できます。

ADAQ7769-1の変調器は、 f_{MOD} の立上がりエッジと立下がりエッジでサンプリングを行い、 f_{MOD} のレートでデジタル・フィルタにデータを出します。変調器の周波数応答プロファイルの中には、 f_{MOD} の奇数倍の位置を中心とするゼロが存在しますが、これは f_{MOD} レートの奇数倍の位置にある周波数からのフォールドバックがないことを意味します。しかし変調器は、 f_{MOD} の倍数においてもノイズの影響を受けやすくなります。これらの領域では減衰がないからです。

最高性能を発揮するには、MCLK = 16.384MHz、MCLK_DIV = 2とすることを推奨します。これにより、 f_{MOD} が8.192MHzに設定され、この f_{MOD} 周波数を高い値に維持することで、フロントエンドのAAFから最大限の帯域外トーンを除去できます。

ADAQ7769-1でのデフォルトのコントローラ・クロック分周器の設定は、MCLK_DIV = 16です。MCLK分周器をMCLK_DIV = 2に設定するには、起動後に電力およびクロック制御レジスタのMCLK_DIVビット（レジスタ0x15、ビット[5:4]）に11を書き込みます。

図149に、 f_s を基準とするAAF除去を示します。MCLK分周器の値が高い方が f_s は低下し、AAFからの除去は減少します。

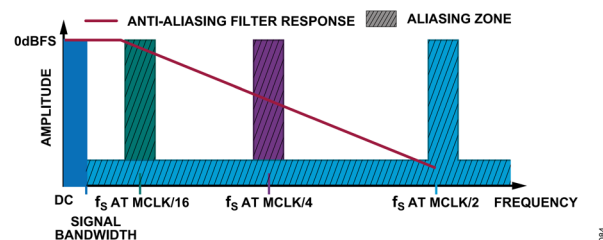


図 149. AAF の応答と MCLK 分周器の関係

デバイスの設定方法

ADAQ7769-1には、デバイス機能を制御するためのオプションが2つあります。このモードは、起動時に $\overline{\text{PIN}}$ /SPIピンの状態によって決定されます。設定の2つのモードは、以下のとおりです。

- ▶ SPI : 3線または4線式SPI（全ての設定が可能）
- ▶ $\overline{\text{PIN}}$: ピン・ストラップ構成のデジタル・ロジック入力（一部の設定が可能）

どちらの制御モードを使用する場合も、起動時にADAQ7769-1をソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、 $\overline{\text{SYNC_IN}}$ パルスを供給することも推奨します。制御と設定をSPI経由で行うか、ピン接続のみで行うかを選択してください。

設計ではまず、ADCの設定にSPIモードと $\overline{\text{PIN}}$ モードのどちらを使用するかを決定します。どちらのモードでも、デジタル・ホストはSPIポート・ラインを介してADCデータを読み出します。

 $\overline{\text{PIN}}$ 制御モード

$\overline{\text{PIN}}$ 制御モードの機能の概要を以下に示します。

- ▶ デバイスへのSPI書き込みアクセスはなし。
- ▶ 全ての機能をピンで制御。
- ▶ SPIピンによりADCの結果をリードバック。
- ▶ ADCの結果には各変換結果後の8ビット・ステータス・ヘッダ出力を含む。
- ▶ SDIピンを使い、 $\overline{\text{PIN}}$ モードで動作する複数デバイスのデジタイチェーン接続が可能。

SPI制御モード

SPI制御モードの機能の概要を以下に示します。

- ▶ レジスタ・アクセス用の標準SPIモード3インターフェース。ADCは常にSPIターゲットとして動作します。
- ▶ $\overline{\text{DRDY}}$ ピン出力を介した新しい変換の指示。2番目の方法によってDOUT出力ストリーム内のレディ（RDY）信号をマージすることができ、更にそれにより絶縁バリア越しのライン数を減らすことが可能になります。
- ▶ ADCレジスタのアドレスを指定するために8ビットを書き込み、その結果をレジスタからリードバックすることによってリードバック変換を実行可能。

動作原理

- ▶ SPI 書込みを介してイネーブルされる連続リードバック・モード。変換結果レジスタ (ADC_DATA、レジスタ 0x2C) をアドレス指定するためにこの 8 ビットを使用する必要はありません。SCLK を入力するとデータ・リードバックが行われます。DRDYピンは変換結果が完了したことを示し、変換結果のリードバックをトリガするために使用できます。
- ▶ 連続リードバック・モードには、8 ビットのステータス・ヘッダまたは 8 ビットの巡回冗長検査 (CRC) チェック、もしくはその両方を追加するオプションがあります。

PIN制御モードの概要

PIN制御モードでは、SPI 通信を必要な動作モードに設定する必要がありません。単一かつ既知の設定が必要とされる状況では、デジタル・ホストへのルーティング信号を減らすことが最善です。PIN制御モードは、最小限の設定しか必要としないデジタル絶縁されたアプリケーションに有用です。PIN制御モードは、コア機能のサブセットを提供し、起動、リセット、または電源フォルトの後に既知の動作状態を確保します。PIN制御モードでは、最高の性能を発揮できるように、直線性向上バッファとリファレンス入力プリチャージ・バッファがデフォルトでイネーブルになります。

PIN制御モードでは、デバイスを最初に起動したとき、もしくはデバイスをリセットしたときに、SYNC_OUTピンに自動同期パルスが出力されます。SYNC_OUTパルスは GPIOx ピンをトグルしたときも発生しますが、これは、デバイスの設定をPIN制御モードに変更した後で自動的に同期が行われることを意味します。この同期を行う場合は、SYNC_OUTをSYNC_INに接続することで、同期SYNC_INパルスを供給する必要がないようにします。複数のデバイスを同期させる必要があるときは、1 つのデバイスのSYNC_OUTを複数デバイスのSYNC_INに接続するこ

ともできます。複数デバイスの同期が必要な場合は、全てのデバイスが同じ MCLK を共有する必要があります。

データ出力フォーマット

PIN制御モードには、変換データ用に設定された出力フォーマットがあります。DRDYの立上がりエッジは、新しい変換の準備ができたことを示します。次の 24 個のシリアル・クロックの立下がりエッジで、24 ビット ADC の結果がクロック出力されます。その後の 8 個のシリアル・クロックで、ADAQ7769-1 のステータス・ビットが出力されます。ADC データは、2 の補数フォーマットを使い MSB ファーストで出力されます。ステータス・ビットのクロック出力後、更に SCLK の立下がりエッジを ADC に入力する場合は、デイジーチェーン接続の場合と同様、SDI に加えるロジック・レベルがクロック出力されます。図 150 には、余分なシリアル・クロック (33 番目の立下がりエッジ) が示されています。余分なシリアル・クロック・エッジが生じた場合は、SDI ピンのロジック・レベルがクロック出力されます。

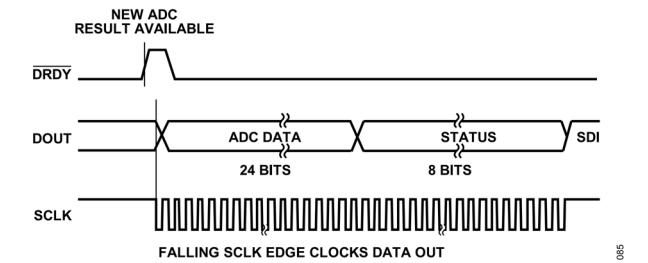


図 150. PINモードのデータ出力フォーマット (CS信号は表示なし)

表 27. PIN制御モードと SPI 制御モードでの制御ピン機能とインターフェース・ピン機能の違い

記号	ピン機能	
	PIN制御モード	SPI 制御モード
MODE0/GPIO0	MODE0 設定ピン。	GPIO0 ピン。
MODE1/GPIO1	MODE1 設定ピン。	GPIO1 ピン。
MODE2/GPIO2	MODE2 設定ピン。	GPIO2 ピン。
MODE3/GPIO3	MODE3 設定ピン。	GPIO3 ピン。
CS	ADC 変換結果リードバック用の SPI ピン。	レジスタの読出し／書込みと ADC 変換結果のリードバックを介して、ADAQ7769-1 をフル設定するための SPI インターフェース。
SCLK	ADC 変換結果リードバック用の SPI ピン。	レジスタの読出し／書込みと ADC 変換結果のリードバックを介して、ADAQ7769-1 をフル設定するための SPI インターフェース。
SDI	ADC 変換結果リードバック用の SPI ピン。	レジスタの読出し／書込みと ADC 変換結果のリードバックを介して、ADAQ7769-1 をフル設定するための SPI インターフェース。
DOUT/RDY	ADC 変換結果リードバック用の SPI ピン。	レジスタの読出し／書込みと ADC 変換結果のリードバックを介して、ADAQ7769-1 をフル設定するための SPI インターフェース。

動作原理

診断機能とステータス・ビット

$\overline{\text{PIN}}$ 制御モードは、診断機能の一部を提供します。内部エラーは、各チャンネルのデータ変換結果と共にステータス・ヘッダ出力で報告されます。

ステータス・ヘッダは、内部 CRC エラー、メモリ・マップのフリップ・ビット、未検出の外部クロックを報告します。これは、リセットが必要であることを示しています。ステータス・ヘッダは、フィルタ・セトリング信号とフィルタ飽和信号も報告します。これらのエラー・フラグを監視することで、データを無視するタイミングを決定できます。

ステータス・ビットが深刻なエラーを示しているときは、 $\overline{\text{PIN}}$ モードの場合、特定のエラーについて更に情報を得る方法がないので、 $\overline{\text{RESET}}$ ピンを使って ADC をリセットすることを推奨します。

デジチェーン接続 – $\overline{\text{PIN}}$ 制御モードのみ

デバイスをデジチェーン接続すると、別々の ADAQ7769-1 デバイスからの複数の ADC 出力をカスケード接続することによって、複数のデバイスが同じデータ・インターフェース・ラインを使用できます。デバイスのデジチェーン接続は、 $\overline{\text{PIN}}$ 制御モードでのみ可能です。

デジチェーン接続用に設定されている場合は、1 つの ADAQ7769-1 デバイスのデータ・インターフェースのみがデジタル・ホストに直接接続されます。

ADAQ7769-1 では、チェーン内の上流側にある ADAQ7769-1 デバイスの DOUT/ $\overline{\text{RDY}}$ ピンを、その次の下流側 ADAQ7769-1 デバイスの SDI ピンにカスケード接続することで、このデジチェーン接続を行うことができます。デバイスのデジチェーン接続の可否と、デジチェーン接続で扱うことのできるデバイスの数は、使用するシリアル・クロックの周波数と、次の変換が完了する前に複数の 32 ビット変換出力 (24 ビット変換 + 8 ビット・ステータス) を通じてクロックできる時間によって決まります。

デジチェーン接続機能は、部品数とコントローラへのワイヤ接続を減らすのに有効です。

複数の ADAQ7769-1 デバイスをデジチェーン接続した場合の例を図 151 に示します。

デジチェーン接続法では、同じ MCLK と SCLK を受け取る全てのデバイスが同期され、同じデシメーション・レートで設定されている必要があります。チップ・セレクト信号 ($\overline{\text{CS}}$) はデータの各変換チェーンをゲートして、各変換結果の伝達後に、その立上がりエッジが SPI を既知の状態にリセットします。コントローラから最も遠い ADAQ7769-1 デバイスは、その SDI ピンを VDD_{IO} (ロジック・ハイ) に接続する必要があります。

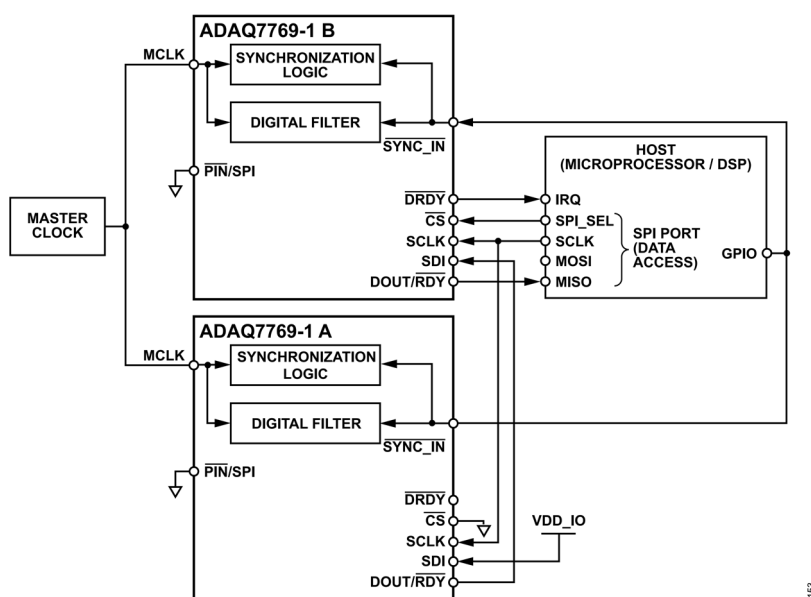


図 151. 複数の ADAQ7769-1 デバイスのデジチェーン接続

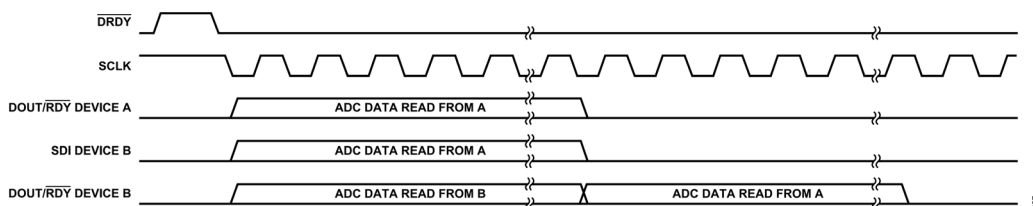


図 152. デバイスをデジチェーン接続した場合のデータ出力フォーマット ($\overline{\text{PIN}}$ 制御モードのみ)

動作原理

表 28. MODEx ピンの $\overline{\text{PIN}}$ 制御設定

MODEx Pin Settings					ADC Configuration			
MODEx (Hex)	MODE3/ GPIO3	MODE2/ GPIO2	MODE1/ GPIO1	MODE0/ GPIO0	f _{MOD} Frequency	Filter	Decimation	MCLK = 16.384MHz, ODR
0	0	0	0	0	MCLK/2	Wideband low-ripple FIR	×32	256kSPS
1	0	0	0	1	MCLK/2	Wideband low-ripple FIR	×64	128kSPS
2	0	0	1	0	MCLK/2	Sinc5	×32	256kSPS
3	0	0	1	1	MCLK/2	Sinc5	×64	128kSPS
4	0	1	0	0	MCLK/4	Wideband low-ripple FIR	×32	128kSPS
5	0	1	0	1	MCLK/4	Wideband low-ripple FIR	×64	64kSPS
6	0	1	1	0	MCLK/4	Sinc5	×32	128kSPS
7	0	1	1	1	MCLK/4	Sinc5	×64	64kSPS
8	1	0	0	0	MCLK/16	Wideband low-ripple FIR	×32	32kSPS
9	1	0	0	1	MCLK/16	Wideband low-ripple FIR	×64	16kSPS
A	1	0	1	0	MCLK/16	Sinc5	×32	32kSPS
B	1	0	1	1	MCLK/16	Sinc5	×64	16kSPS
C	1	1	0	0	MCLK/2	Sinc5	×8	833kSPS ¹
D	1	1	0	1	MCLK/2	Sinc3 50Hz and 60Hz rejection ²	×1,63,840	50SPS
E	1	1	1	0	MCLK/16	Sinc3 50Hz and 60Hz rejection ²	×20,480	50SPS
F	1	1	1	1	ADC standby			

¹ $\overline{\text{PIN}}$ モードでは、sinc5、MCLK/2、デシメーション・レシオ=8の構成のみ、16.384MHzのMCLKでは使用できません。最大SCLKが20MHzの場合24ビット出力（16ビットADCデータ+8ビット・ステータス）を駆動できるSCLKパルスがないためです。13.33MHz MCLKで使用できる最大データ・レートは833kSPSです。

² sinc3 フィルタ、50Hz および 60Hz の除去。50Hz と 60Hz を除去できるのは、制御モードで使用する MCLK が 16.384MHz の場合に限られます。デシメーション・レートは、sinc フィルタのノッチが 50Hz と 60Hz に一致するように、これらの $\overline{\text{PIN}}$ モード設定に合わせて内部で調整されます。

動作原理

SPI 制御の概要

SPI 制御は、柔軟性および診断機能のスーパーセットを提供します。表 29 に示すカテゴリは、SPI 制御モードでイネーブルでき

る主な制御、変換モード、および診断モニタリング機能を示したものです。

表 29. SPI 制御機能

SPI 制御	機能	内容
MCLK 分周	MCLK/2~MCLK/16	目的の帯域幅に関係するクロック周波数をカスタマイズできます。
MCLK ソース	CMOS、水晶発振器、LVDS、および内部クロック	分散クロックまたはローカル・クロックを使用できます。
デジタル・フィルタ・スタイル	広帯域低リップル FIR、sinc5、sinc3（プログラマブル）	測定対象とその帯域幅に合わせて遅延と周波数応答をカスタマイズできます。
インターフェース・フォーマット	ビット長 ステータス・ビット CRC データ・ストリーミング	連続読出しモードにおける変換長を選択できます（24 ビットまたは 16 ビット）。出力デバイスのステータス・ビットと ADC の変換結果を表示できます。データ送信時にエラー・チェックを行うことができます。変換データのストリーミングを行い、インターフェース書き込みオーバーヘッドをなくすことができます。
アナログ・バッファ	直線性向上バッファ リファレンス入力プリチャージ リファレンス入力フル・バッファ	直線性性能を向上させます。 リファレンス入力電流を減らして、リファレンスのフィルタリングを容易にします。 この高インピーダンスのフル・バッファはリファレンス・ソースのフィルタリングを可能にして、高インピーダンス・ソース、つまりリファレンス抵抗を使用できるようにします。
変換モード	シングル変換 ワンショット 連続変換 デューティサイクル変換 キャリブレーション	変換を 1 回終了した後でスタンバイに戻ることができます。 逐次比較レジスタ（SAR）変換と同様の変換を行うことができます。ADAQ7769-1 は、この変換を時限パルスに基づいて行います。 通常動作では変調器が連続して変換を行い、入力の変化に対して最速の応答が得られます。 ポイント変換の消費電力をより節約することができます。変換のレートを測定して、変換完了後に ADC をスタンバイに維持する時間を設定します。 システムのキャリブレーションを行い、ゲイン／オフセット・レジスタをリードバックすることによって、ゲイン・キャリブレーションまたはオフセット・キャリブレーションの結果をユーザのシステム設定に保存できます。
変換ターゲット	ADC 入力 温度センサー 診断ソース	ADC 入力に加えられた入力信号を測定できます。 オンチップ温度センサーによってローカル温度を測定できます。相対温度の測定に使用します。 定期的な機能安全チェックのために、リファレンス入力と内部電圧を測定できます。
GPIO 制御	最大で 4 本の GPIOx ピン	他のローカル・ハードウェア（ゲイン段など）の制御、シグナル・チェーン内の他のブロックのパワーダウン、あるいは ADAQ7769-1 の SPI インターフェースを介したローカル・ステータス信号の読出しを行うことができます。
システム・オフセットとゲイン補正	システム・キャリブレーション・ルーチン	環境が変化したときに（つまり温度が上昇したときに）、レジスタに書き込みを行うことによってオフセットやゲインを修正することができます。これらのレジスタに書き込みを行うには、システム・エラーの特性評価を行う必要があります。
診断機能	内部チェックとフラグ	変換結果の信頼性を高めることができます。

動作原理

SPI 制御モード

MCLK のソースと MCLK の分周

MCLK 分周 (MCLK_DIV) ビット (レジスタ 0x15、ビット[5:4]) は、ADAQ7769-1 に入力される MCLK と ADC 変調器が使用するクロックの分周比を制御します。クロックの構成に最も適した分周比を選択してください。

SPI モードでは、次のオプションを MCLK 入力ソースとして使用できます。

- ▶ LVDS
- ▶ 外部水晶発振器
- ▶ CMOS 入力 MCLK

電力およびクロック制御レジスタで、CLOCK_SEL ビット (レジスタ 0x15、ビット[7:6]) を 00 にセットすると ADAQ7769-1 は CMOS クロック用に設定され、これらのビットを 01 にセットすると外部水晶発振器を使用できます。これらのビットを 10 にセットすると XTAL2_MCLK ピンに LVDS クロックを供給できます。LVDS クロック供給は SPI モード専用で、動作させるためのレジスタを選択する必要があります。

ADC パワーダウン・モード

コア ADC 上の全てのブロックがオフになります。ADC の動作を再開させるには、特別なコードが必要です。パワーダウン・モードになると、レジスタの内容は全て失われます。FDA がパワーダウンしている、あるいはスタンバイ・モードになっているのを確認してから ADC をパワーダウン・モードにしてください。M0_ADC および M1_ADC をそれぞれ M0_FDA および M1_FDA に接続すると、ADC がパワーダウン・モードになるときに自動的に FDA がパワーダウンされます。ADC パワーダウン・モードは、[電力およびクロック制御レジスタ](#)から設定できます。

ADC スタンバイ・モード

コア ADC のアナログ・クロック供給機能と電力機能がパワーダウンされます。スタンバイ・モードでは、デジタル LDO レギュレータとレジスタの設定は維持されます。このモードは、ADC を一時的に使用せず、その間に消費電力を抑えたい場合に最適です。ADC をスタンバイ・モードに設定する方法の詳細については、[データ変換モード](#)のセクションを参照してください。

SPI の同期

ADAQ7769-1 は SPI を介して同期できます。コマンドの最後の SCLK 立上がりエッジが同期の最初のステップです。このコマンドは最初 SYNC_OUT にピンからアクティブ・ローをパルス出力して、再びアクティブ・ハイに戻します。SYNC_OUT は ADC の MCLK に内部同期された信号です。SYNC_OUT の出力を SYNC_IN 入力に接続することによって、個々の ADC を同期させることができます。SYNC_OUT を他の ADAQ7769-1 デバイスに接続した場合は、MCLK ソースを共有している限りそれらのデバイスを同期させることができます (図 153 参照)。

同期機能は、 $\overline{\text{DRDY}}$ パルスの直後に実行することを推奨します。ADAQ7769-1 の SYNC_IN パルスの発生位置が次の $\overline{\text{DRDY}}$ パルス・エッジに近すぎる場合、SYNC_IN パルスがまだデバイス内に伝達されていないため、次の $\overline{\text{DRDY}}$ パルスがそのまま出力されることがあります。

1.8V の VDD_IO 電圧で SYNC_OUT 機能を使用する場合は、[同期モードおよびリセット・トリガリング・レジスタ](#)の SYNC_OUT_POS_EDGE ビット (レジスタ 0x1D、ビット 6) を 1 に設定することを推奨します。

動作原理

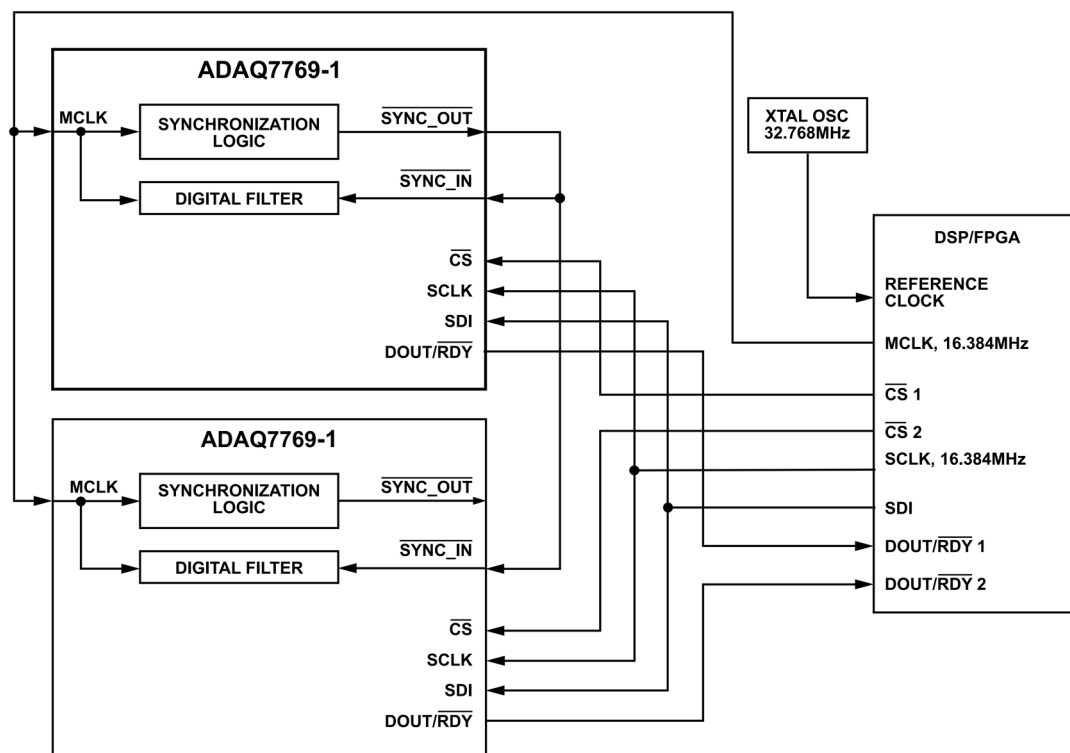


図 153. 基本的な SPI 同期の概略図

動作原理

オフセット・キャリブレーション

ADAQ7769-1 では、SPI 制御モードでオフセットとゲインを補正できます。ADAQ7769-1 とそのサブシステムのゲインとオフセットを変更するオプションがいくつかあります。これらのオプションは SPI 制御モードでのみ利用できます。

オフセット補正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理想的な公称値 0x555555 の場合、オフセット・レジスタを 1LSB 調整すると、デジタル出力は -4/3LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133LSB 変化します。オフセット・キャリブレーションはゲイン・キャリブレーションの前に行われるため、-4/3 の LSB 比率はゲイン補正レジスタを介したゲイン調整と比例して変化します。

レジスタ情報とキャリブレーション方法の詳細については、[オフセット・キャリブレーション MSB レジスタ](#)、[オフセット・キャリブレーション MID レジスタ](#)、および [オフセット・キャリブレーション LSB レジスタ](#) の各セクションを参照してください。

ゲイン・キャリブレーション

SPI 制御モードでは、ADAQ7769-1 とそのサブシステムのゲインとオフセットを変更できます。これらのオプションは SPI 制御モードでのみ利用できます。

ADC には対応するゲイン係数があり、これは工場での設定後、ADC ごとに保存されます。通常、このゲインは 0x555555 付近の値になっています (ADC チャンネルの場合)。ゲイン・レジスタ設定は上書きできます。ただし、リセット後または電源再投入後は、ゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

$$ADC_DATA = \left[\frac{3 \times V_{IN} \times TOTAL_GAIN}{V_{REF}} \times 2^{21} - (OffsetCal) \right] \times \frac{GainCal}{4} \times \frac{4,194,300}{2^{42}} \quad (18)$$

ここで、

ADC_DATA (レジスタ 0x2C、[変換結果レジスタ](#)のセクションを参照) は 2 の補数フォーマットです。

OffsetCal はオフセット・キャリブレーション・レジスタ (レジスタ 0x21、レジスタ 0x22、およびレジスタ 0x23 - [オフセット・キャリブレーション MSB レジスタ](#)、[オフセット・キャリブレーション MID レジスタ](#)、および [オフセット・キャリブレーション LSB レジスタ](#) の各セクションを参照) の 10 進数値です。

GainCal はゲイン・キャリブレーション・レジスタ (レジスタ 0x24、レジスタ 0x25、レジスタ 0x26) の 10 進数値です。レジスタ情報とキャリブレーション方法の詳細は、[ゲイン・キャリブレーション・レジスタの各セクションに記載されています](#) ([ゲイン・キャリブレーション MSB レジスタ](#)、[ゲイン・キャリブレーション MID レジスタ](#)、および [ゲイン・キャリブレーション LSB レジスタ](#) の各セクションを参照)。

SPI 制御インターフェース経由でのリセット

ADAQ7769-1 へのリセット・コマンドは、[同期モードおよびリセット・トリガリング・レジスタ](#)の SPI *RESET* ビット (レジスタ 0x16、ビット [1:0]) に書き込みを行うことによって発行できます。デバイスのリセットを開始するには、これらのビットに 2 回連続して書き込みを行う必要があります。

シャットダウンからの再起動

シャットダウン・モードでは、標準 SPI インターフェースを含め、デバイス上の全てのブロックをオフにして電流消費を最小限に抑えます。したがって、このモードから ADC の動作を再開させるには、*RESET* ピンでハードウェア・リセットを行うか、SPI SDI 入力から特定のコードを実行する必要があります。SDI に必要とされる特別なシーケンスは、*CS* がローの間に *SCLK* によってクロック入力される 1 と、その後続く 63 個の 0 で構成され、システムはこれにより、*RESET* ピンを使用することなくシャットダウン状態から ADAQ7769-1 の動作を再開させることができます。このリセット機能は、絶縁バリア越しに配線するピンの数を最小限に抑える必要のある絶縁アプリケーションに有効です。

GPIO および START 機能

ADAQ7769-1 を SPI モードで動作させる場合は、追加的な GPIO 機能を使用することができます。この全てを設定可能なモードにより、デバイスは 4 個の GPIO を動作させることができます。これらのピンは、任意の順序で読出しまたは書き込みとして設定できます。

GPIO 読出しを使用すると、周辺機器から入力 GPIO へ情報を送ることができるので便利です。更に、この情報は、ADAQ7769-1 の SPI から読み出すことができます。

GPIOx ピンはピンごとに入力または出力として設定することが可能で、更に出力をオープンドレインとして設定するオプションがあります。

SPI 制御モードでは、GPIOx ピンの 1 つに *START* 入力の機能を割り当てることができます。*START* 機能を使用すると、*MCLK* に同期していない信号を使って *SYNC_OUT* 信号を生成し、ADAQ7769-1 のデジタル・フィルタ・パスをリセットできます。*START* ピン機能は GPIO3 でイネーブルできます。

SPI モードの診断機能

ADAQ7769-1 には、コア ADC の内部ブロックを対象とする診断機能が組み込まれています。以下のリストに示す診断機能は、ADC をモニタして、取得したデータの忠実度に関わる信頼性を高めることを可能にします。

- ▶ リファレンス検出
- ▶ クロックの品質評価
- ▶ SPI トランザクションの CRC
- ▶ 不正レジスタ書き込みの検出フラグ
- ▶ CRC チェック
- ▶ パワーオン・リセット (POR) モニタ
- ▶ *MCLK* カウンタ

更にこれらの診断機能は、計測器がその初期化段階において電源とリファレンスのリモート・チェックを必要とするような状況においても有効です。

診断機能は、[SPI 診断制御レジスタ](#)、[ADC 診断機能制御レジスタ](#)、[デジタル診断機能制御レジスタ](#)を介して選択できます。POR 用のフラグおよびクロックの品質評価は、デフォルトでオンになっています。フラグはレジスタを介して読み出せますが、トップ・レベル・ステータス・ビットに伝達されます。これは、必要なら各 ADC 変換と共に出力できます。

動作原理

リファレンス検出

SPI 制御モードでリファレンス検出ブロックをイネーブルするには、[ADC 診断機能制御レジスタ](#)の EN_ERR_REF_DET ビット（レジスタ 0x29、ビット 3）に 1 を書き込みます。イネーブルすると、[ADC 診断出力レジスタ](#)（レジスタ 0x2F）にエラーがフラグされます。その後は、どのエラー・フラグも[デバイス・エラー・フラグ・メイン・レジスタ](#)（レジスタ 0x2D）に伝達されます。REF+ピンに加えられるリファレンスが(VDD_ADC – AGND)の 1/3 未満になると、リファレンス・エラーがフラグされます。

クロックの品質評価

クロック品質評価チェックでは、有効な MCLK の検出を確認します。加えられる MCLK が 600kHz を超えていれば、クロック品質評価は合格です。エラーは、[ADC 診断出力レジスタ](#)（レジスタ 0x2F）と[デバイス・エラー・フラグ・メイン・レジスタ](#)（レジスタ 0x2D）の両方にフラグされます。検出されたクロックが 600kHz の周波数閾値未満の場合、あるいは外部 MCLK が検出されない場合は、クロック品質評価エラー・ビットが 1 に設定されます。クロックの品質評価チェックをディセーブルするには、[ADC 診断機能制御レジスタ](#)の EN_ERR_EXT_CLK_QUAL ビット（レジスタ 0x29、ビット 0）に 0 を書き込みます。

SPI トランザクションの CRC

詳細については、[シリアル・インターフェースでの CRC チェック](#)のセクションを参照してください。

不正なレジスタ書き込みの検出フラグ

詳細については [SPI 制御インターフェースのエラー処理](#)のセクションを参照してください。

CRC チェック

ADAQ7769-1 のメモリ・マップの状態および内部ランダム・アクセス・メモリ（RAM）設定とヒューズ設定の状態をチェックするには、[デジタル診断機能制御レジスタ](#)（レジスタ 0x2A）の

CRC チェックをイネーブルします。デバイスでこれらいずれかのエラーがフラグされたら、リセットを行ってデバイスを有効な状態に戻してください。

POR モニタ

POR モニタ・フラグは、出力時にレジスタとステータス・ビットの両方にセットされます。POR フラグは、リセットが行われたか、電源の一時的なブラウンアウトが発生したことを示します。

MCLK カウンタ

[MCLK 診断出力レジスタ](#)（レジスタ 0x31）は 64MCLK ごとに更新されます。MCLK_COUNTER レジスタは、ADAQ7769-1 に有効な MCLK が供給されていることを検証します。有効な読出しを行うには、特定の MCLK/SCLK 比に従って MCLK_COUNTER レジスタを読み出します。MCLK_COUNTER レジスタの読出しに使用する SCLK は、2.1 × MCLK 未満または 4.6 × MCLK より大きくなくてはなりません。例えば、MCLK=2MHz の場合、使用する SCLK を 4.2MHz～9.2MHz の範囲とすることはできません。MCLK と SCLK の比が守られていない場合はレジスタの読出し中に MCLK が更新されて、読出しエラーになることがあります。

製品識別（ID）番号

ADAQ7769-1 には、ソフトウェアによるデバイス調査を可能にする ID レジスタが組み込まれています。製品のクラス（高精度 ADC）、製品 ID、デバイス・リビジョン、デバイスの等級の全てを、SPI を介してレジストリから読み出すことができます。リードバック用レジストリには、アナログ・デバイセズのペンダ ID も含まれています。これらのレジスタは、特定のレジスタ・アドレスへの自由な読出しと書き込みを可能にするスクラッチ・パッドに加えて、シリアル制御インターフェースの正常な動作を検証する方法として使用できます。

表 30. 製品識別レジスタ

Register Address (Hex)	Name	Bit Fields	
0x03	Chip type	Reserved	Class
0x04	Product ID [7:0]	PRODUCT_ID[7:0]	
0x05	Product ID [15:8]	PRODUCT_ID[15:8]	
0x06	Grade and revision	Grade	DEVICE_REVISION
0x0A	Scratch pad	Value	
0x0C	Vendor ID	VID[7:0]	
0x0D		VID[15:8]	

クイック・スタートアップ・ガイド

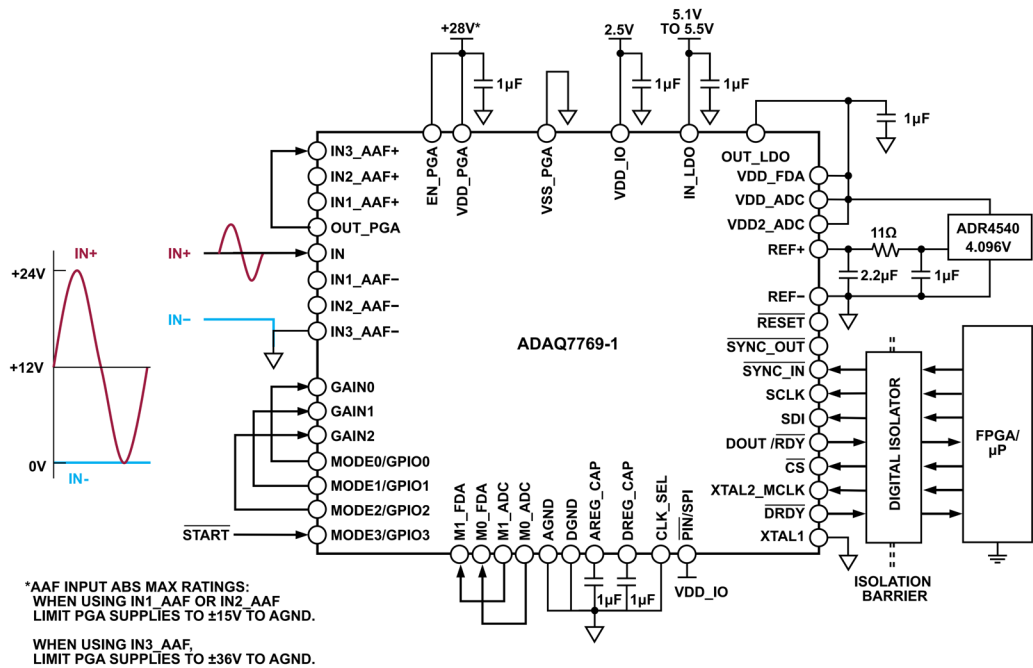


図 154. ADAQ7769-1 の代表的な接続図

電源の接続

ADAQ7769-1 には、シグナル・チェーンの各ブロックに給電するいくつかの電源があります。デバイスの起動に必要な電源の数を減らすために、ADAQ7769-1 は LDO を内蔵しており、これを用いて VDD_FDA、VDD_ADC、VDD2_ADC に給電します。この LDO レギュレータは、推奨電圧リファレンスである ADR4540 に必要な電力も供給でき、5.1V～5.5V の入力電圧範囲に対応できます。正しく動作させるために、LDO レギュレータの入力および出力には 1μF のコンデンサを用いることを推奨します。通常動作時に LDO レギュレータを使用しない場合、全ての LDO レギュレータ・ピンはフロート状態にしておくことを推奨します。

入力信号に応じて、VDD_PGA – VSS_PGA 電源は最大 30V に設定できます。VDD_PGA は入力より 2.5V 以上高くなければならず、なおかつ PGA 出力以上の値でなければなりません。また、VSS_PGA は入力より 2.5V 以上低くしなければならず、PGA 出力以下の値でなければなりません。これは、入力と出力のクリッピングを避けるためです。

VDD_IO は ADC のデジタル・ロジックに必要な内部レギュレータに給電します。VDD_IO は DGND を基準とし、1.7V～3.6V の範囲が可能です。

ADAQ7769-1 には、各電源に対し 0.1μF のデカップリング・コンデンサが内蔵されています。電源の接続とデカップリングの詳細については、[電源のセクション](#)と[電源のデカップリングのセクション](#)を参照してください。

表 31. 電源電圧要件

Supplies	Supply Voltage (V)		
	Min	Typ	Max
VDD_PGA	5		30
VSS_PGA	-25		0
VDD_PGA – VSS_PGA	5		30
IN_LDO	5.1	5.3	5.5
VDD_FDA	4.75	OUT_LDO (5V)	5.5
VDD_ADC	4.75	OUT_LDO (5V)	5.5
VDD2_ADC	2	OUT_LDO (5V) or 2.5	5.5
VDD_IO	1.7	2.5	3.6

クイック・スタートアップ・ガイド

デバイスの制御モード

ADAQ7769-1 には、デバイス機能を制御するためのオプションが 2 つあります。このモードは、起動時に $\overline{\text{PIN}}/\text{SPI}$ ピンの状態によって決定されます。設定の 2 つのモードは、以下のとおりです。

- ▶ $\overline{\text{PIN}}/\text{SPI} = \text{VDD_IO} = \text{SPI}$ 制御モード：3 線または 4 線式 SPI（全ての設定が可能）、推奨制御モード。
- ▶ $\overline{\text{PIN}}/\text{SPI} = \text{DGND} = \overline{\text{PIN}}$ 制御モード：ピン・ストラップ構成のデジタル・ロジック入力（設定オプションの 1 つのサブセットを使用可能、デ이지チェーンはこのモードでのみ使用可能）。

設計ではまず、ADC の設定に SPI モードと $\overline{\text{PIN}}$ モードのどちらを使用するかを決定します。

どちらの制御モードを使用する場合も、起動時にデバイスをソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、 $\overline{\text{SYNC_IN}}$ パルスを供給することも推奨します。制御と設定を SPI を介して行うか、ピン接続のみで行うかを選択してください。

2 つの制御モード・オプションの機能と制限については、[デバイスの設定方法](#)のセクションで詳しく説明しています。

入力範囲の選択

ADAQ7769-1 の入力は、低ノイズ、低バイアス電流、高帯域幅のプログラマブル・ゲイン・アンプ (PGA) です。この PGA は 1~128 の 8 つのバイナリ・ゲイン設定が可能で、GAIN2、GAIN1、および GAIN0 ピンから制御します。ゲイン・ピンは、ロジック・コントローラまたは FPGA を使って設定できます。PGA の後段には、4 次 AAF を備えた低歪みの広帯域 ADC ドライバがあります。ドライバには 3 つの差動入力ペア IN1_AAF、IN2_AAF、IN3_AAF があり、どれを使用するかはユーザが選択できます。各入力ペアのゲインは、それぞれ 1、0.364、および 0.143 に固定されています。PGA ゲインと AAF ゲイン、およびそれらに対応する入力範囲の組み合わせを、[表 12](#)~[表 14](#) に示します。様々な入力範囲と ADC 設定に対するノイズ性能の詳細については、[ノイズ性能](#)のセクションを参照してください。

GPIO ピン

PGA ゲイン・ピンを ADAQ7769-1 の GPIO ピンに接続すると、SPI を介して PGA のゲインを制御できます。GPIO ピンをゲイン制御に用いる場合は、[GPIO ポート制御レジスタ](#)（レジスタ 0x1E）を設定し、GPIO をイネーブルして必要な GPIO ポートを出力に設定する必要があります。GPIO ピンのロジック出力レベルをセットするには、[GPIO 出力制御レジスタ](#)（レジスタ 0x1F）を設定します。

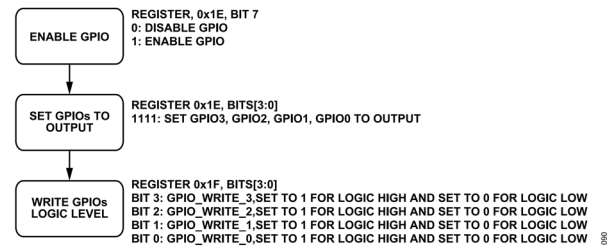


図 155. GPIO のゲイン制御フローチャート

例えば、GAIN0 は GPIO0 に、GAIN1 は GPIO1 に、GAIN2 は GPIO2 に接続します。SPI 制御モードでは、[GPIO ポート制御レジスタ](#)（レジスタ 0x1E）に 0x87 を書き込むことで、GPIO 制御ポートをイネーブルして必要な GPIO ピンを出力に設定できます。デフォルトでは、[GPIO 出力制御レジスタ](#)（レジスタ 0x1F）の GPIO0、GPIO1、GPIO2 への出力ロジックはローで、その場合の PGA ゲインは 1 になります。

MCLK の分周器とソースの選択

MCLK ソースの選択

MCLK ソースは、 $\overline{\text{PIN}}$ 制御モードと SPI 制御モードの 2 つの制御モード・オプションを用いて設定できます。

$\overline{\text{PIN}}$ 制御モードでは、CLK_SEL ピンが外部 MCLK ソースを設定します。 $\overline{\text{PIN}}$ 制御モードでは、内部発振器、外部 CMOS、または水晶発振器の 3 つのクロック・オプションを使用できます。

- ▶ $\overline{\text{PIN}}$ 制御モードで CLK_SEL = 0 にセットした場合は CMOS クロック・オプションが選択され、外部 CMOS クロック信号を XTAL2_MCLK ピンに印加する必要があります。この場合は XTAL1 ピンを DGND に接続します。
- ▶ $\overline{\text{PIN}}$ 制御モードで CLK_SEL = 1 にセットした場合は水晶発振器オプションが選択され、外部水晶発振器を XTAL1 ピンと XTAL2_MCLK ピンの間に接続する必要があります。

SPI 制御モードでは、ADAQ7769-1 は、内部発振器をデバイスの初期起動に使用します。ADAQ7769-1 がスタートアップ・ルーチンを完了すると、クロックが外部 MCLK に切り替わります。以下のオプションが MCLK 入力ソースに使用可能で、[電力およびクロック制御レジスタ](#)の CLOCK_SEL ビット（レジスタ 0x15、ビット[7:6]）で設定できます。

- ▶ CLOCK_SEL ビット = 00 : XTAL2_MCLK に CMOS クロックを使用。
- ▶ CLOCK_SEL ビット = 01 : 外部水晶発振器。
- ▶ CLOCK_SEL ビット = 10 : LVDS 入力をイネーブル（SPI 制御モード専用）。
- ▶ CLOCK_SEL ビット = 11 : 内部粗調整 RC クロック（診断機能）。

1 つのクロック・ソースから別のクロック・ソースに切り替える場合、デバイスをソフト・リセットする必要があります。

最大限の AC 性能を実現するために、内部クロックを MCLK ソースとして使用することは推奨しません。

クイック・スタートアップ・ガイド

MCLK 分周器

ADAQ7769-1 が受信する MCLK 信号が、ADC コアのシグマ・デルタ変調器のクロック・レート (f_{MOD}) を決定し、更にこれにより $2 \times f_{MOD}$ の変調器のサンプリング周波数が決まります。最高性能を発揮するには、MCLK = 16.384MHz、MCLK_DIV = 2 とすることを推奨します。これにより、 f_{MOD} が 8.192MHz に設定され、この f_{MOD} 周波数を高い値に維持することで、フロントエンドの AAF から最大限の帯域外トーンを除去できます。

$$f_{MOD} = \frac{MCLK}{MCLK_DIV} \quad (19)$$

ADAQ7769-1 でのデフォルトのコントローラ・クロック分周器の設定は、MCLK 分周器 = 16 です。MCLK 分周器を MCLK = 2 に設定するには、起動後に電力およびクロック制御レジスタの MCLK_DIV ビット (レジスタ 0x15、ビット[5:4]) に 11 を書き込みます。

変調器周波数の設定を制御する方法は、PIN 制御モードと SPI 制御モードで異なります。PIN 制御モードについては表 28 を、SPI 制御モードについては電力およびクロック制御レジスタのセクションを参照してください。

MCLK と SCLK のアライメント

ADAQ7769-1 のインターフェースは柔軟で、各種 DSP およびマイクロコントローラ・ユニット (MCU) の複数の動作モードと様々なデータ出力フォーマットに対応可能です。最高性能を発揮するために、同期 SCLK と MCLK は同じクロック・ソースから得ることを推奨します。SCLK は MCLK を分周したものとすることも可能です。デジタル・インターフェースの詳細については推奨インターフェースのセクションで説明します。

デジタル・フィルタの設定

ADAQ7769-1 では3種類のデジタル・フィルタを使用できます。ADAQ7769-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル FIR フィルタ、 $0.433 \times ODR$ で-3dB (6 レート)
- ▶ sinc5、低レイテンシ・フィルタ、 $0.204 \times ODR$ で-3dB (8 レート)
- ▶ sinc3、低レイテンシ・フィルタ、 $0.2617 \times ODR$ で-3dB、データ・レートは広範囲にプログラム可能

デジタル・フィルタ設定の詳細については、デジタル・フィルタ処理のセクションを参照してください。

デシメーション・レートと出力データ・レート

ADAQ7769-1 は、広帯域低リップル FIR、sinc3、sinc5 の各デジタル・フィルタ用にプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。PIN 制御モードを用いる場合のフィルタの選択とデシメーション・レートの設定を表 28 に示します。一方、SPI 制御モードでは、デジタル・フィルタおよびデシメーション制御レジスタ (レジスタ 0x19) にレジスタ書き込みが必要です。SPI を用いて sinc3 用にデシメーション・レートを設定するには、sinc3 デシメーション・レート (MSB) レジスタと sinc3 デシメーション・レート (LSB) レジスタが必要です。

ADAQ7769-1 の ODR を計算するには、次式を使用します。

$$ODR = \frac{f_{MOD}}{DEC_RATE} \quad (20)$$

ADC の消費電力モード

ADC コアの消費電力モードは MCLK_DIV の設定と一致する必要があります。ADAQ7769-1 のデフォルトの消費電力設定は低消費電力モードです。最高性能を発揮するには、電力およびクロック制御レジスタで MCLK_DIV = 2 に設定し、ADC_MODE ビット (レジスタ 0x15、ビット[1:0]) に 11 を書き込んで、ADC_MODE を高速電力モードに変更します。

基本的なレジスタ・セットアップ

起動時における ADAQ7769-1 のレジスタ書き込みの基本的な流れを図 156 に示します。

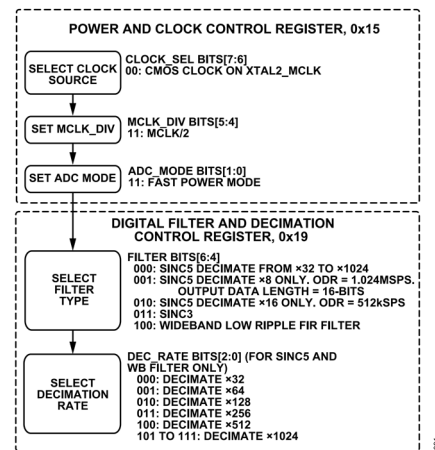


図 156. ADAQ7769-1 の基本的なレジスタ・セットアップ

クイック・スタートアップ・ガイド

クイック・スタートの例

広帯域低リップル FIR フィルタ

例えば、ADAQ7769-1 を次の条件で動作させます。

- ▶ CMOS クロックを MCLK ソースに設定
- ▶ MCLK 分周器を 2 に設定（推奨）
- ▶ ADC の消費電力モードを高速電力モードに設定（推奨）
- ▶ 広帯域低リップル FIR フィルタを使用
- ▶ デシメーション・レートを 32 に設定

これに相当する連続的な SPI 書込みは次のとおりです。

- ▶ [電力およびクロック制御レジスタ](#)（レジスタ 0x15）にデータ 0x33 を書き込む
- ▶ [デジタル・フィルタおよびデシメーション制御レジスタ](#)（レジスタ 0x19）にデータ 0x40 を書き込む

ODR = 1.024MSPS

アプリケーションの ODR が 1.024MSPS の場合は、以下の手順が必要です。

- ▶ 16.384MHz の MCLK
- ▶ MCLK 分周器を 2 に設定
- ▶ ADC の消費電力モードを高速モードに設定
- ▶ sinc5 フィルタ
- ▶ デシメーション・レートを 8 に設定（16 ビットの出力データ長）

デシメーション・レートを 8 に設定して sinc5 フィルタを使用した場合、ADAQ7769-1 は出力データ長を 24 ビットではなく 16 ビットに自動的に変更します。これは、この特定の使用事例が量子化ノイズの制限を受けるためです。CMOS MCLK ソースを仮定すると、相当する連続的な SPI 書込みは次のとおりです。

- ▶ [電力およびクロック制御レジスタ](#)（レジスタ 0x15）にデータ 0x33 を書き込む
- ▶ [デジタル・フィルタおよびデシメーション制御レジスタ](#)（レジスタ 0x19）にデータ 0x10 を書き込む

ノイズ性能

シグナル・チェーンのノイズ性能は、アプリケーションの入力範囲および ADAQ7769-1 に必要な ODR に強く依存します。入力範囲は選択した PGA_GAIN と AAF_GAIN によって変化しますが、デバイスの ODR は MCLK と設定したデシメーション・レートによって決まります。どのデジタル・フィルタについても、ODR を計算するには次式を使用します。

$$f_{MOD} = \frac{MCLK}{MCLK_DIV} \quad (21)$$

$$ODR = \frac{f_{MOD}}{DEC_RATE} \quad (22)$$

ここで、

f_{MOD} は ADC 変調器の周波数。

MCLK はコントローラのクロック周波数。

MCLK_DIV は、ADAQ7769-1 に入力される MCLK と ADC 変調器が使用するクロックの分周比。

DEC_RATE は、デシメーション・レート。

ノイズ性能は使用するデジタル・フィルタのタイプによっても変わり、それぞれが異なる -3dB 帯域幅を持ちます。ADAQ7769-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル FIR フィルタ、 $0.433 \times ODR$ で -3dB
- ▶ sinc5 低レイテンシ・フィルタ、 $0.204 \times ODR$ で -3dB
- ▶ sinc3 低遅延フィルタ、 $0.2617 \times ODR$ で -3dB

DEC_RATE、MCLK、MCLK_DIV、およびデジタル・フィルタのタイプは、ユーザによって異なる場合があります。設定方法にも PIN モードと SPI モードの違いがあります（[デバイスの設定方法](#)のセクションを参照）。

表 32～表 40 に、様々な ODR 値、PGA_GAIN、および AAF_GAIN における ADAQ7769-1 の各種デジタル・フィルタのノイズ性能を示します。仕様規定されているノイズ値は、4.096V の外部リファレンス (V_{REF}) での代表値です。実効値ノイズは IN ピンを AGND に短絡して測定しています。

AAF_GAIN = IN1_AAF

表 32. 広帯域低リップル FIR フィルタの実効値ノイズ性能 (μV_{rms}) と ODR の関係 (IN1_AAF、 $V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance (μV_{rms})							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	110.8	12.00	6.70	4.05	2.78	2.18	1.90	1.73	1.57
16.384	64	128	55.4	8.10	4.54	2.79	1.94	1.54	1.34	1.25	1.19
16.384	128	64	27.7	5.69	3.19	1.96	1.37	1.09	1.95	0.89	0.86
16.384	256	32	13.9	4.02	2.26	1.40	0.97	0.77	0.68	0.64	0.62
16.384	512	16	6.9	2.82	1.65	0.95	0.69	0.55	0.49	0.45	0.44
16.384	1,024	8	3.5	2.03	1.13	0.71	0.49	0.39	0.35	0.32	0.31
13.107	32	204.8	88.7	11.78	6.43	3.81	2.56	1.98	1.71	1.57	1.44
13.107	64	102.4	44.3	7.95	4.40	2.62	1.78	1.39	1.21	1.12	1.07
13.107	128	51.2	22.2	5.56	3.06	1.84	1.26	0.98	0.86	0.80	0.77
13.107	256	25.6	11.1	3.94	2.18	1.30	0.89	0.70	0.61	0.57	0.55

表 33. sinc5 フィルタの実効値ノイズ性能 (μV_{rms}) と ODR の関係 (IN1_AAF、 $V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance (μV_{rms})							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	8	1,024 (16-bit)	208.9	59.89	30.30	15.48	8.23	4.74	3.13	2.36	1.87
16.384	16	512	104.4	13.53	7.37	4.35	2.90	2.22	1.90	1.70	1.51
16.384	32	256	52.2	8.23	4.60	2.80	1.94	1.53	1.34	1.24	1.16
16.384	64	128	26.1	5.68	3.18	1.96	1.36	1.09	0.95	0.89	0.85
16.384	128	64	13.1	3.99	2.26	1.38	0.98	0.78	0.68	0.64	0.61
16.384	256	32	6.5	2.86	1.60	0.99	0.69	0.55	0.49	0.46	0.44
13.107	32	204.8	41.8	8.02	4.41	2.65	1.78	1.39	1.20	1.12	1.05
13.107	64	102.4	20.9	5.60	3.10	1.84	1.25	0.98	0.85	0.80	0.77
13.107	128	51.2	10.4	3.93	2.16	1.30	0.89	0.69	0.61	0.57	0.55
13.107	256	25.6	5.2	2.82	1.53	0.93	0.64	0.50	0.44	0.41	0.40

ノイズ性能

表 34. sinc3 フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN1_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	67.0	18.50	9.91	4.94	3.11	2.08	1.55	1.37	1.27
16.384	128	64	16.7	4.43	2.44	1.52	1.07	0.88	0.74	0.69	0.70
16.384	512	16	4.2	2.20	1.24	0.77	0.56	0.44	0.39	0.36	0.36
16.384	2,048	4	1.05	1.16	0.65	0.39	0.28	0.22	0.20	0.18	0.18
16.384	8,192	1	0.26	0.66	0.37	0.22	0.15	0.14	0.11	0.11	0.10
16.384	163,840	0.05	0.013	0.37	0.22	0.12	0.08	0.05	0.05	0.04	0.04

AAF_GAIN = IN2_AAF

表 35. 広帯域低リップル FIR フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN2_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	110.848	31.47	15.82	8.34	4.56	2.82	2.12	1.77	1.58
16.384	64	128	55.4	21.21	11.05	5.48	3.09	1.90	1.45	1.30	1.20
16.384	128	64	27.7	14.49	7.54	3.94	2.17	1.98	1.03	0.91	0.85
16.384	256	32	13.9	10.24	5.43	2.80	1.57	0.98	0.73	0.65	0.63
16.384	512	16	6.9	7.40	3.75	1.98	1.10	0.68	0.52	0.47	0.46
16.384	1,024	8	3.5	5.21	2.71	1.36	0.78	0.51	0.38	0.33	0.33
13.107	32	204.8	88.7	31.51	15.88	8.68	4.68	2.84	2.11	1.78	1.59
13.107	64	102.4	44.3	21.70	10.57	5.62	3.20	1.97	1.47	1.26	1.22
13.107	128	51.2	22.2	14.79	7.47	3.95	2.15	1.43	1.04	0.90	0.86
13.107	256	25.6	11.1	10.27	5.34	2.74	1.60	1.01	0.74	0.65	0.61

表 36. sinc5 フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN2_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	8	1,024 (16-bit)	208.9	166.49	84.02	43.95	20.32	10.46	5.19	2.74	1.56
16.384	16	512	104.4	32.37	16.70	8.48	4.33	2.14	1.20	0.78	0.66
16.384	32	256	52.2	20.40	10.20	5.06	2.67	1.39	0.80	0.55	0.47
16.384	64	128	26.1	14.5	7.27	3.49	1.80	0.97	0.57	0.40	0.34
16.384	128	64	13.1	9.80	4.97	2.49	1.28	0.67	0.40	0.28	0.24
16.384	256	32	6.5	6.95	3.32	1.75	0.88	0.48	0.28	0.22	0.19
13.107	32	204.8	41.8	21.46	10.81	5.73	3.18	2.04	1.49	1.30	1.17
13.107	64	102.4	20.9	14.30	7.43	3.99	2.07	1.39	1.04	0.92	0.86
13.107	128	51.2	10.4	10.45	5.20	2.76	1.51	0.95	0.76	0.65	0.61
13.107	256	25.6	5.2	7.31	3.86	1.95	1.07	0.70	0.54	0.47	0.45

ノイズ性能

表 37. sinc3 フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN2_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	67.0	48.00	24.40	12.30	6.05	3.02	1.66	0.89	0.63
16.384	128	64	16.7	11.79	5.98	3.07	1.80	1.12	0.84	0.73	0.70
16.384	512	16	4.2	6.07	3.04	1.60	0.90	0.58	0.43	0.37	0.36
16.384	2,048	4	1.05	3.05	1.50	0.85	0.47	0.29	0.22	0.20	0.19
16.384	8,192	1	0.26	1.68	0.93	0.46	0.28	0.16	0.12	0.12	0.11
16.384	163,840	0.05	0.013	1.08	0.73	0.25	0.12	0.08	0.08	0.06	0.07

AAF_GAIN = IN3_AAF

表 38. 広帯域低リプル FIR フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN3_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	110.8	80.80	39.70	20.30	10.20	5.23	3.16	2.08	1.69
16.384	64	128	55.4	53.60	26.70	13.50	6.71	3.72	2.11	1.45	1.29
16.384	128	64	27.7	37.30	19.00	9.03	4.86	2.52	1.46	1.05	0.90
16.384	256	32	13.9	26.26	13.30	6.81	3.42	1.73	1.01	0.75	0.66
16.384	512	16	6.9	18.40	9.08	4.81	2.32	1.27	0.73	0.54	0.45
16.384	1,024	8	3.5	12.99	6.64	3.37	1.71	0.91	0.52	0.38	0.33
13.107	32	204.8	88.7	78.68	39.11	20.25	10.21	5.22	2.90	1.99	1.51
13.107	64	102.4	44.3	53.74	26.44	12.87	6.71	3.63	1.96	1.39	1.13
13.107	128	51.2	22.2	36.61	18.18	9.08	4.63	2.55	1.42	1.01	0.82
13.107	256	25.6	11.1	26.29	13.09	6.49	3.28	1.75	1.02	0.71	0.58

表 39. sinc5 フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN3_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	8	1,024 (16-bit)	208.9	430.00	212.66	108.90	52.05	27.00	13.56	7.12	3.76
16.384	16	512	104.4	91.10	45.70	23.00	11.60	6.04	3.37	2.19	1.66
16.384	32	256	52.2	54.20	27.10	13.60	6.93	3.74	2.15	1.50	1.22
16.384	64	128	26.1	37.00	18.70	9.51	4.88	2.52	1.50	1.06	0.89
16.384	128	64	13.1	26.10	13.20	6.67	3.36	1.78	1.05	0.75	0.64
16.384	256	32	6.5	18.40	9.31	4.66	2.38	1.27	0.74	0.53	0.46
13.107	32	204.8	41.8	53.20	26.00	13.90	6.65	3.68	1.98	1.39	1.14
13.107	64	102.4	20.9	35.91	18.70	9.46	4.66	2.41	1.41	0.99	0.82
13.107	128	51.2	10.4	26.20	12.90	6.41	3.37	1.71	0.97	0.71	0.57
13.107	256	25.6	5.2	18.11	9.35	4.54	2.40	1.21	0.69	0.49	0.42

ノイズ性能

表 40. sinc3 フィルタの実効値ノイズ性能 (μVrms) と ODR の関係 (IN3_AAF 、 $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3dB Bandwidth (kHz)	RMS Noise Performance ($\mu\text{V rms}$)							
				PGA_GAIN = 1	PGA_GAIN = 2	PGA_GAIN = 4	PGA_GAIN = 8	PGA_GAIN = 16	PGA_GAIN = 32	PGA_GAIN = 64	PGA_GAIN = 128
16.384	32	256	67.0	134.43	64.75	33.85	16.45	8.30	4.47	2.49	1.65
16.384	128	64	16.7	29.47	15.34	7.76	3.80	2.03	1.01	0.85	0.71
16.384	512	16	4.2	15.03	7.47	3.63	1.92	1.04	0.57	0.43	0.36
16.384	2,048	4	1.05	7.39	3.75	1.94	0.99	0.52	0.32	0.22	0.19
16.384	8,192	1	0.26	4.65	2.06	1.05	0.57	0.28	0.17	0.12	0.10
16.384	163,840	0.05	0.013	2.15	1.11	0.51	0.25	0.15	0.08	0.05	0.04

デジタル・インターフェース

ADAQ7769-1には4線式SPIがあります。このインターフェースはSPIモード3で動作します。SPIモード3ではSCLKがアイドル・ハイになり、最初のデータはSCLKの最初の立下がりエッジ（起動エッジ）に同期して出力され、立上がりエッジ（サンプル・エッジ）に同期して入力されます。SPIモード3の動作を図157と図158に示します。この図ではSCLKの立下がりエッジでデータを出力し、SCLKの立上がりエッジでデータをサンプリングしています。

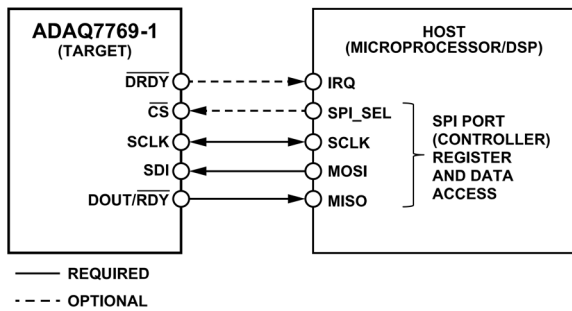


図 157. シリアル・ポートの基本接続図



図 158. SPIモード3

デジタル・インターフェース

SPI での読出しと書込み

SPI 制御モードを使用するには、 $\overline{\text{PIN}}/\text{SPI}$ ピンをハイに設定します。SPI 制御は 4 線式インターフェースとして動作し、読出し/書込みアクセスが可能です。絶縁を必要とするシステムなどのように $\overline{\text{CS}}$ がローに接続されることがある場合は、3 線式構成で ADAQ7769-1 を使用することができます。図 157 に、ADAQ7769-1 とデジタル・ホストの代表的な接続例を示します。対応する 3 線式インターフェースでは $\overline{\text{CS}}$ ピンをローに接続して、SCLK、SDI、および DOUT/ $\overline{\text{RDY}}$ を使用する必要があります。

SPI 読出しまたは書込みのフォーマットを図 159 に示します。読出し動作でも書込み動作でも MSB が最初のビットです。アクティブ・ローのフレーム開始信号 ($\overline{\text{FS}}$) がトランザクションを

開始し、その後に R/ $\overline{\text{W}}$ ビットが続きます。R/ $\overline{\text{W}}$ ビットは、実行するトランザクションが読出し (1) か書込み (0) かを決定します。その次の 6 ビットはアドレスに使われ、その後に書込み対象である 8 ビットのデータが続きます。ADAQ7769-1 内のレジスタは、24 ビット幅の ADC_DATA レジスタ (レジスタ 0x2C) を除いて全て 8 ビット幅です。 $\overline{\text{CS}}$ をローに接続した場合は最後の SCLK 立上がりエッジで SPI トランザクションを完了し、インターフェースをリセットします。 $\overline{\text{CS}}$ をローに維持してデータをリードバックする場合は、デバイスを誤ってリセットして SCLK が自走クロックとして動作するのを避けるために、SDI をアイドル・ハイにすることを推奨します (リセットのセクションを参照)。

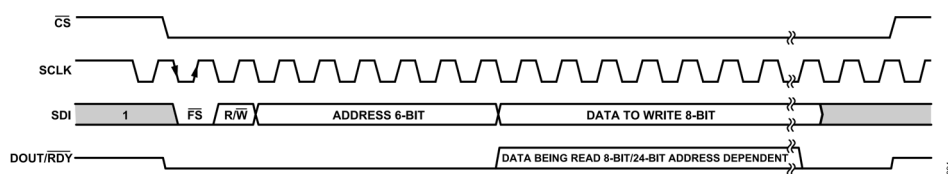
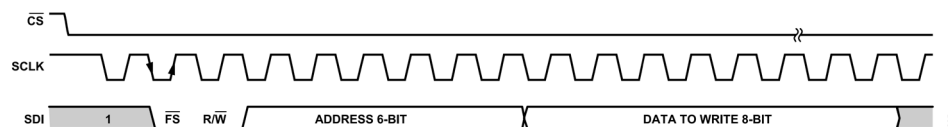
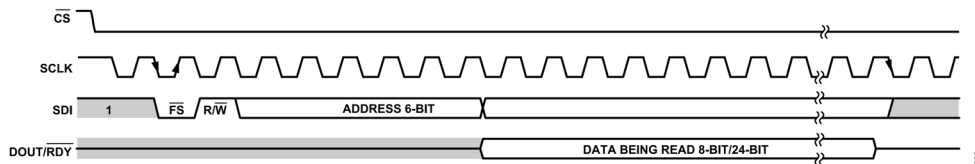


図 159. SPI の基本の読出しおよび書込みフレーム

図 160. 3 線式 SPI 書込みフレーム ($\overline{\text{CS}} = 0$)図 161. 3 線式 SPI 読出しフレーム ($\overline{\text{CS}} = 0$)

デジタル・インターフェース

SPI 制御インターフェースのエラー処理

ADAQ7769-1 SPI 制御インターフェースは、不正なコマンドの受信を検出します。不正なコマンドとは、読出し専用レジスタへの書き込み、存在しないレジスタ・アドレスへの書き込み、または存在しないレジスタ・アドレスからの読出しです。ADAQ7769-1 がこれらの不正なコマンドのいずれかを受信すると、SPI_DIAG_STATUS レジスタ（レジスタ 0x2E）にエラー・ビットがセットされます。SPI エラー・レジスタのセクションを参照してください。

検出できる SPI エラーのソースは 5 つです。これらの検出可能エラー・ソースは、SPI_DIAG_ENABLE レジスタ（レジスタ 0x28）でイネーブルしておく必要があります。SPI 診断制御レジスタのセクションを参照してください。起動時には EN_ERR_SPI_IGNORE ビット（レジスタ 0x28、ビット 4）エラーのみがイネーブルされます。

検出可能な 5 つの SPI エラー・ソースは以下のとおりです。

- ▶ SPI CRC エラー。このエラーは、受信 CRC/XOR（排他的 OR）が計算 CRC/XOR と一致しないときに発生します。
- ▶ SPI 読出しエラー。このエラーは、誤った読出しアドレスが検出されたときに発生します（例えば、存在しないレジスタにアクセスしようとした場合）。
- ▶ SPI 書き込みエラー。このエラーは、誤ったアドレスへの書き込みが検出されたときに発生します（例えば、存在しないレジスタに書き込みをしようとした場合）。
- ▶ SPI クロック・カウント・エラー。SPI トランザクションが \overline{CS} によって制御されている場合に、フレームの間の SPI クロック・カウントが 8、16、24、32、または 40 のいずれでもない場合、このエラーがフラグされます。このエラーは、連続読出しモードと通常の SPI モードの両方で検出することができます。
- ▶ SPI 無視エラー。初期起動の完了前に SPI トランザクションを実行しようすると、このエラーがフラグされます。

全ての SPI エラー・ビットはスティッキー・ビットです。つまり、該当するエラー位置にそのユーザが 1 を書き込んだ場合にのみクリア可能です。

シリアル・インターフェースでの CRC チェック

ADAQ7769-1 では、各変換結果に最大 40 ビットを含めることができます。これらのビットは 24 ビットのデータと 8 個のステータス・ビットで構成され、SPI モードの場合のみ 8 個の CRC/XOR チェック・ビットをオプションで追加できます。

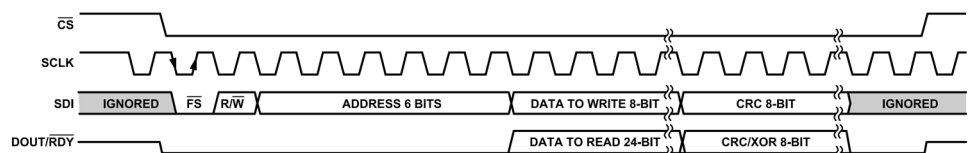


図 162. CRC 使用時のデータ出力フォーマット

ステータス・ビットのデフォルト設定については、ステータス・ヘッダのセクションを参照してください。CRC 機能は、SPI 制御モードで動作している場合にのみ使用できます。CRC 機能の使用時は、CRC メッセージが ADAQ7769-1 によって内部で計算されます。次に、変換結果とオプションのステータス・ビットの末尾に CRC が追加されます。

ADAQ7769-1 は CRC 多項式を使用して CRC メッセージを計算します。使用する 8 ビットの CRC 多項式は $x^8 + x^2 + x + 1$ です。

チェックサムを生成するには、データを 8 ビットシフトして、8 個のロジック 0 で終わる値を作成します。

多項式の MSB が、「コマンド・ビットおよびレジスタ・データ」の最も左にあるロジック 1 と合うように、多項式の値の位置決めを実行します。例えば、0xABCDEF からなる ADC_DATA データを読み出すとすると以下ようになります。

Initial Value = Frame Start Bit + R/W Bit + ADDR[5:0] + ADC_DATA[23:0]

Initial Value = 0x6CABCDEF

XOR 関数をデータに適用して短い数値を新たに生成します。多項式の MSB が新たなデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをし直します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビット・チェックサムです。この例では、CRC チェックサムは 0x9E です。

SPI 書き込みをイネーブルした場合は、INTERFACE_FORMAT レジスタ（レジスタ 0x14）で XOR オプションが選択されているかどうかに関わらず、SPI 書き込みには常に CRC が使われます。インターフェース・フォーマット制御レジスタのセクションを参照してください。SPI トランザクションの初期 CRC チェックサムは 0x00 です。ただし連続読出しモードでデータをリードバックする場合を除きます。この場合の初期 CRC チェックサムは 0x03 になります。

連続読出しモードで XOR オプションを使用する場合は、初期値は 0x6C に設定されます。XOR オプションは SPI 読出しでのみ使用できます。

デジタル・インターフェース

多項式 CRC 計算の例 (24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ))

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

```

011001010100001100100001      = Initial Value
01100101010000110010000100000000 left shifted eight bits
100000111                        = x^8 + x^2 + x + 1 polynomial value
100100100000110010000100000000 XOR result
100000111                        polynomial value
1000110001100100001000000000 XOR result
100000111                        polynomial value
111111001000010000000000 XOR result
100000111                        polynomial value
111110111000010000000000 XOR result
100000111                        polynomial value
1111000000001000000000 XOR result
100000111                        polynomial value
1110011100010000000000 XOR result
100000111                        polynomial value
11001001001000000000 XOR result
100000111                        polynomial value
10010101010000000000 XOR result
100000111                        polynomial value
1011011000000000 XOR result
100000111                        polynomial value
11010110000000 XOR result
100000111                        polynomial value
101010110000 XOR result
100000111                        polynomial value
1010001000 XOR result
100000111                        polynomial value
10000110 XOR result; checksum = 0x86

```

XOR 計算の例 (24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ))

前の例と同じ例を使うとして、次のように 3 バイト (0x65、0x43、0x21) に分割できます。

```

01100101 0x65
01000011 0x43
00100110 XOR result
00100001 0x21
00000111 XOR result; checksum = 0x07

```

デジタル・インターフェース

変換読出しモード

ADAQ7769-1 のデジタル・インターフェースは、モード 3 SPI で動作する 4 線式 SPI 実装です。メモリ・マップ・アドレス空間にアクセスするには、8 ビットの書込み命令が必要です。ADC データ・レジスタを除き、レジスタは全て 8 ビット幅です。ADAQ7769-1 のデフォルト動作モードは連続変換モードです。データを読み出すかどうかはユーザが決定する必要があります。ADC の変換結果へのアクセスには、シングル変換および連続読出しモードの 2 つの読出しモードを使用できます。

シングル変換読出しモードが基本的な SPI 読出しサイクルで、この場合 ADC データ・レジスタを読み出すには 8 ビットの命令を書き込む必要があります。ステータス・レジスタは、必要に応じて個別に読み出さなければなりません。

連続読出しモードにするには、**インターフェース・フォーマット制御レジスタ**（レジスタ 0x14）の LSB に 1 を書き込みます。その後のデータ読出しでは、ADC_DATA レジスタへのクエリを行うために最初に 8 ビットを書き込む必要はありません。データの連続リードバックを行うために必要なのは、必要な数の SCLK を入力することだけです。**シングル変換読出しモード**のセクションに連続モードでの SPI 読出しを示します。

インターフェースに関して考慮すべき重要な点は以下のとおりです。

- ▶ 変換データは、 $\overline{\text{DRDY}}$ の立上がりエッジ後にリードバック可能な状態になります。連続読出しモードでは、 $\overline{\text{RDY}}$ 機能をイネーブルして $\overline{\text{DRDY}}$ 機能を無視することができます。データは $\overline{\text{RDY}}$ の立下がりエッジでリードバック可能な状態になります。
- ▶ ADC 変換データ・レジスタは、 $\overline{\text{DRDY}}$ の立上がりエッジよりも MCLK の 1 周期分前の時点で内部で更新されます。
- ▶ MCLK の最大周波数は 16.384MHz です。
- ▶ SCLK の最大周波数は 20MHz です。
- ▶ $\overline{\text{DRDY}}$ のハイ時間は $1 \times t_{\text{MCLK}}$ です。
- ▶ 高速消費電力モードにおけるデシメーション・レートは 32、 $\overline{\text{DRDY}}$ の周期は約 4 μs で、最速変換時の $\overline{\text{DRDY}}$ の周期は 1 μs になります。
- ▶ シリアル・データ・インターフェースのリセットは $\overline{\text{CS}}$ の立上がりエッジで行われます。 $\overline{\text{CS}}$ をローに接続した場合は、SPI トランザクションの最後の SCLK 立上がりエッジでシリアル・インターフェースがリセットされます。インターフェースがリセットされるポイントは、通常読出し動作で $16 \times \text{SCLK}$ 、ADC 変換データおよびステータス・ヘッダと CRC ヘッダをリードバックする場合で最大 40SCLK に相当します。

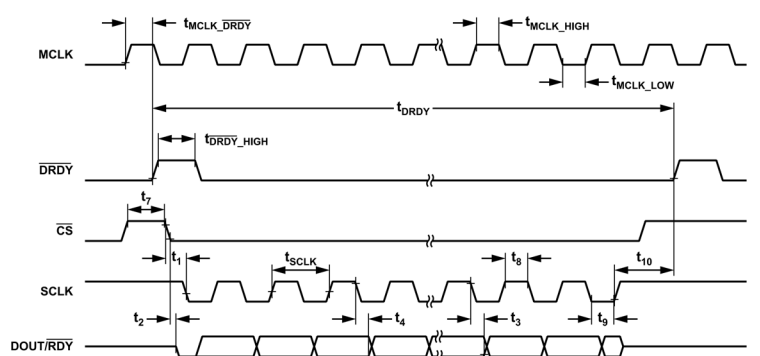


図 163. シリアル・インターフェースのタイミング図（例示したのは連続読出しモードでの ADC 変換結果読出し）

デジタル・インターフェース

シングル変換読出しモード

シングル変換読出しモード使用時、ADC_DATA レジスタへのアクセスは、通常の SPI 読出しトランザクションと同様の方法で行うことができます。ADC_DATA レジスタ（レジスタ 0x2C）は 24 ビット幅です。変換結果レジスタのセクションを参照してください。したがって、変換結果を読み出すには 32SCLK サイクルが必要です。

連続読出しモード

ADC データ・レジスタを読み出すためにその都度コマンドを書き込まなければならないというオーバーヘッドをなくすため、データ・レディ信号が出力された後に ADC レジスタを直接読み出せるよう、ADC を連続読出しモードにすることができます（図 163 参照）。連続読出しモードでは、最初に受信した SCLK の立下がりエッジでデータが出力されます。したがって、変換結果を読み出すのに必要な SCLK サイクルは 24 サイクルだけです。この連続読出しモードでは、1 つまたは両方のステータス、もしくは CRC ヘッダー（それぞれ 8 ビット）を変換結果に追加することも可能です。ステータス・ヘッダーと CRC ヘッダーの両方がイネーブルされている場合、データ・フォーマットは「ADC データ + ステータス・ビット + CRC」です。

図 164 に示すように、 $\overline{\text{RDY}}$ 機能を使用しない場合は、 $\overline{\text{DRDY}}$ 周期内で ADC 変換結果を複数回読み出すことができます。 $\overline{\text{RDY}}$ 機能をイネーブルした場合は、ADAQ7769-1 の変換結果を読み出した後に DOUT/ $\overline{\text{RDY}}$ ピンがハイになるので、データを複数回読み出すことはできません（図 165 参照）。 $\overline{\text{RDY}}$ 機能は、インターフェース・フォーマット制御レジスタの EN_RDY_DOUT ビット（レジスタ 0x14、ビット 2）をロジック・ローにセットすることでイネーブルできます。

連続リードバックは、 $\overline{\text{PIN}}$ 制御モードで使用するリードバック・モードです。ただしこのモードでは、データ出力フォーマットが固定され、DOUT ピンに $\overline{\text{RDY}}$ 用のオプションはありません。詳細については、 $\overline{\text{PIN}}$ 制御モードの概要のセクションを参照してください。

LV_BOOST ビット（インターフェース・フォーマット制御レジスタ、レジスタ 0x14 のビット 7）をイネーブルして連続読出しモードを使用する場合は、連続読出しモードを終了するごとに LV_BOOST を再度イネーブルする必要があります。

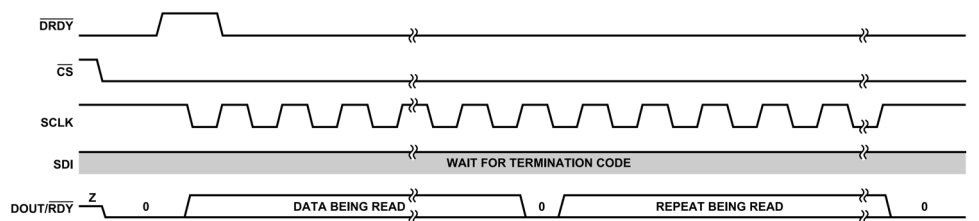


図 164. $\overline{\text{RDY}}$ 機能をディスエーブルした場合の連続 ADC 読出しデータ・フォーマット

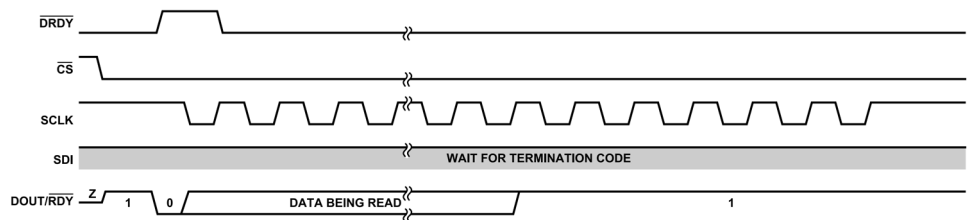


図 165. DOUT/ $\overline{\text{RDY}}$ ピンの $\overline{\text{RDY}}$ 機能をイネーブルした場合の連続 ADC 読出しデータ・フォーマット

デジタル・インターフェース

連続読出しモードの終了

連続読出しモードを終了するには、キー0x6CをSDIに書き込みます。このキーは、レジスタ・マップへのアクセスをもう一度可能にして、デバイスの追加構成を行えるようにします。通常のSPI書き込みに従うには、このキーの入力後に \overline{CS} 信号を使用してSPIをリセットします。 \overline{CS} を制御できずローに固定されている場合は、SPIの同期を保てるようにトランザクションを完了させるのに16SCLKが必要です。例えば \overline{CS} がローに固定されてい

る場合、3線式インターフェースを使用するときは0x006Cを書き込んで連続読出しモードを終了します。デバイスが連続読出しモードを正常に終了できるようにするには、2つの \overline{DRDY} パルスの間に終了コマンドを書き込む必要があります。

このモードではソフトウェア・リセットも終了コマンドと同じ方法で書き込むことができますが、0x6Cではなく0xADを書き込むことによって行います。

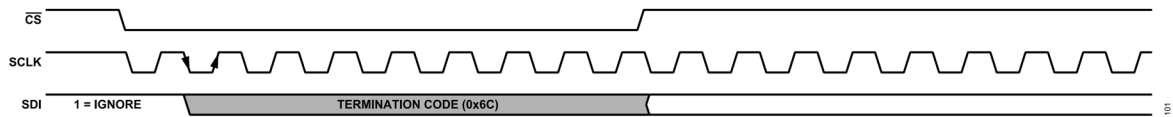


図 166. 連続読出しモードの終了 (\overline{CS} がトグル)

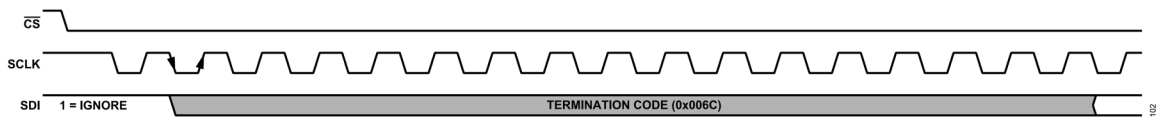


図 167. 連続読出しモードの終了 ($\overline{CS} = 0$)

データ変換モード

SPI 制御モードでは、以下の 4 つのデータ変換モードを使用できます。

- ▶ 連続変換
- ▶ ワンショット変換
- ▶ シングル変換
- ▶ デューティサイクル変換

デフォルトの変換モードは連続変換です。変換モードを変更するには、**変換ソース選択およびモード制御レジスタ**の CONV_MODE ビット (レジスタ 0x18、ビット[2:0]) に書き込みを行います。フィルタ設定やデータ変換モードなどの変更を含め、ADAQ7769-1 の設定に何らかの変更を加えた場合は、**SYNC_IN** パルスをデバイスに入力する必要があります。

連続変換モード

連続変換モードでは、ADC が連続的に変換を行い、ODR によって決まる間隔で新しい ADC 結果を使用できるようになります。これは、SPI 制御モードのデフォルト変換動作であり、広帯域低リップル FIR フィルタで利用できる唯一のデータ変換モードです。SPI 制御モードでは 2 つのデータ・リードバック方法を使用できますが、これらについては**変換読出しモード**のセクションに示します。

ワンショット変換モード

図 168 にワンショット変換モードで動作しているデバイスを示します。このモードでは、DSP や FPGA などのコントローラ・デバイスのリクエストによって変換が行われます。**SYNC_IN** ピンが、データ出力を開始するコマンドを受信します。

ワンショット変換モードでは ADC が連続して動作します。ただし、**SYNC_IN** ピンの立上がりで、データ出力を開始する時間的ポイントを制御します。

データを受信するには、コントローラ・デバイスが **SYNC_IN** ピンにパルスを入力して、フィルタをリセットし **DRDY** をロー・レベルにする必要があります。その後 **DRDY** がハイ・レベルになって、セトリングされた有効なデータをデバイスで使用できることをコントローラ・デバイスに示します。

コントローラが **SYNC_IN** をアサートして ADAQ7769-1 がこの信号の立上がりエッジを受信すると、デジタル・フィルタがリセットされ、フィルタの全セトリング・タイム経過後にデータが安定して、出力が使用可能になります。セトリング・タイムの期間は、フィルタ・パスとデシメーション・レートによって決まります。ワンショット変換モードは sinc5 または sinc3 フィルタとのみ使用可能です。これは、これらのフィルタのセトリング・タイムが最も短いことによります。ワンショット変換モードを、広帯域低リップル FIR フィルタを使用するためのオプションとして使用することはできません。

セトリングしたデータが使用できるようになると、**DRDY** 信号がパルス出力されます。**SYNC_IN** 信号から ADC バスのデータのセトリングが完了するまでの時間 (t_{SETTLED}) を図 168 に示します。セトリングしたデータが使用できるようになると、**DRDY** がハイにアサートされて変換結果を読み出せるようになります。その後、デバイスは別の **SYNC_IN** 信号を待機してから、更にデータを出力します。

セトリング・タイムは使用フィルタのセトリング・タイムを基準に計算され、ワンショット変換を開始するためにある程度のレイテンシが追加されます。このセトリング・タイムが、ワンショット変換モードにおける実現可能な全体的スループットを制限します。

ADC は連続的にサンプリングを行うので、ワンショット変換モードは ADAQ7769-1 のサンプリング規則に影響を与えます。

SYNC_IN パルスをデバイスに定期的を送信することは、ADC 出力をサブサンプリングすることになります。ここで、このサブサンプリング・レートを中心とする帯域幅が、ベースバンドにエイリアスとして現れる可能性があります。サンプリングをコヒーレントなものとし、周波数応答へのジッタの影響を軽減するために、**SYNC_IN** パルスをコントローラ・クロックと同期させ続けることを検討してください。これを行わないと、出力に大きな歪みが生じます。

必要とされる ADAQ7769-1 の SPI 構成は、ワンショット変換モードへの切り替え前に連続変換モードで行います。

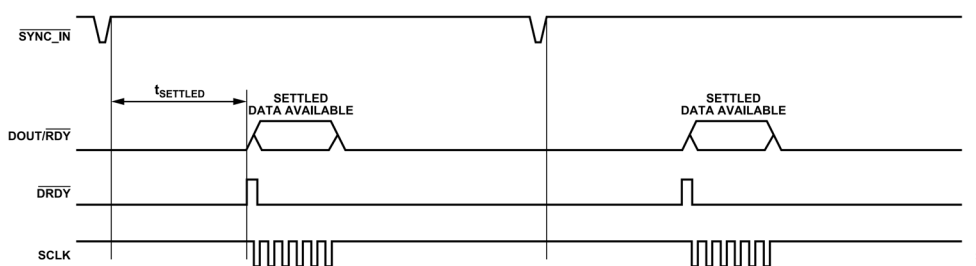


図 168. ワンショット変換モード、外部ソースで **SYNC_IN** ピンを駆動

データ変換モード

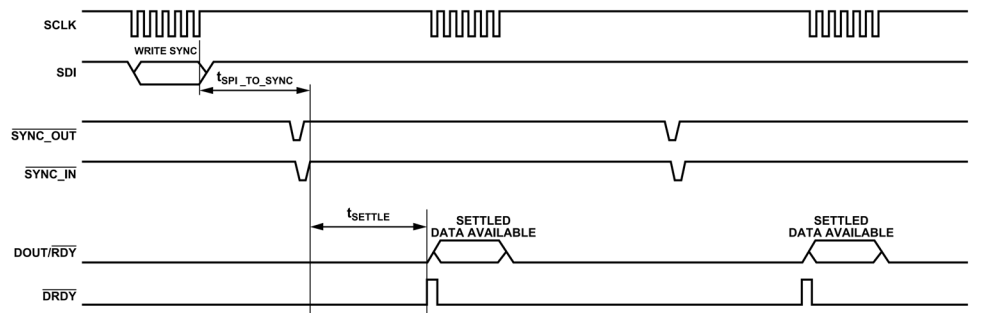


図 169. ワンショット変換モード、レジスタ書き込みによってSYNC_INパルスを開始

シングル変換モード

シングル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。低消費電力モードまたは中間消費電力モードでは、シングル変換モードのみを使用してください。読出しを開始してその後にADCの変換結果をリードバックするには、コマンドを送信する必要があります。スタンバイを終了して新しい変換を開始するには、SYNC_INピンのトグルを使用します。

M0_ADC および M1_ADC が M0_FDA および M1_FDA に接続されている場合、ADCがスタンバイになるとFDAも自動的にスタンバイになります（[完全差動アンプ（FDA）の消費電力モード](#)のセクションを参照）。

必要とされる ADAQ7769-1 の SPI 構成は、シングル変換モードへの切替え前に連続変換モードで行う必要があります。

デューティサイクル変換モード

デューティサイクル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。各変換の周期はユーザ設定可能で、ADC はスタンバイに戻る前に自動的にシングル変換を行い、設定された周期でシングル変換を繰り返します。低消費電力モードまたは中間消費電力モードでは、デューティサイクル変換モードのみを使用してください。デューティサイクル変換モードでは、DC ポイント変換の消費電力を減らし、変換のタイミングおよび開始に伴うオーバーヘッドをなくすための方法を使用できます。

デューティサイクル変換モードのシーケンスを開始するには、SYNC_INピンのトグルを使用します。DRDYは、結果がセトリングした時点でトグルを 1 回行います。デバイスはその後再びスタンバイになります。[周期的変換レート制御レジスタ](#)（レジスタ 0x1C）は、定義されたアイドル時間を制御します。

M0_ADC および M1_ADC が M0_FDA および M1_FDA に接続されている場合、ADCがスタンバイになるとFDAも自動的にスタンバイになります（[完全差動アンプ（FDA）の消費電力モード](#)のセクションを参照）。

必要とされる ADAQ7769-1 の SPI 構成は、デューティサイクル変換モードへの切り替え前に、連続変換モードで行う必要があります。

複数の ADAQ7769-1 デバイスの同期

1 つのシステム内で複数の ADAQ7769-1 デバイスを使用する場合は、同期が重要な考慮事項となります。各デバイスが同じベース MCLK 信号でクロックされていることが、複数のデバイスを同期するための基本的な条件です。ADAQ7769-1 の起動後、およびその設定に何らかの変更を加えた後は、いずれも ADAQ7769-1 に SYNC_IN パルスを入力してください。このパルスはデジタル・フィルタをフラッシュ・アウトしてデバイスを既知の設定とし、システム内の複数のデバイスを同期させる役割を果たします。

ADAQ7769-1 は、システムの同期を容易にする 3 つのオプションを備えています。どのオプションを選択するかはシステムによって決まります。ただし、考慮すべき最も基本的なことは、ベース MCLK 信号と完全に同期された同期パルスを供給できるかどうかということです。

ベース MCLK 信号に同期された信号を使用できない場合は、以下のいずれかの方法を使用します。

- ▶ システム内にある ADAQ7769-1 デバイスのうち 1 つのデバイスの GPIOx ピンを START 入力として設定し、設定した GPIOx ピンに START パルスを入力します。SYNC_OUT ピンの出力を、同じデバイスおよび同期する他の全てのデバイスの SYNC_IN 入力に接続してください。ADAQ7769-1 は非同期 START パルスをサンプリングし、ベース MCLK 信号を基準にローカル配布用の SYNC_OUT パルスを生成します。
- ▶ SPI を介して同期を行います（SPI 制御モードでのみ使用可能、図 153 を参照）。予め決められた ADC デバイスの 1 つに同期コマンドを書き込んでください。このデバイスの

SYNC_OUT ピンを、同じデバイスの SYNC_IN ピンおよび他のデバイスの SYNC_IN ピンにローカルで接続します。START ピンによる方法と同様に、1 つのデバイスによって SPI 同期が受信され、続いて、SYNC_OUT 信号がローカル・デバイスに送られて同期できるようになります。

ベース MCLK に同期した SYNC_IN 信号を使用できる場合は、SYNC_IN 同期信号をスター・ポイントから SYNC_IN ピンに入力して、それぞれの ADAQ7769-1 デバイスのピンに直接接続します。SYNC_IN 信号は MCLK の立上がりエッジでサンプリングされます。したがって、セットアップ・タイムとホールド・タイムは、ADAQ7769-1 の MCLK 立上がりエッジを基準とした SYNC_IN 入力に関連付けられています（図 7 を参照）。

この場合 SYNC_OUT は不要なので、無接続のままにするか VDD_IO に接続することができます。GPIOx は START 機能には不要なので、別の目的に使用できます。図 170 は、チャンネル間が絶縁されたシステムでの同期を示しています。

同期機能は、DRDY パルスの直後に実行することを推奨します。ADAQ7769-1 の SYNC_IN パルスの発生位置が次の DRDY パルス・エッジに近すぎる場合、SYNC_IN パルスがまだデバイス内に伝達されていないため、次の DRDY パルスがそのまま出力されることがあります。

1.8V の VDD_IO 電圧で SYNC_OUT 機能を使用する場合は、同期モードおよびリセット・トリガリング・レジスタの SYNC_OUT_POS_EDGE ビット（レジスタ 0x1D、ビット 6）を 1 に設定することを推奨します。

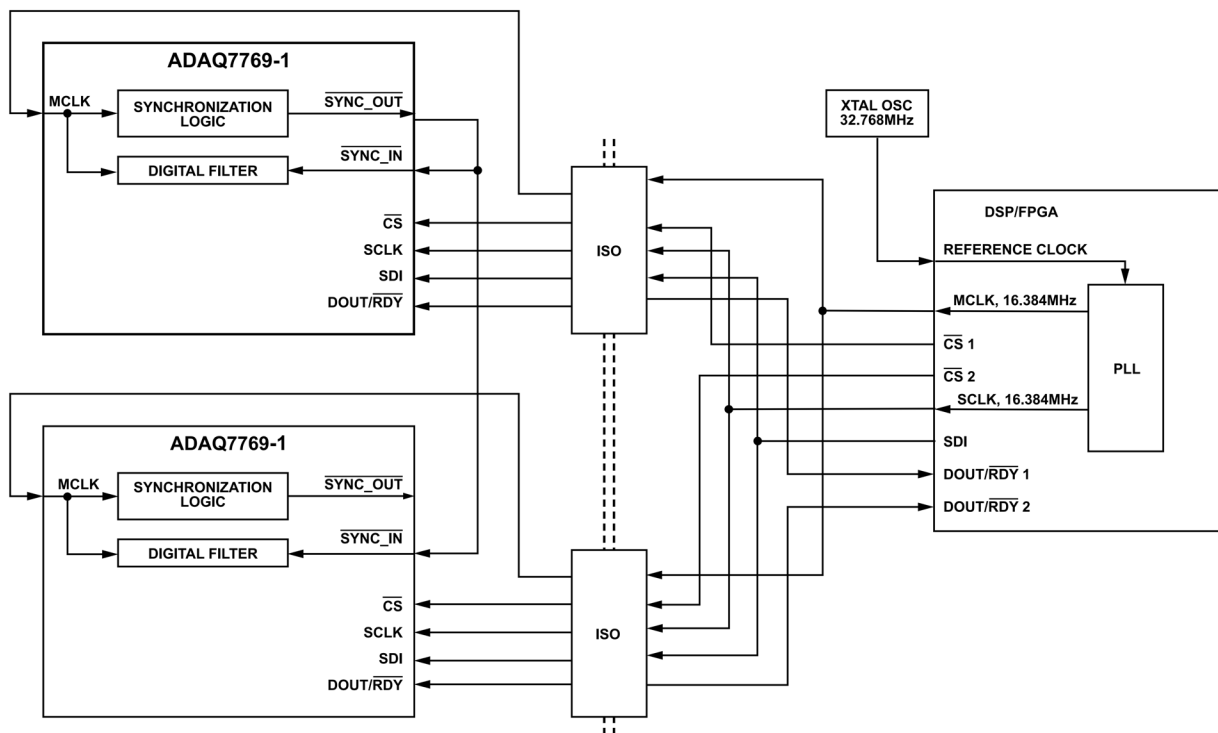


図 170. チャンネル間が絶縁されたシステムでの同期

ADAQ7769-1 のその他の機能

リセット

デバイスを起動した後は、フル・リセットを行うことを推奨します。ADAQ7769-1 でリセットを行うときは、以下を含む複数のオプションを使用できます。

- ▶ 専用の **RESET** ピンを使用する方法。詳細については、**ピン配置およびピン機能の説明**のセクションを参照してください。
- ▶ 連続読出しモードでは、ADAQ7769-1 は 0xAD の終了コマンドまたはリセット・コマンドをモニタします。詳細については、**変換読出しモード**のセクションを参照してください。
- ▶ **同期モードおよびリセット・トリガリング・レジスタ** (レジスタ 0x1D) に連続で 2 回の書き込みを行うことによって、ソフトウェア・リセットを行うことができます。
- ▶ **CS** がローに維持されているときは、1 とその後に続く 63 個の 0 を SDI にクロック入力することにより、リセットを行うことができます。これは、パワーダウン・モードを終了するために使用する SPI レジューム・コマンドのリセット機能です。

RESET から SPI 書き込みまでには、少なくとも 200 μ s の時間が必要です。

ステータス・ヘッダ

SPI 制御モードでは、ADAQ7769-1 が連続リードバック・モードで動作しているときに、変換結果の後にステータス・ヘッダを出力することができます。ステータス・ヘッダは、**MASTER_STATUS** レジスタ (レジスタ 0x2D) を反映します。詳細については **デバイス・エラー・フラグ・メイン・レジスタ** のセクションを参照してください。

PIN 制御モードでは、デフォルトで変換結果の後にステータス・ヘッダが出力されます。ステータス・ヘッダには以下のビットと機能が含まれます。

- ▶ **MASTER_ERROR** ビットは発生した他の全てのエラーの OR で、これをモニタすれば問題が発生したことを迅速に示すことができます。
- ▶ **ADC 診断出力レジスタ** (レジスタ 0x2F) 内に何らかのエラーが発生すると、**ADC_ERROR** ビットが 1 に設定されます。このビットは、**ADC 診断出力レジスタ** 内のエラー・ビットの OR です。
- ▶ **デジタル診断出力レジスタ** (レジスタ 0x30) 内に何らかのエラーが発生すると、**DIG_ERROR** ビットが 1 に設定されます。このビットは、**デジタル診断出力レジスタ** 内のエラー・ビットの OR です。
- ▶ 有効なクロックが検出されなかった場合は、**ERR_EXT_CLK_QUAL** ビット (レジスタ 0x2D のビット 4 およびレジスタ 0x2F のビット 0) がセットされます (**クロックの品質評価**のセクションを参照)。
- ▶ デジタル・フィルタが正または負のフルスケールにクリップされた場合は、**FILT_SATURATED** ビット (レジスタ 0x2D のビット 3 およびレジスタ 0x2F のビット 2) が 1 に設定されます。クリッピングは、アナログ入力範囲を超えるアナログ入力、またはデジタル・フィルタに大きなオーバーシュートを発生させる大きなステップ入力デバイスに入力されることによって発生します。更に、**ADC ゲイン・レジスタ** の設定が正しくない場合は、フィルタが飽和することがあります。フルスケール信号と大ゲインの組み合わせは、デジタル・フィルタを飽和させます。

- ▶ デジタル・フィルタの出力がセトリグしてない場合は、**FILT_NOT_SETTLED** ビット (レジスタ 0x2D のビット 2 およびレジスタ 0x2F のビット 1) が 1 に設定されます。デジタル・フィルタは **RESET** パルスの後、または **SYNC_IN** コマンドの受信後にクリアされます。**RESET** からデータがセトリグするまでの時間を、フィルタ・タイプごとに表 20、表 21、表 26 に示します。広帯域低リップル FIR フィルタを使用する場合、**FILT_NOT_SETTLED** ビットを更新してデバイス全体にその結果を伝達する方が、ステータス・ヘッダを読み出すよりも時間がかかります。この **FILT_NOT_SETTLED** ビットは、実際はデータ出力がセトリグしていてもセットされたままになります。デシメーション・レート 1024 に設定された広帯域低リップル FIR フィルタの更新遅延は、最も長い場合で 128MCLK サイクルです。この場合、リードバックが 128MCLK サイクル遅延したとすると、**FILT_NOT_SETTLED** ビットを更新する時間が生じます。データがセトリグを完了するまでの時間は、表 20、表 21、表 26 に示すデータと同じです。
- ▶ **SPI エラー・レジスタ** (レジスタ 0x2E) 内に何らかのエラーが発生すると、**SPI_ERROR** ビット (レジスタ 0x2D、ビット 1) が 1 に設定されます。このビットは、**SPI エラー・レジスタ** のエラー・ビットの OR です。
- ▶ **POR_FLAG** ビット (レジスタ 0x2D、ビット 0) は、リセットが行われるか電源の一時的なブラウンアウトが発生するとセットされます。**PIN** 制御モードでは、**POR** フラグではなく常にこのビットを 1 に設定することによって、インターフェースが正常に動作しているかどうかを示します。

診断機能

ADAQ7769-1 は内部診断機能を備えており、ADC の機能と ADC の動作環境の両方をチェックすることができます。内部診断機能は変換レジスタでイネーブルになります。**変換ソース選択およびモード制御レジスタ** (レジスタ 0x18) を参照してください。診断機能を使用するには、デバイスをエコ・モードで **MCLK_DIV = MCLK/16** に設定して、直線性向上バッファをイネーブルする必要があります。使用可能な診断機能は次のとおりです。

- ▶ 温度センサーはオンチップ温度センサーで、おおよその温度を測定します。測定された温度変化に対する DC 変換電圧の変化率は、約 0.6mV/°C (出力換算 (RTO)) です。例えば、周囲温度における変換結果は約 180mV (RTO、ADC_DATA はおよそ 0x059FFF) です。温度が 50°C 上昇すると指示値は約 210mV (RTO、ADC_DATA はおよそ 0x068FFF) となり、例えば信号生成に不具合が生じたり、システム補正の必要が生じたりする可能性があります。
- ▶ ADC 入力短絡するとコア ADC の入力ピンが FDA と切り離され、コア ADC 入力の内部短絡が形成されます。
- ▶ 正のフルスケールが選択されている場合、変換される電圧は V_{REF+} です。
- ▶ 負のフルスケールが選択されている場合、変換される電圧は V_{REF-} です。

アプリケーション情報

状態基準保全 (CBM) アプリケーション

ADAQ7769-1 の一般的なアプリケーションの 1 つは、圧電センサーを用いた CBM です。図 171 に示すアプリケーションでは、ADG5421F をフォルト保護スイッチとして、LT3092 をセンサーをバイアスするための電流源として使用することで、電子回路内蔵圧電 (IEPE) センサーを ADAQ7769-1 とインターフェースできます。3 線式負電圧加速度センサーには、図 172 に示すようにわずかに異なるインターフェースを用います。電圧源を用い

てシグナル・チェーンをテストする場合は、常にスイッチを介して電流源を切り離してください。これらのアプリケーション・ソリューションは、スイッチ、電流源、および PGA の電源レベルを単純に変更することによって、 $0V \sim +24V$ または $-24V \sim 0V$ からのユニポーラ入力を変換するために設計されています。このセットアップでは、ADAQ7769-1 の PGA が $PGA_GAIN = 1$ に設定されて、 $IN3_AAF$ 入力に接続されます。ADAQ7769-1 は DC 性能が優れているため、センサーはシステムと DC カップリングして信号を 1 ヘルツ未満の周波数の分解能で変換できます。

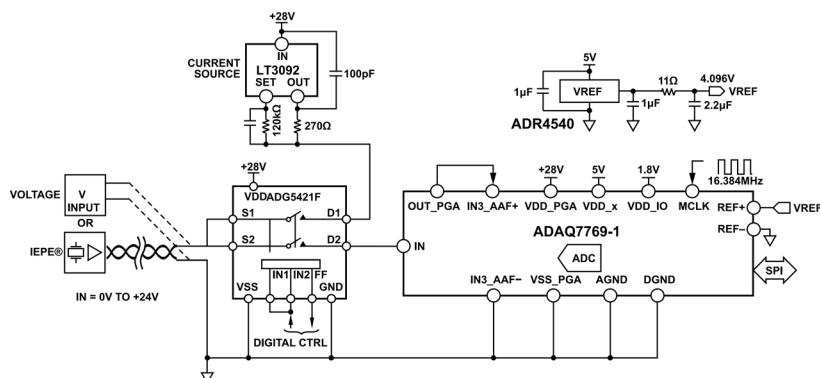


図 171. DC カップリングした IEPE センサー・アプリケーション、 $IN = 0V \sim +24V$ 、 $PGA_GAIN = 1$ 、 $IN3_AAF$

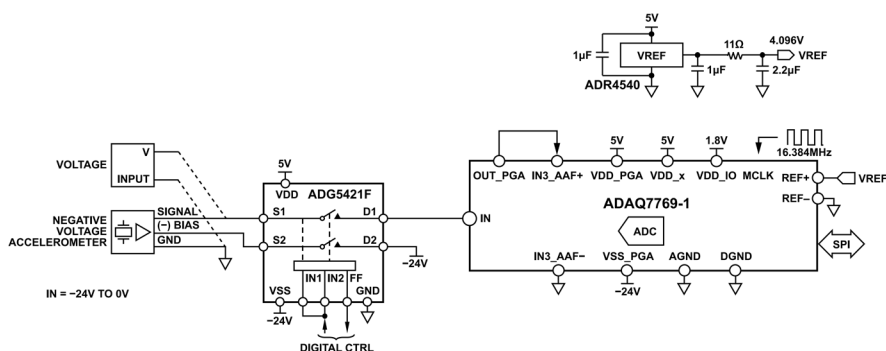


図 172. DC カップリングした 3 線式負電圧加速度センサー・アプリケーション、 $IN = -24V \sim 0V$ 、 $PGA_GAIN = 1$ 、 $IN3_AAF$

アナログ入力

ADAQ7769-1 には多種多様なタイプの入力を使用できます。図 173 は、 $IN3_AAF$ 使用時に様々な PGA 電源が、どのようにして広い入力範囲を正の $24V_{pp}$ ユニポーラ振幅、 $32V_{pp}$ バイポーラ振幅、および負の $24V_{pp}$ ユニポーラ振幅にシフトできるのかを示しています。これにより、ADAQ7769-1 と様々なバイアスのセンサーをうまく連携させることができます。更に、 $\pm 32mV$ の最小フルスケール・バイポーラ入力用の回路接続を図 174 に示します。最大値 128 の $TOTAL_GAIN$ によって、ADAQ7769-1 はシス

テムのダイナミック・レンジを拡張し、より低振幅の入力信号に対するシグナル・チェーンのノイズ性能を向上させます。図 175 に示すように、PGA をバイパスするオプションもあります。このオプションは、AAF および ADC 段を希望の入力オペアンプや PGA に接続したり、差動信号出力を備えた低出力インピーダンスのセンサーに直接接続したりすることを可能にします。差動入力回路として、3 つの AAF 入力ペアは、異なる差動入力範囲とコモンモード入力範囲を備えています。図 175 に、 $IN3_AAF$ の差動入力範囲とコモンモード入力範囲を示します。

アプリケーション情報

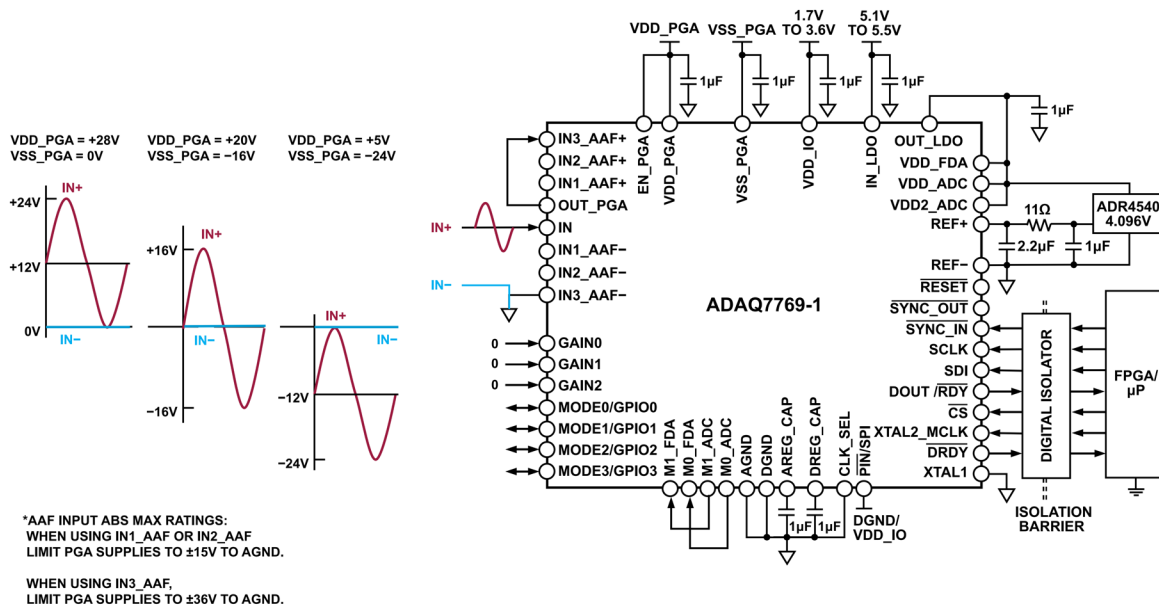


図 173. ADAQ7769-1 の直線電圧範囲と PGA の電源電圧の関係、PGA_GAIN = 1 を使用、IN3_AAF

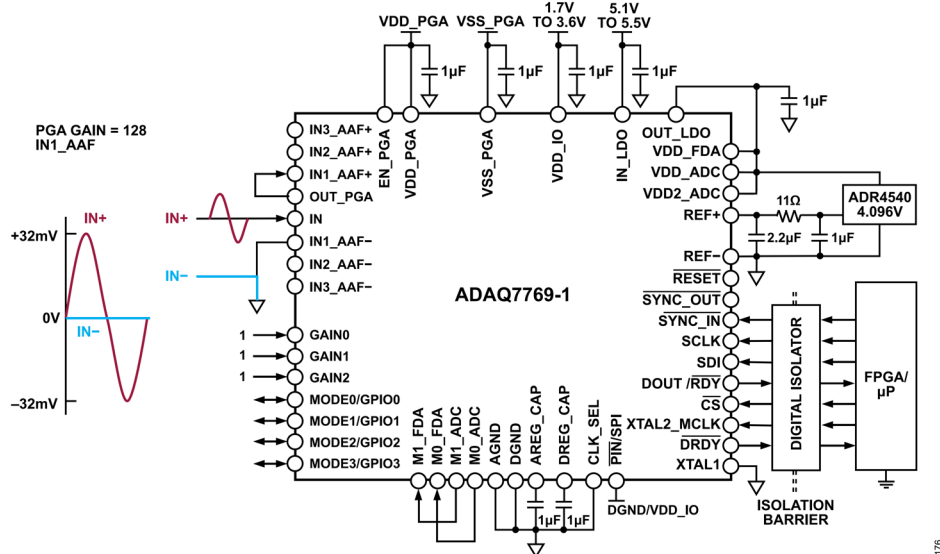


図 174. ADAQ7769-1 の最小フルスケール電圧 (±32mV)、PGA_GAIN = 128 を使用、IN1_AAF

アプリケーション情報

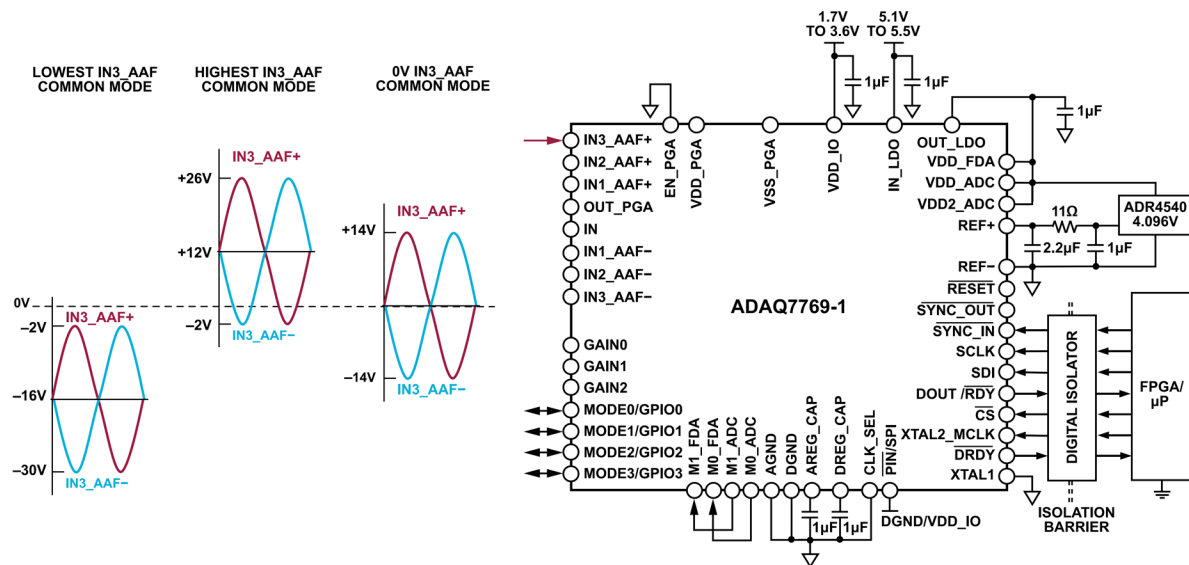


図 175. PGA をバイパスした ADAQ7769-1、IN3_AAF に差動入力を使用

アプリケーション情報

センサーとのインターフェース

図 176 のアプリケーション構成図は、ADAQ7769-1 を単一のセンサーで使用する場合の代表的な例です。アプリケーション内では、センサーが特定の電圧レベルで動作する場合はユーザが固定 PGA ゲインを設定したり、一定の時間内に入力振幅が異なるレベルでセトリングする場合は動的に変更したりすることができます。

図 177 に、ADAQ7769-1 を複数のセンサーと共に使用する方法を示します。この場合は、外部マルチプレクサを使って異なるセンサーを選ぶことができます。PGA の GAIN ピンはロジック・コントローラまたは FPGA にリンクさせ、MUX の選択ラインに合わせて変えることができます。SPI モードでは ADAQ7769-1 で GPIO ピンを使用でき、このピンを GAIN ピンに接続することで PGA のゲインを設定できます。

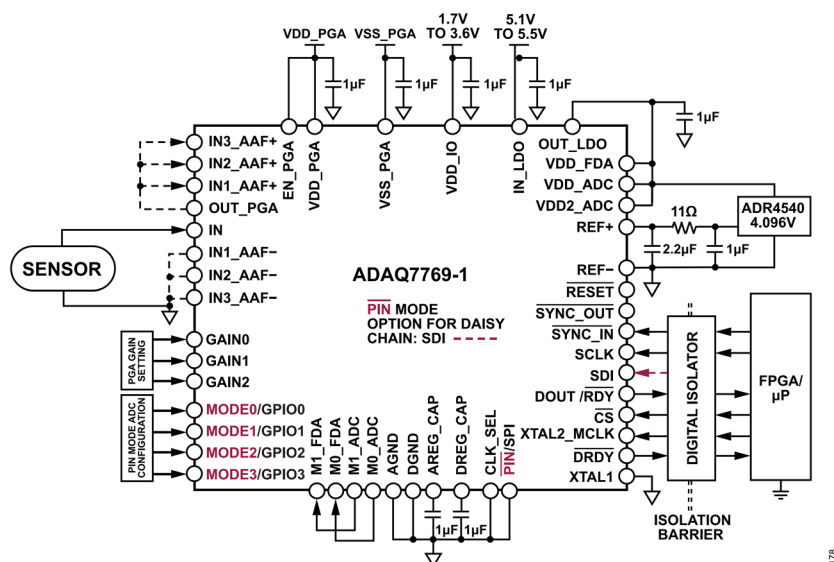


図 176. 1 つのセンサー入力と PIN モードを含む DAQ システムの代表的なアプリケーション図

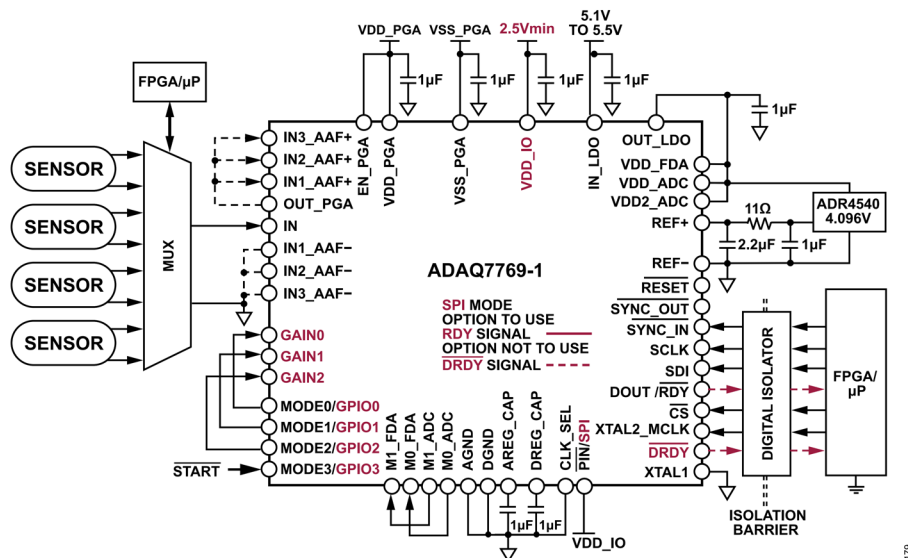


図 177. 複数のセンサー入力と SPI モードを含む DAQ システムの代表的なアプリケーション図

アプリケーション情報

PIN制御モードと SPI 制御モード

PIN制御モード

ADAQ7769-1 は、 $\overline{\text{PIN}}$ と SPI のどちらのモードでも設定可能です。それぞれの利点については、[デバイスの設定方法](#)のセクションで説明します。 $\overline{\text{PIN}}$ モードの利点の 1 つが[図 176](#)に示されています。ここでは、 f_{MOD} 周波数、デジタル・フィルタのタイプ、デシメーション・レートなどの ADC 設定が、MODEx ピンを用いて[表 28](#)に示す事前に定められたモードのリストに従って設定されます。この機能により、ADC 設定の選択が容易になり、これらの設定を制御する ADC レジスタへ書き込みを行う必要がなくなります。書き込みが許容されないため、SDI ピンはデジタイザチェーン用に使用できます。これは $\overline{\text{PIN}}$ 制御モードでのみ可能です。 $\overline{\text{PIN}}$ 制御モードを使用するには、起動時に $\overline{\text{PIN}}$ /SPI ピンをグラウンドに接続します。

SPI 制御モード

[図 177](#)は SPI 制御モードのアプリケーション例を示しています。ここでは、GPIO を用いて PGA のゲインを制御しています。この制御は、GPIO ポート制御レジスタ（レジスタ 0x1E）および GPIO 出力制御レジスタ（レジスタ 0x1F）を設定することによって行います。SPI モードにより、ADC の設定、変換読出しモード、データ変換モードに完全な柔軟性ももたらされます。連続読出しモードでの SPI 制御モードでは、 $\overline{\text{RDY}}$ 信号を使用できます。[インターフェース・フォーマット制御レジスタ](#)（レジスタ 0x14）を通じてこれをイネーブルすることで、新しい ADC データがあることを示す信号を DOUT 出力ストリームでマージでき、 $\overline{\text{DRDY}}$ のデジタル・ラインが不要になります。SPI 制御モードを使用するには、起動時に $\overline{\text{PIN}}$ /SPI ピンをハイ（または VDD_IO）に接続する必要があります。

電源

[図 176](#)と[図 177](#)に示す電源は、ADAQ7769-1 を代表的なアプリケーションで使用する場合に推奨されます。外部 LDO レギュレータを用いて VDD_FDA、VDD_ADC、VDD2_ADC、および外部 4.096V リファレンスに 5V を供給する代わりに、ADAQ7769-1 には 5.1V~5.5V の電圧を受け入れる LDO レギュレータが内蔵されており、十分に安定化された 5V 電源を出力できるので便利です。VDD_IO には、ADC ドライバのデジタル・ロジック、GPIO、および ADC の SPI へ給電するために 1.7V 以上の電圧が加えられますが、SPI モードで PGA の GAIN ピンを制御するために GPIO を使用する場合は 2.5V 以上の電圧が必要です。VDD_IO \leq 1.8V の場合は VDD_IO を DREG_CAP に接続し、10 μ F のコンデンサでデカップリングして、更に[インターフェース・フォーマット制御レジスタ](#)の LV_BOOST（レジスタ 0x14 のビット 7）をイネーブルします。

ADAQ7769-1 は、VDD_PGA、VSS_PGA、VDD_FDA、VDD_ADC、VDD_ADC2、VDD_IO の各電源ピンに 0.1 μ F の電源デカップリング・コンデンサを内蔵しています。LDO を使用する場合は、IN_LDO と OUT_LDO に 1 μ F のコンデンサを使ってデカップリングする必要があります。更に、AREG_CAP ピンと DREG_CAP ピンを通じ、1 μ F のコンデンサを使って ADC 自体のアナログ LDO とデジタル LDO もグラウンドからデカップリングします。

リファレンス、リファレンス・バッファ、直線性向上バッファ

ADC のリファレンスの範囲は VDD_ADC から 1V までにわたる可能性があります。ADAQ7769-1 の代表的なアプリケーションや仕様は、4.096V の入力リファレンスで設定されています。この電圧は、内蔵の 5V LDO レギュレータの出力を、4.096V の電圧リファレンスを出力する ADR4540 電圧リファレンスに接続して得ることができます。

[リファレンス入力とバッファリング](#)のセクションに示すように、ADC の内蔵リファレンス・プリチャージ・バッファを用いて外部リファレンスの負荷を低減することを推奨します。

また、直線性向上バッファもイネーブルすることを推奨します。これにより、完全差動アンプとコア ADC 入力間の駆動が容易になります（[直線性向上バッファ](#)のセクションを参照）。

$\overline{\text{PIN}}$ モードでは、性能が向上するよう、リファレンス・プリチャージ・バッファと直線性向上バッファはデフォルトでイネーブルされていますが、SPI モードでこれらをイネーブルするには、[アナログ・バッファ制御レジスタ](#)にレジスタ書き込みを行う必要があります。

推奨インターフェース

ADAQ7769-1 のインターフェースは柔軟で、様々な DSP と MCU の数多くの動作モードとデータ出力フォーマットに対応可能です。変換結果の読出しに関して最大限の性能を実現する推奨インターフェース設定を[図 178](#)に示します。この推奨設定は、同期された SCLK と MCLK の関係を使用します。

推奨動作を実現するには、以下に従ってインターフェースを設定してください。

1. 変換リードバック時は $\overline{\text{CS}}$ 信号をローに接続します。
2. ADC_DATA レジスタのアドレス・ビットを提供する必要があるように、連続リードバック・モードにします。連続リードバック・モードは、 $\overline{\text{PIN}}$ モードにおけるデフォルトのリードバック・モードです。
3. 32 ビットのデータがクロック出力されますが、これは 24 ビットの変換結果とそれ以外の 8 ビットで構成されます。この 8 ビットは、ステータス・ビットまたは CRC ビットのいずれかです。 $\overline{\text{PIN}}$ モードでは、これらのビットは常に変換結果と 8 個のステータス・ビットになります。
4. SCLK には MCLK と位相が一致したものを使用します。SCLK は MCLK と同じもの（SCLK = MCLK）とするか、MCLK を分周したもの（SCLK = MCLK/N）とすることができます。例えば、デシメーション・レートを 32 にした場合は SCLK = MCLK/2 とします。
5. 32 ビットでクロッキングすると、SCLK = MCLK/2 の場合は、 $\overline{\text{DRDY}}$ 周期全体を使ってデータ・リードバック動作を行うことができます。SCLK は連続的に動作します。リードバック動作は $\overline{\text{DRDY}}$ の周期全体を使って行われるので、VDD_IO での電流によるノイズ・カップリングが ODR の周期全体に広がります。
6. $\overline{\text{DRDY}}$ 信号は、ホスト・コントローラに読み出すデータと同期させることができます。

アプリケーション情報

推奨インターフェース動作を図 178 に示します。データ・リードバックは $\overline{\text{DRDY}}$ 周期全体にわたって行われ、LSB は、次の変換のために $\overline{\text{DRDY}}$ がハイになるまでそのまま残ります。

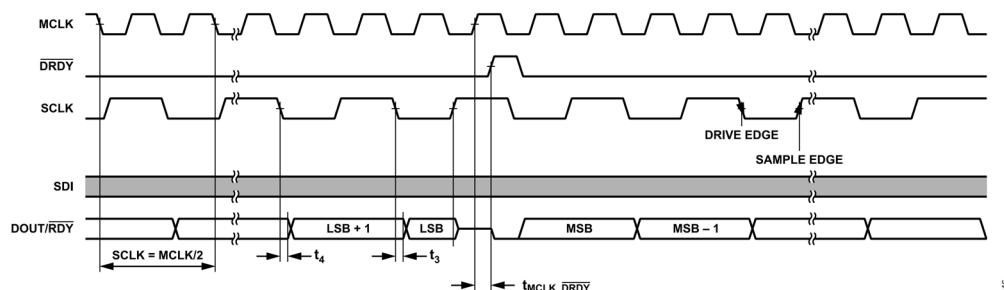


図 178. SPI 制御、連続リードバック・モードでの変換読出しのための推奨インターフェース

アプリケーション情報

推奨インターフェースの初期化

推奨インターフェースを設定するには、以下のステップを実行します。

- 1. 消費電力モード、デシメーション・レシオ、フィルタ・タイプなどのデバイス設定を行います。
- 2. 連続リードバック・モードにします。
- 3. デジタル領域の変更に適用してデジタル・フィルタをリセットするために、同期パルスを送出します。パルスは、 $\overline{\text{DRDY}}$ がハイになった直後に送出します。

データ読出しのための推奨インターフェース

データ読出しのための推奨インターフェースは以下のとおりです。

- 1. ホスト・コントローラを $\overline{\text{DRDY}}$ パルスまたは $\overline{\text{RDY}}$ パルスに同期させます。データをクロック出力する前の $\overline{\text{RDY}}$ の動作の詳細については、図 6 を参照してください。
- 2. $\overline{\text{DRDY}}$ または $\overline{\text{RDY}}$ のタイミングに基づいて SCLK を生成します。MCLK 立下がりエッジで $\overline{\text{DRDY}}$ 信号がハイに遷移するときには SCLK がハイになっており (図 178 を参照)、LSB を確実に正しく読み込むことができます。これは、DOUT/ $\overline{\text{RDY}}$ 出力が $\overline{\text{DRDY}}$ の立上がりエッジでリセットされることによります。ただし、SCLK の立上がりエッジはこの移行の前に発生します。
- 3. MSB は SCLK の次の立下がりエッジでクロック出力されます。
- 4. $\overline{\text{PIN}}$ 制御モードでは、変換出力の LSB はステータス出力の最終ビットです。 $\overline{\text{PIN}}$ 制御モードではこのビットが常に 1 なので、読み出す必要はありません。

推奨インターフェースの再同期

データのクロッキングは ODR の周期全体を使って行われるので、LSB 出力ごとに $\overline{\text{RDY}}$ 信号がフラグされることはなくなります。この信号は、ADAQ7769-1 が連続リードバック・モードにある場合、あるいは図 178 に示すように、ADAQ7769-1 が $\overline{\text{DRDY}}$ の前 $1 \times t_{\text{MCLK}}$ 以内に 32 個の SCLK をカウントしない場合だけフラグされます。

$\overline{\text{RDY}}$ 機能は連続リードバック・モードでのみ使用できます。ADC_DATA レジスタのアドレスを毎回指定しなければならない通常のリードバック時には、タイミング仕様のセクションの t_{10}

に示すように、 $\overline{\text{DRDY}}$ より $1 \times t_{\text{MCLK}}$ 前に DOUT ラインがリセットされます。 $\overline{\text{DRDY}}$ を使用する場合、デバイスは通常どおり動作し、変換リードバックの時間は $\overline{\text{DRDY}}$ パルスから計時されます。 $\overline{\text{RDY}}$ が各サンプルの開始を検出する場合で、データ・リードバックが同期されていない場合は、以下に示す 2 つの方法のどちらかによって SCLK タイミングが回復されます。

- ▶ $\overline{\text{CS}}$ を使用してインターフェースをリセットし、 $\overline{\text{RDY}}$ の遷移を監視する。
- ▶ もう一度 $\overline{\text{RDY}}$ の遷移が検出されるまで SCLK のトグルを停止する。

プログラマブル・デジタル・フィルタ

ADAQ7769-1 においてデフォルトで使用できるデジタル・フィルタの他に追加のフィルタが必要な場合は、カスタム・デジタル・メモリを設計してメモリにアップロードするための追加オプションがあります。このアップロードを行うと、デフォルトの低リップル FIR フィルタ係数が上書きされて、一連のユーザ定義係数に置き換えられます。

ADAQ7769-1 のフィルタ・パスには、次の 3 つの異なる段があります。

- ▶ 初期 sinc フィルタ
- ▶ sinc 補償フィルタ
- ▶ 低リップル FIR フィルタ

最初の 2 段は変更できません。プログラム可能な段は 3 つ目の段だけで、デフォルトの低リップル FIR フィルタ係数を一連のユーザ定義係数に置き換えることができます。

第 3 段へのデータ・レートは最終的な ODR の 2 倍ですが、これは、フィルタの最終段の後のデシメーションが 2 に固定されているためです。したがって、プログラマブル FIR 段は、 f_{MOD} から 16、32、64、128、256、および 512 のレートでデシメートされたレートでデータを受け取ります。

最後にレート 2 でデシメーションした後は、全体的なデシメーション値は 32~1024 の範囲のデシメーション・レートで与えられます。最終 FIR 段へのデータ・レートを表 41 に示します。表 41 は各消費電力モードにおける最終フィルタ段へのデータ・レートを示すものですが、これは、それぞれの消費電力モードに対して MCLK_DIV が正しく設定されていることが前提となります。例えば、中間消費電力モードを選択した場合は MCLK_DIV を MCLK/4 とする必要があります。

表 41. 最終 FIR 入力段へのデータ・レート

Power Mode	Input to Third Stage, Programmable FIR (MCLK = 16.384MHz)								
	512kSPS	256kSPS	128kSPS	64kSPS	32kSPS	16kSPS	8kSPS	4kSPS	2kSPS
Fast	Yes	Yes	Yes	Yes	Yes	Yes	N/A ¹	N/A ¹	N/A ¹
Median	N/A ¹	Yes	Yes	Yes	Yes	Yes	Yes	N/A ¹	N/A ¹
Low	N/A ¹	N/A ¹	N/A ¹	Yes	Yes	Yes	Yes	Yes	Yes

¹ N/A は該当なしを意味します。

アプリケーション情報

フィルタの係数

ADAQ7769-1の低リップルFIRフィルタは112個の係数のセットを使用します。これらの係数は、適切なキーをADAQ7769-1に書き込むことによって上書きできます。上書き後は、カスタマイズされたフィルタ係数をメモリにアップロードしてロックできます。ADAQ7769-1をリセットする場合は、これらの係数を再度書き込む必要があります。

アップロードした係数には以下の必要条件が適用されます。

- ▶ フルセットの係数は112個で、56個の係数がミラーされて合計112個となります。したがって、1個のフィルタをアップロードするときは56個の係数だけが書き込まれます。
- ▶ 書き込む係数は整数形式でなければなりません。使用フォーマットは2の補数です。
- ▶ 書き込み対象の**係数データ・レジスタ**は24ビット幅で、ADAQ7769-1では24ビットのレジスタ書き込みだけが使われます。係数に使用するのは23ビットだけで、残りのMSBは制御ビットです。詳細についてはレジスタ0x33を参照してください。
- ▶ フィルタ係数は、56個の係数の合計が必ず 2^{22} となるようにスケールリングされます。したがって、係数全体(112個)としての合計は 2^{23} となります。

例えば、書き込まれるフィルタ係数が-0.0123だとすると、この値が $-0.0123 \times 2^{22} = -51,590$ にスケールリングされます。2の補数形式でこの値を表すと、0x7F367Aになります。

各フィルタ係数は、最初に係数のアドレスを選択することによって書き込まれます。次にデータの書き込みが個別に行われ、それが56個の係数全てについてアドレス0からアドレス55まで繰り返されます。

FIRのサイズは変更できないので、プログラマブル・フィルタ・オプション使用時もフィルタのグループ遅延は34/ODRに固定されたままです。係数の数を減らす必要がある場合は、係数の前にゼロをパディングすることによってこの要求を満たすことができます。アップロードされたフィルタの群遅延は、常にADAQ7769-1のデフォルトのFIRフィルタの群遅延(34/ODR)と等しくなければなりません。

係数制御レジスタまたは**係数データ・レジスタ**(COEFF_CONTROLまたはCOEFF_DATA)へのアクセスがあった場合は、その都度、別の読出しや書き込みを行う前に一定の待機時間を置く必要があります。待機時間は次式によります。

$$t_{\text{WAIT}} = 512/\text{MCLK}$$

この待機時間は、レジスタの内容を更新する時間を提供します。次いで、係数がメモリに書き込まれます。

アップロード・シーケンス

ユーザ定義のフィルタ係数セットをプログラムするには、以下のステップを実行します。

1. **デジタル・フィルタおよびデシメーション制御レジスタ**の**フィルタ・ビット**(レジスタ0x19、ビット[6:4])に0x4を書き込みます。
2. フィルタ・アップロードにアクセスするには、以下のキーを書き込む必要があります。最初に、**アクセス・キー・レジスタ**(レジスタ0x34)に0xACを書き込みます。次に、**アクセス・キー・レジスタ**に0x45を書き込みます。**アクセス・キー・レジスタ**のビット0(キー・ビット)は、キーが正しく入力されたかどうかを確認するためにリードバックできます。
3. **係数制御レジスタ**(レジスタ0x32)に0xC0を書き込みます。 t_{WAIT} 秒待って以下の操作を実行します。
 - a. 係数アドレスをアドレス0に設定します。
 - b. メモリへのアクセスをイネーブルします(COEFF_ACCESS_EN=1)。
 - c. 係数メモリへの書き込みができるようにします(COEFF_WRITE_EN=1)。
4. 最初の係数のアドレスを選択します。必要な係数を**係数データ・レジスタ**(レジスタ0x33)に書き込んで、 t_{WAIT} 秒間待ちます。レジスタ0x32への書き込みからレジスタ0x33への書き込みの間には、必ず t_{WAIT} 秒の時間を置いてください。
5. 56個の係数のそれぞれについて、ステップ3とステップ4を繰り返します。例えば、係数アドレス1を選択するには**係数制御レジスタ**に0xC1を書き込み、 t_{WAIT} 秒間待ってから係数データを入力します。係数55になるまでデータをインクリメントしてください(係数55では、**係数制御レジスタ**に0xF7を書き込みます)。
6. 最初に**係数制御レジスタ**に0x80を書き込むことによって、係数への書き込みをディスエーブルします。更に t_{WAIT} 秒間待ってから**係数制御レジスタ**に0x00を書き込み、係数アクセスをディスエーブルします。
7. **係数データ・レジスタ**に0x800を書き込むことによってUSER_COEFF_EN = 1に設定し、同期パルスをつグルしてデータの読出しを開始できるようにします。
8. **アクセス・キー・レジスタ**(レジスタ0x34)に0x55を書き込むことによって、フィルタ・アップロードを終了します。
9. ADAQ7769-1に同期パルスを送ります。このパルスを送る方法の1つは、**同期モードおよびリセット・トリガリング・レジスタ**(レジスタ0x1D)に書き込みを行うことです。以上でフィルタ・アップロードは完了です。

デジタル・フィルタのアップロード時には、RAMCRCエラー・チェックを行ってもエラーになります。このチェックをディスエーブルするには、**デジタル診断機能制御レジスタ**(レジスタ0x2A)を使用します。

アプリケーション情報

フィルタ・アップロードの例

以下に示すシーケンスにより sinc1 フィルタをプログラムします。アドレス 0 からアドレス 23 の係数は 0 です。アドレス 24 からアドレス 55 の係数は 131,072 ($2^{22}/32$) です。MCLK = 16.384MHz で ODR = 256kSPS の場合は、8kHz と 8kHz の整数倍の位置にフィルタ・ノッチが現れます。このフィルタは低ノイズで、図 179 に示す特徴的なフィルタ・プロファイルによって識別できます。

フィルタをプログラムするには以下のステップを実行してください。

1. デジタル・フィルタおよびデシメーション制御レジスタのフィルタ・ビット (レジスタ 0x19、ビット[6:4]) に 0x4 を書き込みます。
2. アクセス・キー・レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。
3. 係数制御レジスタ (レジスタ 0x32) に 0xC0 を書き込みます (COEFF_ADDR = 0、COEFF_ACCESS_EN = 1、COEFF_WRITE_EN = 1)。t_{WAIT} 秒間待ちます。
4. 係数データ・レジスタ (レジスタ 0x33) に 0x000000 を書き込みます。t_{WAIT} 秒間待ちます。
5. 係数制御レジスタに 0xC1 を書き込みます (COEFF_ADDR = 1)。t_{WAIT} 秒間待ちます。この場合はアドレス 0 とアドレス 1 の係数が等しいので、係数データ・レジスタの値は変わりません。
6. 係数制御レジスタに 0xC2 を書き込みます (COEFF_ADDR = 2)。t_{WAIT} 秒間待ちます。
7. 書き込み値が 0xD7 になるまで係数制御レジスタのアドレスをインクリメントしていきます (COEFF_ADDR = 23)。t_{WAIT} 秒の待機時間を維持してください。
8. 係数制御レジスタに 0xD8 を書き込みます (COEFF_ADDR = 24)。
9. 係数データ・レジスタに 0x010000 を書き込みます。t_{WAIT} 秒間待ちます。
10. 係数制御レジスタに 0xD9 を書き込みます (COEFF_ADDR = 25)。t_{WAIT} 秒間待ちます。
11. 係数制御レジスタに 0xDA を書き込んで (COEFF_ADDR = 26)、t_{WAIT} 秒間待ちます。
12. 書き込み値 0xF7 になるまで係数制御レジスタのアドレスをインクリメントしていきます (COEFF_ADDR = 55)。t_{WAIT} 秒間待ちます。
13. 最初に係数制御レジスタに 0x80 を書き込むことによって、係数メモリへの書き込みとアクセスをディスエーブルします。t_{WAIT} 秒間待つてから、係数制御レジスタに 0x00 を書き込みます。
14. USER_COEFF_EN=1 に設定して、デフォルトの係数をロードし直さなくても同期をトグルできるようにします (係数データ・レジスタに 0x800000 を書き込む)。
15. アクセス・キー・レジスタに 0x55 を書き込むことによって、書き込みを終了します。
16. 同期をトグルします。
17. データを収集します。得られるフィルタ・プロファイルを図 179 に示します。

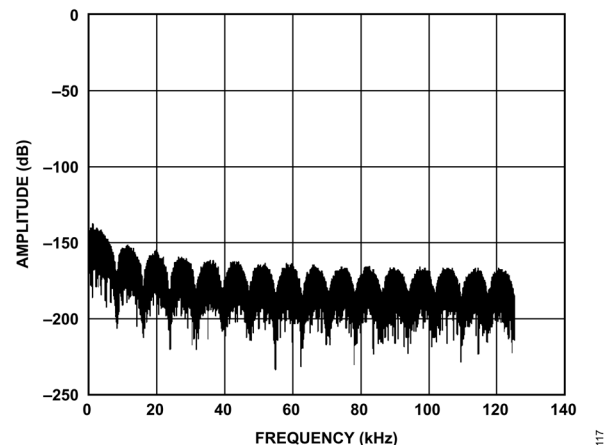


図 179. フィルタ・プロファイルのアップロード例

フィルタ・アップロードの検証

フィルタ係数が正常にアップロードされたことをチェックするために、係数データ・レジスタに書き込んだ値をリードバックすることができます。アップロード後にこの読出しを行うには、以下のステップを実行します。

1. アクセス・キー・レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。最初にアクセス・キー・レジスタに 0xAC を書き込み、次にアクセス・キー・レジスタに 0x45 を書き込みます。
2. 係数制御レジスタ (レジスタ 0x32) に 0x80 を書き込みます (COEFF_ADDR = 0、COEFF_ACCESS_EN = 1、COEFF_WRITE_EN = 0)。t_{WAIT} 秒間待ちます。
3. 24 ビットの係数データ・レジスタ (レジスタ 0x33) の内容をリードバックします。係数が、アップロードした値と一致していることを確認してください。
4. 係数制御レジスタに 0x81 を書き込みます (COEFF_ADDR = 1)。t_{WAIT} 秒間待ちます。
5. アドレス 1 の 24 ビット係数データ・レジスタを読み出します。アドレス値を加算してデータのリードバックを続けます。係数制御レジスタの更新から次の更新までの間には、常に t_{WAIT} 秒の待機時間を置いてください。
6. 係数制御レジスタに 0x00 を書き込むことによって、係数へのアクセスをディスエーブルします。
7. アクセス・キー・レジスタに 0x55 を書き込むことによって、リードバック・プロセスを終了します。

アプリケーション情報

レイアウトのガイドライン

ADAQ7769-1 を実装する PCB では、アナログ部とデジタル部を分離し、基板の異なる領域に配置するように設計する必要があります。ADAQ7769-1 の各ピンは、アナログ・ピン領域とデジタル・ピン領域を分割してレイアウトされています。ルーティングを容易にするために、PGA 入力 IN は D1 に置かれており、OUT_PGA (C4) は 3 本ある正の AAF 入力ピンに隣接して、AGND ピンは 3 本ある負の AAF 入力ピンの隣りに配置されています。

多層構造とする場合、少なくとも 1 層のグランド・プレーンを使用してください。これはデジタル部とアナログ部で共有しても、分割してもかまいません。分割する場合は、できるだけ ADAQ7769-1 に近い位置を選び、デジタル・グランド・プレーンとアナログ・グランド・プレーンを 1 箇所だけで接合してください。

複数のデバイスがアナログとデジタルの間のグラウンド接続を必要とするようなシステムに ADAQ7769-1 を使用する場合でも、接続は 1 箇所だけで行ってください（できるだけ ADAQ7769-1 に近い位置にスター・グランド・ポイントを設けます）。グランド・プレーンとの接続は確実に行う必要があります。複数のグラウンド・ピンで 1 つの接続を共有することは避け、各グラウンド・ピンとグランド・プレーンへの接続には個別のビア、または複数のビアを使用してください。

ダイにノイズが混入するため、デバイスの下にはデジタル・ラインを配置しないでください。ノイズの混入を回避するために、ADAQ7769-1 の下にはアナログ・グランド・プレーンを配置します。MCLK などの高速スイッチング信号はデジタル・グラウンドでシールドし、基板の他の部分へのノイズの放射を防止します。また、これらの高速スイッチング信号がアナログ信号パスの近くを通ることのないようにしてください。デジタル信号とアナログ信号は交差させないでください。PCB の近接する層にあるパターンは互いに直角になるように配置し、基板全体でのフィードスルーの影響を減少させてください。

ADAQ7769-1 の VDD_PGA ピン、VSS_PGA ピン、IN_LDO ピン、および VDD_IO ピンへの電源ラインにはできるだけ大きい配線パターンを使用して低インピーダンス経路を形成し、電源ラインに対するグリッチの影響を低減します。可能であれば複数の電源プレーンを使用し、ADAQ7769-1 の電源ピンと PCB の電源パターン間の接続を安定したものにします。各電源ピンには 1 つ以上のビアを使用してください。

セラミック・デカップリング・コンデンサを REF+、REF-、AREG_CAP、DREG_CAP の各ピンの近く（理想的には真上）に配置し、これらのピンを幅の広い低インピーダンス・パターンに接続することで寄生インダクタンスを最小限に抑え、AGND や DGND とデカップリングします。

レジスタの一覧

このセクションには、各ビット・フィールドの機能の詳細が記載されています。レジスタの表のアクセス欄では、ビット・フィールドが読み出し専用ビット（R）、読み出し／書き込みビット（R/W）、1を書き込んでクリアするビット（R/WIC）のいずれであるかを示しています。

表 42. ADAQ7769-1 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS				0x07	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x01	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	VALUE								0x00	R/W
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x14	INTERFACE_FORMAT	[7:0]	LV_BOOST	EN_SPI_CRC	CRC_TYPE	STATUS_EN	CONVLEN	EN_RDY_DOUT	RESERVED	EN_CONT_READ	0x00	R/W
0x15	POWER_CLOCK	[7:0]	CLOCK_SEL		MCLK_DIV		ADC_POWER_DOWN	RE-SERVED	ADC_MODE		0x00	R/W
0x16	ANALOG	[7:0]	REF_BUF_POS		REF_BUF_NEG		RESERVED		LINEARITY_BOOST_A_OFF	LINEARITY_BOOST_B_OFF	0x00	R/W
0x18	CONVERSION	[7:0]	DIAG_MUX_SELECT				CONV_DIAG_SELECT	CONV_MODE			0x00	R/W
0x19	DIGITAL_FILTER	[7:0]	EN_60HZ_REJ	FILTER			RESERVED	DEC_RATE			0x00	R/W
0x1A	SINC3_DEC_RATE_MSB	[7:0]	RESERVED			SINC3_DEC[12:8]					0x00	R/W
0x1B	SINC3_DEC_RATE_LSB	[7:0]	SINC3_DEC[7:0]								0x00	R/W
0x1C	DUTY_CYCLE_RATIO	[7:0]	IDLE_TIME								0x00	R/W
0x1D	SYNC_RESET	[7:0]	SPI_START	SYNC_OUT_POS_EDGE	RESERVED		EN_GPIO_START	RE-SERVED	SPI_RESET		0x80	R/W
0x1E	GPIO_CONTROL	[7:0]	UGPIO_EN	GPIO2_OPEN_DRAIN_EN	GPIO1_OPEN_DRAIN_EN	GPIO0_OPEN_DRAIN_EN	GPIO3_OP_EN	GPIO2_OP_EN	GPIO1_OP_EN	GPIO0_OP_EN	0x00	R/W
0x1F	GPIO_WRITE	[7:0]	RESERVED				GPIO_WRITE_3	GPIO_WRITE_2	GPIO_WRITE_1	GPIO_WRITE_0	0x00	R/W
0x20	GPIO_READ	[7:0]	RESERVED				GPIO_READ_3	GPIO_READ_2	GPIO_READ_1	GPIO_READ_0	0x00	R
0x21	OFFSET_HI	[7:0]	OFFSET[23:16]								0x00	R/W

レジスタの一覧

表 42. ADAQ7769-1 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x22	OFFSET_MID	[7:0]	OFFSET[15:8]								0x00	R/W
0x23	OFFSET_LO	[7:0]	OFFSET[7:0]								0x00	R/W
0x24	GAIN_HI	[7:0]	GAIN[23:16]								0x00	R/W
0x25	GAIN_MID	[7:0]	GAIN[15:8]								0x00	R/W
0x26	GAIN_LO	[7:0]	GAIN[7:0]								0x00	R/W
0x28	SPI_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_SPI_IGNORE	EN_ERR_SPI_CLK_CNT	EN_ERR_SPI_RD	EN_ERR_SPI_WR	RESERVED	0x10	R/W
0x29	ADC_DIAG_ENABLE	[7:0]	RESERVED		EN_ERR_DLDO_PSM	EN_ERR_ALDO_PSM	EN_ERR_REF_DET	EN_ERR_FILTER_SATURATED	EN_ERR_FILTER_NOT_SETTLED	EN_ERR_EXT_CLK_QUAL0	0x07	R/W
0x2A	DIG_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_MEMMAP_CRC	EN_ERR_RAM_CRC	EN_ERR_FUSE_CRC	RESERVED	EN_FREQ_COUNT	0x0D	R/W
0x2C	ADC_DATA	[23:16]	ADC_READ_DATA[23:16]								0x000000	R
		[15:8]	ADC_READ_DATA[15:8]									
		[7:0]	ADC_READ_DATA[7:0]									
0x2D	MASTER_STATUS	[7:0]	MASTER_ERROR	ADC_ERROR	DIG_ERROR	ERR_EXT_CLK_QUAL	FILT_SATURATED	FILT_NOT_SETTLED	SPI_ERROR	POR_FLAG	0x00	R
0x2E	SPI_DIAG_STATUS	[7:0]	RESERVED			ERR_SPI_IGNORE	ERR_SPI_CLK_CNT	ERR_SPI_RD	ERR_SPI_WR	ERR_SPI_CRC	0x00	R/W
0x2F	ADC_DIAG_STATUS	[7:0]	RESERVED		ERR_DLDO_PSM	ERR_ALDO_PSM	ERR_REF_DET	FILT_SATURATED	FILT_NOT_SETTLED	ERR_EXT_CLK_QUAL	0x00	R
0x30	DIG_DIAG_STATUS	[7:0]	RESERVED			ERR_MEMMAP_CRC	ERR_RAM_CRC	ERR_FUSE_CRC	RESERVED		0x00	R
0x31	MCLK_COUNTER	[7:0]	MCLK_COUNTER								0x00	R
0x32	COEFF_CONTROL	[7:0]	COEFF_ACCESS_EN	COEFF_WRITE_EN	COEFF_ADDR						0x00	R/W
0x33	COEFF_DATA	[23:16]	USER_COEFF_EN	COEFF_DATA[22:16]							0x000000	R/W
		[15:8]	COEFF_DATA[15:8]									
		[7:0]	COEFF_DATA[7:0]									
0x34	ACCESS_KEY	[7:0]	RESERVED							KEY	0x00	R/W

レジスタの詳細

コンポーネント・タイプ・レジスタ

レジスタ : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

表 43. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CLASS	チップ・タイプ。 111 : A/D コンバータ。	0x7	R

製品固有 ID レジスタ

レジスタ : 0x04、リセット : 0x01、レジスタ名 : PRODUCT_ID_L

表 44. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID。	0x1	R

レジスタ : 0x05、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

表 45. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。	0x0	R

デバイス・グレードおよびリビジョン・レジスタ

レジスタ : 0x06、リセット : 0x00、レジスタ名 : CHIP_GRADE

表 46. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイスのグレード。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン ID。	0x0	R

ユーザ・スクラッチ・パッド・レジスタ

レジスタ : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

表 47. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VALUE	スクラッチ・パッド。通信および POR チェックのための読出し／書込み領域	0x0	R/W

レジスタの詳細

デバイス・ベンダ ID レジスタ

レジスタ : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_L

表 48. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	ベンダ ID。	0x56	R

レジスタ : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_H

表 49. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	ベンダ ID。	0x4	R

インターフェース・フォーマット制御レジスタ

レジスタ : 0x14、リセット : 0x00、レジスタ名 : INTERFACE_FORMAT

表 50. INTERFACE_FORMAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LV_BOOST	1.8V の IOVDD レベルの場合、あるいは DOUT/ $\overline{\text{RDY}}$ ピン上に大容量性負荷が存在する場合に使用するために、SPI 出力の駆動強度を上げます。PIN制御モード時のデフォルトは LV_BOOST がイネーブルされた状態です。 0 : LV_BOOST をディスエーブル。 1 : LV_BOOST をイネーブル。このビットは、連続読み出しモード終了後に再度イネーブルする必要があります (該当する場合)。	0x0	R/W
6	EN_SPI_CRC	全ての SPI トランザクションの CRC を有効にします。 0 : 全ての SPI 転送で CRC 機能をディスエーブル。 1 : 全ての SPI 転送で CRC 機能をイネーブル。	0x0	R/W
5	CRC_TYPE	CRC を XOR として行うか、8 ビット多項式で行うかを選択します。 1 : CRC に代えて XOR を使用します (読み出しトランザクションにのみ適用)。 0 : CRC ビットは CRC-8 多項式に基づきます。	0x0	R/W
4	STATUS_EN	ステータス・ビットの出力をイネーブル。SPI 制御モードでは、このビット・フィールドにビットをセットすることによって、変換結果の後にステータス・ビットを出力することができます。PIN制御モードでは、ADC 変換結果の後にステータス・ビットが出力されます。 0 : 連続読み出しモードにおける ADC 結果後のステータス・ビットの出力をディスエーブルします。 1 : 連続読み出しモードで ADC 結果後にステータス・ビットを出力します。	0x0	R/W
3	CONVLEN	変換結果の出力長。 0 : 24 ビット全てを出力。 1 : ADC 結果の 16MSB のみを出力。	0x0	R/W
2	EN_RDY_DOUT	DOUT/ $\overline{\text{RDY}}$ ピンの $\overline{\text{RDY}}$ 信号をイネーブルします。連続読み出しモードで DOUT/ $\overline{\text{RDY}}$ ピンの $\overline{\text{RDY}}$ インジケータをイネーブルします。デフォルトでは、新しい ADC 変換データが使用可能になっても、DOUT/ $\overline{\text{RDY}}$ ピンは信号を発生しません。このビットをセットすると、DOUT/ $\overline{\text{RDY}}$ は ADC 変換データが使用可能であることを示す信号を発生します。 0 : 結果がクロック出力された後、連続読み出しモードにおいて DOUT/ $\overline{\text{RDY}}$ ピンの $\overline{\text{RDY}}$ 機能をディスエーブル。 1 : 結果がクロック出力された後、連続読み出しモードにおいて DOUT/ $\overline{\text{RDY}}$ ピンの $\overline{\text{RDY}}$ 機能をイネーブル。	0x0	R/W
1	RESERVED	予約済み。	0x0	R
0	EN_CONT_READ	連続読み出しイネーブル・ビット。 0 : 連続読み出しモードをディスエーブル。 1 : 連続読み出しモードをイネーブル。	0x0	R/W

レジスタの詳細

電力およびクロック制御レジスタ

レジスタ : 0x15、リセット : 0x00、レジスタ名 : POWER_CLOCK

表 51. POWER_CLOCK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CLOCK_SEL	デバイスが使用するクロックの設定オプション。 00 : XTAL2_MCLK に CMOS クロックを使用。 01 : 外部水晶発振器。 10 : LVDS 入力をイネーブル (SPI 制御モード専用)。 11 : 内部粗調整 RC クロック (診断機能)。	0x0	R/W
[5:4]	MCLK_DIV	MCLK の分周を設定して ADC の変調器周波数 f_{MOD} を生成します。 00 : 変調器 CLK = コントローラ・クロックを 16 分周。 01 : 変調器 CLK = コントローラ・クロックを 8 分周。 10 : 変調器 CLK = コントローラ・クロックを 4 分周。 11 : 変調器 CLK = コントローラ・クロックを 2 分周。	0x0	R/W
3	ADC_POWER_DOWN	ADC をパワーダウン状態にします。SPI を含む全てのブロックがパワーダウンされます。この状態では標準 SPI は機能しません。パワーダウンは消費電力が最も小さいモードです。パワーダウン・モードにするには、このレジスタに 0x08 を書き込みます。このレジスタ内の他のビットと同時にビット 3 をセットしようとすると、SPI 書き込みコマンドが無視されてデバイスはパワーダウン状態にならず、他のビットもセットされません。パワーダウン・モードを終了する方法は 3 つあります。RESET ピンを使ってリセットする方法、SDI と SCLK を介して SPI レジューム・コマンドを発行する方法、またはデバイスを一度パワーダウンしてから再度パワーオンする方法です。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
[1:0]	ADC_MODE	ADC コアの動作モードを設定します。この設定は、MCLK_DIV と共に、ADC のパワー・スケーリングと入力帯域幅およびスループットの関係に関する条件を設定します。 00 : 低消費電力モード 01 : 中間消費電力モード 11 : 高速電力モード	0x0	R/W

アナログ・バッファ制御レジスタ

レジスタ : 0x16、リセット : 0x00、レジスタ名 : ANALOG

フロントエンド・バッファリングのオン/オフに使用します。

表 52. ANALOG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REF_BUF_POS	リファレンス正入力のバッファリング・オプション。 00 : プリチャージ・リファレンス・バッファをオン。 01 : 非バッファ・リファレンス入力。 10 : フル・リファレンス・バッファをオン。	0x0	R/W
[5:4]	REF_BUF_NEG	リファレンス負入力のバッファリング・オプション。 00 : プリチャージ・リファレンス・バッファをオン。 01 : 非バッファ入力。 10 : フル・リファレンス・バッファをオン。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R
1	LINEARITY_BOOST_A_OFF	直線性向上バッファ A のディスエーブル制御。このビットをセットすると、直線性向上バッファ A がディスエーブルされます。LINEARITY_BOOST_B_OFF と共に使用します。 0 : 直線性向上バッファ A をイネーブル。 1 : 直線性向上バッファ A をディスエーブル。	0x0	R/W
0	LINEARITY_BOOST_B_OFF	直線性向上バッファ B のディスエーブル制御。このビットをセットすると、直線性向上バッファ B がディスエーブルされます。LINEARITY_BOOST_A_OFF と共に使用します。 0 : 直線性向上バッファ B をイネーブル。 1 : 直線性向上バッファ B をディスエーブル。	0x0	R/W

レジスタの詳細

変換ソース選択およびモード制御レジスタ

レジスタ : 0x18、リセット : 0x00、レジスタ名 : CONVERSION

表 53. CONVERSION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DIAG_MUX_SELECT	診断マルチプレクサを介して送る信号を選択します。低消費電力モードでのみ診断チェックを行います。 0000 : 温度センサー。 1000 : ADC 入力短絡（ゼロ・チェック）。 1001 : 正のフルスケール。 1010 : 負のフルスケール。	0x0	R/W
3	CONV_DIAG_SELECT	通常または診断マルチプレクサとして変換するための ADC の入力を選択します。 0 : 通常のシグナル・チェーンを介して信号を変換。 1 : ADC 変換（およびターン・オン）診断サブブロック。	0x0	R/W
[2:0]	CONV_MODE	ADC の変換モードを設定します。 000 : 連続変換モード。変調器は連続的に変換を行います。あらゆるフィルタ変換用の連続DRDYパルス。 001 : 連続ワンショット・モード。ワンショット・モードは、SYNC_IN時間を 使用して変換を開始する方法です。これは、ワンショット・モード使用時の変換開始信号と同じです。ADC 変調器は、連続して動作しながらSYNC_INの立上がりエッジを待ちます。SYNC_INピンにパルスが送られると（ローからハイへの遷移）新しい変換が開始され、選択したフィルタのセトリング・タイムにわたり変換と積分が行われます。変換が完了するとDRDYがトグルして、SPI 経由のリードバックに使用できることを示します。 010 : シングル変換スタンバイ・モード。シングル変換スタンバイ・モードでは、ADC は選択したフィルタを使って変換を 1 回行い、フィルタのフル・セトリング・タイムにわたりサンプリングと積分を行った後、シングル変換結果を提供します。変換が完了すると、ADC はスタンバイ状態になります。スタンバイ状態からもう一度シングル変換を行うということは、ADC が変換を開始してシングル変換を行う前に、スタンバイを終了して起動するための時間があることを意味します。このモードは低消費電力モードで使用する場合に推奨します。 011 : デューティサイクル変換スタンバイ・モード。低消費電力の周期的変換は、時限ループ内でのシングル変換実行を設定する方法です。独立したレジスタを使ってスタンバイと変換の時間比率を設定します。ADC は一定の間隔で自動的にスタンバイ状態を終了し、シングル変換を行って再びスタンバイに戻ります。ユーザが SPI を介してシングル変換を開始する必要はありません。 100 : スタンバイ。 101 : スタンバイ。 110 : スタンバイ。 111 : スタンバイ。	0x0	R/W

デジタル・フィルタおよびデシメーション制御レジスタ

レジスタ : 0x19、リセット : 0x00、レジスタ名 : DIGITAL_FILTER

表 54. DIGITAL_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_60HZ_REJ	sinc3 フィルタでのみ使用します。最初に、50Hz で出力するように sinc3 フィルタをプログラムします。その後、EN_60HZ_REJ ビットを選択すれば、sinc3 フィルタの 1 つのゼロを 60Hz とすることができます。50Hz ODR 用 sinc3 フィルタのプログラミングと組み合わせてこのビットがセットされた場合のみ、このビットは 50Hz と 60Hz 両方の除去をイネーブルします。 0 : 単一周波数（50Hz または 60Hz）除去に合わせて sinc3 フィルタを最適化します。 1 : 50Hz と 60Hz の両方を除去できるようにフィルタ動作を変更します。	0x0	R/W
[6:4]	FILTER	使用するフィルタのスタイルを選択します。	0x0	R/W

レジスタの詳細

表 54. DIGITAL_FILTER のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		000 : sinc5 フィルタ。デシメーション・レート×32～×1024。DEC_RATE ビットを使用して、×32 から×1024 まで 6 種類あるデシメーション・レートから 1 つを選択します。 001 : sinc5 フィルタ。デシメーション・レート×8 のみ。1MHz の最大データ・レートをイネーブルします。このパスはより広い帯域幅を表示できます。ただし、量子化ノイズによる制限があるため出力データが 16 ビットに減少します。 010 : sinc5 フィルタ。デシメーション・レート×16 のみ。512kHz の最大データ・レートをイネーブルします。このパスはより広い帯域幅を表示できます。 011 : sinc3 フィルタ。プログラマブルなデシメーション・レート。デシメーション・レートは、sinc3 デシメーション・レート MSB レジスタと LSB レジスタ（レジスタ 0x1A とレジスタ 0x1B）の SINC3_DEC ビットで選択します。 sinc3 フィルタは、50Hz または 60Hz を除去するよう調整できます。 16.384MHz の MCLK と共に使用する場合は、EN_60HZ_REJ ビットをセットすることで 50Hz と 60Hz の両方を除去することができます。 100 : 広帯域低リップル・フィルタ。低リップルのパス・バンドと急峻な遷移帯域を持つ FIR フィルタ。DEC_RATE ビットを使用して、×32 から×1024 まで 6 種類あるデシメーション・レートから 1 つを選択します。		
3	RESERVED	予約済み。	0x0	R
[2:0]	DEC_RATE	sinc5 フィルタと広帯域低リップル FIR フィルタのデシメーション・レートを選択します。 000 : デシメーション・レート 32。 001 : デシメーション・レート 64。 010 : デシメーション・レート 128。 011 : デシメーション・レート 256。 100 : デシメーション・レート 512。 101 : デシメーション・レート 1024。 110 : デシメーション・レート 1024。 111 : デシメーション・レート 1024。	0x0	R/W

sinc3 デシメーション・レート（MSB）レジスタ

レジスタ : 0x1A、リセット : 0x00、レジスタ名 : SINC3_DEC_RATE_MSB

表 55. SINC3_DEC_RATE_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	SINC3_DEC[12:8]	sinc3 フィルタに使用するデシメーション・レートを決定します。入力値を 1 だけインクリメントして 32 を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

sinc3 デシメーション・レート（LSB）レジスタ

レジスタ : 0x1B、リセット : 0x00、レジスタ名 : SINC3_DEC_RATE_LSB

表 56. SINC3_DEC_RATE_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SINC3_DEC[7:0]	sinc3 フィルタに使用するデシメーション・レートを決定します。入力値を 1 だけインクリメントして 32 を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

周期的変換レート制御レジスタ

レジスタ : 0x1C、リセット : 0x00、レジスタ名 : DUTY_CYCLE_RATIO

表 57. DUTY_CYCLE_RATIO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	IDLE_TIME	スタンバイ時における周期的変換のアイドル時間を設定します。このレジスタ内の 1 は、選択したフィルタからの 1 出力の時間に相当します。このレジスタ内の値は 1 だけインクリメントされて 2 倍されます。	0x0	R/W

レジスタの詳細

同期モードおよびリセット・トリガリング・レジスタ

レジスタ：0x1D、リセット：0x80、レジスタ名：SYNC_RESET

表 58. SYNC_RESET のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SPI_START	START信号をトリガします。SPI上でSYNC_OUTパルスを開始します。このビットをローに設定すると、SYNC_OUTにロー・パルスを生成できます。これは、同じデバイスと、同期サンプリングを必要とする他の ADAQ7769-1 デバイスへのSYNC_IN信号として使用できます。このビットは使用后自動的にクリアされます。	0x1	R
6	SYNC_OUT_POS_EDGE	SYNC_OUT駆動エッジの選択。このビットをセットすると、MCLKの立上がりエッジでSYNC_OUTがローになります。デバイスのデフォルトでは、MCLKの立下がりエッジでSYNC_OUTがローになります。	0x0	R/W
[5:4]	RESERVED	予約済み。	0x0	R
3	EN_GPIO_START	GPIO入力のSTART機能をイネーブルします。GPIOピンのどれか1つをSTART入力ピンとして使用できます。イネーブルすると、START入力のロー・パルスによってSYNC_OUTにロー・パルスを生成できます。これは、同じデバイスと、同期サンプリングを必要とする他の ADAQ7769-1 デバイスへのSYNC_IN信号として使用できます。イネーブルすると、GPIO3がSTART入力になります。START機能をイネーブルすると、GPIOピンを汎用入出力の読み出しと書き込みに使用することはできなくなります。残りのGPIOは出力に設定されます。 0：ディスエーブル 1：イネーブル	0x0	R/W
2	RESERVED	予約済み。	0x0	R
[1:0]	SPI_RESET	SPIを介したデバイスのリセットをイネーブルします。リセットを開始するには、これらのビットに書き込みを2回行う必要があります。最初にこれらのビットを11に設定し、その後10に設定してください。これら2つのビットでこのシーケンスが検出されると、リセットが行われます。このレジスタの他のビットがセットされるかクリアされるかには依存しません。	0x0	R/W

GPIOポート制御レジスタ

レジスタ：0x1E、リセット：0x00、レジスタ名：GPIO_CONTROL

表 59. GPIO_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	UGPIO_EN	GPIOピンを全てイネーブルします。GPIOの設定を変更するには、このビットをHIに設定する必要があります。	0x0	R/W
6	GPIO2_OPEN_DRAIN_EN	GPIO2出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
5	GPIO1_OPEN_DRAIN_EN	GPIO1出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
4	GPIO0_OPEN_DRAIN_EN	GPIO0出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
3	GPIO3_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
2	GPIO2_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
1	GPIO1_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
0	GPIO0_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W

GPIO出力制御レジスタ

レジスタ：0x1F、リセット：0x00、レジスタ名：GPIO_WRITE

表 60. GPIO_WRITE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	GPIO_WRITE_3	このビットに書き込むと、GPIO[3]がHIにセットされます。	0x0	R/W
2	GPIO_WRITE_2	このビットに書き込むと、GPIO[2]がHIにセットされます。	0x0	R/W
1	GPIO_WRITE_1	このビットに書き込むと、GPIO[1]がHIにセットされます。	0x0	R/W
0	GPIO_WRITE_0	このビットに書き込むと、GPIO[0]がHIにセットされます。	0x0	R/W

レジスタの詳細

GPIO 入力読出しレジスタ

レジスタ : 0x20、リセット : 0x00、レジスタ名 : GPIO_READ

表 61. GPIO_READ のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	GPIO_READ_3	GPIO3 から値を読み出します。	0x0	R
2	GPIO_READ_2	GPIO2 から値を読み出します。	0x0	R
1	GPIO_READ_1	GPIO1 から値を読み出します。	0x0	R
0	GPIO_READ_0	GPIO0 から値を読み出します。	0x0	R

オフセット・キャリブレーション MSB レジスタ

レジスタ : 0x21、リセット : 0x00、レジスタ名 : OFFSET_HI

表 62. OFFSET_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[23:16]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理想的な公称値 0x555555 の場合、オフセット・レジスタを 1LSB 調整すると、デジタル出力は-4/3LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が-133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

オフセット・キャリブレーション MID レジスタ

レジスタ : 0x22、リセット : 0x00、レジスタ名 : OFFSET_MID

表 63. OFFSET_MID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[15:8]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理想的な公称値 0x555555 の場合、オフセット・レジスタを 1LSB 調整すると、デジタル出力は-4/3LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が-133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

オフセット・キャリブレーション LSB レジスタ

レジスタ : 0x23、リセット : 0x00、レジスタ名 : OFFSET_LO

表 64. OFFSET_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[7:0]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理想的な公称値 0x555555 の場合、オフセット・レジスタを 1LSB 調整すると、デジタル出力は-4/3LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が-133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

レジスタの詳細

ゲイン・キャリブレーション MSB レジスタ

レジスタ : 0x24、リセット : 0x00、レジスタ名 : GAIN_HI

表 65. GAIN_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[23:16]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時に ADC に保存され、公称値は 0x555555 付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

ゲイン・キャリブレーション MID レジスタ

レジスタ : 0x25、リセット : 0x00、レジスタ名 : GAIN_MID

表 66. GAIN_MID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[15:8]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時に ADC に保存され、公称値は 0x555555 付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

ゲイン・キャリブレーション LSB レジスタ

レジスタ : 0x26、リセット : 0x00、レジスタ名 : GAIN_LO

表 67. GAIN_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[7:0]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時に ADC に保存され、公称値は 0x555555 付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

SPI 診断制御レジスタ

レジスタ : 0x28、リセット : 0x10、レジスタ名 : SPI_DIAG_ENABLE

表 68. SPI_DIAG_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	EN_ERR_SPI_IGNORE	SPI 無視エラーをイネーブル。	0x1	R/W
3	EN_ERR_SPI_CLK_CNT	SPI クロック・カウント・エラーをイネーブル。SPI クロック・カウント・エラーは CS を使用する SPI トランザクションに対してのみ有効です。	0x0	R/W
2	EN_ERR_SPI_RD	SPI 読み出しエラーをイネーブル。	0x0	R/W
1	EN_ERR_SPI_WR	SPI 書き込みエラーをイネーブル。	0x0	R/W
0	RESERVED	予約済み。	0x0	R

レジスタの詳細

ADC 診断機能制御レジスタ

レジスタ : 0x29、リセット : 0x07、レジスタ名 : ADC_DIAG_ENABLE

表 69. ADC_DIAG_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	EN_ERR_DLDO_PSM	デジタル LDO の省電力モード (PSM) エラーをイネーブル。	0x0	R/W
4	EN_ERR_ALDO_PSM	アナログ LDO の PSM エラーをイネーブル。	0x0	R/W
3	EN_ERR_REF_DET	リファレンス検出エラーをイネーブル。	0x0	R/W
2	EN_ERR_FILTER_SATURATED	フィルタの飽和エラーをイネーブル。	0x1	R/W
1	EN_ERR_FILTER_NOT_SETTLED	フィルタ未セトリング・エラーをイネーブル。	0x1	R/W
0	EN_ERR_EXT_CLK_QUAL	外部クロックの品質評価チェックをイネーブル。	0x1	R/W

デジタル診断機能制御レジスタ

レジスタ : 0x2A、リセット : 0x0D、レジスタ名 : DIG_DIAG_ENABLE

表 70. DIG_DIAG_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	EN_ERR_MEMMAP_CRC	メモリ・マップの CRC エラーをイネーブル。	0x0	R/W
3	EN_ERR_RAM_CRC	RAM の CRC エラーをイネーブル。	0x1	R/W
2	EN_ERR_FUSE_CRC	ヒューズの CRC エラーをイネーブル。	0x1	R/W
1	RESERVED	予約済み。	0x0	R/W
0	EN_FREQ_COUNT	MCLK カウンタをイネーブル。	0x1	R/W

変換結果レジスタ

レジスタ : 0x2C、リセット : 0x000000、レジスタ名 : ADC_DATA

表 71. ADC_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:0]	ADC_READ_DATA	ADC 読出しデータ。	0x0	R

デバイス・エラー・フラグ・メイン・レジスタ

レジスタ : 0x2D、リセット : 0x00、レジスタ名 : MASTER_STATUS

表 72. MASTER_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MASTER_ERROR	任意のデバイス・エラー。存在する他の全てのエラーの論理和。	0x0	R
6	ADC_ERROR	任意の ADC エラー (OR)。	0x0	R
5	DIG_ERROR	任意のデジタル・エラー (OR)。	0x0	R
4	ERR_EXT_CLK_QUAL	クロック・エラーなし、MASTER_STATUS レジスタにのみ適用。	0x0	R
3	FILT_SATURATED	フィルタ飽和状態。	0x0	R
2	FILT_NOT_SETTLED	フィルタの未セトリング。	0x0	R
1	SPI_ERROR	任意の SPI エラー (OR)。	0x0	R
0	POR_FLAG	POR フラグ。	0x0	R

レジスタの詳細

SPI エラー・レジスタ

レジスタ : 0x2E、リセット : 0x00、レジスタ名 : SPI_DIAG_STATUS

表 73. SPI_DIAG_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	ERR_SPI_IGNORE	SPI 無視エラー。	0x0	R/W1C
3	ERR_SPI_CLK_CNT	SPI クロック・カウント・エラー。	0x0	R
2	ERR_SPI_RD	SPI 読み出しエラー。	0x0	R/W1C
1	ERR_SPI_WR	SPI 書き込みエラー。	0x0	R/W1C
0	ERR_SPI_CRC	SPI CRC エラー。	0x0	R/W1C

ADC 診断出力レジスタ

レジスタ : 0x2F、リセット : 0x00、レジスタ名 : ADC_DIAG_STATUS

表 74. ADC_DIAG_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	ERR_DLDO_PSM	DLDO PSM エラー。	0x0	R
4	ERR_ALDO_PSM	ALDO PSM エラー。	0x0	R
3	ERR_REF_DET	REF DET エラー。	0x0	R
2	FILT_SATURATED	フィルタ飽和状態。	0x0	R
1	FILT_NOT_SETTLED	フィルタの未セトリング。	0x0	R
0	ERR_EXT_CLK_QUAL	クロック・エラーなし、MASTER_STATUS レジスタにのみ適用。	0x0	R

デジタル診断出力レジスタ

レジスタ : 0x30、リセット : 0x00、レジスタ名 : DIG_DIAG_STATUS

表 75. DIG_DIAG_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	ERR_MEMMAP_CRC	メモリ・マップの CRC エラー。	0x0	R
3	ERR_RAM_CRC	RAM CRC エラー。	0x0	R
2	ERR_FUSE_CRC	ヒューズ CRC エラー。	0x0	R
[1:0]	RESERVED	予約済み。	0x0	R

MCLK 診断出力レジスタ

レジスタ : 0x31、リセット : 0x00、レジスタ名 : MCLK_COUNTER

表 76. MCLK_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MCLK_COUNTER	MCLK カウンタ。このレジスタは 64MCLK ごとに 1 ずつインクリメントされます。	0x0	R

レジスタの詳細

係数制御レジスタ

レジスタ：0x32、リセット：0x00、レジスタ名：COEFF_CONTROL

表 77. COEFF_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	COEFF_ACCESS_EN	このビットを 1 に設定すると、係数メモリへのアクセスが可能になります。	0x0	R/W
6	COEFF_WRITE_EN	係数メモリへの書込みをイネーブルします。有効にするには 1 を書き込んでください。	0x0	R/W
[5:0]	COEFF_ADDR	係数メモリにアクセスするためのアドレス。112 個の係数を構成する 2 つの対称部分に含まれる各 56 個の係数のアドレス範囲は 0～55 です。	0x00	R/W

係数データ・レジスタ

レジスタ：0x33、リセット：0x00、レジスタ名：COEFF_DATA

表 78. COEFF_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
23	USER_COEFF_EN	このビットを 1 に設定すると、同期トグル後に読出し専用メモリ（ROM）の係数でユーザ定義係数を上書きすることができなくなります。カスタマイズ・フィルタのアップロードを含め、デジタル・フィルタ構成に変更を加えた場合は、その都度同期パルスが必要になります。	0x0	R/W
[22:0]	COEFF_DATA	係数メモリとの間で読書きされるデータ。これらのビットの幅は 23 ビットです。	0x000000	R/W

アクセス・キー・レジスタ

レジスタ：0x34、リセット：0x00、レジスタ名：ACCESS_KEY

表 79. ACCESS_KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	Key	フィルタをアップロードする場合は、予め ACCESS_KEY レジスタに特定のキーを書き込む必要があります。正しく書き込まれれば、キー・ビット値 1 をリードバックできます。	0x0	R/W

外形寸法

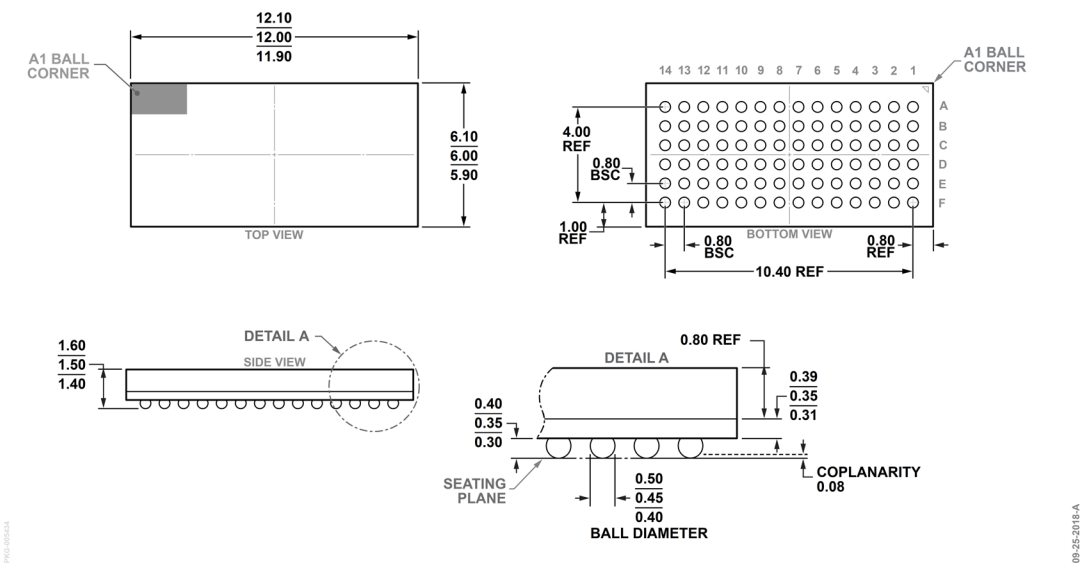


図 180. 84 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-84-4)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ7769-1BBCZ	-40°C to +105°C	CHIP SCALE BGA	Tray, 280	BC-84-4

¹ Z = RoHS 準拠製品。

更新：2025 年 7 月 24 日

評価用ボード

Evaluation Board ¹	Description
EV-ADAQ7769-1FMC1Z	Evaluation Board

¹ Z = RoHS 準拠製品。