

24 ビット、2MSPS の μModule データ・アキュイジション・ソリューション

特長

- ▶ 高性能
 - ▶ スループット：2MSPS、無遅延
 - ▶ INL：±1ppm（最大値）（-40°C～105°C）
 - ▶ システム・ダイナミック・レンジ：128dB（代表値）
 - ▶ S/N 比：106.5dB（代表値）、THD：-122dB（代表値）
 - ▶ オフセット誤差ドリフト：+4.1μV/°C（最大値）
 - ▶ ゲイン誤差ドリフト：+1.50ppm/°C（最大値）
- ▶ 使いやすい機能でシステムの複雑さを軽減
 - ▶ 270kHz の 2 次アンチエイリアス・フィルタ
 - ▶ 高インピーダンス PGIA ゲイン・オプション：
1/3、5/9、20/9、20/3
 - ▶ 柔軟な外部リファレンス電圧：4.096V または 5V
 - ▶ 差動入力電圧範囲、±REFIN/ゲイン：±15V、±9V、
±2.25V、±0.75V
 - ▶ 広い入力コモンモード電圧範囲：-8V～+10V
 - ▶ 低入力バイアス電流：-30pA（代表値）
- ▶ システム・フットプリントの削減を実現する高密度ソリューション
 - ▶ 14mm × 9mm、0.8 mm ピッチ、178 ボール CSP BGA
 - ▶ フットプリントを同等のディスクリート・ソリューションの 1/4 に削減
 - ▶ 内部 VCM 生成機能を備えたリファレンス・バッファを内蔵

- ▶ 合計消費電力：2MSPS で 446mW（代表値）
- ▶ 電氣的に絶縁された 1.8V I²C 対応温度センサー
- ▶ Flexi-SPI デジタル・インターフェース
 - ▶ 1、2、または 4 個の SDO レーンにより SCK の低速化が可能
 - ▶ エコー・クロック・モードによりデジタル・アイソレータを容易に使用可能
 - ▶ 1.2V～1.8V のロジックに対応
 - ▶ PGIA ゲイン制御（A0、A1）インターフェース
 - ▶ サンプリング分解能を 30 ビットに拡張
 - ▶ オーバーレンジ・ビットおよび同期ビット

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ マシン・オートメーション
- ▶ プロセス制御
- ▶ 医療用および工業用計測
- ▶ デジタル制御ループ

機能ブロック図

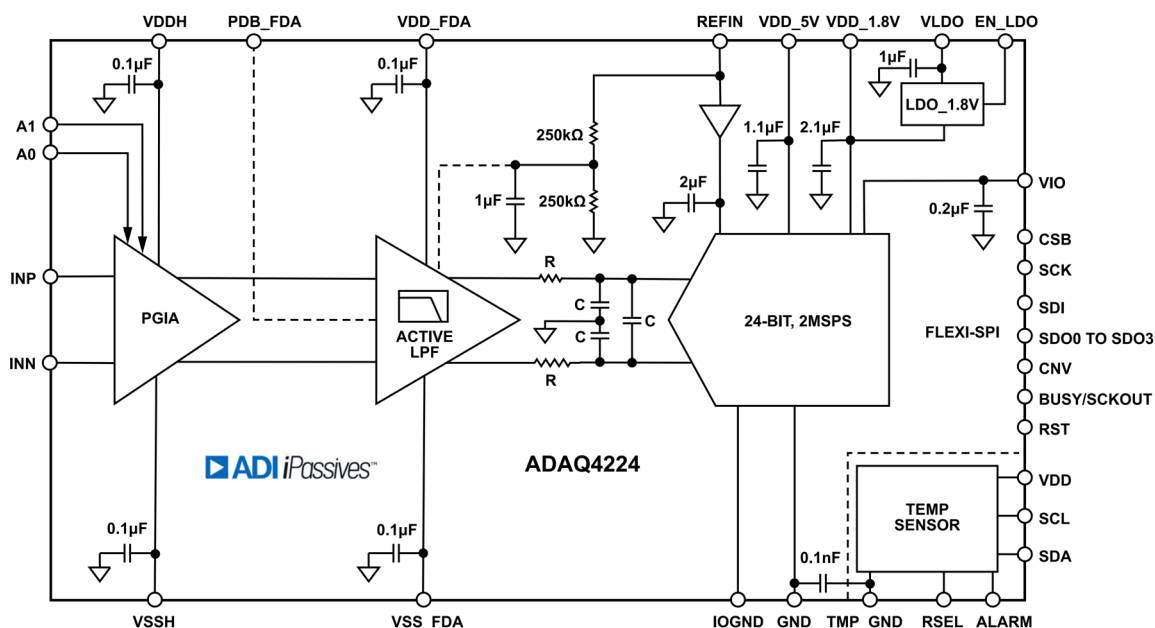


図 1. ADAQ4224 の機能ブロック図

目次

特長.....	1	レジスタ.....	55
アプリケーション.....	1	レジスタの詳細.....	56
機能ブロック図.....	1	インターフェース設定 A レジスタ.....	56
概要.....	3	インターフェース設定 B レジスタ.....	56
仕様.....	4	デバイス設定レジスタ.....	57
タイミング仕様.....	8	チップ・タイプ・レジスタ.....	57
絶対最大定格.....	13	製品 ID ロー・レジスタ.....	57
熱抵抗.....	13	製品 ID ハイ・レジスタ.....	57
静電放電定格.....	13	チップ・グレード・レジスタ.....	58
ESD に関する注意.....	13	スクラッチ・パッド・レジスタ.....	58
ピン配置およびピン機能の説明.....	14	SPI リビジョン・レジスタ.....	58
代表的な性能特性.....	16	ベンダ ID ロー・レジスタ.....	59
用語の定義.....	28	ベンダ ID ハイ・レジスタ.....	59
動作原理.....	29	ストリーム・モード・レジスタ.....	59
概要.....	29	インターフェース・ステータス A レジスタ.....	59
伝達関数.....	29	設定モード終了レジスタ.....	60
シグナル・チェーンの動作.....	30	平均化モード・レジスタ.....	60
デジタル・サンプリング処理機能.....	30	オフセット・レジスタ.....	60
温度センサーの動作.....	31	ゲイン・レジスタ.....	61
アプリケーション情報.....	35	モード・レジスタ.....	62
代表的なアプリケーション図.....	35	内部発振器レジスタ.....	62
リファレンス回路の設計.....	40	出力ドライバ・レジスタ.....	63
ADC リセット.....	41	テスト・パターン・レジスタ.....	63
電源.....	41	デジタル診断レジスタ.....	64
シリアル・インターフェース.....	43	デジタル・エラー・レジスタ.....	64
SPI 信号.....	43	温度センサー・レジスタ.....	65
サンプル変換タイミングとデータ転送.....	45	設定およびステータス・レジスタ.....	66
クロック・モード.....	46	外形寸法.....	67
データ・クロック条件とタイミング.....	49	オーダー・ガイド.....	67
レイアウトのガイドライン.....	54	評価用ボード.....	67

改訂履歴

9/2024— Revision 0: Initial Version

概要

ADAQ4224 は、部品の選択、最適化、およびレイアウトに関するシグナル・チェーン設計上の課題を設計者からデバイスへ移転することによって、高精度測定システムの開発サイクルを短縮できる μ Module®高精度データ・アキュイジション (DAQ) シグナル・チェーン・ソリューションです。24 ビット時に最大 $\pm 1.0\text{ppm}$ の INL とノー・ミス・コードが確保された ADAQ4224 は、 $-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$ の範囲で比類のない精度を実現します。

ADAQ4224 はシステム・イン・パッケージ (SIP) 技術を採用し、データ・アキュイジション・ソリューションで必須とされる一般的な信号処理ブロックを低フットプリントの 178 ボール CSP_BGA パッケージ (14mm \times 9mm、0.8mm ピッチ) にまとめて搭載しています。

ADAQ4224 は以下のコンポーネントを内蔵しています。

- ▶ 低ノイズの広帯域幅プログラマブル・ゲイン計装アンプ (PGIA)
- ▶ 2 次アンチエイリアス・フィルタ
- ▶ 低ノイズ、低歪み、広帯域幅の ADC ドライバ
- ▶ 高精度、24 ビット、2MSPS の逐次比較レジスタ (SAR) ADC
- ▶ 最大 $\pm 1^{\circ}\text{C}$ の優れた精度を備え、電氣的に絶縁された I²C 対応温度センサー
- ▶ 1.8V の低ドロップアウト (LDO) レギュレータ
- ▶ 性能重視の受動部品

ADAQ4224 は、アナログ・デバイセズの iPassive® 技術を使用して、優れたマッチング特性とドリフト特性を備えた性能重視の受動部品を内蔵することにより、温度依存性のある誤差源を最小限に抑えて最適な性能を実現します。重要な電源とリファレンス・バイパス・コンデンサを内蔵することで、システムレベルのボード・レイアウトによる影響を受けにくくなります。

また、ソリューションのフットプリントを削減することでシステムに搭載する機能を増やすことが可能になり、性能を犠牲にすることなく計測器を小型化することができます。

このシステム統合によって設計上の多くの課題が解決されると同時に、 μ Module で PGIA を柔軟に構成できるため、ゲインや減衰の調整が可能になり、シングルエンド入力信号や差動入力信号の収集をサポートできます。PGIA および ADC ドライバ段の高速セトリングと遅延のない SAR ADC により、多数のチャンネルのマルチプレクス・シグナル・チェーン・アーキテクチャおよび制御ループ・アプリケーション向けに比類のないソリューションを提供します。

デジタル機能には Flexi-SPI シリアル・ペリフェラル・インターフェース (SPI) が含まれ、これにより、複数の SPI モードによるデータ・アクセスの他、オフセット補正、ゲイン調整、平均化が可能になります。これらのデジタル機能はホスト・プロセッサの負担を軽減します。広いデータ・クロック・ウィンドウ、複数の SDO レーン、オプションの DDR (デュアル・データ・レート) データ・クロックにより、最高速の 2MSPS で動作させながらシリアル・クロック周波数を下げることができます。また、DAQ ソリューションを容易に絶縁できるため、消費電力と EMI も抑えられます。ADAQ4224 のエコー・クロック・モードとホスト・クロック・モードではタイミング条件が緩和されるので、デジタル・アイソレータの使用が容易になります。

Flexi-SPI、PGIA ゲイン制御、および I²C 対応温度センサー・シリアル・ユーザ・インターフェースは、独立した VIO 電源を採用することで、1.2V \sim 1.8V、2.5V、3V、5V のロジックに対応しています。ADAQ4224 の動作は $-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$ の温度範囲で仕様規定されています。

仕様

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{IO} = 1.8V$ 、 $V_{DD} = 3.3V$ 、 $REFIN = 5V$ 、サンプリング周波数 (f_s) = 2MSPS、すべてのゲインと仕様は $T_{MIN} \sim T_{MAX}$ での値。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		24			Bits
DIFFERENTIAL INPUT VOLTAGE RANGE, V_{IN}	$V_{IN} = \pm REFIN/Gain$				
	Gain = 1/3	-15		+15	V
	Gain = 5/9	-9		+9	V
	Gain = 20/9	-2.25		+2.25	V
	Gain = 20/3	-0.75		+0.75	V
Analog Front-End Gain (G)	A0 = low, A1 = low		1/3		V/V
	A0 = high, A1 = low		5/9		V/V
	A0 = low, A1 = high		20/9		V/V
	A0 = high, A1 = high		20/3		V/V
Input Common-Mode Voltage Range	All gains	-8		+10	V
Common-Mode Rejection Ratio (CMRR)	DC		95		dB
Input Current ¹	INP, INN, $T_A = 25^\circ C$	-130	-30	+75	pA
Input Resistance	INP, INN		10^{12}		Ω
Input Capacitance	INP, INN		22		pF
THROUGHPUT					
Complete Cycle		500			ns
Conversion Time		264	282	300	ns
Acquisition Phase ²		244	260	275	ns
Throughput Rate		0		2	MSPS
DC ACCURACY					
No Missing Codes		24			Bits
Integral Nonlinearity Error (INL) ¹	All gains. $V_{SS_FDA} = 0 V$	-1	± 0.4	+1	ppm
Differential Nonlinearity Error (DNL) ¹	All gains		± 0.5		LSB
Transition Noise	G = 1/3		73.33		LSB _{rms}
	G = 5/9		45.02		LSB _{rms}
	G = 20/9		13.37		LSB _{rms}
	G = 20/3		6.67		LSB _{rms}
Offset Error	G = 1/3	-0.8	± 0.10	+0.8	mV
	G = 5/9	-0.8	± 0.11	+0.8	mV
	G = 20/9	-0.95	± 0.13	+0.95	mV
	G = 20/3	-1.4	± 0.23	+1.4	mV
Offset Error Drift	T = $-40^\circ C$ to $+105^\circ C$, End point method				
	G = 1/3, 5/9, 20/9	-7.1	± 1.7	+4.1	$\mu V/^\circ C$
	G = 20/3	-9.2	± 1.2	+6.8	$\mu V/^\circ C$
Gain Error	$REFIN = 5 V$	-0.06	± 0.006	+0.06	%FS
Gain Error Drift	T = $-40^\circ C$ to $+105^\circ C$, End point method				
	All gains	-1.25	0.1	1.50	ppm/ $^\circ C$
Power-Supply Rejection Ratio (PSRR)	$V_{DDH} = +15 V$ to $+18 V$ step		122		dB
	$V_{SSH} = -15 V$ to $-18 V$ step		129		dB
	$V_{DD_FDA} = +4.5 V$ to $+5.5 V$ step		109		dB
	$V_{SS_FDA} = 0 V$ to $-1 V$ step		104		dB
	$V_{DD_5V} = +5.3 V$ to $+5.5 V$ step		109		dB
	$V_{LDO} = +5.3 V$ to $+5.5 V$ step		113		dB
Low Frequency Noise ³	Referred to input, bandwidth = 0.1 Hz to 10 Hz, all gains		6		μV p-p

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
AC ACCURACY					
Dynamic Range	G = 1/3		107.7		dB
	G = 5/9		107.5		dB
	G = 20/9		106		dB
	G = 20/3		102.5		dB
Total-System Dynamic Range			128		dB
Noise Spectral Density (NSD)	$f_{IN} = 10 \text{ kHz}$				
	G = 1/3		67.12		nV/ $\sqrt{\text{Hz}}$
	G = 5/9		41.21		nV/ $\sqrt{\text{Hz}}$
	G = 20/9		12.72		nV/ $\sqrt{\text{Hz}}$
	G = 20/3		6.69		nV/ $\sqrt{\text{Hz}}$
Total RMS Noise, RTI	G = 1/3		43.7		$\mu\text{V RMS}$
	G = 5/9		26.8		$\mu\text{V RMS}$
	G = 20/9		8		$\mu\text{V RMS}$
	G = 20/3		4		$\mu\text{V RMS}$
Signal-to-Noise Ratio (SNR)	$f_{IN} = 1 \text{ kHz}, -0.5 \text{ dBFS}$				
	G = 1/3	105	106.5		dB
	G = 5/9	104	106		dB
	G = 20/9	103.2	105		dB
	G = 20/3	98.8	101		dB
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1 \text{ kHz}, -0.5 \text{ dBFS}$				
	G = 1/3		122		dB
	G = 5/9		118		dB
	G = 20/9		122		dB
	G = 20/3		122		dB
Total Harmonic Distortion (THD)	$f_{IN} = 1 \text{ kHz}, -0.5 \text{ dBFS}$				
	G = 1/3	-114.5	-122		dB
	G = 5/9	-106	-118		dB
	G = 20/9	-116	-122		dB
	G = 20/3	-116	-122		dB
Signal-to-Noise-and-Distortion (SINAD) Ratio	$f_{IN} = 1 \text{ kHz}, -0.5 \text{ dBFS}$				
	G = 1/3	104.7	106.4		dB
	G = 5/9	103.7	105.9		dB
	G = 20/9	103	104.9		dB
	G = 20/3	98.6	100.9		dB
Oversampled Dynamic Range	OSR = 2		108		dB
	OSR = 1024		134		dB
-3 dB Input Bandwidth	$V_{OUTDIFF} = 2 \text{ V p-p}$				
	G = 1/3		270		kHz
	G = 5/9		270		kHz
	G = 20/9		250		kHz
	G = 20/3		225		kHz
Aperture Delay			0.7		ns
Aperture Jitter			1.4		ps RMS
INTERNAL REFERENCE BUFFER					
REFIN Voltage Range	External reference drives REFIN				
	$5.3 \text{ V} \leq V_{DD_5V} \leq 5.5 \text{ V}$	4.95	5	5.05	V
	$4.75 \text{ V} \leq V_{DD_5V} \leq 5.25 \text{ V}$	4.046	4.096	4.146	V
REFIN Bias Current	REFIN = 5 V		10	13.5	μA
REFIN Input Impedance			500		k Ω

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFIN Input Capacitance	REFIN = 5 V or 4.096 V, T _A = 25°C	−150	40	+150	pF
Reference Buffer Offset-Error			±20		μV
Reference Buffer Offset-Drift			±0.3		μV/°C
Power-On Settling Time			3		ms
DIGITAL INPUTS, ADC	1.14 V ≤ V _{IO} ≤ 1.89 V				
Logic Levels					
Input Voltage Low (V _{IL})		−0.3		+0.35 × V _{IO}	V
Input Voltage High (V _{IH})		0.65 × V _{IO}		V _{IO} + 0.3	V
Input Current Low (I _{IL})		−10		+10	μA
Input Current High (I _{IH})		−10		+10	μA
Input Pin Capacitance			2		pF
DIGITAL INPUTS, A0 and A1					
Logic Levels					
Input Voltage Low (V _{IL})		2			V
Input Voltage High (V _{IH})				0.8	V
Input Current (I _{IL} or I _{IH})			0.002		μA
Input Pin Capacitance			2		pF
DIGITAL INPUTS, FDA					
PDB_FDA Input Current	PDB_FDA = VDD_FDA or 0 V		50		μA
DIGITAL INPUTS, TEMPERATURE SENSOR (SDA AND SCL)					
Logic Levels	V _{DD} = 3.3 V	−0.5 V _{DD} × 0.7		V _{DD} × 0.3 3.6 +1 +1	
Input Voltage Low (V _{IL})					V
Input Voltage High (V _{IH})					V
Input High-Leakage Current					μA
Input Low-Leakage Current					μA
Input Capacitance					pF
DIGITAL OUTPUTS	1.14 V ≤ V _{IO} ≤ 1.89 V	Conversion results available immediately after completed conversion			
Pipeline Delay	Sink current (I _{SINK}) = 2 mA Source current (I _{SOURCE}) = 2 mA	0.25 × V _{IO}			
Output Voltage Low (V _{OL})					V
Output Voltage High (V _{OH})					V
LDO CHARACTERISTICS					
VDD_1.8V Output Voltage	Output current (I _{OUT}) = 1 mA to 100 mA I _{OUT} = 100 mA	1.71	1.8	1.89	V
Load Regulation			0.003		%/mA
Dropout Voltage ⁴			45		mV
Start-up Time ⁵			200		μs
Current Limit Threshold	EN_LDO = V _{LDO}		260		mA
EN_LDO Input Current			0.001	1	μA
Thermal Shutdown Threshold			150		°C
Thermal Shutdown Hysteresis			15		°C
TEMPERATURE SENSOR CHARACTERISTICS					
Temperature Measurement Error	T = −40°C to +105°C	−1	±0.3	+1	°C
Conversion Time	10-bit resolution, T = 25°C		35	150	ms
Temperature Resolution	12-bit (Configuration Bits[D6:D5] = 11)		0.0625		°C
	10-bit (Configuration Bits[D6:D5] = 10)		0.25		°C

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
First Conversion Completed	9-bit (Configuration Bits[D6:D5] = 01)		0.5		°C
	8-bit (Configuration Bits[D6:D5] = 00)		1.0		°C
	After V _{DD} exceeds 1.6 V			500	ms
ISOLATION LEAKAGE CURRENT	±250 V between GND and TMP_GND planes		1		nA
POWER SUPPLIES					
V _{DDH}			18		V
V _{SSH}			-18		V
VDD_FDA		3	5.4	VSS_FDA + 10	V
VSS_FDA		VDD_FDA - 10	0	+0.1	V
VDD_5V	REF = 5 V	5.3	5.4	5.5	V
	REF = 4.096 V	4.75	5	5.25	V
VDD_1.8V		1.71	1.8	1.89	V
V _{IO} ⁶		1.14		1.89	V
VDD		3.0	3.3	3.6	V
VLDO		2.2	5.4	5.5	V
Standby Current					
	Inputs grounded				
V _{DDH}			8		mA
V _{SSH}			-9		mA
VDD_FDA			4.8		mA
VSS_FDA			-3.5		mA
VDD_5V			525		μA
V _{IO}			<1		μA
V _{DD}			1.5	4.5	μA
V _{LDO}			108		μA
Shutdown Current					
	Inputs grounded				
VDD_FDA	PDB_FDA = 0 V		32		μA
VSS_FDA	PDB_FDA = 0 V		25.5		μA
VDD_5V	ADC in Shutdown Mode		5		μA
V _{IO}			<1		μA
V _{LDO}	EN_LDO = 0 V, ADC in shutdown mode		0.8		μA
Operating Current					
	2 MSPS, Input = -0.5 dBFS				
V _{DDH}	V _{DDH} = +18 V		10		mA
V _{SSH}	V _{SSH} = -18 V		-9.8		mA
VDD_5V	VDD_5V = 5.4 V		2.5	3.2	mA
VDD_FDA	VDD_FDA = 5 V		5.6	7.5	mA
VSS_FDA	VSS_FDA = 0 V	-7.5	-5.6		mA
V _{IO}	V _{IO} = 1.8 V, 1-lane SDO		1.3		mA
V _{LDO}	V _{LDO} = 5.4 V		8.2	10.5	mA
V _{DD}	V _{DD} = 3.3 V		80	150	μA
Power Dissipation	2 MSPS		446		mW
t _{RESET_DELAY}	After power-on, delay from VDD_5V and VDD_1.8V valid to $\overline{\text{RST}}$ assertion	3			ms
t _{RESET_PW}	$\overline{\text{RST}}$ pulse width	50			ns
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-40		+105	°C

¹ これらの仕様は製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

仕様

² アクイジション・フェーズとは、入力サンプリング・コンデンサが、2MSPS のスループット・レートで動作する ADC で新しい入力を取得するために使用できる時間です。

³ 図 61 の低周波数ノイズ・プロットを参照してください。1/f ノイズは、オートゼロ機能により内部で打ち消されます。ノイズ・スペクトル密度は、DC～ $f_s/2$ の範囲で実質的に一定です。

⁴ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。

⁵ スタートアップ時間は、EN_LDO の立上がりエッジから VDD_1.8V が公称値の 90%になるまでの時間として定義されます。

⁶ $V_{IO} < 1.4V$ の場合はビット IO2X を 1 に設定する必要があります。詳細については出力ドライバ・レジスタのセクションを参照してください。

タイミング仕様

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0V$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{IO} = 1.8V$ 、REFIN = 5V、 $V_{DD} = 3.3V$ 、 $f_s = 2MSPS$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ における値。タイミング電圧レベルについては図 2 を参照してください。 $V_{IO} < 1.4V$ の場合はビット IO2X を 1 に設定する必要があります。

表 2. デジタル・タイミング・インターフェース

Parameter ¹	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	264	282	300	ns
Acquisition Phase ²	t_{ACQ}	244	260	275	ns
Time Between Conversions	t_{CYC}	500			ns
CNV High Time	t_{CNVH}	10			ns
CNV Low Time	t_{CNVL}	20			ns
Internal Oscillator Frequency	f_{OSC}	75.1	80	84.7	MHz

¹ タイミング仕様は、デジタル出力ピンでの負荷容量が 5pF であると仮定しています。 t_{CONV} 、 t_{CYC} 、 t_{SCK} 、 t_{SCKOUT} は出荷テスト済みです。それ以外のタイミング仕様は特性評価および設計により確保されています。

² アクイジション・フェーズとは、入力サンプリング・コンデンサが、2MSPS のスループット・レートで動作する ADC で新しい入力を取得するために使用できる時間です。

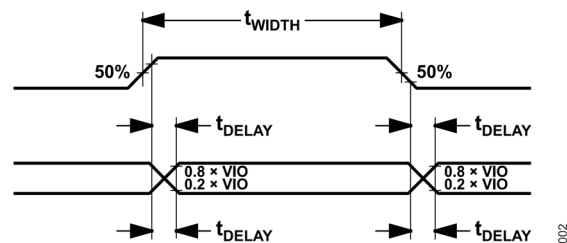


図 2. タイミングの電圧レベル

表 3. レジスタ読出し／書込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
\overline{CS} Pulse Width	t_{CSPW}	10			ns
SCK Period	t_{SCK}				
$V_{IO} > 1.71V$		11.6			ns
$V_{IO} > 1.14V$		12.3			ns
SCK Low Time	t_{SCKL}	5.2			ns
SCK High Time	t_{SCKH}	5.2			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	2.1			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
$V_{IO} > 1.71V$				9.4	ns
$V_{IO} > 1.14V$				11.8	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns
SDI Valid Setup Time to SCK Rising Edge	t_{SSDI}	1.5			ns
SDI Valid Hold Time from SCK Rising Edge	t_{HSDI}	1.5			ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}				

仕様

表 3. レジスタ読出し／書込みのタイミング（続き）

Parameter	Symbol	Min	Typ	Max	Unit
$V_{IO} > 1.71\text{ V}$		11.6			ns
$V_{IO} > 1.14\text{ V}$		12.3			ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{SCKCS}	5.2			ns

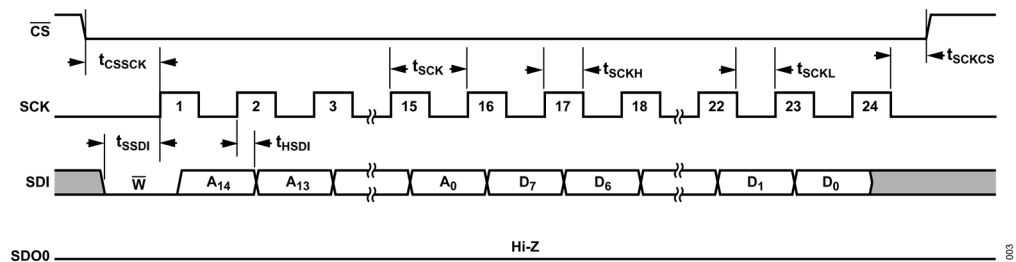


図 3. レジスタ設定モードの書込みタイミング

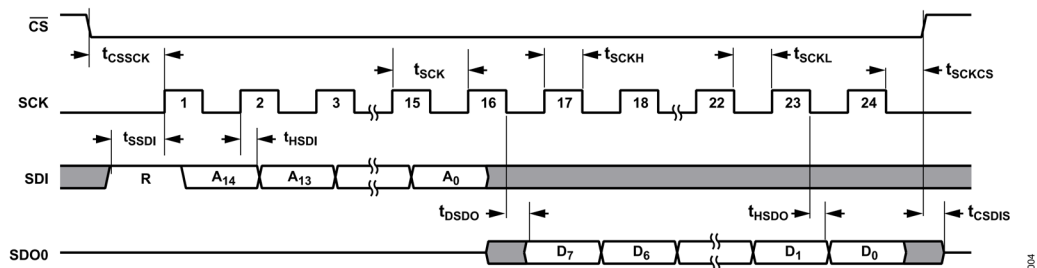


図 4. レジスタ設定モードの読出しタイミング

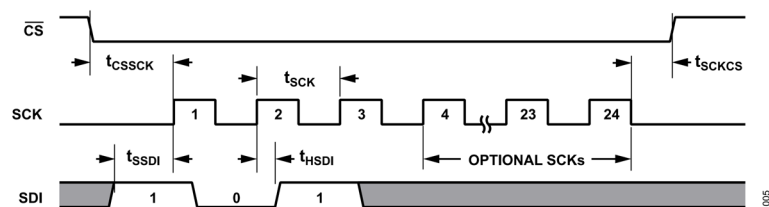


図 5. レジスタ設定モードのコマンド・タイミング

表 4. SPI 互換モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}	9.8			ns
$V_{IO} > 1.71\text{ V}$		12.3			ns
$V_{IO} > 1.14\text{ V}$					
SCK Low Time	t_{SCKL}	4.2			ns
$V_{IO} > 1.71\text{ V}$		5.2			ns
$V_{IO} > 1.14\text{ V}$					
SCK High Time	t_{SCKH}	4.2			ns
$V_{IO} > 1.71\text{ V}$		5.2			ns
$V_{IO} > 1.14\text{ V}$					
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.4			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			5.6	ns
$V_{IO} > 1.71\text{ V}$				8.1	ns
$V_{IO} > 1.14\text{ V}$					

仕様

表 4. SPI 互換モードのタイミング（続き）

Parameter	Symbol	Min	Typ	Max	Unit
$\overline{\text{CS}}$ Falling Edge to SDO Valid	t_{CSEN}				ns
$V_{\text{IO}} > 1.71 \text{ V}$				6.8	ns
$V_{\text{IO}} > 1.14 \text{ V}$				9.3	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t_{CSSCK}				ns
$V_{\text{IO}} > 1.71 \text{ V}$		9.8			ns
$V_{\text{IO}} > 1.14 \text{ V}$		12.3			ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{SCKCS}	4.2			ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns
$\overline{\text{CS}}$ Falling Edge to BUSY Rising Edge	t_{CSBUSY}		6		ns

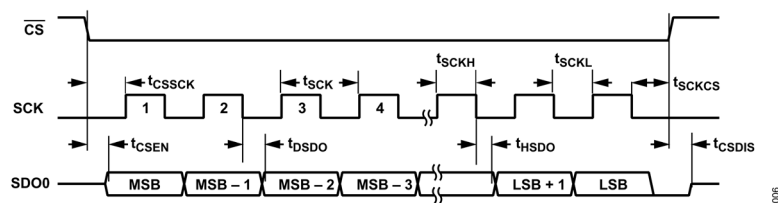


図 6. SPI クロック・モードの 1 レーン SDR のタイミング

表 5. エコー・クロック・モードのタイミング、SDR、1 レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}				ns
$V_{\text{IO}} > 1.71 \text{ V}$		9.8			ns
$V_{\text{IO}} > 1.14 \text{ V}$		12.3			ns
SCK Low Time, SCK High Time	$t_{\text{SCKL}}, t_{\text{SCKH}}$				ns
$V_{\text{IO}} > 1.71 \text{ V}$		4.2			ns
$V_{\text{IO}} > 1.14 \text{ V}$		5.2			ns
SCK Rising Edge to Data/SCKOUT Remains Valid	t_{HSDO}	1.1			ns
SCK Rising Edge to Data/SCKOUT Valid Delay	t_{DSDO}				ns
$V_{\text{IO}} > 1.71 \text{ V}$				5.6	ns
$V_{\text{IO}} > 1.14 \text{ V}$				8.1	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t_{CSSCK}				ns
$V_{\text{IO}} > 1.71 \text{ V}$		9.8			ns
$V_{\text{IO}} > 1.14 \text{ V}$		12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{SCKCS}	4.2			ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

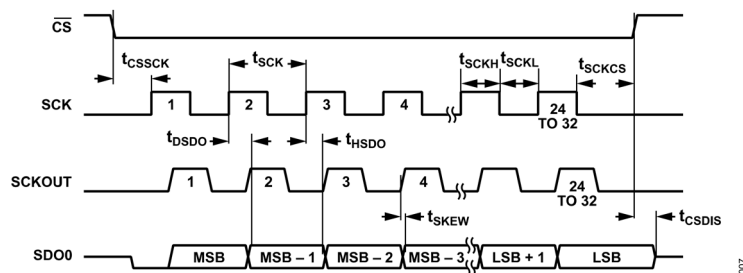


図 7. エコー・クロック・モードのタイミング、SDR、1 レーン

仕様

表 6. エコー・クロック・モードのタイミング、DDR、1 レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}	12.3			ns
SCK Low Time, SCK High Time	t_{SCKL} , t_{SCKH}	5.2			ns
SCK Edge to Data/SCKOUT Remains Valid	t_{HSDO}	1.1			ns
SCK Edge to Data/SCKOUT Valid Delay	t_{DSDO}				
$V_{IO} > 1.71\text{ V}$				6.2	ns
$V_{IO} > 1.14\text{ V}$				8.7	ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}	12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	9			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

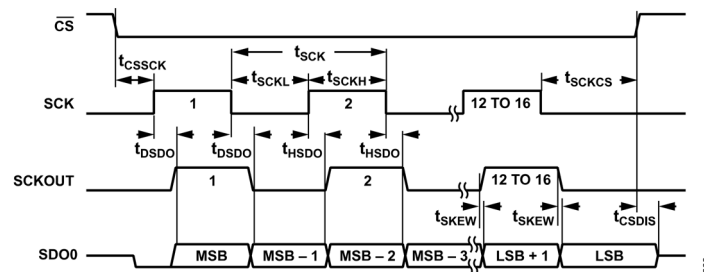


図 8. エコー・クロック・モードのタイミング、DDR、1 レーン

表 7. ホスト・クロック・モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCKOUT}				
OSC_DIV = No Divide		11.8	12.5	13.3	ns
OSC_DIV = Divide by 2		23.6	25	26.6	ns
OSC_DIV = Divide by 4		47.4	50	53.2	ns
SCK Low Time	$t_{SCKOUTL}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
SCK High Time	$t_{SCKOUTH}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
\overline{CS} Falling Edge to First SCKOUT Rising Edge	$t_{DSCKOUT}$				
$V_{IO} > 1.71\text{ V}$		10	13.6	19	ns
$V_{IO} > 1.14\text{ V}$		10	15	21	ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCKOUT Edge to \overline{CS} Rising Edge	$t_{SCKOUTCS}$	5.2			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

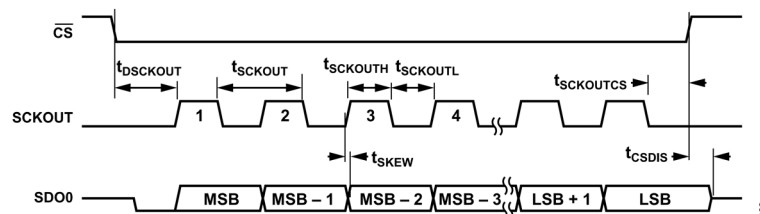


図 9. ホスト・クロック・モードのタイミング、SDR、1 レーン

仕様

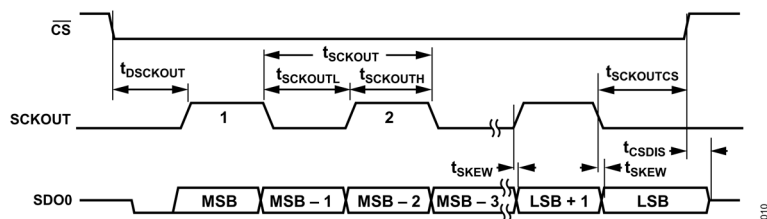
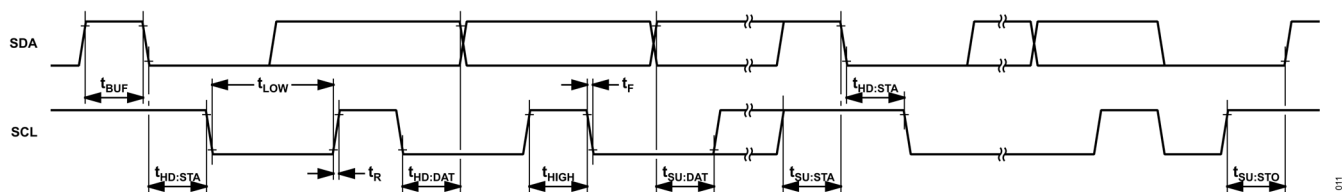


図 10. ホスト・クロック・モードのタイミング、DDR、1 レーン

表 8. 温度センサーの I²C タイミング

Parameter	Symbol	Min	Typ	Max	Unit
Serial Clock Frequency	f_{SCL}	20		1M	Hz
Bus Free Time Between Start and Stop Conditions	t_{BUF}	0.5			μ s
START Condition Hold Time	$t_{HD:STA}$	0.26			μ s
STOP Condition Setup Time ¹	$t_{SU:STO}$	0.26			μ s
Clock Low Period	t_{LOW}	0.5			μ s
Clock High Period	t_{HIGH}	0.26			μ s
Start Condition Setup Time ²	$t_{SU:STA}$	0.26			μ s
Data Setup Time ³	$t_{SU:DAT}$	50			ns
Data In Hold Time ⁴	$t_{HD:DAT}$	0			μ s
SCL/SDA Rise Time	t_R			120	ns
SCL/SDA Fall Time ⁵	t_F	$20 \times (V_{DD}/5.5 \text{ V})$		120	ns
SCL Time Low for Reset of Serial Interface ⁶	$t_{TIMEOUT}$	10		85	ms

¹ 90% SCL ~ 10% SDA。² 90% SCL ~ 90% SDA。³ 10% SDA ~ 10% SCL。⁴ 10% SCL ~ 10% SDA。⁵ C_B = 1 つのバス・ラインの合計容量 (pF)。 C_B = 400pF でテスト。⁶ SCL ラインをローに保持している時間が $t_{TIMEOUT}$ を超えると、このデバイスは SDA をリセットしてシリアル・バス通信をアイドル状態にします (SDA が解放されます)。図 11. 温度センサーの I²C タイミング図

絶対最大定格

表 9. 絶対最大定格

Parameter	Rating
Analog Inputs	
Input Voltage, INP, INN	$V_{SSH} - 0.2\text{ V to } V_{DDH} + 0.2\text{ V}$
REFIN to GND	$-0.3\text{ V to } V_{DD_5V} + 0.3\text{ V}$
Input Current ¹	$\pm 20\text{ mA}$
Supply Voltage	
V_{DDH} to V_{SSH}	40 V
V_{DD_FDA} to GND	11 V
V_{DD_5V} to GND	$-0.3\text{ V to } +6.0\text{ V}$
V_{IO} to GND	$-0.3\text{ V to } +2.1\text{ V}$
V_{LDO} to GND	$-0.3\text{ V to } +6.5\text{ V}$
V_{DD} to TMP_GND	$-0.3\text{ V to } +4\text{ V}$
Digital Inputs to GND	$-0.3\text{ V to } V_{IO} + 0.3\text{ V}$
CNV to GND	$-0.3\text{ V to } V_{IO} + 0.3\text{ V}$
RSEL, ALARM, SCL, SDA to TMP_GND	$-0.3\text{ V to } +4\text{ V}$
Digital Outputs to GND	$-0.3\text{ V to } V_{IO} + 0.3\text{ V}$
Temperature	
Storage Range	$-55^{\circ}\text{C to } +150^{\circ}\text{C}$
Operating Junction Range	$-40^{\circ}\text{C to } +105^{\circ}\text{C}$
Maximum Reflow (Package Body)	260°C

¹ 入力ピンには電源ピンへのクランプ・ダイオードが接続されています。入力信号が電源レールを 0.3V 超える場合は、常に入力電流を 20mA 未満に制限します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。 θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。 θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 10. 熱抵抗

Package Type	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOT}	Ψ_{JT}	Unit
BC-178-2	28.96	22.60	14.09	14.03	°C/W

静電放電定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADAQ4224 の ESD 定格

表 11. ADAQ4224、178 ボール CSP_BGA

ESD Model	Withstand Threshold (kV)	Class
HBM	± 4	3A
FICDM	± 1	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
A	GND	GND	GND	GND	VDDH	VDDH	GND	GND	GND	GND	GND		TMP_GND	VDD	ALARM		GND
B	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND		RSEL	SCL	SDA		GND
C	INP	GND	VSSH	VSSH	GND	INN	INN	GND	GND	GND	GND						GND
D	INP	GND	GND	GND	GND	GND	GND	GND	GND	GND	REFIN	VDD_5V	GND	GND	CNV	RSTB	VIO
E	GND	GND	A1	A0	GND	VDD_FDA	GND	GND	OUTP	ADCP	GND	VDD_5V	GND	GND	IOGND	IOGND	VIO
F	GND	GND	GND	GND	GND	VDD_FDA	GND	GND	OUTN	ADCN	GND	GND	GND	GND	IOGND	SDO3	SDO1
G	GND	GND	VSSH	VSSH	GND	GND	GND	GND	GND	GND	DNC	DNC	GND	GND	IOGND	SDO2	SDO0
H	GND	GND	GND	GND	GND	GND	GND	PDB_FDA	GND	GND	DNC	DNC	GND	GND	IOGND	IOGND	BUSY_SCKOUT
J	GND	GND	VDDH	VDDH	GND	VSS_FDA	GND	GND	GND	NIC	GND	GND	GND	GND	IOGND	DNC	DNC
K	GND	GND	GND	GND	GND	VSS_FDA	GND	GND	GND	NIC	GND	VDD_1P8V	GND	GND	IOGND	DNC	DNC
L	GND	GND	GND	GND	GND	GND	GND	EN_LDO	GND	GND	GND	VDD_1P8V	GND	CSB	SDI	SCK	IOGND

図 12. ピン配置

表 12. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1 to A4, A7 to A11, A17, B1 to B11, B17, C2, C5, C8 to C11, C17, D2 to D10, D13 to D14, E1 to E2, E5, E7 to E8, E11, E13 to E14, F1 to F5, F7 to F8, F11 to F14, G1 to G2, G5 to G6, G8 to G10, G13 to G14, H1 to H6, H8 to H10, H13 to H14, J1 to J2, J5, J7 to J9, J11 to J14, K1 to K5, K7 to K9, K11, K13 to K14, L1 to L6, L9 to L11, L13 A5 to A6, J3 to J4 A13 A14	GND VDDH TMP_GND VDD	P P P P	電源グラウンド。 PGIA の正電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。 温度センサーのグラウンド・リターン・パス。 温度センサーの電源。電源を 1.6V~3.6V の範囲とするか VIO に接続すれば、電源レール数を少なくできます。このピンは、パッケージ内部で 0.1μF のバイパス・コンデンサを介して TMP_GND に接続されています。
A15	ALARM	DO	温度センサー・アラーム出力。測定温度が TH 閾値を超えるか TL 閾値を下回るとアクティブになり、アクティブ・ハイまたはアクティブ・ローに設定できます。これはオープン・ドレイン出力で、動作させるにはプルアップ抵抗が必要です。
B13	RSEL	DI	このピンと TMP_GND の間には抵抗を接続してください。同じ温度センサーの I ² C バスに接続された最大 32 個のターゲット・デバイスを個々に識別するために使われます。1 個のデバイスのみを使用する場合は、TMP_GND に接続します。
B14	SCL	DI	温度センサーの I ² C クロック。
B15	SDA	DI	温度センサーの I ² C バス・データ・ライン。
C1, D1	INP	AI	正のアナログ入力。INP ピンはフロート状態のままにしないでください。INP ピンをフロート状態のままにすると、VDDH および VSSH 電源から PGIA へ流れる電流が大きくなります。
C3 to C4, G3 to G4 C6 to C7	VSSH INN	P AI	PGIA の負電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。 負のアナログ入力。INN ピンはフロート状態のままにしないでください。INN ピンをフロート状態のままにすると、VDDH および VSSH 電源から PGIA へ流れる電流が大きくなります。

ピン配置およびピン機能の説明

表 12. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
D11	REFIN	AI	リファレンス入力。REFINは4.096V～5V（グラウンド基準）で駆動します。このピンには内部リファレンス・バッファへの入力があり、内部の 2μF バイパス・コンデンサを介してバッファの出力に接続されています。
D12, E12	VDD_5V	P	5V 電源。VDD_5Vの範囲はリファレンスの値によって異なり、5Vのリファレンスの場合は5.3V～5.5V、4.096Vのリファレンスの場合は4.75V～5.25Vです。このピンはパッケージ内に1μFと0.1μFのバイパス・コンデンサを内蔵しています。
D15	CNV	DI	変換入力。この入力の立上がりエッジによってデバイスがパワーアップし、新たな変換が開始されます。ADCの仕様規定された性能を実現するには、この信号が低ジッタであることが必要です。ロジック・レベルはVIOピンによって決まります。
D16	RSTB	DI	リセット入力（アクティブ・ロー）。非同期ADCリセット。
D17, E17	VIO	P	入出力インターフェースのデジタル電源。このピンの公称電圧はホスト・インターフェースと同じ（1.8V、1.5V、または1.2V）です。このピンにはパッケージ内に0.2μFのバイパス・コンデンサがあります。VIO<1.4Vの場合、出力ドライバ・レジスタのビットIO2Xを1に設定する必要があります。
E3	A1	DI	PGIA ゲイン制御ロジック入力1。
E4	A0	DI	PGIA ゲイン制御ロジック入力0。
E6, F6	VDD_FDA	P	FDAの正電源。このピンは、パッケージ内に0.1μFのバイパス・コンデンサを内蔵しています。このピンは、2.2μF以上の（0402、X5R）セラミック・コンデンサを使ってGNDへバイパスします。
E9	OUTP	AO	正のFDA出力。
E10	ADCP	AI	正のADC入力。
E15 to E16, F15, G15, H15 to H16, J15, K15, L17	IOGND	P	VIOグラウンド。すべてのGNDピンと同じグラウンド・プレーンに接続します。
F9	OUTN	AO	負のFDA出力。
F10	ADCN	AI	負のADC入力。
F16	SDO3	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
F17	SDO1	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
G7, G11 to G12, H11 to H12	DNC		接続なし。
G16	SDO2	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
G17	SDO0	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
H7	PDB_FDA	DI	FDAをパワーダウンアクティブ・ロー。FDAをパワーダウンするにはPDB_FDAピンをGNDに接続します。もしくは、PDB_FDAピンをVDD_FDAロジック・ハイ電源に接続します。
H17	BUSY_SCKOUT	DO	SPIクロック・モードのビジー・インジケータ。このピンは、新たな変換の開始時にハイとなり、変換が終了するとローになります。ロジック・レベルはVIOピンによって決まります。SCKOUTがイネーブルされている場合、このピン機能は、ホスト・コントローラから入力されるSCKのエコー、または内部発振器から送られるクロックのどちらかになります。
J6, K6	VSS_FDA	P	FDAの負電源。このピンは、パッケージ内に0.1μFのバイパス・コンデンサを内蔵しています。このピンは、2.2μF以上の（0402、X5R）セラミック・コンデンサを使ってGNDへバイパスします。電源レール数を少なくするにはGNDに接続します。
J10, K10	NIC		内部では未接続。これらのピンは、内部では接続されていません。
J16 to J17, K16 to K17	DNC		接続なし。高インピーダンス・モードの場合、これらのピンは内部でデジタル出力ドライバに接続されます。
K12, L12	VDD_1.8V	P	LDOの電圧出力。出力は1.8V（代表値）です。このピンは、パッケージ内に1μFと0.1μFのバイパス・コンデンサを内蔵しています。
L7	EN_LDO	DI	LDOイネーブル・ピン。自動スタートアップの場合は、EN_LDOをVLDOに接続します。
L8	VLDO	P	内部LDO入力電源。このピンにはパッケージ内に1μFのバイパス・コンデンサがあります。VLDOの入力範囲は2.2V～5.5Vです。
L14	CSB	DI	チップ・セレクト入力（アクティブ・ロー）。
L15	SDI	DI	シリアル・データ入力。
L16	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると（CSB＝ロー）、変換結果はこのクロックによってシフト出力されます。

¹ AIはアナログ入力、AOはアナログ出力、Pは電源、DIはデジタル入力、DOはデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0V$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{DD_1.8V} = 1.8V$ 、 $V_{IO} = 1.8V$ 、 $REFIN = 5V$ 、 $f_s = 2MSPS$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ における値。

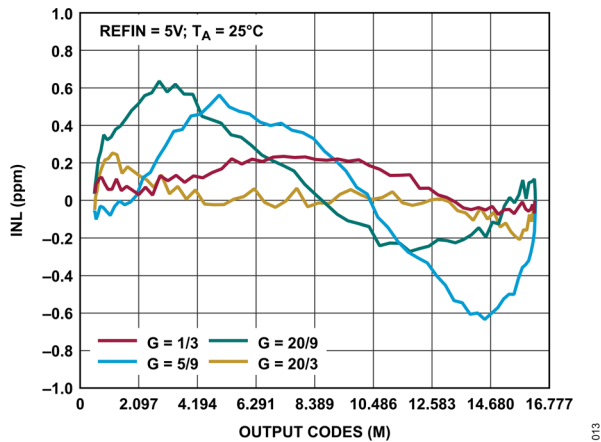


図 13. INL 誤差と出力コードの関係 (差動入力、REFIN = 5V)

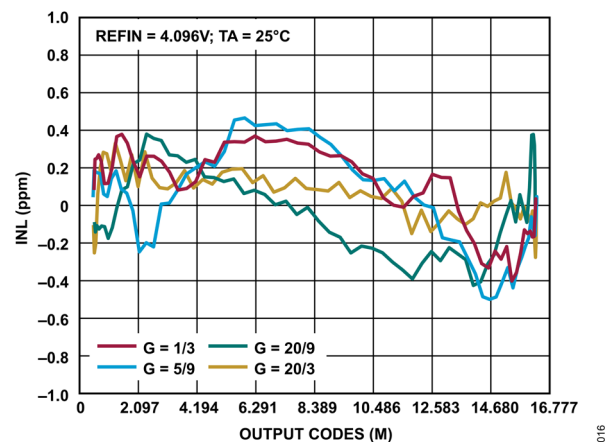


図 16. INL 誤差と出力コードの関係 (差動入力、REFIN = 4.096V)

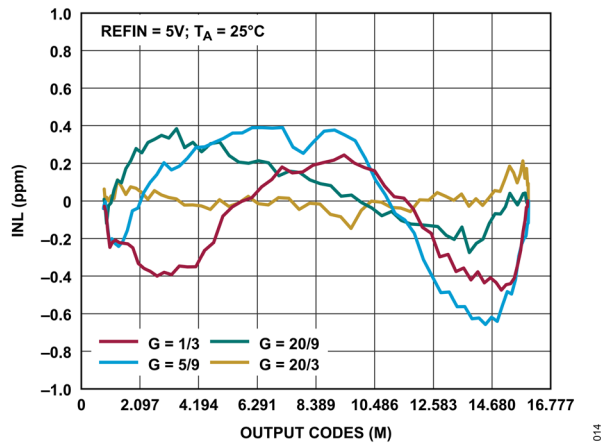


図 14. INL 誤差と出力コードの関係 (シングルエンド入力、REFIN = 5V)

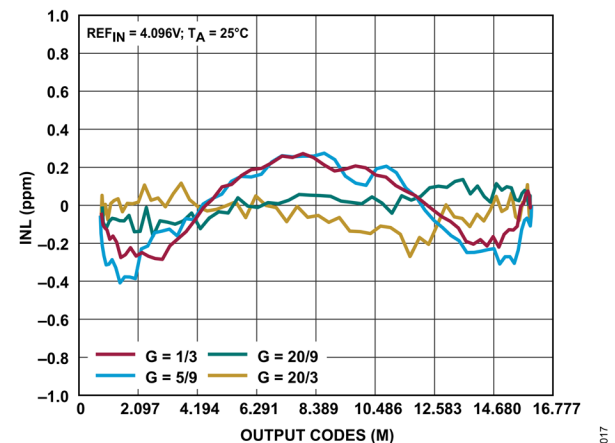


図 17. INL 誤差と出力コードの関係 (シングルエンド入力、REFIN = 4.096V)

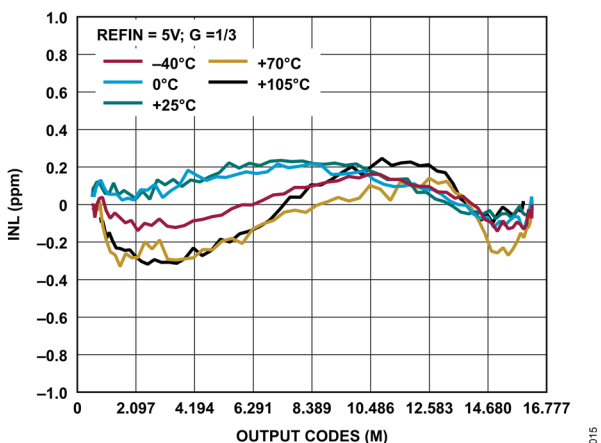


図 15. 異なる温度での INL 誤差と出力コードの関係 (G = 1/3)

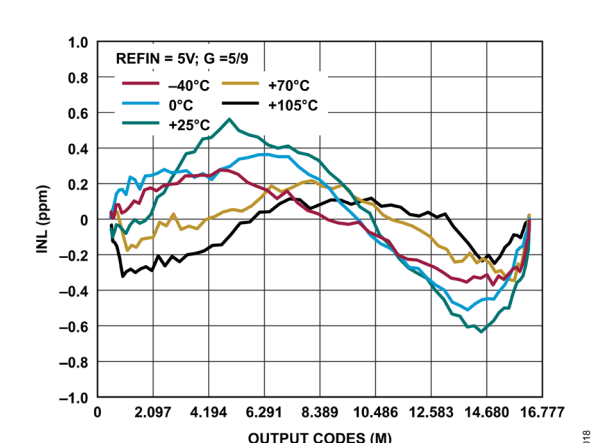


図 18. 異なる温度での INL 誤差と出力コードの関係 (G = 5/9)

代表的な性能特性

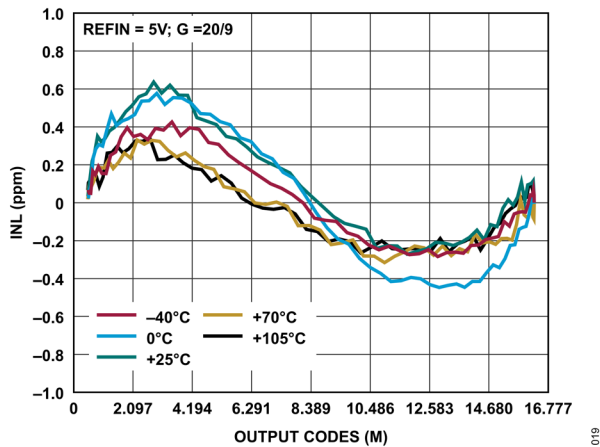


図 19. 異なる温度での INL 誤差と出力コードの関係 (G = 20/9)

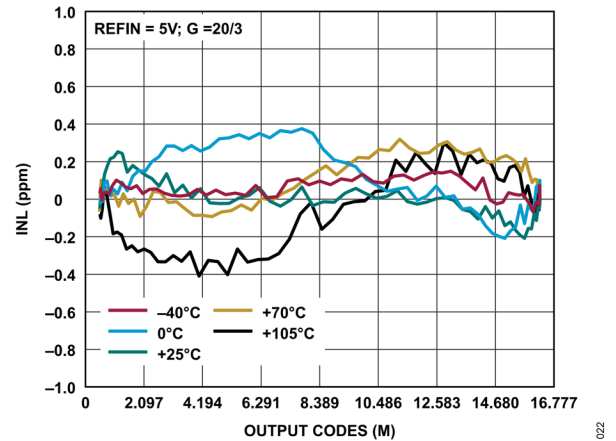


図 22. 異なる温度での INL 誤差と出力コードの関係 (G = 20/3)

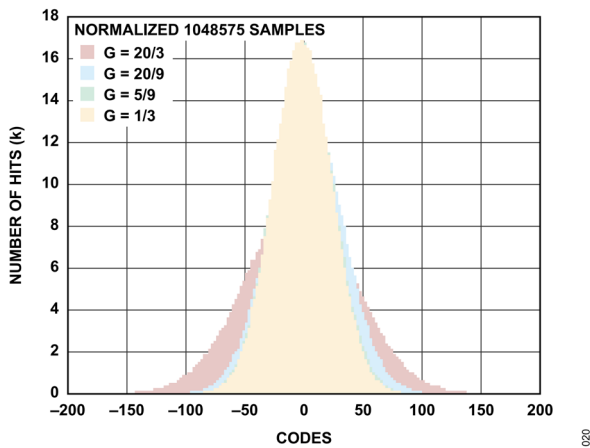


図 20. 入力短絡時のコード・ヒストグラム (REF IN = 5V)

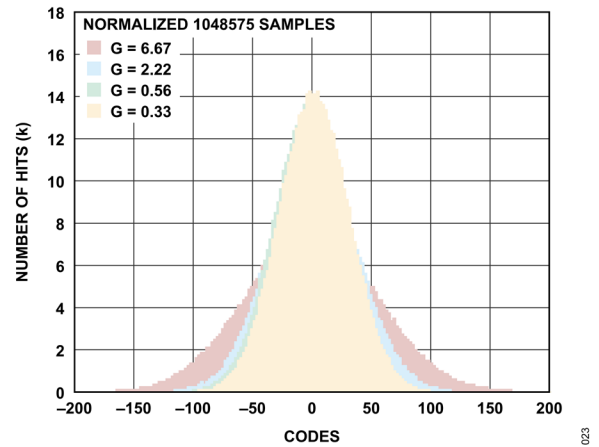
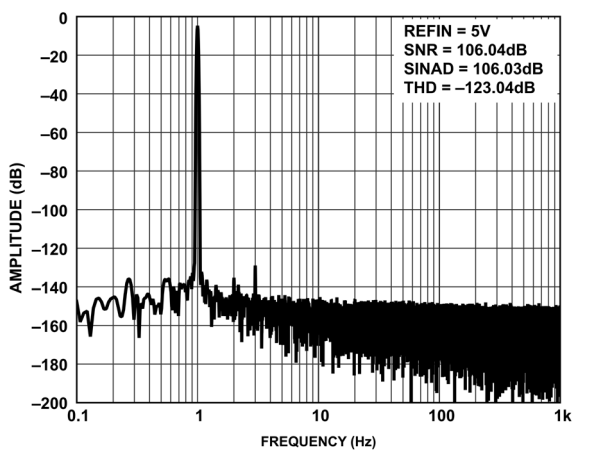
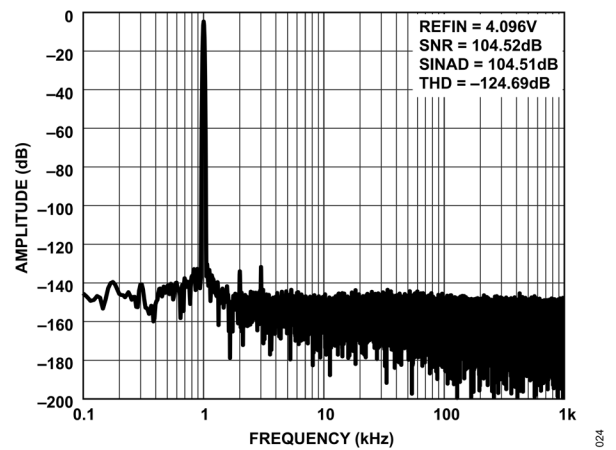


図 23. 入力短絡時のコード・ヒストグラム (REF IN = 4.096V)

図 21. FFT
(2MSPS、 f_{IN} = 1kHz、差動入力 = -0.5dBFS、G = 1/3)図 24. FFT
(2MSPS、 f_{IN} = 1kHz、差動入力 = -0.5dBFS、G = 1/3)

代表的な性能特性

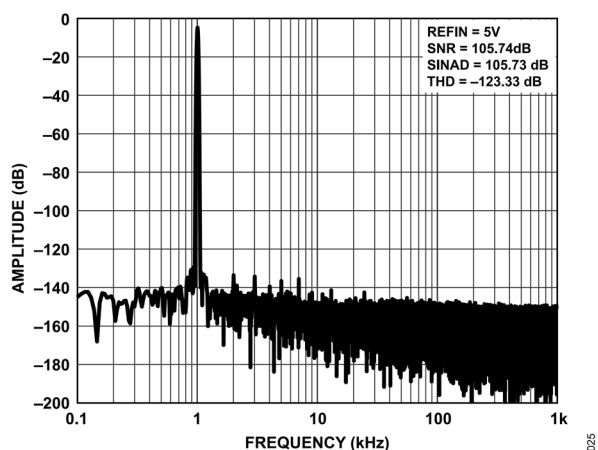


図 25. FFT

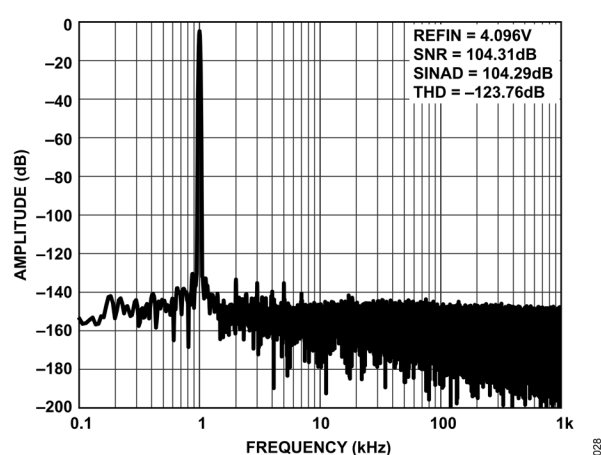
(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 5/9$)

図 28. FFT

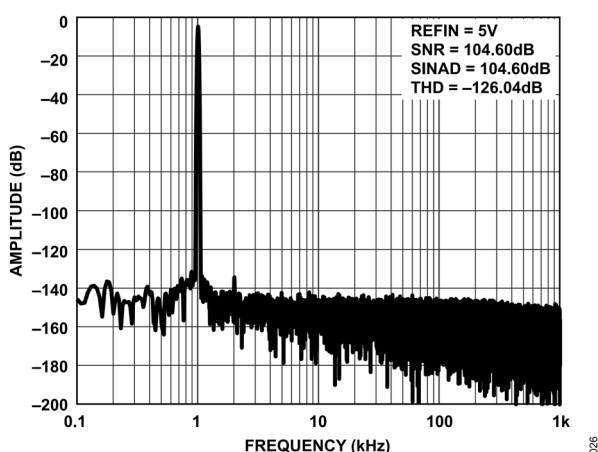
(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 5/9$)

図 26. FFT

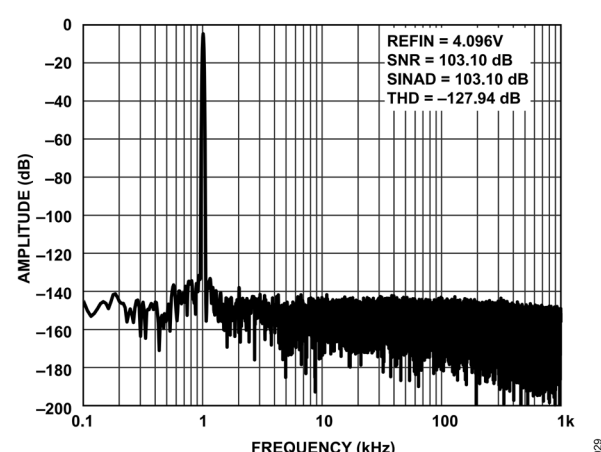
(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 20/9$)

図 29. FFT

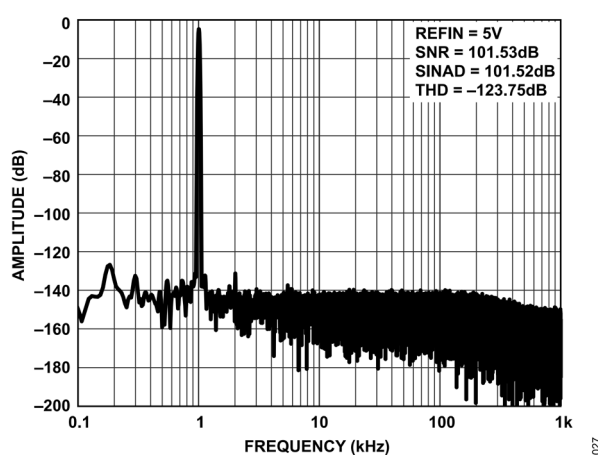
(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 20/9$)

図 27. FFT

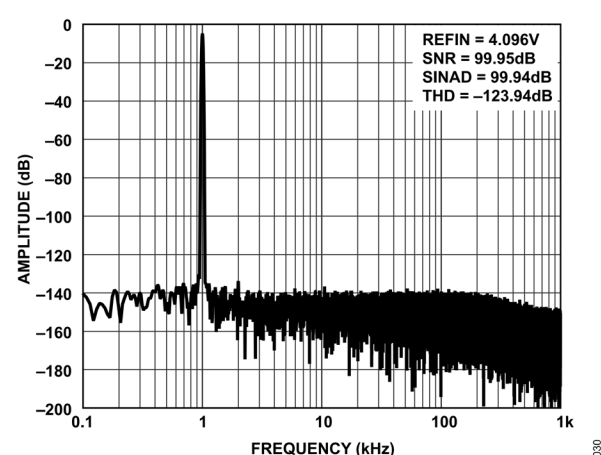
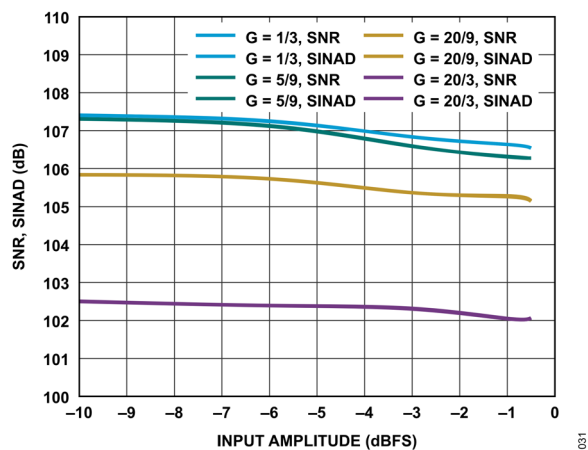
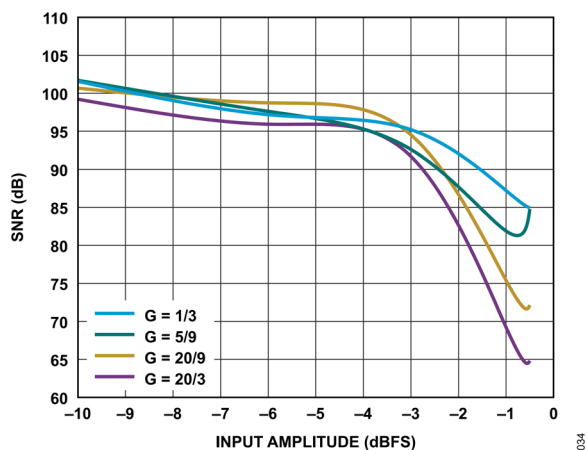
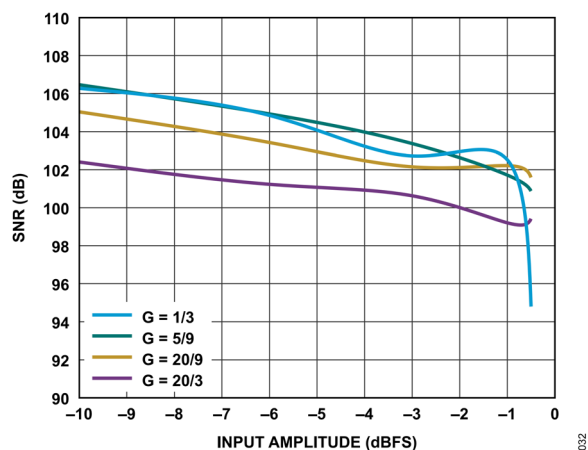
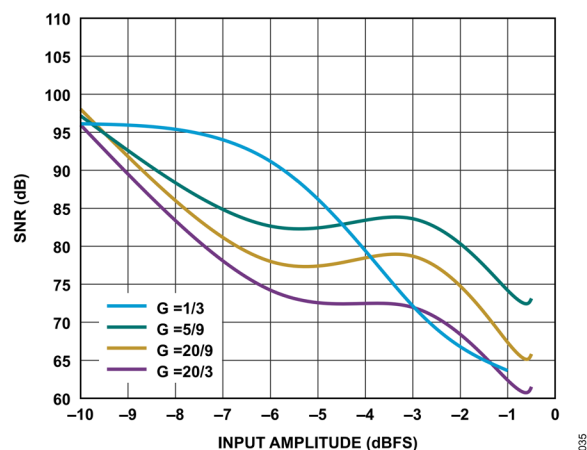
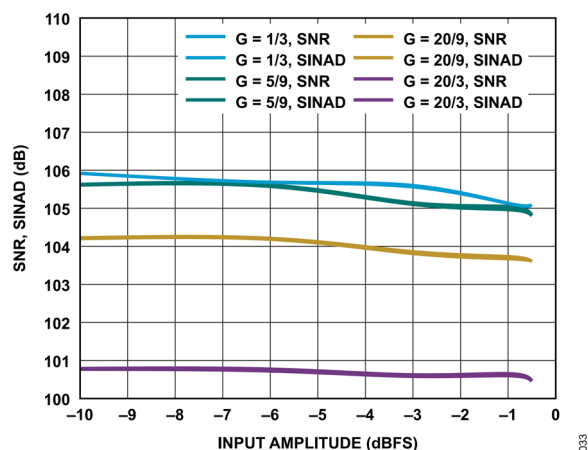
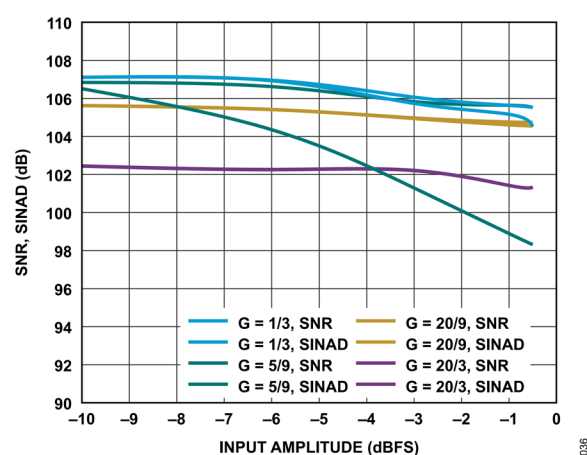
(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 20/3$)

図 30. FFT

(2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS、 $G = 20/3$)

代表的な性能特性

図 31. S/N 比および SINAD と入力振幅の関係 ($f_{IN} = 1\text{kHz}$)図 34. S/N 比と入力振幅の関係 ($f_{IN} = 50\text{kHz}$)図 32. S/N 比と入力振幅の関係 ($f_{IN} = 20\text{kHz}$)図 35. S/N 比と入力振幅の関係 ($f_{IN} = 100\text{kHz}$)図 33. S/N 比および SINAD と入力振幅の関係
($f_{IN} = 1\text{kHz}$, $\text{REF}_{IN} = 4.096\text{V}$)図 36. S/N 比および SINAD と入力振幅の関係
($f_{IN} = 1\text{kHz}$, シングルエンド)

代表的な性能特性

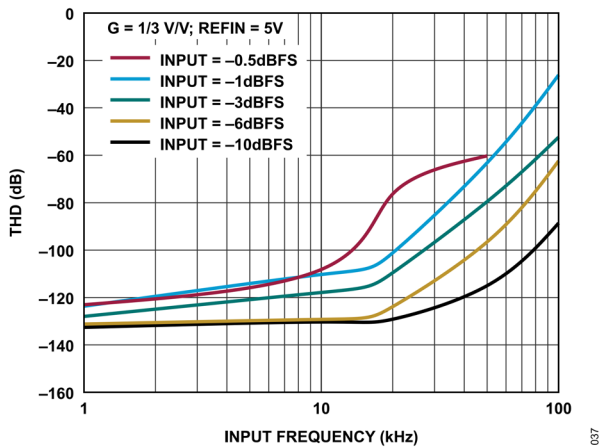
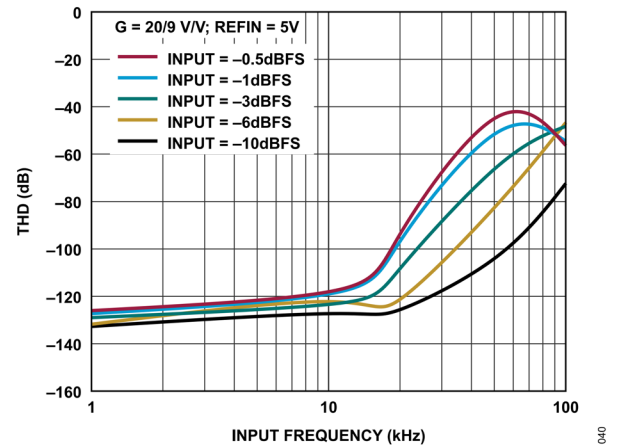
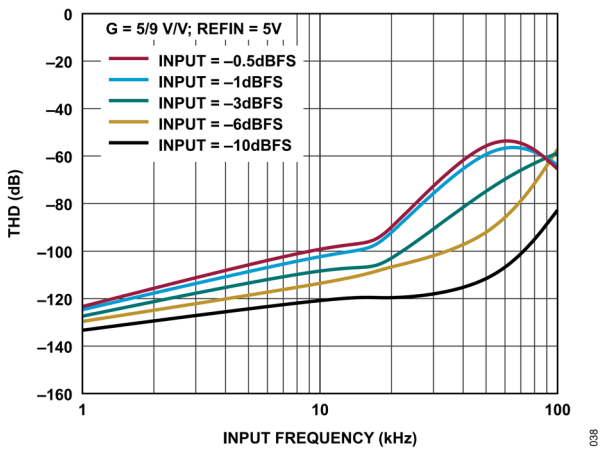
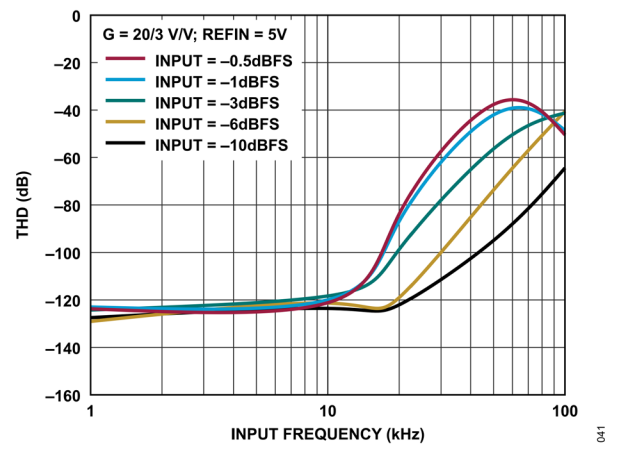
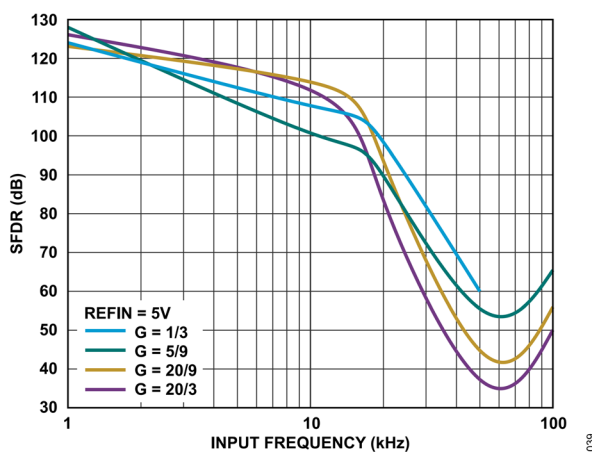
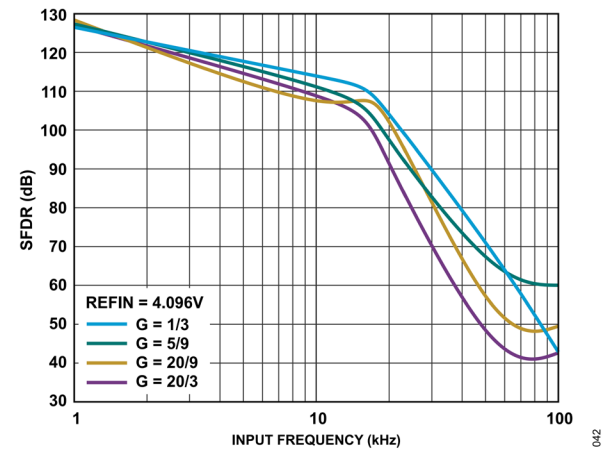
図 37. 異なる振幅での THD と入力周波数の関係 ($G = 1/3$)図 40. 異なる振幅での THD と入力周波数の関係 ($G = 20/9$)図 38. 異なる振幅での THD と入力周波数の関係 ($G = 5/9$)図 41. 異なる振幅での THD と入力周波数の関係 ($G = 20/3$)

図 39. SFDR と入力周波数の関係 (-0.5dBFS、REFIN = 5V)

図 42. SFDR と入力周波数の関係
(-0.5dBFS、REFIN = 4.096V)

代表的な性能特性

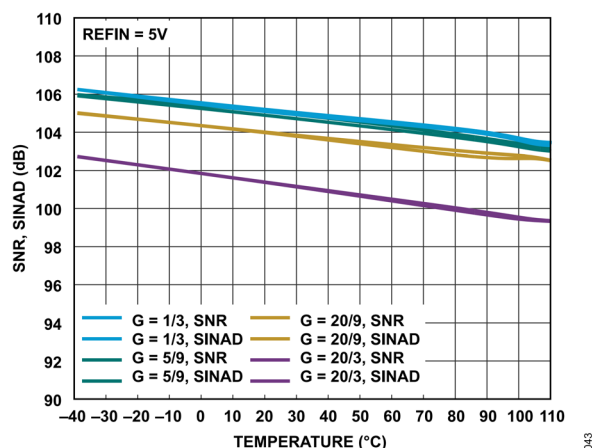


図 43. S/N 比および SINAD と温度の関係
($f_{IN} = 1\text{kHz}$ 、差動入力、REFIN = 5V)

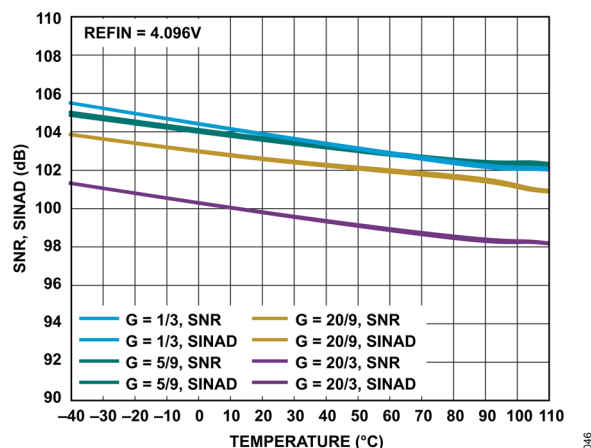


図 46. S/N 比および SINAD と温度の関係
($f_{IN} = 1\text{kHz}$ 、差動入力、REFIN = 4.096V)

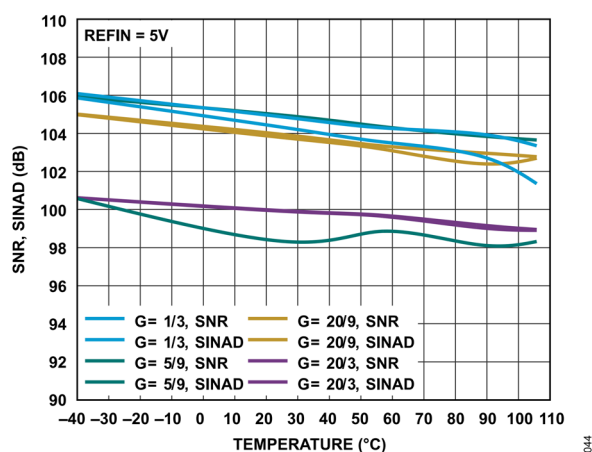


図 44. S/N 比および SINAD と温度の関係
($f_{IN} = 1\text{kHz}$ 、シングルエンド入力、REFIN = 5V)

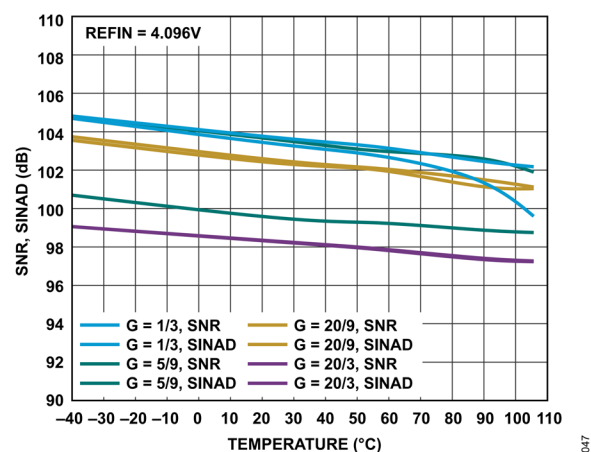


図 47. S/N 比および SINAD と温度の関係
($f_{IN} = 1\text{kHz}$ 、シングルエンド入力、REFIN = 4.096V)

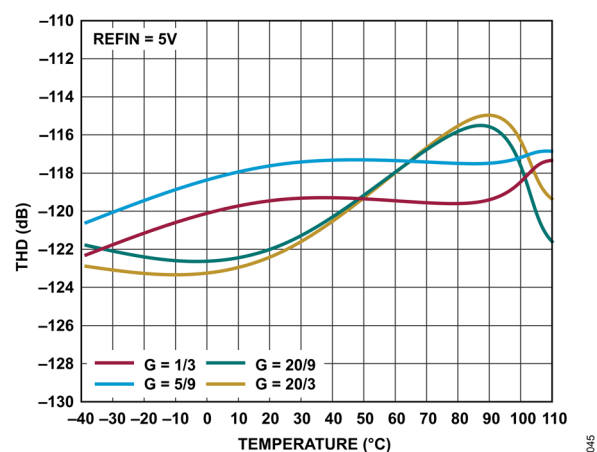


図 45. THD と温度の関係 ($f_{IN} = 1\text{kHz}$ 、差動入力、REFIN = 5V)

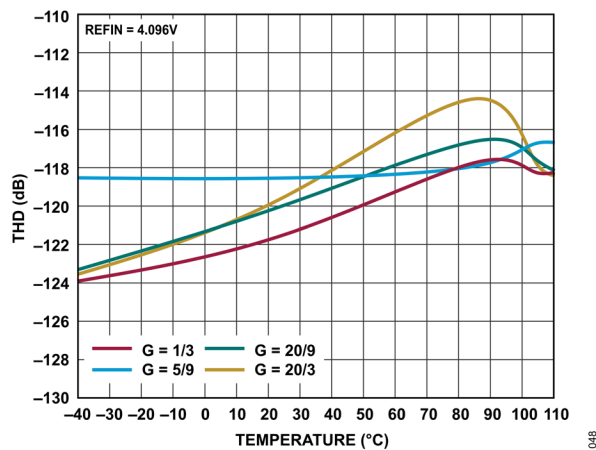


図 48. THD と温度の関係
($f_{IN} = 1\text{kHz}$ 、差動入力、REFIN = 4.096V)

代表的な性能特性

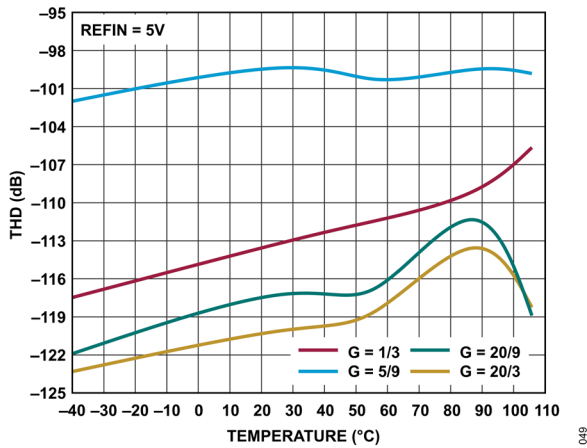


図 49. THD と温度の関係
($f_{IN} = 1\text{kHz}$, シングルエンド入力、REFIN = 5V)

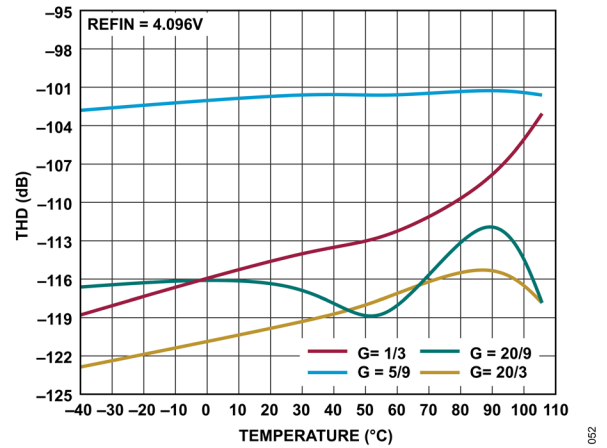


図 52. THD と温度の関係
($f_{IN} = 1\text{kHz}$, シングルエンド入力、REFIN = 4.096V)

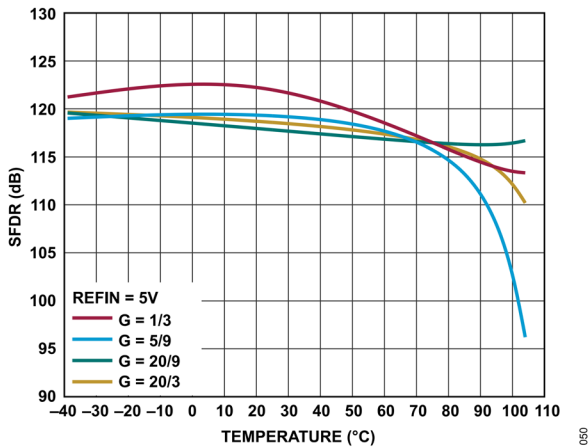


図 50. SFDR と温度の関係 ($f_{IN} = 1\text{kHz}$, REFIN = 5V)

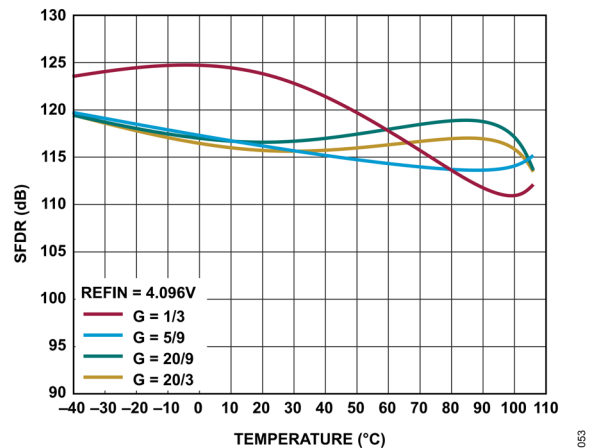


図 53. SFDR と温度の関係 ($f_{IN} = 1\text{kHz}$, REFIN = 4.096V)

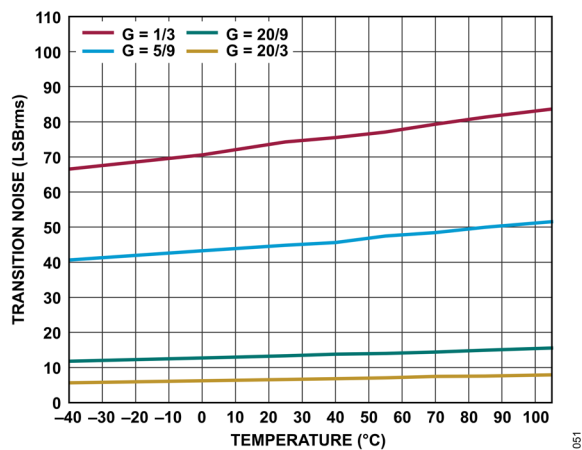


図 51. 遷移ノイズと温度の関係 (REFIN = 5V)

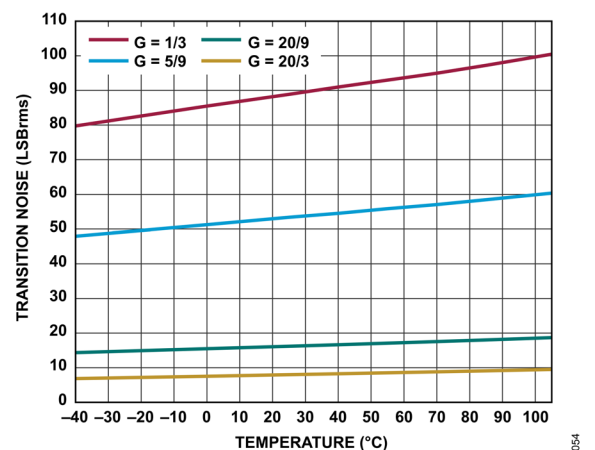


図 54. 遷移ノイズと温度の関係 (REFIN = 4.096V)

代表的な性能特性

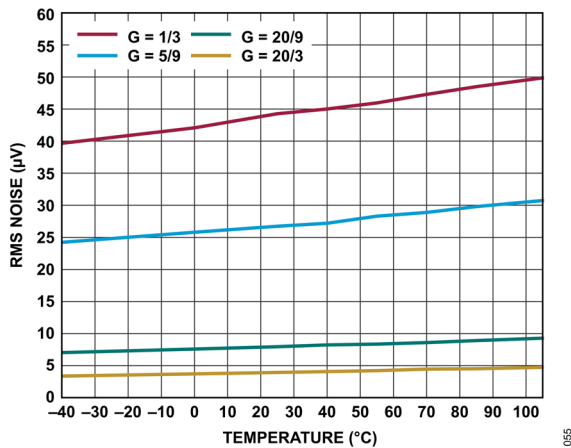


図 55. 実効値ノイズと温度の関係 (REFIN = 5V)

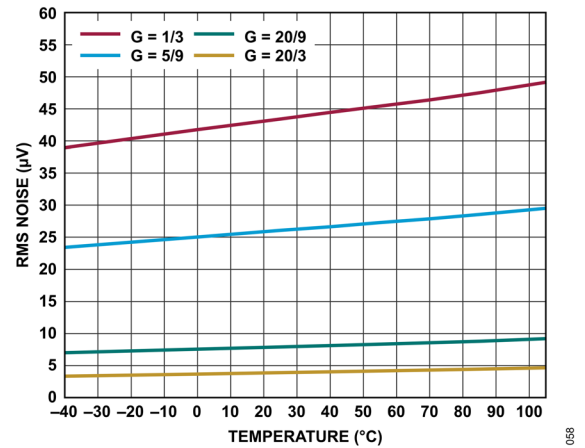


図 58. 実効値ノイズと温度の関係 (REFIN = 4.096V)

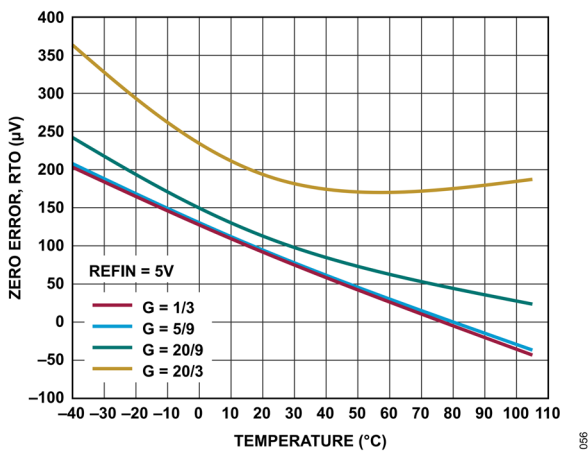


図 56. ゼロ誤差と温度の関係

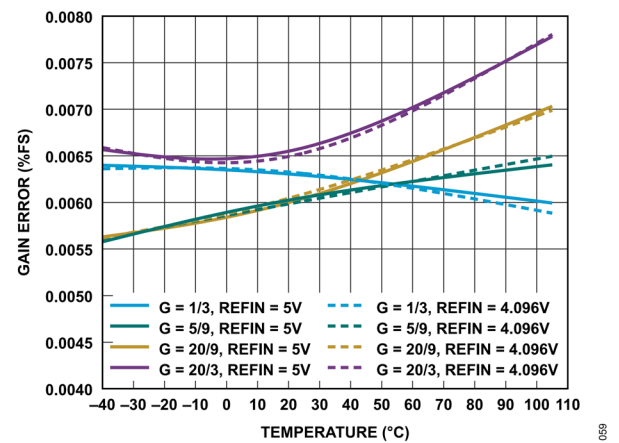
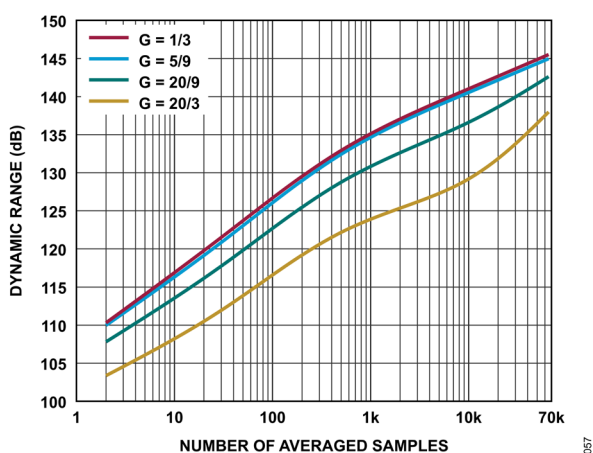
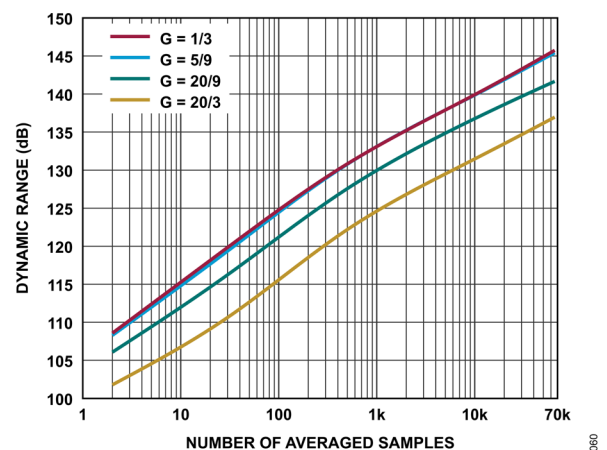


図 59. ゲイン誤差と温度の関係

図 57. ダイナミック・レンジと平均数の関係
(入力 = -60dBFS、REFIN = 5V)図 60. ダイナミック・レンジと平均数の関係
(入力 = -60dBFS、REFIN = 4.096V)

代表的な性能特性

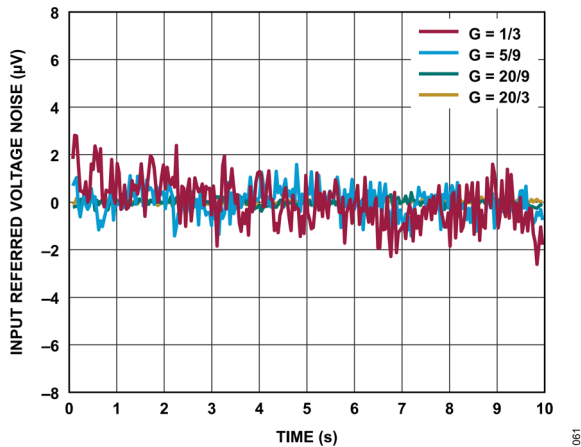


図 61. 低周波数ノイズ（出力データ・レート = 19.5SPS、2048 サンプルのブロックを平均後、REFIN = 5V）

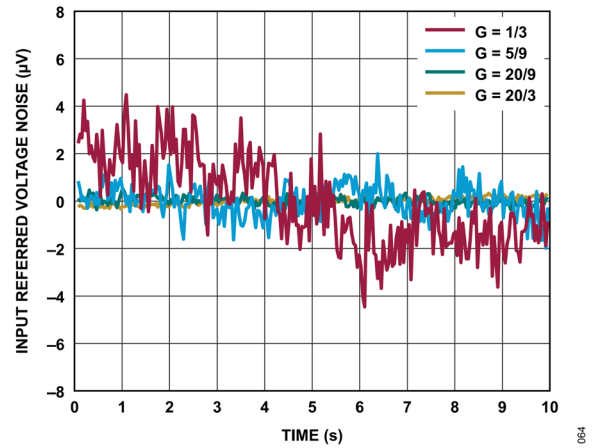


図 64. 低周波数ノイズ（出力データ・レート = 19.5SPS、2048 サンプルのブロックを平均後、REFIN = 4.096V）

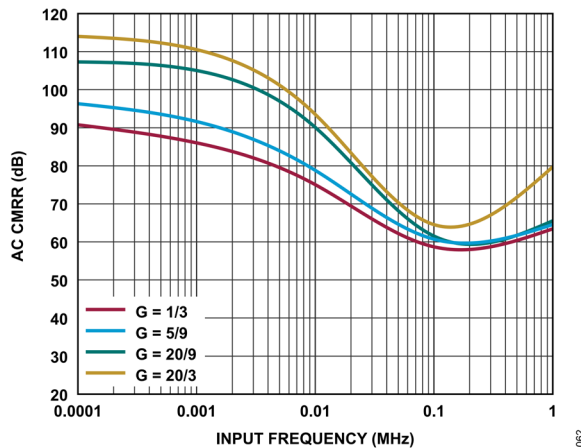


図 62. AC CMRR と入力周波数の関係（REFIN = 5V）

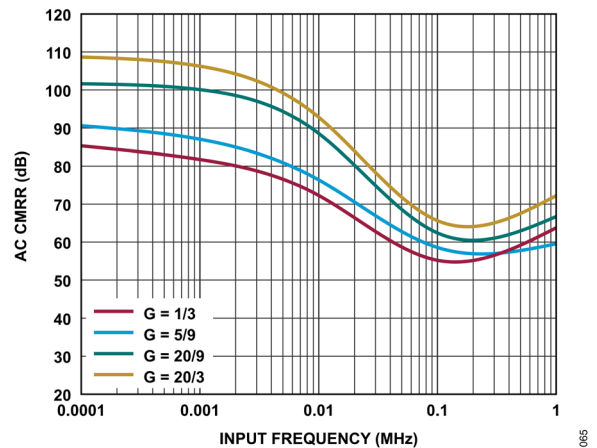


図 65. AC CMRR と入力周波数の関係（REFIN = 4.096V）

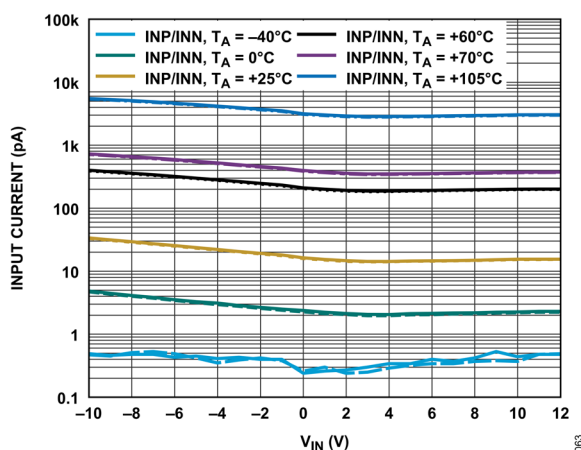


図 63. 異なる温度での入力電流と入力電圧の関係

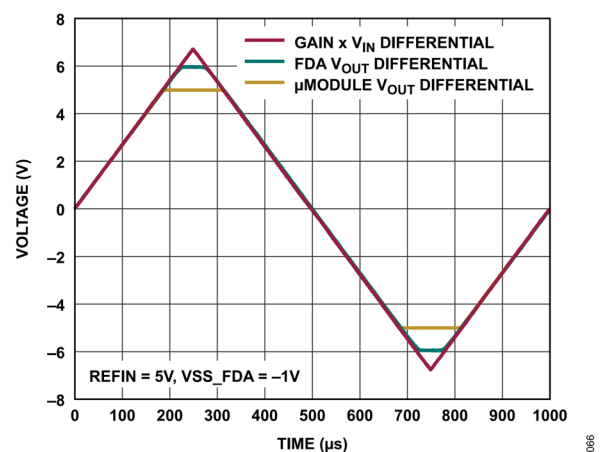


図 66. 出力オーバードライブ回復特性（IN = 1kHz）

代表的な性能特性

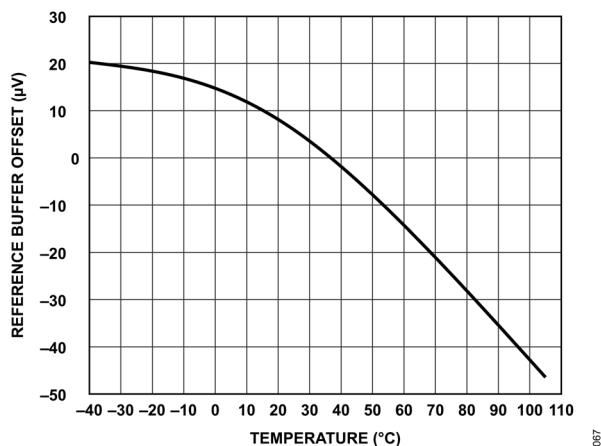


図 67. リファレンス・バッファ・オフセットと温度の関係

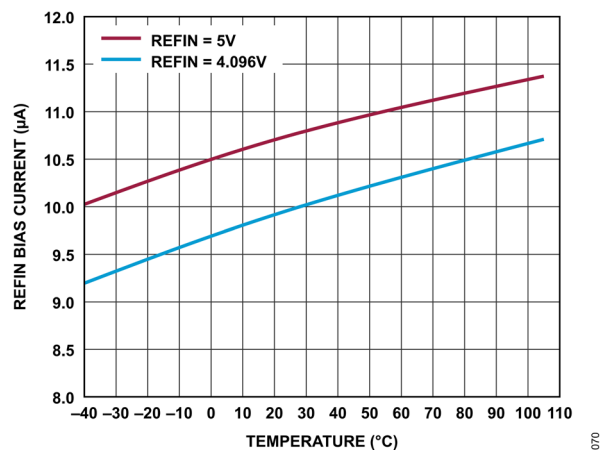


図 70. 通常動作時の REFIN 電流と温度の関係

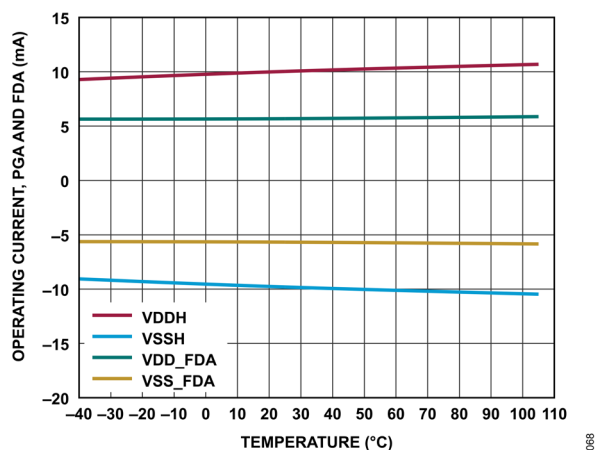


図 68. PGA および FDA の動作電流と温度の関係

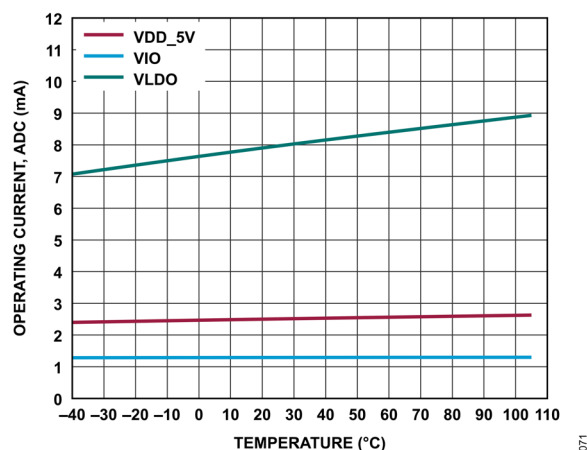


図 71. ADC 動作電流と温度の関係

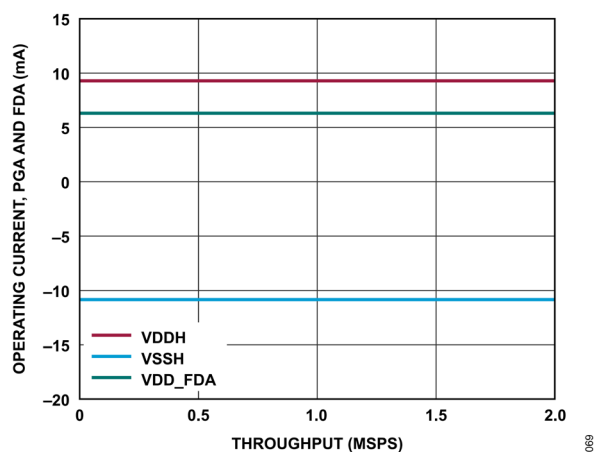


図 69. PGA および FDA の動作電流とサンプル・レートの関係

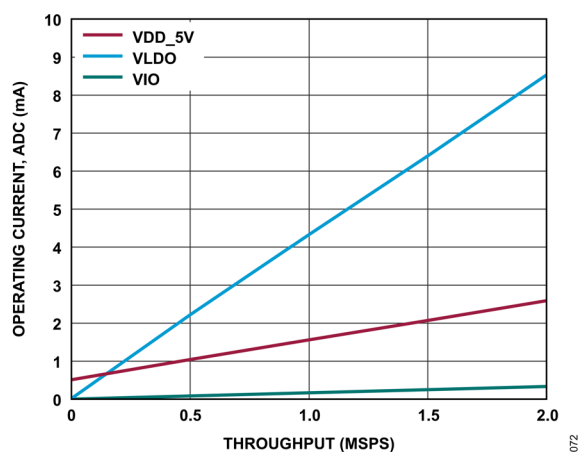


図 72. ADC 動作電流とサンプル・レートの関係

代表的な性能特性

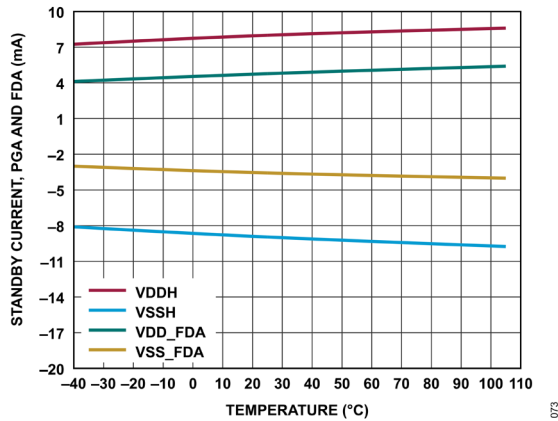


図 73. PGA および FDA のスタンバイ電流と温度の関係

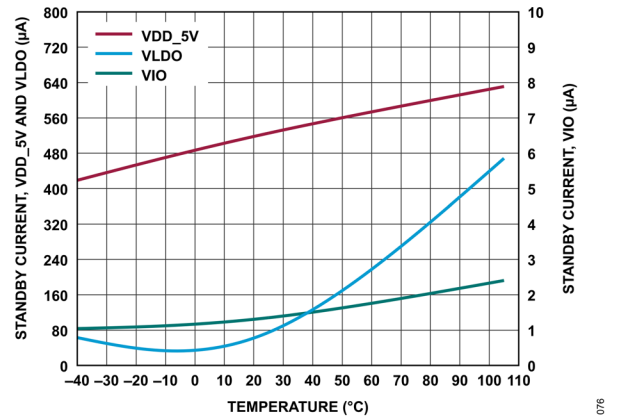


図 76. ADC スタンバイ電流と温度の関係

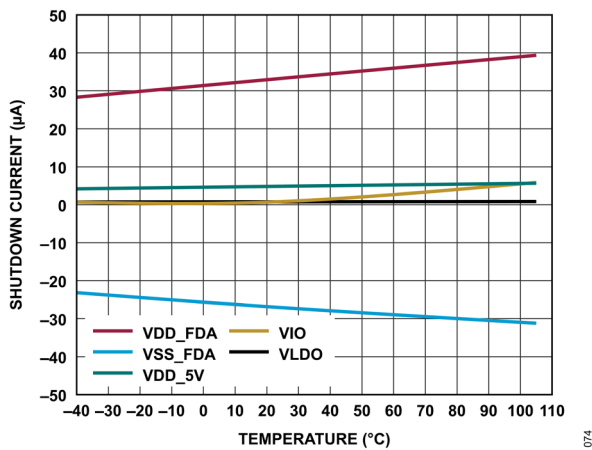


図 74. シャットダウン電流と温度の関係

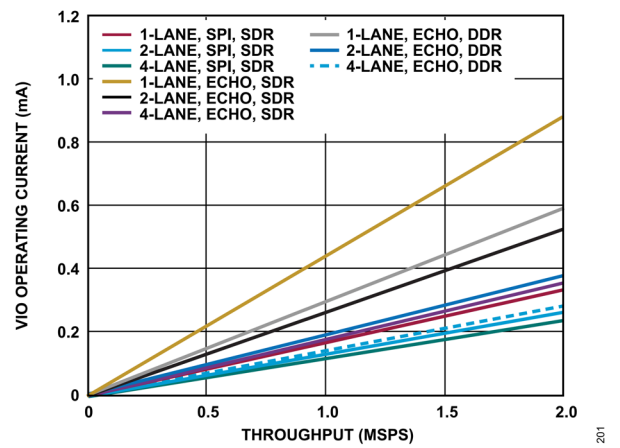


図 77. VIO 動作電流とサンプル・レートの関係

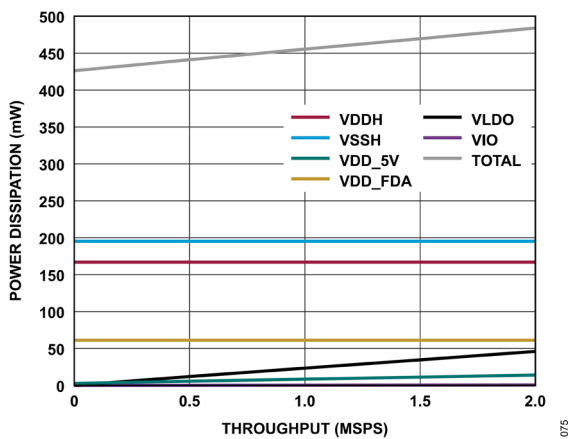


図 75. 消費電力とスループットの関係

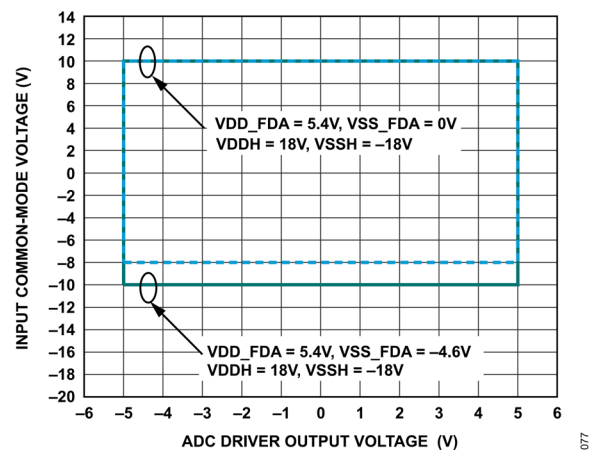


図 78. 入力共通モード電圧と ADC ドライバ出力電圧の関係 (すべてのゲイン)

代表的な性能特性

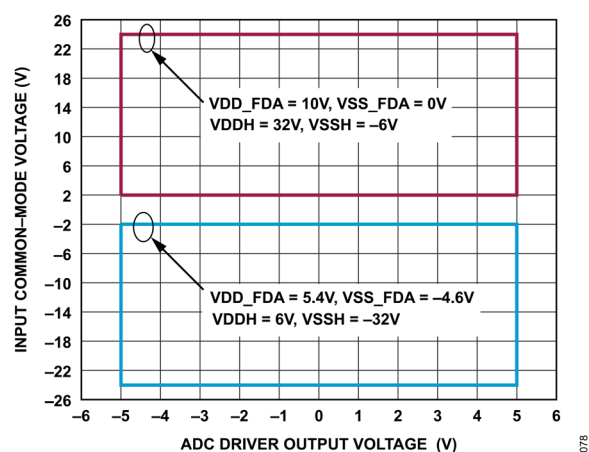


図 79. 入力コモンモード電圧と ADC ドライバ出力電圧の関係
(すべてのゲイン)

用語の定義

積分非直線性誤差 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}\text{LSB}$ だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $\frac{1}{2}\text{LSB}$ 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 81 参照)。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。ノー・ミス・コードの分解能で仕様規定されます。

オフセット誤差

オフセット誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゲイン誤差

最初の遷移 (100...00 から 100...01) は負の公称フルスケールより $\frac{1}{2}\text{LSB}$ 上のレベルで発生します。最後の遷移 (011...10 から 011...11) は、公称フルスケールより $\frac{1}{2}\text{LSB}$ 下のアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。次のように SINAD を使用して計算します: $\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76) / 6.02$ 。ENOB の単位はビットです。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位はデシベルです。

ダイナミック・レンジ

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの値はデシベル単位で表されます。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、 -60dBFS の信号で測定されます。

全システム・ダイナミック・レンジ

ゲイン = 20V/V で入力ピンをまとめて短絡したときの入力換算実効値ノイズに対する、ゲイン = $1/3\text{V/V}$ におけるフルスケール入力の二乗平均平方根値 (実効値) の比。単位はデシベルです。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数未満のすべてのスペクトル成分 (高調波と DC を除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。S/N 比の値はデシベル単位で表されます。

信号／ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数未満の全てのスペクトル成分 (高調波成分を含むが DC は除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。SINAD の値はデシベル単位で表されます。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の測定値です。CNV 入力の立上がりエッジから入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、ADC が $\pm 1\text{LSB}$ の精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比 (CMRR)

CMRR は、周波数 f での入力コモンモード電圧に印加された 4.5V p-p のサイン波の電力に対する、周波数 f での ADC 出力電力の比です。

$$\text{CMRR (dB)} = 10 \times \log(P_{\text{ADC_IN}}/P_{\text{ADC_OUT}})$$

ここで、

$P_{\text{ADC_IN}}$ は、入りに印加された周波数 f の同相電力です。

$P_{\text{ADC_OUT}}$ は、ADC 出力における周波数 f の電力です。

電源電圧変動除去比 (PSRR)

PSRR は、周波数 f での ADC VDD 電源に加えられた 200mV p-p のサイン波の電力に対する周波数 f での ADC 出力電力の比です。

$$\text{PSRR (dB)} = 10 \times \log(P_{\text{VDD_IN}}/P_{\text{ADC_OUT}})$$

ここで、

$P_{\text{VDD_IN}}$ は、周波数 f での VDD ピンの電力、

$P_{\text{ADC_OUT}}$ は、ADC 出力における周波数 f の電力です。

動作原理

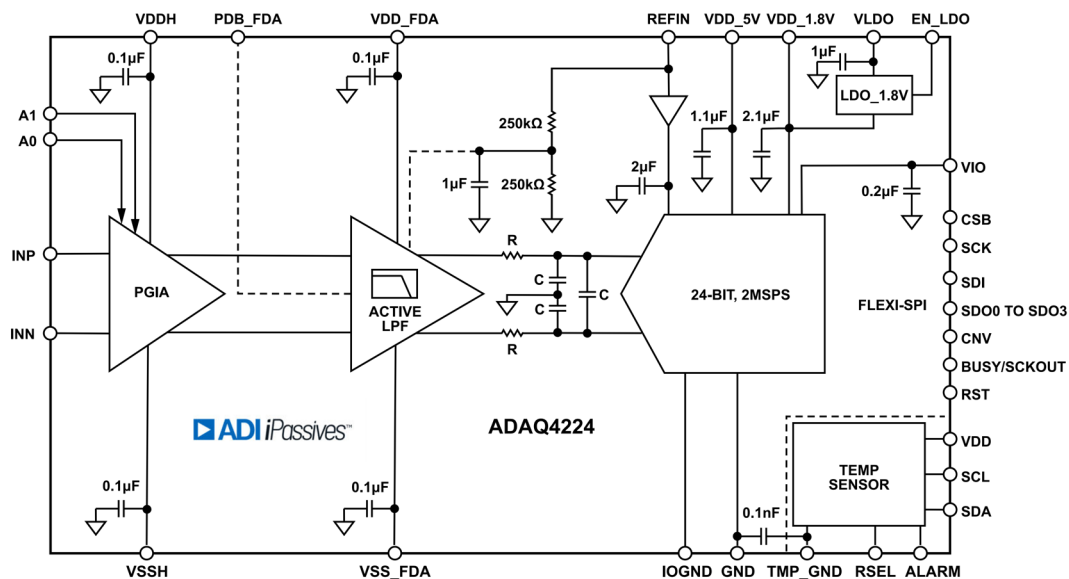


図 80. ADAQ4224 の機能ブロック図

概要

ADAQ4224 は高精度の μ Module データ・アキュイジション・シグナル・チェーン SiP ソリューションで、部品選定、最適化、レイアウトといった設計負担を設計者からデバイスに移すことによって、高精度測定システムの開発サイクルを短縮します。ADAQ4224 は、低ノイズで高入力インピーダンスの PGIA、2 次線形位相アンチエイリアシング・フィルタ、低歪みで広帯域幅の ADC ドライバ、リファレンス・バッファを内蔵した高精度 24 ビット 2MSPS SAR ADC、および電氣的に完全に絶縁された温度センサーを含め、信号の処理や調整のための複数のブロックを 1 つのデバイスにまとめることによって、エンド・システムの部品点数を減らします。また、最適な性能を得るために必要な、アナログ・デバイセズ独自の iPassive 技術を使用した部品も内蔵しています。この内蔵抵抗が持つ優れたマッチングおよびドリフト特性によって、誤差源の温度依存性が最小限に抑えられています。ADAQ4224 のアナログ・フロント・エンドは $-8V \sim +10V$ の広いコモンモード電圧範囲を備えており、シングルエンド信号と差動信号の両方をサポートしているので、レベル・シフトに関する要求も緩和します。

ADAQ4224 にはパイプライン遅延やレイテンシがないので、この μ Module 制御ループや高速アプリケーションに最適です。デジタル機能には、オフセット補正、ゲイン調整、平均化などがあり、ホスト・プロセッサの負担を軽減します。デバイスは、いくつかある出力コード・フォーマットのいずれかに設定可能です（詳細は[選択可能な出力データ・フォーマットの概要](#)のセクションを参照）。

ADAQ4224 は Flexi-SPI を用いているので、複数の SPI レーンを介してデータにアクセスできます。これにより、ホスト SPI コントローラに対するクロッキング条件が緩和されます。エコ・クロック・モードもデータ・クロッキングの補助として使用できるため、絶縁型データ・インターフェースを簡単に使用できます。ADAQ4224 の PGIA ゲインは、A0 ピンと A1 ピンを通じて制御できます。ADAQ4224 は電氣的に絶縁された温度

センサーを内蔵しており、これは 1.8V の I²C 対応インターフェースを備えています。温度センサーのグラウンド (TMP_GND) と ADC グラウンド (GND) 間の漏れ電流は、グラウンド・プレーン間の電位差が $\pm 250V$ のときに 1nA です。ADAQ4224 では、パワーダウン・モードからの復帰後最初の変換で有効な結果が得られます。このアーキテクチャは $\pm 1ppm$ の INL (最大値) を実現すると共に、24 ビットのノーマス・コード性能と 106.5dB の S/N 比を実現します。ADAQ4224 の消費電力は 2MSPS 時にわずか 446mW です。

伝達関数

デフォルト設定では、ADAQ4224 は $2 \times V_{REFIN}$ のフルスケール電圧差を 2^{24} レベルにデジタル化し、 $V_{REFIN} = 5V$ での LSB サイズは $0.596\mu V$ です。24 ビットの 1LSB は約 $0.06ppm$ です。理想的な伝達関数を図 81 に示します。差動出力データは 2 の補数フォーマットです。表 13 に、入力電圧と差動出力コードの対応関係を示します。

動作原理

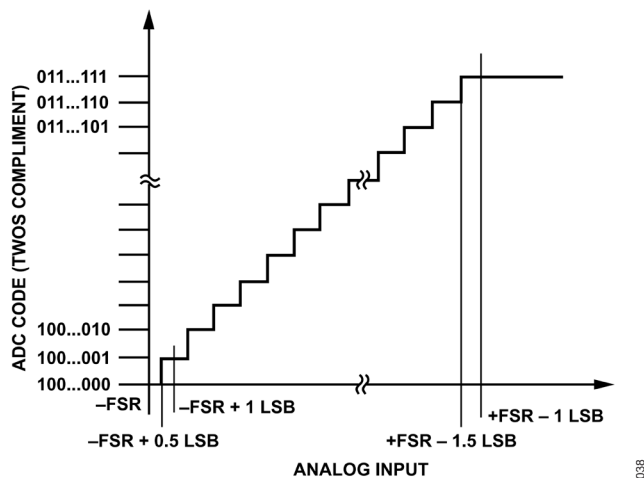


図 81. 差動出力コードに対する ADC の理想的な伝達関数
(FSR はフルスケール範囲)

表 13. 入力電圧と出力コードの対応関係

Description	Analog Input Voltage Difference	Digital Output Code (Twos Complement, Hex)
FSR - 1LSB	$(8388607 \times V_{REF}) / (G \times 8388608)$	0x7FFFFFFF
Midscale + 1LSB	$V_{REF} / (G \times 8388608)$	0x000001
Midscale	0 V	0x000000
Midscale - 1LSB	$-V_{REF} / (G \times 8388608)$	0xFFFFF
-FSR + 1LSB	$-(8388607 \times V_{REF}) / (G \times 8388608)$	0x800001
-FSR	$-V_{REF} / G$	0x800000

シグナル・チェーンの動作

ADAQ4224 は、アキュイジション・フェーズと変換フェーズの 2 つのフェーズで動作します。アキュイジション・フェーズでは、PGIA の各入力ピン (INP と INN) の電圧が別々にサンプリングされます。立上がりエッジが CNV ピンに入力されると変換が始まります。CNV ピンの立上がりエッジは、変換が進行中であることを示す BUSY 信号もアサートします。BUSY 信号は変換の終了時にデアサートされます。変換結果は、入力電圧差を表す 24 ビットのコードと、入力コモンモード電圧を表す 8 ビットのコードになります。デバイス設定に応じて、この変換結果はデジタル的に処理され、内部の出力レジスタにラッチされます。各入力ピンの内部 ADC アキュイジション回路も直前のサンプル電圧にプリチャージされるため、入力ドライバ段 (PGIA) へのキックバック電荷を最小限に抑えることができます。ホスト・プロセッサは、内蔵の出力レジスタに内部接続されている SDO ピンによって出力コードを取得します。

デジタル・サンプリング処理機能

ADAQ4224 は、信号サンプルに適用できるいくつかのデジタル処理機能およびデータ処理機能をサポートしています。これらの機能は、ADAQ4224 の制御レジスタによってイネーブルとディスエーブルができます。

フルスケール飽和

どちらかの入力または両方の入力が、ここで仕様規定されているアナログ制限値を超えた場合、変換結果は (ポスト処理の前に) デジタル的に飽和します。オフセットおよびゲインのスケールリングを施したのち、結果は 24 ビット表示に切り下げられます (最大値 0x7FFFFFFF および最小値 0x800000 で飽和)。デジタル・オフセットやゲイン・スケールリングを施す場合は、特に、意図せぬ飽和を避ける必要があります。これらの機能の使用についての詳細は、[デジタル・オフセット調整](#)および[デジタル・ゲイン](#)のセクションを参照してください。

コモンモード出力

ホスト・コントローラが 0x1 または 0x2 をモード・レジスタの OUT_DATA_MD ビット・フィールドに書き込むと (詳細は[モード・レジスタ](#)のセクションを参照)、入力コモンモード電圧を表す 8 ビットのコードが、入力電圧差を表す 16 ビットまたは 24 ビットのコードに追加されます。この 8 ビット・コードの LSB の大きさは、 $V_{REF}/256$ です。8 ビット・コードは、コモンモード入力電圧が 0V の場合は 0、 V_{REF} の場合は 255 で飽和します。8 ビット・コードはデジタル・オフセットとゲイン・スケールリングには影響されません。これは、入力電圧差を表すコードにのみ追加されるためです。

ブロック平均化

ADAQ4224 は、 2^N ($N = 1, 2, 3, \dots, 16$) にプログラム可能なブロック長を持つブロック平均化フィルタ (SINC1) を備えています。 2^N サンプルの各ブロックを処理した後、フィルタはリセットされます。フィルタは、モード・レジスタの OUT_DATA_MD ビット・フィールドに 0x3 を書き込むことでイネーブルできます (詳細は[モード・レジスタ](#)のセクションを参照)。また、平均化モード・レジスタの AVG_VAL ビット・フィールドに値 ($1 \leq N \leq 16$) を書き込むことでイネーブルできます (詳細は[平均化モード・レジスタ](#)のセクションを参照)。この設定では、出力サンプル・ワードは 32 ビットです。上位 30 個のビット (MSB) は 2^N サンプルのブロックで平均化された 24 ビット・コードの数値を表します。自動スケールリングにより、一定値のブロックを平均化する場合は、30 ビット・コードの 24MSB が 24 ビット・コードとなるようにすることができます。31 番目のビット (OR) はオーバーレンジ警告ビットで、ブロックの 1 つ以上のサンプルが飽和するとハイになります。32 番目のビット (SYNC) は、 2^N 変換サイクルごとにハイになり、平均値がサンプルの各ブロックの最後でアップデートされたことを通知します。詳細については[デジタル・サンプリング処理機能](#)のセクションを参照してください。

平均化モードの実効データ・レートは $f_{CNV}/2^N$ です。AVG_VAL ビット・フィールドの N のリセット値は、0x00 (平均化なし) です。[図 105](#) に、平均化モードにおけるタイミング図の例を示します。[図 82](#) に、 $N = 1, 2, 3, 4, 5$ でのフィルタの周波数応答を示します。

動作原理

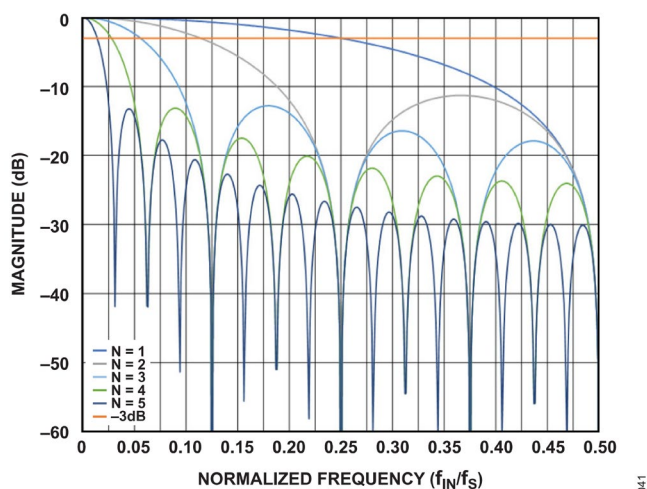


図 82. ブロック平均化フィルタの周波数応答例

デジタル・オフセット調整

ADCは、サンプル・データに24ビットの符号付きオフセット値を追加するようプログラムできます（詳しくは**レジスタの詳細**のセクションを参照）。サンプルにオフセットを追加すると、サンプル・データが数値的に飽和する原因となる場合があります。オフセット機能を使用する場合は、このことを考慮する必要があります。デフォルト値は0x000000です。詳細については**オフセット・レジスタ**のセクションを参照してください。

デジタル・ゲイン

ADCは、デジタル・サンプルに16ビットの符号なしデジタル・ゲイン（レジスタ0x1Cおよびレジスタ0x1D）を適用するようにプログラムできます（詳しくは**レジスタの詳細**のセクションを参照）。ゲインは次式に基づいて各サンプルに適用されます。

$$Code_{OUT} = Code_{IN} \times (USER_GAIN / 0 \times 8000) \quad (1)$$

ここで、

$$0 \times 0000 \leq USER_GAIN \leq 0 \times FFFF$$

有効なゲイン範囲は0～1.99997です。なお、サンプルにゲインを適用すると、数値の飽和の原因となる可能性があります。デフォルト値は0x8000（ゲイン＝1）です。±V_{REF}を上回る入力電圧差を測定するには、24ビット／16ビット／30ビットの出力差コードが数値的に飽和しないよう、ゲインを1未満に設定します。詳細については**ゲイン・レジスタ**のセクションを参照してください。

テスト・パターン

SPIの機能テストとデバッグを容易にするために、ホスト・コントローラはADAQ4224に32ビットのテスト・パターンを書き込むことができます（詳しくは**テスト・パターン・レジスタ**のセクションを参照）。テスト・パターン・レジスタに書き込まれた値は、通常のサンプル・サイクル・タイミングを用いて出力されます。32ビットのテスト・パターン出力モードは、モード・レジスタのOUT_DATA_MDビット・フィールドに0x4を書き込むことでイネーブルできます（詳しくは**モード・レジスタ**のセクションを参照）。テスト・パターン・レジスタに格納されているデフォルト値は0x5A5A0F0Fです。

選択可能な出力データ・フォーマットの概要

図83に、ADAQ4224で使用可能な出力データ・フォーマットの概要を示します。これらはモード・レジスタで選択できます（詳しくは**モード・レジスタ**のセクションを参照）。なお、ORフラグとSYNCフラグはそれぞれ1ビットです。

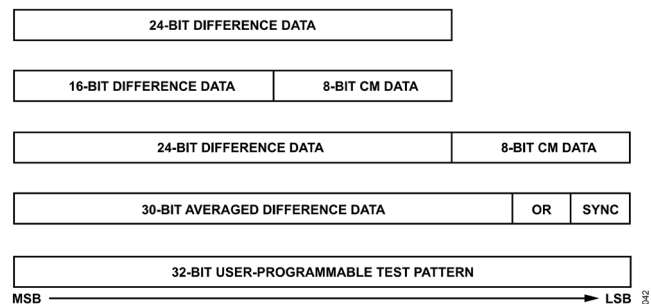


図 83. 選択可能な出力サンプル・フォーマットの概要

温度センサーの動作

ADAQ4224は、μModule内のデータ・アキュイジション信号パスから電氣的に絶縁された温度センサーを内蔵しています。ADAQ4224が絶縁されたアプリケーションでは、データ・アキュイジション信号パスのグラウンドをあらゆる電圧レベル（例えば200V）に対してフロート状態にできますが、温度センサーはグラウンド・レベルに止まるので、そのデジタル入出力ピンを絶縁する必要はありません。この温度センサーは、データ・アキュイジション信号パス全体の予測可能なドリフト測定を可能にし、温度変化に対する信号パスのシステムレベル・キャリブレーションを容易にします。1.8VのI²C対応シリアル・インターフェースは、標準の書き込みおよび読み出しコマンドを受け取って、温度データの読み出しとセンサー動作の設定を行います。このセンサーは、-40°C～+105°Cの範囲で最大±1°Cという優れた精度の12ビット温度測定を行います。複数のレジスタ設定によって、ホストは、自動温度測定のための温度センサー設定、ALARMの閾値とヒステリシスの変更、およびALARM出力の極性の設定を行うことができます。温度センサーにはRSELアドレス・ピンがあり、これを外部抵抗に接続することで、同じI²Cバスに接続された32個のデバイスを個々に識別することができます。

この温度センサーは12ビットの温度測定を行い、測定温度がプログラムされた範囲を外れるとALARM出力をアサートします。この範囲は、下限温度レジスタTLと上限温度レジスタTHによって定義されます。温度データは、I²Cバスを使いホスト・マイクロコントローラによって読み出すこともできます。複数のレジスタ設定によって、ホストは、自動温度測定のためのデバイス設定、ALARMの閾値とヒステリシスの変更、およびALARM出力の極性の設定を行うことができます。

温度の計測

分解能は、設定レジスタを使って8、9、10、または12ビットに設定できます。8ビット分解能の場合の最下位ビット（LSB）値は+1°Cに相当し、12ビット分解能の場合のLSB値は+0.0625°Cに相当します。センサーは事前に設定された状態でパワーアップします。デフォルトのパワーアップ設定については、**デバイス設定レジスタ**のセクションを参照してください。

動作原理

温度センサー・デバイスのアドレス

温度センサーは I²C の 7 ビット・アドレス指定方式を採用しています。RSEL ピンに接続された外部抵抗は、VDD ピンのパワーアップ時に測定されます。この抵抗の値がデバイス・アドレスを決定し、この値は同じ I²C バスに接続された最大 32 個のデバイスの識別に使用できます。アドレス選択抵抗の値とビット [A4:A0] の対応を表 14 に示します。使用するデバイスが 1 つだけの場合は、RSEL ピンを TMP_GND に接続します。

上位 2 ビットの値は 10 に固定されます。例えば、905kΩ の値を使用するデバイスは、ターゲットアドレス 1000000 に応答します。

表 14. RSEL 抵抗によるデバイス・アドレス・ビット [A4:A0] の選択

Bits [A4:A0]	1% Resistor Value (kΩ)	Bits [A4:A0]	1% Resistor Value (kΩ)
11111	4.2	01111	67.3
11110	5	01110	80
11101	5.9	01101	95.1
11100	7.1	01100	113.1
11011	8.4	01011	134.5
11010	10	01010	160
11001	11.9	01001	190.3
11000	14.1	01000	226.3
10111	16.8	00111	269.1
10110	20	00110	320
10101	23.8	00101	380.5

表 14. RSEL 抵抗によるデバイス・アドレス・ビット [A4:A0] の選択 (続き)

Bits [A4:A0]	1% Resistor Value (kΩ)	Bits [A4:A0]	1% Resistor Value (kΩ)
10100	28.3	00100	452.5
10011	33.6	00011	538.2
10010	40	00010	640
10001	47.6	00001	761.1
10000	56.6	00000	905.1

温度センサー・データ

この温度データ・フォーマットは、動作限界である +105°C までの値と、それ以上の値を生成します。

表 15. 12 ビット分解能での温度とデータの関係

Temperature (°C)	Data Format	
	Binary	Hexadecimal
+150	0000 1001 0110 0000	0960h
+128	0000 1000 0000 0000	0800h
+125	0000 0111 1101 0000	07D0h
+85	0000 0101 0101 0000	0550h
+25.0625	0000 0001 1001 0001	0191h
+10.125	0000 0000 1010 0010	00A2h
+0.5	0000 0000 0000 1000	0008h
0	0000 0000 0000 0000	0000h
-0.5	1111 1111 1111 1000	FFF8h
-10.125	1111 1111 1111 1000	FFF8h
-25.0625	1111 1110 0110 1111	FE6Fh
-55	1111 1100 1001 0000	FC90h

表 16. 温度データ・フォーマット (S = 符号ビット)

Most Significant Byte (°C)								Least Significant Byte (°C)							
D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
S	S	S	S	128	64	32	16	8	4	2	1	0.5	0.25	0.125	0.0625

動作原理

温度センサーの設定とステータス

ワンショット

ワンショット機能は、連続変換が不要な場合に平均電源電流を低減する助けとなります。アプリケーションは、このビットをセットする前に変換時間ビットをリセットする必要があります。シャットダウン・モードで D0 に 1 を書き込むと、直ちに新たな温度変換が開始されます。変換が完了するとデバイスはシャットダウン・モードに戻り、D0 が自動的にリセットされます。必要であれば、ホストはワンショット・ビットのステータスを確認して、いつ変換が完了するかを知ることができます。デバイスが自動サンプリング・モード用に設定されていて、ワンショット・コマンド発行時にまだ変換が進行中の場合、デバイスは進行中の変換が完了するまで待ってから、新しいシーケンスを開始します。デバイスが自動サンプリング・モードで変換が進行中でない場合は、直ちにワンショット・コマンドが開始されます。ホストは、1 つの書き込みコマンドを使って設定/ステータス・レジスタに書き込みを行い、自動変換時間をリセットしてワンショット・ビットをセットすることができます。

変換レート

変換レート・ビット ([D3:D1]) は、自動連続変換のレートを選択します。レートは、1 変換/64sec から 8 変換/sec までの値を選択できます。公称変換時間は、10 ビットのデフォルト分解能で 35ms です。自動変換モードでは、平均電源電流を減らすために、変換と変換の間はシャットダウン・モードになります。このフィールドに値 0b000 を書き込むと、温度センサーはシャットダウン・モードになります。このフィールドの値が 0b000 に設定された時点で変換が進行中の場合は、変換が終了してからシャットダウン・モードになります。

表 17. 変換レートの選択

D3	D2	D1	Conversion Rate
0	0	0	0 (shutdown)
0	0	1	1 conversion/64 second
0	1	0	1 conversion/32 second
0	1	1	1 conversion/16 second
1	0	0	1 conversion/4 second
1	0	1	1 conversion/second (default)
1	1	0	4 conversion/second
1	1	1	8 conversion/second

パケット・エラー・チェック (PEC)

PEC をイネーブルするには D4 をセットします。イネーブルすると、各メッセージ転送の最後に PEC バイトが付加されます。これは、(アドレス/読出し/書き込みバイトを含む) すべてのメッセージ・バイトに対して計算される CRC-8 バイトです。データ・バイトを送信する最後のデバイスは PEC バイトも送信します。コントローラは書き込みトランザクションの後に PEC バイトを送信し、温度センサーは読出しトランザクションの後に PEC バイトを送信します。

タイムアウト

バス・タイムアウトをディセーブルするには、D5 に 1 を書き込みます。バス・タイムアウトをイネーブルするには、D5 に 0 を書き込みます。SCL がローになっている時間が 30ms (公称値) より長い場合は、バス・タイムアウトによって I²C 対応インターフェースがリセットされます。

分解能

分解能ビット (ビット[D7:D6]) は変換分解能を選択します。変換時間は、分解能が 1 ビット上がるごとに倍になります。例えば、10 ビットでの公称変換時間は 35ms です。分解能を 12 ビットまで上げると、変換時間は 140ms に増加します。分解能ビットにより、分解能、変換時間、および電源電流をアプリケーションの要件に応じて最適化できます。このフィールドのビットは、必ず温度センサーがシャットダウン・モードのときに変更してください。

表 18. 分解能の選択

D7	D6	Resolution
0	0	8-bit
0	1	9-bit
1	0	10-bit
1	1	12-bit (default)

ALARM 極性

D8 が 0 の場合、ALARM のアクティブ状態はローです。ALARM 出力は、温度が TH を超えるか TL を下回るとローになります。D8 が 1 の場合、ALARM のアクティブ状態はハイです。ALARM ピンは、温度が TH を超えるか TL を下回るとハイになりますヒステリシス閾値がプログラムされている場合は、温度アラームの発生後、温度が TH_HYST 未満になるか TL_HYST を超えた時点で ALARM ピンのステータスが変化します。どちらの設定の動作もフォルト・キューの設定に従います。ALARM ピンはオープン・ドレイン出力で、動作させるにはプルアップ抵抗が必要です。

コンパレータと割込み

コンパレータ・モードで過熱ステータス (OT および UT ステータス) ビットを動作させるには、コンパレータおよび割込みビット D9 を 0 に設定します。コンパレータ・モードでは、温度が TH を超えるか TL を下回ると OT/UT ステータス・ビットの値が 1 になりますが、これもフォルト・キューの選択に従います。温度が TH_HYST 値を下回るか、デバイスがシャットダウン・モードに入ると、OT ステータスは 0 に戻ります。同様に、温度が TL_HYST 値を超えるか、デバイスがシャットダウン・モードに入ると、UT ステータスは 0 に戻ります。

割込みモードで OT/UT ステータスを動作させるには、ビット D9 を 1 に設定します。このモードで TH を超えた場合も OT ステータスは 1 に設定され、設定/ステータス・レジスタに対して読出し操作が実行されるまでそのままになります。読出しが実行された時点でステータスは 0 に戻ります。TH を超えたために OT ステータスが 1 に設定されて、その後リセットされると、温度が TH_HYST 未満に低下した場合のみ再び 1 に設定されます。出力は、読出しによってリセットされるまでアサートされたままになります。このビットは温度が TH を超えると再びセットされ、以降同様に動作します。UT ステータス・ビットの動作にも同じロジックが適用されます。

動作原理

温度センサーをシャットダウン・モードにした場合も、OT/UTステータス・ビットがリセットされます。なお、OT/UTステータス・ビットがセットされている間にモードが変更された場合は、正常に動作させるために OT/UT ステータスをリセットしなければならないことがあります。これを防ぐために、動作モードを変更する前に設定／ステータス・レジスタを読み出して、ステータス・ビットをクリアすることを推奨します。

フォルト・キュー

フォルト・キュー・ビット（ビット[D11:D10]）は、過熱または低温フォルトが何回連続して発生したら、それぞれのステータス・ビットによってフォルトをアサートするかを決定します。フォルト・キューの選択は、コンパレータ・モードと割込みモードの両方に適用されます。フォルト・キュー・カウンタは、温度が TH 未満になるか TL を超えると常にリセットされます。測定温度が TH_HYST 未満になったり TL_HYST を超えたりしても、フォルト・カウンタは変化しません。割込みモードにおけるフォルト状態のクリアは、I²C トランザクションを使い、設定／ステータス・レジスタを読み出すことによって行われます。コンパレータ・モードでは、測定温度値が TL_HYST と TH_HYST の間になるとフラグがリセットされます。

表 19. フォルト・キューの選択

D11	D10	Number of Faults
0	0	1 (default)
0	1	2
1	0	4
1	1	8

PEC 誤差

このビットは読出し専用です。このビットは、PEC イネーブル・ビットがセットされるとデバイスによって 1 に設定されます。I²C トランザクションの間、デバイスによって計算された PEC 値とホストによって送信された値は一致しません。PEC イネーブル・ビットが 0 になると、0 のまま維持されます。

低温ステータス

D14 は、温度値が TL 閾値未満であることを示す読出し専用ビットです。その動作は、コンパレータおよび割込みビットとフォルトキュー・ビットによって制御されます。

過熱ステータス

D15 は、温度値が TH レジスタの値を超えたことを示す読出し専用ビットです。その動作は、コンパレータおよび割込みビットとフォルトキュー・ビットによって制御されます。

温度閾値アラーム

アドレス 0x04 と 0x06 には、16 ビットのアラーム閾値 TH と TL が格納されます。これらのレジスタのデフォルト値は、パワーアップ時にロードされます。データ・フォーマットは温度レジスタのフォーマットと同じです。デバイスのパワーアップ後は、I²C インターフェースを使ってこの値を変更できます。設定の保存に使われるメモリは揮発性で、パワーダウン後はレジスタの内容も保持されません。

I²C を介してレジスタ値を変更する場合は、前もってデバイスをシャットダウン・モードにする必要があります。詳細については、[設定およびステータス・レジスタ](#)のセクションを参照してください。自動モードでの動作は、レジスタの更新後に再開できます。

アラーム・ヒステリシス閾値

アドレス 0x08 と 0x0A には、16 ビットのアラーム・ヒステリシス閾値 TH_HYST と TL_HYST が格納されます。これらのレジスタのデフォルト値はパワーアップ時にロードされますが、その内容は選択したデバイス・オプションによって異なります。データ・フォーマットは温度レジスタのフォーマットと同じです。デバイスのパワーアップ後は、I²C インターフェースを使ってこの値を変更できます。設定の保存に使われるメモリは揮発性で、パワーダウン後はレジスタの内容は保存されません。

デバイスを正しく動作させるには、TH_HYST の値を TH 以下とする必要があります。TL_HYST の値は TL 以上とする必要があります。I²C を介してレジスタ値を変更する場合は、前もってデバイスをシャットダウン・モードにする必要があります。詳細については、[設定およびステータス・レジスタ](#)の変換レート（CONVERSION RATE）の欄を参照してください。自動モードでの動作は、レジスタの更新後に再開できます。

アプリケーション情報

代表的なアプリケーション図

図 84 に、パワー・ツリーとデジタル・アイソレータを含むフローティング電圧計の代表的なシステムレベルのブロック図を示します。エコー・クロック・モードと制御クロック・モード

ではタイミング条件が緩和されるので、デジタル・アイソレータの使用が容易になります。図 84～図 92 は、ADAQ4224 の各入力に所定のゲインで差動信号を印加する、代表的なアプリケーション例です。

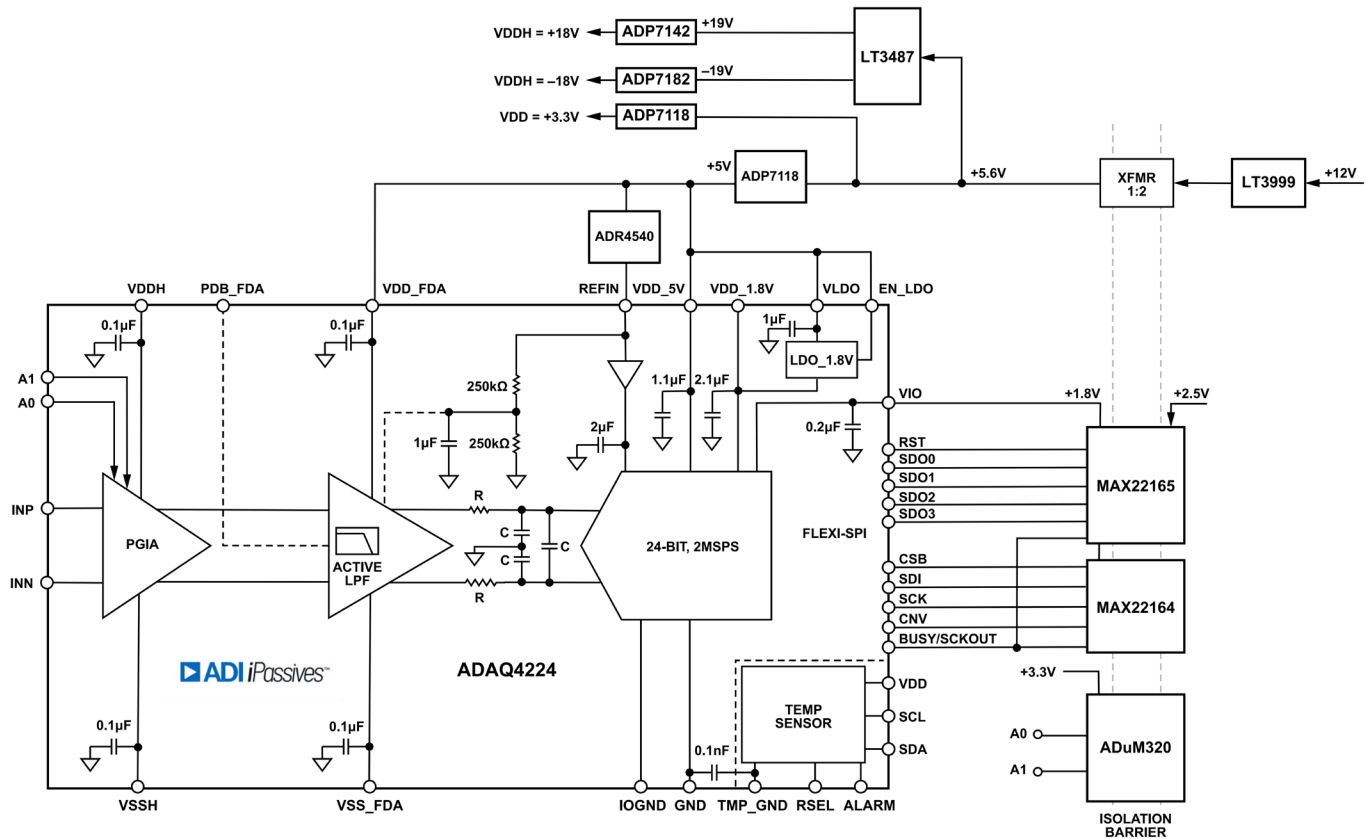


図 84. 完全絶縁型データ・アキュイジション・システムの機能ブロック図

アプリケーション情報

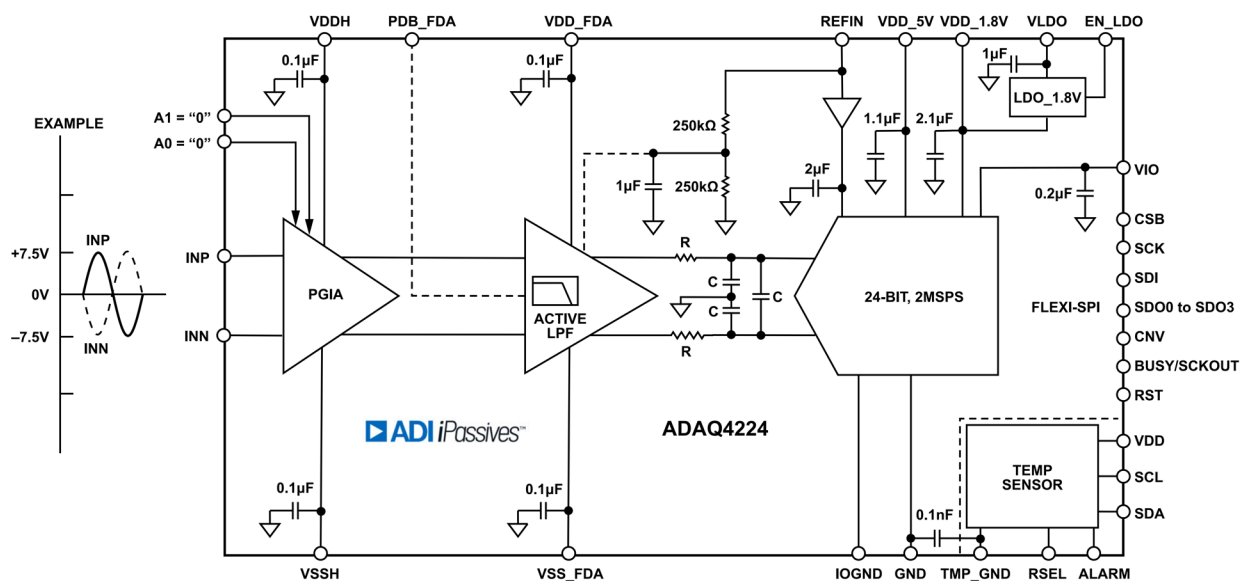


図 85. 差動入力構成 ($G = 1/3V/V$)

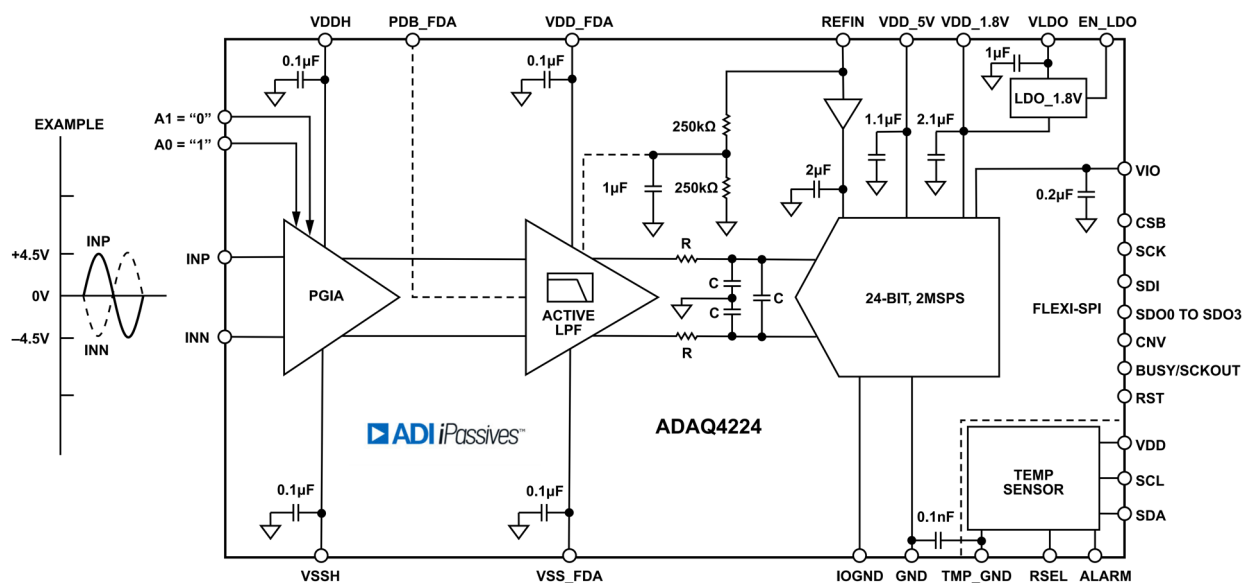
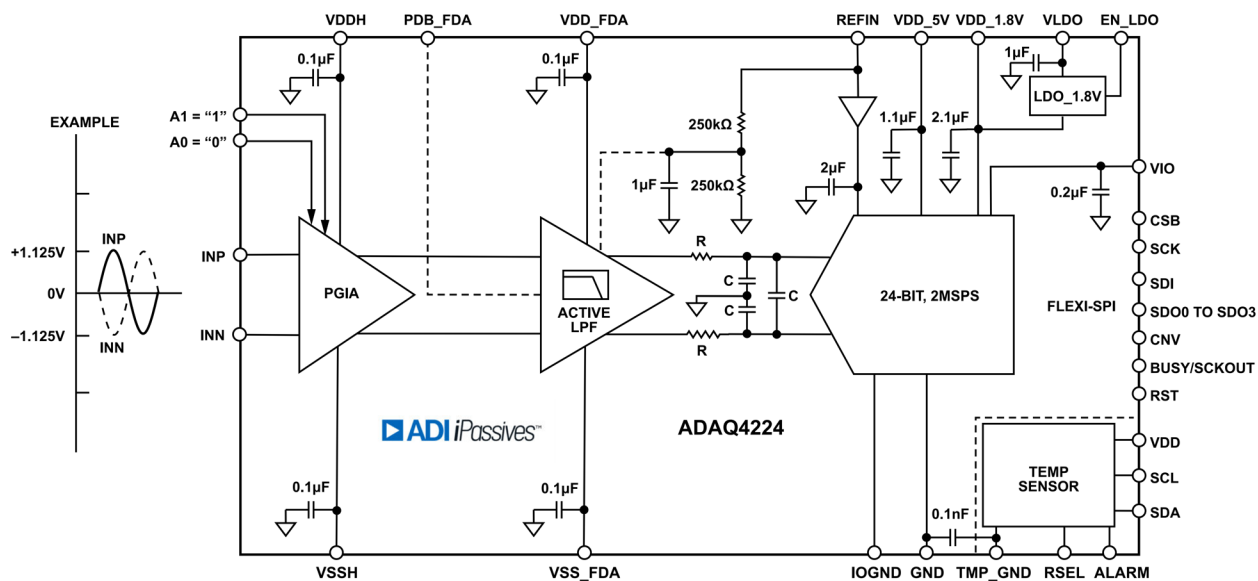
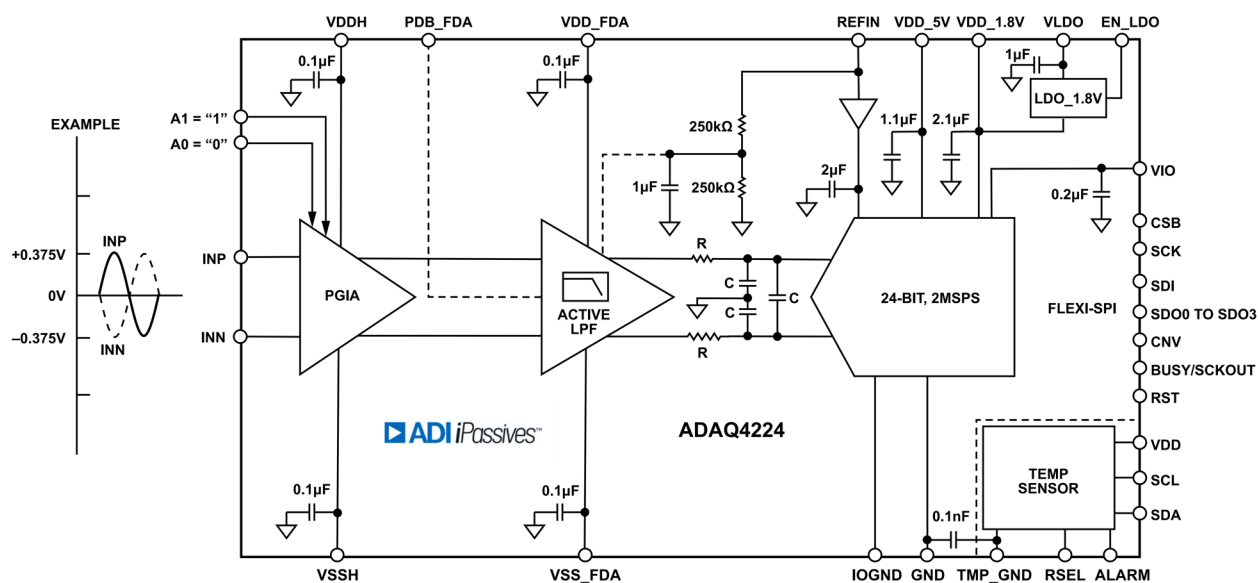


図 86. 差動入力構成 ($G = 5/9 V/V$)

アプリケーション情報

図 87. 差動入力構成 ($G = 20/9$ V/V)図 88. 差動入力構成 ($G = 20/3$ V/V)

アプリケーション情報

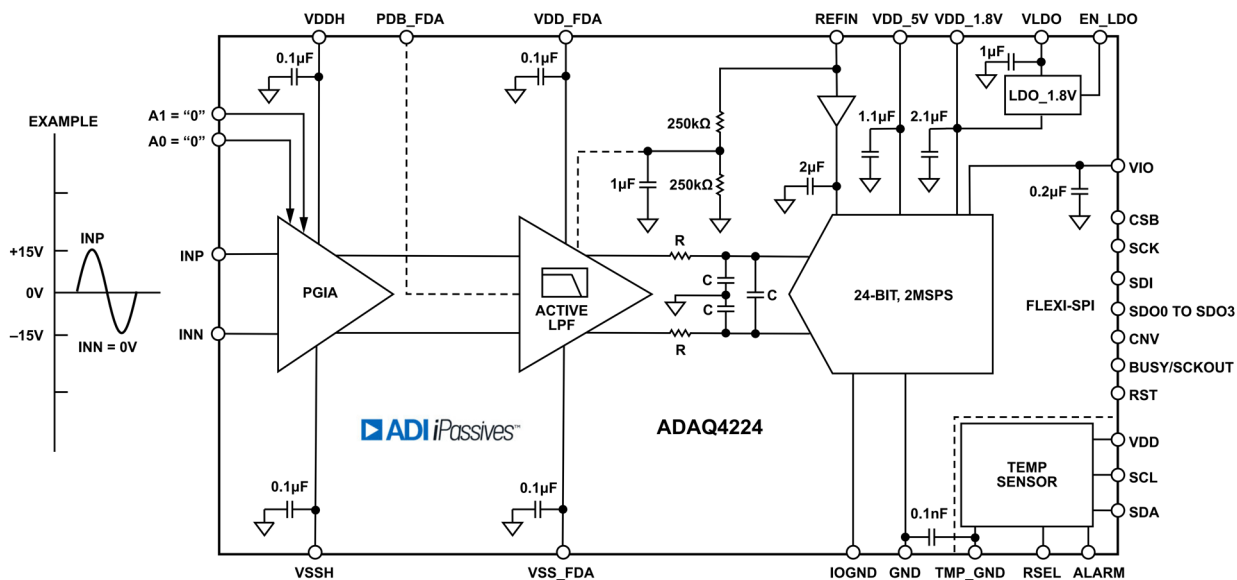


図 89. シングルエンド入力構成 ($G = 1/3V/V$)

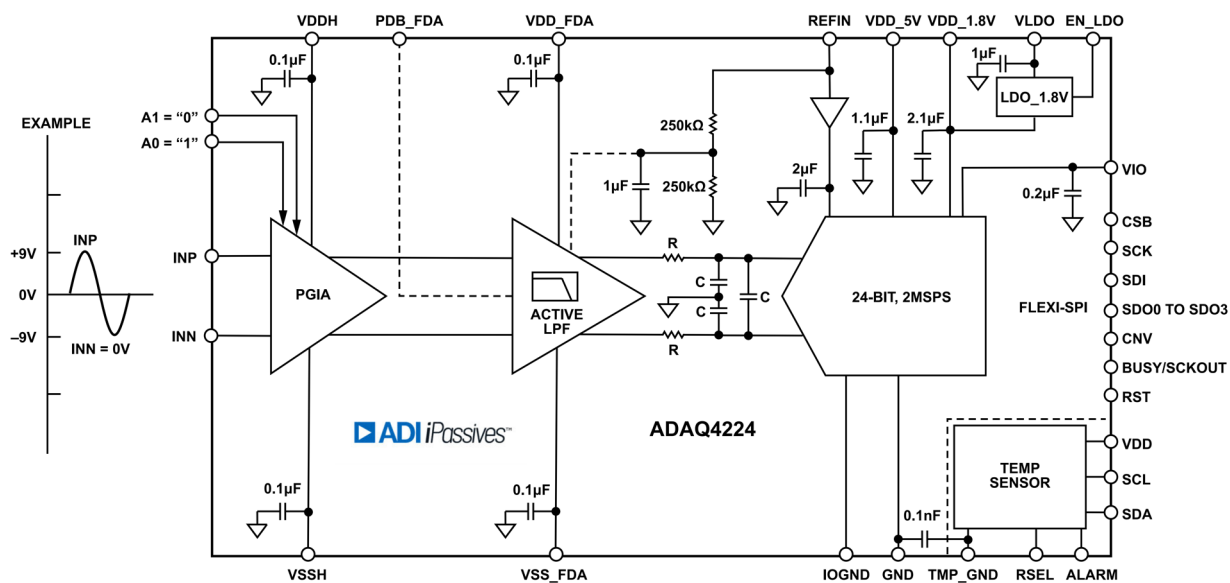
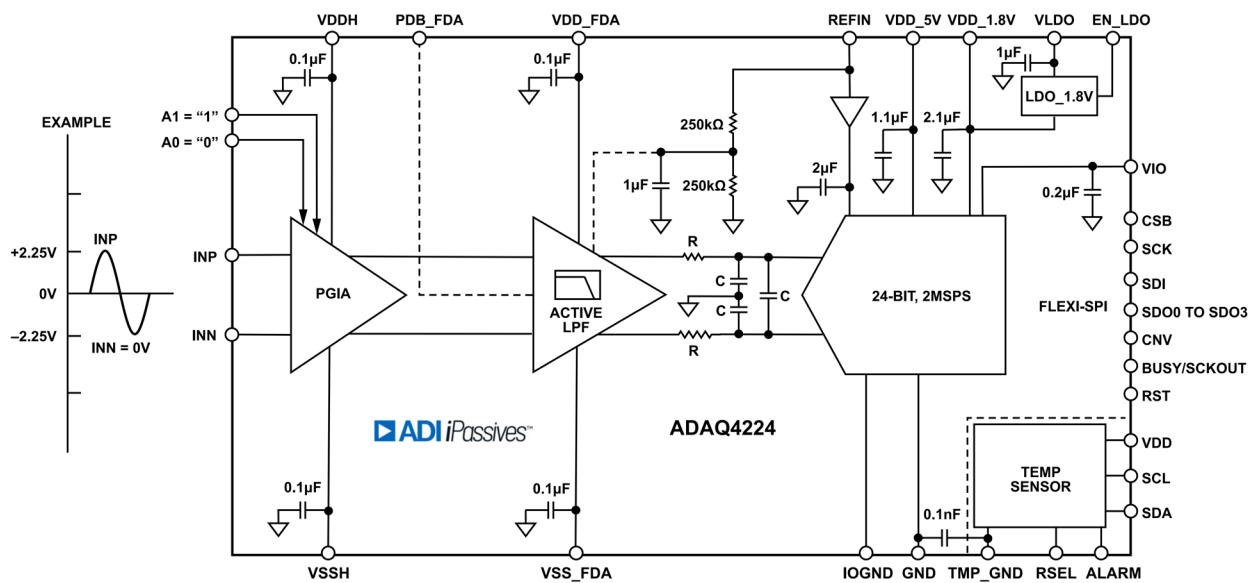
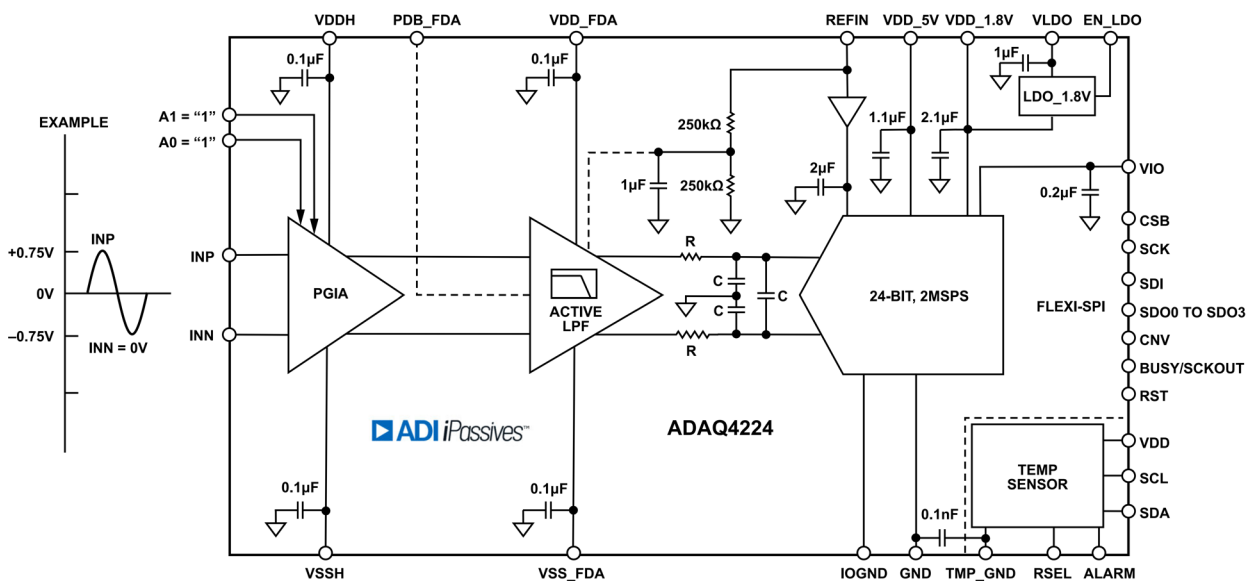


図 90. シングルエンド入力構成 ($G = 5/9 V/V$)

アプリケーション情報

図 91. シングルエンド入力構成 ($G = 20/9$ V/V)図 92. シングルエンド入力構成 ($G = 20/3$ V/V)

アプリケーション情報

リファレンス回路の設計

ADAQ4224 には、その入力範囲を指定するための外部リファレンスが必要です。このリファレンスは 4.096V~5V の範囲内であればなりません。4.096V リファレンスに最適な選択は [ADR4540](#) または [LTC6655LN-4.096](#) で、5V の場合は [ADR4550](#) リファレンスまたは [LTC6655LN-5](#) を使用します。 μ Module はリファレンスから引き出される電荷を減らす機能を複数備えているので、ADAQ4224 はディスクリート実装よりはるかに使いやすくなっています。外部リファレンスは REFIN ピンに接続されています。このピンは、リファレンスと μ Module 回路を絶縁する高精度バッファを内蔵しています。また、このバッファは高インピーダンスで、入力電流が低く抑えられています（代表値で 5nA）。REFIN ピンは、ADC ドライバの VOCM を生成する 500k Ω の分圧器にも接続されており、ここにも電流が流れます

（代表値 10 μ A）。バッファの出力に接続された 2 μ F の内部コンデンサは、リファレンスの最適なバイパスを実現し、部品数とレイアウト感度を低減することで PCB 設計を簡略化します。リファレンスと REFIN ピンの間に RC 回路を使用すれば、リファレンス・ノイズを除去できます（[図 93](#) 参照）。推奨値は、100 Ω < R < 1k Ω 、および C \geq 10 μ F です。

[図 94](#) に示すように、長時間のアイドルング後にサンプルのバーストが生じるようなアプリケーションでは、2MSPS 時にリファレンス電流 (I_{REF}) が約 10 μ A から約 12 μ A に変化します。このように DC 電流がステップ状に増加すると、リファレンスの過渡応答が生じます。リファレンス出力電圧の変化は出力コードの精度に影響するため、この過渡応答を考慮する必要があります。リファレンスが REFIN ピンを駆動している場合は、内部バッファがこれらの遷移を処理できます。

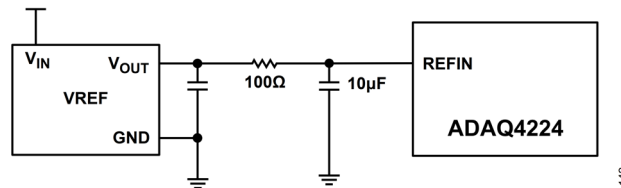


図 93. ノイズ・フィルタ付きリファレンス

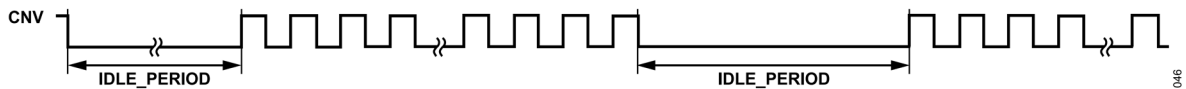


図 94. バースト・サンプリングを示す CNV 波形

アプリケーション情報

ADC リセット

ADAQ4224 には、シリアル・インターフェースを使って ADC をリセットするオプションが 2 つあります。ハードウェア・リセットは、 $\overline{\text{RST}}$ ピンにロー・パルスを入力することによって開始されます。ソフトウェア・リセットは、同じ書き込み命令でインターフェース設定 A レジスタの SW_RESET ビットと SW_RESETX ビットの両方を 1 に設定することで開始されます（詳細は [インターフェース設定 A レジスタ](#) のセクションを参照）。

ハードウェア・リセットまたはソフトウェア・リセットを実行すると、デジタル診断レジスタの RESET_OCCURRED ビットがアサートされます（詳細は [デジタル診断レジスタ](#) のセクションを参照）。RESET_OCCURRED ビットはこのビットに 1 を書き込むとクリアされます。RESET_OCCURRED は、ADAQ4224 がデバイス・リセットを実行したことをデジタル・ホストが確認するために使用できます。

ADAQ4224 は、VDD_5V と VDD_1.8V が最初に印加されたときにパワーオン・リセット（POR）を生成するように設計されています。POR は、ユーザ設定レジスタの状態をリセットし、RESET_OCCURRED ビットをアサートします。VDD_5V または VDD_1.8V が仕様規定された動作範囲を下回ると、POR が発生します。POR 後は、ハードウェア・リセットまたはソフトウェア・リセットを行うことが推奨されます。

[図 95](#) に、 $\overline{\text{RST}}$ 入力を使って ADC リセットを行うためのタイミング図を示します。最小の $\overline{\text{RST}}$ パルス幅は 50ns で、[図 95](#) および [表 1](#) では $t_{\text{RESET_PW}}$ と表記されています。リセットは、電源が有効になって安定した後、3ms 以上経過してから実行する必要があります（この遅延は [図 95](#) および [表 1](#) では $t_{\text{RESET_DELAY}}$ と表記されています）。

ハードウェア・リセットまたはソフトウェア・リセットの後は、750 μ s が経過するまで SPI コマンドや変換を開始できません。

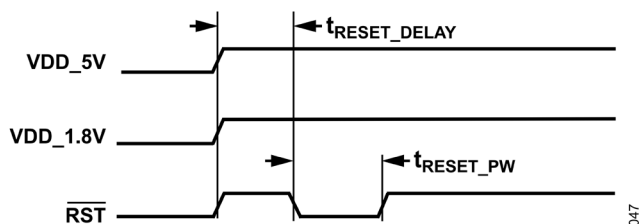


図 95. パワーオン・リセット（POR）のタイミング

電源

ADAQ4224 の電源ピンの推奨パワーアップ・シーケンスを [図 96](#) に示します。推奨シーケンスは、まず PGIA（VDDH および VSSH）をパワーアップし、次に FDA（VDD_FDA および VSS_FDA）と ADC の電源（VDD_5V、VLDO、および VIO）を並行でパワーアップして、更にリファレンス電圧（REFIN）を立上げてから、最後に INP ピンと INN ピンの入力信号をオンにします。[絶対最大定格](#) のセクションに記載されている最大電圧関係には必ず従ってください。

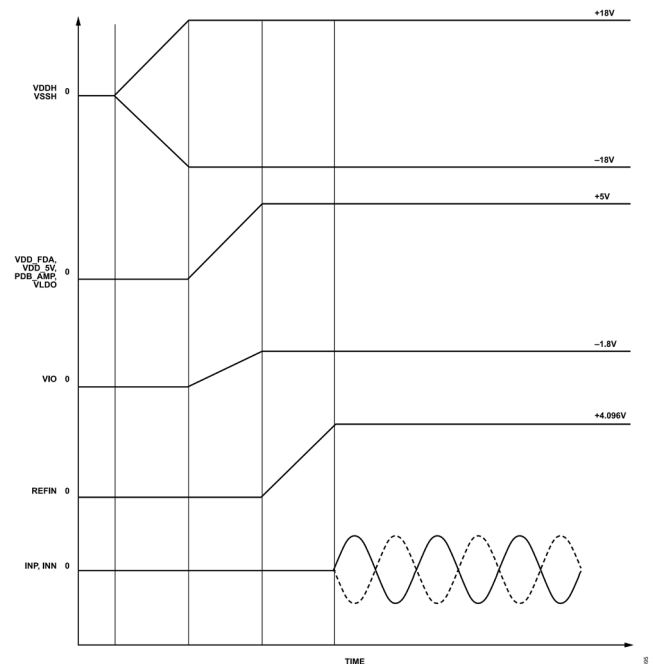


図 96. 電源シーケンス

VDD_5V 電源の電圧範囲は、選択したリファレンス電圧によって異なります（[表 1](#) の内部リファレンス・バッファのパラメータを参照）。[図 97](#) に、REFIN に対する VDD_5V の最小値と最大値を示します。VDD_5V の電圧値が最大値を超えるか最小値を下回ると、デバイスの損傷または性能低下を招く結果となります。

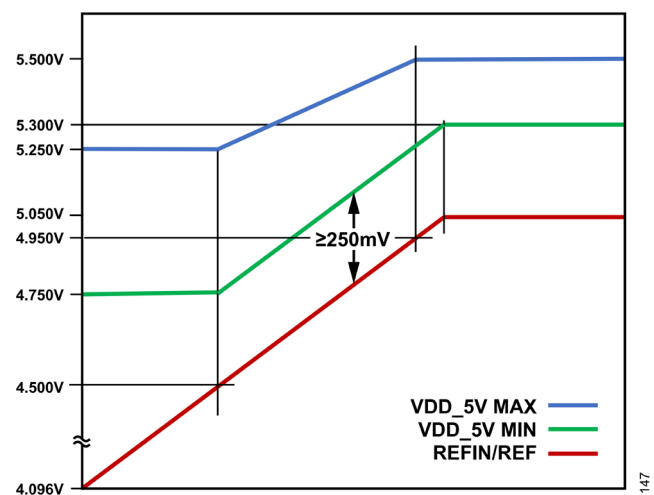


図 97. REFIN に対する VDD_5V の最小値と最大値

ADAQ4224 には、最初のパワーアップ時、または VDD_5V もしくは VDD_1.8V が指定された動作範囲を下回った場合に、ADAQ4224 をリセットする POR 回路があります。

アプリケーション情報

VDD_5V 電源と VLDO 電源は 1 μ F のバイパス・コンデンサをパッケージに内蔵しており、VIO は 0.2 μ F のバイパス・コンデンサ、更に VDDH、VSSH、VDD_FDA、VSS_FDA、および VDD は 0.1 μ F のバイパス・コンデンサを内蔵しています。これらの内蔵コンデンサにより、部品数とソリューション・サイズを減らすことができます。パルク電源バイパス・コンデンサが ADC の近くにない場合は、ADC に隣接させてコンデンサを外付けしてください。全電源の最小立上がり時間は 100 μ s です。

電力消費状態

ADAQ4224 の消費電力は変換時に最大になります。変換が終了すると、デバイスはスタンバイ状態になって内部回路の大半がパワーダウンし、消費電流は変換状態時の 20%未満に減少します。完全な精度を確保するため、リファレンス・バッファなど一部の回路は、スタンバイ状態時もパワーオン状態を維持します。

デバイス設定レジスタの OPERATING_MODES ビット・フィールドに 0x3 を書き込むと、変換クロックがアイドル状態になっている間、デバイスをより低消費電力のシャットダウン状態に置くことができます（詳細は[デバイス設定レジスタ](#)のセクションを参照）。このビット・フィールドのデフォルト値は[00]で、通常動作モードになります。シャットダウン状態では、消費電流が 10 μ A 未満まで低下します。

シャットダウン・モード

ADC がシャットダウン・モードになると、内部リファレンス・バッファがディスエーブルされて、500 Ω のスイッチにより REFIN が内部リファレンス・バッファの出力に接続されます。これにより、内部バッファの出力にある 2 μ F のコンデンサが充電状態に維持されて、シャットダウン・モード終了後に ADC を迅速に回復させることができます。このキープ・アライブ・スイッチによって、REFIN ピンには、シャットダウン・モードに入るとき (400pC) とシャットダウン・モードを終了するとき (5pC) に電荷が注入されます。シャットダウン・モード終了時、内部バッファの出力が正確になるまでには 30 μ s を要します。

シリアル・インターフェース

ADAQ4224 は、共通のビット・クロック（SCK）を使用する複数レーンの SPI シリアル・デジタル・インターフェースをサポートしています。柔軟な VIO ピン電源により、ADAQ4224 は 1.2V~1.8V で動作する任意のデジタル・ロジックと通信できます。ただし、VIO ピンのレベルが 1.4V 未満の場合は、出力ドライバ・レジスタの IO2X ビットを 1 に設定する必要があります（詳細は出力ドライバ・レジスタのセクションを参照）。シリアル出力データは、最大 4 個の SDO レーンにクロック同期出力されます。（図 98 参照）。出力データに同期したエコー・クロック・モードを使用すると、デジタル・インターフェースでの絶縁を使用する場合のタイミング条件を緩和できます。ホスト・クロック・モードも使用可能です。このモードでは内部発振器を使用してデータ・ビットをクロック同期出力できます。ADAQ4224 の SPI 動作についての説明は、SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モード、シングル・データ・レート・モード、デュアル・データ・レート・モード、1 レーン出力データ・クロック・モード、2 レーン出力データ・クロック・モード、4 レーン出力データ・クロック・モード、およびデータ出力モードの概要のセクションに示します。

パワーアップ時のデフォルト通信モードは、1 レーン・モード、SPI モード、SDR モード、および 24 ビット差動データです。

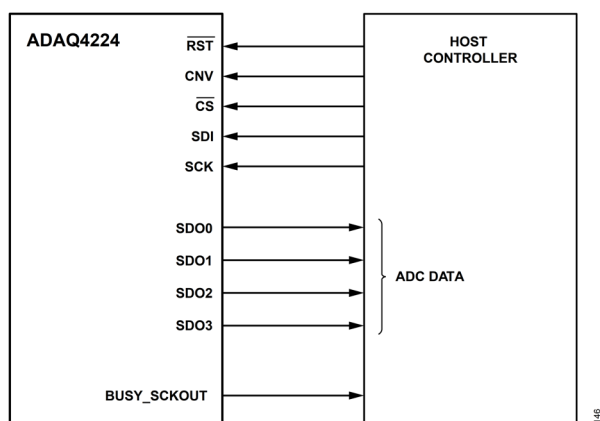


図 98. ADAQ4224 の複数レーン SPI

SPI 信号

SPI は、ADC の設定とサンプリングされたデータの取得の両方を行うために使用される、複数レーンのインターフェースです。以下の信号で構成されます。

- ▶ \overline{CS} （入力）（チップ・セレクト）。ADC の SDI ピンまたは SDOx ピンとの間でデータ転送を行うには、 \overline{CS} をローに設定する必要があります。サンプル・データ読出しのための \overline{CS} のタイミングは、BUSY ピンの状態を調べることで調整できます。エコー・クロック・モードおよびホスト・クロック・モードでは、BUSY_SCKOUT ピンがこれらのクロック・モードのビット・クロック出力として用いられるため、 \overline{CS} のタイミングはホスト・プロセッサで制御する必要があります。
- ▶ SDI（入力）。ホスト・コントローラから ADC へのシリアル・データ入力ストリーム。SDI 信号は、ADAQ4224 のユーザ・レジスタの 1 つにデータを書き込む場合のみ使われます。
- ▶ CNV（入力）。CNV 信号はホスト・コントローラによって送出され、サンプル変換を開始します。CNV 信号の周波数によって ADAQ4224 のサンプリング・レートが決まります。CNV クロックの最大周波数は 2MSPS です。

- ▶ SCK（入力）。ホスト・コントローラが送出するシリアル・データ・クロック。出力データ転送をサポートする最大 SCK レートは 100MHz です。レジスタの読出しと書込みの場合の最大 SCK レートは、VIO ピン > 1.71V の場合で 86MHz、 $1.14V \leq VIO$ ピン < 1.71V の場合で 81MHz です。
- ▶ SDO0~SDO3（出力）。ホスト・コントローラへのデータ・レーンです。アクティブなデータ・レーンの数は 1 レーン、2 レーン、または 4 レーンです（表 21 を参照）。データ・レーンの数はモード・レジスタのセクションで設定されます。
- ▶ BUSY_SCKOUT（出力）。BUSY_SCKOUT ピンの機能は、選択するクロック・モードによって異なります。表 20 に、各クロック・モードに対する BUSY_SCKOUT ピンの機能を示します。

表 20. BUSY_SCKOUT ピンの機能とクロック・モードの関係

Clocking Mode	Behavior
SPI Clocking Mode	Valid BUSY_SCKOUT pin signal for the ADC conversion status. The busy signal on the BUSY_SCKOUT pin goes high when a conversion is triggered by the CNV signal. The busy signal on the BUSY_SCKOUT pin goes low when the conversion is complete.
Echo Clock Mode	Bit clock. The BUSY_SCKOUT pin is a delayed version of SCK input.
Host Clock Mode	Bit clock. The BUSY_SCKOUT pin sources the clock signal from the internal oscillator.

レジスタ・アクセス・モード

ADAQ4224 には、レジスタのセクションに示すように、デバイスの設定に使用するプログラマブル・ユーザ・レジスタがあります。デフォルトでは、このデバイスはパワーアップ時に変換モードになります。そのため、ユーザ・レジスタにアクセスするには、図 5 に示すように、SPI を介してホスト・コントローラが特別なアクセス・コマンドを送出する必要がありますこのレジスタ・アクセス・コマンドが SPI を介して送られると、デバイスはレジスタ設定モードになります。レジスタのセクションに記載されたいずれかのユーザ・レジスタから値を読み出すには、ホスト・コントローラが図 4 に示すパターンを送る必要があります。いずれかのユーザ・レジスタに書込みを行うには、ホスト・コントローラが図 3 に示すパターンを送る必要があります。どちらの（読出し／書込み）の場合も、ホスト・コントローラは、全トランザクションにわたって常に 24 個のクロック・パルスを SCK ラインに送出し、 \overline{CS} をローに引き下げる必要があります。

該当のユーザ・レジスタとの間で読み書きを行った後、ホスト・コントローラは、設定モード終了レジスタのセクションに詳細を示すように、レジスタ・アドレス 0x0014 に 0x01 を書き込むことでレジスタ設定モードを終了する必要があります。レジスタの読出し／書込みアクセスのアルゴリズムは、以下のとおりです。

1. ダミーのレジスタ・アドレス 0x3FFF から読出しを行って、レジスタ設定モードに入る。
2. 必要なユーザ・レジスタ・アドレスとの間で読出しや書込みを行う。
3. レジスタ・アドレス 0x0014 に 0x01 を書き込むことで、レジスタ設定モードを終了する。レジスタ設定モードを終了するとレジスタの更新が有効になります。

シリアル・インターフェース

ストリーム・モード

ADAQ4224 では、レジスタ設定モードでレジスタの読出し／書込みトランザクションを一括して実行することもできます。読出し／書込みレジスタ・トランザクションを一括して実行するには、 $\overline{\text{CS}}$ をローに維持すると共に、各レジスタが 1 バイト（8 ビット）幅のみであるため SCK パルスを 8 の倍数で送出する必要があります。ストリーム・モードでは、アドレスのデクリメントのみが許容されます。つまり、読み書きできるのは最初のレジスタ・アドレスと最初のレジスタ・アドレスのすぐ下のレジスタ・アドレスです。ストリーム・モードでのレジスタ・アクセスは、連続したアドレスを持つレジスタ・ブロックに対して行

うことを推奨します。ただし、レジスタ・マップにないレジスタのアドレスを指定することができます。これを行うには、これらのレジスタにすべてゼロを書き込むだけです。あるいは、読み出す場合は、単にこれらのレジスタから読み出された内容を廃棄するだけです。これはランダムなデータであるためです。どのレジスタ・アドレスが有効で連続しているかについては、[レジスタ](#)のセクションを参照してください。例えば、24 ビットのオフセット値を一回で読み出すには、レジスタ・アドレス 0x0018 から始まる 24 個の SCK パルスを送出する必要があります。所定アドレスから一括読出しを行うためのタイミング図を [図 99](#) に示します。

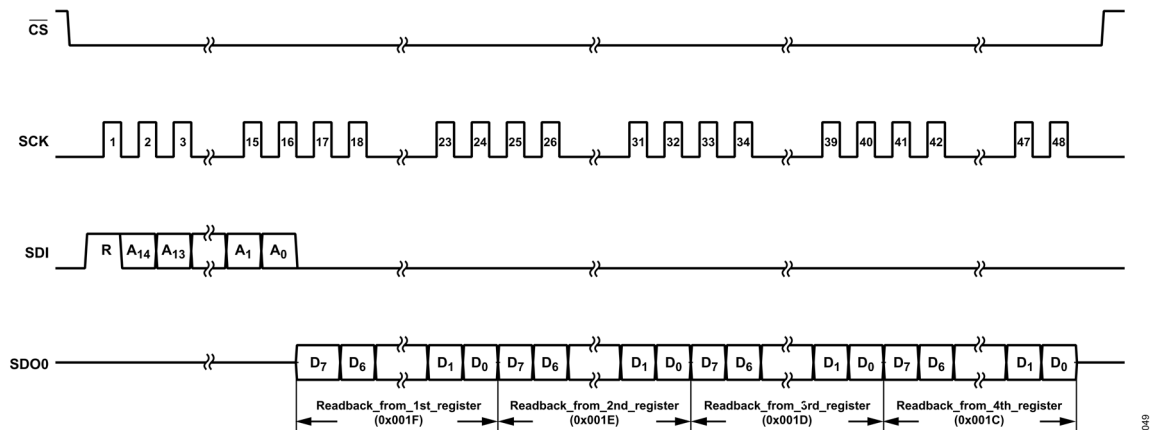


図 99. ストリーム・モードの一括レジスタ読出し動作

シリアル・インターフェース

サンプル変換タイミングとデータ転送

変換は、図 100 に示すように、CNV 信号の立上がりエッジで開始されます。変換が完了すると、 \overline{CS} をアサートでき、これによって電流変換結果が出力シフト・レジスタにロードされます。

図 100 に示すように、サンプル N にはデータ転送ゾーンに 2 つのオプションがあります。ゾーン 1 はサンプル N の変換の BUSY 信号がデアサートされた直後（SPI 変換モード）、あるいは 300ns 後（エコー・モードおよびホスト・クロック・モード）に \overline{CS} がアサートされる場合のものです。ゾーン 1 では、サンプル N を読み出すために利用できる時間が次式で与えられます。

Zone 1 Data Read Window

$$= t_{CYC} - t_{CONV} - t_{QUIET_CNV_ADV}$$

例えば、 F_{CNV} が 2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は 198.4ns ($= 500\text{ns} - 282\text{ns} - 19.6\text{ns}$) です。

ゾーン 2 は、サンプル N を読み出すための \overline{CS} のアサートが、サンプル N+1 の変換が開始されるまで遅延された場合です。

データの破損を防ぐため、図 100 に示すように、CNV 信号の各立上がりエッジ前後に静止ゾーンを置く必要があります。CNV の立上がりエッジ直前の静止ゾーンは $t_{QUIET_CNV_ADV}$ で示されており、値は 19.6ns です。CNV の立上がりエッジ直後の静止ゾーンは $t_{QUIET_CNV_DELAY}$ で示されており、値は 9.8ns です。CNV の立上がりエッジを中心とする静止ゾーンの直後に \overline{CS} がアサートされると仮定すると、データをクロック同期出力するために使用できる時間は次式のようにになります。

Zone 2 Data Read Window

$$= t_{CYC} - t_{QUIET_CNV_DELAY} - t_{QUIET_CNV_ADV}$$

例えば、 F_{CNV} が 2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は 470.6ns ($= 500\text{ns} - 9.8\text{ns} - 19.6\text{ns}$) です。ゾーン 2 の転送ウィンドウはゾーン 1 のウィンドウより長くなります。これにより SPI ではより低速の SCK を使用できるので、インターフェースのタイミング条件を緩和できます。ゾーン 2 を使用してデータ転送を行う場合、静止ゾーンの直後に \overline{CS} をアサートすることを推奨します。ただし、サンプル N+1 の BUSY の立下がりエッジより 25ns 以上前にアサートする必要があります。そうしないと、サンプル N がサンプル N+1 で上書きされます。

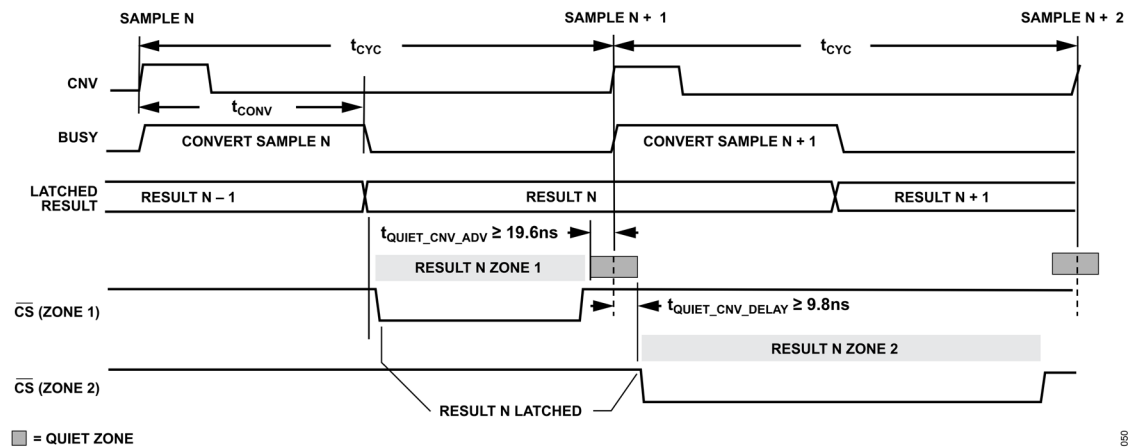


図 100. データ転送ゾーンのタイミング例

シリアル・インターフェース

クロック・モード

このセクションでは、ADAQ4224 の SPI がサポートする各種のクロック・モードを説明します。これらのモードは1レーン、2レーン、4レーンで使用できます。クロック・モードはモード・レジスタで設定されます（レジスタの説明は表 23 を参照）。

SPI クロック・モード

SPI クロック・モードは ADAQ4224 のデフォルト・クロック・モードで、ホストをソースとするビット・クロック（SCK）と等価です。SCK では、ホスト・コントローラが固有のクロックを使用して出力データをラッチします。SPI 対応のクロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x0 を書き込むことによってイネーブルされます（詳細は [モー](#)

[ド・レジスタ](#)のセクションを参照）。インターフェースの接続を図 98 に示します。このモードでは、BUSY_SCKOUT ピンの信号が有効で、変換の完了を示します（BUSY_SCKOUT ピンのハイからローへの遷移）。簡略化したサンプル・サイクルを図 101 に示します。平均化モード以外では、ホスト・コントローラが変換の完了を検出するために BUSY_SCKOUT ピンの信号を使用せず、代わりに内部タイマーを使用してデータを取得する場合、ホスト・コントローラは、CNV パルスの立上がりエッジの後 300ns 以上待機してから $\overline{\text{CS}}$ をローにアサートする必要があります。ブロック平均化モードで動作する場合、ホスト・コントローラは、ブロック最後のサンプルにおける CNV パルスの立上がりエッジの後 300ns 以上経過してから $\overline{\text{CS}}$ をローにアサートする必要があります。

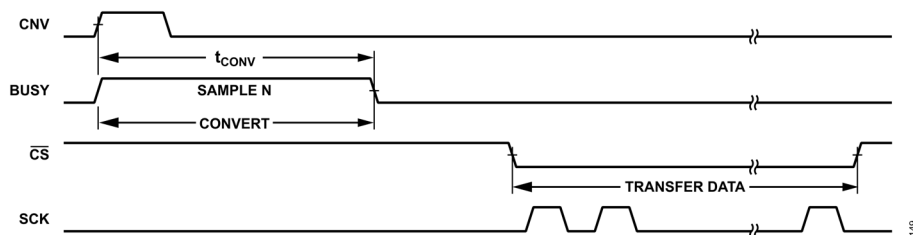


図 101. SPI クロック・モードの代表的なサンプル・サイクル

シリアル・インターフェース

エコー・クロック・モード

図 102 に、エコー・クロック・モードの信号接続を示します。エコー・クロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x1 を書き込むことによってイネーブルされます（詳細はモード・レジスタのセクションを参照）。このモードでは、BUSY_SCKOUT ピンを使用して変換の完了を検出することはできません。BUSY_SCKOUT ピンはビット・クロック出力となり、ホスト・コントローラの SCK を介して BUSY_SCKOUT ピンにループすることで出力されます（VIO ピンの電圧に応じて 5.4ns~7.9ns の固定遅延）。非平均化モードで変換データの取得を開始するには、ホスト・コントローラは、CNV パルスの立上がりエッジ後 300ns 以上経過してから $\overline{\text{CS}}$ をローにアサートする必要があります。ADC がブロック平均化モードに設定されている場合、ホスト・コントローラは、ブロック最後のサンプルにおける CNV パルスの立上がりエッジ後 300ns 以上経過してから $\overline{\text{CS}}$ をローにアサートする必要があります。タイミング図の例は、データ・クロック条件とタイミングのセクションに示されています。エコー・クロック・モードがイネーブルされている場合、BUSY_SCKOUT ピンは SDOx ピンの遷移にアラインされるので、データとクロックのタイミングは、SDOx ピンと SCK ピンの経路での非対称伝搬遅延には影響されません。

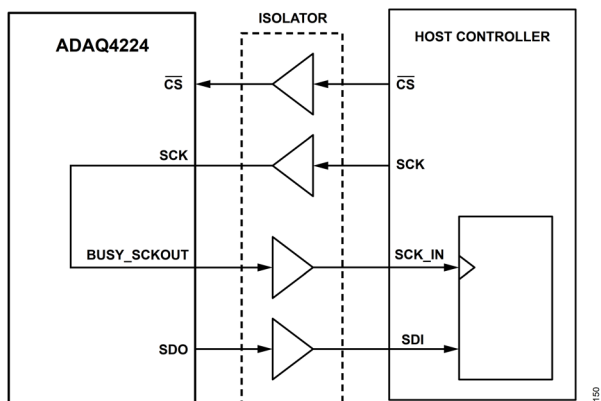


図 102. エコー・クロック・モードの信号経路図

ホスト・クロック・モード

ホスト・クロック・モードがイネーブルされている場合は、内部発振器をビット・クロック源として用います。ホスト・クロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x2 を書き込むことでイネーブルできます。ビット・クロックの周波数は、1、2、または 4 の除数を用いて、内部発振器レジスタの OSC_DIV ビット・フィールドでプログラムできます（詳細は内部発振器レジスタのセクションを参照）。図 103 に、ホスト・クロック・モードの信号接続を示します。このモードでは、BUSY_SCKOUT ピンはビット・クロックを出力し、変換の完了を検出するために使用することはできません。ADAQ4224 は、ワード・サイズ、アクティブなレーンの数、およびシングル・データ・レート・モードとデュアル・データ・レート・モードのどちらを選択しているかに応じて、変換データをクロック同期出力するために必要なクロック・パルス数を自動的に計算します。クロック・パルス数は、内部発振器レジスタの OSC_LIMIT ビット・フィールドから読み出すことができます。ホストからの SCK_IN はアクティブにはできません。

非平均化モードで変換データを取得する場合、ホストは CNV パルスの立上がりエッジ後 300ns より前に $\overline{\text{CS}}$ をローにアサートすることはできません。ADC が 2^N 回平均化を行う平均化モードに設定されている場合、ホストは、ブロック最後のサンプルにおける CNV パルス立上がりエッジ後 300ns より前に $\overline{\text{CS}}$ をローにアサートすることはできません。

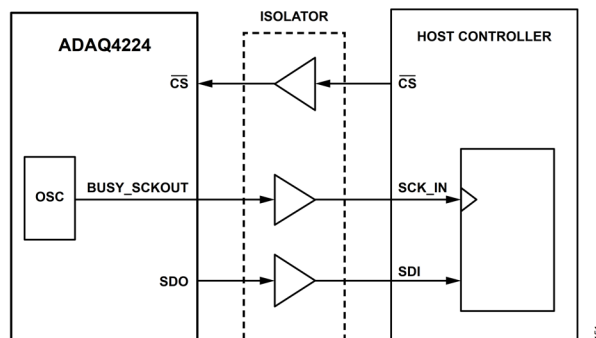


図 103. ホスト・クロック・モードの信号経路例

シングル・データ・レート・モード

シングル・データ・レート・クロック (SDR) は、1 クロック・サイクルの間に 1 個のビット (アクティブ・レーンあたり) がクロック同期出力されるもので、すべての出力設定およびサンプル・フォーマットでサポートされています（表 21 を参照）。SDR クロック・モードは、パワーアップ時にデフォルトでイネーブルされる他、モード・レジスタの DDR_MD ビットに 0 を書き込むことでイネーブルできます（詳細はモード・レジスタのセクションを参照）。

デュアル・データ・レート・モード

デュアル・データ・レート (DDR) モード (1 アクティブ・レーンにつき 1 クロック・サイクルあたり 2 個のデータ・ビット遷移) は、ホスト・クロック・モードおよびエコー・クロック・モードでのみ使用可能です。

DDR クロック・モードは、モード・レジスタの DDR_MD ビットに 1 を書き込むことでイネーブルできます（詳細はモード・レジスタのセクションを参照）。DDR モードは、SDR モードに比べ、変換データをクロック同期出力するために使用する SCK パルスの数が半分になります。

1 レーン出力データ・クロック・モード

1 レーンは、パワーアップ時のデフォルトの出力データ・クロック・モードです。1 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビットに 0x0 を書き込むことでイネーブルできます（詳細はモード・レジスタのセクションを参照）。アクティブ・レーンは SDO0 です。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 1 レーン・モードのタイミング図の例を、データ・クロック条件とタイミングのセクションに示します。

2 レーン出力データ・クロック・モード

2 レーン出力データ・クロック・モードがイネーブルされている場合、サンプル・ワード・ビットは 2 つの SDO レーンの間で分割されます。図 109 に、2 レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。2 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビットに 0x1 を書き込むことでイネーブルできます（詳細はモード・レジスタのセクションを参照）。

シリアル・インターフェース

照)。ホスト・コントローラは、SDO からのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要な SCK パルス数は、1 レーン・モードの半分になります。表 21 に、2 レーン・モードでのアクティブな SDO レーンを示します。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 2 レーン・モードのタイミング図の例を、データ・クロック条件とタイミングのセクションに示します。

4 レーン出力データ・クロック・モード

4 レーン出力データ・クロック・モードがイネーブルされている場合、サンプル・ワード・ビットは 4 つの SDO レーンの間で分割されます。図 110 に、4 レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードで

同じです。A4 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビットに 0x2 を書き込むことでイネーブルできます（詳細はモード・レジスタのセクションを参照）。ホスト・コントローラは、SDO からのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要な SCK パルス数は、1 レーン出力データ・クロックに比べ、4 分の 1 になります。4 レーン・モードでのアクティブな SDO レーンを表 21 に示します。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 4 レーン・モードのタイミング図の例を、データ・クロック条件とタイミングのセクションに示します。

データ出力モードの概要

ADAQ4224 がサポートするデータ出力モードの概要を表 21 にまとめます。

表 21. ADAQ4224 がサポートするデータ出力モード

Number of Lanes	Active SDO Lanes	Clock Mode	Supported Data Clocking Mode	Output Sample Data-Word Length
1	SDO0	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32
2	SDO0, SDO1	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32
4	SDO0, SDO1, SDO2, SDO3	SPI	SDR only	24 or 32
		Echo	SDR and DDR	24 or 32
		Host	SDR and DDR	24 or 32

シリアル・インターフェース

データ・クロック条件とタイミング

基本および平均化変換サイクル

図 104 に、1 回のサンプリングの基本変換サイクルを示します。このサイクルは SPI クロック・モードにあてはまります。エコー・クロック・モードおよびホスト・クロック・モードを使用する場合は、BUSY_SCKOUT ピンの機能はディスエーブルされ、ビット・クロックが BUSY_SCKOUT ピンに出力されます。データ転送は、[サンプル変換タイミングとデータ転送](#)のセクションに記載の条件を満たす必要があります。

表 22 に、変換タイミング・パラメータの最小値と最大値を示します。これらはすべてのクロック・モードにあてはまります。

表 22. 変換サイクルのタイミング・パラメータ

Parameter	Min	Max
t_{CNVH}	10 ns	No specific maximum
t_{CNVL}	20 ns	No specific maximum
t_{CONV}	264 ns	300 ns

データ転送時間の長さは、サンプル分解能、アクティブ・レーン数、SCK 周波数、データ・クロック・モード（SDR または DDR）によって異なります。転送時間の公称値は次式で与えられます。

$$\text{Data Transfer Duration} = t_{TRANS} = \frac{N_{BITS}}{M_{LANES}} \times \frac{1}{f_{SCK}} \times \frac{1}{K} \text{ seconds}$$

ここで、

N_{BITS} = クロック同期出力されるビット数、

M_{LANES} = データをクロック同期出力するために使用するレーン数（1、2、または 4）、

f_{SCK} = SCK クロック周波数（Hz）、

$K=1$ （SDR のみ、DDR は SPI クロック・モードでは使用できません）です。

所定の f_{SCK} 、データ・レーン数、サンプル・ワード・サイズ、SDR/DDR モードに対し、データ転送にゾーン 1 を使用した場合の最小サンプル時間は、次式のようにになります。

$$t_{CYC} \geq \left(\frac{N_{BITS}}{M_{LANES} \times f_{SCK} \times K} \right) + t_{CONV} + t_{QUIET_CNV_ADV}$$

データ転送にゾーン 2 を使用した場合の最小サンプル時間は、次式のようにになります。

$$t_{CYC} \geq \left(\frac{N_{BITS}}{M_{LANES} \times f_{SCK} \times K} \right) + t_{QUIET_CNV_DELAY} + t_{QUIET_CNV_ADV}$$

図 105 に、平均化モードが有効で SPI クロック・モードが使用されている場合の、代表的な変換サイクルを示します。平均化されるサンプルの設定数に等しい CNV クロック周期数の間、BUSY 信号がアサートされます。BUSY 信号がデアサートされると、平均化されたサンプルが使用できるようになります。非平均化モードと同様に、設定されたクロック・モードがエコー・クロックまたはホスト・クロックの場合、BUSY 信号は出力ビット・クロック（SCKOUT）で置き換えられます。ホスト・コントローラは \overline{CS} をアサートするタイミングを管理しなければなりません。

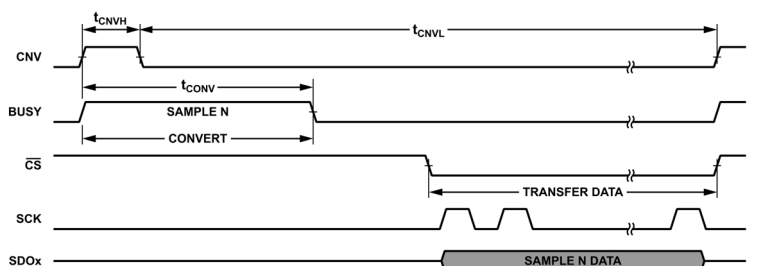


図 104. 基本的なシングル・サンプル変換サイクル

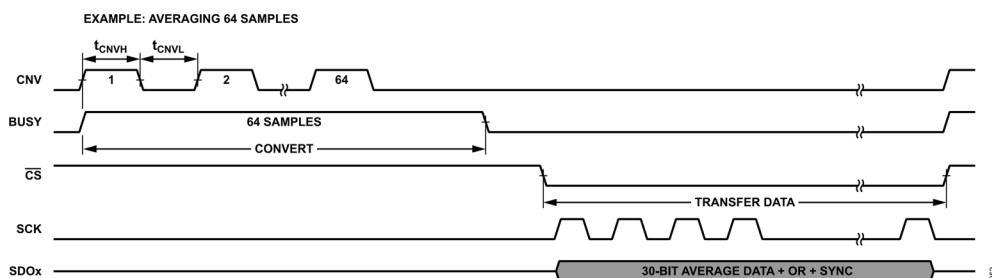


図 105. 平均化モードの変換サイクル例

シリアル・インターフェース

非平均化モードに存在する 2 つの転送ゾーンは、平均化モードにも存在します（図 106、図 107、および図 108 を参照）。

データの破損を防ぐには、SPI の立上がりエッジ信号と立下がりエッジ信号が静止ゾーン内としないようにする必要があります。

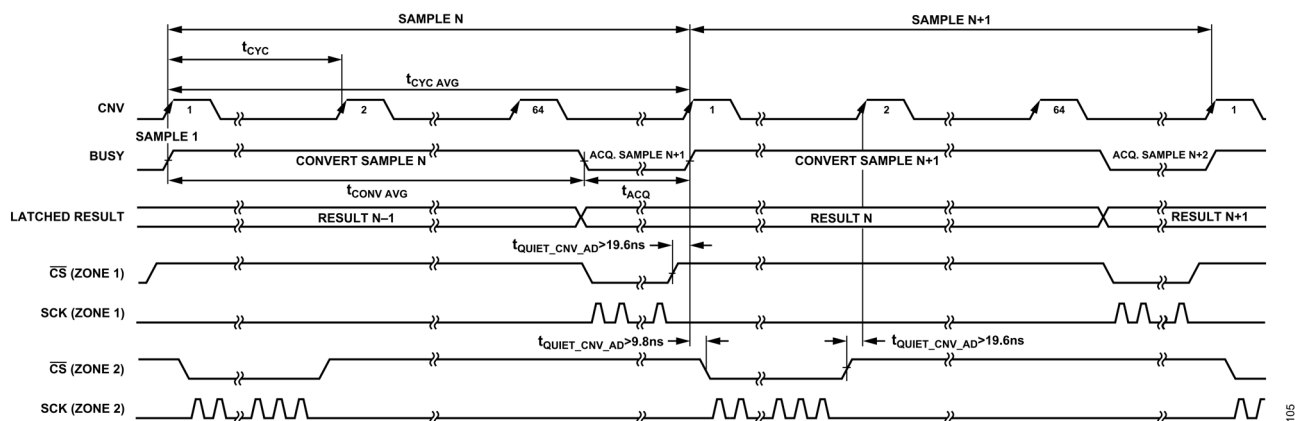


図 106. 平均化モードにおける各種ゾーンの例（64 個のサンプルを平均）

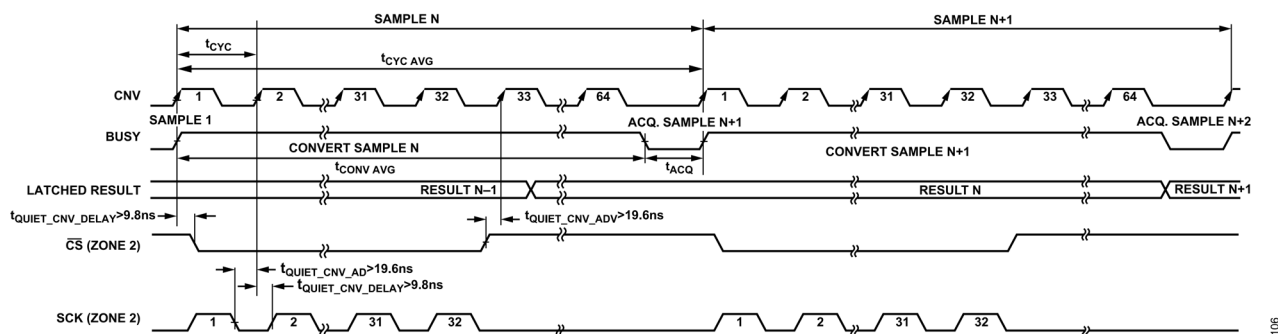


図 107. 平均化モードにおけるゾーン 2 の例（1 サンプルあたり 1 ビット）

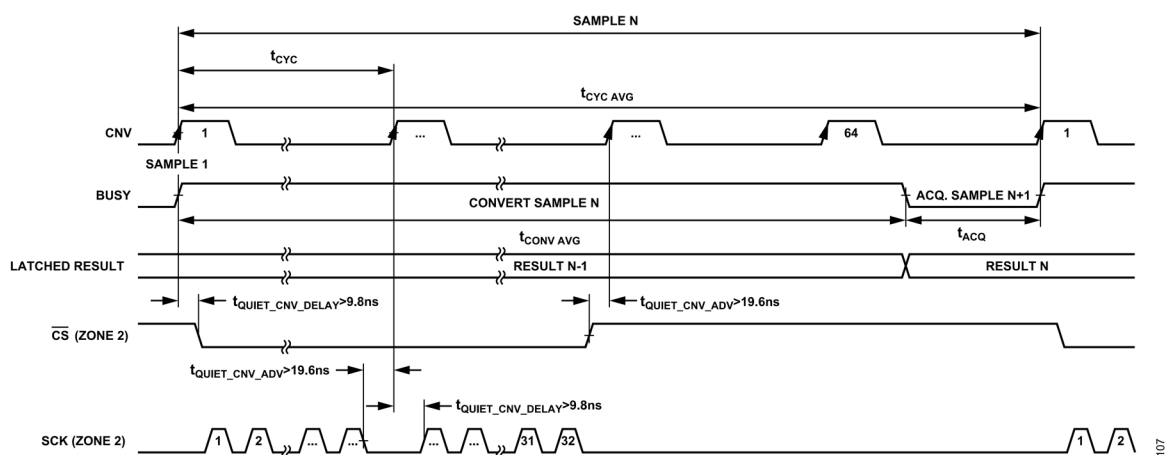


図 108. 平均化モードにおけるゾーン 2 の例（1 サイクルあたり N ビット）

シリアル・インターフェース

SPI クロック・モードのタイミング図

1 レーン、SDR モード

図 6 に、SDR クロック・モードを使用する 1 レーン・データ出力の変換サイクルを示します (1 クロック・サイクルあたり 1 ビット)。

2 レーン、SDR モード

図 109 に、SDR クロック・モードを使用する 2 レーン・データ出力の変換サイクルを示します。詳細については、[2 レーン出力データ・クロック・モード](#)のセクションを参照してください。



図 109. 2 レーン・モード、SDR のタイミング図

シリアル・インターフェース

4 レーン、SDR モード

図 110 に、SDR クロック・モードを使用する 4 レーン・データ出力の変換サイクルを示します。詳細については、[4 レーン出力データ・クロック・モード](#)のセクションを参照してください。

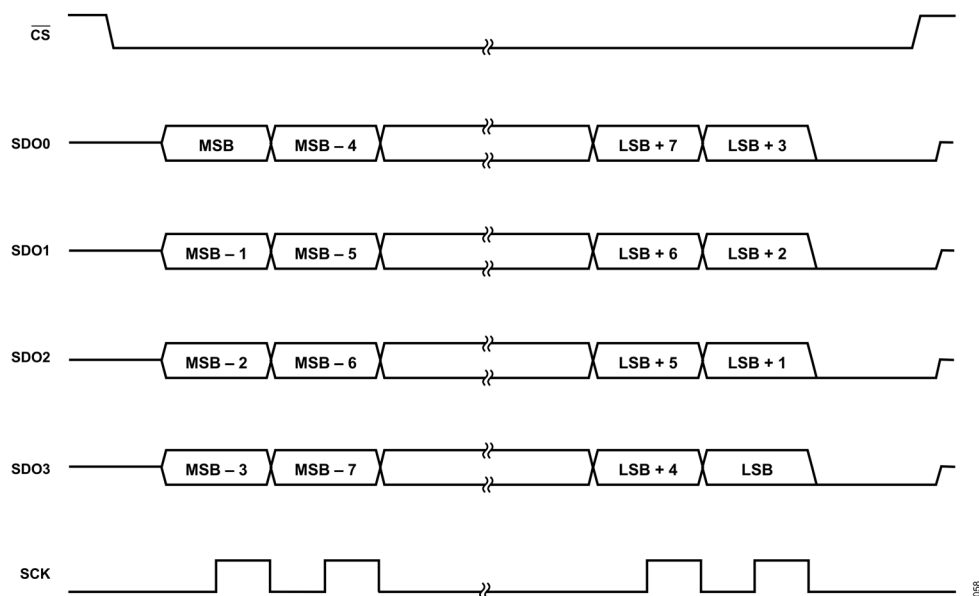


図 110. 4 レーン、SDR のタイミング図

シリアル・インターフェース

エコー・クロックのタイミング図

1 レーン、SDR モード、エコー・クロック・モード

図 7 に、1 レーン・エコー・クロック・モードでの SDR モード（SCK 周期あたり 1 ビット）のタイミング関係を示します。信号間のタイミング関係は 24 ビットと 32 ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SCKOUT は、入力 SCK の遅延バージョンです。この遅延 (t_{tsdo}) の最大値は 5.6ns です ($V_{\text{IO}} > 1.71\text{V}$ の場合)。SDOx のロジック状態の変化は、SCKOUT の立上がりエッジに一致します。クロックとデータのエッジのアライメントは、1 レーン、2 レーン、4 レーンの出力データ・モードで同じです。

1 レーン、DDR モード、エコー・クロック・モード

図 8 に 1 レーン・エコー・クロック・モードでの DDR モード（SCKOUT 周期あたり 2 ビットの遷移）のタイミング関係を示します。信号間のタイミング関係は 24 ビットと 32 ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SDR モードと同様、SCKOUT は入力 SCK の遅延バージョンです。SDOx のロジック状態の変化は、SCKOUT の立上がりエッジと立下がりエッジの両方に一致します。

ホスト・クロック・モードのタイミング

1 レーン、ホスト・クロック・モード、SDR

図 9 に、SDR モードと 1 レーン出力データ・クロック・モードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジはデータ・ビットの遷移と一致します。SCKOUT 信号の周波数は、内部発振器レジスタで設定される OSC_DIV の値で制御されます（詳細は内部発振器レジスタのセクションを参照）。

1 レーン、ホスト・クロック・モード、DDR

図 10 に、DDR モードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジと立下がりエッジはデータ・ビットの遷移と一致します。SCKOUT 信号の周波数は、内部発振器レジスタで設定される OSC_DIV の値で制御されます（詳細は内部発振器レジスタのセクションを参照）。

レイアウトのガイドライン

ADAQ4224 の最高性能を実現するために、以下のようなレイアウトのガイドラインを推奨します。

- ▶ ADAQ4224 は、VDD_5V および VDD_1.8V に 1 μ F のバイパス・コンデンサを、VIO に 0.2 μ F のコンデンサを内蔵しています。したがって、外付けのバイパス・コンデンサは不要です。これにより基板スペースと部品点数を減らし、レイアウト感を低下させることができます。
- ▶ すべてのアナログ信号を ADAQ4224 の左側から入力するようにし、すべてのデジタル信号を ADAQ4224 の右側から入出力するようにすることを推奨します。これは、アナログ信号とデジタル信号を互いに絶縁する効果があるためです。
- ▶ ADAQ4224 の下には強固なグランド・プレーンを用い、すべてのアナログ・グラウンド (GND) ピンとデジタル・グラウンド (IOGND) ピンは共通のグランド・プレーンに接続して、グラウンド・ループが形成されないようにします。
- ▶ REFIN ピンへの配線パターンはその他の信号から絶縁し、シールドする必要があります。リファレンス配線パターン (REFIN) の下には信号を配線しないようにしてください。リファレンス (またはバッファ) の出力と選択したリファレンス入力の上にノイズ除去フィルタを配置する場合は、ADAQ4224 にできるだけ近付けて配置する必要があります。

レジスタ

ADAQ4224 には、デバイスの設定に使用するプログラマブル・ユーザ・レジスタがあります。これらのレジスタは、ADAQ4224 がレジスタ設定モードのときにアクセスできます。表 23 に、ADAQ4224 のすべてのユーザ・レジスタとそのビット・フィールドを示します。レジスタの詳細のセクションには

各ビット・フィールドの機能の詳細を示します。アクセスのモードは、そのレジスタが読出し専用ビットだけで構成されているか（R）、読出し専用ビットと読出し／書き込みビットの組合せで構成されているか（R/W）を指定するものです。読出し専用ビットは SPI 書き込みトランザクションで上書きできませんが、読出し／書き込みビットは上書きできます。

表 23. ADAQ4224 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			SW_RESETX	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	STALLING	RESERVED		SHORT_INSTRUCTION	RESERVED			0x00	R/W	
0x02	DEVICE_CONFIG	[7:0]	RESERVED							OPERATING_MODES	0x00	R/W	
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x07	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x00	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x20	R
0x06	CHIP_GRADE	[7:0]	GRADE					DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE									0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION							0x81	R
0x0C	VENDOR_L	[7:0]	VID[7:0]									0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]									0x04	R
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT									0x00	R/W
0x11	INTERFACE_STATUS_A	[7:0]	RESERVED			CLOCK_COUNTER	RESERVED					0x00	R/W
0x14	EXIT_CFG_MD	[7:0]	RESERVED								EXIT_CONFIG_MD	0x00	R/W
0x15	AVG	[7:0]	AVG_SYNC	RESERVED		AVG_VAL						0x00	R/W
0x16	OFFSET_LB	[7:0]	USER_OFFSET[7:0]									0x00	R/W
0x17	OFFSET_MB	[7:0]	USER_OFFSET[15:8]									0x00	R/W
0x18	OFFSET_HB	[7:0]	USER_OFFSET[23:16]									0x00	R/W
0x19	UNUSED1_LB	[7:0]	UNUSED1[7:0]									0x00	R/W
0x1A	UNUSED1_MB	[7:0]	UNUSED1[15:8]									0x00	R/W
0x1B	UNUSED1_HB	[7:0]	UNUSED1[23:16]									0x00	R/W
0x1C	GAIN_LB	[7:0]	USER_GAIN[7:0]									0x00	R/W
0x1D	GAIN_HB	[7:0]	USER_GAIN[15:8]									0x80	R/W
0x1E	UNUSED2_LB	[7:0]	UNUSED2[7:0]									0x00	R/W
0x1F	UNUSED2_HB	[7:0]	UNUSED2[15:8]									0x80	R/W
0x20	MODES	[7:0]	LANE_MD		CLK_MD		DDR_MD	OUT_DATA_MD				0x00	R/W
0x21	OSCILLATOR	[7:0]	OSC_LIMIT					OSC_DIV				0x00	R/W
0x22	IO	[7:0]	RESERVED								IO2X	0x00	R/W
0x23	TEST_PAT_BYTE0	[7:0]	TEST_DATA_PAT[7:0]									0x0F	R/W
0x24	TEST_PAT_BYTE1	[7:0]	TEST_DATA_PAT[15:8]									0x0F	R/W
0x25	TEST_PAT_BYTE2	[7:0]	TEST_DATA_PAT[23:16]									0x5A	R/W
0x26	TEST_PAT_BYTE3	[7:0]	TEST_DATA_PAT[31:24]									0x5A	R/W
0x34	DIG_DIAG	[7:0]	POWERUP_COMPLETED	RESET_OCCURRED	RESERVED					FUSE_CRC_EN	0x40	R/W	
0x35	DIG_ERR	[7:0]	RESERVED								FUSE_CRC_ERR	0x00	R/W

レジスタの詳細

インターフェース設定 A レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェースの設定値。

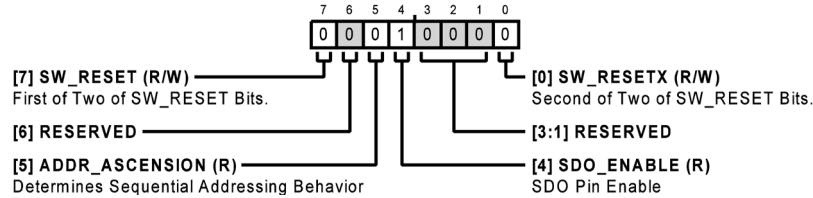


表 24. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの 1 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0 : ストリーミング時、アクセスされるアドレスはデータ・バイトごとに 1 ずつデクリメントします。 1 : 有効なオプションではありません。	0x0	R
4	SDO_ENABLE	SDO ピン・イネーブル。	0x1	R
[3:1]	RESERVED	予約済み。	0x0	R
0	SW_RESETEX	2つの SW_RESET ビットの 2 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定 B レジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

追加のインターフェース設定値。

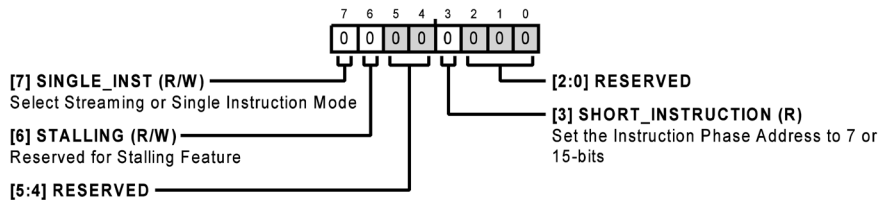


表 25. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーム・モードまたは単一命令モードを選択します。 0 : ストリーミング・モードがイネーブルになります。連続するデータ・バイトを受信するごとに、アドレスがデクリメントされます。 1 : 単一命令モードがイネーブルになります。	0x0	R/W
6	STALLING	ストリーミング機能用に予約。	0x0	R/W
[5:4]	RESERVED	予約済み。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを 7 ビットまたは 15 ビットに設定。 0 : 15 ビットのアドレス指定 1 : 7 ビットのアドレス指定	0x0	R
[2:0]	RESERVED	予約済み。	0x0	R

レジスタの詳細

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

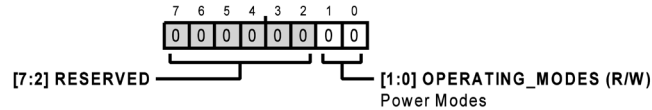


表 26. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	OPERATING_MODES	電力モード。 00 : 通常動作モード。 11 : シャットダウン・モード。	0x0	R/W

チップ・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイズ製品ファミリを識別するために用います。目的の製品を一意に識別するにはチップ・タイプと製品 ID を使用してください。

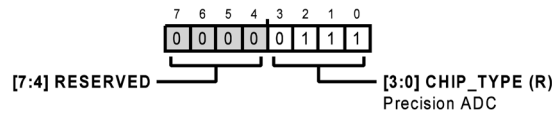


表 27. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品 ID ロー・レジスタ

アドレス : 0x04、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

製品 ID の下位バイト。

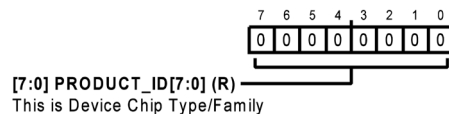


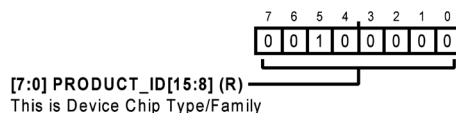
表 28. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	これはデバイスのチップ・タイプ／ファミリです。製品を識別するには、製品 ID とチップ・タイプを使用してください。	0x0	R

製品 ID ハイ・レジスタ

アドレス : 0x05、リセット : 0x20、レジスタ名 : PRODUCT_ID_H

製品 ID の上位バイト。



レジスタの詳細

表 29. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	これはデバイスのチップ・タイプ／ファミリです。製品を識別するには、製品 ID とチップ・タイプを使用してください。	0x20	R

チップ・グレード・レジスタ

アドレス：0x06、リセット：0x81、レジスタ名：CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。

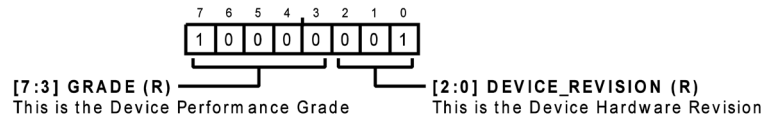


表 30. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	GRADE	デバイス性能のグレードです。 ADAQ4224 : 0b11100	0x1C	R
[2:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x1	R

スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

このレジスタを使用して書込みや読出しをテストできます。

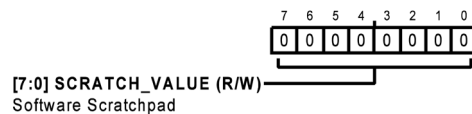


表 31. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPI リビジョン・レジスタ

アドレス：0x0B、リセット：0x81、レジスタ名：SPI_REVISION

SPI リビジョンを示します。

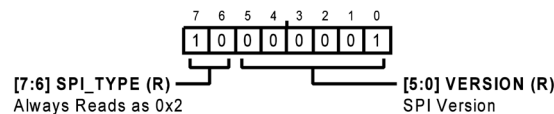


表 32. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に 0x2 として読み出されます。	0x2	R
[5:0]	VERSION	SPI のバージョン。	0x1	R

レジスタの詳細

ベンダ ID ロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダ ID の下位バイト。

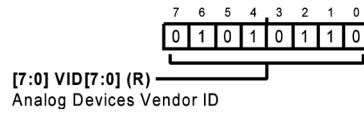


表 33. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダ ID の上位バイト。

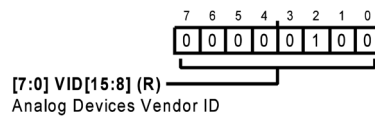


表 34. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データのストリーミング時のループ長を定義します。

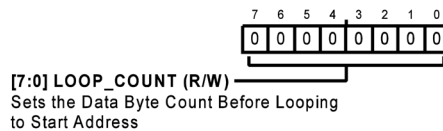


表 35. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定。 ADAQ4224 ではイネーブルされません。	0x0	R/W

インターフェース・ステータス A レジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS_A

ステータス・ビットが 1 にセットされていると、アクティブ状態であることを示しています。ステータス・ビットは対応するビット位置に 1 を書き込むことでクリアできます。

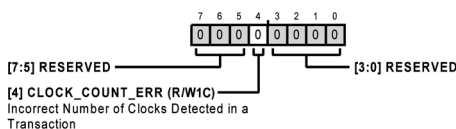


表 36. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R

レジスタの詳細

表 36. INTERFACE_STATUS_A のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	CLOCK_COUNT_ERR	0 = エラーなし。 1 = トランザクションで誤った数のクロックを検出。クリアするには 1 を書き込みます。	0x0	R/W1C
[3:0]	RESERVED	予約済み。	0x0	R

設定モード終了レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : EXIT_CFG_MD

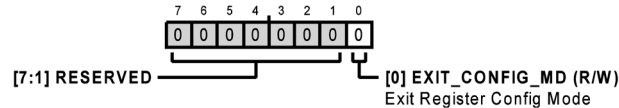


表 37. EXIT_CFG_MD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	EXIT_CONFIG_MD	レジスタ設定モードを終了。レジスタ設定モードを終了するには 1 を書き込みます。CS = 1 になると自動クリアされます。	0x0	R/W

平均化モード・レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : AVG

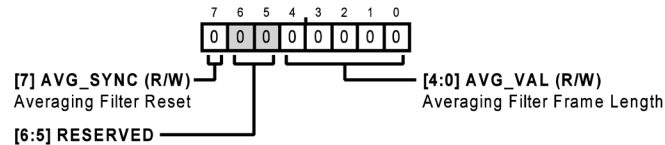
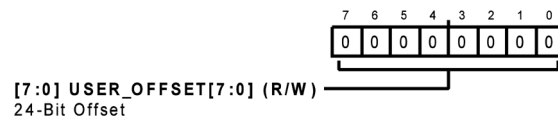


表 38. AVG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AVG_SYNC	平均化フィルタ・リセット。1 = リセット、自動クリア。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R
[4:0]	AVG_VAL	平均化フィルタのフレーム長、 2^N 。 0x00 = 平均化なし。平均モードには 0x01~0x10 のみを使用。 0x01 = 2^1 サンプル。 0x02 = 2^2 サンプル。 0x03 = 2^3 サンプル。 0x04 = 2^4 サンプル。 0x05 = 2^5 サンプル。 ... 0x0F = 2^{15} サンプル。 0x10 = 2^{16} サンプル。 0x11~0x1F = 無効。	0x0	R/W

オフセット・レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : OFFSET_LB



レジスタの詳細

表 39. OFFSET_LB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[7:0]	24 ビットのオフセット。2 の補数（符号付き）。 $1\text{ LSB} = \frac{V_{REF}}{2^{23}}/GAIN.$	0x0	R/W

アドレス : 0x17、リセット : 0x00、レジスタ名 : OFFSET_MB

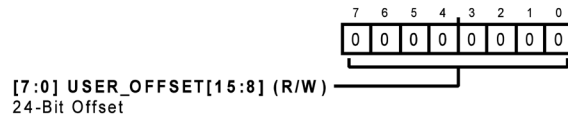


表 40. OFFSET_MB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[15:8]	24 ビットのオフセット。2 の補数（符号付き） $1\text{ LSB} = \frac{V_{REF}}{2^{23}}/GAIN.$	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : OFFSET_HB

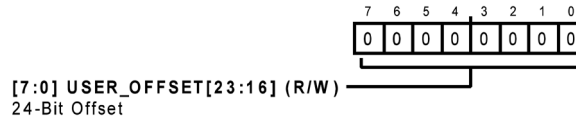


表 41. OFFSET_HB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[23:16]	24 ビットのオフセット。2 の補数（符号付き）。 $1\text{ LSB} = \frac{V_{REF}}{2^{23}}/GAIN.$	0x0	R/W

ゲイン・レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GAIN_LB

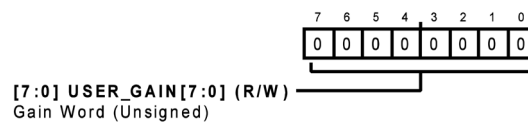
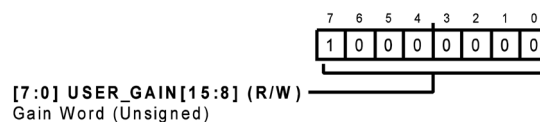


表 42. GAIN_LB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[7:0]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード/0x8000。 最大実効ゲイン = 0xFFFF/0x8000 = 1.99997。	0x0	R/W

アドレス : 0x1D、リセット : 0x80、レジスタ名 : GAIN_HB



レジスタの詳細

表 43. GAIN_HB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[15:8]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード/0x8000。 最大実効ゲイン = 0xFFFF/0x8000 = 1.99997。	0x80	R/W

モード・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : MODES

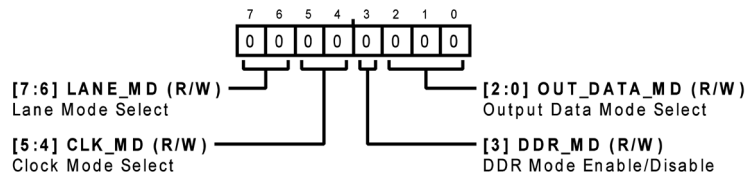


表 44. MODES のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LANE_MD	レーン・モードの選択。 00 = 1 レーン。 01 = 2 レーン。 10 = 4 レーン。 11 = 無効な設定。	0x0	R/W
[5:4]	CLK_MD	クロック・モードの選択。 00 : SPI クロック・モード。 01 = エコー・クロック・モード。 10 = ホスト・クロック・モード。 11 = 無効な設定。	0x0	R/W
3	DDR_MD	DDR モードのイネーブル／ディスエーブル。 0 = SDR。 1 = DDR（エコー・クロック・モードおよびホスト・クロック・モードでのみ有効）。	0x0	R/W
[2:0]	OUT_DATA_MD	出力データ・モードの選択。 000 = 24 ビット差動データ。 001 = 16 ビット差動データ + 8 ビット・コモンモード・データ。 010 = 24 ビット差動データ + 8 ビット・コモンモード・データ。 011 = 30 ビット平均化差動データ + OR ビット + SYNC ビット。 100 = 32 ビット・テスト・データ・パターン（TEST_DATA_PAT）。	0x0	R/W

内部発振器レジスタ

アドレス : 0x21、リセット : 0x00、レジスタ名 : OSCILLATOR

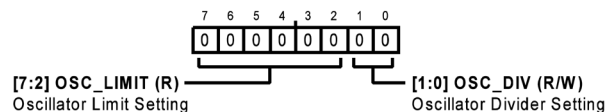


表 45. OSCILLATOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	OSC_LIMIT	発振器制限の設定値。発振器は、クロック・パルス数に 1 を加えた数に制限されます。データ・ワード・サイズ、アクティブな SDO レーンの数、データ・レート・モード（SDR または DDR）に基づき ADAQ4224 が自動で計算します。	0x0	R
[1:0]	OSC_DIV	発振器分周器の設定値。 00 = 分周なし（1 分周）。 01 = 2 分周。 10 = 4 分周。 11 = 無効な設定。	0x0	R/W

レジスタの詳細

出力ドライバ・レジスタ

アドレス : 0x22、リセット : 0x00、レジスタ名 : IO

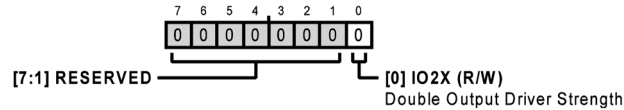


表 46. IO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	IO2X	ダブル出力ドライバ強度。 1 = ダブル出力ドライバ強度。 0 = 通常出力ドライバ強度。	0x0	R/W

テスト・パターン・レジスタ

アドレス : 0x23、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE0

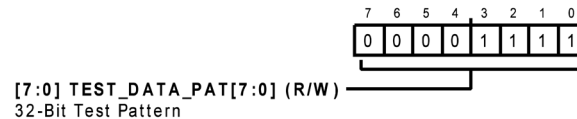


表 47. TEST_PAT_BYTE0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[7:0]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0xF	R/W

アドレス : 0x24、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE1

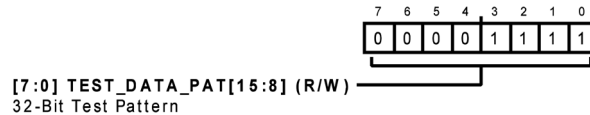


表 48. TEST_PAT_BYTE1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[15:8]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0xF	R/W

アドレス : 0x25、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE2

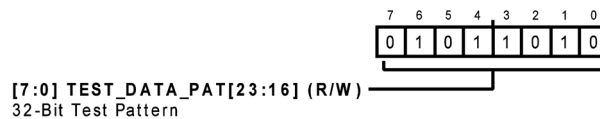


表 49. TEST_PAT_BYTE2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[23:16]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0x5A	R/W

レジスタの詳細

アドレス : 0x26、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE3

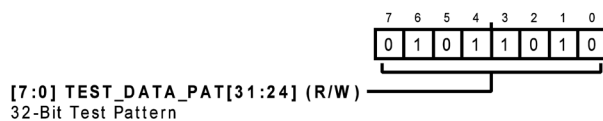


表 50. TEST_PAT_BYTE3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[31:24]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0x5A	R/W

デジタル診断レジスタ

アドレス : 0x34、リセット : 0x40、レジスタ名 : DIG_DIAG

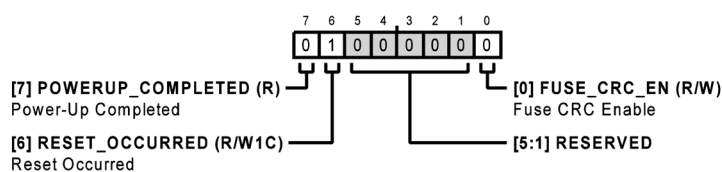


表 51. DIG_DIAG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	POWERUP_COMPLETED	1 = パワーアップ完了。自動クリア。	0x0	R
6	RESET_OCCURRED	リセット発生。リセットが発生すると、このビットが 1 にセットされます。クリアするには 1 を書き込みます（ブラウナウト検出に役立ちます）。	0x1	R/W1C
[5:1]	RESERVED	予約済み。	0x0	R
0	FUSE_CRC_EN	ヒューズ CRC をイネーブル。1 を書き込むと、CRC の再チェックが実行されます。	0x0	R/W

デジタル・エラー・レジスタ

アドレス : 0x35、リセット : 0x00、レジスタ名 : DIG_ERR

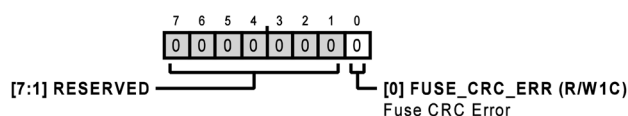


表 52. DIG_ERR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FUSE_CRC_ERR	ヒューズ CRC エラー。ヒューズ CRC エラーが発生すると、このビットが 1 にセットされます。クリアするには 1 を書き込みます。	0x0	R/W1C

温度センサー・レジスタ

ADAQ4224には、温度センサーの制御と設定に使用するプログラマブル・ユーザ・レジスタがあります。これらのレジスタは表 53 のように構成されています。メモリ・コマンドの詳しい説明は、すべて機能コマンドの列に記載されています。

表 53. 温度センサー・レジスタの概要

Offset	Read or Write	Register Name		Function Commands
0x00	R	T_MSB	T_LSB	Temperature 16-bit word.
0x02	R/W	CONFIGURATION/STATUS		Configuration/Status.
0x04	R/W	TH_MSB	TH_LSB	Alarm threshold high 16-bit word.
0x06	R/W	TL_MSB	TL_LSB	Alarm threshold low 16-bit word.
0x08	R/W	TH_HYST_MSB	TH_HYST_LSB	Hysteresis high threshold 16-bit word.
0x0A	R/W	TL_HYST_MSB	TL_HYST_LSB	Hysteresis low threshold 16-bit word.

温度センサー・レジスタの詳細

設定およびステータス・レジスタ

アドレス 0x02、レジスタ名 : CONFIGURATION/STATUS

表 54. CONFIGURATION/STATUS レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	OVER TEMP STATUS	測定温度が上限閾値温度を超えていることを示します。動作は COMPARATOR/INTERRUPT ビットと FAULT QUEUE ビットで設定されます。	0b0	R
14	UNDER TEMP STATUS	測定温度が下限閾値温度を超えていることを示します。動作は COMPARATOR/INTERRUPT ビットと FAULT QUEUE ビットで設定されます。	0b0	R
13	PEC ERROR	1 = PEC イネーブル・ビットが 1 の場合。 0 = PEC イネーブル・ビットが 0 の場合。	0b0	R
12	RESERVED	予約済み。	0b0	R
[11:10]	FAULT QUEUE	ステータス・ビットで過熱フォルトまたは低温フォルトを示すために必要な、温度フォルトの連続発生回数を設定します。	0b00	R/W
9	COMP/INT	1 = 割込みモードでの OT および UT ステータス・ビット。 0 = コンパレータ・モードでの OT および UT ステータス・ビット。	0b0	R/W
8	ALARM POLARITY	1 = ALARM ピンのアクティブ状態はロー。 0 = ALARM ピンのアクティブ状態はハイ。	0b0	R/W
[7:6]	RESOLUTION	温度変換の分解能を設定します。	0b11	R/W
5	TIMEOUT	1 = バス・タイムアウトをディスエーブル。 0 = バス・タイムアウトをイネーブル。	0b0	R/W
4	PEC ENABLE	1 = 各メッセージ転送の最後に PEC バイトが付加されます。	0b0	R/W
[3:1]	CONVERSION RATE	0b000 = シャットダウン・モード、または自動変換モード。 このフィールドを 0b000 に設定した時点で変換が進行中の場合、デバイスは先に変換を完了させてからシャットダウン・モードに入ります。	0b101	R/W
0	ONE-SHOT	このビットを 1 に設定する前に、まず CONVERSION RATE ビットを設定します。 1 = 新しい温度変換を開始します。 シャットダウン・モード : 温度変換後に 0 に戻ります。 自動サンプリング・モード新しいシーケンスの開始前に現行の変換を完了します。	0b0	R/W

外形寸法

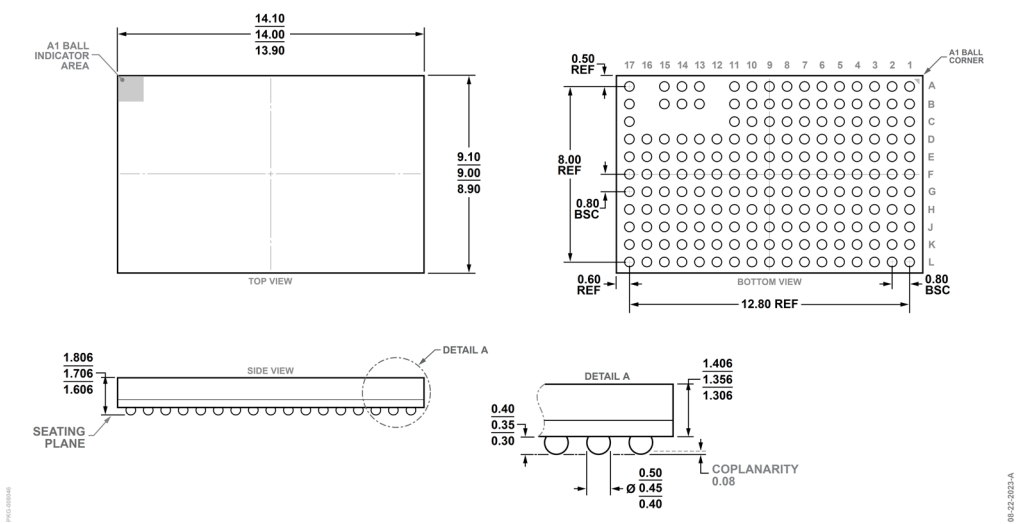


図 111. 178 ボール・チップ・スケール・パッケージ、ボール・グリッド・アレイ [CSP_BGA]
(BC-178-2)
寸法：mm

更新：2024 年 9 月 3 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ4224BBCZ	-40°C to +105°C	178-Lead, BGA (14 mm × 9 mm × 0.8 mm)	Tray, 182	BC-178-2

¹ Z = RoHS 準拠製品。

評価用ボード

Evaluation Board ¹	Description
EVAL-ADAQ4224-FMCZ	Evaluation Board

¹ Z = RoHS 準拠製品。