

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年12月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年12月23日

製品名：ADAQ4003

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：18 ページ

表 10 の下、欄外フット・ノートの記述の誤り。フット・ノートの (3) は、以下が正しい記述です。
This output code is also the code for an underranged analog input (IN+ - IN- below $-V_{REF}$ with the span compression disabled and above $0.8 \times V_{REF}$ with the span compression enabled).

「この出力コードは、アナログ入力の下限を越えたアンダーレンジも表します。(アンダーレンジとは、+IN と -IN の差電圧が、スパン圧縮が無効の時は $-V_{REF}$ 以下、スパン圧縮が有効の時は $0.8 \times -V_{REF}$ 以下の場合です。)



18ビット、2MSPSの μModule データ・ アキュイジション・ソリューション

データシート

ADAQ4003

特長

設計プロセスの改善

- 入力範囲を選択可能な完全差動 ADC ドライバ
- 5V V_{REF} 使用時の入力範囲：±10V、±5V、または±2.5V
- 必須受動部品を内蔵
- iPassives 技術により±0.005%の精度で整合された抵抗アレイ

- 広い入力共通モード電圧範囲
- 高い同相ノイズ除去比
- シングルエンド/差動変換

高密度のシグナル・チェーン

- 7mm × 7mm、0.80mm ピッチ、49 ボールの小型 CSP_BGA
- ディスクリット・ソリューションと比較して
- フットプリントを 1/4 に削減

V_{CM} を生成する内蔵リファレンス・バッファ

高性能

- スループット：2MSPS、パイプライン遅延なし
- 18ビットのノー・ミス・コードを確保
- INL：代表値±3ppm、±8ppmを確保
- SINAD：代表値 99dB ($G = 0.454$)
- オフセット誤差ドリフト：代表値 0.7ppm/°C ($G = 0.454$)
- ゲイン誤差ドリフト：代表値±0.5ppm/°C

低消費電力：2MSPS で代表値 51.6mW

シリアル・インターフェース：

- SPI/QSPI™/MICROWIRE™/DSP 互換
- 1.8V、2.5V、3V、または 5V を選択できる汎用性の高い
- ロジック・インターフェース電源

アプリケーション

- ATE（自動試験装置）
- マシン・オートメーション
- プロセス制御
- 医療用計測機器
- デジタル制御ループ

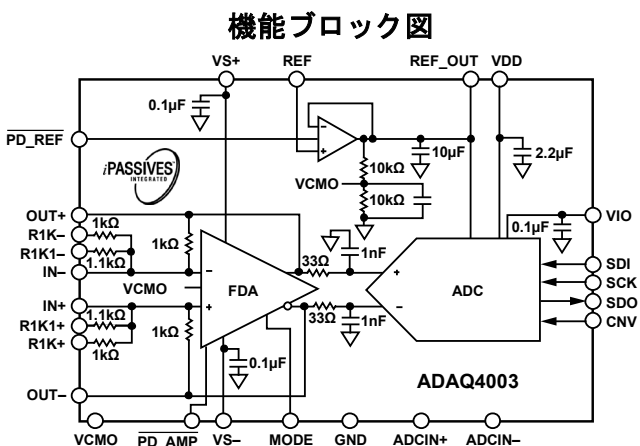


図 1.

概要

ADAQ4003 は、部品の選択、最適化、およびレイアウトに関するシグナル・チェーン設計上の課題を設計者からデバイスへと移転することによって、高精度測定システムの開発サイクルを短縮できる μModule®高精度データ・アキュイジション (DAQ) シグナル・チェーン・ソリューションです。

ADAQ4003 はシステム・イン・パッケージ (SIP) 技術を採用しており、複数の共通信号処理および調整ブロックを 1 つのデバイスに組み合わせることで、エンド・システムの部品点数を削減します。これらのブロックには、高分解能の 18 ビット、2MSPS 逐次比較レジスタ (SAR)、A/D コンバータ (ADC)、低ノイズの完全差動 ADC ドライバ・アンプ (FDA)、および安定したリファレンス・バッファが含まれています。

ADAQ4003 は、アナログ・デバイセズの iPassives® 技術を採用しており、優れたマッチング特性とドリフト特性を備えた重要な受動部品も内蔵しています。これにより温度に依存する誤差源を最小限に抑え、最適な性能を実現します (図 1 参照)。このシグナル・チェーン・ソリューションを 7mm × 7mm、0.80mm ピッチ、49 ボールの小型 CSP_BGA に内蔵することで、性能を犠牲にすることなく小さいフォーム・ファクタ設計を実現し、エンド・システムの部品表管理を簡易化しています。このレベルでのシステム統合により、ADAQ4003 は、プリント回路基板 (PCB) レイアウトによる影響が大幅に小さくすると共に幅広い信号レベルに柔軟に対応できるようになっています。

シリアル・ペリフェラル・インターフェース (SPI) 準拠のシリアル・ユーザ・インターフェースは、個別の VIO 電源を使用することによって、1.8V、2.5V、3V、または 5V のロジックに対応しています。ADAQ4003 は、-40°C ~ +125°C の動作温度範囲で仕様規定されています。

表 1. μModule データ・アキュイジション・ソリューション

Type	500 kSPS	≥1000 kSPS
16-Bit	ADAQ7988	ADAQ7980
18-Bit		ADAQ4003

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	アナログ入力	21
アプリケーション	1	ドライブ補助機能	21
機能ブロック図	1	電圧リファレンス入力	23
概要	1	電源 (パワー・ツリー)	23
改訂履歴	2	デジタル・インターフェース	23
仕様	3	レジスタの読出し機能と書込み機能	24
タイミング仕様	6	ステータス・ワード	26
絶対最大定格	8	$\overline{\text{CS}}$ モード (3 線式ターボ・モード)	27
熱抵抗	8	$\overline{\text{CS}}$ モード (ビジー・インジケータなしの 3 線式)	28
静電放電 (ESD) 定格	8	$\overline{\text{CS}}$ モード (ビジー・インジケータありの 3 線式)	29
ESD に関する注意	8	$\overline{\text{CS}}$ モード (4 線式ターボ・モード)	30
ピン配置およびピン機能の説明	9	$\overline{\text{CS}}$ モード (ビジー・インジケータなしの 4 線式)	31
代表的な性能特性	11	$\overline{\text{CS}}$ モード (ビジー・インジケータありの 4 線式)	32
用語の定義	17	デイジーチェーン・モード	33
動作原理	18	レイアウトのガイドライン	34
回路説明	18	外形寸法	35
伝達関数	18	オーダー・ガイド	35
アプリケーション情報	19		
代表的なアプリケーションの図	19		

改訂履歴

9/2020—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 1.8V ± 5%、VS+ = 5.5V ± 5%、VS- = 0V、VIO = 1.7V ~ 5.5V、リファレンス電圧 (VREF) = 5V、サンプリング周波数 (fs) = 2MSPS、すべての仕様は TMIN ~ TMAX、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効の場合。特に指定のない限り、ADC ドライバはシングルエンド入力/差動出力構成で高速モードに設定。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
RESOLUTION		18			Bit
ANALOG INPUTS					
Input Impedance (ZIN)	IN+, IN-, R1K1+, R1K1-, R1K+, および R1K- シングルエンド入力/差動出力構成 G = 0.454、入力電圧 (VIN) = 22Vp-p G = 0.909、VIN = 11Vp-p G = 1、VIN = 10Vp-p G = 1.9、VIN = 5.2Vp-p 完全差動構成 G = 0.454 および G = 0.909、VIN = 22Vp-p および 11Vp-p G = 1、VIN = 10Vp-p G = 1.9、VIN = 5.2Vp-p		1.3 1.44 1.33 778 1.1 1 523		kΩ kΩ kΩ Ω kΩ kΩ Ω
Differential Input Voltage Ranges ¹	G = 0.454、VIN = 22Vp-p G = 0.909、VIN = 11Vp-p G = 1、VIN = 10Vp-p G = 1.9、VIN = 5.2Vp-p	-2.2 × VREF -1.1 × VREF -VREF -0.526 × VREF		+2.2 × VREF +1.1 × VREF +VREF +0.526 × VREF	V V V V
Input Capacitance	IN+および IN-		12		pF
THROUGHPUT					
Complete Cycle Conversion Time		500			ns
Acquisition Phase ²			290	320	ns
Throughput Rate ³		290			ns
Transient Response ⁴		0		2	MSPS
DC ACCURACY					
No Missing Codes	シングルエンド入力/差動出力構成	18			Bits
Integral Linearity Error (INL)	すべてのゲイン、VS- = -1V	-8	±3	+8	ppm
Differential Linearity Error (DNL)	すべてのゲイン、VS- = -1V	-2.1 -1 -3.8	±0.8 ±0.4 ±2.66	+2.1 +1 +3.8	LSB ⁵ LSB ⁵ ppm
Transition Noise	すべてのゲイン		0.93		LSB
Gain Error	すべてのゲイン	-0.05	±0.005	+0.05	%FS
Gain Error Drift	すべてのゲイン	-3	±0.5	+3	ppm/°C
Offset Error	G = 0.454 G = 0.909、G = 1 G = 1.9	-1 -0.9 -1.5	±0.1 ±0.06 ±0.01	+1 +0.9 +1.5	mV mV mV
Offset Error Drift	G = 0.454 G = 0.909 および G = 1 G = 1.9	-8 -10 -15	+0.7 +1.6 +2.6	+8 +10 +15	ppm/°C ppm/°C ppm/°C
Common-Mode Rejection Ratio (CMRR)	完全差動構成、すべてのゲイン		90		dB
Power Supply Rejection Ratio (PSRR)					
Positive	VDD = 1.71V ~ 1.89V VS+ = 5.225V ~ 5.775V、VS- = 0V		72 110		dB dB
Negative	VS+ = +5.5V、VS- = 0V ~ -0.5V		107		dB
1/f Noise ⁶	帯域幅 = 0.1Hz ~ 10Hz		38		μV p-p
Input Current Noise	入力周波数 (fIN) = 100kHz		1		pA/√Hz

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
AC ACCURACY	シングルエンド入力/差動出力構成 および完全差動構成				
Dynamic Range	すべてのゲイン、-60dBFS	94.5			dB
	G = 0.454		100		dB
	G = 0.909 および G = 1		97.5		dB
	G = 1.9		98.5		dB
Oversampled Dynamic Range	オーバーサンプリング比 (OSR) = 2、 すべてのゲイン		103		dB
	OSR = 256、すべてのゲイン		122		dB
Total RMS Noise	すべてのゲイン		35.35		$\mu\text{V rms}$
Signal-to-Noise Ratio (SNR)	$f_{\text{IN}} = 1\text{kHz}$ 、-0.5dBFS	94.2			dB
	G = 0.454		99.5		dB
	G = 0.909、G = 1		97		dB
	G = 1.9		98		dB
	$f_{\text{IN}} = 100\text{kHz}$ 、G = 0.909		98		dB
	$f_{\text{IN}} = 400\text{kHz}$ 、G = 0.909		92		dB
	低消費電力モード有効、G = 0.909		96		dB
	$\text{VS}^+ = 3.3\text{V}$ 、 $\text{VS}^- = 0\text{V}$ 、 $\text{V}_{\text{REF}} = 2.5\text{V}$ 、G = 0.909		92		dB
Signal-to-Noise + Distortion (SINAD)	$f_{\text{IN}} = 1\text{kHz}$ 、-0.5dBFS	94			dB
	G = 0.454		99		dB
	G = 0.909、G = 1		96.5		dB
	G = 1.9		97.5		dB
	$f_{\text{IN}} = 100\text{kHz}$ 、G = 0.909		97.5		dB
	$f_{\text{IN}} = 400\text{kHz}$ 、G = 0.909		91.5		dB
	低消費電力モード有効、G = 0.909		95.5		dB
	$\text{VS}^+ = 3.3\text{V}$ 、 $\text{VS}^- = 0\text{V}$ 、 $\text{V}_{\text{REF}} = 2.5\text{V}$ 、G = 0.909		91.5		dB
Total Harmonic Distortion (THD)	$f_{\text{IN}} = 1\text{kHz}$ 、-0.5dBFS、すべてのゲイン		-120		dB
	$f_{\text{IN}} = 100\text{kHz}$ 、G = 0.909		-100		dB
	$f_{\text{IN}} = 400\text{kHz}$ 、G = 0.909		-95		dB
	低消費電力モード有効、G = 0.909		-110		dB
	$\text{VS}^+ = 3.3\text{V}$ 、 $\text{VS}^- = 0\text{V}$ 、 $\text{V}_{\text{REF}} = 2.5\text{V}$ 、G = 0.909		-118		dB
Spurious-Free Dynamic Range (SFDR)	$f_{\text{IN}} = 1\text{kHz}$ 、-0.5dBFS、すべてのゲイン		122		dB
	$f_{\text{IN}} = 100\text{kHz}$ 、G = 0.909		101		dB
	$f_{\text{IN}} = 400\text{kHz}$ 、G = 0.909		95		dB
	低消費電力モード有効、G = 0.909		110		dB
	$\text{VS}^+ = 3.3\text{V}$ 、 $\text{VS}^- = 0\text{V}$ 、 $\text{V}_{\text{REF}} = 2.5\text{V}$ 、G = 0.909		118		dB
-3 dB Input Bandwidth			4.4		MHz
Recovery Time					
Input Overdrive	すべてのゲイン		280		ns
Output Overdrive	すべてのゲイン		120		ns
Clamp	すべてのゲイン		100		ns
Aperture Delay			1		ns
Aperture Jitter			1		ps rms
REFERENCE					
V_{REF} Range	バッファをイネーブル	2.4		5.1 or $\text{VS}^+ - 0.08$	V
Input Current (I_{REF})	バッファをイネーブル		60		μA
REF_OUT Current ($\text{I}_{\text{REF_OUT}}$)	バッファをディスエーブル、2MSPS、 $\text{V}_{\text{REF}} = 5\text{V}$		1.27		mA

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
VCMO VCMO Voltage (V_{VCMO}) ⁷ Output Impedance		$V_{REF}/2 - 0.003$	$V_{REF}/2$ 5	$V_{REF}/2 + 0.003$	V k Ω
DIGITAL INPUTS	SDI、SCK、および CNV				
Logic Levels					
Input Low Voltage (V_{IL})	$VIO > 2.7V$ $VIO \leq 2.7V$	-0.3		+0.3 × VIO +0.2 × VIO	V V
Input High Voltage (V_{IH})	$VIO > 2.7V$ $VIO \leq 2.7V$	0.7 × VIO 0.8 × VIO		VIO + 0.3 VIO + 0.3	V V
Input Low Current (I_{IL})		-1		+1	μA
Input High Current (I_{IH})		-1		+1	μA
Input Pin Capacitance			6		pF
DIGITAL OUTPUTS ⁸					
Data Format			Twos complement		
Output Low Voltage (V_{OL})	シンク電流 (I_{SINK}) = +500 μA			0.4	V
Output High Voltage (V_{OH})	ソース電流 (I_{SOURCE}) = -500 μA	$VIO - 0.3$			V
POWER-DOWN AND MODE SIGNALING					
ADC Driver and Reference Buffer PD_AMP, PD_REF, and MODE Voltage					
Low	パワーダウン、低消費電力モード		<1		V
High	イネーブル、高速モード		>1.7		V
POWER REQUIREMENTS					
VDD		1.71	1.8	1.89	V
VS+		3	5.5	VS- + 10	V
VS-		VS+ - 10	0	0.1	V
VIO		1.7		5.5	V
Total Standby Current ^{9, 10}	静的、すべてのデバイスをイネーブル		11	14	mA
Power-Down Current	ADC ドライバ、リファレンス・バッファをディスエーブル		100	250	nA
Power Dissipation	VDD = VIO = 1.8V、VS+ = 5.5V、VS- = 0V				
VS+			41.5	51.5	mW
VDD			9.5	12	mW
VIO			0.6	0.7	mW
Total			51.6	64.2	mW
	VDD = VIO = 1.8V、VS+ = 5V、VS- = 0V 高インピーダンス・モード有効				
VS+			44	53	mW
VDD			12.8	16.5	mW
VIO			0.6	0.7	mW
Total			57.4	70.2	mW
TEMPERATURE RANGE					
Specified Performance	$T_{MIN} \sim T_{MAX}$	-40		+125	$^{\circ}C$

¹ V_{IN} は、図 35、図 36、および図 37 に示す許容入力コモンモードの範囲内でなければなりません、その値は使用する VS+ および VS- 電源レールによって異なります。

² アクイジション・フェーズとは、ADC が 2MSPS のスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

³ ターボ・モードを有効にして、最小 SCK レートである 75MHz を使用した場合のみ、2MSPS のスループット・レートが実現します。各種の動作モードで可能な最大スループットについては、表 5 を参照してください。

⁴ 過渡応答は、ADAQ4003 が $\pm 1LSB$ の精度でフルスケール入力ステップを達成するのに必要な時間です。

⁵ 入力を基準とする LSB の重みは、入力電圧範囲によって変化します。LSB のサイズについては表 10 を参照してください。

⁶ 図 28 の 1/f ノイズ・プロットを参照してください。

⁷ VCMO 電圧は他の回路にも使用できますが、仕様規定された範囲で VCMO 電圧を安定させるために、バッファを使って駆動する必要があります。

⁸ バイプライン遅延はありません。変換の完了後は、直ちに変換結果を使用できます。

⁹ 必要に応じて、すべてのデジタル入力を VIO または GND に接続します。

¹⁰ アクイジション・フェーズにおける合計スタンバイ電流。

タイミング仕様

特に指定のない限り、VDD = 1.8V ± 5%、VS+ = 5.5V ± 5%、VS- = 0V、VIO = 1.71V~5.5V、VREF = 5V、fs = 2MSPS、すべての仕様はTMIN~TMAX、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効の場合。

表 3. デジタル・インターフェースのタイミング

パラメータ	記号	Min	Typ	Max	単位
変換時間 - CNV の立上がりエッジからデータが使用できるまで	t _{CONV}		290	320	ns
アクイジション・フェーズ ¹	t _{ACQ}	290			ns
変換と変換の間の時間	t _{CYC}	500			ns
CNV パルス幅 (CSモード) ²	t _{CNVH}	10			ns
SCK 周期 (CSモード) ³	t _{SCK}				
VIO > 2.7V		9.8			ns
VIO > 1.7V		12.3			ns
SCK 周期 (デジチェーン・モード) ⁴	t _{SCK}				
VIO > 2.7V		20			ns
VIO > 1.7V		25			ns
SCK ロー時間	t _{SCKL}	3			ns
SCK ハイ時間	t _{SCKH}	3			ns
SCK の立下がりエッジからデータの有効時間が終了するまでの遅延	t _{HSDO}	1.5			ns
SCK の立下がりエッジからデータが有効になるまでの遅延	t _{DSDO}				
VIO > 2.7V				7.5	ns
VIO > 1.7V				10.5	ns
CNV または SDI ローから SDO D17 MSB が有効になるまでの遅延 (CSモード)	t _{EN}				
VIO > 2.7V				10	ns
VIO > 1.7V				13	ns
CNV の立上がりエッジから SCK の最初の立上がりエッジまでの遅延	t _{QUIET1}	190			ns
SCK の最後の立下がりエッジから CNV の立上がりエッジまでの遅延	t _{QUIET2}	60			ns
CNV または SDI ハイ、もしくは SCK の最後の立下がりエッジから、SDO が高インピーダンスになるまで (CSモード)	t _{DIS}			20	ns
CNV の立上がりエッジから SDI が有効になるまでのセットアップ時間	t _{SSDICNV}	2			ns
CNV の立上がりエッジから SDI が有効に保持される時間 (CSモード)	t _{HSDICNV}	2			ns
CNV の立上がりエッジから SCK が有効に保持される時間 (デジチェーン・モード)	t _{HSCKCNV}	12			ns
SCK の立上がりエッジから SDI が有効になるまでのセットアップ時間 (デジチェーン・モード)	t _{SSDISCK}	2			ns
SCK の立上がりエッジから SDI が有効に保持される時間 (デジチェーン・モード)	t _{HSDISCK}	2			ns

¹ アクイジション・フェーズとは、ADC が 2MSPS のスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードでは、t_{CNVH} と最小 t_{QUIET1} が一致する必要があります。

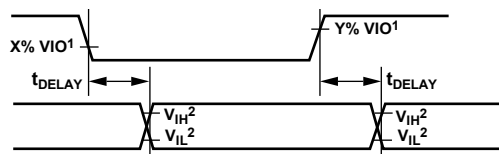
³ ターボ・モードを有効にして、最小 SCK レートである 75MHz を使用した場合のみ、2MSPS のスループット・レートが実現します。

⁴ SCK では、50% のデューティ・サイクルを想定しています。

表 4. レジスタの読出しと書き込みのタイミング

パラメータ	記号	Min	Typ	Max	単位
読出し動作と書き込み動作					
CNV のパルス幅 ¹	t_{CNVH}	10			ns
SCK の周期	t_{SCK}	9.8			ns
VIO > 2.7V		12.3			ns
VIO > 1.7V		3			ns
SCK ロー時間	t_{SCKL}	3			ns
SCK ハイ時間	t_{SCKH}	3			ns
読出し動作					
CNV ローから SDO D17 MSB が有効になるまでの遅延	t_{EN}			10	ns
VIO > 2.7V				13	ns
VIO > 1.7V					ns
SCK の立下がりエッジからデータの有効時間が終了するまでの遅延	t_{HSDO}	1.5			ns
SCK の立下がりエッジからデータが有効になるまでの遅延	t_{DSDO}				ns
VIO > 2.7V				7.5	ns
VIO > 1.7V				10.5	ns
CNV 立上がりエッジから SDO がハイ・インピーダンスになるまでの時間	t_{DIS}			20	ns
書き込み動作					
SCK の立上がりエッジから SDI が有効になるまでのセットアップ時間	$t_{SSDISCK}$	2			ns
SCK の立上がりエッジから SDI が有効に保持される時間	$t_{HSDISCK}$	2			ns
CNV の立上がりエッジから SCK のエッジまでの保持時間	$t_{HCNVSCK}$	0			ns
CNV の立下がりエッジから SCK アクティブ・エッジまでのセットアップ時間	$t_{SCNVSCK}$	6			ns

¹ターボ・モードでは、 t_{CNVH} と最小 t_{QUIETI} が一致する必要があります。



¹FOR VIO ≤ 2.7V, X = 80, AND Y = 20; FOR VIO > 2.7V, X = 70, AND Y = 30.
²MINIMUM V_{IH}^2 AND MAXIMUM V_{IL}^2 USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 2.

21657-002

図 2. タイミングの電圧レベル

表 5. 各動作モードで可能なスループット

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
THROUGHPUT, CS MODE					
3-Wire and 4-Wire Turbo Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			2	MSPS
3-Wire and 4-Wire Turbo Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.78	MSPS
3-Wire and 4-Wire Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.75	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.62	MSPS
3-Wire and 4-Wire Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.59	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.44	MSPS

絶対最大定格

表 6.

Parameter	Rating
Analog Inputs RIK+, RIK-, R1K1+, R1K1- to GND ¹	-16 V to +16 V ² or ±18 mA ²
Supply Voltage REF_OUT and VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +2.1 V
VDD to VIO	-6 V to +2.4 V
VS+ to VS-	11 V
VS+ to GND	-0.3 V to +11 V
VS- to GND	-11 V to +0.3 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Temperature Storage Range	-65°C to +150°C
Junction	150°C
Lead Soldering	260°C reflow as per JEDEC J-STD-020

¹ アナログ入力のセクションを参照してください。

² Passives の各抵抗は、仕様規定された最大電圧と電流に耐えることができます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された自然対流での周囲とジャンクション間の熱抵抗です。 θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 7. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit	JEDEC Board Layers
BC-49-5	53.5	54.9	°C/W	2S2P

¹ テスト条件 1: 熱抵抗のシミュレーション値は、JEDEC 規格 JESD51-7 による 2S2P JEDEC 標準 PCB 構成に基づいています。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 による人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 による電界誘起帯電デバイス・モデル (FICDM)。

ADAQ4003 の ESD 定格

表 8. ADAQ4003、49 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	4000	2
FICDM	1000	C4

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

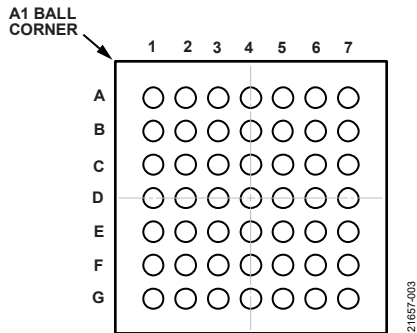


図 3. ボール配置 (上面図)

	1	2	3	4	5	6	7
A	GND	VDD	OUT+	VS-	REF_OUT	REF	GND
B	R1K-	R1K-	OUT+	VS-	GND	VIO	VIO
C	R1K1-	R1K1-	VS-	VS-	DNC	$\overline{\text{PD_AMP}}$	SDI
D	IN-	IN+	DNC	DNC	DNC	$\overline{\text{PD_REF}}$	SCK
E	R1K1+	R1K1+	MODE	VS+	ADCIN+	GND	SDO
F	R1K+	R1K+	OUT-	VS+	DNC	DNC	CNV
G	GND	VCMO	OUT-	VS+	VS+	ADCIN-	GND

図 4. ボール配置

表 9. ボール機能の説明

ボール番号	記号	タイプ ¹	説明
A1, A7, B5, E6, G1, G7	GND	P	電源グラウンド。
A2	VDD	P	1.8V 電源。VDD の範囲は 1.71V~1.89V です。
A3, B3	OUT+	AO	完全差動 ADC ドライバ正出力。
A4, B4, C3, C4	VS-	P	完全差動 ADC ドライバ負電源。
A5	REF_OUT	AO	リファレンス・バッファ出力電圧。
A6	REF	AI	リファレンス・バッファ入力電圧。
B1, B2	R1K-	AI	完全差動 ADC ドライバ負入力への 1kΩ抵抗入力。
B6, B7	VIO	P	入出力インターフェースのデジタル電源。形式的には、VIO ピンはホスト・インターフェースと同じ電源 (1.8V、2.5V、3V、または 5V) です。
C1, C2	R1K1-	AI	完全差動 ADC ドライバ負入力への 1.1kΩ抵抗入力。
C5, D3 to D5, F5, F6	DNC	N/A	接続なし。このピンは接続しないでください。
C6	$\overline{\text{PD_AMP}}$	DI	アンプをパワーダウン。アクティブ・ロー。完全差動 ADC ドライバをパワーダウンするには、 $\overline{\text{PD_AMP}}$ ピンを GND に接続します。もしくは、 $\overline{\text{PD_AMP}}$ ピンをロジック・ハイに接続します。
C7	SDI	DI	シリアル・データ入力。この入力には複数の機能があります。SDI は、ADC のインターフェース・モードを次のように選択します。 CNV 立上がりエッジの発生時に SDI がローの場合、デジチェーン・モードが選択されます。このモードでは、SDI がデータ入力として使用され、2 つ以上の ADC の変換結果が 1 本の SDO ラインでデジチェーン接続されます。SDI のデジタル・データ・レベルは、18SCK サイクルの遅延で SDO に出力されます。 CNV 立上がりエッジの発生時に SDI がハイの場合、 $\overline{\text{CS}}$ モードが選択されます。このモードでは、SDI または CNV がローの場合に、シリアル出力信号を有効にできます。SDI または CNV がローの場合、変換が完了すると、ビジー・インジケータ機能が有効になります。CNV がローの場合、SCK の立上がりエッジの発生時に、SDI で 16 ビット・ワードをクロック入力してデバイスをプログラムできます。

ボール番号	記号	タイプ ¹	説明
D1	IN-	AI	完全差動 ADC ドライバ負入力。
D2	IN+	AI	完全差動 ADC ドライバ正入力。
D6	PD_REF	DI	リファレンス・バッファをパワーダウン。アクティブ・ロー。リファレンス・バッファをパワーダウンするには、PD_REFピンをGNDに接続します。もしくは、PD_REFピンをロジック・ハイに接続します。
D7	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによってシフト出力されます。
E1, E2	R1K1+	AI	完全差動 ADC ドライバ正入力への 1.1kΩ抵抗入力。
E3	MODE	DI	完全差動 ADC ドライバの電力モード。MODEピンがハイのときは通常性能動作、MODEピンがローのときは低消費電力モードです。
E4, F4, G4, G5	VS+	P	完全差動 ADC ドライバとリファレンス・バッファの正電源。
E5	ADCIN+	AO	ADC への正入力。ADCIN+ピンにコンデンサを追加することにより、RCフィルタの帯域幅を狭めることができます。
E7	SDO	DO	シリアル・データ出力。変換結果は SDO ピンに出力されます。SDO は SCK に同期しません。
F1, F2	R1K+	AI	完全差動 ADC ドライバ正入力への 1kΩ抵抗入力。
F3, G3	OUT-	AO	完全差動 ADC ドライバ負出力。
F7	CNV	DI	変換入力。この入力には複数の機能があります。立上がりエッジでは、CNV が変換を開始して、デバイスのインターフェース・モードとしてデジチェーン・モードまたは CS モードを選択します。CS モードでは、CNV がローになると SDO ピンがイネーブルされません。デジチェーン・モードでは、CNV がハイの場合にデータの読出しが実行されます。
G2	VCMO	AO	完全差動 ADC ドライバの出力コモンモード電圧。公称値は $V_{REF}/2$ 。
G6	ADCIN-	AO	ADC への負入力。ADCIN-ピンにコンデンサを追加することにより、RCフィルタの帯域幅を狭めることができます。

¹ P は電力、AO はアナログ出力、AI はアナログ入力、N/A は「該当せず」、DI はデジタル入力、DO はデジタル出力を表します。

代表的な性能特性

特に指定のない限り、 $V_{S+} = 5.5V$ 、 $V_{S-} = 0V$ 、 $V_{DD} = 1.8V$ 、 $V_{IO} = 3.3V$ 、 $V_{REF} = 5V$ 、 $T_A = 25^\circ C$ 、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効、 $f_s = 2MSPS$ 。

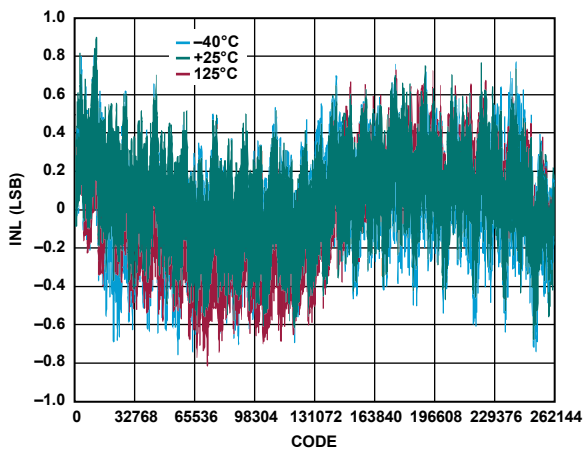


図 5. 様々な温度での INL とコードの関係、 $V_{REF} = 5V$ 、 $G = 0.454$

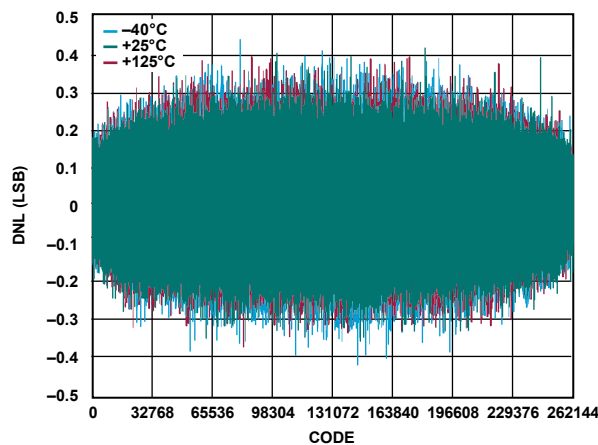


図 8. 様々な温度での DNL とコードの関係、 $V_{REF} = 5V$ 、 $G = 0.454$

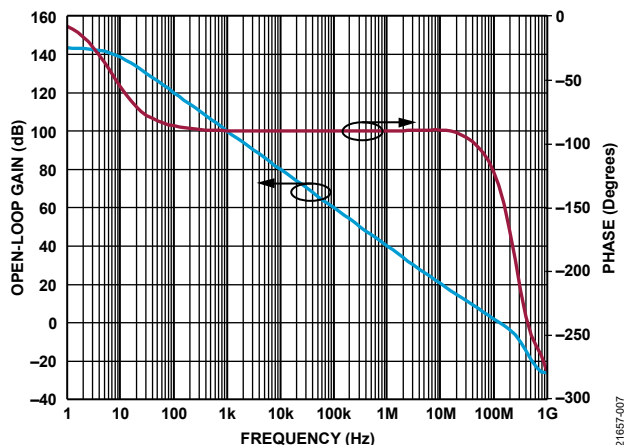


図 6. ADC ドライバのオープンループ・ゲインと位相の周波数特性

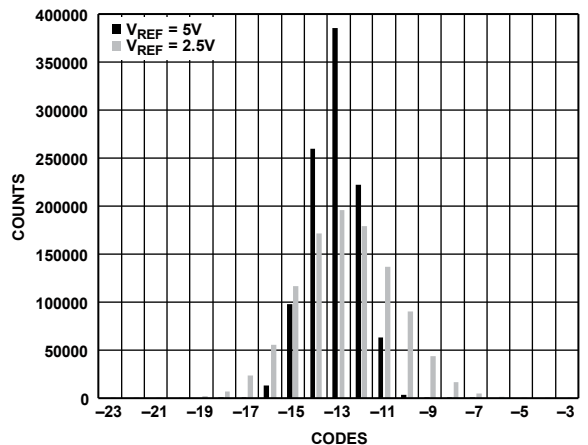


図 9. コード中央での DC 入力 histograms、 $V_{REF} = 2.5V$ および $V_{REF} = 5V$

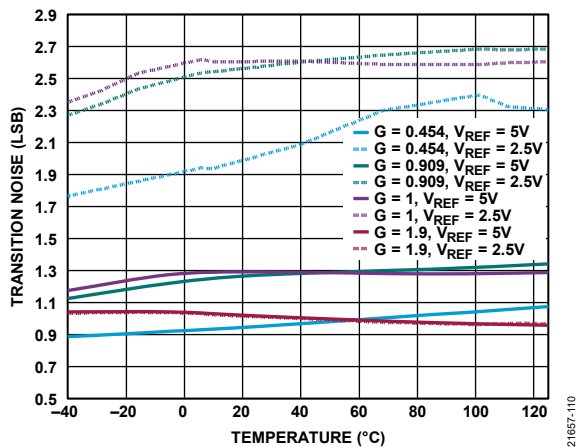


図 7. 遷移ノイズと温度の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1$ 、 $G = 1.9$ 、および $V_{REF} = 5V$ 、 $V_{REF} = 2.5V$

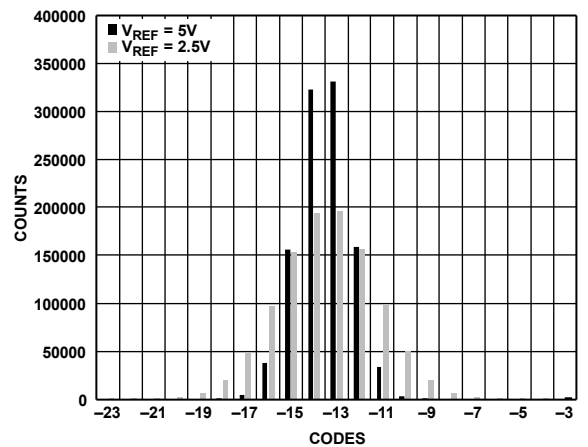


図 10. コード遷移時の DC 入力 histograms、 $V_{REF} = 2.5V$ および $V_{REF} = 5V$

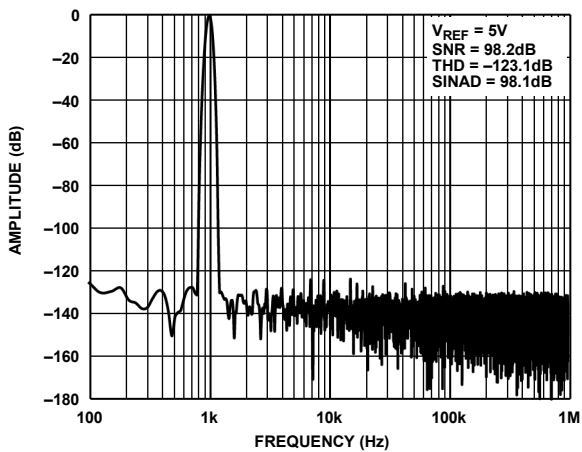


図 11. 1kHz、-0.5dBFS 入力トーン高速フーリエ変換 (FFT)、広帯域表示、 $G = 1$ 、 $V_{REF} = 5V$ 、差動

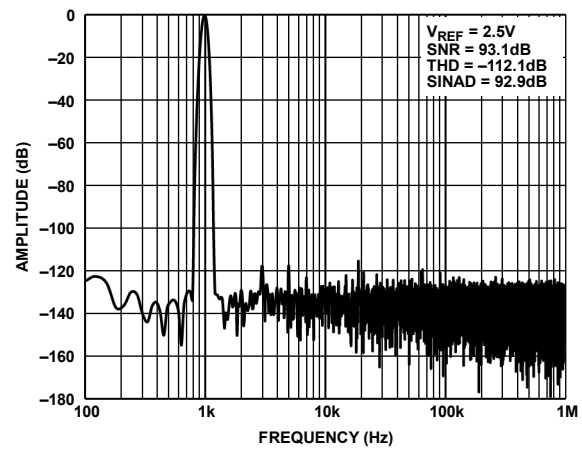


図 14. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、 $G = 1$ 、 $V_{REF} = 2.5V$ 、シングル・エンド

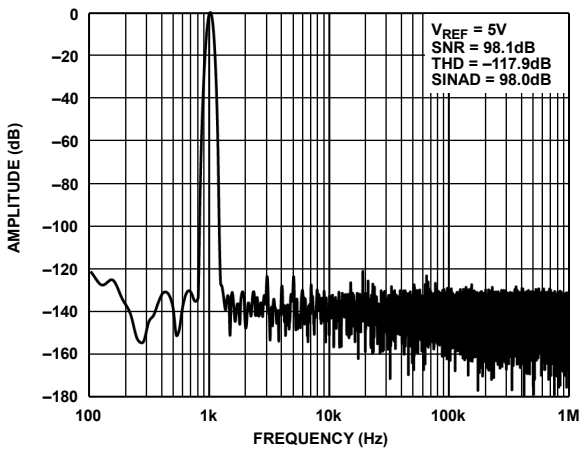


図 12. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、 $G = 1$ 、 $V_{REF} = 5V$ 、シングル・エンド

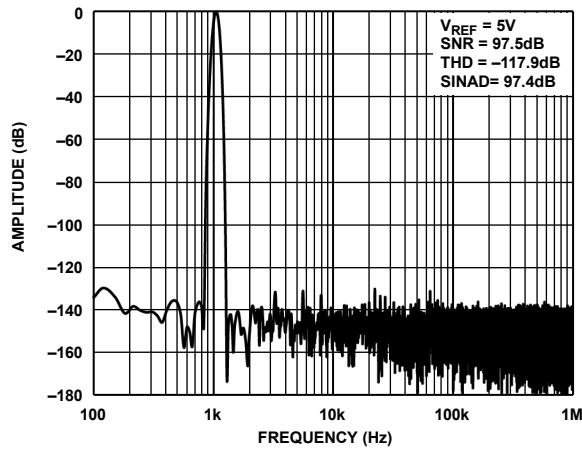


図 15. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、差動、 $G = 0.909$ 、 $V_{REF} = 5V$ 、低消費電力モード

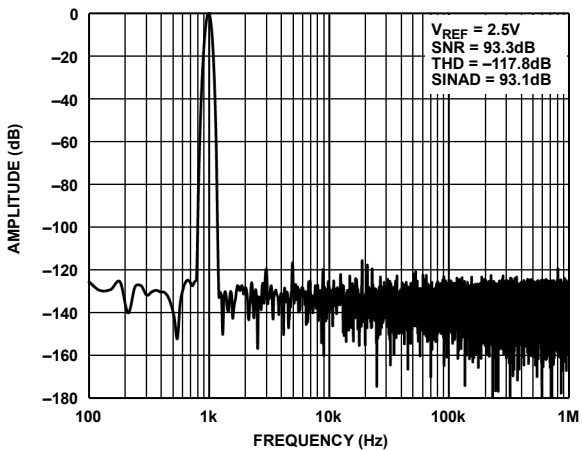


図 13. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、 $G = 1$ 、 $V_{REF} = 2.5V$ 、差動

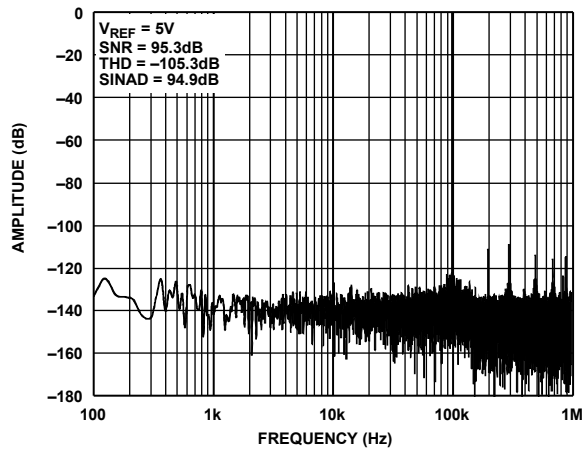


図 16. 100kHz、-0.5dBFS 入力トーン FFT、広帯域表示、 $G = 1$ 、 $V_{REF} = 5V$

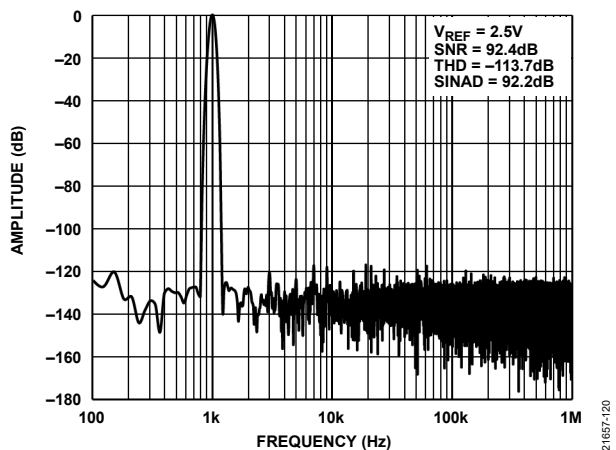


図 17. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、差動、 $G = 0.909$ 、 $V_{REF} = 2.5V$ 、低消費電力モード

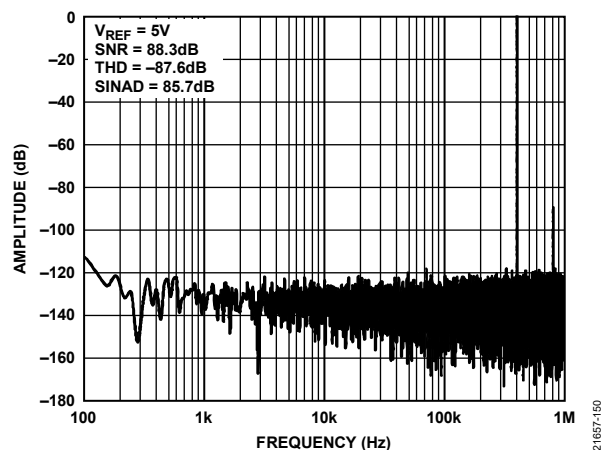


図 20. 400kHz、-0.5dBFS 入力トーン FFT、広帯域表示、 $V_{REF} = 5V$

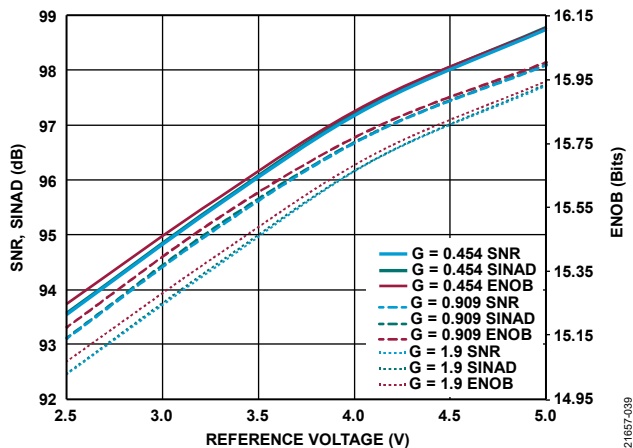


図 18. SNR、SINAD、有効ビット数 (ENOB) とリファレンス電圧の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$ 、 $f_{IN} = 1kHz$

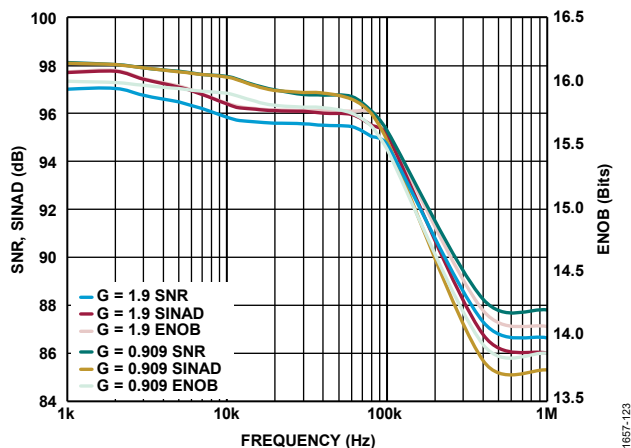


図 21. SNR、SINAD、ENOB と周波数の関係、 $G = 1.9$ 、 $G = 0.909$ 、 $V_{REF} = 5V$

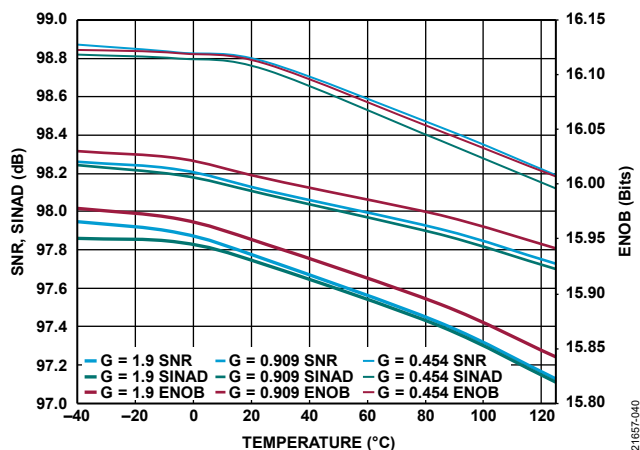


図 19. SNR、SINAD、ENOB と温度の関係、 $G = 1.9$ 、 $G = 0.909$ 、 $G = 0.454$ 、 $f_{IN} = 1kHz$

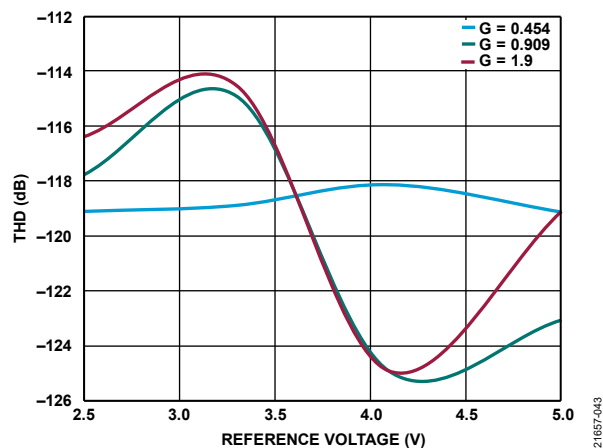


図 22. THD とリファレンス電圧の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$ 、 $f_{IN} = 1kHz$

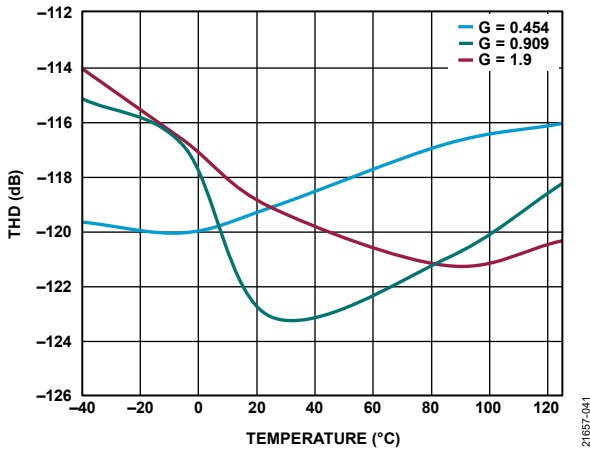


図 23. THD と温度の関係、G = 0.454、G = 0.909、G = 1.9、 $f_{IN} = 1\text{kHz}$

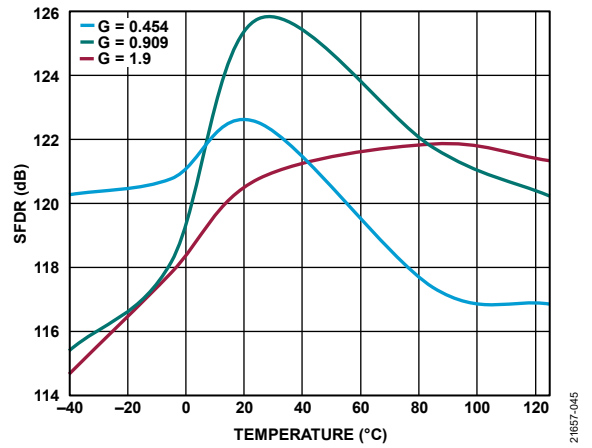


図 26. SFDR と温度の関係、G = 0.454、G = 0.909、G = 1.9、 $f_{IN} = 1\text{kHz}$

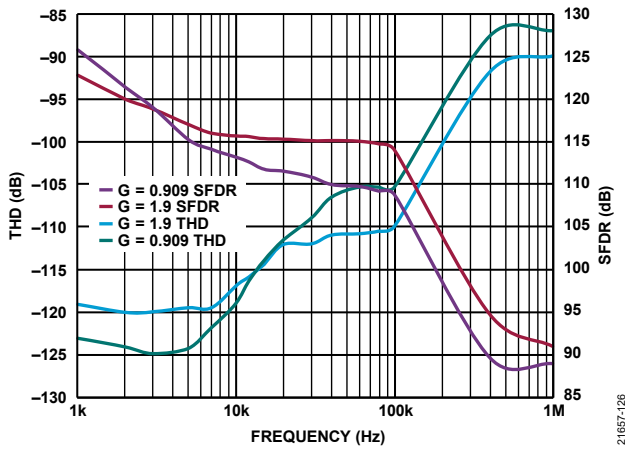


図 24. THD および SFDR と周波数の関係、G = 0.909、G = 1.9、 $V_{REF} = 5\text{V}$

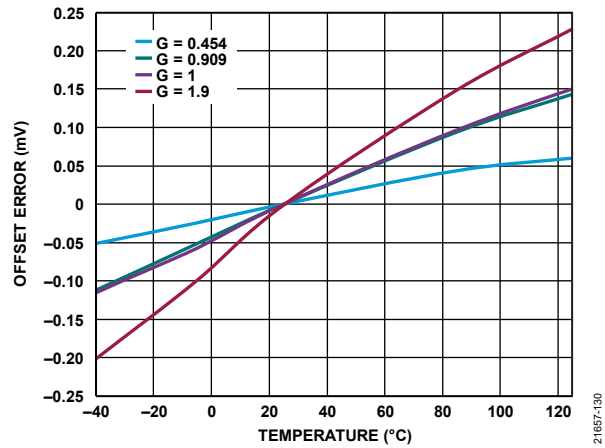


図 27. オフセット誤差と温度の関係、G = 0.454、G = 0.909、G = 1、G = 1.9

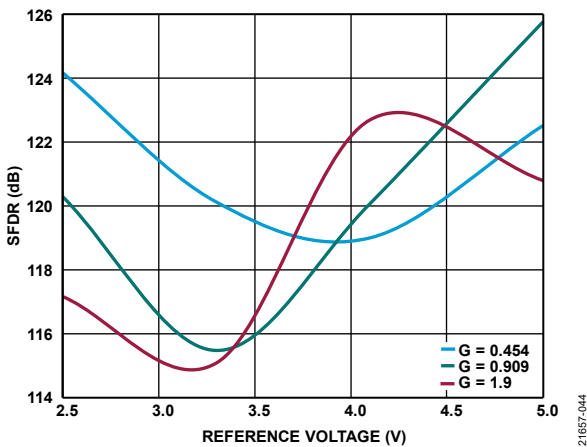


図 25. SFDR とリファレンス電圧の関係、G = 0.454、G = 0.909、G = 1.9、 $f_{IN} = 1\text{kHz}$

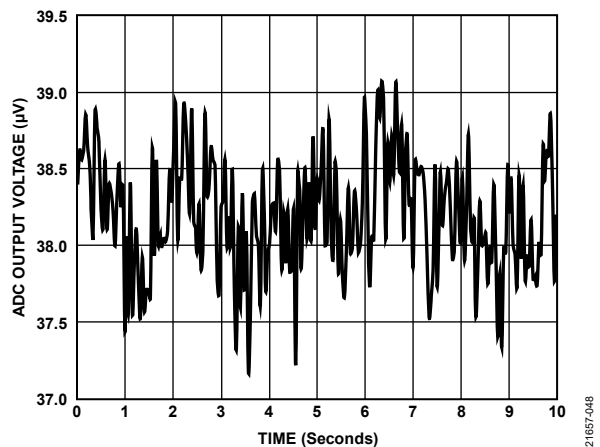


図 28. 0.1Hz~10Hz 帯域幅の 1/f ノイズ、100kSPS、1 回の読出して 250 個のサンプルを平均

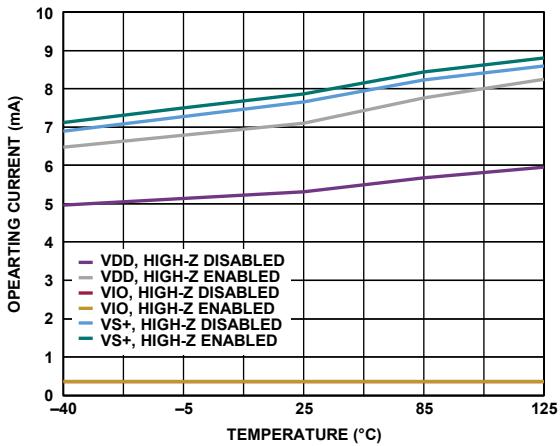


図 29. 動作電流と温度の関係、2MSPS

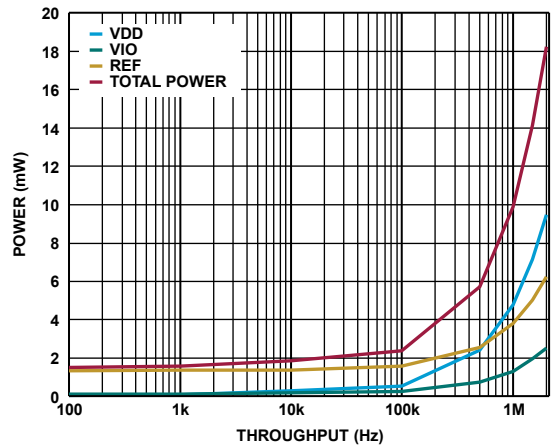


図 32. 消費電力とスループットの関係

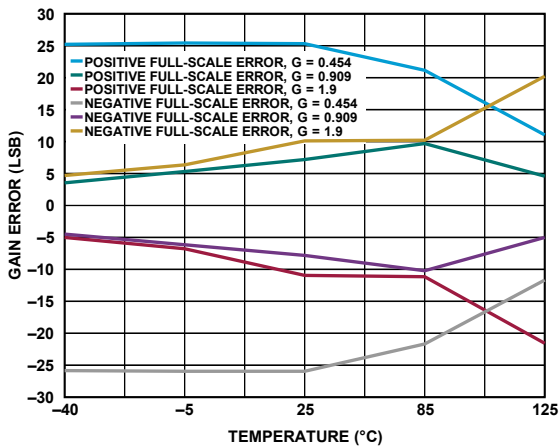


図 30. ゲイン誤差と温度の関係、正のフルスケール誤差と負のフルスケール誤差、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$

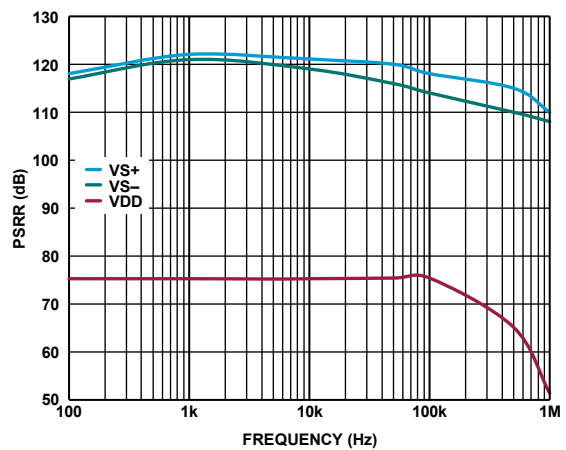


図 33. PSRR の周波数特性

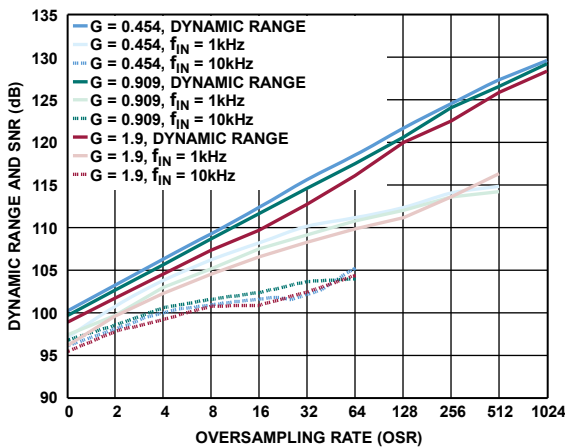


図 31. ダイナミック・レンジおよび SNR とオーバーサンプリング・レートの関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$ 、入力周波数 2MSPS

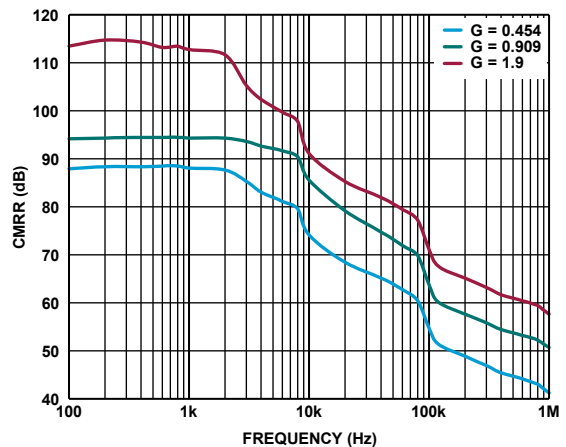


図 34. CMRR と温度の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$ 、 $f_{IN} = 1\text{kHz}$

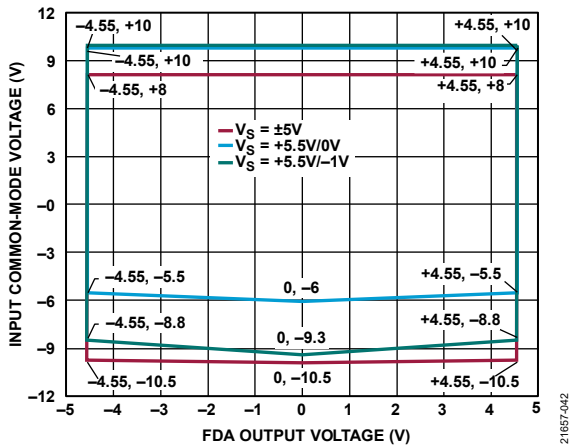


図 35. 入力コモンモード電圧と FDA 出力電圧の関係、
G = 0.454、差動入力

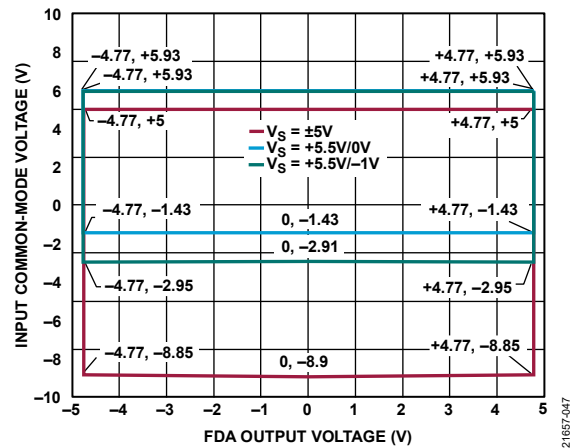


図 37. 入力コモンモード電圧と FDA 出力電圧の関係、
G = 1.9、差動入力

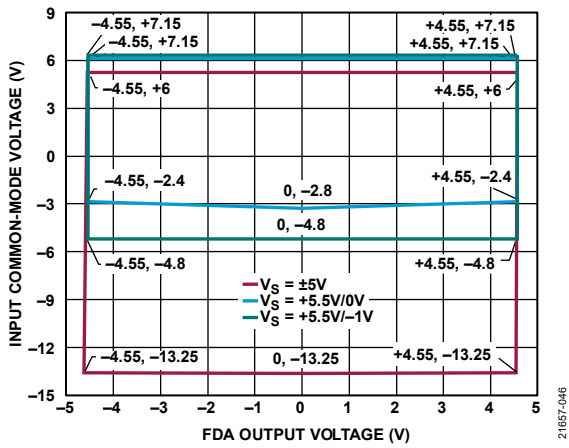


図 36. 入力コモンモード電圧と FDA 出力電圧の関係、
G = 0.909、差動入力

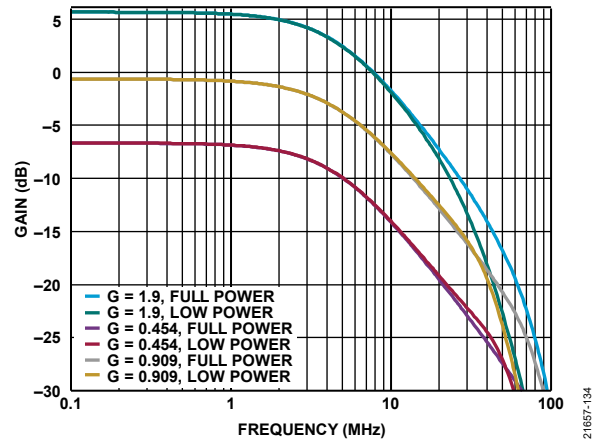


図 38. 小信号の周波数応答と 0.1dB 平坦性、
G = 1.9、G = 0.454、G = 0.909、
通常消費電力時と低消費電力時

用語の定義

積分非直線性 (INL) 誤差

INL 誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 39 参照)。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL 誤差は、ノー・ミス・コードの分解能で仕様規定されます。

オフセット誤差

オフセット誤差は、理想的なミッドスケール電圧 (0V) と、ミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゲイン誤差

最初の遷移 (100...00 から 100...01) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生します。最後の遷移 (011...10 から 011...11) は、公称フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅と、高調波を含むピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。ENOB と SINAD の関係は次式で表されます。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ENOB の単位はビットです。

全高調波歪み (THD)

THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の rms 総和の比率で、単位はデシベルです。

ダイナミック・レンジ

ダイナミック・レンジは、測定した合計 rms ノイズに対するフルスケールの rms 値の比率です。ダイナミック・レンジの単位はデシベルです。ダイナミック・レンジは、すべてのノイズ・ソースと DNL アーティファクトが含まれるように、 -60 dBFS の信号で測定されます。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の rms 総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の rms 値の比です。SINAD の単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の測定値です。CNV 入力の立上がりエッジと入力信号が変換のために保持される間の時間です。

過渡応答

過渡応答は、ADC が ± 1 LSB の精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比 (CMRR)

CMRR は、周波数 f の入力コモンモード電圧に印加される 200mVp-p サイン波の電力と、 f における ADC 出力の比です。

$$CMRR \text{ (dB)} = 10 \log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は入力に印加される f のコモンモード電力。

P_{ADC_OUT} は周波数 f における ADC 出力の電力。

電源電圧変動除去比 (PSRR)

PSRR は、周波数 f で ADC VDD 電源に加えられた 200mVp-p サイン波の電力と、 f における ADC 出力電力の比です。

$$PSRR \text{ (dB)} = 10 \log(P_{VDD_IN}/P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は f における VDD ピンの電力。

P_{ADC_OUT} は周波数 f における ADC 出力の電力。

動作原理

回路説明

ADAQ4003 SiP は、SAR アーキテクチャを採用した、高速、高精度の DAQ シグナル・チェーンです。図 1 に示すように、ADAQ4003 μ Module DAQ ソリューションには、広帯域幅の完全差動 ADC ドライバ、低ノイズのリファレンス・バッファ、18 ビット SAR ADC と共に、0.454、0.909、1、または 1.9 のゲインをピンによって選択できるオプションを使って性能を最適化するために必要となる、重要な高精度受動部品が含まれています。±0.005%の精度で整合された iPassive 薄膜抵抗を含む回路内のすべての能動部品はアナログ・デバイスによる設計で、これらの部品は、仕様規定された高い精度を実現し、温度による誤差源を最小限に抑えるために、工場出荷時にキャリブレーションされています。

ADAQ4003 は、1 秒あたり 2,000,000 サンプルを変換することができます (2MSPS)。ADAQ4003 では、長期間にわたるパワーダウン後の最初の変換でも有効な結果が得られるため、ADC が継続して変換を行わないアプリケーションの消費電力を低減することができます。

ADAQ4003 は、個々の部品の選択、PCB のサイズ、および製造の観点から、従来のディスクリート・シグナル・チェーンと比較してフォーム・ファクタと総所有コストを大幅に削減すると同時に、広範なアプリケーションに応用できる柔軟性を備えています。

ADAQ4003 は、完全差動の高速 ADC ドライバと高精度抵抗を組み合わせています。この高精度抵抗はピン接続によって選択でき、完全差動 ADC ドライバのゲインを異なる値に設定することが可能です。これにより入力信号の範囲に合わせてデバイスを設定することができます。ADC ドライバは差動で使用するか、シングルエンド入力を使用してこれを差動出力に変換することができます。

ADAQ4003 の高速変換とターボ・モードにより、最大スループット・レートでの動作時でも、低クロック・レートで変換をリードバックできます。ADAQ4003 の場合、2MSPS のフル・スループット・レートはターボ・モードでのみ実現できます。ADAQ4003 は変換クロックを内蔵しているため、変換プロセスにシリアル・クロック (SCK) は必要ありません。

ADAQ4003 は、1.8V~5V のすべてのデジタル・ロジック・ファミリ製品に接続できます。このデバイスは 7mm × 7mm、0.80mm ピッチ、49 ボールの CSP_BGA に収められているのでスペースを大幅に節約でき、柔軟な構成が可能です。

伝達関数

ADAQ4003 の理想伝達特性を図 39 と表 10 に示します。

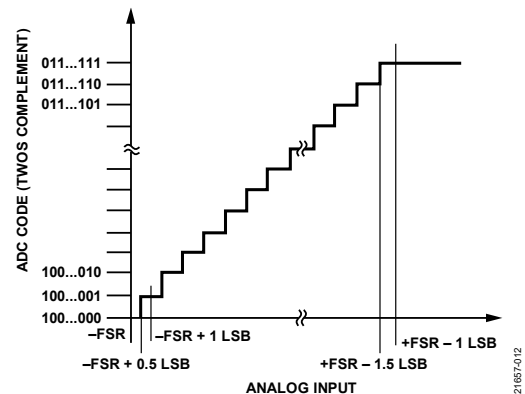


図 39. ADC の理想的な伝達関数 (FSR はフルスケール範囲)

表 10. 出力コードと入力電圧の理論値

Description	Analog Inputs		Digital Output Code ¹ (Twos Complement, Hex)
	Span Compression Disabled	Span Compression Enabled	
FSR - 1 LSB	$(131,071 \times V_{REF}) / (131,072 \times G)$	$(131,071 \times 0.8 \times V_{REF}) / (131,072 \times G)$	0x1FFFF ²
Midscale + 1 LSB	$V_{REF} / (131,072 \times G)$	$0.8 \times V_{REF} / (131,072 \times G)$	0x00001
Midscale	0 V	0 V	0x00000
Midscale - 1 LSB	$-V_{REF} / (131,072 \times G)$	$-0.8 \times V_{REF} / (131,072 \times G)$	0x3FFFF
-FSR + 1 LSB	$-(131,071 \times V_{REF}) / (131,072 \times G)$	$-(131,071 \times 0.8 \times V_{REF}) / (131,072 \times G)$	0x20001
-FSR	$-V_{REF} \times G$	$-0.8 \times V_{REF} \times G$	0x20000 ³

¹ この出力コードは、ADC ドライバの負入力 (IN-) を駆動することを前提としています。

² この出力コードはオーバーレンジ・アナログ入力のコードです (スパン圧縮が無効の場合は V_{REF} を IN+ - IN- だけ上回り、スパン圧縮が有効の場合は $0.8 \times V_{REF}$ だけ上回る)。

³ この出力コードはアンダーレンジ・アナログ入力のコードでもあります (スパン圧縮が無効の場合は $-V_{REF}$ を IN+ - IN- だけ下回り、スパン圧縮が有効の場合は $0.8 \times V_{REF}$ を IN+ - IN- だけ上回る)。

アプリケーション情報

代表的なアプリケーションの図

グラウンドを基準として、4つの異なるゲイン・オプションでシングルエンド入力信号と差動入力信号を加える場合の、ADAQ4003の推奨接続図を図40～図47に示します。

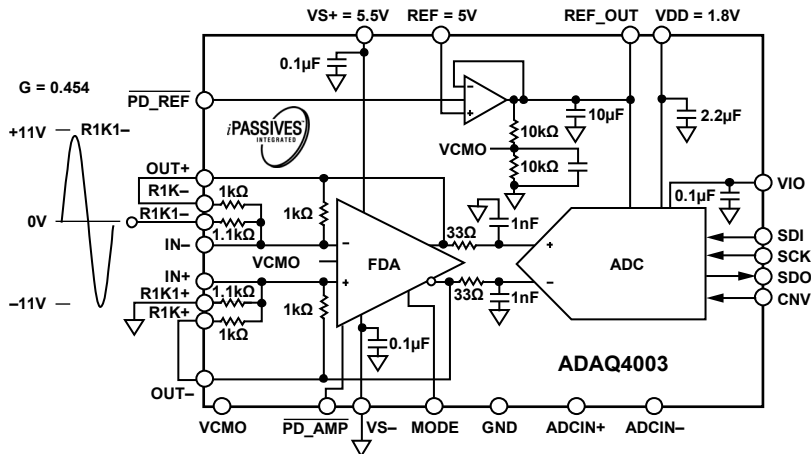


図 40. シングルエンド入力/差動出力、G = 0.454

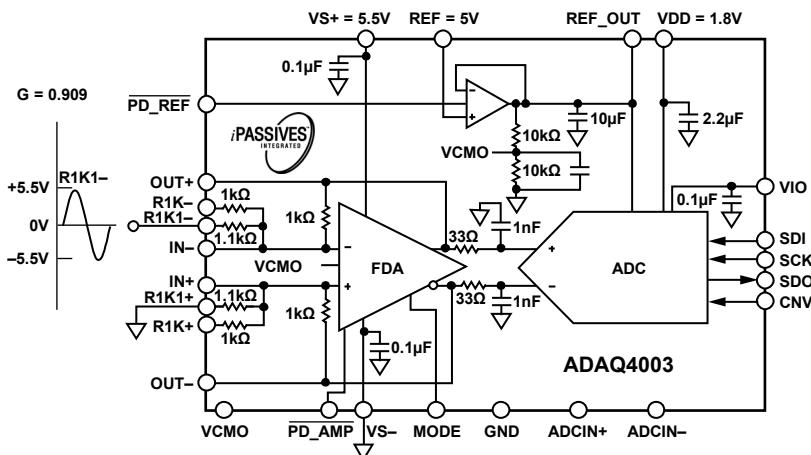


図 41. シングルエンド入力/差動出力、G = 0.909

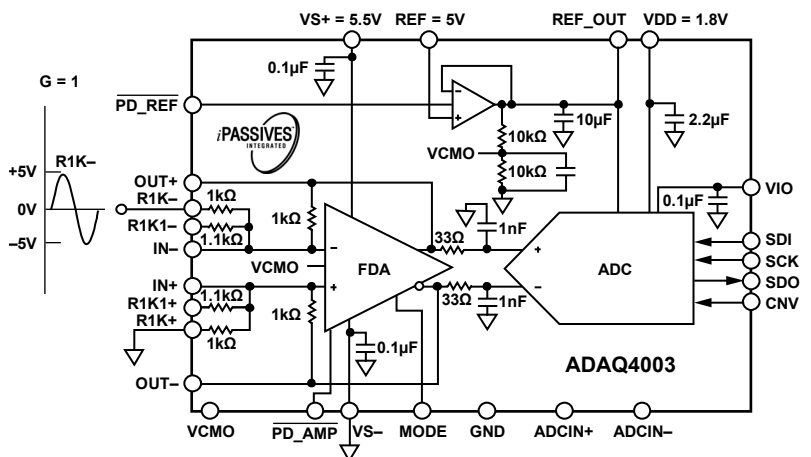


図 42. シングルエンド入力/差動出力、G = 1

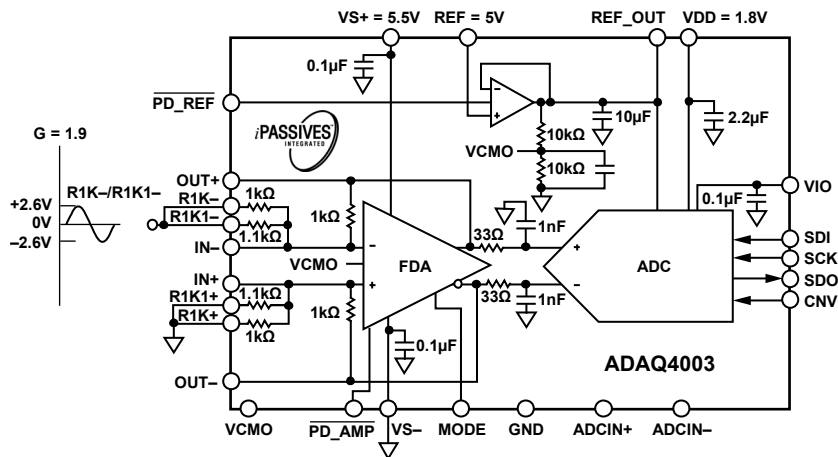


図 43. シングルエンド入力/差動出力、G = 1.9

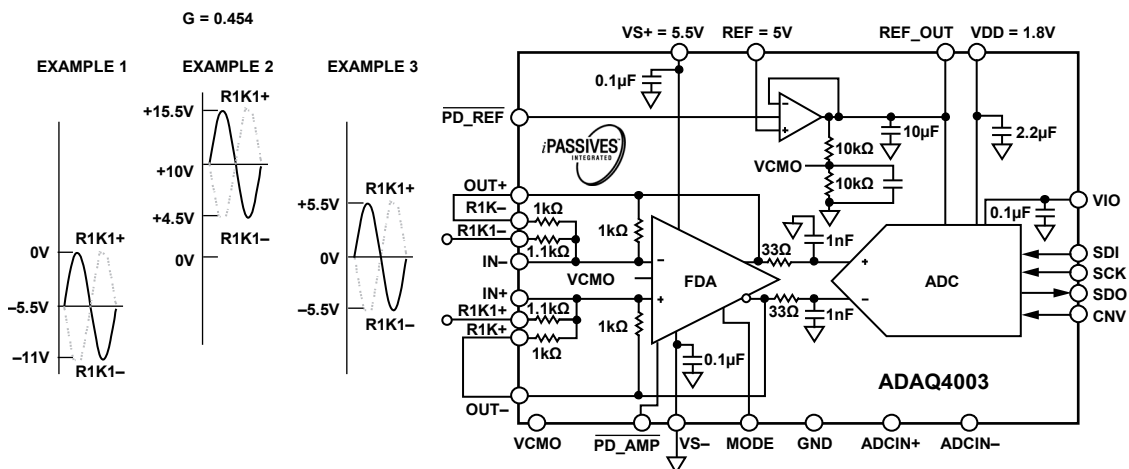


図 44. 差動構成、G = 0.454

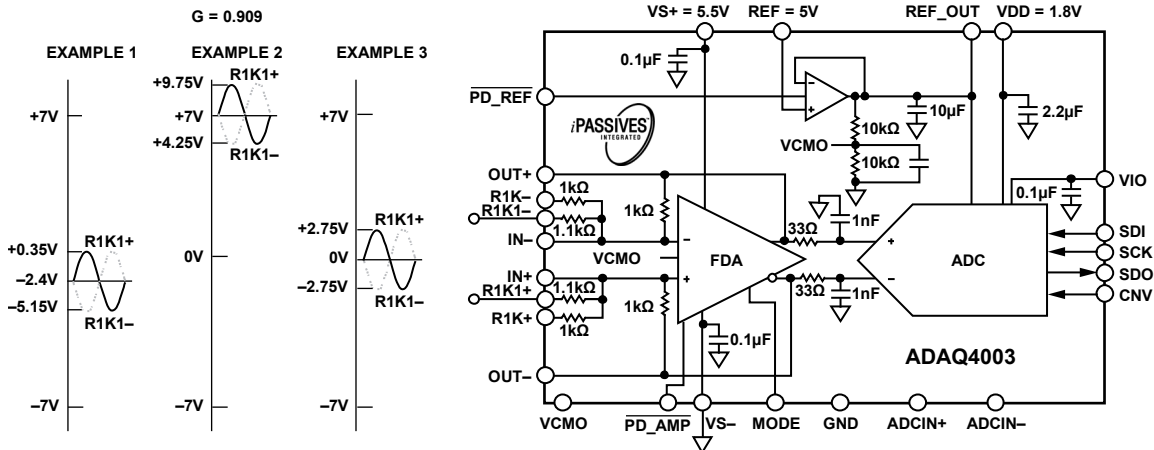


図 45. 差動構成、G = 0.909

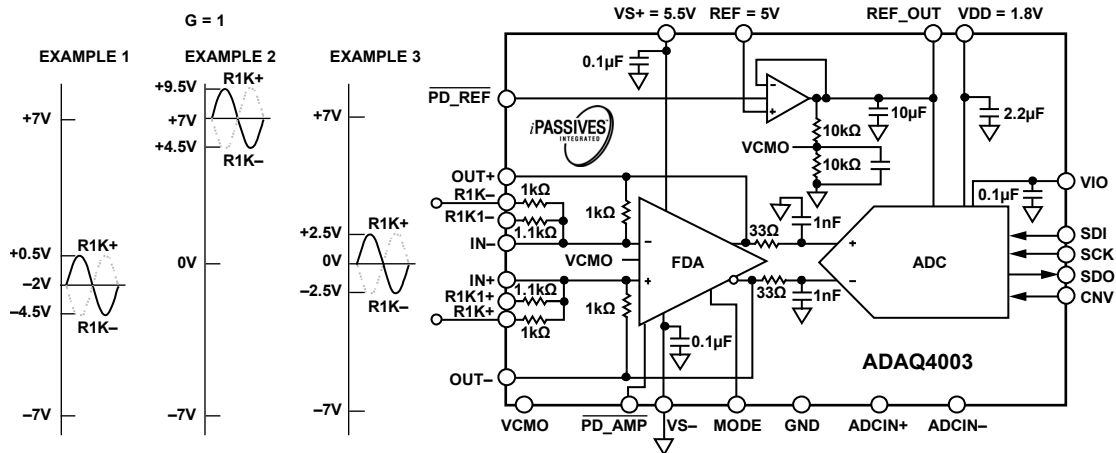


図 46. 差動構成、G = 1

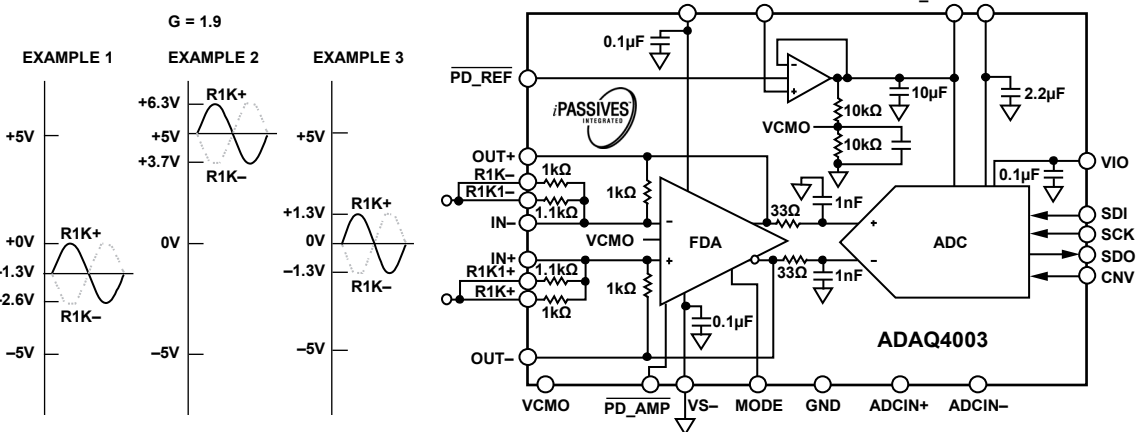


図 47. 差動構成、G = 1.9

アナログ入力

高周波の入力信号

5V リファレンス電圧を使用した場合の、ADAQ4003 の広い入力周波数範囲での AC 性能を図 21 と 図 24 に示します。ADAQ4003 はナイキスト周波数までの入力周波数に対して非常に優れた AC 性能を発揮し、性能の低下は最小限に抑えられています。

ドライブ補助機能

入カスパン圧縮

ADAQ4003 はスパン圧縮機能を備えています。これにより、範囲の上下から入力範囲を 10%削減することで、ADC ドライバが使用できるヘッドルームとフットルームを増やしながら、すべての ADC コードに引き続きアクセスすることができます。スパン圧縮を有効にすると、削減された入力範囲で SNR は約 1.9dB ($20 \times \log(8/10)$) 減少します。デフォルトではスパン圧縮は無効になっていますが、関連するレジスタ・ビットに書き込みを実行することで有効になります (デジタル・インターフェースのセクションを参照)。

ADC 高インピーダンス・モード

ADAQ4003 には、ADC 高インピーダンス・モードが組み込まれています。これにより、アキュイジション開始時にコンデンサの DAC が切り替わって入力に戻るときに、非直線性のチャージ・キックバックが削減されます。ADC 高インピーダンス・モードはデフォルトでは無効ですが、レジスタに書き込みを実行することで有効になります (表 14 を参照)。100kHz を超える周波数やマルチプレクスでは、高インピーダンス・モードを無効にしてください。

高インピーダンス PGIA を使用した ADAQ4003 の駆動

計装アンプやプログラマブル・ゲイン計装アンプ (PGIA) の多くはシングルエンド出力であり、完全差動のデータ・アキュイジション・シグナル・チェーンを直接駆動することはできません。しかし LTC6373 PGIA は、低ノイズ、低歪み、高帯域幅の完全差動出力を提供します。LTC6373 は入力と出力が DC カップリングされており、ゲイン設定をプログラムできます (A2、A1、A0 ピンを使用)。これらの機能は、多くのシグナル・チェーン・アプリケーションにおいて、精度性能を犠牲にすることなく LTC6373 が ADAQ4003 を直接駆動することを可能にします。

図 50 では、LTC6373 が $\pm 15V$ デュアル電源の差動入力/差動出力構成で使われています。LTC6373 は、必要に応じシングルエンド入力/差動出力構成で使用することもできます。LTC6373 は、ゲインが 0.454 に設定された ADAQ4003 を直接駆動しています。LTC6373 の V_{OCM} ピンは、グラウンドに接続します。その出力振幅は $-5.5V \sim +5.5V$ です (位相が逆)。ADAQ4003 の FDA は、ADAQ4003 に必要な入力共通モードに合わせて LTC6373 の出力をレベル・シフトし、ADAQ4003 μ Module が内蔵する ADC の最大で $2 \times V_{REF}$ のピーク to ピーク差動信号範囲を利用するのに必要な信号振幅を提供します。図 50 に示す回路構成で、LTC6373 のゲインを様々な値に設定した場合の SNR と THD の性能を図 48 と図 49 に示します。

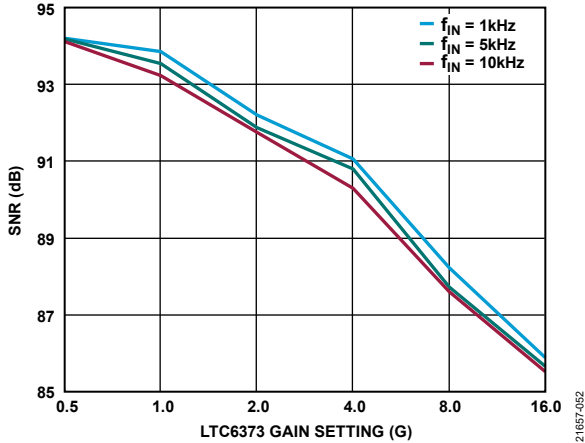


図 48. SNR と LTC6373 ゲイン設定の関係、LTC6373 で ADAQ4003 を駆動する場合 (ゲイン = 0.454)

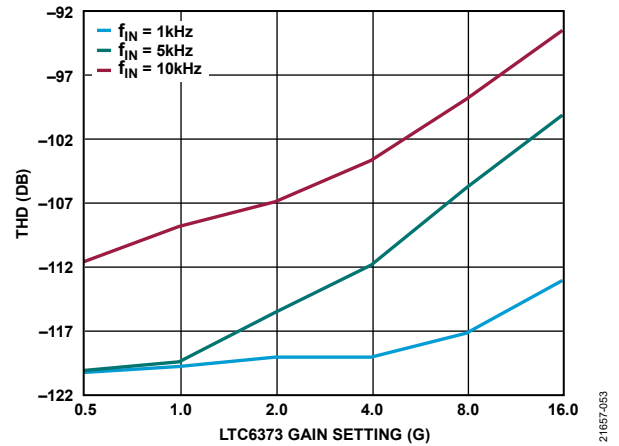


図 49. THD と LTC6373 ゲイン設定の関係、LTC6373 で ADAQ4003 を駆動する場合 (ゲイン = 0.454)

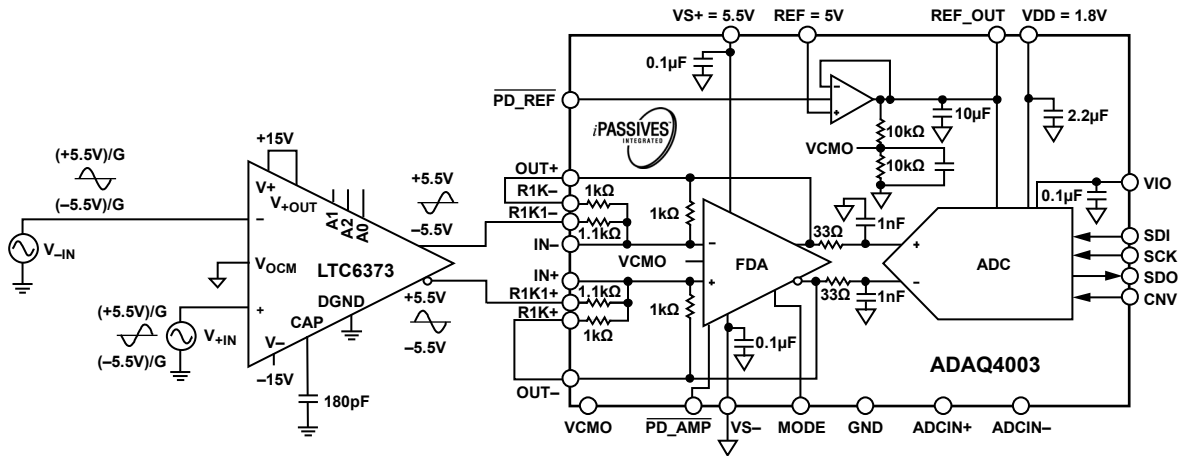


図 50. LTC6373 で ADAQ4003 を駆動 (G = 0.454)

電圧リファレンス入力

ADAQ4003 の電圧リファレンス入力 (REF) は、低ノイズの内蔵リファレンス・バッファの非反転ノードです。リファレンス・バッファは、SAR ADC のリファレンス・ノードの動的な入力インピーダンスを最適に駆動するために内蔵されています。

また、ADAQ4003 は 10 μ F のデカップリング・コンデンサも内蔵しており、デバイス内に最適に配置されています。このデカップリング・コンデンサは、SAR アーキテクチャに不可欠な部品です。REF_OUT コンデンサは単なるバイパス・コンデンサではありません。このコンデンサは SAR ADC の一部ですが、単純にシリコン上に収容することはできません。ビット判定プロセス中は、ビットが数十ナノ秒以内にセトリングするので、この蓄積コンデンサが内部の容量性 DAC を充電します。バイナリ・ビット重み付け変換の処理に伴い、10 μ F のコンデンサから少量の電荷が充電されます。内部のコンデンサ・アレイはデカップリング・コンデンサのほんの一部ですが、SAR のビット判定時のセトリング時間に対応するには、この大容量のストレージ・コンデンサが必要になります。REF_OUT ピンと GND ピンの間に、これより小容量のセラミック・デカップリング・コンデンサ (例えば 100nF) を追加する必要はありません。

SAR のコンデンサ・アレイが量子化できる最大の ADC 入力電圧は、リファレンス値によって決まります。リファレンス・バッファはユニティ・ゲイン構成に設定します。したがって、REF ピンでリファレンス電圧値を設定し、REF_OUT ピンでこの値を読み出します。リファレンス電圧には、設計するシステムに適した値を選択してください。許容リファレンス値は 2.4V~5.1V です。ただし、リファレンス・バッファの入力コモンモード電圧範囲の仕様を満たす必要があります。リファレンス・バッファが内蔵されているため、リファレンス・ソースは SAR コンデンサ・アレイの動的負荷ではなく、高インピーダンス・ノードを駆動することになるので、多くの従来型 SAR ADC 信号チェーンよりもはるかに低消費電力のリファレンス・ソースを実装することができます。リファレンス・ソースのノイズとリファレンス・バッファのノイズを二乗和平方根することにより、総ノイズを推算できます。一般に、リファレンス・バッファのノイズ密度はリファレンス・ソースよりもずっと小さくなります。

高性能と低ドリフトを実現するには、ADR4550 などのリファレンスを使用するか、ADR3450 などの低消費電力リファレンスを使用します。ただし、後者の場合はノイズ性能が低下します。

電源 (パワー・ツリー)

ADAQ4003 では 4 つの電源ピンを使用します。ADC ドライバの正電源 (VS+) と負電源 (VS-)、コア ADC 電源 (VDD)、そしてデジタル入力および出力インターフェース電源 (VIO) です。VIO は、1.8V、2.5V、3V、または 5V のロジックに直接接続できます。必要な電源の数を減らすために、1.8V 動作では VIO と VDD を接続することができます。ADP5070 (デュアル、高性能 DC/DC スイッチング・レギュレータ)、LT3032 (デュアル、低ノイズ、正負電圧、低ドロップアウトの電圧リニア・レギュレータ)、および LT3023 (デュアル、マイクロパワー、低ノイズ、低ドロップアウトのレギュレータ) を組み合わせることにより、4 つの電源ピンすべてについて、任意の追加的シグナル・コンディショニング用の $\pm 15V$ レールを含め、個別にレギュレーションされた正負の電源レールを生成することができます。詳細については、EVAL-ADAQ4003FMCZ のユーザ・ガイドを参照してください。ADAQ4003 は、図 33 に示すように、広い周波数範囲にわたって電源変動 (PSRR) の影響を受けにくくなっています。

ADAQ4003 の ADC は、各変換フェーズの終了時に自動的にパワーダウンをします。したがって、消費電力はサンプリング・レートに応じて直線的に変化します。この機能により、低サンプリング・レートでのアプリケーション (秒あたり数サンプルのものを含む) や、バッテリー駆動のアプリケーションに最適なデバイスとなっています。図 32 に、ADAQ4003 の合計消費電力と各レールの消費電力を示します。

デジタル・インターフェース

ADAQ4003 はピン数が少ないにも関わらず、シリアル・インターフェース・モードで高い柔軟性を示します。また、ADAQ4003 は、設定レジスタへの 16 ビット SPI 書き込みでプログラムすることもできます。

\overline{CS} モードでは、ADAQ4003 に SPI、QSPI[™]、MICROWIRE[®]、デジタル・ホスト、デジタル・シグナル・プロセッサ (DSP) を使用することができます。このモードでは、ADAQ4003 は 3 線式または 4 線式のインターフェースを使用できます。CNV、SCK、SDO 信号を使用する 3 線式インターフェースは最小限の配線で機能するので、絶縁アプリケーションなどに便利です。SDI、CNV、SCK、SDO の信号を使用する 4 線式インターフェースでは、リードバック・タイミングに依存せずに CNV で変換を開始できます (SDI)。このインターフェースは、低ジッタ・サンプリングまたは同時サンプリング・アプリケーションで便利です。

ADAQ4003 はデジタイゼーション機能を備えており、SDI を使用して、シフト・レジスタと同様に、1 つのデータ・ラインで複数の ADC をカスケード接続することができます。

ADAQ4003 の動作モードは、CNV の立上がりエッジ発生時の CNV レベルによって決定されます。SDI がハイの場合は \overline{CS} モードが選択され、SDI がローの場合はデジタイゼーション・モードが選択されます。SDI と CNV が同時に接続される場合の SDI ホールド時間には、デジタイゼーション・モードが自動的に選択されます。

ADAQ4003 を 3 線式または 4 線式モードで使用する場合は、データ・ビットの前にスタート・ビットを強制的に挿入するオプションがあります。このスタート・ビットをビジー信号インジ

データとして使用すれば、デジタル・ホストに割り込み、データ読出しをトリガすることができます。ビジー・インジケータとして使用しない場合、リードバック前に最大変換時間をタイムアウトさせる必要があります。

CSモードでは、CNV または SDI がローの場合に ADC 変換が終了すると、ビジー・インジケータ機能が有効になります。

電源投入時の SDO のステータスは、CNV および SDI のステータスによって低インピーダンスまたは高インピーダンスのいずれかになります (表 11 を参照)。

表 11. 電源投入時の SDO の状態

CNV	SDI	SDO
0	0	Low
0	1	Low
1	0	Low
1	1	High-Z

ADAQ4003 は、3 線式モードまたは 4 線式モードの両方でターボ・モード機能を備えています。ターボ・モードは、設定レジスタへの書出しによって有効になります。このモードは、ビジー・インジケータ機能を置き換えます。ターボ・モードを使用すると、SPI クロック・レートが遅くなるので、インターフェースがシンプルになります。ADAQ4003 の最大スループットである 2MSPS は、ターボ・モードを有効にして、75MHz の最小 SCK レートを使用した場合のみ実現します。新たな変換が開始される前に変換結果がクロック出力されるように、SCK レートを十分に速くする必要があります。アプリケーションに必要な最低 SCK レートは、サンプル周期 (t_{cyc})、読出しの必要があるビット数 (データ・ビットとオプションのステータス・ビットを含む)、および使用するデジタル・インターフェース・モードに基づいて求めることができます。各デジタル・インターフェース・モードのタイミング図と説明については、デジタル動作モードのセクションに示します (CSモード (3 線式ターボ・モード) のセクション、および CSモード (ビジー・インジケータありの 4 線式) のセクションを参照)。

設定レジスタでステータス・ビットが有効な場合、変換データの最後でステータス・ビットをクロック出力できます。6 つのステータス・ビットについての説明を表 12 に示します。

ADAQ4003 は、目的の設定レジスタへの 16 ビット SPI の書込みによって設定されます。16 ビット・ワードは、CNV がローの間に SDI ラインから書き込めます。16 ビット・ワードは、8 ビットのヘッダーと 8 ビットのレジスタ・データで構成されます。絶縁システムでは、ADuM141D が推奨されます。これにより、ADAQ4003 をフル・スループットの 2MSPS で動作させるために必要な 75 MHz SCK をサポートできます。

レジスタの読出し機能と書込み機能

ADAQ4003 のレジスタ・ビットはプログラム可能です。デフォルトのステータスを表 12 に示します。レジスタ・マップは表 14 を参照してください。OV クラмп・フラグは読出し専用のステ

表 14. レジスタ・マップ

ADDR[1:0]	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset
0x0	Reserved	Reserved	Reserved	Enable six status bits	Span compression	High-Z mode	Turbo mode	OV clamp flag (read only sticky bit)	0xE1

イッキー・ビットで、このビットは過電圧状態が解消された後にレジスタの読出しが実行された場合のみクリアされます。過電圧状態になると、OV クラмп・フラグが 0 になります。

表 12. レジスタ・ビット

レジスタ・ビット	デフォルトのステータス
OV クラмп・フラグ	1 ビット、1=非アクティブ (デフォルト)
スパン圧縮	1 ビット、0=無効 (デフォルト)
高インピーダンス・モード	1 ビット、0=無効 (デフォルト)
ターボ・モード	1 ビット、0=無効 (デフォルト)
6 つのステータス・ビットを有効	1 ビット、0=無効 (デフォルト)

レジスタ・マップへのアクセスを開始するには、SPI インターフェース・ブロックの 8 ビット・コマンド・レジスタへの書込みを実行する必要があります。ADAQ4003 は、最初の 0 がクロック・インされるまで、すべての 1 を無視します (図 51、図 52、および表 13 では WEN で示されています)。コマンド・レジスタにロードされる値は常に 0 で、その後 7 個のコマンド・ビットが続きます。このコマンドによって、動作が書込みか読出しかどうか決定されます。ADAQ4003 のコマンド・レジスタを表 13 に示します。

表 13. コマンド・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WEN	R/W	0	1	0	1	0	0

レジスタのすべての読出しと書込みは、CNV がローの間に行う必要があります。SDI のデータは、SCK の立上がりエッジでクロック入力されます。SDO のデータは SCK の立下がりエッジでクロック出力されます。デイジーチェーン・モードが有効でない場合、データ転送の最後に、CNV の立上がりエッジで SDO は高インピーダンス状態になります。デイジーチェーン・モードが有効な場合、CNV の立上がりエッジで SDO はローになります。デイジーチェーン・モードでは、レジスタの読出しを実行できません。

レジスタの読出しには、SCK、CNV、SDI の 3 つの信号ラインが必要です。レジスタへの書込み中に SDO の現在の変換結果を読み出すには、変換の完了後に CNV ピンをローにする必要があります。そうしないと、間違った変換結果が SDO に出力される可能性があります。ただし、レジスタの書込みは CNV ピンの状態に関係なく発生します。

16 ビット変換データの読出しは 16 ビット SPI フレームに制限される可能性があるため、各設定レジスタの LSB は予約済みになります。SDI フレームの最終ビットでの SDI の状態は、CNV の立上がりで持続する場合があります。インターフェース・モードの一部は、CNV の立上がり発生時の SDI の状態によって設定されるので、このシナリオでは、最終的な SDI の状態を設定する必要があります。

図 51～図 53 のタイミング図に、レジスタの読出し、書出し、およびデイジーチェーン・モードで ADAQ4003 を構成する場合のデータの読出し/書出し方法を示します。

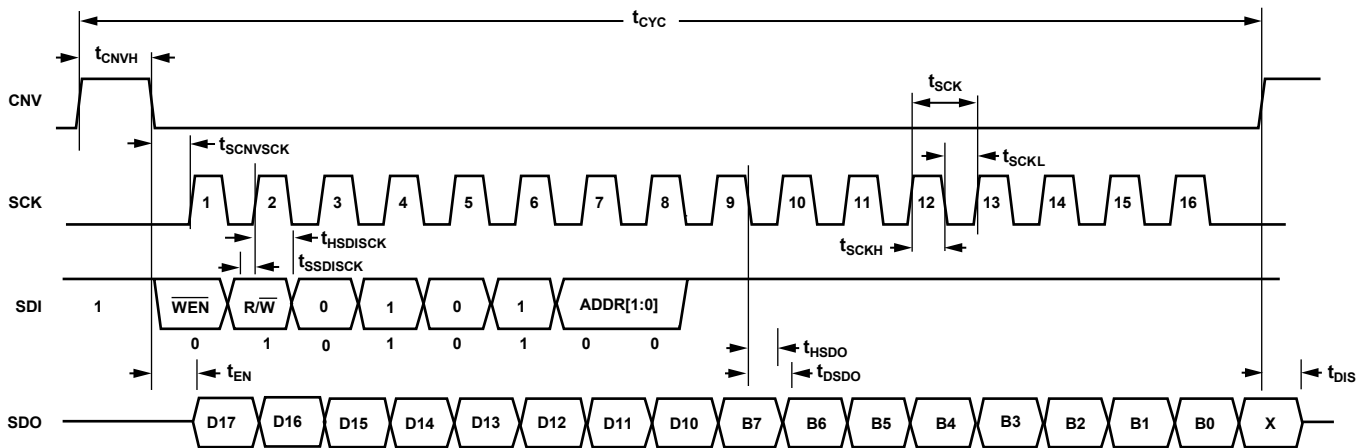
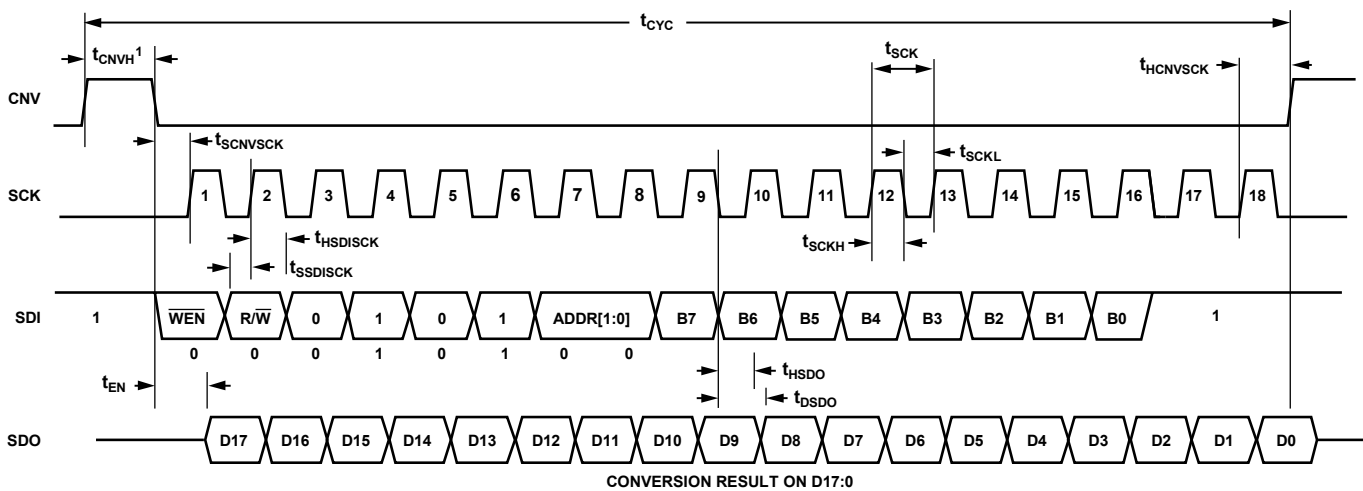


図 51. レジスタ読出しのタイミング図



¹THE USER MUST WAIT t_{CONV} TIME WHEN READING BACK THE CONVERSION RESULT AND DOING A REGISTER WRITE AT THE SAME TIME.

図 52. レジスタ書込みのタイミング図

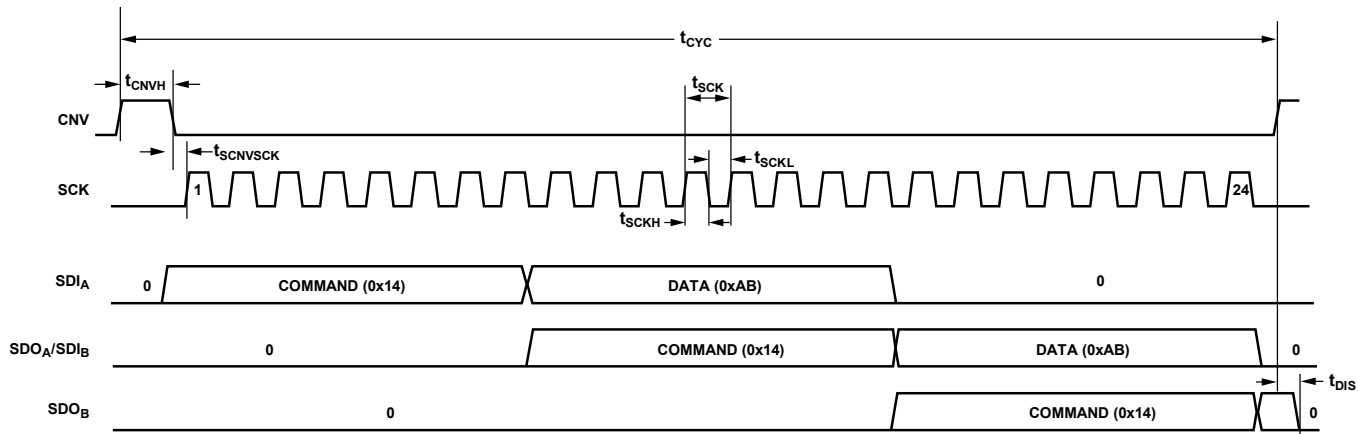


図 53. レジスタ書込みのタイミング図、デジーチェーン・モード

ステータス・ワード

変換結果の最後に 6 ビットのステータス・ワードを追加できます。これらのビットのデフォルト状態を表 15 に示します。レジスタ設定でステータス・ビットを有効にする必要があります。 $\overline{\text{OV}}$ クランプ・フラグが 0 の場合、このビットは過電圧状態であることを示します。 $\overline{\text{OV}}$ クランプ・フラグのステータス・ビットは、変換ごとに更新されます。

SDO ラインは、6 番目のステータス・ビットがクロック出力された後に高インピーダンスになります（デジタイゼーション・モードを除く）。次の変換を開始するため、すべてのステータスをクロック出力する必要はありません。CSモード（ビジー・インジケータなしの 3 線式）のシリアル・インターフェースのタイミングを、ステータス・ビットを含めて図 54 に示します。

表 15. ステータス・ビット（デフォルト条件）

Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
$\overline{\text{OV}}$ clamp flag	Span compression	High-Z mode	Turbo mode	Reserved	Reserved

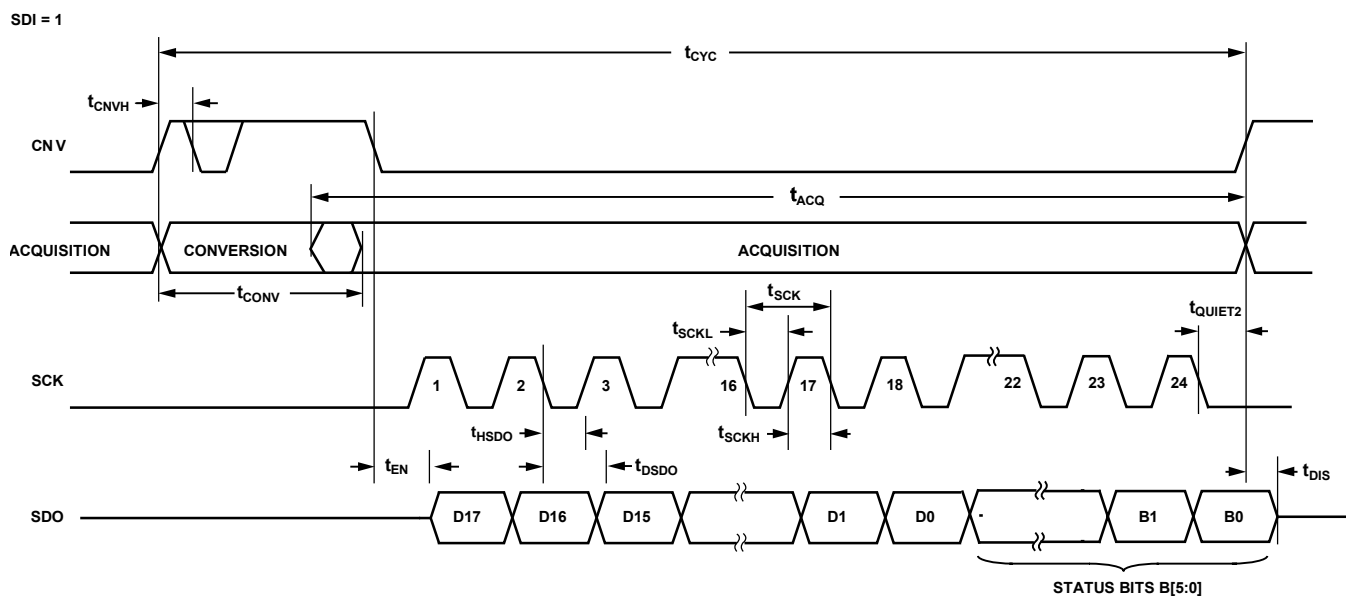


図 54. $\overline{\text{CS}}$ モード（ビジー・インジケータなしの 3 線式）のシリアル・インターフェースのステータス・ビットを含むタイミング図（SDI ハイ）

21857-024

CSモード (3 線式ターボ・モード)

通常、このモードは、1 台の ADAQ4003 を SPI 互換のデジタル・ホストに接続する場合に使用します。このモードでは、ADC 変換プロセス終了時に前回の変換結果をクロック・アウトするための時間が追加されるので、SCK レートが遅くなります。ADAQ4003 では、ターボ・モードを有効にして、75 MHz の最小 SCK レートを使用した場合のみ、2MSPS のスループット・レートを実現できます。接続図を図 55 に示し、対応するタイミング図を図 56 に示します。

ターボ・モードを有効にするには、設定レジスタのターボ・モード有効化ビットを 1 に設定します (表 12 を参照)。ターボ・モードのビット 1 をプログラムすることで、ビジー・インジケータありの 3 線式モードがターボ・モードに変わります (表 14 を参照)。ユーザ設定レジスタへ書き込みを行うには、デジタル・ホストに SDI を接続する必要があります (レジスタの読み機能と書き込み機能のセクションを参照)。ターボ・モードを有効にした場合、SDO に読み出される変換結果は、その前の変換結果に対応しています。

このモードで変換を行うときは SDI をハイに保持する必要があります、CNV の立上がりエッジで変換が開始されて SDO が強制的に高インピーダンスに移行します。前回の変換結果をクロック・アウトするには、CNV をハイにしてから CNV をローにするま

で、 t_{QUIET1} だけ待機する必要があります。変換が完了すると (t_{CONV} 経過後)、ADAQ4003 はアキュイジション・フェーズに移行してパワーダウンします。また、SCK の最後の立下がりエッジから CNV がハイになるまでの間も、 t_{QUIET2} だけ待機する必要があります。

CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、 t_{HSDO} (表 3 を参照) によって決定されるホールド時間が許容できるものであれば、読みレートが速くなります。ステータス・ビットがイネーブルされていない場合、SDO は、18 番目の SCK の立下がりエッジの後に高インピーダンスに戻ります。ステータス・ビットがイネーブルされている場合、これらのビットは、19 番目から 24 番目までの SCK 立下がりエッジで SDO にシフト・アウトされます (ステータス・ワードのセクションを参照)。SDO は、18 番目の SCK 立下がりエッジの発生後、または CNV がハイになった後 (どちらか先に発生した方) で高インピーダンスに戻ります。また、仕様規定された性能を発揮できるようにするには、最後の SCK 立下がりエッジと次の CNV 立上がりエッジの間に t_{QUIET2} の遅延を設ける必要があります。

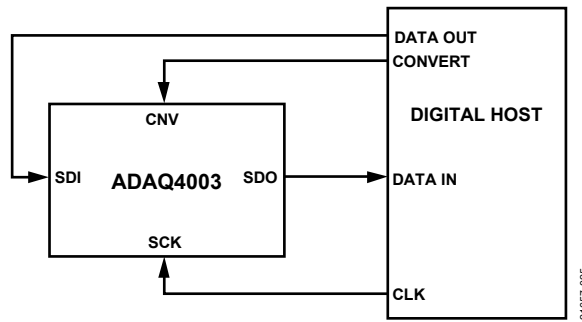


図 55. CSモード (3 線式ターボ・モード) の接続図 (SDI ハイ)

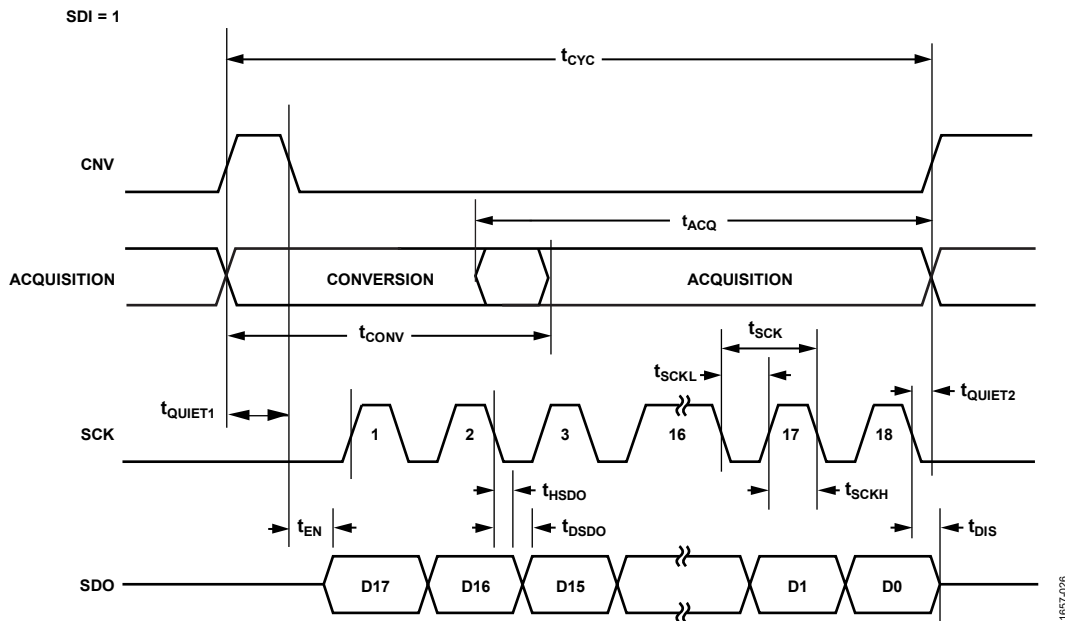


図 56. CSモード (3 線式ターボ・モード) のシリアル・インターフェースのタイミング図 (SDI ハイ)

CSモード (ビジー・インジケータなしの3線式)

通常、このモードは、1台のADAQ4003をSPI互換のデジタル・ホストに接続する場合に使用します。接続図を図57に示し、対応するタイミング図を図58に示します。

SDIをVIOに接続すると、CNVの立上がりエッジで変換が開始されてCSモードが選択され、SDOが強制的に高インピーダンスに移行します。変換開始後は、CNVの状態に関係なく、完了するまで変換が継続されます。この機能は、例えば、CNVをローにしてアナログ・マルチプレクサなどの他のSPIデバイスを選択する際に便利です。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前にCNVをハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、ADAQ4003はアキュイジション・フェーズに移行してパワーダウンします。CNVがローになると、MSBがSDOに出力されます。残りのデータ・ビットは、後続のSCKの立下がりエッジで記録されます。両方のSCKエッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCKの立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。18番目のSCKの立下がりエッジの発生後またはCNVがハイになった後（どちらか先に発生した方）、SDOは高インピーダンス状態に戻ります。

変換中にSCKのデジタル動作が発生しないようにします。

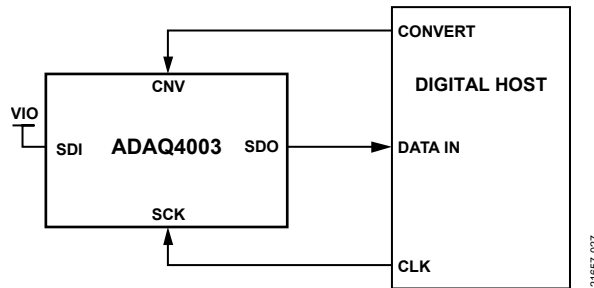


図 57. CSモード (ビジー・インジケータなしの3線式) の接続図 (SDIハイ)

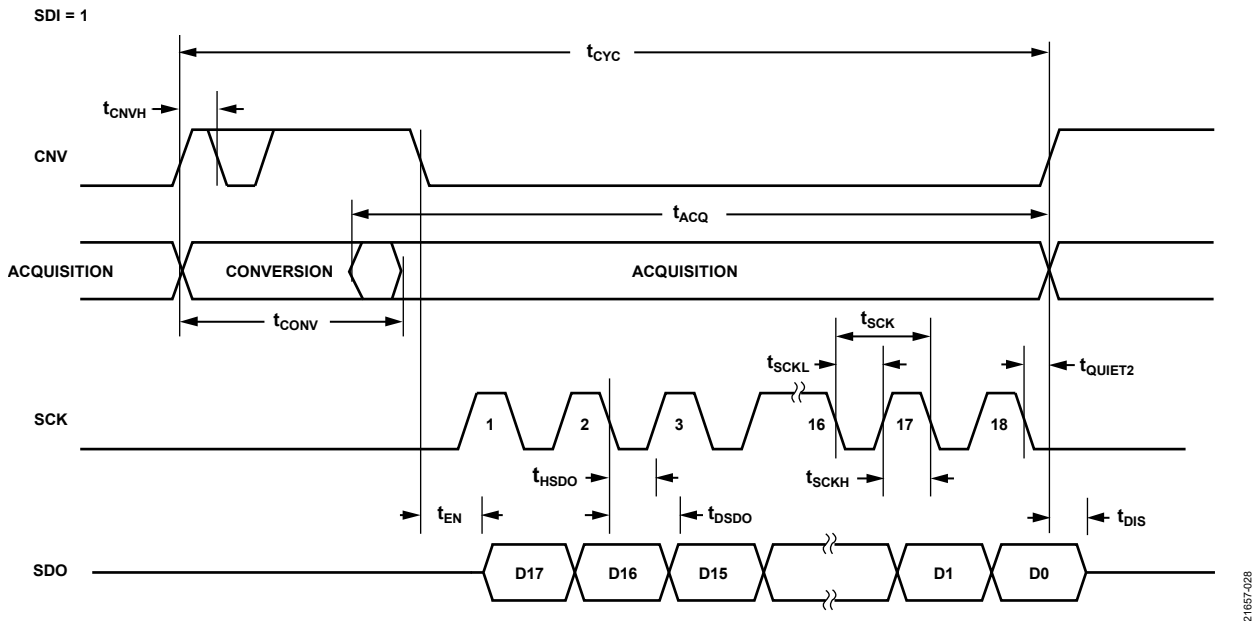


図 58. CSモード (ビジー・インジケータなしの3線式) のシリアル・インターフェースのタイミング図 (SDIハイ)

CSモード（ビジー・インジケータありの3線式）

通常、このモードは、割込み入力 ($\overline{\text{IRQ}}$) を備えた SPI 互換のデジタル・ホストに 1 台の ADAQ4003 デバイスを接続する場合に使用されます。

接続図を図 59 に示し、対応するタイミング図を図 60 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始されて CSモードが選択され、SDO が強制的に高インピーダンスに移行します。SDO は CNV の状態に関係なく、変換が完了するまで高インピーダンスに保たれます。最小変換時間が経過する前に、CNV はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジケータの生成を確保できるように、最小変換時間が経過する前に CNV をローに戻し、最大変換時間にわたってローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの $1\text{k}\Omega$ のプルアップ抵抗とこの遷移を組み合わせ、割込み信号として使用すれば、デジタル・ホストによって制御されるデータ読出しを開始できます。その後、ADAQ4003 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB ファーストでクロック出力されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。オプションの 19 番目の SCK の立下がりエッジ発生後または CNV がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻ります。

複数の ADAQ4003 デバイスを同時に選択すると、SDO 出力ピンは、損傷や誘導ラッチアップせずに、この競合を処理します。ただし、余分な消費電力を制限するために、この競合は可能な限り短くすることが推奨されます。

変換中に SCK のデジタル動作が発生しないようにします。

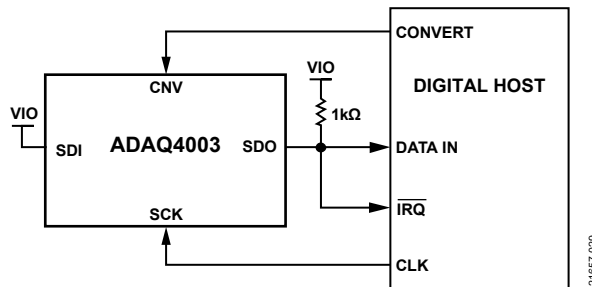


図 59. CSモード（ビジー・インジケータありの3線式）の接続図（SDI ハイ）

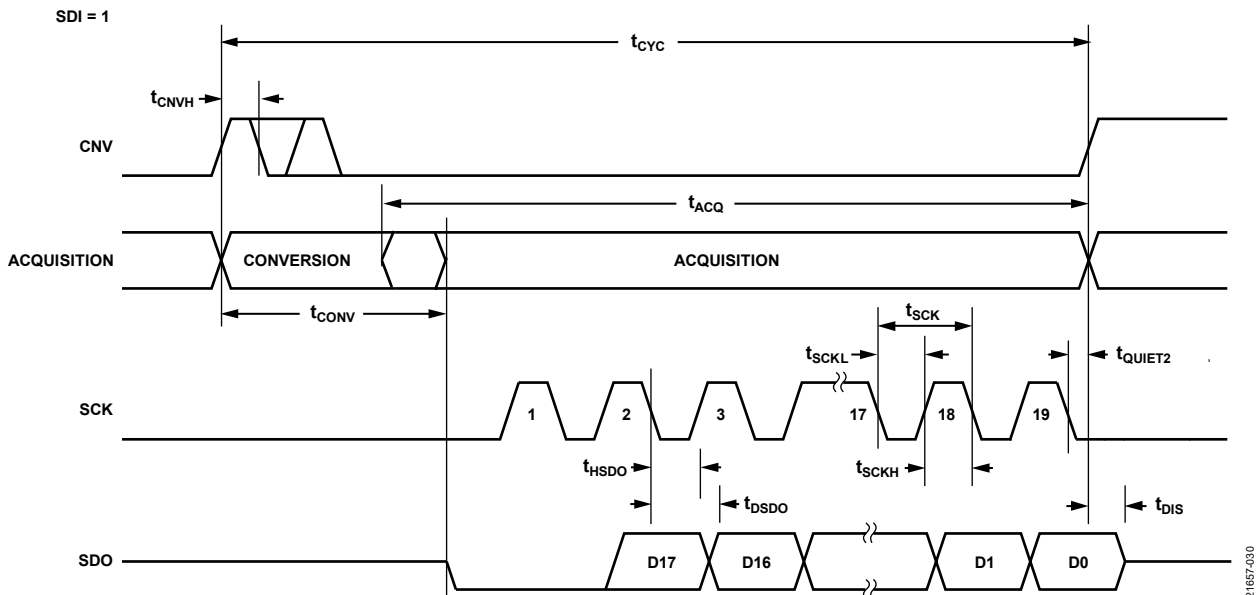


図 60. CSモード（ビジー・インジケータありの3線式）のシリアル・インターフェースのタイミング図（SDI はハイ）

CSモード (4線式ターボ・モード)

通常、このモードは、1台のADAQ4003をSPI互換のデジタル・ホストに接続する場合に使用されます。このモードでは、ADC変換プロセスの終了時に前回の変換結果をクロック・アウトするための時間が追加されるので、SCK レートが遅くなります。ADAQ4003では、ターボ・モードを有効にして、75MHzの最小SCK レートを使用した場合のみ、2MSPSのスループット・レートを実現できます。接続図を図61に示し、対応するタイミング図を図62に示します。

ターボ・モードのビット1をプログラムすることで、ビジー・インジケータありの4線式モードがターボ・モードに変わります(表14を参照)。

SDIがハイの場合、CNVの立上がりエッジで変換が開始されず。前回の変換データは、CNVの立上がりエッジ後の読出しで

使用できます。CNVがハイになった後、SDIがローになる前に、前回の変換結果をクロック・アウトするため、 t_{QUIET1} だけ待機する必要があります。また、CNVがハイの場合、SCKの最後の立下がりエッジの後、 t_{QUIET2} だけ待機する必要があります。

変換が完了すると、ADAQ4003はアキュイジション・フェーズに移行し、パワーダウンします。SDI入力をローにすると、ADC結果の読出しを実行できます。その結果、MSBがSDOに出力されます。残りのデータ・ビットは、後続のSCKの立下がりエッジで記録されます。両方のSCKエッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCKの立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。18番目のSCKの立下がりエッジの発生後、またはSDIがハイになった後(どちらか先に発生した方)、SDOは高インピーダンスに戻ります。

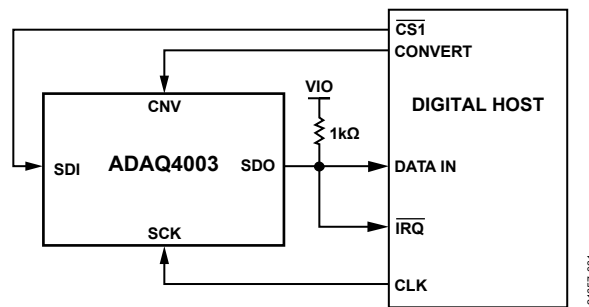


図 61. CSモード (4線式ターボ・モード) の接続図

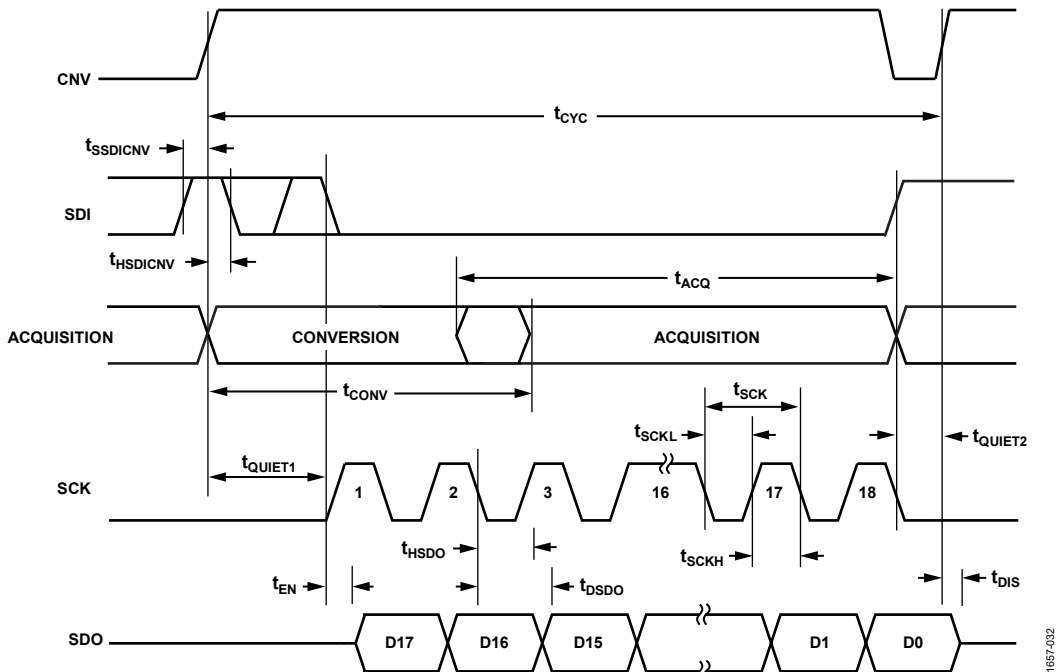


図 62. CSモード (4線式ターボ・モード) のタイミング図

CSモード (ビジー・インジケータなしの4線式)

通常、このモードは、複数の ADAQ4003 デバイスを SPI 互換のデジタル・ホストに接続する場合に使用されます。

2 台の ADAQ4003 デバイスを使用する接続図の例を図 63 に、対応するタイミング図を図 64 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、CSモードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジケータ

タの生成を防ぐため、最小変換時間が経過する前に SDI をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、ADAQ4003 はアキュイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その後、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。18 番目の SCK の立下がりエッジの発生後または SDI がハイになった後 (どちらか最初に発生した方)、SDO は高インピーダンスに戻り、別の ADAQ4003 の読出しを実行できます。

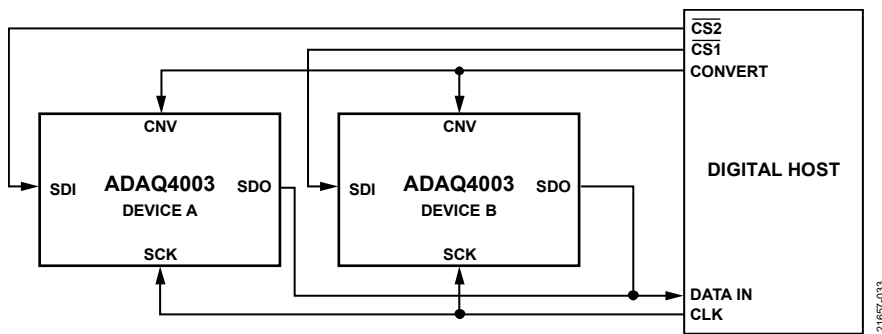


図 63. CSモード (ビジー・インジケータなしの4線式) の接続図

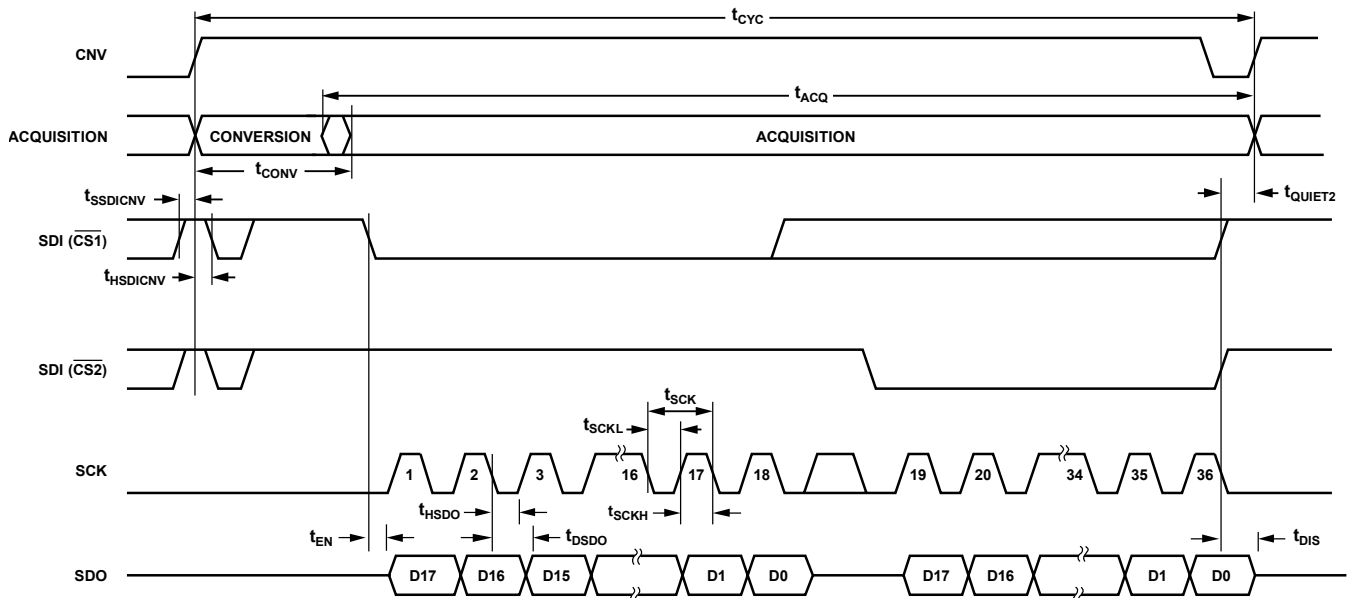


図 64. CSモード (ビジー・インジケータなしの4線式) のシリアル・インターフェースのタイミング図

CSモード (ビジー・インジケータありの4線式)

通常、このモードは、割込み入力 ($\overline{\text{IRQ}}$) を使用して SPI 互換のデジタル・ホストに1台の ADAQ4003 デバイスを接続、データ読出しの選択に使用される信号に関係なく、CNV を維持してアナログ入力をサンプリングする場合に使用されます。この独立性は、CNV で低ジッタが必要なアプリケーションで特に重要になります。

接続図を 図 65 に示し、対応するタイミング図を 図 66 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、CSモードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジケータ

の生成を確保できるように、最小変換時間が経過する前に SDI をローに戻し、最大変換時間にわたってローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの 1kΩ のプルアップ抵抗とこの遷移を組み合わせると、割込み信号として使用することで、デジタル・ホストによって制御されるデータのリードバックを開始できます。その後、ADAQ4003 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB ファーストでクロック出力されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。オプションの 19 番目の SCK 立下がりエッジの発生後または SDI がハイになった後 (最初に起こった方)、SDO は高インピーダンス状態に戻ります。

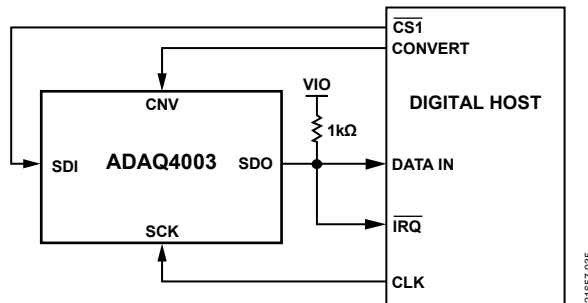


図 65. CSモード (ビジー・インジケータありの4線式) の接続図

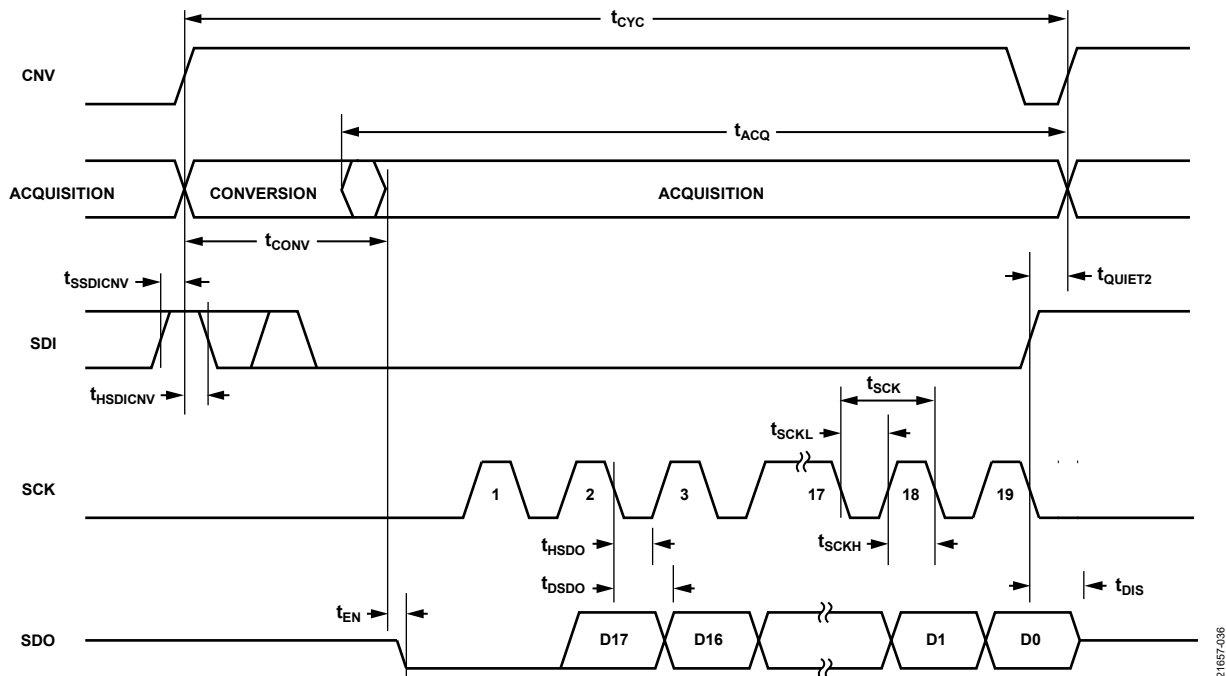


図 66. CSモード (ビジー・インジケータありの4線式) のシリアル・インターフェースのタイミング図

デジチェーン・モード

3 線式または 4 線式のシリアル・インターフェースに複数の ADAQ4003 デバイスをデジチェーン接続するには、このモードを使用します。この機能は、絶縁された複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムなどで、部品数と配線数を削減する上で役立ちます。データのリードバックは、シフト・レジスタのクロッキングと似ています。

2 台の ADAQ4003 デバイスを使用する接続図の例を図 67 に、対応するタイミング図を図 68 に示します。

SDI と CNV がローの場合、SDO はローになります。SCK がローの場合、CNV の立上がりエッジで変換が開始され、デジチェーン・モードが選択され、ビジー・インジケータが無効になります。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV がハイに維持されます。変換が完了すると、MSB が SDO に出力され、ADAQ4003 はアキュイジション・フェーズに移行して、パワーダウンします。残りのデータ・ビットは、内部シフト・レジスタに保存され、後続の SCK 立下がりエッジで SDO からクロック出力されます。各 ADC で、SDI は内部シフト・レジスタの入力を供給し、SCK 立上がりエッジで記録します。デジチェーン接続された各 ADC は、MSB ファーストでデータを出力します。N 個の ADC にリードバックするには、

18 × N 個のクロックが必要です。両方の SCK エッジでデータは有効です。最大変換レートは、合計リードバック時間によって減少します。

デジチェーン・モードでは、各 ADC レジスタに書込みを実行できます (図 68 を参照)。このモードでは、CNV をローに維持して SDI ラインでデータがクロック入力されるため、4 線式の動作が必要です。同じコマンド・バイトとレジスタ・データをチェーン全体でシフトして、同じレジスタ値ですべての ADC をプログラムできます。ここで、N 個の ADC を使用する場合、8 × (N + 1) 個のクロックが必要です。最初に、チェーン内の 8 × (N + 1) 個のクロックを使用して最後の ADC に書込みを実行します。次に、8 × N 個のクロックを使用して最後から 2 番目の ADC に書込みを実行します。その後、チェーン内の最も近い ADC に到達するまでこの動作を繰り返し、各 ADC にレジスタ値を書き込みます。この場合、コマンドとレジスタ・データ用に 16 個のクロックが必要です。

デジチェーン・モードでレジスタの内容を読み出すことはできません。ただし、ADC の構成を決定したい場合は、6 つのステータス・ビットをイネーブルすることができます。ステータス・ビットをイネーブルするには、ADC の結果とチェーン内の ADC ごとのステータス・ビットをクロック・アウトするため、6 つのクロックが余分に必要です。デジチェーン・モードでは、ターボ・モードを使用できません。

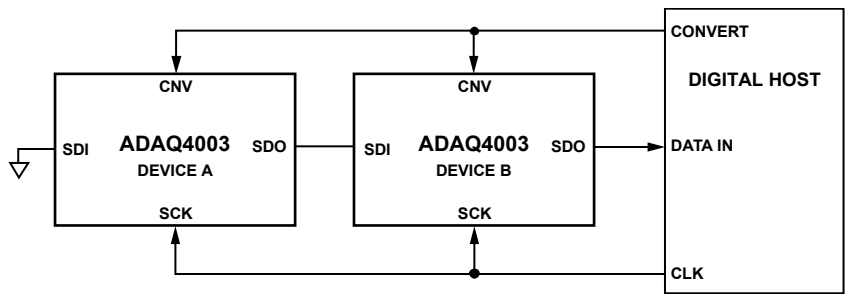


図 67. デジチェーン・モードの接続図

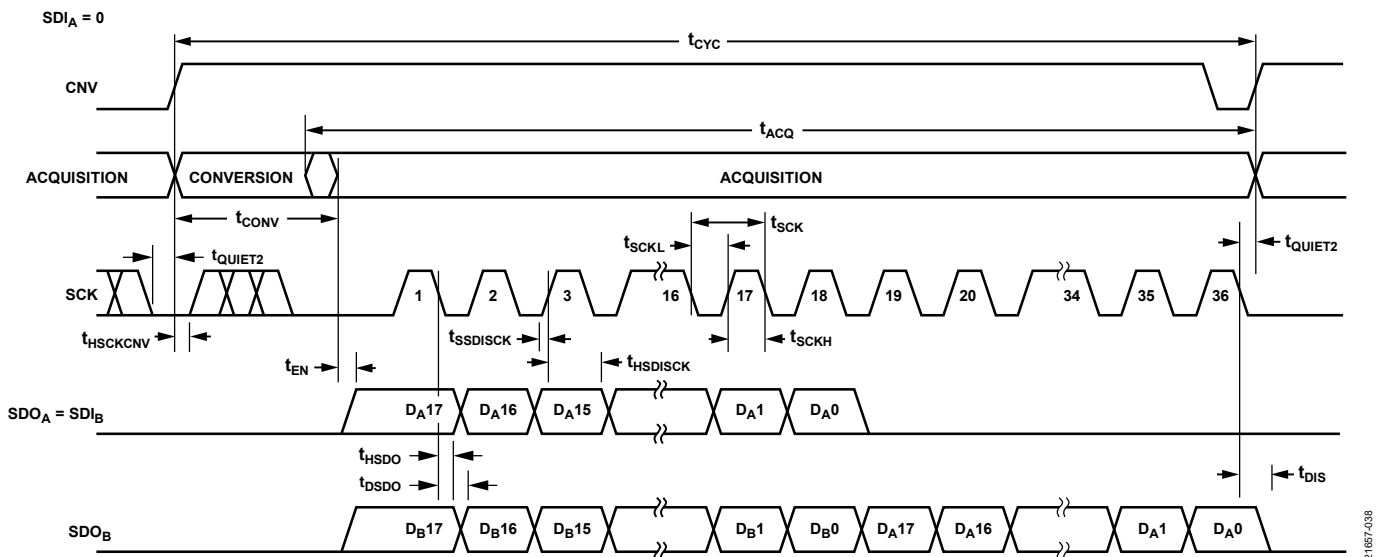


図 68. デジチェーン・モード、シリアル・インターフェースのタイミング図

レイアウトのガイドライン

PCB レイアウトは、信号の完全性を維持し、ADAQ4003 本来の性能を引き出す上で非常に重要です。ボード設計はクリーンな内部グランド・プレーンと独立した電源プレーンを持つ多層構成とし、ADAQ4003 の下側に各種の電源レールを配線することを推奨します。ボード上での個々の部品の配置や様々な信号のルーティングについては、注意が必要です。入力信号と出力信号のルーティングは対称に行うと共に、電源回路はアナログ信号パスから離すことを強く推奨します。敏感なアナログ部分とデジタル部分は互いに分離してそれぞれボード上の特定領域内にまとめ、デジタル信号とアナログ信号が互いに交差しないようにしてください。

ADAQ4003 のピン配置はレイアウトが容易で、左側にアナログ信号、右側にデジタル信号を配置できるようになっています。ADAQ4003 がノイズの影響を受けることのないよう、CNV やクロックなどの高速スイッチング信号は、アナログ信号パスの近くに配置したりアナログ信号と交差させたりしないようにしてください。ADAQ4003 の入力ピンと出力ピンの下にあるグランド・プレーンと電源プレーンは、不要な寄生容量が生じないように除去します。特に、加算ジャンクション・ノード (IN+と IN-) やフロート状態になっている入力の下側は注意が必要です。加算ジャンクション・ノード上の不要な寄生容量は、FDA の位相マージンを減らして、ADAQ4003 の歪みと直線性に関する性能に影響を与える傾向があります。

ADAQ4003 は、リファレンスおよび電源ピン (REF、VS+、VS-、VDD、VIO) に必要なデカップリング・セラミック・コンデンサをすべて組み込むことによって、高チャンネル密度の PCB レイアウトを可能にしています。これらのコンデンサは、高周波数時にグラウンドへの低インピーダンスのパスを提供すると共に、過渡電流に対処します。したがって外付けのデカップリング・コンデンサを追加しなくても、性能への影響が生じたり電磁干渉 (EMI) に関する問題が生じたりすることはなく、ボード・スペースを節約することができます。この性能への影響は、EVAL-ADAQ4003FMCZ で確認されています。この確認は、リファレンスの出力と、内蔵レール (REF、VS+、VS-、VDD、VIO) を生成する LDO レギュレータ出力の外付けデカップリング・コンデンサを無くすことによって行いました。図 69 は、外付けのデカップリング・コンデンサの有無によらず、あらゆるスプリアスが -120dB より十分に低い位置で、ノイズ・フロア内に収まっていることを示しています。推奨ボード・レイアウトの概要は、EVAL-ADAQ4003FMCZ のユーザ・ガイドに示されています。

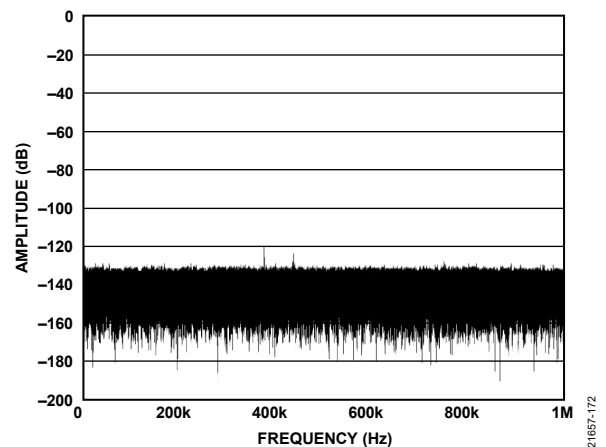


図 69. 短絡入力時の FFT

外形寸法

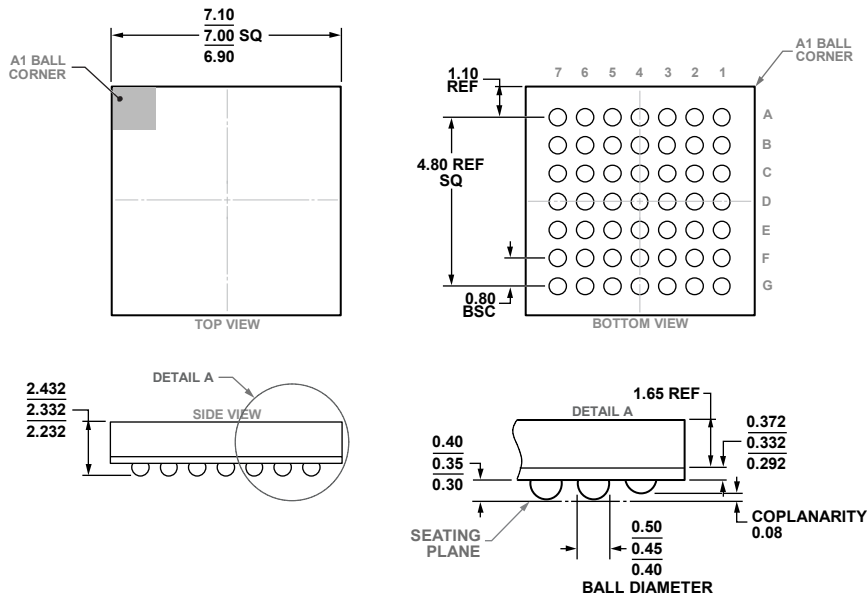


図 70. 49 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-49-5)
寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Ordering Quantity	Package Description	Package Option
ADAQ4003BBCZ	-40°C to +125°C	Tray, 416	49-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-49-5
ADAQ4003BBCZ-RL13	-40°C to +125°C	Reel, 2000	49-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-49-5
EVAL-ADAQ4003FMCZ			Evaluation Board Kit	

¹ Z = RoHS 準拠製品

² EVAL-ADAQ4003FMCZ 評価用ボード・キットは [EVAL-SDP-CH1Z](#) に対応します。詳細については UG-1533 を参照してください。