



シャットダウン機能付きの 広帯域差動高出力電流ライン・ドライバ

データシート

ADA4312-1

特長

高速動作

-3 dB 帯域幅: 195 MHz、 $G_{\text{DIFF}} = +16 \text{ V/V}$ 、 $R_{L,\text{DIFF}} = 40 \Omega$

差動スルーレート: 2100 V/ μ s

広い出力振幅: 差動 18.0 V p-p、12 V 電源

高出力電流: 225 mA ピーク

ライン電源 16 dBm での G.hn MTPR

5 MHz で -64 dBc typ、-58 dBm/Hz 基準

17 MHz で -64 dBc typ、-58 dBm/Hz 基準

28 MHz で -64 dBc typ、-58 dBm/Hz 基準

31 MHz で -63 dBc typ、-58 dBm/Hz 基準

59 MHz で -61 dBc typ、-58 dBm/Hz 基準

82 MHz で -62 dBc typ、-58 dBm/Hz 基準

シャットダウン

CMOS 互換 SD ピン

シャットダウン静止電流: 3 mA

シャットダウン時の Z_{OUT} : 10 k Ω 差動 (オープン・ループ)

静止電流を抵抗で調整可能

アプリケーション

ITU G.hn (ITU G.9960/G.9961)

HomePlug AV

HomePlug AV2

IEEE 1901

概要

ADA4312-1 は、G.hn 電力線通信 (PLC) モデム向けにデザインされた半二重、高速、差動、電流帰還のライン・ドライバです。ADA4312-1 は、高出力電流、広帯域幅、2100 V/ μ s のスルーレートを持つため、低インピーダンス負荷を駆動すると同時に優れた直線性を必要とする G.hn 広帯域アプリケーションに対する優れた選択肢になっています。

CMOS 互換のシャットダウン・コントロール・ピン (SD) では、静止電流が 3 mA まで削減されると同時に 10 k Ω の差動出力インピーダンスが維持されています。また、ADA4312-1 の静止電流は抵抗で調整できるため、送信モードでの効率を向上させることができます。

ADA4312-1 はエクスポート・パッド付きの熱強化型 16 ピン LFCSP パッケージを採用しているため、サーマル・マネジメントを強化することができます。ADA4312-1 の動作は、-40°C ~ +85°C の拡張工業用温度範囲で規定されています。

機能ブロック図

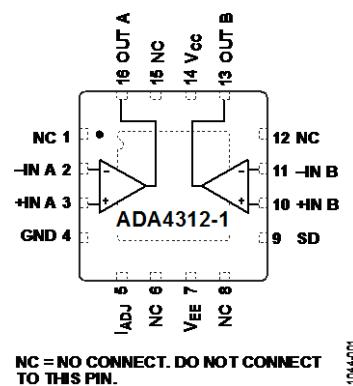


図 1. 热強化型、4 mm × 4 mm、16 ピン LFCSP_WQ

代表的なアプリケーション回路

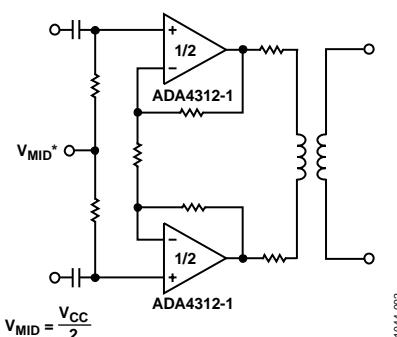


図 2. 代表的な PLC ドライバ・アプリケーション

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	テスト回路	8
アプリケーション	1	アプリケーション情報	9
概要	1	帰還抵抗の選択	9
機能ブロック図	1	一般的な動作	9
代表的なアプリケーション回路	1	半二重動作	9
改訂履歴	2	V _{MID} の設定	9
仕様	3	バイアス・コントロールと直線性	9
絶対最大定格	4	PCB レイアウト	10
熱抵抗	4	サーマル・マネジメント	10
最大消費電力	4	電源のバイパス	10
ESD の注意	4	評価用ボード	11
ピン配置およびピン機能説明	5	外形寸法	12
代表的な性能特性	6	オーダー・ガイド	12

改訂履歴

10/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{CC} = 12 \text{ V}$ 、 $V_{EE} = \text{GND}$ 、 $R_F = 732 \Omega$ 、 $R_{IADJ}^1 = 0 \Omega$ ($T_A = 25^\circ\text{C}$ 、 $G_{DIFF} = +16 \text{ V/V}$ 、 $R_{L_{DIFF}} = 40 \Omega$ 、 $SD = 0 \text{ V}$)。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Bandwidth	$V_{OUT} = 0.2 \text{ V p-p differential}$		195		MHz
Full Power Bandwidth	$V_{OUT} = 5 \text{ V p-p differential}$		168		MHz
Slew Rate	$V_{OUT} = 4 \text{ V p-p differential}, G_{DIFF} = +2 \text{ V/V}$		2100		V/ μs
NOISE/DISTORTION PERFORMANCE					
G.hn Multitone Power Ratio (MTPR)	$V_{OUT} = 16 \text{ dBm line power}$ $f_C = 5 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f_C = 17 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f_C = 28 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f_C = 31 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f_C = 59 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f_C = 82 \text{ MHz, referred to } -58 \text{ dBm/Hz}$ $f = 10 \text{ MHz}$		–64 –64 –64 –63 –61 –62 57		dBc dBc dBc dBc dBc dBc nV/ $\sqrt{\text{Hz}}$
Differential Output Voltage Noise					
DC PERFORMANCE					
Differential Input Offset Voltage		–1.2		+1.2	mV
Input Bias Current					
Noninverting Input		–20		+20	μA
Inverting Input		–175		+175	μA
Open-Loop Transimpedance			47		k Ω
Common-Mode Rejection Ratio (CMRR)			–70		dB
OUTPUT CHARACTERISTICS					
Positive Swing		10.4	10.5		V peak
Negative Swing			1.5	1.6	V peak
Differential Swing		17.6	18		V p-p
Peak Output Current Drive			225		mA peak
Differential Output Impedance ²	Disabled ($SD \geq 2.0 \text{ V}$)		10		k Ω
Disabled Output Voltage	$SD \geq 2.0 \text{ V, referred to } V_{MID}$		± 15		mV
POWER SUPPLY					
Single-Supply Voltage		12			V
Supply Current	$SD \leq 0.8 \text{ V}$	46	49.5		mA
	$SD \geq 2.0 \text{ V}$	3	4		mA
SHUTDOWN PIN					
High Level Input Voltage, V_{IH}	Referenced to GND		2.0		V
Low Level Input Voltage, V_{IL}	Referenced to GND		0.8		V
$SD = \text{Low Bias Current}$	$SD = 0.8 \text{ V}$	–30	–20		μA
$SD = \text{High Bias Current}$	$SD = 2.0 \text{ V}$	–15	–9		μA
Enable Time			1		μs
Disable Time			1		μs
Power Supply Rejection Ratio (PSRR)			–70		dB

¹ R_{IADJ} は、 I_{ADJ} (ピン 5) と GND (ピン 4) の間に接続する必要のある抵抗。

² 差動出力インピーダンスはオープン・ループで測定。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage, V _{CC}	13.2 V
SD Voltage	V _{CC}
Power Dissipation	1.25 W
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

熱抵抗 (θ_{JA}) は、ADA4312-1 評価用ボード (EVAL-ADA4312-1ACPZ)を使用して規定しています。

表 3.

Package Type	θ_{JA}	Unit
16-Lead LFCSP_WQ	31.8	°C/W

最大消費電力

150°Cのジャンクション温度を超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

ADA4312-1 の消費電力は、40 Ω 差動負荷で 16 dBm 駆動する代表的な Gbh アプリケーションで 750 mW です。

最大内部消費電力は、-40°C～+85°C の拡張工業用温度範囲で、サーマル・マネジメント のセクションに示すガイドラインに従ってデザインされた PCB に実装された状態で 1.25 W を超えることはできません。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

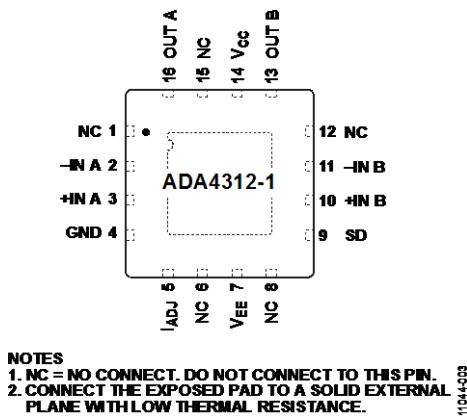


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	NC	未接続。このピンは接続しないでください。
2	-IN A	アンプ A 反転入力。
3	+IN A	アンプ A 非反転入力。
4	GND	グラウンド (SD と I _{ADJ} の基準電圧)。電気的接続が必要です。
5	I _{ADJ}	抵抗制御のバイアス電流。このピンと GND の間に抵抗を接続します。
6	NC	未接続。このピンは接続しないでください。
7	V _{EE}	負電源入力。
8	NC	未接続。このピンは接続しないでください。
9	SD	シャットダウン・コントロール。
10	+IN B	アンプ B 非反転入力。
11	-IN B	アンプ B 反転入力。
12	NC	未接続。このピンは接続しないでください。
13	OUT B	アンプ B 出力。
14	V _{CC}	正電源入力。
15	NC	未接続。このピンは接続しないでください。
16	OUT A	アンプ A 出力。
	EPAD	電気的接続なし。エクスボーズド・パッドを熱抵抗の小さい厚い外部プレーンへ接続してください(サーマル・マネジメントのセクション参照)。

代表的な性能特性

特に指定がない限り、このセクションに示す図は、図 16 のテスト回路に基づいています。

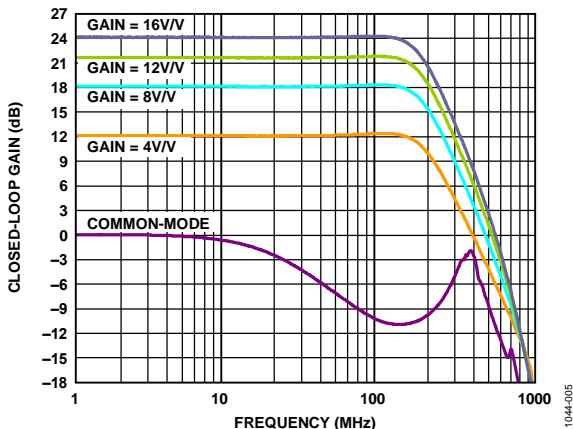


図 4. 小信号差動と同相モードの周波数応答

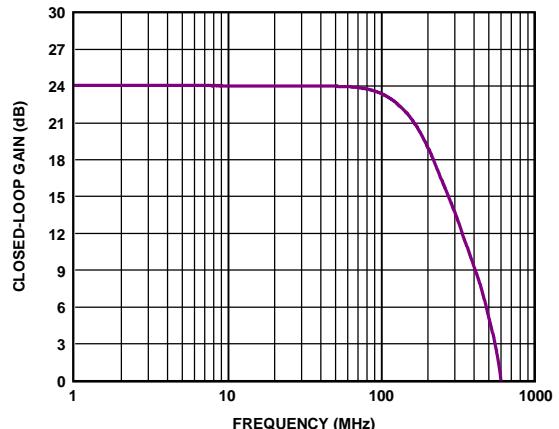


図 7. 大信号差動周波数応答
ゲイン = +16 V/V、差動 $V_{OUT} = 5 \text{ V p-p}$

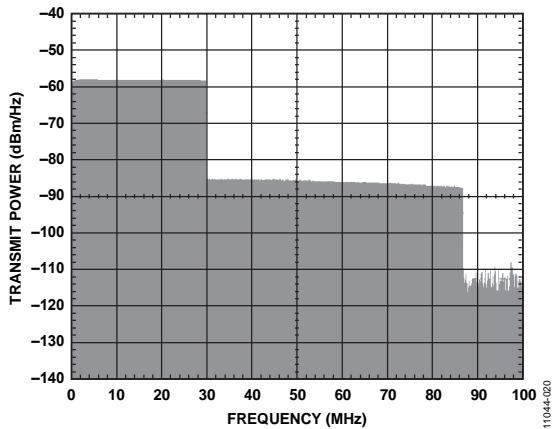


図 5. G.hn 送信スペクトル、40 Ω 差動負荷を 16 dBm 駆動

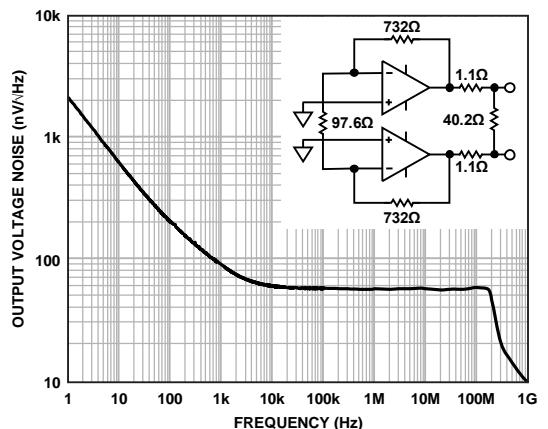


図 8. 差動出力電圧ノイズの周波数特性、ゲイン = +16 V/V

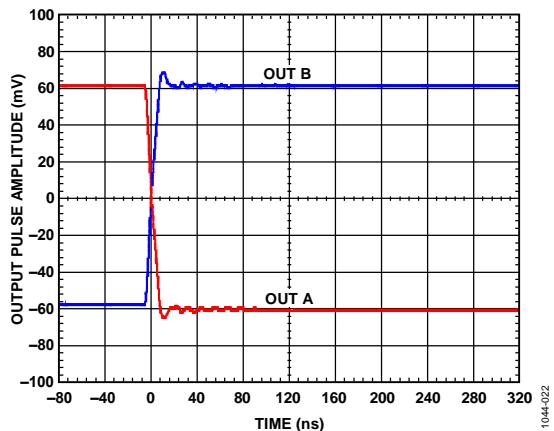


図 6. 小信号出力過渡応答、0 V で正規化
10 ns 立上がり時間、10 ns 立下がり時間、1 μs パルス幅、
10% デューティ・サイクル

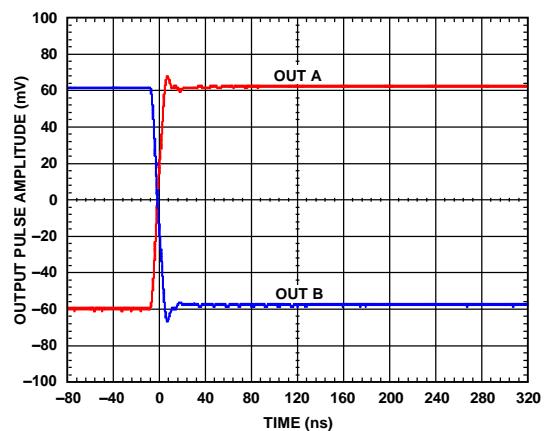


図 9. 小信号出力過渡応答、0 V で正規化
10 ns 立上がり時間、10 ns 立下がり時間、1 μs パルス幅、
10% デューティ・サイクル

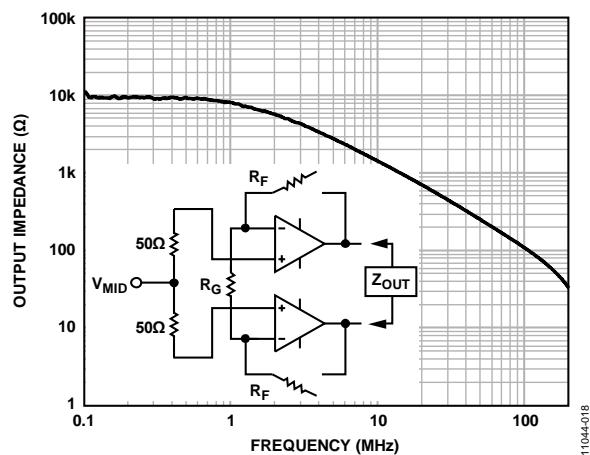


図 10. オープン・ループ・ディスエーブル時の差動出力インピーダンスの周波数特性

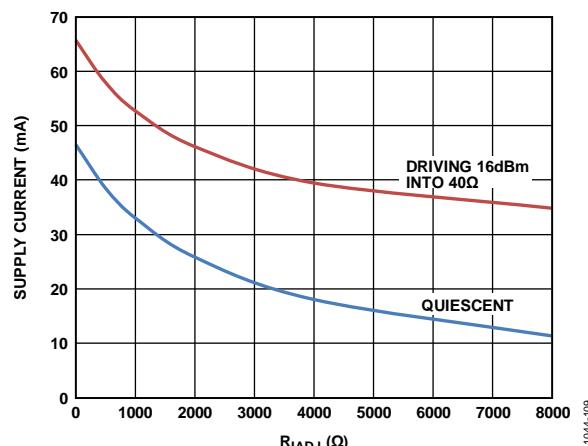


図 13. I_{ADJ} 抵抗 (R_{IADJ})対電源電流

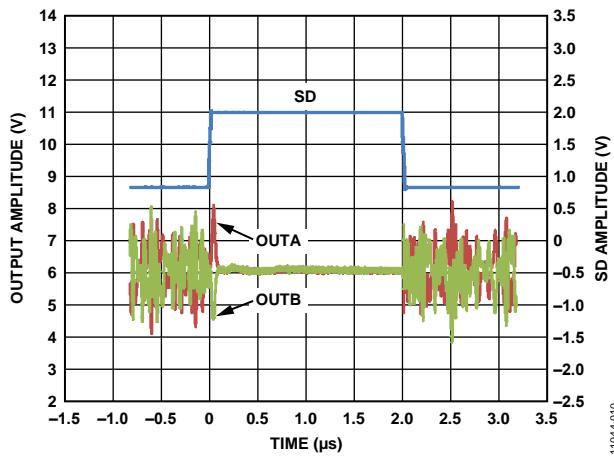


図 11. 差動 OFDM 入力での
シャットダウン・イネーブル/ディスエーブル

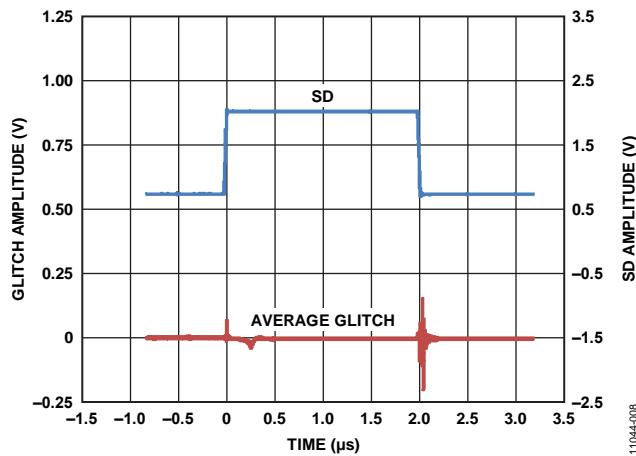


図 14. シャットダウン・イネーブル/ディスエーブル時の
グリッチ、0 V で正規化、差動入力 = 0 V

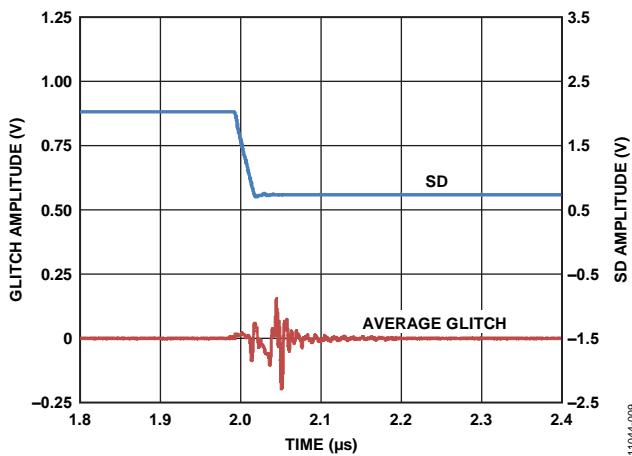


図 12. 差動出力イネーブル・グリッチ、0 V で正規化

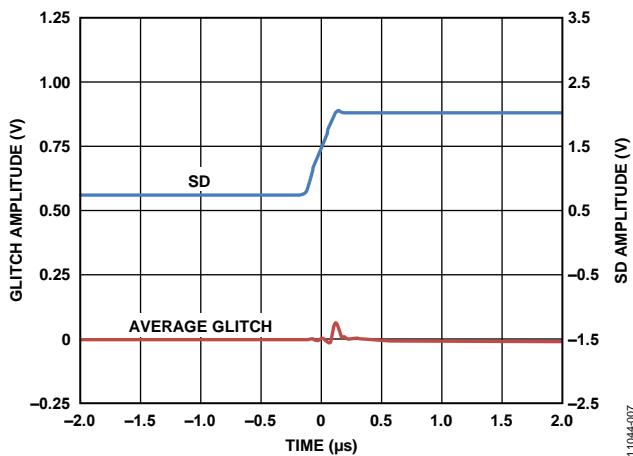
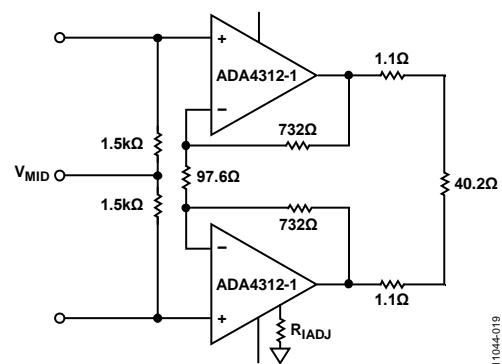


図 15. 差動出力ディスエーブル時のグリッチ、0 V で正規化

テスト回路

図 16. テスト回路、 $R_{IADJ} = 0 \Omega$

アプリケーション情報

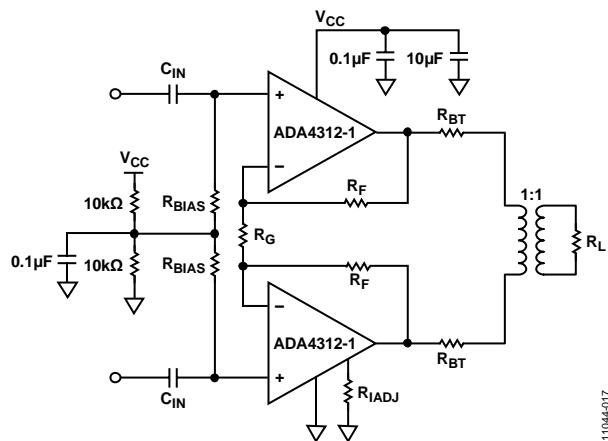


図 17. 代表的な G.hn アプリケーション回路

帰還抵抗の選択

帰還抵抗値は、ADA4312-1 差動ライン・ドライバ・アーキテクチャで使用されている電流帰還アンプのクローズド・ループ帯域幅に対して直接影響します。表 5 に、一般的な差動ライン・ドライバ回路で使用される帰還抵抗値選択のガイドラインを示します(図 17 参照)。

表 5. 抵抗値と周波数性能

Gain	R _F (Ω)	R _G (Ω)	-3 dB SS BW (MHz)
16 V/V	732	97.6	195
12 V/V	750	137	200
8 V/V	768	221	209
4 V/V	806	536	222

表 5 に示す値より小さい帰還抵抗値を選択すると、周波数応答にピーピングが発生することがあります。極端な場合、このピーピングにより不安定になることがあります。逆に、帰還抵抗値が表 5 に示す値を超えると、クローズド・ループ帯域幅が制限されます。

一般的な動作

ADA4312-1 は、G.hn ライン・ドライバ・アプリケーションでの单電源動作用にデザインされた差動ライン・ドライバです。コア・アーキテクチャは 2 つの高速電流帰還アンプから構成されています。差動帯域幅、直線性、安定性を向上させ、同時に同相モード帯域幅を制限し、かつ同相モード安定性を向上させるため、これらアンプの入力は独自な配置になっています。

コア・アンプの特許取得済みの入力ステージは、独立に動作するコア・アンプに対しては動作しません。ADA4312-1 の入力ステージは、図 17 に示す回路の様な差動アプリケーションでのみ動作するようにデザインされています。

半二重動作

G.hn PLC モデム、半二重または時分割多重 (TDD) のようなシステムでは、送信モードと高出力インピーダンス受信モードの間で切り替えられるライン・ドライバが必要です。ADA4312-1 にはシャットダウン・ピン (SD、ピン 9) があります。このピンはライン・ドライバの送信を停止させ、その間に出力を 10 kΩ と 2R_F + R_G の並列接続に等しい高出力インピーダンスへ切り替えます(図 17 参照)。このシャットダウン (SD) ピンは、標準 3.3 V CMOS ロジックと互換です。SD ピンをフローティングのままになると、内部プルアップ抵抗により出力がディスエーブルされて、高出力インピーダンス状態になります。SD ロジックは GND (ピン 4) 基準です。この GND は 0 V へ接続する必要があります。

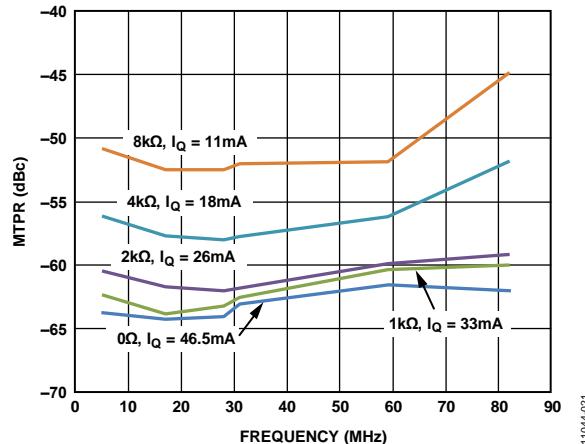
V_{MID} の設定

図 17 に示すような单電源アプリケーションでは、動作ポイント (V_{MID}) を電源中央に設定する必要があります。V_{MID} を設定するときは、V_{CC} とグラウンドの間に 2 本の 10 kΩ 抵抗を使って抵抗分圧器を構成し、デカップリング用に 0.1 μF セラミック・チップ・コンデンサを使用します。V_{MID} デカップリング・コンデンサと R_{BIAS} 抵抗は、ADA4312-1 のできるだけ近くに配置します。

バイアス・コントロールと直線性

ADA4312-1 には静止動作電流を小さくするバイアス調整機能が内蔵されています。ADA4312-1 を正しく動作させるためには、抵抗 (R_{IADJ}) を I_{ADJ} (ピン 5) と GND (ピン 4) の間に接続する必要があります。0 Ω より大きい抵抗を使用すると、ライン・ドライバの静止電流が小さくなるため、送信モードでの効率が向上します。図 13 に R_{IADJ} 対静止電流を示します。

静止電流調整と送信信号の直線性(またはMTPR)との間にはトレードオフが存在することに注意してください。MTPR(Multitone Power Ratio)は、5 MHz、17 MHz、28 MHz、31 MHz、59 MHz、82 MHzでモニタされています。図18を使用すると、図17に示す回路でGhn信号を 40Ω 差動負荷で送信する際の、 R_{IADJ} 対MTPRおよび静止電流の性能低下を概算することができます。

図18. R_{IADJ} 対MTPR

PCBレイアウト

多くの高速ライン・ドライバ・アプリケーションの場合と同様に、プリント回路ボード(PCB)のレイアウトに注意すると、性能と安定性を向上させ、通常動作時のチップ温度の上昇を防止することに役立ちます。入力と出力の信号パターンのPCBレイアウトで対称性を使用すると、差動信号のバランスを維持することができます。

入力パターンと出力パターンを短くすると、寄生による全体性能と安定性への影響を防止することに役立ちます。帰還抵抗とゲイン設定抵抗はライン・ドライバのできるだけ近くに配置してください。逆終端抵抗とライン結合トランジスタはADA4312-1出力のできるだけ近くに配置する必要があります。

高速ボードのレイアウトについては、「[高速プリント回路基板レイアウトの実務ガイド](#)(Analog Dialogue, Volume 39, September 2005)」を参照してください。

サーマル・マネジメント

ADA4312-1のサーマル・パッドは、外部サーマル・グラウンド・プレーンへハンダ付けする必要のある銅パッドから電気的に絶縁されています。ADA4312-1のエクスポート・パッドをPCBへ接続するサーマル・ビアの数は、PCBの熱伝導性に影響を与えます。ADA4312-1チップから周囲へ熱を逃がすことが、AN-772 アプリケーション・ノートに記載するガイドラインに従ってデザインするPCBの目的です。

PCBの外側の層は、対流により環境へ熱を逃がす最適な選択肢です。ADA4312-1チップからPCBの外側の層への熱の放散は、エクスポート・パッドを両外側層へ接続する9個のサーマル・ビアで実現することができます。ビアの間隔は0.75 mmで、 3×3 マトリックスにすることができます。

ADA4312-1評価用ボード(EVAL-ADA4312-1ACPZ)は、効果的なサーマル・マネジメント方法の例を提供します(図19と図20参照)。

サーマル・マネジメント、LFCSPパッケージのハンダ組立技術、パッケージの重要な機械的情報および材料情報の詳細については、<http://www.analog.com/jp/technical-library/packages/csp-chip-scale-package/lfcsp/index.html>をご覧ください。

電源のバイパス

ADA4312-1は、安定化した+12 V単電源で動作させる必要があります。電源のデカップリングには注意してください。積層セラミック・コンデンサ(MLCC)のような小さい等価直列抵抗(ESR)を持つ高品質コンデンサを使って、電源電圧のリップルと消費電力を小さくしてください。

V_{CC} 電源ピンから1/8インチ以内に0.1 μ FのMLCCデカップリング・コンデンサを配置してください。さらに、10 μ Fのタンタル・コンデンサを使用して、低周波信号をデカップリングし、ADA4312-1出力での高速で大きな信号変化に対して電流を供給することが推奨されます。バイパス・コンデンサによりリターン電流をアンプ入力から離すようにレイアウトしてください。グラウンド・プレーンを大きくして、リターン電流の低インピーダンス・パスを設けてください。

評価用ボード

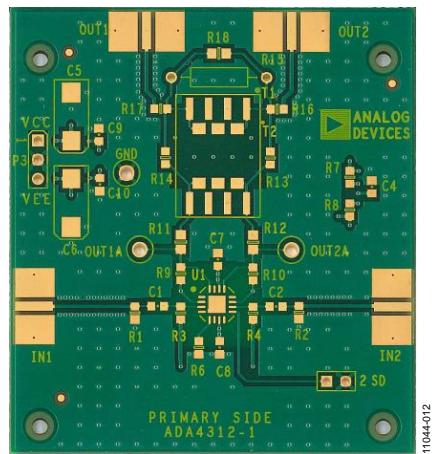


図 19. 評価用ボードの表面層

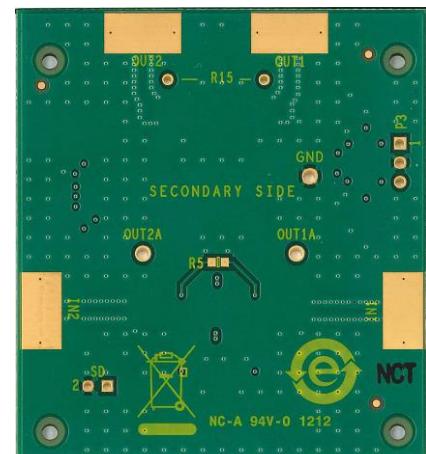


図 20. 評価用ボードの裏面層

11044-012

外形寸法

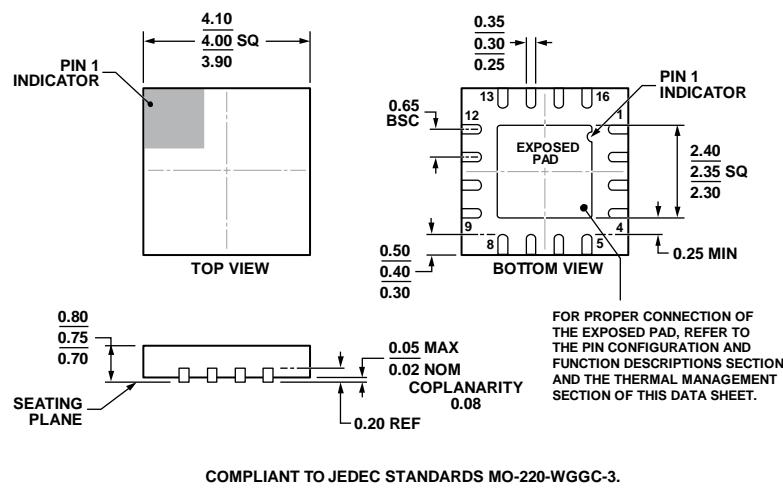


図 21.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-16-20)
寸法: mm

07-18-2012B

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4312-1ACPZ-R2	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20
ADA4312-1ACPZ-R7	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20
ADA4312-1ACPZ-RL	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20
EVAL-ADA4312-1ACPZ		Evaluation Board	

¹ Z = RoHS 準拠製品。