

特長

内部クロック速度: 1 GSPS (最大 400 MHz のアナログ出力)
 1 GSPS、14 ビットの DAC を内蔵
 周波数分解能: 0.23 Hz 以下
 位相ノイズ: 1 kHz オフセットで -125 dBc/Hz 以下 (400 MHz キャリア)
 優れたダイナミック性能: 狹帯域 SFDR 80 dB 以上
 シリアル入力/出力(I/O)制御
 自動リニアまたは任意の周波数、位相、振幅スイープ機能
 8 種類の周波数および位相オフセット・プロファイル
 $\text{Sin}(x)/(x)$ 補正(逆 sinc フィルタ)
 電源: 1.8 V および 3.3 V
 ソフトウェアおよびハードウェア制御によるパワーダウン
 100 ピン TQFP_EP パッケージを採用
 1024 ワード × 32 ビット RAM を内蔵
 PLL REFCLK 遅倍器
 パラレル・データパス・インターフェース
 1 個の水晶から内蔵発振器を駆動可能
 位相変調機能
 振幅変調機能
 複数チップの同期が可能

アプリケーション

即応性に優れたローカル発振器(LO)周波数シンセシス
 プログラマブルなクロック・ジェネレータ
 レーダ・システムおよびスキャン・システム用の FM チャープ・ソース
 テスト装置および計測装置
 音響光学デバイス・ドライバ
 ポーラ変調器
 高速周波数ホッピング

機能ブロック図

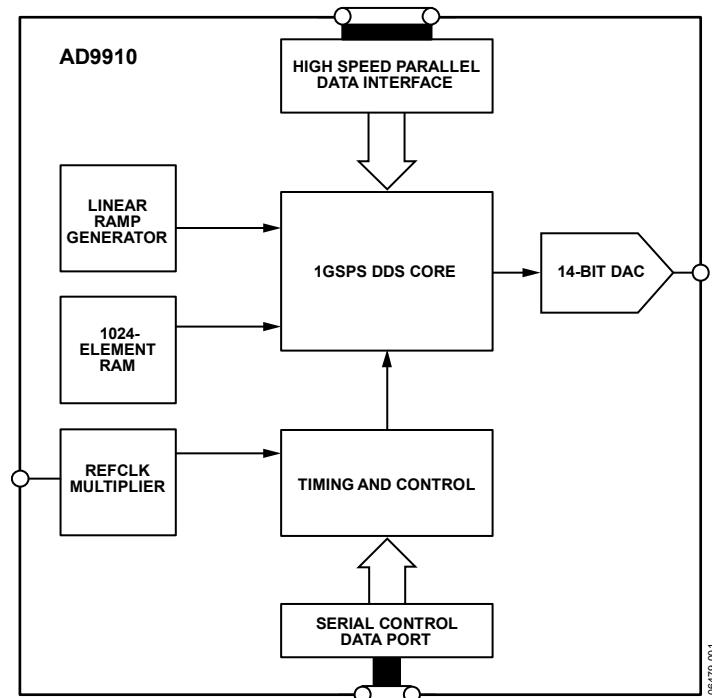


図1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関する、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ©2007–2008 Analog Devices, Inc. All rights reserved.

目次

特長	1
アプリケーション	1
機能ブロック図	1
改訂履歴	4
概要	5
仕様	6
電気的仕様	6
絶対最大定格	9
等価回路	9
ESDの注意	9
ピン配置およびピン機能説明	10
代表的な性能特性	13
アプリケーション回路	16
動作原理	17
シングル・トーン・モード	17
RAM変調モード	18
デジタル・ランプ変調モード	19
パラレル・データ・ポート変調モード	20
パラレル・データ・クロック(PDCLK)	20
送信イネーブル(TxENABLE)	21
モードの優先順位	22
機能ブロック図の詳細	23
DDSコア	23
14 ビットDAC出力	23
補助DAC	24
逆sincフィルタ	24
クロック入力(REF_CLK/ <u>REF_CLK</u>)	24
REF_CLK/ <u>REF_CLK</u> の概要	24
REF_CLK/ <u>REF_CLK</u> の水晶駆動	25
REF_CLK/ <u>REF_CLK</u> の直接駆動	25
位相ロック・ループ(PLL)倍増器	25
PLLチャージ・ポンプ	26
外付けPLLループ・フィルタ部品	27
PLLロック表示	27
出力シフト・キーイング(OSK)	27
手動OSK	27
自動OSK	28
デジタル・ランプ・ジェネレータ(DRG)	28
DRGの概要	28
DRGスロープの制御	30
DRG限界値の制御	30
DRGアキュムレータのクリア	30
通常ランプの生成	30
ノードウェル・ランプの生成	32
DROVERピン	32

RAMコントロール	33
RAMの概要	33
RAMのロード/読み出し動作	33
RAM再生動作(波形生成)	33
RAM_SWP_OVR (RAMスイープ・オーバー)ピン	34
RAM再生モードの概要	34
RAMダイレクト・スイッチ・モード	34
ゼロ交差機能によるRAMダイレクト・スイッチ・モード	35
RAMランプアップ・モード	35
RAMランプアップ内部プロファイル制御モード	36
内部プロファイル制御連続波形のタイミング図	38
RAM双方向ランプ・モード	38
RAM連続双方向ランプ・モード	39
RAM連続巡回モード	41
その他の機能	42
プロファイル	42
I/O_UPDATE、SYNC_CLK、システム・クロックの関係	42
自動I/O更新	43
パワーダウンのコントロール	43
複数デバイスの同期	44
電源の分割	47
3.3 V電源	47
DVDD_I/O (3.3V) (ピン 11、ピン 15、ピン 21、ピン 28、ピン 45、ピン 56、ピン 66)	47
AVDD (3.3V) (ピン 74～ピン 77、ピン 83)	47
1.8 V電源	47
DVDD (1.8V) (ピン 17、ピン 23、ピン 30、ピン 47、ピン 57、ピン 64)	47
AVDD (1.8V) (ピン 3)	47
AVDD (1.8V) (ピン 6)	47
AVDD (1.8V) (ピン 89 と ピン 92)	47
シリアルの設定	48
コントロール・インターフェース—シリアルI/O	48
シリアルI/Oの動作概要	48
命令バイト	48
命令バイト情報のビット・マップ	48
シリアルI/Oポート・ピンの説明	48
SCLK—シリアル・クロック	48
<u>CS</u> —チップ・セレクト・バー	48
SDIO—シリアル・データ入力/出力	48
SDO—シリアル・データ出力	48
I/O_RESET—入力/出力リセット	49
I/O_UPDATE—入力/出力更新	49
シリアルI/Oのタイミング図	49
MSB/LSBの転送	49

レジスタ・マップとビット説明	50
レジスタ・ビットの説明	55
コントロール・ファンクション・レジスタ 1 (CFR1)——アドレス 0x00	55
コントロール・ファンクション・レジスタ 2 (CFR2)——アドレス 0x01	57
コントロール・ファンクション・レジスタ 3 (CFR3)——アドレス 0x02	58
補助DACコントロール・レジスター——アドレス 0x03	58
I/O更新レート・レジスター——アドレス 0x04	59
周波数チューニング・ワード・レジスタ(FTW)——アドレス 0x07	59

フェーズオフセット・ワード・レジスタ(POW)——アドレス 0x08	59
振幅スケール・ファクタ・レジスタ(AFS)——アドレス 0x09	59
マルチチップ同期レジスター——アドレス 0x0A	60
デジタル・ランプ限界値レジスター——アドレス 0x0B	60
デジタル・ランプ・ステップ・サイズ・レジスター——アドレス 0x0C	60
デジタル・ランプ・レート・レジスター——アドレス 0x0D	60
プロファイル・レジスタ	61
外形寸法	62
オーダー・ガイド	62

改訂履歷

12/08—Rev. A to Rev. B

Changes to Figure 2	5
Changes to I/O_UPDATE Pulse Width Parameter and Minimum Profile Toggle Period Parameter in Table 1	7
Added XTAL_SEL Input Parameter in Table 1	8
Changes to Table 3	11
Changes to Figure 20	16
Changes to Figure 22	17
Changes to Figure 23	18
Changes to Figure 24	19
Changes to Figure 25	20
Changes to REF_CLK/REF_CLK Overview Section	24
Changes to Crystal Driven REF_CLK/REF_CLK Section	25
Changes to PLL Lock Indication Section and Output Shift Keying (OSK) Section	27
Changes to DRG Slope Control Section and Normal Ramp Generation Section	30
Changes to Drovver Pin Section	32
Changes to Figure 43	35
Changes to Figure 45 and Internal Profile Control Continuous Waveform Timing Diagram Section	38
Changes to Figure 47	40
Changes to Figure 48	41
Deleted I/O_UPDATE Pin Section	41
Changes to Profiles Section	42
Added I/O_UPDATE, SYNC_CLK, and System Clock Relationships Section	42
Added Figure 49; Renumbered Sequentially	42
Changes to Synchronization of Multiple Devices Section	44

Changes to DVDD (1.8V) (Pin 17, Pin 23, Pin 30, Pin 47, Pin 57, and Pin 64) Section and AVDD (1.8V) (Pin 89 and Pin 92) Section	47
Changes to Control Interface—Serial I/O Section	48
Changes to Table 17	50
Changes to Table 19	57
Changes to Table 20 and Table 21	58

2/08—Rev. 0 to Rev. A

Changes to Features	1
Changes to REFCLK Multiplier Specification in Table 1	5
Changes to Minimum Setup Time to SYNC_CLK	6
Changes to I/O Update/Profile[2:0] Timing Characteristics	6
Changes to TxENABLE/Data Setup Time (to PDCLK) and TxENABLE/Data Hold Time (to PDCLK)	6
Changes to Miscellaneous Timing Characteristics	6
Changes to Table 3	10
Changes to Figure 9, Figure 10, Figure 11, Figure 12, Figure 13, and Figure 14	12
Changes to Figure 30 and Table 7	24
Changes to Automatic I/O Update Section	41
Added Table 16, Renumbered Sequentially	41
Changes to Figure 49 to Figure 53	43
Added Power Supply Partitioning Section	46
Changes to General Serial I/O Operation Section	47
Changes to Table 17	49
Changes to Table 19	56
Changes to Table 20	57
Added Table 32	60

5/07—Revision 0: Initial Version

概要

AD9910 は、14 ビット DAC を内蔵し、最大 1 GSPS のサンプル・レートをサポートするダイレクト・デジタル・シンセサイザ(DDS)です。AD9910 は、性能の犠牲なしで消費電力を大幅に削減する当社独自の最新 DDS 技術を採用しています。DDS と DAC の組み合わせにより、最大 400 MHz の周波数即応性に優れた正弦波波形を発生することができ、デジタル的に設定可能な高周波アナログ出力シンセサイザを構成しています。

ユーザは、DDS を制御する 3 個の信号コントロール・パラメータ(周波数、位相、振幅)をアクセスすることができます。この DDS は、高速な周波数ホッピングと 32 ビット・アキュムレータによる周波数チューニング分解能を提供します。1 GSPS のサンプル・レートで、チューニング分解能は約 0.23 Hz です。また、この DDS は位相と振幅の高速なスイッチング機能も可能になります。

AD9910 は、シリアル I/O ポートを介して内部コントロール・レジスタを設定することにより制御されます。AD9910 は、周波数変調、位相変調、および/または振幅変調の種々の組み合わせをサポートするスタティック RAM を内蔵しています。AD9910 は、デジタル的に制御されるユーザ定義のデジタル・ランプ動作モードもサポートしています。このモードでは、周波数、位相、または振幅を時間に対してリニアに変えることができます。さらに高度な変調機能のために、高速パラレル・データ入力ポートを内蔵して、ダイレクトな周波数変調、位相変調、振幅変調、またはポーラ変調を可能にしています。

AD9910 の動作は、拡張工業温度範囲で規定されています(詳細については、絶対最大定格のセクション参照)。

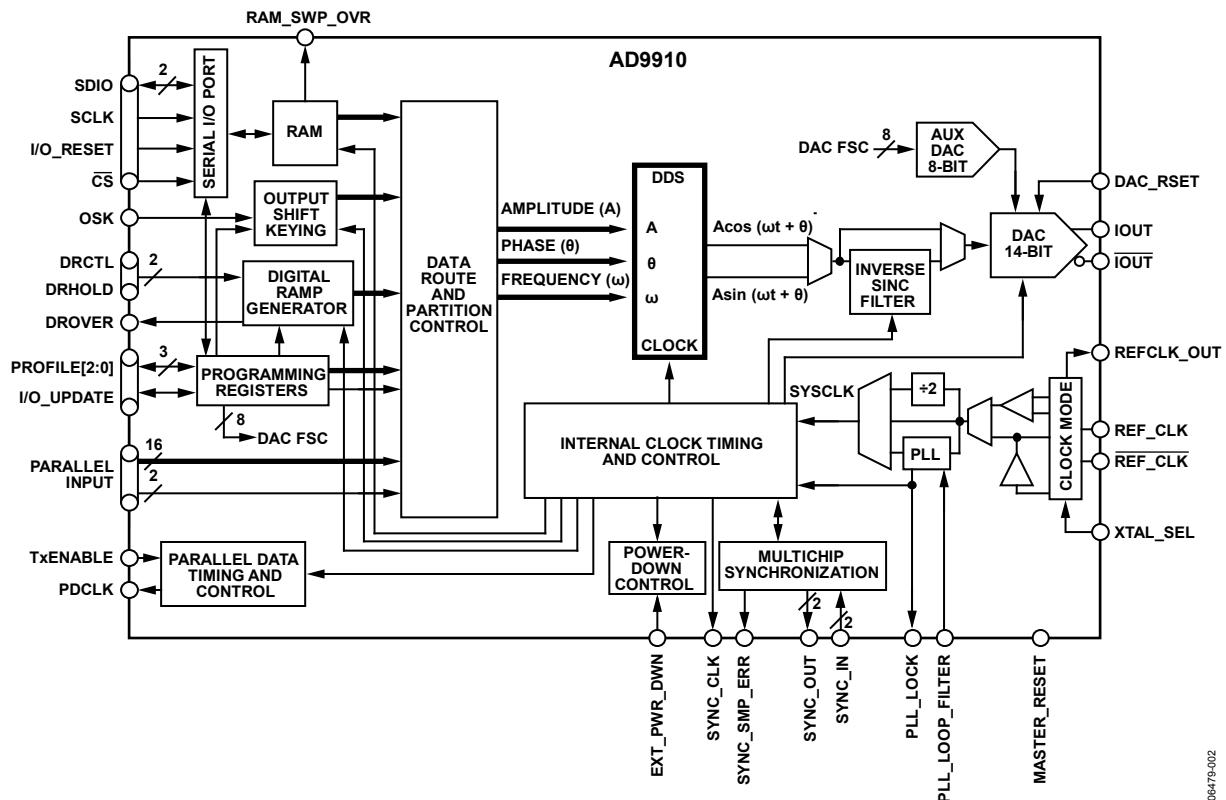


図2. 詳細ブロック図

仕様

電気的仕様

特に指定がない限り、AVDD (1.8V)およびDVDD (1.8V) = 1.8 V ± 5%、AVDD (3.3V) = 3.3 V ± 5%、DVDD_I/O (3.3V) = 3.3 V ± 5%、T = 25°C、 R_{SET} = 10 kΩ、 I_{OUT} = 20 mA、外部リファレンス・クロック周波数= 1000 MHz、リファレンス・クロック(REFCLK)倍増器をディスエーブル。

表1.

Parameter	Conditions/Comments	Min	Typ	Max	Unit
REFCLK INPUT CHARACTERISTICS					
Frequency Range					
REFCLK Multiplier	Disabled	60	1000		MHz
	Enabled	3.2	60		MHz
Maximum REFCLK Input Divider Frequency	Full temperature range	1500	1900		MHz
Minimum REFCLK Input Divider Frequency	Full temperature range	25	35		MHz
External Crystal		25			MHz
Input Capacitance		3			pF
Input Impedance	Differential	2.8			kΩ
	Single-ended	1.4			kΩ
Duty Cycle	REFCLK multiplier disabled	45	55		%
	REFCLK multiplier enabled	40	60		%
REFCLK Input Level	Single-ended	50	1000		mV p-p
	Differential	100	2000		mV p-p
REFCLK MULTIPLIER VCO CHARACTERISTICS					
VCO Gain (K_V) @ Center Frequency	VCO range Setting 0	429			MHz/V
	VCO range Setting 1	500			MHz/V
	VCO range Setting 2	555			MHz/V
	VCO range Setting 3	750			MHz/V
	VCO range Setting 4	789			MHz/V
	VCO range Setting 5 ¹	850			MHz/V
REFCLK_OUT CHARACTERISTICS					
Maximum Capacitive Load		20			pF
Maximum Frequency		25			MHz
DAC OUTPUT CHARACTERISTICS					
Full-Scale Output Current		8.6	20	31.6	mA
Gain Error		-10		+10	% FS
Output Offset				2.3	μA
Differential Nonlinearity			0.8		LSB
Integral Nonlinearity			1.5		LSB
Output Capacitance			5		pF
Residual Phase Noise	@ 1 kHz offset, 20 MHz A_{OUT}				
REFCLK Multiplier	Disabled		-152		dBc/Hz
	Enabled @ 20×		-140		dBc/Hz
	Enabled @ 100×		-140		dBc/Hz
Voltage Compliance Range		-0.5		+0.5	V
Wideband SFDR	See the Typical Performance Characteristics section				
Narrow-Band SFDR					
50.1 MHz Analog Output	±500 kHz		-87		dBc
	±125 kHz		-87		dBc
	±12.5 kHz		-96		dBc
101.3 MHz Analog Output	±500 kHz		-87		dBc
	±125 kHz		-87		dBc
	±12.5 kHz		-95		dBc

Parameter	Conditions/Comments	Min	Typ	Max	Unit
201.1 MHz Analog Output	± 500 kHz ± 125 kHz ± 12.5 kHz		-87		dBc
301.1 MHz Analog Output	± 500 kHz ± 125 kHz ± 12.5 kHz		-87 -91	-86	dBc
401.3 MHz Analog Output	± 500 kHz ± 125 kHz ± 12.5 kHz		-88 -84 -84	-85	dBc
SERIAL PORT TIMING CHARACTERISTICS					
Maximum SCLK Frequency			70		Mbps
Minimum SCLK Clock Pulse Width	Low	4			ns
Maximum SCLK Rise/Fall Time	High	4	2		ns
Minimum Data Setup Time to SCLK		5			ns
Minimum Data Hold Time to SCLK		0			ns
Maximum Data Valid Time in Read Mode			11		ns
I/O_UPDATE/PROFILE[2:0] TIMING CHARACTERISTICS					
Minimum Setup Time to SYNC_CLK		1.75			ns
Minimum Hold Time to SYNC_CLK		0			ns
I/O_UPDATE Pulse Width	High	>1			SYNC_CLK cycle
Minimum Profile Toggle Period		2			SYNC_CLK cycles
TxENABLE and 16-BIT PARALLEL (DATA) BUS TIMING					
Maximum PDCLK Frequency		250			MHz
TxENABLE/Data Setup Time (to PDCLK)		1.75			ns
TxENABLE/Data Hold Time (to PDCLK)		0			ns
MISCELLANEOUS TIMING CHARACTERISTICS					
Wake-Up Time ²					
Fast Recovery		8			SYCLK cycles ³
Full Sleep Mode	REFCLK multiplier enabled	1			ms
Minimum Reset Pulse Width High	REFCLK multiplier disabled		150		μ s
5					SYCLK cycles ³
DATA LATENCY (PIPELINE DELAY)					
Data Latency, Single Tone or Using Profiles					
Frequency, Phase, Amplitude-to-DAC Output	Matched latency enabled and OSK enabled	91			SYCLK cycles ³
Frequency, Phase-to-DAC Output	Matched latency enabled and OSK disabled	79			SYCLK cycles ³
Amplitude-to-DAC Output	Matched latency disabled	79			SYCLK cycles ³
Data Latency Using RAM Mode	Matched latency disabled	47			SYCLK cycles ³
Frequency, Phase-to-DAC Output	Matched latency enabled/disabled	94			SYCLK cycles ³
Amplitude-to-DAC Output	Matched latency enabled	106			SYCLK cycles ³
Matched latency disabled		58			SYCLK cycles ³
Data Latency, Sweep Mode					
Frequency, Phase-to-DAC Output	Matched latency enabled/disabled	91			SYCLK cycles ³
Amplitude-to-DAC Output	Matched latency enabled	91			SYCLK cycles ³
Matched latency disabled		47			SYCLK cycles ³
Data Latency, 16-Bit Input Modulation Mode					
Frequency, Phase-to-DAC Output	Matched latency enabled	103			SYCLK cycles ³
Matched latency disabled		91			SYCLK cycles ³

Parameter	Conditions/Comments	Min	Typ	Max	Unit
CMOS LOGIC INPUTS					
Logic 1 Voltage		2.0			V
Logic 0 Voltage			0.8		V
Logic 1 Current		90	120		μA
Logic 0 Current		38	50		μA
Input Capacitance		2			pF
XTAL_SEL INPUT		2.0			V
Logic 1 Voltage			0.8		V
Logic 0 Voltage		90	120		μA
Logic 1 Current		38	50		μA
Logic 0 Current		2			pF
CMOS LOGIC OUTPUTS	1 mA load	2.8			V
Logic 1 Voltage			0.4		V
Logic 0 Voltage					
POWER SUPPLY CURRENT					
I _{AVDD} (1.8 V)		110			mA
I _{AVDD} (3.3 V)		29			mA
I _{DVDD} (1.8 V)		222			mA
I _{DVDD} (3.3 V)		11			mA
TOTAL POWER CONSUMPTION					
Single Tone Mode		715	850		mW
Rapid Power-Down Mode		330	400		mW
Full Sleep Mode		19	25		mW

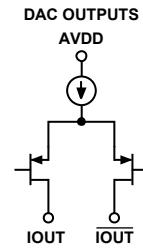
¹ VCO 範囲設定値 5 のゲイン値は 1000 MHz で測定。² ウェイクアップ・タイムとは、パワーダウン状態からの回復時間を意味します。リファレンス・クロック倍増器の PLL がリファレンスに再ロックするときは最長の時間が必要です。ウェイクアップ・タイムは、推奨 PLL ループ・フィルタ値を使用した場合です。³ SYSCLK サイクルは、DDS がチップ内で使用する実際のクロック周波数を意味します。リファレンス・クロック倍増器を使って外部リファレンス・クロック周波数を倍増する場合、SYSCLK 周波数は外部周波数にリファレンス・クロック倍率を乗算した値になります。リファレンス・クロック倍増器を使わない場合は、SYSCLK 周波数は外部リファレンス・クロック周波数に一致します。

絶対最大定格

表2.

Parameter	Rating
AVDD (1.8V), DVDD (1.8V) Supplies	2 V
AVDD (3.3V), DVDD_I/O (3.3V) Supplies	4 V
Digital Input Voltage	-0.7 V to +4 V
Digital Output Current	5 mA
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
θ_{JA}	22°C/W
θ_{JC}	2.8°C/W
Maximum Junction Temperature	150°C
Lead Temperature (10 sec Soldering)	300°C

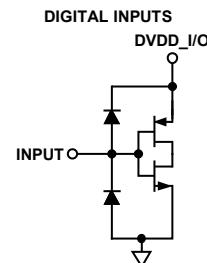
等価回路



MUST TERMINATE OUTPUTS TO AGND
FOR CURRENT FLOW. DO NOT EXCEED
THE OUTPUT VOLTAGE COMPLIANCE
RATING.

06479-003

図3.等価入力回路



AVOID OVERDRIVING DIGITAL INPUTS.
FORWARD BIASING ESD DIODES MAY
COUPLE DIGITAL NOISE ONTO POWER
PINS.

06479-005

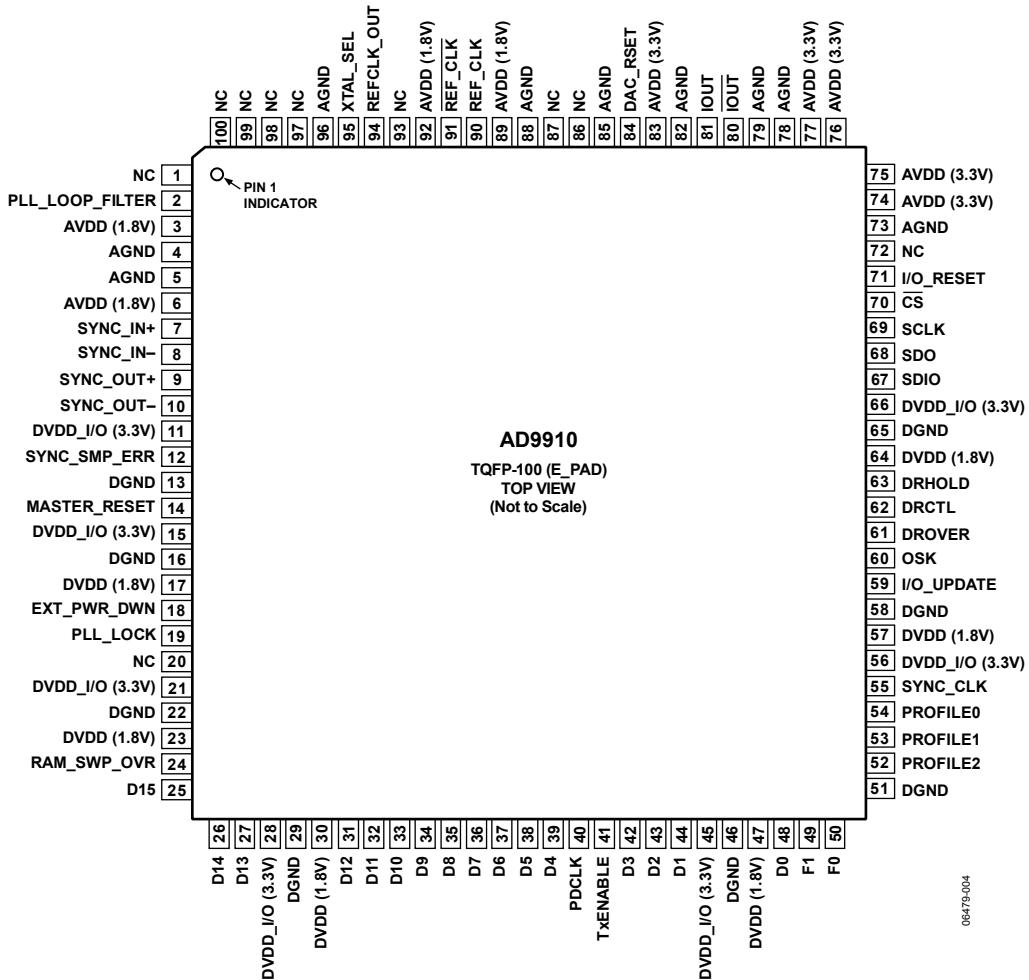
図4.等価出力回路

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



06479-004

図5. ピン配置

表3.ピン機能の説明

ピン番号	記号	I/O ¹	説明
1、20、72、86、87、93、97 to 100	NC		未接続。これらのデバイス・ピンはフローティングのままにすることができます。
2	PLL_LOOP_FILTER	I	PLLループ・フィルタ補償ピン。詳細については、外付けPLLループ・フィルタ部品のセクションを参照してください。
3、6、89、92	AVDD (1.8V)	I	アナログ・コア VDD 用 1.8 V アナログ電源。
74 to 77、83	AVDD (3.3V)	I	アナログ DAC VDD 用 3.3 V アナログ電源。
17、23、30、47、57、64	DVDD (1.8V)	I	デジタル・コア VDD 用 1.8 V デジタル電源。
11、15、21、28、45、56、66	DVDD_I/O (3.3V)	I	デジタル入力/出力 VDD 用 3.3 V デジタル電源。
4、5、73、78、79、82、85、88、96	AGND	I	アナログ・グラウンド。
13、16、22、29、46、51、58、65	DGND	I	デジタル・グラウンド。
7	SYNC_IN+	I	同期信号(LVDS)、デジタル入力(立上がりアクティブ)。内部サブクロックを同期化する、外部マスターからの同期信号。詳細については、複数デバイスの同期のセクションを参照してください。
8	SYNC_IN-	I	同期信号(LVDS)、デジタル入力。内部サブクロックを同期化する、外部マスターからの同期信号。詳細については、複数デバイスの同期のセクションを参照してください。
9	SYNC_OUT+	O	同期信号(LVDS)、デジタル出力(立上がりアクティブ)。外部スレーブ・デバイスを同期化する、内部デバイス・サブクロックからの同期信号。詳細については、複数デバイスの同期のセクションを参照してください。
10	SYNC_OUT-	O	同期信号(LVDS)、デジタル出力。外部スレーブ・デバイスを同期化する、内部デバイス・サブクロックからの同期信号。詳細については、複数デバイスの同期のセクションを参照してください。
12	SYNC_SMP_ERR	O	同期サンプル誤差、デジタル出力(アクティブ・ハイ)。同期サンプル誤差。このピンがハイ・レベルの場合、AD9910 が SYNC_IN+/SYNC_IN-上で有効な同期信号を受信しなかったことを表します。
14	MASTER_RESET	I	マスター・リセット、デジタル入力(アクティブ・ハイ)。マスター・リセット。すべてのメモリ・エレメントをクリアし、レジスタにデフォルト値を設定します。
18	EXT_PWR_DWN	I	外部パワーダウン、デジタル入力(アクティブ・ハイ)。このピンをハイ・レベルにすると、現在設定されているパワーダウン・モードが開始されます。詳細については、パワーダウンのコントロールのセクションを参照してください。未使用時はグラウンドに接続してください。
19	PLL_LOCK	O	クロック倍増器 PLL ロック、デジタル出力(アクティブ・ハイ)。このピンがハイ・レベルの場合、クロック倍増器 PLL がリファレンス・クロック入力にロックしたことを表します。
24	RAM_SWP_OVR	O	RAM スイープ・オーバー、デジタル出力(アクティブ・ハイ)。このピンがハイ・レベルの場合、RAM スイープ・プロファイルが完了したことを表します。
25~27、31~39、42~44、48	D[15:0]	I	パラレル入力バス(アクティブ・ハイ)。
49、50	F[1:0]	I	変調フォーマット・ピン。変調フォーマットを指定するデジタル入力。
40	PDCLK	O	パラレル・データ・クロック。このピンはデジタル出力(クロック)。パラレル・データ・クロックは、パラレル入力でデータを整列させるタイミング信号を提供します。
41	TxENABLE	I	送信イネーブル。デジタル入力(アクティブ・ハイ)。バースト・モード通信で、このピンがハイ・レベルのとき、新しいデータが送信されます。連続モードでは、このピンはハイ・レベルを維持します。
52~54	PROFILE[2:0]	I	プロファイル・セレクト・ピン。デジタル入力(アクティブ・ハイ)。これらのピンを使って、DDS 用の 8 種類の位相/周波数プロファイルを選択します。これらのピンの状態の 1 つを変えると、すべての I/O バッファの現在の値が対応するレジスタへ転送されます。状態の変更は、SYNC_CLK ピンで設定する必要があります。
55	SYNC_CLK	O	出力クロック 4 分周。デジタル出力(クロック)。チップ上の多くのデジタル入力(例えば I/O_UPDATE や PROFILE[2:0])は、この信号の立上がりエッジで設定される必要があります。

ピン番号	記号	I/O ¹	説明
59	I/O_UPDATE	I/O	入力/出力更新。デジタル入力(アクティブ・ハイ)。このピンがハイ・レベルの場合、I/O バッファの値が対応する内部レジスタへ転送されます。
60	OSK	I	出力シフト・キーイング。デジタル入力(アクティブ・ハイ)。OSK 機能が手動モードまたは自動モードにされると、このピンが OSK 機能を制御します。手動モードでは、このピンにより通倍器が 0(ロー・レベル)と設定済みの振幅スケール・ファクタ(ハイ・レベル)の間でトグルされます。自動モードでは、ロー・レベルで振幅をゼロに向かってスイープし、ハイ・レベルで振幅を振幅スケール・ファクタに向かってスイープします。
61	DROVER	O	デジタル・ランプ・オーバー。デジタル出力(アクティブ・ハイ)。このピンは、デジタル・ランプ・ジェネレータが設定済みの上限または下限に到達するごとにロジック 1 に切り替わります。
62	DRCTL	I	デジタル・ランプ制御。デジタル入力(アクティブ・ハイ)。このピンは、デジタル・ランプ・ジェネレータのスロープ極性を制御します。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。デジタル・ランプ・ジェネレータを使用しない場合は、このピンをロジック 0 に接続してください。
63	DRHOLD	I	デジタル・ランプ・ホールド。デジタル入力(アクティブ・ハイ)。このピンは、デジタル・ランプ・ジェネレータを現在の状態で停止させます。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。デジタル・ランプ・ジェネレータを使用しない場合は、このピンをロジック 0 に接続してください。
67	SDIO	I/O	シリアル・データ入力/出力。デジタル入力/出力(アクティブ・ハイ)。このピンは、設定値に応じて单方向または双方向(デフォルト)になります。双方向シリアル・ポート・モードでは、このピンは、シリアル・データ入力/出力として機能します。单方向モードでは、入力専用になります。
68	SDO	O	シリアル・データ出力。デジタル出力(アクティブ・ハイ)。このピンは、单方向シリアル・データ・モードでのみアクティブになります。このモードでは、出力として機能します。双方向モードでは、このピンは動作しないたるフローティングのままにしておく必要があります。
69	SCLK	I	シリアル・データ・クロック。デジタル・クロック(立上がりエッジで書込み、立下がりエッジで読出し)。このピンは、コントロール・データ・パスのシリアル・データ・クロックを提供します。AD9910への書込み動作は立上がりエッジを使います。AD9910からのリードバック動作は立下がりエッジを使います。
70	CS	I	チップ・セレクト。デジタル入力(アクティブ・ロー)。このピンにより、AD9910 はデータ・バスを制御する共通シリアル・バス上で動作できるようになります。このピンをロー・レベルにすると、AD9910 がシリアル・クロックの立上がり/立下がりエッジを検出するようになります。このピンをハイ・レベルにすると、AD9910 はシリアル・データ・ピンの入力を無視します。
71	I/O_RESET	I	入力/出力リセット。デジタル入力(アクティブ・ハイ)。シリアル I/O 通信サイクルが失敗したときにこのピンを使うことができます(詳細については、I/O_RESET—入力/出力リセットのセクション参照)。使用しないときは、このピンはグラウンドに接続しておきます。
80	IOUT	O	オープン・ドレインの DAC 相補出力ソース。アナログ出力(電流モード)。50 Ω 抵抗を介して AGND へ接続してください。
81	IOUT	O	オープン・ドレインの DAC 出力ソース。アナログ出力(電流モード)。50 Ω 抵抗を介して AGND へ接続してください。
84	DAC_RSET	O	アナログ・リファレンス電圧ピン。DAC 出力のフルスケール・リファレンス電流を調整。このピンと AGNDとの間に 10 kΩ の抵抗を接続してください。
90	REF_CLK	I	リファレンス・クロック入力。アナログ入力。内部発振器を使用する場合、このピンを外部発振器または水晶から駆動することができます。詳細については、REF_CLK/の概要のセクションを参照してください。
91	REF_CLK	I	リファレンス・クロック入力。アナログ入力。詳細については、REF_CLK/の概要のセクションを参照してください。
94	REFCLK_OUT	O	水晶出力。アナログ出力。詳細については、REF_CLK/の概要のセクションを参照してください。
95	XTAL_SEL	I	水晶の選択(1.8 V ロジック)。アナログ入力(アクティブ・ハイ)。XTAL_SEL ピンをハイ・レベルにすると、AVDD (1.8V) ピンにより、水晶共振子を使用した内部発振器の使用が可能になります。未使用時は AGND に接続してください。
96 (EPAD)	エクスポート・パドル(EPAD)		EPAD はグラウンドへハンダ付けする必要があります。

¹ I = 入力、O = 出力。

代表的な性能特性

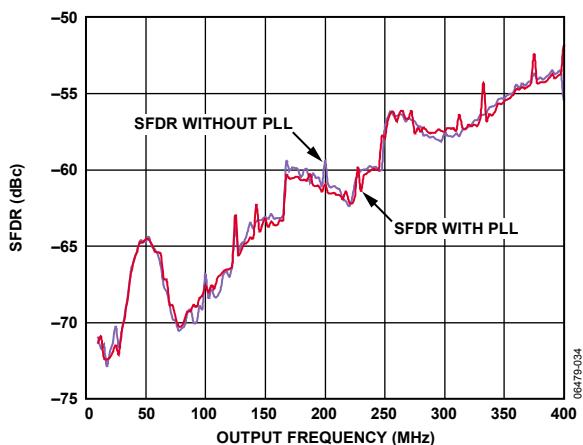


図6.出力周波数対広帯域 SFDR
(PLL リファレンス・クロック = 15.625 MHz × 64)

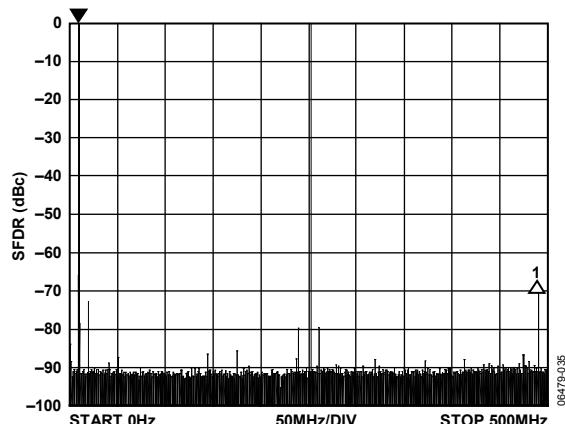


図9.広帯域 SFDR、10 MHz、REFCLK = 1 GHz

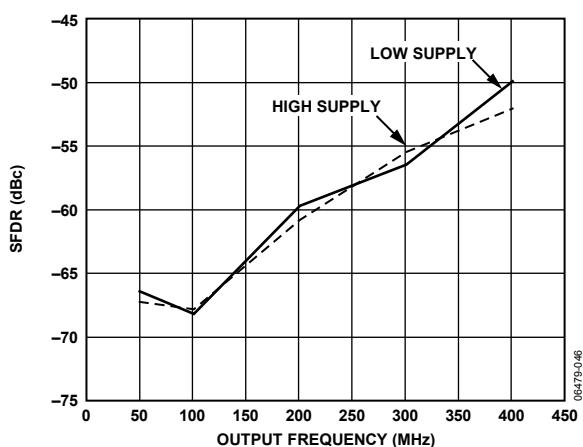


図7.出力周波数および電源(±5%)対広帯域 SFDR
REFCLK = 1 GHz

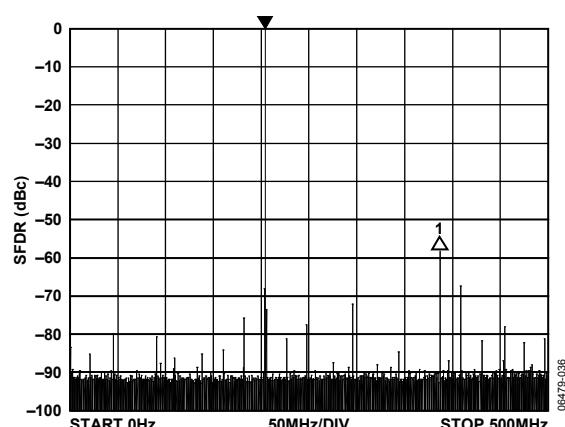


図10.広帯域 SFDR、204 MHz、REFCLK = 1 GHz

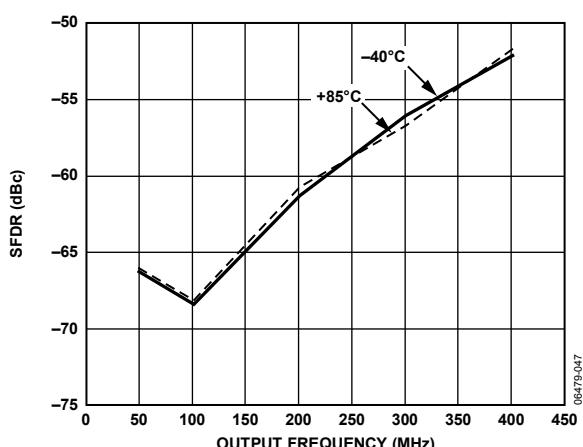


図8.出力周波数および温度対広帯域 SFDR
REFCLK = 1 GHz

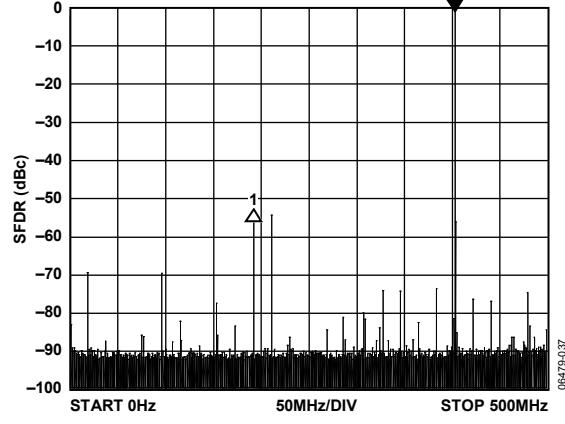


図11.広帯域 SFDR、403 MHz、REFCLK = 1 GHz

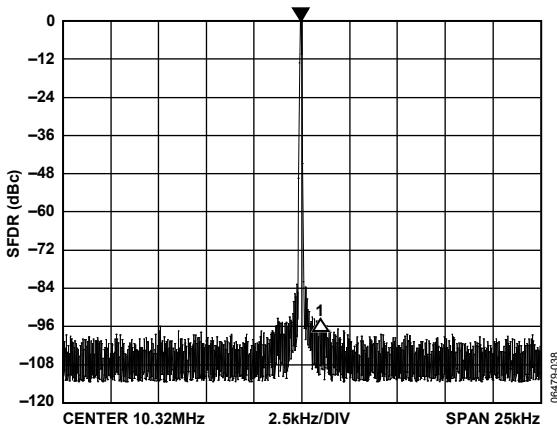


図12.狭帯域 SFDR、10.32 MHz、REFCLK = 1 GHz

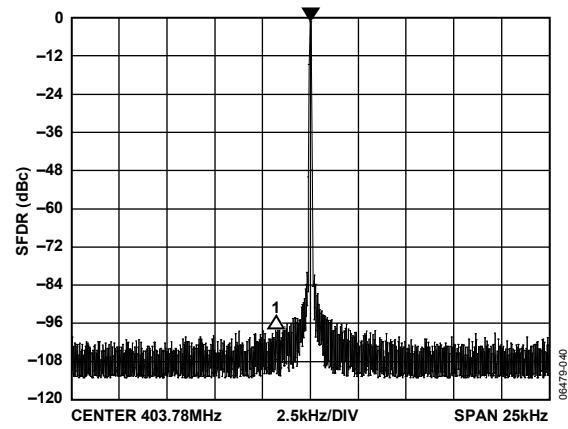


図14.狭帯域 SFDR、403.78 MHz、REFCLK = 1 GHz

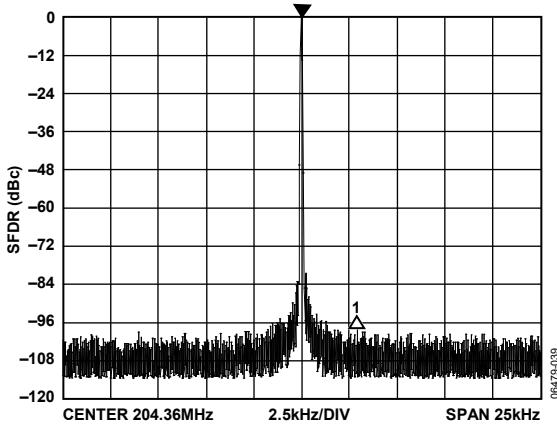
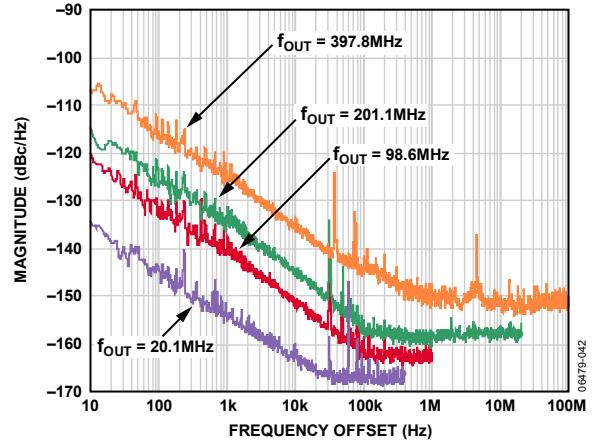


図13.狭帯域 SFDR、204.36 MHz、REFCLK = 1 GHz

図15.残留位相ノイズのプロット、1 GHz 動作
PLL をディスエーブル

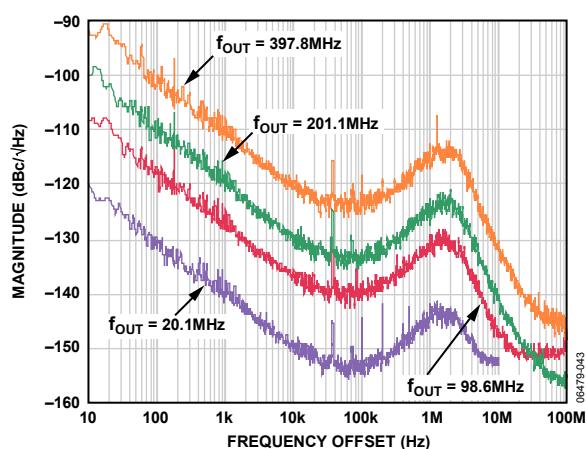


図16. 残留位相ノイズ、1 GHz動作
50 MHz リファレンス・クロック、20× PLL 過倍器

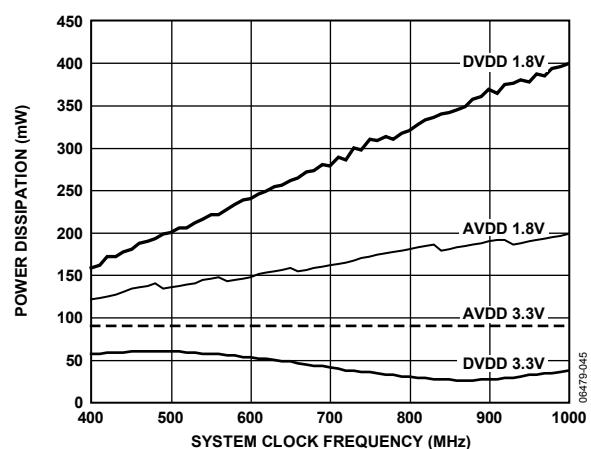


図18. システム・クロック周波数対消費電力
(PLL をイネーブル)

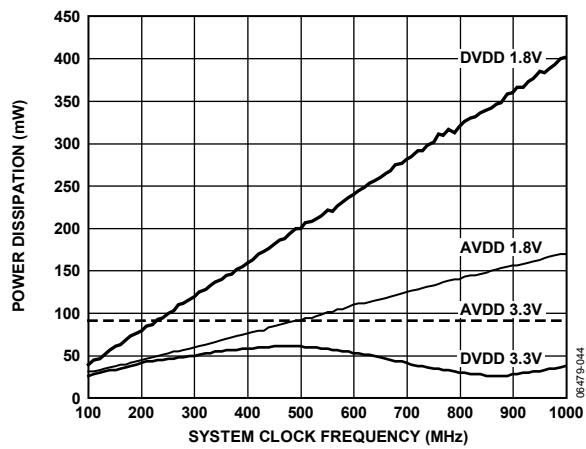


図17. システム・クロック周波数対消費電力
(PLL をディスエーブル)

アプリケーション回路

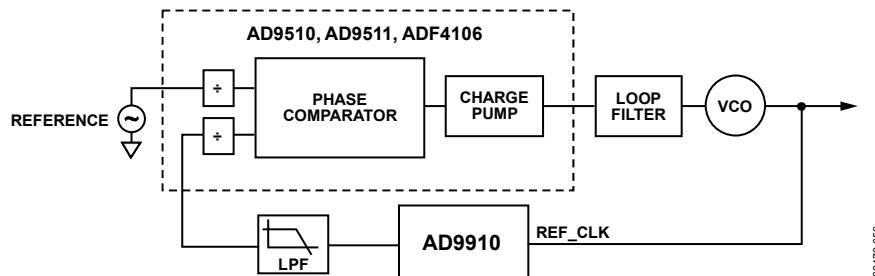


図19.リファレンスにロックするPLL帰還パス内のDDS、周波数と遅延の細かいチューニングが可能

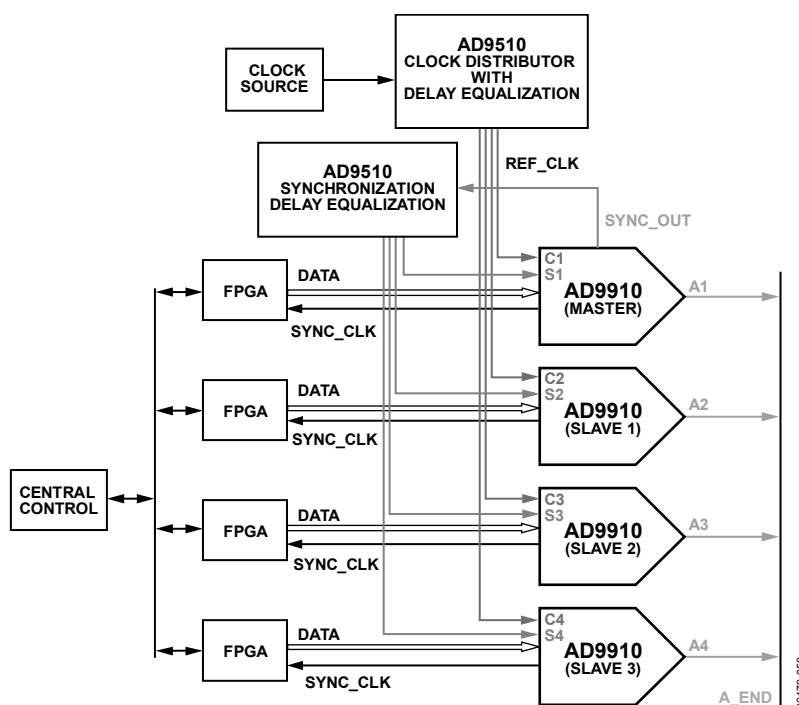
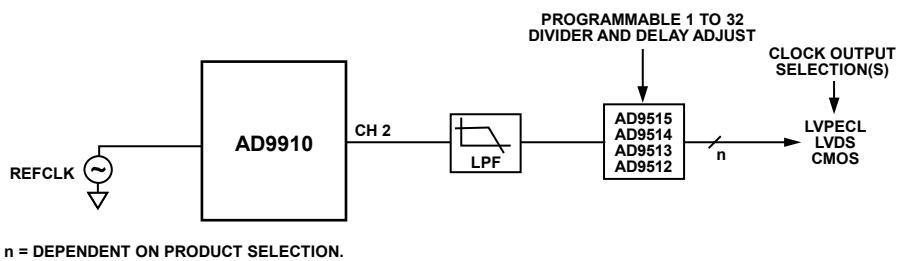


図20.チャンネル容量を増やすための複数デバイスの同期化、リファレンス・クロックと同期クロックの分配にAD9510を使用



n = DEPENDENT ON PRODUCT SELECTION.

図21.AD9512/AD9513/AD9514/AD9515 シリーズのクロック分配チップを使ったクロック発生回路

動作原理

AD9910は次の4種類の動作モードを持っています。

- ・ シングル・トーン
- ・ RAM変調
- ・ デジタル・ランプ変調
- ・ パラレル・データ・ポート変調

各モードは、周波数、位相、または振幅の信号コントロール・パラメータを DDS へ入力する際に使われるデータ・ソースに関係しています。データを周波数、位相、振幅の種々の組み合わせに分割する処理は、モード・コントロール・ビットおよび/または特定のコントロール・ビットに基づいて自動的に行われます。

シングル・トーン・モードでは、DDS 信号コントロール・パラメータはシリアル I/O ポートに対応するプログラミング・レジスタから直接取得されます。RAM 変調モードでは、DDS 信号コントロール・パラメータは内部 RAM に格納され、コマンド実行時に読み出されます。デジタル・ランプ変調モードでは、DDS 信号コントロール・パラメータはデジタル・ランプ・ジェネレータから直接取得されます。パラレル・データ・ポート変調モードでは、DDS 信号コントロール・パラメータは直接パラレル・ポートへ入力されます。

これらの種々の変調モードは、一般に1つの DDS 信号コントロール・パラメータでのみ動作します(ポーラ変調フォーマットの場合は2つ使用)。非変調の DDS 信号コントロール・パラメータは該当するプログラミング・レジスタに格納され、選択されたモードに応じて自動的に DDS へ渡されます。

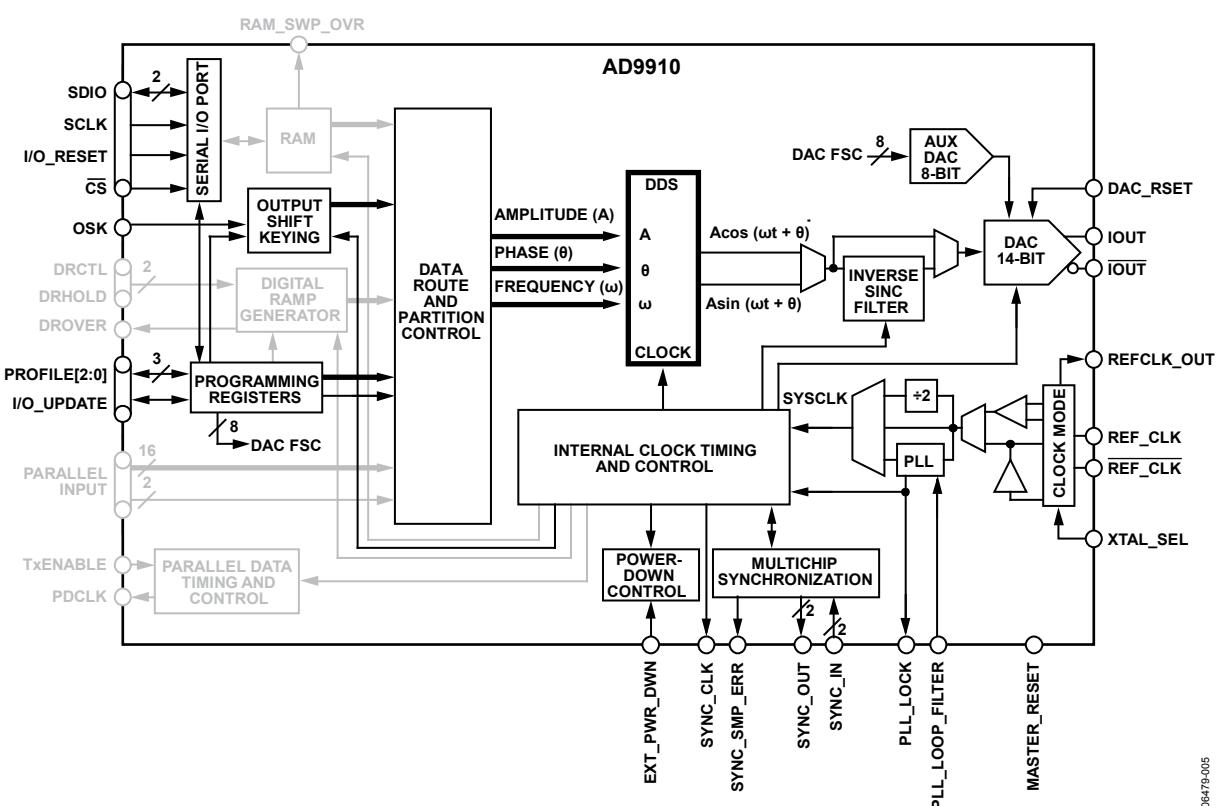
さらに、別の出力シフト・キーイング(OSK)機能も使用することができます。この機能では、DDS の振幅パラメータのみに影響を与える別のデジタル・リニア・ランプ・ジェネレータを使用しています。この OSK 機能は、DDS 振幅パラメータを駆動できるその他のデータ・ソースより高い優先順位を持っています。したがって、この OSK 機能がイネーブルされている場合、他のデータ・ソースは DDS 振幅を駆動することはできません。

種々のモード(このOSK機能も含む)は独立に説明しますが、これらは同時にイネーブルすることができます。これにより、複数変調方式の構成にこれまでにないレベルの柔軟性が提供されますが、複数のデータ・ソースが同じ DDS 信号コントロール・パラメータを駆動しないように、デバイスは優先順位規約を持っています(モードの優先順位のセクションの表5参照)。

シングル・トーン・モード

シングル・トーン・モードでは、DDS 信号コントロール・パラメータはプログラミング・レジスタから直接供給されます。プロファイルとは、DDS 信号コントロール・パラメータを格納する独立なレジスタを意味します。8個のプロファイル・レジスタがあります。

各プロファイルは独立にアクセスすることができます。3本の外部プロファイル・ピン(PROFILE[2:0])を使って、プロファイルを選択します。プロファイル・ピンの状態が変化すると、SYNC_CLK の次の立ち上がりエッジで、選択したプロファイルで指定されたパラメータにより DDS が更新されます。



06479-005

図22. シングル・トーン・モード

RAM変調モード

RAM変調モード(図 23 参照)は、RAMイネーブル・ビットと I/O_UPDATE ピンのアーサーション(すなわちプロファイルの変更)により開始されます。このモードでは、変調される DDS 信号コントロール・パラメータは直接 RAM から供給されます。

RAM の構成は、32 ビット・ワード×1024 ワードです。高度な内部ステート・マシンと RAM の組み合わせにより、時間依存の任意の波形を発生する非常に柔軟な方法を提供します。プログラマブル・タイマは、ワードを DDS へ渡すために RAM からワードを読出す際の読み出レートを制御します。したがって、プログラマブル・タイマは、DDS へ 32 ビット・サンプルを供給するサンプル・レートを設定することになります。

RAM サンプルのディステネーションとして機能する特定の DDS 信号コントロール・パラメータの選択も、8 個の独立な RAM プロファイル・レジスタを使って設定することができます。特定のプロファイルは、3 本の外部プロファイル・ピン(PROFILE[2:0])を使って選択します。プロファイル・ピンの状態が変化すると、SYNC_CLK の次の立上がりエッジで、選択したプロファイルがアクティブになります。

RAM 変調モードでは、時間依存の振幅、位相、または周波数信号を発生する機能により、DDS キャリア信号を制御するパラメータの 1 つを変調することができます。さらに、ポーラ変調フォーマットを使用することができます。このフォーマットは各 RAM サンプルを 1 つの振幅と位相成分に分割します。16 ビットは位相に、14 ビットは振幅に、それぞれ割り当てられます。

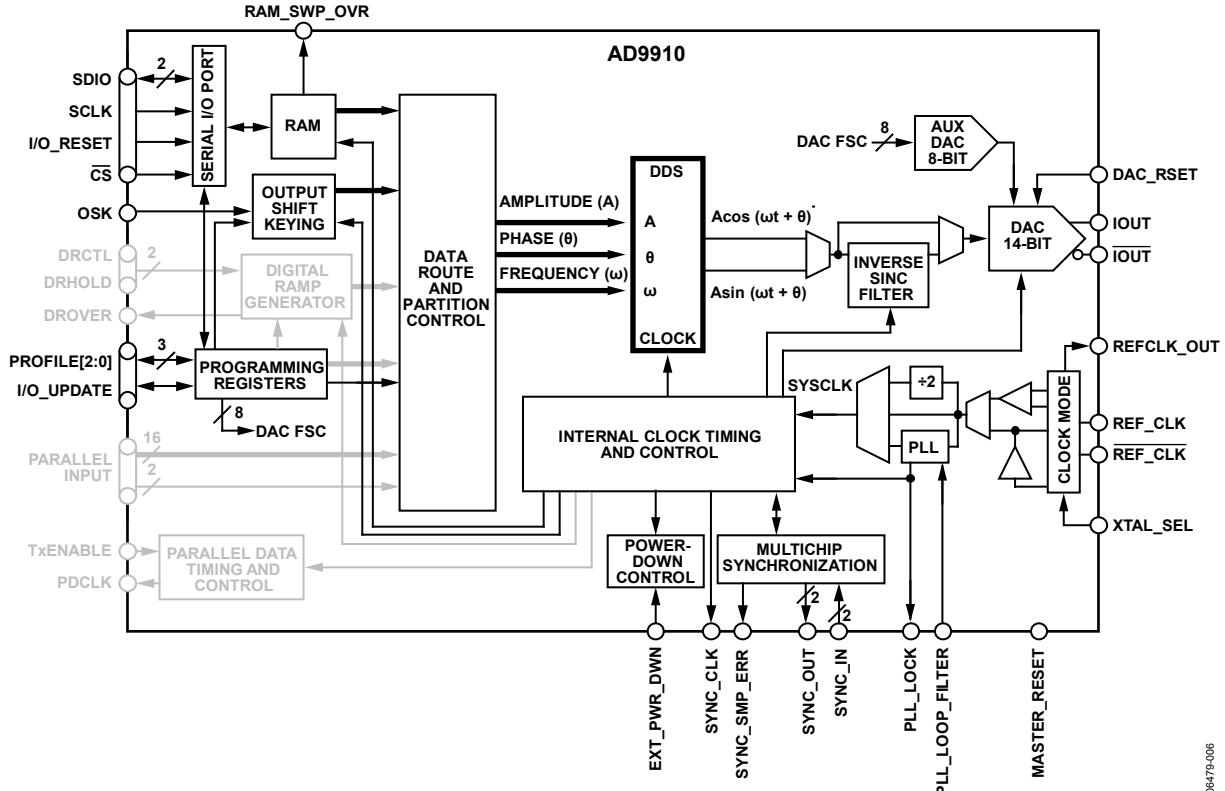


図23.RAM 変調モード

デジタル・ランプ変調モード

デジタル・ランプ変調モード(図 24参照)では、変調DDS信号コントロール・パラメータは直接デジタル・ランプ・ジェネレータ(DRG)から供給されます。ランプ発生パラメータは、シリアルI/Oポートを介して制御されます。

ランプ発生パラメータを使うと、ランプの立上がりと立下がりスロープを制御することができます。ランプの上限と下限、ランプの立上がり部分のステップ・サイズとステップ・レート、ランプの立下がり部分のステップ・サイズとステップ・レートはすべて、設定することができます。

ランプは、32ビットの出力分解能でデジタル的に発生されます。DRGの32ビット出力は、周波数、位相、または振幅を表すように設定することができます。周波数を表すように設定する場合は、32ビットすべてを使いますが、位相または振幅を表すように設定する場合は、それぞれ上位16ビットまたは上位14ビットのみを使います。

ランプ方向(立上がりまたは立下がり)は、DRCTLピンを使って外部から制御します。もう1本のピン(DRHOLD)を使うと、ランプ・ジェネレータをプリセット状態に停止させることができます。

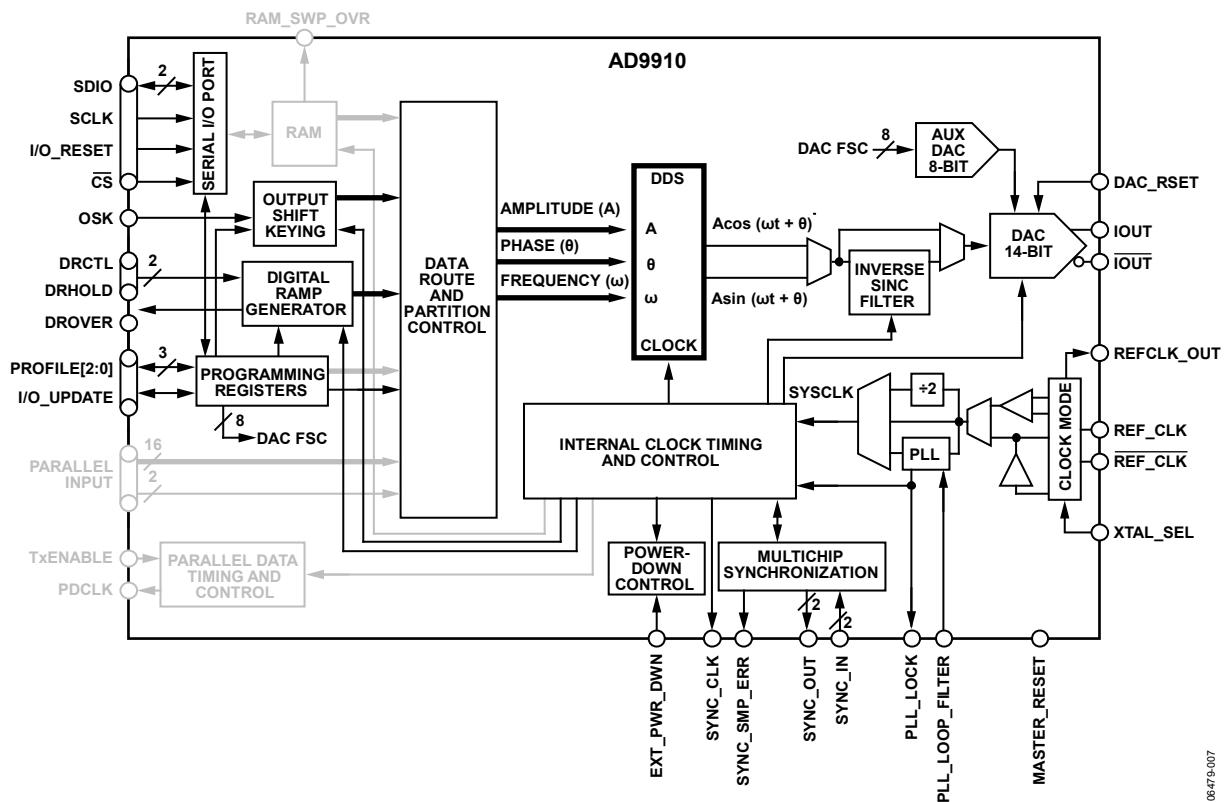


図24.デジタル・ランプ変調モード

パラレル・データ・ポート変調モード

パラレル・データ・ポート変調モード(図 25参照)では、変調 DDS信号コントロール・パラメータは直接 18 ビット・パラレル・データ・ポートから供給されます。

データ・ポートは 2 つのセクションに分割されます。上位 16 ビットは 16 ビット・データ・ワード(D[15:0]ピン)に、下位 2 ビットは 2 ビット・ディステネーション・ワード(F[1:0]ピン)に、それぞれなります。ディステネーション・ワードは、16 ビット・データ・ワードを DDS 信号コントロール・パラメータに使用する方法を指定します。表 4 に、ディステネーション・ビット、16 ビット・データ・ワードの分割、データのディステネーション(DDS 信号コントロール・パラメータの意味で)との間の関係を示します。16 ビット・データ・ワードのフォーマットは、ディステネーションに無関係に符号なしバイナリです。

データ・ワードが DDS 周波数パラメータとして使用されることが、ディステネーション・ビットにより指定されている場合、16 ビット・データ・ワードは、FTW レジスタ内の 32 ビット周波数チューニング・ワードに対するオフセットとして機能します。これは、16 ビット・データ・ワードを何らかの方法で FTW レジスタ内で 32 ビット・ワードに整列させる必要があることを意味します。これは、プログラミング・レジスタ内の 4 ビット FM ゲイン・ワードを使って実現されます。FM ゲイン・ワード

を使うと、16 ビット・データ・ワードの重み係数を使用することができます。デフォルト状態(0)では、FTW レジスタ内の 16 ビット・データ・ワードと 32 ビット・ワードは LSB に揃えられます。FM ゲイン・ワード値の各インクリメントにより、16 ビット・データ・ワードが FTW レジスタ内の 32 ビット・ワードに対して左ヘシフトされるため、FTW レジスタで指定される周波数に対する 16 ビット・データ・ワードの効果が 2 倍になります。FM ゲイン・ワードは、データ・ワードにより決定される周波数範囲を有效地に制御します。

パラレル・データ・クロック(PDCLK)

AD9910 は、PDCLK ピンにクロック信号を発生します。このクロック信号は DAC サンプル・レートの 1/4 で動作します(パラレル・データ・ポートのサンプル・レート)。PDCLK は、パラレル・ポートのデータ・クロックとして機能します。デフォルトで、PDCLK の各立上がりエッジは、データ・ポートへのユーザ入力データの 18 ビットをラッチする際に使われます。エッジの極性は、PDCLK 反転ビットを使って変更することができます。さらに、PDCLK 出力信号は PDCLK イネーブル・ビットを使ってオフにすることができますが、出力信号がオフにされた場合でも、パラレル・ポートのデータを取り込む内部 PDCLK タイミングを使って内部で動作を続けています。ディスエーブル時に、PDCLK はロジック 0 になることに注意してください。

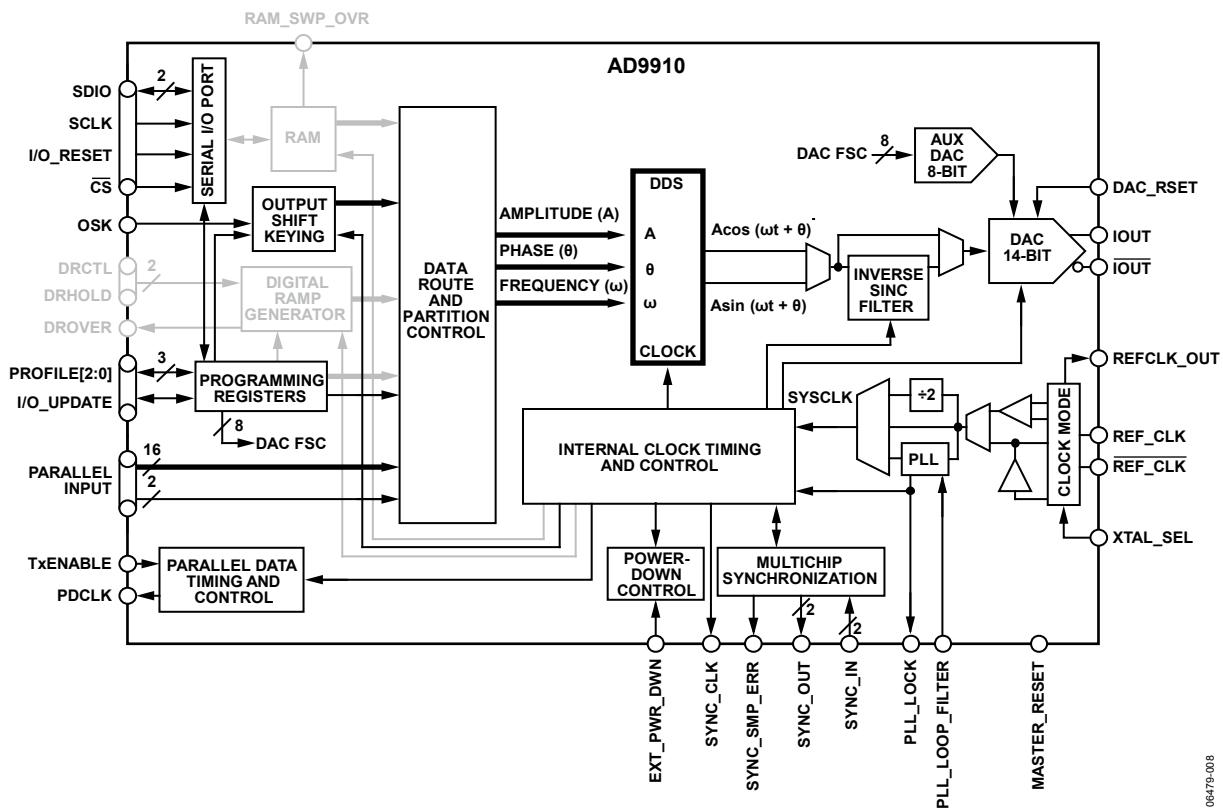


図25.パラレル・データ・ポート変調モード

表4.パラレル・ポート・ディステネーション・ビット

F[1:0]	D[15:0]	Parameter(s)	Comments
00	D[15:2]	14-bit amplitude parameter (unsigned integer)	Amplitude scales from 0 to $1 - 2^{-14}$. D[1:0] are not used.
01	D[15:0]	16-bit phase parameter (unsigned integer)	Phase offset ranges from 0 to $2\pi(1 - 2^{-16})$ radians.
10	D[15:0]	32-bit frequency parameter (unsigned integer)	The alignment of the 16-bit data-word with the 32-bit frequency parameter is controlled by a 4-bit FM gain word in the programming registers.
11	D[15:8]	8-bit amplitude (unsigned integer)	The MSB of the data-word amplitude aligns with the MSB of the DDS 14-bit amplitude parameter. The six LSBs of the DDS amplitude parameter are assigned from Bit [5:0] of the ASF register. The resulting 14-bit word scales the amplitude from 0 to $1 - 2^{-14}$.
	D[7:0]	8-bit phase (unsigned integer)	The MSB of the data-word phase aligns with the MSB of the 16-bit phase parameter of the DDS. The eight LSBs of the DDS phase parameter are assigned from Bit [7:0] of the POW register. The resulting 16-bit word offsets the phase from 0 to $2\pi(1 - 2^{-16})$ radians.

送信イネーブル(TxENABLE)

AD9910 は、ユーザ入力データに対してゲートとして機能する TxENABLE ピンに入力されるユーザ発生の信号も受け付けます。デフォルトでは、TxENABLE でのロジック 1 を真と、ロジック 0 を偽と、それぞれ見なしますが、このピンの論理動作を TxENABLE 反転ビットを使って逆にすることができます。TxENABLE が真のとき、デバイスは PDCLK の指定されたエッジ(PDCLK 反転ビットによる指定)でデータをデバイスにラッチします。TxENABLE が偽の場合、PDCLK は動作を続けますが、デバイスはポートに入力されたデータを無視します。さらに、TxENABLE ピンを偽にすると、デバイスは内部で 18 ビット・データ・ワードをクリアするか、または TxENABLE が偽状態に切り替わる前にデータ・ポートに入力された直前の値を維持します(これはデータ・アセンブラー・ホールド・ラスト・バリュービットの設定値に応じた動作になります)。

あるいは、TxENABLE ピンをゲートとして動作させる代わりに、パラレル・ポート・データレートで動作するクロック信号で TxENABLE ピンを駆動することができます。クロック信号で駆動する場合、偽状態から真状態の変化は、正常動作を保証するため、必要とされるセットアップとホールド・タイムを各サイクルで満たす必要があります。TxENABLE と PDCLK のタイミングを図 26 に示します。

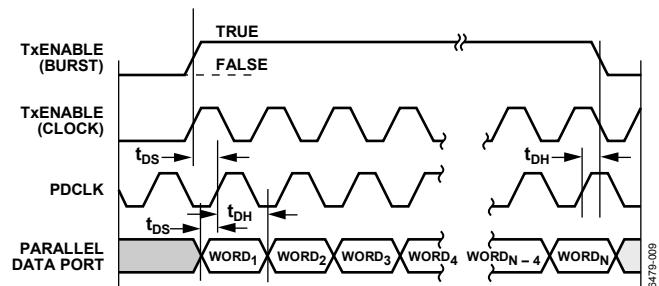


図26.PDCLK と TxENABLE のタイミング図

モードの優先順位

3種類の変調モードを使って、DDS信号コントロール・パラメータとして使用する周波数、位相、および/または振幅データを発生します。さらに、OSK機能によりDDSで使用する振幅データを発生します。これらの各機能は、シリアルI/Oポートを介して該当するコントロール・ビットを使用して独立に起動されます。

これらの各機能を独立に起動する機能により、複数のデータ・ソースで同じDDS信号コントロール・パラメータを駆動してしま

う可能性が生じます。AD9910は競合を回避するため優先順位システムを採用しています。表5に、各DDS信号コントロール・パラメータの優先順位を示します。表5の各行には、DDS信号コントロール・パラメータのデータ・ソースを優先順位の降順で示します。例えば、RAMとパラレル・ポートが共にイネーブルされ、かつ両方ともディステネーションに対して周波数が設定される場合、DDS周波数パラメータはパラレル・データ・ポートではなくRAMから駆動されます。

表5.データ・ソースの優先順位

Priority	DDS Signal Control Parameters					
	Frequency		Phase		Amplitude	
	Data Source	Conditions	Data Source	Conditions	Data Source	Conditions
Highest Priority	RAM	RAM enabled and data destination is frequency	RAM	RAM enabled and data destination is phase or polar	OSK generator	OSK enabled (auto mode)
	DRG	DRG enabled and data destination is frequency	DRG	DRG enabled and data destination is phase	ASF register	OSK enabled (manual mode)
	Parallel data port and FTW register	Parallel data port enabled and data destination is frequency	Parallel data port	Parallel data port enabled and data destination is phase	RAM	RAM enabled and data destination is amplitude or polar
	FTW register	RAM enabled and data destination is phase, amplitude, or polar	Parallel data port concatenated with the POW register LSBs	Parallel data port enabled and data destination is polar	DRG	DRG enabled and data destination is amplitude
	FTW in active single tone profile register	DRG enabled and data destination is phase or amplitude	POW register	RAM enabled and destination is frequency or amplitude	Parallel data port	Parallel data port enabled and data destination is amplitude
	FTW in active single tone profile register	Parallel data port enabled and data destination is phase, amplitude, or polar	POW in active single tone profile register	DRG enabled and data destination is frequency or amplitude	Parallel data port concatenated with the ASF register LSBs	Parallel data port enabled and data destination is polar
	FTW in active single tone profile register	None	POW in active single tone profile register	Parallel data port enabled and data destination is frequency or amplitude	ASF in active single tone profile register	Enable amplitude scale from single tone profiles bit (CFR2[24]) set
			POW in active single tone profile register	None	No amplitude scaling	None
Lowest Priority						

機能ブロック図の詳細

DDSコア

ダイレクト・デジタル・シンセサイザ(DDS)ブロックは、リファレンス信号を発生します(セレクト DDS 正弦波出力ビット CFR1[16]に応じて正弦波または余弦波を発生)。リファレンス信号のパラメータ(周波数、位相、振幅)は、DDS の周波数入力、位相オフセット入力、振幅コントロール入力に入力されます(図 27 参照)。

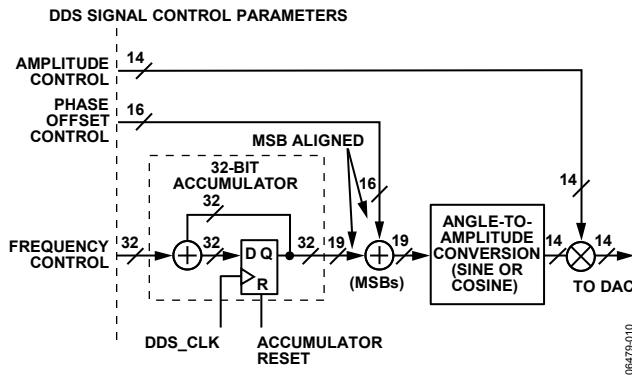


図27.DDS のブロック図

AD9910 の出力周波数(f_{OUT})は、DDS への周波数コントロール入力である周波数チューニング・ワード(FTW)により制御されます。 f_{OUT} 、FTW、 f_{SYSCLK} の間の関係は次式で与えられます。

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (1)$$

ここで、FTWは0~2,147,483,647 ($2^{31} - 1$)の範囲の32ビット整数で、フル32ビット範囲の下半分を表します。この範囲が、DC~ナイキスト($\frac{1}{2} f_{SYSCLK}$)周波数を構成します。

所望の値 f_{OUT} を発生するため必要なFTWは、式1をFTWについて解くことにより式2のように求めます。

$$FTW = \text{round}\left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (2)$$

ここで、 $\text{round}(x)$ 関数は、引数(xの値)に対する最寄りの整数を返します。これは、FTWが整数値に制約されているために必要です。例えば、 $f_{OUT} = 41 \text{ MHz}$ かつ $f_{SYSCLK} = 122.88 \text{ MHz}$ の場合、 $FTW = 1,433,053,867 (0x556AAAAB)$ となります。

FTWを 2^{31} より大きく設定すると、次式で表される周波数に、折り返しされたイメージが現れます。

$$f_{OUT} = \left(1 - \frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (FTW \geq 2^{31})$$

16 ビット位相オフセット・ワード(POW)を使うと、DDS 信号の相対位相をデジタル的に制御することができます。この位相オフセットは、DDS コア内部の角度/振幅変換ブロック内部の前で加えられます。相対位相オフセット($\Delta\theta$)は次式で与えられます。

$$\Delta\theta = \begin{cases} 2\pi \left(\frac{POW}{2^{16}} \right) \\ 360 \left(\frac{POW}{2^{16}} \right) \end{cases}$$

ここで、位相オフセットの上の値はラジアン単位で表され、下の値は度単位で表されます。任意の $\Delta\theta$ を表すために必要な POW 値を求めるときは、前式を POW について解き結果をまるめ処理します(任意の FTW を求めた前述の方法と同じ方法を使用)。

14 ビット振幅スケール・ファクタ(ASF)を使うと、DDS 信号の相対振幅(フルスケール基準)をデジタル的にスケールすることができます。振幅スケール値は、DDS コア内の角度/振幅変換ブロック出力に適用されます。振幅スケールは次式で与えられます。

$$Amplitude Scale = \begin{cases} \frac{ASF}{2^{14}} \\ 20 \log \left(\frac{ASF}{2^{14}} \right) \end{cases} \quad (3)$$

ここで、上の値はフルスケールに対する比として表された振幅で、下の値はフルスケールに対するデシベル値です。特定のスケール・ファクタに必要な ASF 値を求めるときは、ASF について式 3 を解き結果をまるめ処理します(任意の FTW を求めるために説明した前の方法と同じ方法を使用)。

AD9910 を DDS 信号コントロール・パラメータを変調するように設定する場合、最大変調サンプル・レートは $1/4 f_{SYSCLK}$ になります。これは、変調信号が $1/4 f_{SYSCLK}$ の整数倍にイメージを持つことを意味します。これらのイメージの影響は、デバイスを変調器として使用する際に考慮する必要があります。

14 ビットDAC出力

AD9910 は 14 ビットの電流出力DACを内蔵しています。出力電流は、2 つの出力を使う平衡信号として出力されます。平衡出力を使うと、DAC出力に現れる同相モード・ノイズの電位が小さくなるので、信号対ノイズ比が大きくなる利点があります。DAC_RSETピンとAGNDとの間に外付け抵抗(R_{SET})を接続する限りリファレンス電流が設定されます。DACのフルスケール出力電流(I_{OUT})は、リファレンス電流のスケール済み電流として発生されます(補助DACのセクション参照)。 R_{SET} の推奨値は $10 \text{ k}\Omega$ です。

出力電圧が規定のコンプライアンス・レンジ内に収まるように負荷終端に注意してください。電圧がこの範囲を超えると、歪みが大きくなり、DAC 出力回路に損傷を与えることがあります。

補助DAC

8ビット補助DACは、メインDAC(I_{OUT})のフルスケール出力電流を制御します。該当するレジスタ・マップ・ロケーションに格納されている8ビット・コード・ワードにより、次式に従って I_{OUT} が設定されます。

$$I_{OUT} = \frac{86.4}{R_{SET}} \left(1 + \frac{CODE}{96} \right)$$

ここで、

R_{SET} は R_{SET} 抵抗値(Ω)。

$CODE$ は補助DACに入力する8ビット値(デフォルトは127)。例えば、 $R_{SET} = 10,000\Omega$ かつ $CODE = 127$ の場合、 $I_{OUT} = 20.07\text{ mA}$ となります。

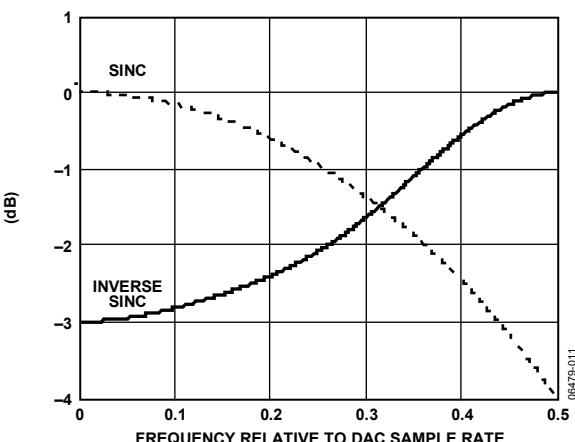


図28.sinc 応答と逆 sinc 応答

逆sincフィルタ

サンプルされたキャリア・データ・ストリームは、AD9910 内蔵のD/Aコンバータ(DAC)に入力されます。DAC出力スペクトルは、DACで発生される信号に固有なゼロ次ホールドの影響を持つため、 $\sin(x)/x$ (すなわちsinc)特性エンベロープにより整形されます。sincエンベロープの形状は、既知であるため補償が可能です。このエンベロープ補正機能は、DACの前に接続される逆sincフィルタにより提供されます。逆sincフィルタは、デジタルFIRフィルタとして実現されます。このデジタル・フィルタの応答特性は、sincエンベロープの逆数に良く一致します。逆sincフィルタの応答を 図 28に示します(比較のためにsincエンベロープも示します)。

逆sincフィルタは、CFR1[22]を使ってイネーブルします。表 6に、フィルタ・タップ係数を示します。データをDACに入力する前にフィルタを使って、スペクトル歪の原因となっているsincエンベロープを相殺させる歪みが加えられます。

逆 sinc フィルタをイネーブルすると、約 3.0 dB の挿入損失が発生します。逆 sinc 補償は、DAC サンプル・レートの約 40%までの出力周波数で有効です。

表6.逆 sinc フィルタのタップ係数

Tap No.	Tap Value
1, 7	-35
2, 6	+134
3, 5	-562
4	+6729

図 28に示すように、sincエンベロープにより周波数に依存する減衰が生じます。この減衰はナイキスト周波数(DACサンプル・レートの 1/2)で 4 dBにもなります。逆sincフィルタがない場合、DAC出力はsincエンベロープの周波数に依存して減衰させられます。逆sincフィルタは、図 29に示すように、この減衰を±0.05 dB以内で平坦にします。この図には、逆sincフィルタをイネーブルした補正後のsinc応答が示してあります。

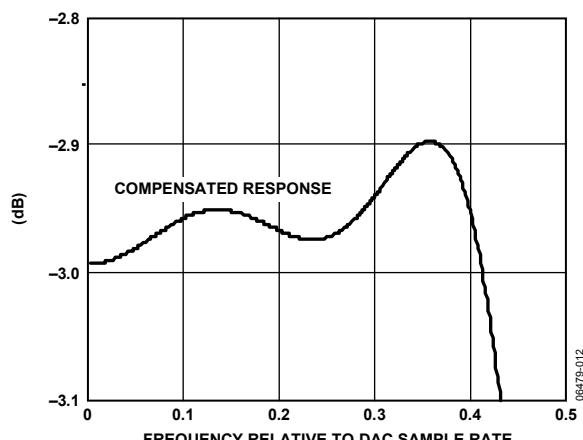


図29.逆 sinc 補償を行った DAC 応答

クロック入力(REF_CLK/REF_CLK)

REF_CLK/REF_CLKの概要

AD9910 では、REF_CLK/REF_CLK 入力ピンを使って内部SYSCLK信号(すなわちDACサンプル・クロック)を発生する多くのオプションをサポートしています。REF_CLK入力を差動またはシングルエンドのソースから直接駆動するか、または 2 本の入力ピン間に水晶を接続することができます。また、独立にイネーブルできる内部位相ロック・ループ(PLL)通倍器もあります。REF_CLKの機能を 図 30に示します。種々の入力設定は、XTAL_SELピンとCFR3 レジスタのコントロール・ビットを使って制御されます。図 30 に、CFR3 コントロール・ビットと機能ブロックとの対応も示してあります。

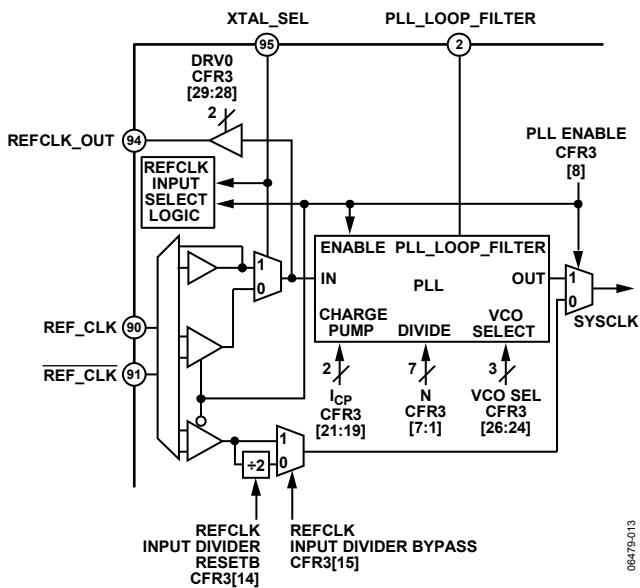


図30.REF_CLKのブロック図

PLL イネーブル・ビットは、PLL パスまたは直接入力パスを選択する際に使います。直接入力パスを選択するときは、REF_CLK/REF_CLK ピンを外部信号ソース(シングルエンドまたは差動)から駆動する必要があります。最大 2 GHz 入力周波数をサポートしています。1 GHz 以上の入力周波数の場合、デバイスが正常動作するためには、入力分周器をイネーブルする必要があります。

PLLをイネーブルすると、バッファされたクロック信号がREFCLK_OUTピンに出力されます。このクロック信号は、REF_CLK入力と同じ周波数です。この機能は、特に水晶を接続するときに便利です。これは、他の外部デバイスを駆動する際に、このクロックを水晶クロックの複製として使えるためです。REFCLK_OUTにはプログラマブルな駆動機能があります。この機能は、表7に示す2ビットにより制御されます。

表7.REFCLK_OUT のバッファ制御

DRV0 Bits (CFR3[29:28])	REFCLK_OUT Buffer
00	Disabled (tristate)
01	Low output current
10	Medium output current
11	High output current

REF CLK/REF CLKの水晶駆動

REF_CLK/REF_CLK入力に水晶を使う場合、共振周波数は約 25 MHzが必要があります。図 31に推奨回路構成を示します。内蔵発振器は基本波モード水晶でのみ動作します。水晶動作は、XTAL_SELピンのロジック 1 (1.8 Vロジックが必要)でイネーブルされます。

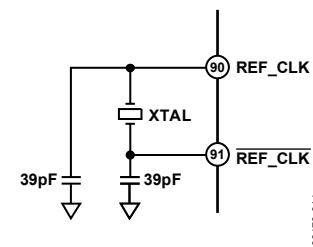


図31.水晶接続図

REF_CLK/REF_CLKの直接駆動

信号ソースからREF_CLK/REF_CLK入力を直接駆動する場合は、シングルエンドまたは差動の信号を使うことができます。差動信号ソースを使う場合、REF_CLK/REF_CLKピンを相補信号で駆動し、 $0.1\ \mu\text{F}$ のコンデンサでAC結合します。シングルエンド信号ソースを使う場合は、シングルエンド/差動変換を使うか、またはREF_CLK入力をシングルエンドで直接駆動することができます。いずれの場合も、 $0.1\ \mu\text{F}$ のコンデンサを使って、両REF_CLK/REF_CLKピンをAC結合して、約 $1.35\ \text{V}$ の内部DCバイアス電圧に影響を与えないようにする必要があります。詳細については、図32を参照してください。

REF_CLK/REF_CLK入力抵抗は差動で約 2.5 k Ω です(シングルエンドでは約 1.2 k Ω)。大部分の信号ソースは比較的低い出力インピーダンスを持っています。REF_CLK/REF_CLKの入力抵抗は比較的高いため、終端インピーダンスへの影響は無視できるので、信号ソースの出力インピーダンスと同じ値を使うことができます。図 32の 2つの例では、50 Ω 出力インピーダンスの信号ソースを使っています。

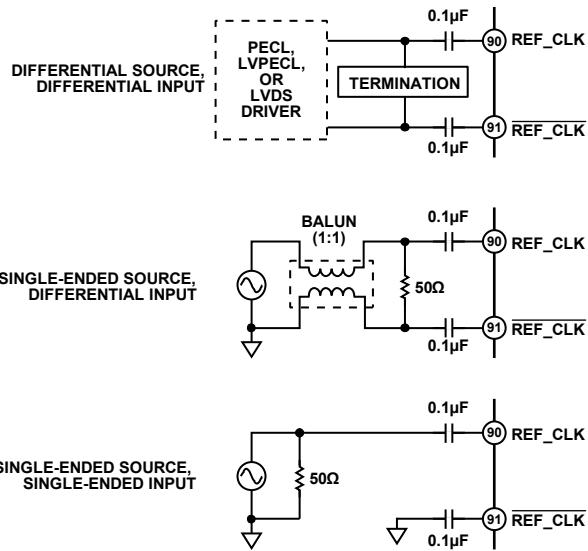


図32.直接接続

位相ロック・ループ(PLL)倍増器

内部位相ロック・ループ(PLL)は、システム・クロック周波数より非常に低い周波数のリファレンス・クロックを使うオプションを提供します。この PLL は、広い範囲のプログラマブルな周波数倍率(12×～127×)、プログラマブルなチャージ・ポンプ電流、外部ループ・フィルタ部品(PLL_LOOP_FILTER ピンを使って接続)をサポートしています。これらの機能は PLL の柔軟性をさらに強化して、位相ノイズ性能の最適化と周波数プラン制

定の柔軟性を可能にします。この PLL には PLL_LOCK ピンもあります。

PLL出力周波数範囲(f_{SYSCLK})は、内蔵VCOの 420 MHz $\leq f_{SYSCLK} \leq$ 1 GHzの範囲に制限されます。さらに、 f_{SYSCLK} が規定範囲内になるように 6 種類の動作範囲から 1 つを選んでVCOを設定する必要があります。図 33と 図 34に、これらのVCO範囲をまとめます。

図 33 に、母集団に属するすべてのデバイスの全温度範囲と電源電圧変動に対するVCO周波数範囲の境界を示します。この図は、複数のデバイスを母集団からランダムに選択して、広く変化する条件で動作させる場合、同じ周波数で動作させるためには CFR3[26:24]に異なる値を設定する必要があることを意味しています。例えば、母集団からランダムに選択し、周囲温度 -10°C で動作させ、システム・クロック周波数= 900 MHzとするデバイスAの場合、CFR3[26:24]に 100bを設定する必要があります。これに対して、母集団からランダムに選択し、周囲温度 90°Cで動作させ、システム・クロック周波数= 900 MHzとするデバイスBの場合には、CFR3[26:24]に 101bを設定する必要があります。システム・クロック周波数が 1 セットの境界内で動作するように周波数プランを選択する場合(図 33参照)、CFR3[26:24]に必要とされる値は、デバイス間で一致します。

図 34 に、母集団から選択されたある 1 個のデバイスの全温度範囲と電源電圧変動に対するVCO周波数範囲の境界を示します。図 34 は、条件の全範囲で動作させる場合、1 個のデバイスの VCO周波数範囲は、常に重複することを示します。

CFR3[26:24]に対して 1 つのデフォルト値を使用したい場合は、図 33に示す複数の範囲内の 1 つに入る周波数を選択する必要があります。さらに、与えられたいずれのデバイスでも、VCO周波数範囲が重なります。これは、与えられたデバイスが条件の全範囲で、VCO範囲に周波数カバレッジのギャップを持つてないことを意味しています。

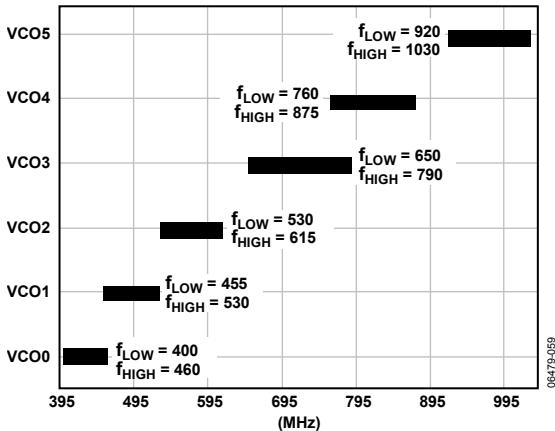


図33.代表的なウェハー・プロセス歪みを含む各 VCO 範囲

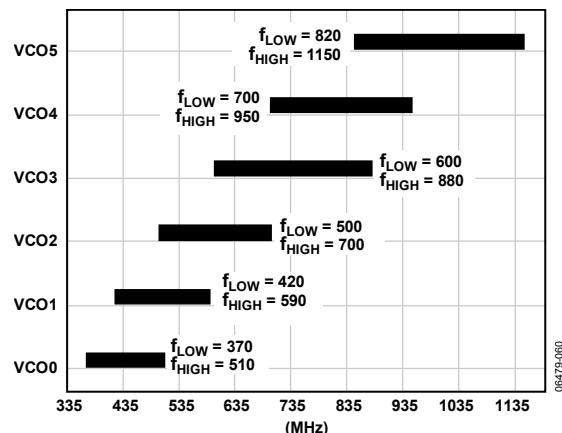


図34.代表的な各 VCO 範囲

表8.VCO 範囲ビットの設定

VCO SEL Bits (CFR3[26:24])	VCO Range
000	VCO0
001	VCO1
010	VCO2
011	VCO3
100	VCO4
101	VCO5
110	PLL bypassed
111	PLL bypassed

PLLチャージ・ポンプ

PLL性能の最適化で柔軟性を強化するため、チャージ・ポンプ電流(I_{CP})は設定可能になっています。表 9に、ビット設定値対公称チャージ・ポンプ電流を示します。

表9.PLL チャージ・ポンプ電流

I _{CP} Bits (CFR3[21:19])	Charge Pump Current, I _{CP} (μA)
000	212
001	237
010	262
011	287
100	312
101	337
110	363
111	387

外付けPLLループ・フィルタ部品

PLL_LOOP_FILTER ピンは、外付けループ・フィルタ部品を接続する接続インターフェースを提供します。カスタム・ループ・フィルタ部品を使用するこの機能により、PLL性能の最適化が柔軟に行えるようになります。PLLと外付けループ・フィルタ部品を図 35に示します。

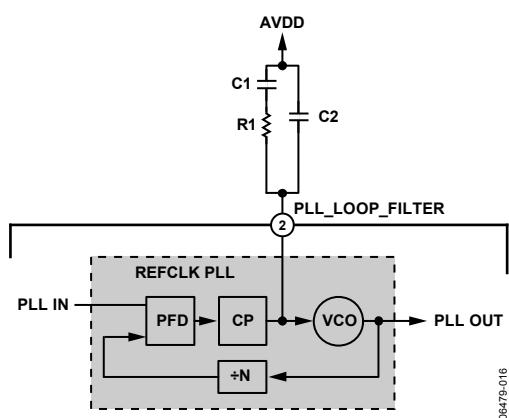


図35.REFCLK PLL の外付けループ・フィルタ

一般的な文献では、この構成は 3 次のタイプII PLLになります。ループ・フィルタ部品値を計算するときは、VCO SEL ビットの設定値に基づいて、帰還分周値(N)、位相検出ゲイン(K_D)、VCO ゲイン(K_V)から始めます(K_V については表 1参照)。ループ・フィルタ部品値は、次のように、必要とされるオープン・ループ帯域幅(f_{OL})と位相マージン(ϕ)に依存します。

$$R1 = \frac{\pi N f_{OL}}{K_D K_V} \left(1 + \frac{1}{\sin(\phi)} \right) \quad (4)$$

$$C1 = \frac{K_D K_V \tan(\phi)}{2N(\pi f_{OL})^2} \quad (5)$$

$$C2 = \frac{K_D K_V}{N(2\pi f_{OL})^2} \left(\frac{1 - \sin(\phi)}{\cos(\phi)} \right) \quad (6)$$

ここで、

K_D は I_{CP} の設定値に一致。

K_V は表 1から取得。

式 4～式 6 の変数には正しい単位を使用してください。 I_{CP} はAである必要があります(表 9の μ Aとは異なります)。 K_V はHz/Vである必要があります(表 1のMHz/Vとは異なります)。ループ帯域幅(f_{OL})はHzで、位相マージン(ϕ)はラジアンである必要があります。

例えば、PLL の設定を $I_{CP} = 287 \mu$ A、 $K_V = 625 \text{ MHz/V}$ 、 $N = 25$ とします。必要とされるループ帯域幅と位相マージンはそれぞれ 50 kHz と 45°である場合、ループ・フィルタ部品値は、 $R1 = 52.85 \Omega$ 、 $C1 = 145.4 \text{ nF}$ 、 $C2 = 30.11 \text{ nF}$ になります。

PLLロック表示

PLL を使用する場合、PLL_LOCK ピンがアクティブ・ハイ表示を提供し、PLL が REFCLK 入力信号にロックしたことを表示します。PLL_LOCK ピンはラッ奇された出力であることに注意してください。PLL がバイパスされると、このピンはロジック 1 のままになります。PFD リセット・ビットをセットすることにより PLL_LOCK ピンをクリアすることができます。通常の動作では、PFD リセット・ビットをクリアする必要があります。

出力シフト・キーイング(OSK)

OSK機能(図 36を使うと)、DDSの出力信号振幅を制御することができます。プログラム制御下で、手動モードと自動モードを使用することができます。OSKブロックで発生される振幅データは、振幅データをDDSへ出力するように設定された他の機能ブロックより高い優先順位を持ちます。したがって、OSKデータ・ソースがイネーブルされると、他のすべての振幅データ・ソースより優先されます。

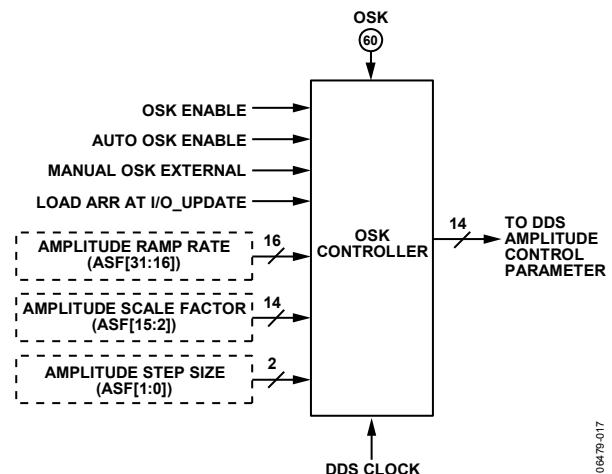


図36.OSK のブロック図

OSK機能の動作は、CFR1 レジスタの 2 ビット(OSKイネーブルとセレクト自動OSK)、外部OSKピン、ASFレジスタの全 32 ビットにより制御されます。OSKブロックのプライマリ制御は、OSKイネーブル・ビットです。OSK機能をディスエーブルすると、OSK入力の制御が無視され、内部クロックが停止します。

OSK 機能をイネーブルする場合、セレクト自動 OSK ビットを使って、自動動作または手動動作が選択されます。ロジック 0 が手動モード(デフォルト)を指定します。

手動OSK

手動モードでは、ASF レジスタの振幅スケール・ファクタ部分に対する連続書き込み動作により、出力振幅が変更されます。振幅変化を出力信号に適用できるレートは、シリアル I/O ポートの速度により制限されます。手動モードでは、OSK ピン機能は手動 OSK 外部コントロール・ビットの状態で決定されます。OSK ピンがロジック 0 のとき、出力振幅が 0 になります。その他の場合は、振幅スケール・ファクタ値により出力振幅が設定されます。

自動OSK

自動モードでは、リニア振幅対時間のプロファイル(すなわち振幅ランプ)を OSK 機能が自動的に発生します。振幅ランプは、最大振幅スケール・ファクタ、振幅ステップ・サイズ、ステップ間の時間間隔の 3 つのパラメータにより制御されます。振幅ランプ・パラメータは、32 ビット ASF レジスタに格納されており、シリアル I/O ポートを介して設定されます。振幅ステップ間の時間間隔は、ASF レジスタ(Bit [31:16])の 16 ビット振幅ランプ・レート部分を使って設定されます。最大振幅スケール・ファクタは、ASF レジスタ(Bit [15:2])の 14 ビット振幅スケール・ファクタを使って設定されます。振幅ステップ・サイズは、ASF レジスタ(Bit [1:0])の 2 ビット振幅ステップ・サイズ部分を使って設定されます。さらに、ランプの方向(正または負のスロープ)は外部 OSK ピンにより制御されます。

ステップ間隔は、 f_{SYSCLK} の 1/4 レートで駆動される 16 ビット・プログラマブル・タイマにより制御されます。タイマ周期は、振幅ステップ間の時間間隔を設定します。ステップ時間間隔(Δt)は次式で与えられます。

$$\Delta t = \frac{4M}{f_{SYSCLK}}$$

ここで、

M は ASF レジスタの振幅ランプ・レート(ARR)部分に格納されている 16 ビット数値。例えば、 $f_{SYSCLK} = 750 \text{ MHz}$ かつ $M = 23218 (0x5AB2)$ の場合、 $\Delta t \approx 123.8293 \mu\text{s}$ となります。

OSK 機能の出力は、14 ビット符号なしデータ・バスです。このデータ・バスは、DDS の振幅パラメータを制御します(OSK イネーブル・ビットがセットされている場合)。OSK ピンがセットされると、OSK 出力値は 0 (ゼロ)から開始し、設定された振幅ステップ・サイズでインクリメントし、設定された最大振幅値に到達します。OSK ピンがクリアされると、OSK 出力は設定済みの値から開始し、0 (ゼロ)に到達するまで、設定済みの振幅ステップ・サイズでデクリメントします。

OSK ピンを最大値に到達する前にロジック 0 に切り替える場合、OSK 出力は最大振幅値に到達しません。同様に、OSK ピンを 0 に到達する前にロジック 1 に切り替える場合、OSK 出力は 0 に到達しません。

OSK 出力はパワーアップ時に 0 (ゼロ)に初期化され、OSK イネーブル・ビットまたはセレクト自動 OSK ビットがクリアされるごとにリセットされます。

OSK 出力の振幅ステップ・サイズは、表 10 に従い ASF レジスタの振幅ステップ・サイズ・ビットにより設定されます。ステップ・サイズは、14 ビット OSK 出力の LSB 数で表します。設定されるステップ・サイズに無関係に、OSK 出力は ASF レジスタに設定された最大振幅値を超えることはありません。

表10.OSK の振幅ステップ・サイズ

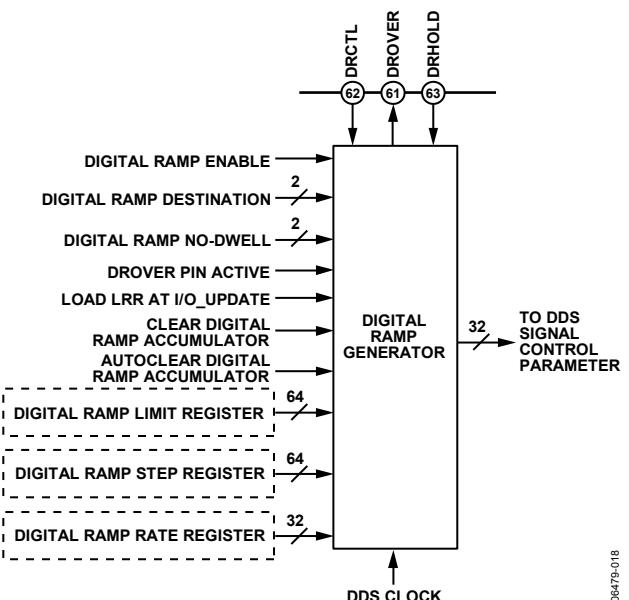
Amplitude Step Size Bits (ASF[1:0])	Amplitude Step Size
00	1
01	2
10	4
11	8

前述のように、16 ビット・プログラマブル・タイマがステップ間隔を制御します。通常、タイマが経過するごとにこのタイマには設定済みのタイミング値がロードされて、新しいタイミング・サイクルが開始されます。ただし、タイマの経過前にタイマにタイミング値の再ロードを発生させる 3 つのイベントがあります。この内の 1 つのイベントは、セレクト自動 OSK ビットがクリア状態からセット状態に変化し、その後に I/O 更新が続く場合に発生します。2 つ目のイベントは、OSK ピンの状態変化です。3 つ目は、I/O 更新時のロード ARR ビットの状態に依存します。このビットがクリアされる場合は、アクションはありません。その他の場合、I/O_UPDATE ピンがアサートされると(プロファイル変化が発生)、タイマは初期スタート・ポイントにリセットされます。

デジタル・ランプ・ジェネレータ(DRG)

DRG の概要

指定されたスタート・ポイントから指定されたエンドポイントまで位相、周波数、または振幅をスイープするために、完全にデジタル化されたデジタル・ランプ・ジェネレータが AD9910 に内蔵されています。DRG は、9 ビットのコントロール・レジスタ・ビット、3 本の外部 PIN、2 個の 64 ビット・レジスタ、1 個の 32 ビット・レジスタを使っています(図 37 参照)。



06479-018

図37.デジタル・ランプのブロック図

DRGのプライマリ制御は、デジタル・ランプ・イネーブル・ビットです。この機能をディスエーブルすると、他のDRG入力制御は無視されて、消費電力を削減するために内部クロックが停止します。

DRGの出力は、32 ビット符号なしデータ・バスです。このバスは表 11 に従いコントロール・ファンクション・レジスタ 2 の 2 ビットのデジタル・ランプ・ディステネーション・ビットから制御されて、3 種類のDDS信号コントロール・パラメータの内の 1 つに接続することができます。32 ビット出力バスは、ディステネーション・ビットの指定に従い、32 ビット周波数パラメータ、16 ビット位相パラメータ、または 14 ビット振幅パラメータのMSBに整列されます。ディステネーションが位相または振幅の場合、未使用 LSB は無視されます。

表11.デジタル・ランプのディステネーション

Digital Ramp Destination Bits (CFR2[21:20])	DDS Signal Control Parameter	Bits Assigned to DDS Parameter
00	Frequency	31:0
01	Phase	31:16
1x ¹	Amplitude	31:18

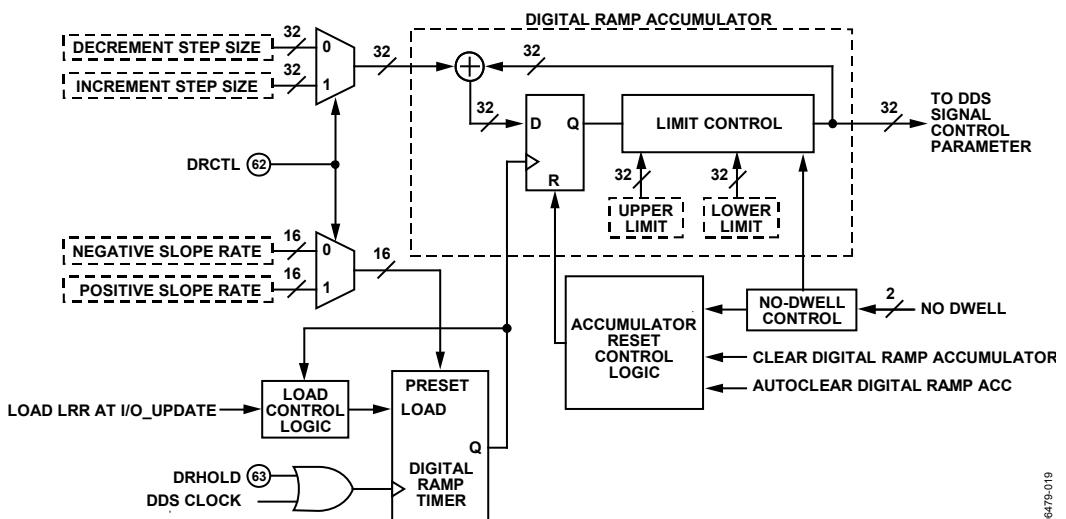
¹ x = Don't care.

DRGのランプ特性はすべて設定可能です。これには、ランプの上限と下限、およびランプの正と負スロープ特性に対するステップ・サイズとステップ・レートの独立な制御が含まれます。DRG の詳しいブロック図を図 38 に示します。

ランプ機能の方向は、DRCTL ピンから制御されます。このピンがロジック 0 になると、負スロープで DRG がランプし、ロジック 1 になると、正スロープで DRG がランプします。

また、DRG は DRHOLD ピンから制御されるホールド機能もサポートします。このピンがロジック 1 に設定されると、DRG は直前の状態で停止し、その他の場合、DRG は通常動作を行います。

DRG のディステネーションではない DDS 信号コントロール・パラメータは、アクティブ・プロファイルから取得されます。



06479-019

図38.デジタル・ランプ・ジェネレータの詳細

DRGスロープの制御

DRG のコアは、プログラマブル・タイマからクロック駆動される 32 ビット・アキュムレータです。タイマのタイム・ベースは、 $1/4 f_{SYSCLK}$ で動作する DDS クロックです。このタイマは、アキュムレータ連続更新の間の間隔を設定します。正($+Δt$)と負($-Δt$)スロープのステップ間隔は、次式のように独立に設定可能です。

$$+Δt = \frac{4P}{f_{SYSCLK}}$$

$$-Δt = \frac{4N}{f_{SYSCLK}}$$

ここで、

P と N は 32 ビット・デジタル・ランプ・レート・レジスタに格納されている 2 つの 16 ビット値で、ステップ間隔を制御します。

N は、ランプの負スロープ部分のステップ間隔を指定します。

P は、ランプの正スロープ部分のステップ間隔を指定します。

ランプの正($STEP_P$)と負($STEP_N$)スロープ部分のステップ・サイズは、64 ビット・デジタル・ランプ・ステップ・サイズ・レジスタに設定される 32 ビット値です。各ステップ・サイズは符号なし整数で設定します(ハードウェアが自動的に $STEP_N$ を負値と解釈します)。32 ビットのステップ・サイズ値と、周波数、位相、または振幅の実際の単位との間の関係は、デジタル・ランプ・ディステネーション・ビットに依存します。必要に応じて、次式の M に $STEP_N$ または $STEP_P$ を代入して、実際の周波数、位相、または振幅ステップ・サイズを計算してください。

$$Frequency Step = \left(\frac{M}{2^{32}} \right) f_{SYSCLK}$$

$$Phase Step = \frac{\pi M}{2^{31}} \quad (\text{ラジアン})$$

$$Phase Step = \frac{45M}{2^{29}} \quad (\text{度})$$

$$Amplitude Step = \left(\frac{M}{2^{32}} \right) I_{FS}$$

周波数の単位は、 f_{SYSCLK} で使った単位(たとえば MHz)と同じであることに注意してください。振幅の単位は、DAC のフルスケール出力電流 I_{FS} に使った単位(たとえば mA)と同じです。

位相と振幅ステップ・サイズの式は、平均ステップ・サイズを与えます。ステップ・サイズは 32 ビット精度で累積されますが、位相または振幅ディステネーションは、それぞれ 16 ビットまたは 14 ビットです。したがって、ディステネーションでは、実際

の位相または振幅ステップは累積された 32 ビット値をそれぞれ 16 ビットまたは 14 ビットに切り詰めた値になります。

前述のように、ステップ間隔は 16 ビットのプログラマブル・タイマから制御されます。このタイマの経過前に再ロードを発生させるイベントは 3 つあります。この内の 1 つのイベントは、デジタル・ランプ・イネーブル・ビットがクリア状態からセット状態に変化し、その後に I/O 更新が続く場合に発生します。2 つ目のイベントは、DRCTL ピンの状態変化です。3 つ目のイベントは、I/O 更新時の LRR ロード・ビットを使ってイネーブルされます(詳細については、レジスタ・マップとビット説明のセクション参照)。

DRG限界値の制御

ランプ・アキュムレータは、ランプ・ジェネレータ出力の上限と下限を決定する限界値制御ロジックから制御されます。いかなる状況でも、DRG がイネーブルされているとき、DRG 出力は設定済みの限界値を超えることはありません。限界値は、64 ビット・デジタル・ランプ限界値レジスタを使って設定します。正常動作のためには上限値は下限値より大きい必要があることに注意してください。

DRGアキュムレータのクリア

ランプ・アキュムレータはプログラム制御の下でクリア(すなはち 0 ヘリセット)することができます。ランプ・アキュムレータがクリアされると、DRG 出力がデジタル・ランプ限界値レジスタに設定された下限値になります。

アキュムレータの帰還パスに組込まれている限界値制御ブロックにとって、アキュムレータをリセットすることは下限値にプリセットすることと同じです。

通常ランプの生成

通常ランプの生成は、両ノード・ドゥエル・ビットがクリアされることを意味します(詳細については、ノード・ドゥエル・ランプの生成のセクション参照)。図 39 に、ランプ波形例を必要とするコントロール信号と一緒に示します。上のトレースは DRG 出力です。下のトレースは DROVER 出力ピンのステータスです(DROVER ピン・アクティブ・ビットがセットされている場合)。残りのトレースはコントロール・ビットとコントロール・ピンです。関連するランプ・パラメータも示しています(上限、下限、ステップ・サイズ、正と負スロープの $Δt$)。下のトレースで、丸で囲んだ番号は特定のイベントを示しています。これらのイベントは、次の節では番号で参照します(イベント 1 など)。

この特定例では、ランプの正と負スロープは、DRG の柔軟性を示すために異なっています。両スロープのパラメータは、正と負スロープを同じ値するように設定することができます。

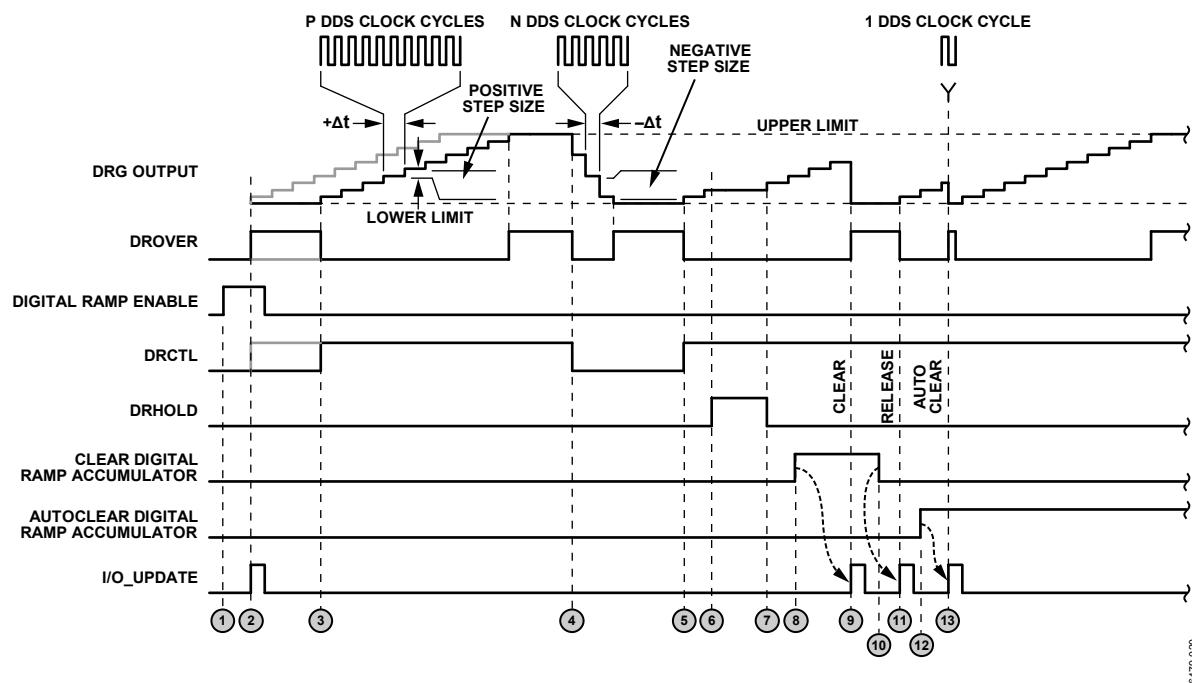


図39.通常ランプの生成

イベント 1—デジタル・ランプ・イネーブル・ビットがセットされます。このビットは I/O の更新まで有効にならないので、DRG 出力に影響を与えません。

イベント 2—I/O 更新がイネーブル・ビットを保持します。DRCTL = 1 がこの時点で有効な場合(DRCTL トレースのグレイ部分)、DRG 出力が直ちに正スロープを開始します(DRG 出力トレースのグレイ部分)。その他の場合、DRCTL = 0 のとき、DRG 出力は下限に初期化されます。

イベント 3—DRCTL がロジック 1 へ変化すると、DRG 出力で正スロープが開始されます。この例では、DRCTL ピンが十分長く維持されて、DRG が設定済みの上限値に到達します。DRG は上限値を維持して、ランプ・アキュムレータがクリアされるまで(DRCTL = 0)、または上限値が大きな値に再設定されるまで続けます。後者の場合は、DRG は直ちに前の正スロープ・プロファイルを再開します。

イベント 4—DRCTL がロジック 0 へ変化すると、DRG 出力で負スロープが開始されます。この例では、DRCTL ピンが十分長く維持されて、DRG が設定済みの下限値に到達します。DRG は下限値を維持して、DRCTL = 1 まで、または下限が小さい値に再設定されるまで続けます。後者の場合は、DRG は直ちに前の負スロープ・プロファイルを再開します。

イベント 5—2 回目に DRCTL がロジック 1 へ変化すると、2 回目の正スロープが開始されます。

イベント 6—正スロープ・プロファイルが DRHOLD のロジック 1 への変化により中断されます。これにより、ランプ・アキュムレータが停止し、DRG 出力が直前の値に固定されます。

イベント 7—DRHOLD がロジック 0 へ変化すると、ランプ・アキュムレータがリリースされて、前の正スロープ・プロファイルが再開されます。

イベント 8—クリア・デジタル・ランプ・アキュムレータ・ビットがセットされます。このビットは I/O 更新が発行されるまで有効にならないので、DRG に影響を与えません。

イベント 9—クリア・デジタル・ランプ・アキュムレータ・ビットがセットされ、ランプ・アキュムレータがリセットされ、DRG 出力が設定済みの下限になることを I/O 更新が登録します。DRG 出力は下限を維持し、クリア条件がなくなるまで続きます。

イベント 10—クリア・デジタル・ランプ・アキュムレータ・ビットがクリアされます。このビットは I/O 更新が発行されるまで有効にならないので、DRG 出力に影響を与えません。

イベント 11—I/O 更新が、クリア・デジタル・ランプ・アキュムレータ・ビットがクリアされ、ランプ・アキュムレータがリリースされ、前の正スロープ・プロファイルが再開されたことを登録します。

イベント 12—自動クリア・デジタル・ランプ・アキュムレータ・ビットがセットされます。このビットは I/O 更新が発行されるまで有効にならないので、DRG 出力に影響を与えません。

イベント 13—I/O 更新が、自動クリア・デジタル・ランプ・アキュムレータ・ビットがセットされ、ランプ・アキュムレータがリセットされたことを登録します。ただし、自動クリアにより、ランプ・アキュムレータは DDS クロックの 1 サイクル間だけリセットを維持します。これにより DRG 出力が下限値になりますが、ランプ・アキュムレータは、直ちに通常動作可能になります。この例では、DRCTL ピンはロジック 1 を維持するため、DRG 出力は前の正ランプ・プロファイルを再開します。

ノー・ドウエル・ランプの生成

コントロール・ファンクション・レジスタ 2 内の 2 ビットのノー・ドウエル・ビットにより、DRG機能の柔軟性が増えます。通常ランプの発生時に、DRG出力が設定済みの上限または下限に到達すると、限界値を維持し、動作パラメータが他の指示を行うまで続きますが、ノー・ドウエル動作時には、DRG出力は限界値を維持するとは限りません。例えば、DRGが上限値に到達したとき、デジタル・ランプ・ノー・ドウエル・ハイ・ビットがセットされて、DRGは自動的に(そして直ちに)下限に切り替わります(すなわち、ランプ動作で下限に戻るのではなく、下限へジャンプします)。同様に、デジタル・ランプ・ノー・ドウエル・ロー・ビットがセットされて、DRGは自動的に(そして直ちに)上限に切り替わります。

ノー・ドウエル動作時、DRCTLピンの状態変化のみがモニタされます。すなわち、スタティック・ロジック・レベルは無視されます。

ノー・ドウエル・ハイ動作時、DRCTLピンが立上がり変化すると、正スロープ・ランプが開始され、中断せずに(DRCTLピンにさらに動作があっても無視されます)上限値に到達するまで続きます。

ノー・ドウエル・ロー動作時、DRCTLピンが立下がり変化すると、負スロープ・ランプが開始され、中断せずに(DRCTLピンにさらに動作があっても無視されます)下限値に到達するまで続きます。

両ノー・ドウエル・ビットをセットすると、連続ランプ動作モードが開始されます。すなわち、DRG 出力が設定済みのスロープ・パラメータを使って 2 つの限界値の間で自動的に発振します。さらに、DRCTL ピンの機能が少し異なります。このピンはランプ・シーケンスの開始を制御する代わりに、ランプ方向の変更だけを行います。すなわち、DRG 出力が正スロープの中央にあり、かつ DRCTL ピンがロジック 1 からロジック 0 へ変化すると、DRG は直ちに負スロープ・パラメータに切り替えて限界値の間での発振を再開します。同様に、DRG 出力が負スロープの中央にあり、かつ DRCTL ピンがロジック 0 からロジック 1 へ変化すると、DRG は直ちに正スロープ・パラメータに切り替えて限界値の間での発振を再開します。

両ノー・ドウエル・ビットがセットされると、DRG出力がいざれかの設定済みの限界値に到達するごとに、DROVER信号は正パルス(DDSクロックの 2 サイクル)を発生します(ただし、DROVERピン・アクティブ・ビットがセットされている場合)。

ノー・ドウエル・ハイ DRG出力波形を 図 40 に示します。波形図は、デジタル・ランプ・ノー・ドウエル・ハイ・ビットがセットされていて、かつI/O 更新により登録されている場合です。DROVERピン・アクティブ・ビットがセットされているものとして、DROVERピンのステータスも示しております。

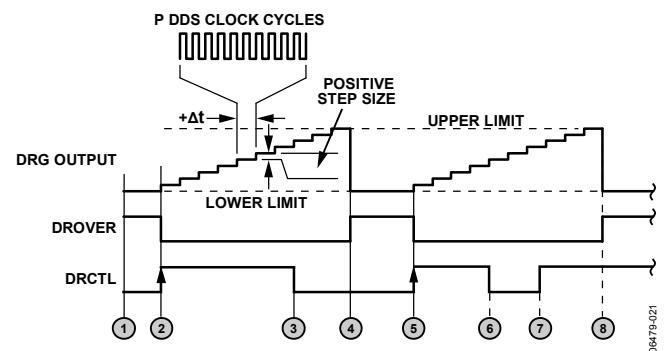


図40.ノー・ドウエル・ハイ・ランプの発生

図 40 の丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—デジタル・ランプ・イネーブル・ビットがセットされいることを I/O 更新レジスタが登録したタイミングを示します。

イベント 2—DRCTLがロジック 1 へ変化すると、DRG出力で正スロープが開始されます。

イベント 3—DRCTLがロジック 0 へ変化しそうが、DRG出力には影響しません。

イベント 4—デジタル・ランプ・ノー・ドウエル・ハイ・ビットがセットされているため、DRG出力が上限値に到達すると、直ちに下限へ切り替わり、DRCTLの次のロジック 0 からロジック 1 への変化が発生するまでこれを維持します。

イベント 5—DRCTLがロジック 0 からロジック 1 へ変化して、正スロープ・ランプが再開されます。

イベント 6 およびイベント 7—DRG出力が設定済みの上限値に到達するまで、DRCTLの変化は無視されます。

イベント 8—デジタル・ランプ・ノー・ドウエル・ハイ・ビットがセットされているため、DRG出力が上限値に到達すると、直ちに下限へ切り替わり、DRCTLの次のロジック 0 からロジック 1 への変化が発生するまでこれを維持します。

デジタル・ランプ・ノー・ドウエル・ロー・ビット(デジタル・ランプ・ノー・ドウエル・ハイ・ビットではなく)がセットされたときの動作は同じですが、DRCTLのロジック 1 からロジック 0 への変化でDRG出力が負方向へランプし、下限に到達したときに上限値へジャンプする点が異なります。

DROVERピン

DROVERピンは、DRGのステータスを表示する外部信号を出力します。特に、DRG出力が設定済みの限界値のいずれかにあるとき、DROVERピンがロジック 1 となり、その他の場合はロジック 0 になります。両ノー・ドウエル・ビットがセットされる特別なケースでは、DRG出力が設定済みのいずれかの限界値に到達するごとに、DROVERピンは DDSクロックで 2 サイクル幅の正パルスを発生します。

RAMコントロール

RAMの概要

AD9910は、 1024×32 ビットのRAMを使用しています。RAMには、データ・ロード/読み出しモードと再生モードの2つの基本動作モードがあります。シリアルI/Oポートを介してRAMデータをロードまたはリードバックするとき、データ・ロード/読み出しモードがアクティブになります。RAMイネーブル値が内部データ・ディステネーションの1つに接続されたときに、再生モードがアクティブになります。

特定の再生モードに応じて、RAMを最大8個の独立な時間領域波形で分割することができます。これらの波形はDDS信号コントロール・パラメータを駆動して、周波数変調、位相変調、振幅変調、またはポーラ変調された信号を発生できるようにします。

コントロール・ファンクション・レジスタ1のRAMイネーブル・ビットをセットすると、RAM動作がイネーブルされます。このビットの状態に対する変更を行うためには、I/O更新(プロファイル変更)が必要です。

波形は、3本のプロファイル・ピンからアクセスされる8個のRAMプロファイル・コントロール・レジスタを使って発生されます。各プロファイルには次の内容が含まれます。

- 10ビット波形開始アドレス・ワード
- 10ビット波形終了アドレス・ワード
- 16ビット・アドレス・ステップ・レート・コントロール・ワード
- 3ビットRAMモード・コントロール・ワード
- ノー・ドウエル・ハイ・ビット
- ゼロ交差ビット

終了アドレスは開始アドレスより大きい必要があります。

各プロファイルは、与えられた波形に対するサンプル数とサンプル・レートを指定します。RAMの値は内部ステート・マシンと組み合わせて、特定のレートで該当するDDS信号コントロール・パラメータに渡されます。さらに、ステート・マシンはRAMからサンプルを取り出す順序(順方向/逆)を制御することができるために、時間的に対称な波形を発生することができます。

RAMのロード/読み出し動作

RAMのロード/読み出し動作を実行するときは、RAMイネーブル=0にすることが強く推奨されます。RAM値のロードと読み出しこそには、3ステップのプロセスが必要です。

1. RAMプロファイル0～RAMプロファイル7のコントロール・レジスタには、各独立な波形の境界を指定する開始アドレスと終了アドレスを書込みます。
2. プロファイル・ピンを該当するロジック・レベルにして、目的のRAMプロファイルを選択します。

3. RAM(アドレス0x16)に対してRAMプロファイル・コントロール・レジスタで選択した、該当するRAMワード数の書き込み(または読み出し)を行います(詳細については、シリアルの設定のセクション参照)。図41に、RAMデータ・ロード/読み出し動作に使用する機能コンポーネントのブロック図を示します。

RAMロード/読み出し動作時、ステート・マシンはアップ/ダウン・カウンタが目的のRAMロケーションを通過してカウントするように制御します。カウンタはシリアルI/Oポートと同期して、32ビット・ワードのシリアル/パラレル変換が該当するRAMアドレスの発生とタイミングが合い、目的の読み出しおよび書き込み動作が正しく実行されるようにします。

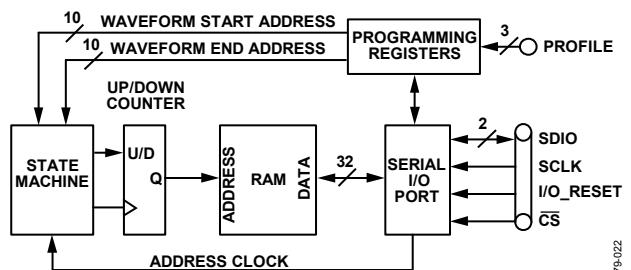


図41.RAMデータのロード/読み出し動作

06479-022

RAMプロファイルは完全に独立しているため、重複するアドレス範囲を指定することができます。このように指定すると、重複したアドレス・ロケーションに書込まれているデータが最新の書き込み動作により上書きされます。

複数の波形を1つの波形として扱うことにより、RAMへロードすることができます。すなわち、すべての波形の時間領域連結になります。これを行うときは、開始アドレスと連結される波形の範囲全体に跨る終了アドレスを持つRAMプロファイルを1つ選んで書込みます。次に、その開始アドレスと終了アドレスを設定した同じRAMプロファイルを使って、シリアルI/Oポートを介して1つの連結波形をRAMに書込みます。次に、このRAMプロファイルに、各個別波形に対応する正しい開始アドレスと終了アドレスを設定します。

RAM再生動作(波形生成)

目的の波形データをRAMにロードした後、これを読み出して波形を再生することができます。RAM再生ではRAMイネーブル=1に設定する必要があります。RAMデータを再生するときは、PROFILE[2:0]ピンを使って波形を選択します。選択されたプロファイルは、波形が占有しているRAMアドレス範囲、サンプルをRAMから読み出すレート(再生レート)、動作モード、ノードウエル機能の使用/不使用を指定して、内部ステート・マシンに渡されます。図42に、RAM再生動作に使われる機能コンポーネントのブロック図を示します。

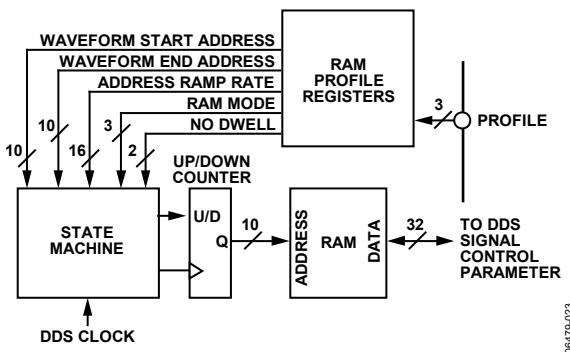


図42.RAM 再生動作

再生時、ステート・マシンはアップ/ダウン・カウンタを使って、指定されたアドレス・ロケーションを通過するようにカウントします。このカウンタのクロック・レートが、再生レートを決定します。すなわち、発生される波形のサンプル・レートになります。カウンタのクロック駆動は、ステート・マシンの内部にある 16 ビット・プログラマブル・タイマから制御されます。このタイマは DDS クロックにより駆動され、時間間隔は選択された RAM プロファイル・レジスタに格納されている 16 ビット・アドレス・ステップ・レート値により設定されます。

アドレス・ステップ・レート値が再生レートを指定します。例えば、M を特定の RAM プロファイルのアドレス・ステップ・レートの 16 ビット値とすると、そのプロファイルの再生レートは次式で与えられます。

$$\text{Playback Rate} = \frac{f_{\text{DDSCLOCK}}}{M} = \frac{f_{\text{SYSCLK}}}{4M}$$

したがって、再生レートに対応するサンプル間隔(Δt)は次式で与えられます。

$$\Delta t = \frac{1}{\text{Playback Rate}} = \frac{4M}{f_{\text{SYSCLK}}}$$

I/O ポートを介する RAM データの書き込み/読み出しが、再生動作より優先されます。再生時に RAM を対象とする I/O 動作により、進行中の波形が中断されます。

再生中に RAM から出力された 32 ビット・ワードは、コントロール・ファンクション・レジスタ 1 の 2 ビットの RAM 再生ディステネーション・ビットの指定に従って DDS 信号コントロール・パラメータに渡されます。32 ビット・ワードは、表 12 に従って分割されます。

表12.RAM 再生のディステネーション

RAM Playback Destination Bits CFR1[30:29]	DDS Signal Control Parameter	Bits Assigned to DDS Parameters
00	Frequency	31:0
01	Phase	31:16
10	Amplitude	31:18
11	Polar (phase and amplitude)	31:16 (phase) 15:2 (amplitude)

ディステネーションが、位相、振幅、またはポーラの場合、未使用的 LSB は無視されます。

RAM 再生ディステネーション・ビットは、特定の DDS 信号コントロール・パラメータに影響を与えます。RAM 再生ディステネーション・ビットから影響を受けないパラメータは、FTW、POW、および/または ASF レジスタから制御されます。

RAM_SWP_OVR (RAMスイープ・オーバー)ピン

RAM_SWP_OVR ピンは、再生シーケンスの終了を表示するアクティブ・ハイの外部信号を出力します。このピンの動作は次のセクションで説明するように、RAM 動作モードに応じて変わります。RAM イネーブル = 0 のとき、このピンはロジック 0 になります。

RAM再生モードの概要

RAM は、次の 5 種類の再生モードで動作することができます。

- ダイレクト・スイッチ
- ランプアップ
- 双方向ランプ
- 連続双方向ランプ
- 連続巡回

モードは、各 RAM プロファイル・レジスタ内の 3 ビットの RAM モード・コントロール・ワードを使って選択されます。したがって、RAM 動作モードはプロファイルに依存します。RAM プロファイル・モード・コントロール・ビットを表 13 に示します。

表13.RAM 動作モード

RAM Profile Mode Control Bits	RAM Operating Mode
000, 101, 110, 111	Direct switch
001	Ramp-up
010	Bidirectional ramp
011	Continuous bidirectional ramp
100	Continuous recirculate

RAMダイレクト・スイッチ・モード

ダイレクト・スイッチ・モードでは、RAM は波形ジェネレータとして使用されません。その代わり、PROFILE[2:0] ピンにより、RAM プロファイルが選択されると、32 ビット・ワードが 1 ワードだけ DDS に渡され、信号コントロール・パラメータとして使用されます。この 32 ビット・ワードは、選択されたプロファイルの 10 ビット波形開始アドレスで指定された RAM ロケーションに格納されているデータです。

ダイレクト・スイッチ・モードでは、RAM_SWP_OVR ピンは常にロジック 0 で、ノーワン・ドゥエル・ハイ・ビットは無視されます。

ダイレクト・スイッチ・モードでは、最大 8 レベルの FSK 変調、PSK 変調、ASK 変調が可能です。変調タイプは、RAM 再生ディステネーション・ビットで指定されます(FSK の周波数など)。各 RAM プロファイルは、周波数、位相、または振幅の特定の値に対応します。各 RAM プロファイル内の独自の各波形開始アドレス値により、特定の RAM ロケーションに格納されている 32 ビット・ワードのアクセスが可能になります。この方法では、プロファイル・ピンにシフト・キーイング機能が組込まれていて、必要に応じて DDS 出力を変調します。

3 本のプロファイル・ピンの内の 1 本を使って、2 つの異なるパラメータ値間でトグルすることにより、2 レベル変調を実現できることに注意してください。同様に、3 本のプロファイル・ピンの内の 2 本を使って、4 レベル変調も実現できます。使用するプロファイル・ピンについては制約はありません。

ゼロ交差機能によるRAMダイレクト・スイッチ・モード

ゼロ交差機能(ゼロ交差ビットによりイネーブル)は、RAM ダイレクト・スイッチ・モードでのみ使用可能な特別な機能です。ゼロ交差機能は、RAM 再生ディステネーション・ビットにより位相を DDS 信号コントロール・パラメータとして指定した場合にのみ有効です。

ゼロ交差をイネーブルすると、DDS は DDS 位相アキュムレータがフルスケールから 0° へ変化する時間(DDS 位相アキュムレータが示す位相角ポイントで、 360° から 0° へ変化するポイント)まで、新しい位相値の使用を遅延させます。DDS が正弦波を発生するように設定された場合(セレクト DDS 正弦波出力ビットを使用)、正弦波位相のゼロ交差ポイントが振幅ゼロ交差ポイントに対応するため、この機能は非常に便利です。

バイナリ位相シフト・キーイング(BPSK)の場合は、ゼロ交差機能により、AD9910 は BPSK に対応する 180° 位相ジャンプを振幅の最小瞬時変化で実行できるようになります。これにより、BPSK 変調に付随するスペクトルの拡散を防止することができます。

ゼロ交差機能は、DDS 正弦波出力をイネーブルして使うことを目的としていますが、余弦波出力でも使うことができます。この場合、RAM から取り出した位相値は、出力振幅が正のピーク値にあるときに DDS に登録されます。

RAMランプアップ・モード

ランプアップ・モードでは、I/O 更新をアサーションするか、またはプロファイルを変更すると、RAM は選択された RAM プロファイル・レジスタに設定されたパラメータを使って波形ジェネレータとしての動作を開始します。データは、指定されたアドレス範囲の RAM から読み出されます。このとき、選択された RAM プロファイルの波形開始アドレス値、波形終了アドレス値、アドレス・ランプ・レート値にそれぞれ含まれている指定されたレートが使用されます。データは、RAM 再生ディステネーション・ビットで指定された DDS 信号コントロール・パラメータへ渡されます。

内部ステート・マシンは、波形開始アドレスの RAM からデータの読み出しを開始し、波形終了アドレスに到達するまでデータの読み出しを続けます。このアドレスに到達すると、波形終了アドレスに留まるか、またはノー・ドウェル・ハイ・ビットで指定された波形開始アドレスに戻ります。そしてステート・マシンは停止し、RAM_SWP_OVR ピンがハイ・レベルになります。

ランプアップのタイミング図

通常動作とノー・ドウェル動作の図 43に、ランプアップ・モードを示します。

上の 2 つのトレースは、選択されたプロファイルの波形開始アドレスから波形終了アドレスまでの RAM アドレスの進行を表しています。アドレス値は、ステート・マシン内部のタイマの各タイムアウトごとに 1だけ進みます。タイマ周期(Δt)は、選択されたプロファイルのアドレス・ランプ・レート値により指定されます。上の 2 つのトレースは、ノー・ドウェル・ハイ・ビットの状態により異なっています。

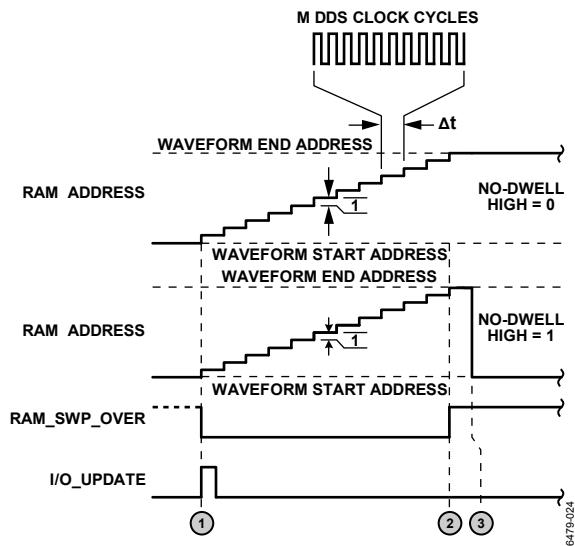


図43.ランプアップのタイミング図

図 43の丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—I/O 更新またはプロファイルの変更が発生します。このイベントにより、ステート・マシンが波形開始アドレスに初期され、RAM_SWP_OVR ピンがロジック 0 に設定されます。

イベント 2—ステート・マシンは、選択されたプロファイルの波形終了アドレス値に到達します。RAM_SWP_OVR ピンがロジック 1 に変わります。これは、通常の動作で波形発生シーケンスの終わりを示します。

イベント 3—ステート・マシンは波形開始アドレスへ切り替わります。これは、ノー・ドウェル動作での波形発生シーケンスの終わりを示します。

プロファイルを変更すると、RAM_SWP_OVR ピンがロジック 0 にリセットされ、自動的に現在の波形が終了して、新しく選択した波形が開始されます。

RAMランプアップ内部プロファイル制御モード

表14.RAM 内部プロファイル制御モード

Internal Profile Control Bits (CFR1[20:17])	Waveform Type	Internal Profile Control Description
0000		Internal profile control disabled.
0001	Burst	Execute Profile 0, then Profile 1, then halt.
0010	Burst	Execute Profile 0 to Profile 2, then halt.
0011	Burst	Execute Profile 0 to Profile 3, then halt.
0100	Burst	Execute Profile 0 to Profile 4, then halt.
0101	Burst	Execute Profile 0 to Profile 5, then halt.
0110	Burst	Execute Profile 0 to Profile 6, then halt.
0111	Burst	Execute Profile 0 to Profile 7, then halt.
1000	Continuous	Execute Profile 0, then Profile 1, continuously.
1001	Continuous	Execute Profile 0 to Profile 2, continuously.
1010	Continuous	Execute Profile 0 to Profile 3, continuously.
1011	Continuous	Execute Profile 0 to Profile 4, continuously.
1100	Continuous	Execute Profile 0 to Profile 5, continuously.
1101	Continuous	Execute Profile 0 to Profile 6, continuously.
1110	Continuous	Execute Profile 0 to Profile 7, continuously.
1111		Invalid.

ランプアップ内部プロファイル制御モードは、4 ビットの内部プロファイル・コントロール・ビットを使って開始されます (RAM プロファイル・レジスタ内の RAM プロファイル・モード・コントロール・ビットではありません)。

いずれかの内部プロファイル・コントロール・ビットがセットされると、RAM プロファイル・レジスタの RAM プロファイル・モード・コントロール・ビットが無視されます。このモードでは、ノーワーク・ドゥエル・ハイ・ビットが無視されます。内部プロファイル制御モードはランプアップ・モードと同じですが、プロファイルの切り替えが内部で自動的に行われる点が異なります。PROFILE[2:0]ビンの状態は無視されます。プロファイルは、表 14 に従って繰り返されます。

内部プロファイル制御の下で可能な波形発生タイプには、バースト波形と連続波形の 2 タイプがあります。両タイプでは、スタート・マシンはプロファイル 0 内の波形開始アドレス、波形終了アドレス、アドレス・ランプ・レートで指定される波形から開始し、プロファイル 0 の波形終了アドレスに到達すると、スタート・マシンは自動的に次のプロファイルに進み、新しいプロファイル・パラメータで指定された波形を開始します。スタート・マシンが新しいプロファイルの波形終了アドレスに到達すると、次のプロファイルに進みます。この動作は、表 14 に示すコントロール・ファンクション・レジスタ 1 (CFR1) の内部プロファイル・コントロール・ビットの指定に従い、スタート・マシンが最終プロファイルの波形終了アドレスに到達するまで続きます。

この時点での動作は、波形タイプがバーストまたは連続のいずれになるかに依存します。バースト波形の場合、スタート・マシンは、最終プロファイルの波形終了アドレスに到達した後に、動作を停止します。連続波形の場合、スタート・マシンはプロファイル 0 へ自動的にジャンプして、各プロファイルに進みシーケンシャルに波形の自動発生を続けます。このプロセスは、内部プロファイル・コントロール・ビットが再設定されて、I/O 更新がアサートされるまで続きます。

バースト波形例のタイミング図を図 44 に示します。この図では、レジスタ CFR1 の内部プロファイル・コントロール・ビットは 0010 に、RAM プロファイル 1 の開始アドレスは RAM プロファイル 0 の終了アドレスより大きい値に、RAM プロファイル 2 の開始アドレスは RAM プロファイル 1 の終了アドレスより大きい値に、それぞれ設定していますが、各プロファイルに対応する RAM ブロックは、各プロファイルの波形開始アドレスと波形終了アドレスに基づいて任意に選択できるものとしています。さらに、この例は各プロファイルに対して異なる Δt 値を使用できる方法を示しています。

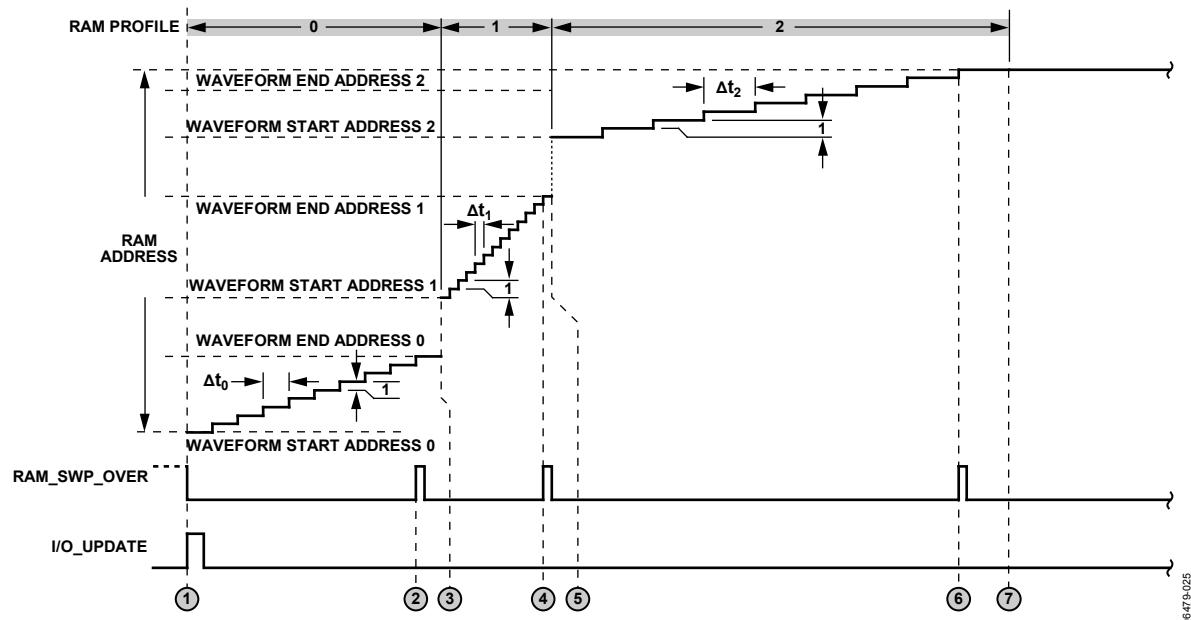


図44.内部プロファイル制御のタイミング図(バースト)

上のグレイの線は、指定されたプロファイルが有効な時間を示しています。丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—I/O 更新は、内部プロファイル・コントロール・ビット(コントロール・ファンクション・レジスタ 1)を 0010 として登録します。RAM_SWP_OVR ピンはロジック 0 に設定されます。ステート・マシンは RAM プロファイル 0 の波形開始アドレスに初期化され、間隔 Δt_0 (RAM プロファイル 0 のアドレス・ステップ・レートで指定)で RAM プロファイル 0 のアドレス範囲内でインクリメントを開始します。

イベント 2—ステート・マシンは、RAM プロファイル 0 の波形終了アドレスに到達し、RAM_SWP_OVR ピンに DDS クロックで 2 サイクル幅の正パルスが発生します。

イベント 3—RAM プロファイル 0 の波形終了アドレスに到達した後、内部タイマの次の経過により、ステート・マシンが RAM プロファイル 1 に進みます。ステート・マシンは RAM プロファイル 1 の波形開始アドレスに初期化されて、間隔 Δt_1 で RAM

プロファイル 1 のアドレス範囲内でインクリメントを開始します。

イベント 4—ステート・マシンは、RAM プロファイル 1 の波形終了アドレスに到達し、RAM_SWP_OVR ピンに DDS クロックで 2 サイクル幅の正パルスが発生します。

イベント 5—RAM プロファイル 1 の波形終了アドレスに到達した後、内部タイマの次の経過により、ステート・マシンが RAM プロファイル 2 に進みます。ステート・マシンは RAM プロファイル 2 の波形開始アドレスに初期化されて、間隔 Δt_2 で RAM プロファイル 2 のアドレス範囲内でインクリメントを開始します。

イベント 6—ステート・マシンは、RAM プロファイル 2 の波形終了アドレスに到達し、RAM_SWP_OVR ピンに DDS クロックで 2 サイクル幅の正パルスが発生します。

イベント 7—ステート・マシンは、RAM プロファイル 2 の波形終了アドレスに到達し、内部タイマの次の経過によりステート・マシンが停止し、バースト波形発生プロセスを完了します。

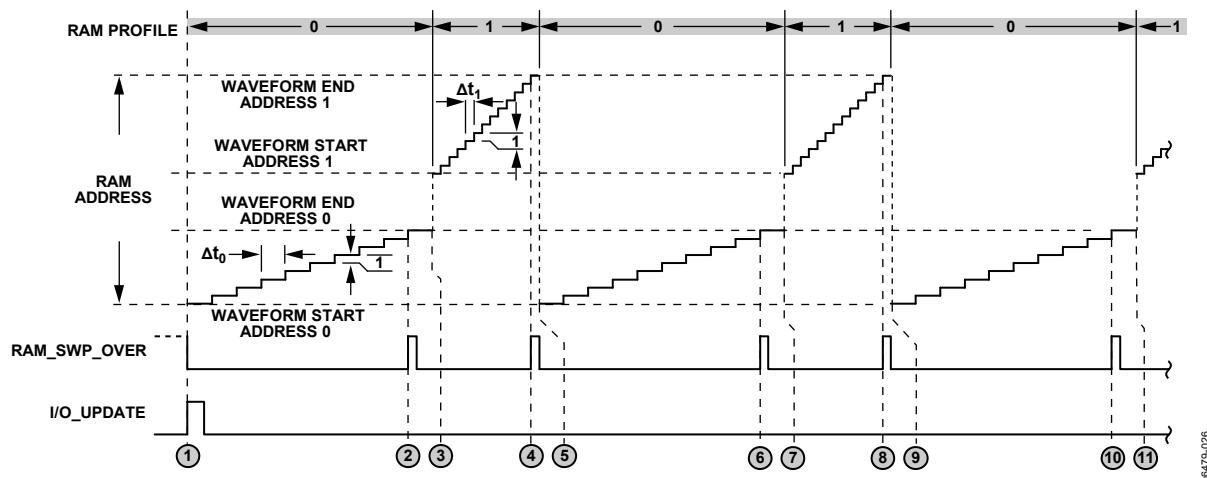


図45.内部プロファイル制御のタイミング図(バースト)

内部プロファイル制御連続波形のタイミング図

内部プロファイル制御連続波形のタイミング図の例を図45に示します。この図では、内部プロファイル・コントロール・ビット(コントロール・ファンクション・レジスタ1)を1000に設定し、RAMプロファイル1の開始アドレスは、RAMプロファイル0の終了アドレスより大きい値に設定しているものとします。

上のグレイの線は、指定されたプロファイルが有効な時間を示しています。丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント1—I/O更新は、内部プロファイル・コントロール・ビット(コントロール・ファンクション・レジスタ1)を1000として登録します。RAM_SWP_OVRピンはロジック0に設定されます。ステート・マシンはRAMプロファイル0の波形開始アドレスに初期化され、間隔 Δt_0 (RAMプロファイル0のアドレス・ステップ・レートで指定)でRAMプロファイル0のアドレス範囲内でインクリメントを開始します。

イベント2—ステート・マシンは、RAMプロファイル0の波形終了アドレスに到達し、RAM_SWP_OVRピンにDDSクロックで2サイクル幅の正パルスが発生します。

イベント3—RAMプロファイル0の波形終了アドレスに到達した後、内部タイマの次の経過により、ステート・マシンがRAMプロファイル1に進みます。ステート・マシンはRAMプロファイル1の波形開始アドレスに初期化されて、間隔 Δt_1 でRAMプロファイル1のアドレス範囲内でインクリメントを開始します。

イベント4—ステート・マシンは、RAMプロファイル1の波形終了アドレスに到達し、RAM_SWP_OVRピンにDDSクロックで2サイクル幅の正パルスが発生します。

イベント5—RAMプロファイル1の波形終了アドレスに到達した後、内部タイマの次の経過により、ステート・マシンがRAMプロファイル0にジャンプして戻ります。ステート・マシンはRAMプロファイル0の波形開始アドレスに初期化されて、間隔 Δt_0 でRAMプロファイル0のアドレス範囲内でインクリメントを開始します。

イベント5～イベント11—これらのプロセスは、内部プロファイル・コントロール・ビットが再設定されて、I/O更新がアサートされるまで繰り返されます。

RAM双方向ランプ・モード

双方向ランプ・モードでは、I/O更新がアサーションされると、RAMはRAMプロファイル0にのみ設定されたパラメータを使って(8個のすべてのプロファイルを使うランプアップ・モードとは異なります)、波形ジェネレータとしての動作を開始します。データは、指定されたアドレス範囲のRAMから、選択されたRAMプロファイルの波形開始アドレス値、波形終了アドレス値、アドレス・ランプ・レート値にそれぞれ含まれている指定されたレートで読出されます。データは、RAM再生ディステネーション・ビットで指定されたDDS信号コントロール・パラメータへ渡されます。

このモードでは、PROFILE[2:1]ピンは内部ロジックにより無視されます。このモードで動作するように設定されたRAMプロファイルが選択され、アクティブRAMプロファイルが、異なるRAM動作モードに再設定されるまで他のRAMプロファイルを選択することができません。このモードでは、ノードウエル・ハイ・ビットが無視されます。

I/O更新またはプロファイルの変更により双方向ランプ・モードが開始されると、内部ステート・マシンは波形開始アドレスのRAMからデータを読出し準備が整います。データの読出しは、PROFILE0がロジック1になると開始され、これによりステート・マシンはアドレス範囲内でインクリメントを開始します。ステート・マシンは、PROFILE0ピンがロジック1であるかぎりデータの読出しを続け、波形終了アドレスに到達すると終了します。この時点で、ステート・マシンは停止し、PROFILE0ピンがロジック0になって、アドレス範囲内のデクリメントを開始するようにステート・マシンに指示するまで停止を続けます。ステート・マシンは、PROFILE0ピンがロジック0であるかぎりデータの読出しを続け、波形終了アドレスに到達すると終了します。この時点で、ステート・マシンは停止し、PROFILE0ピンがロジック1になるまで停止を続けます。

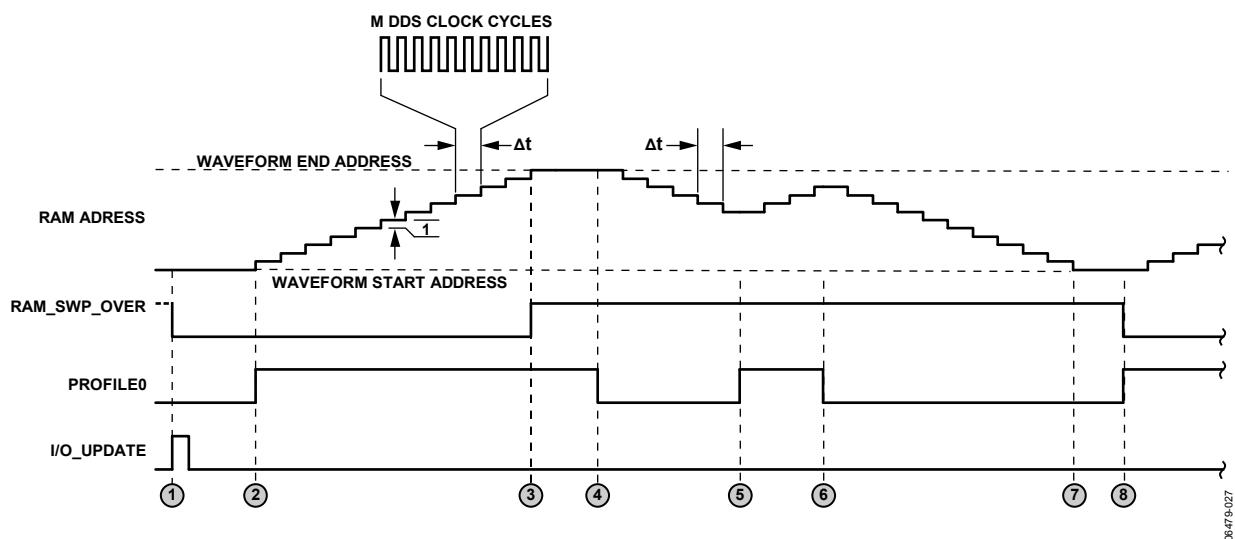


図46. 双方向ランプのタイミング図

ステート・マシンが設定済みの開始アドレスまたは終了アドレスに到達する前に PROFILE0 ピンの状態が変わると、内部タイマが再スタートして、アドレス・カウンタの方向が逆になります。

図 46 に、双方向ランプ・モードを示します。この図には、PROFILE0 ピンに応答するステート・マシンの動作と RAM_SWP_OVR ピンの応答を示しています。

ステート・マシンが波形終了アドレスに到達すると、RAM_SWP_OVR ピンがロジック 1 に変わります。ステート・マシンが波形開始アドレスに到達し、PROFILE0 ピンがロジック 0 からロジック 1 に変化するまで、このピンはロジック 1 を維持します。

図 46 の丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—I/O 更新またはプロファイルの変更により、RAM 双方向ランプ・モードが開始されます。ステート・マシンは波形開始アドレスに初期化され、RAM_SWP_OVR ピンがロジック 0 に設定されます。

イベント 2—PROFILE0 ピンがロジック 1 に変わります。ステート・マシンが RAM アドレス・カウンタのインクリメントを開始させます。

イベント 3—PROFILE0 ピンは、ステート・マシンが波形終了アドレスに到達するように、ロジック 1 を十分長く維持します。その結果、RAM_SWP_OVR ピンはロジック 1 に変わります。

イベント 4—PROFILE0 ピンはロジック 0 に変わります。ステート・マシンは、RAM アドレス・カウンタのデクリメントを開始します。RAM_SWP_OVR ピンはロジック 1 を維持します。

イベント 5—PROFILE0 ピンはロジック 1 に変わります。ステート・マシンは、内部タイマをリセットし、RAM アドレス・カウンタの方向を逆にします(すなわち、インクリメントを開始します)。波形開始アドレスに到達していないため、RAM_SWP_OVR 状態に変化はありません。

イベント 6—PROFILE0 ピンはロジック 0 に変わります。ステート・マシンは、内部タイマをリセットし、再度 RAM アドレス・カウンタの方向を逆にします。RAM_SWP_OVR 状態は変化しません。

イベント 7—PROFILE0 ピンは、ステート・マシンが波形開始アドレスに到達するように、ロジック 0 を十分長く維持します。RAM_SWP_OVR 状態に変化はありません。

イベント 8—PROFILE0 ピンがロジック 1 に変わります。ステート・マシンは内部タイマをリセットし、RAM アドレス・カウンタのインクリメントを開始させます。波形開始アドレスに到達し、かつ PROFILE0 ピンがロジック 0 からロジック 1 へ変化したため、RAM_SWP_OVR ピンがロジック 0 に変わります。

RAM連続双方向ランプ・モード

連続双方向ランプ・モードでは、I/O 更新をアサーションするか、またはプロファイルを変更すると、RAM は PROFILEx ピンで指定された RAM プロファイル・レジスタに設定されているパラメータを使って波形ジェネレータとしての動作を開始します。データは、指定されたアドレス範囲の RAM から、選択された RAM プロファイルの波形開始アドレス値、波形終了アドレス値、アドレス・ランプ・レート値にそれぞれ含まれている指定されたレートで読み出されます。データは、RAM 再生ディステネーション・ビットで指定された DDS 信号コントロール・パラメータへ渡されます。このモードでは、ノーワークル・ハイ・ビットが無視されます。

I/O 更新またはプロファイルの変更により連続双方向ランプ・モードが開始されると、内部ステート・マシンは波形開始アドレスの RAM からデータ読み出しを開始し、アドレス・カウントをインクリメントし、インクリメントは波形終了アドレスに到達するまで続きます。この時点で、ステート・マシンは自動的にアドレス・カウンタの方向を逆にし、アドレス範囲内でデクリメントを開始します。ステート・マシンは、終了アドレスの 1 つに到達するごとに、アドレス・カウンタを逆にして、処理を繰り返します。

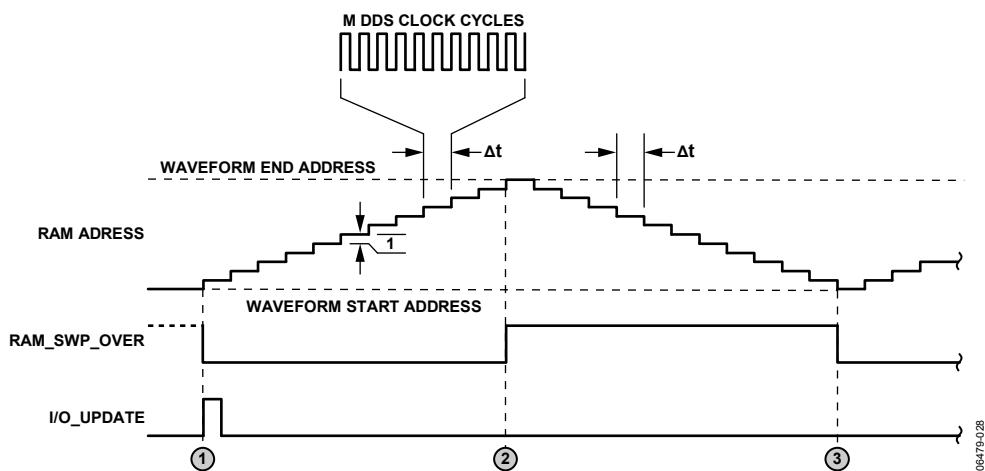


図47.連続双方向ランプのタイミング図

PROFILE ピン状態の変化により現在の波形が停止され、新しく選択された RAM プロファイルを使って新しい波形が開始されます。

ステート・マシンが波形終了アドレスに到達すると、RAM_SWP_OVR ピンがロジック 1 に変わり、次に波形開始アドレスでロジック 0 に戻り、これらのアドレスに到達するごとにトグルします。

連続双方向ランプ・モードを 図 47 に示します。丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—I/O 更新またはプロファイルの変更により、RAM 連続双方向ランプ・モードが開始されました。ステート・マシンは波形開始アドレスに初期化されます。RAM_SWP_OVR ピンはロジック 0 にリセットされます。ステート・マシンは指定されたアドレス範囲でインクリメントを開始します。

イベント 2—ステート・マシンは波形終了アドレスに到達します。RAM_SWP_OVR ピンはロジック 1 にトグルします。

イベント 3—ステート・マシンは波形開始アドレスに到達します。RAM_SWP_OVR ピンはロジック 0 にトグルします。

連続双方向ランプは、モードが変更されるまで繰り返されます。

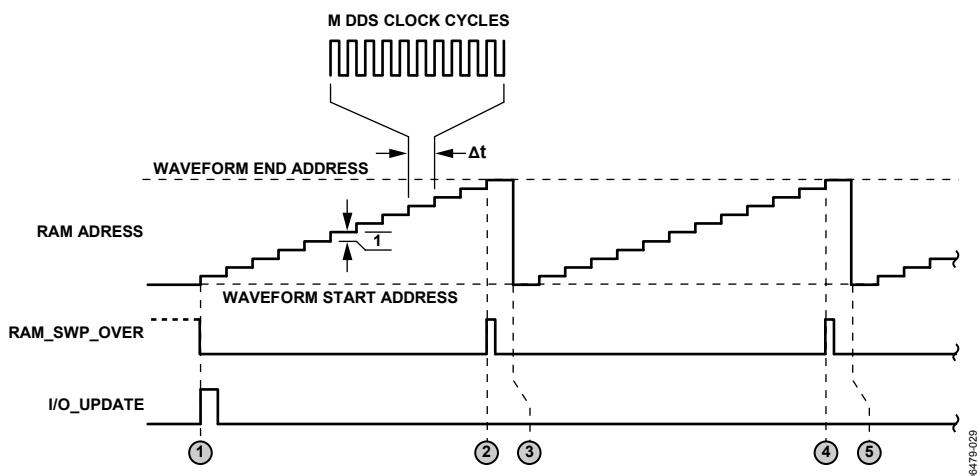


図48.連続巡回のタイミング図

RAM連続巡回モード

連続巡回モードはランプアップ・モードに似ていますが、ステート・マシンが波形終了アドレスに到達したとき、内部タイマの次のタイムアウトで、ステート・マシンが波形開始アドレスにジャンプする点が異なります。波形は、I/O 更新またはプロファイルの変更まで繰り返されます。

このモードでは、ノー・ドウエル・ハイ・ビットが無視されます。

PROFILE ピン状態の変化により現在の波形が停止され、新しく選択された RAM プロファイルを使って新しい波形が開始されます。

ステート・マシンが波形終了アドレスに到達すると、RAM_SWP_OVR ピンは DDS クロックで 2 サイクル幅の立上がりパルスを発生します。

連続巡回モードを 図 48 に示します。丸で囲んだ番号は、次に説明する特定のイベントを表します。

イベント 1—I/O 更新またはプロファイルの変更が発生します。このイベントにより、ステート・マシンが波形開始アドレスに初期され、RAM_SWP_OVR ピンがロジック 0 に設定されます。

イベント 2—ステート・マシンは、選択されたプロファイルの波形終了アドレス値に到達します。RAM_SWP_OVR ピンは、DDS クロックの 2 サイクル間ロジック 1 にトグルします。

イベント 3—ステート・マシンは波形開始アドレスへ切り替わり、アドレス・カウントのインクリメントを続けます。

イベント 4—ステート・マシンは再度選択されたプロファイルの波形終了アドレス値に到達し、RAM_SWP_OVR ピンは、DDS クロックの 2 サイクル間ロジック 1 へトグルします。

イベント 5—ステート・マシンは波形開始アドレスへ切り替わり、アドレス・カウントのインクリメントを続けます。

イベント 4 およびイベント 5—これらのイベントは、I/O 更新の発行またはプロファイルの変更まで繰り返されます。

その他の機能

プロファイル

AD9910 ではプロファイルの使用をサポートしています。このプロファイルは、特定の動作モードに対応する動作パラメータを格納する 8 個のレジスタのグループから構成されています。プロファイルを使うと、パラメータ・セット間の切り替えを迅速に行うことができます。プロファイル・パラメータは、シリアル I/O ポートを介して設定されます。設定された後は、特定のプロファイルが、3 本の外部プロファイル・セレクト・ピン (PROFILE[2:0]) を使ってアクティブにされます。特定のプロファイルは、表 15 に従って該当するロジック・レベルをプロファイル・コントロール・ピンに入力することによってアクティブにされます。

表15. プロファイル・コントロール・ピン

PROFILE[2:0]	Active Profile
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

デバイスの動作モードに応じて 8 個のプロファイル・レジスタを制御できるパラメータは 2 セットあります。RAMイネーブル = 0 のとき、プロファイル・パラメータはシングル・トーン・プロファイル・フォーマット(レジスタ・マップとビット説明のセクションで説明)に従います。RAMイネーブル = 1 のときは、RAMプロファイル・フォーマットに従います。

プロファイルの使用例として、基本的な 2 トーン周波数シフト・キーイング(FSK)のアプリケーションを取り上げます。FSK では、シリアル・ビット・ストリームでバイナリ・データを使って、マーク周波数(ロジック 1)とスペース周波数(ロジック 0)の 2 種類の周波数を選択します。FSK に対しては、デバイスはシングル・トーン・モードで動作します。シングル・トーン・プロファイル 0 レジスタには、スペースに該当する周波数チューニング・ワードが設定されます。シングル・トーン・プロフ

イル 1 レジスタには、マークに該当する周波数チューニング・ワードが設定されます。さらに、PROFILE1 ピンと PROFILE2 ピンをロジック 0 に接続し、PROFILE0 ピンはシリアル・ビット・ストリームに接続されます。この方法で、PROFILE0 ピンのロジック状態により、ビット・ストリームのバイナリ・デジットに従って該当するマーク周波数とスペース周波数が発生されます。

PROFILE ピンは、SYNC_CLK の立上がりエッジに対するセットアップ・タイムとホールド・タイムを満たす必要があります。

I/O_UPDATE、SYNC_CLK、システム・クロックの関係

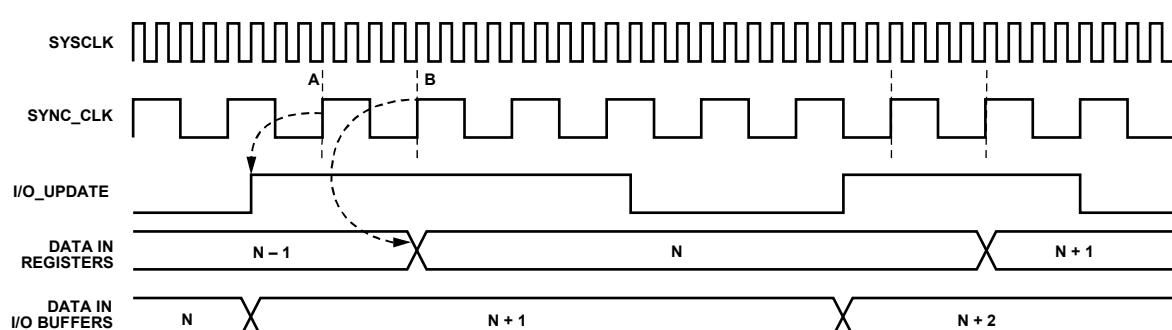
I/O_UPDATE ピンは、シリアル I/O バッファからデバイス内のアクティブ・レジスタへデータを転送するときに使います。バッファ内のデータは非アクティブです。

SYNC_CLK は、立上がりエッジがアクティブの信号です。システム・クロック周波数の 4 分周により発生されます。外部発生の SYNC_CLK を使って、外部ハードウェアを AD9910 の内部クロックに同期化することができます。

I/O_UPDATE が、バッファ転送を開始させます。この信号は、SYNC_CLK に対して同期または非同期で送信することができます。これらの信号間のセットアップ・タイムを満たす場合、DAC 出力まで一定の遅延(パイプライン)が存在します。例えば、SPI ポートを経由して位相オフセットに対して変更を繰り返すことが必要な場合、DAC 出力までのこれらの変更の遅延は一定になります。その他の場合は、SYNC_CLK の 1 周期の時間不確定性が発生します。

デフォルトでは、I/O_UPDATE ピンは、デバイス動作パラメータの同期更新を可能にするストローブ信号として機能する入力になります。I/O_UPDATE の立上がりエッジで、レジスタ値のデバイス内部作業領域への転送が開始されます。あるいは、PROFILE[2:0] ピンの状態を変えることにより、設定済みデータのプログラミング・レジスタから内部ハードウェアへの転送を開始させることもできます。

図 49 のタイミング図に、バッファ内のデータがアクティブ・レジスタへ転送されるタイミングを示します。



THE DEVICE REGISTERS AN I/O UPDATE AT POINT A. THE DATA IS TRANSFERRED FROM THE ASYNCHRONOUSLY LOADED I/O BUFFERS AT POINT B.¹⁶

図49. I/O バッファからアクティブ・レジスタへデータを転送する I/O_UPDATE

自動I/O更新

AD9910 は、外部から入力する信号の代わりに I/O 更新機能を自動的にアサートするオプションを提供しています。この機能は、コントロール・ファンクション・レジスタ 2 (CFR2)内の内部 I/O 更新アクティブ・ビットをセットすることによりイネーブルされます。

この機能がアクティブになると、I/O_UPDATE ピンは出力ピンになります。このピンは、内部 I/O 更新が発生するごとにアクティブ・ハイ・パルスを発生します。パルス幅は I/O 更新レート・コントロール・ビット(CFR2[15:14])で指定されます。表 16 に、パルス幅設定値の近似値を示します。

表16.パルス幅の設定値

I/O Update Rate Control Bits (CFR2[15:14])	I/O Update Pulse Width
00	12 SYSCLKs
01	24 SYSCLKs
10	48 SYSCLKs
11	96 SYSCLKs

この I/O 更新ストロープを使って、デバイス内部で I/O 更新が発生したことを外部コントローラに通知することができます。

内部 I/O 更新の繰り返しレートは、シリアル I/O ポートを介して設定されます。繰り返しレートを制御するパラメータは 2 つあります。1 つ目は、CFR2 内の 2 ビットの I/O 更新レート・コントロール・ビットで構成されています。2 つ目は、I/O 更新レート・レジスタ内にある 32 ビット・ワードで、内部カウンタの範囲を設定します。I/O 更新レート・コントロール・ビットは、 $1/4 f_{SYSCLK}$ で動作するクロック信号の分周比 1、2、4、または 8 を設定します。分周器出力は、前述の 32 ビット内部カウンタを駆動します。I/O 更新の繰り返しレートは次式で与えられます。

$$f_{I/O_UPDATE} = \frac{f_{SYSCLK}}{2^{A+2} B}$$

ここで、
A は I/O 更新レート・コントロール・ビットから構成される 2 ビット・ワードの値。

B は I/O 更新レート・レジスタに格納されている 32 ビット・ワードの値。

A のデフォルト値は 0、B の値は 0xFFFF。B を 0x0003 以下に設定すると、I/O_UPDATE ピンはパルスを出力しなくなり、ステティックなロジック 1 状態と見なされます。

パワーダウンのコントロール

AD9910 は、デバイスの特別な 4 つのセクションを独立にパワーダウンさせる機能を提供しています。このパワーダウン機能は次を対象とします。

- デジタル・コア
- DAC
- 補助 DAC
- REFCLK クロック入力回路

デジタル・コアのパワーダウンにより、シリアル I/O ポートを更新する機能がディスエーブルされますが、シリアル・ポートを介してデジタル・パワーダウン・ビットをクリアして、回復不能状態になることを回避することができます。

ソフトウェア・パワーダウンは、コントロール・ファンクション・レジスタ 1 (CFR1)内の 4 ビットの独立なパワーダウン・ビットを使って制御されます。ソフトウェア制御では、EXT_PWR_DWN ピンをロジック 0 状態にすることが必要です。この場合、必要とするパワーダウン・ビットをセットすると(シリアル I/O ポートを経由して)、対応する機能ブロックがパワーダウンし、これに対してこのビットをクリアすると機能が回復されます。

あるいは、EXT_PWR_DWN ピンを使った外部ハードウェア制御を介して 4 つの機能すべてを同時にパワーダウンすることができます。このピンをロジック 1 にすると、パワーダウン・ビットの状態に無関係に、4 個のすべての回路ブロックがパワーダウンされます。すなわち、EXT_PWR_DWN がロジック 1 のとき、CFR1 内の独立なパワーダウン・ビットが無視されて、上書きされます。

外部パワーダウンコントロール・ビットの状態に応じて、EXT_PWR_DWN ピンはフル・パワーダウンまたは高速リカバリ・パワーダウンを発生します。高速リカバリ・パワーダウン・モードでは、DAC バイアス回路、PLL、VCO、入力クロック回路の電源は維持されます。高速リカバリ・パワーダウンでは、フル・パワーダウンほど消費電力を節約しませんが、デバイスはパワーダウン状態から非常に迅速に立上がりることができます。

複数デバイスの同期

クロック状態が一致しつつ状態が同時に変化する場合、複数デバイスが同期します。クロック同期を使うと、複数のデバイスを非同期で設定して、全デバイスに同時に I/O 更新を入力することにより、設定を同期してアクティブにすることができます。

AD9910 の同期ロジックの機能は、内部クロック・ジェネレータを予め指定された状態にして、SYNC_INx ピンに入力される外部同期信号と一致させることです。すべてのデバイスが同じ外部信号に同期して同じクロック状態にされた場合、定義上デバイスは同期化されたことになります。図 50 に、同期機能のブロック図を示します。同期ロジックは、同期ジェネレータと同期レシーバ(両方とも内部タイミングにローカル SYSCLK 信号を使います)の 2 つの独立なブロックに分割されます。

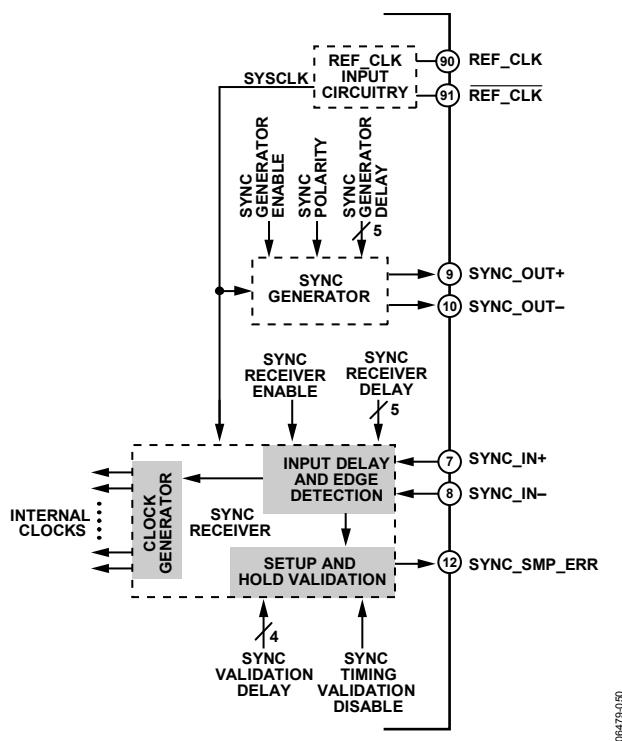
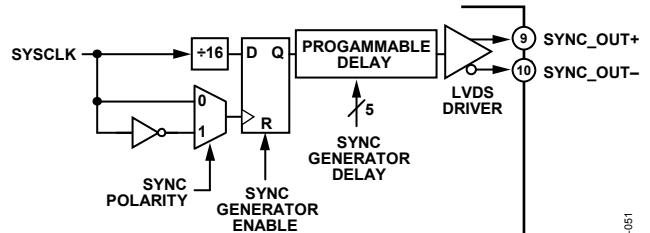


図50.同期回路のブロック図

この同期メカニズムは、各デバイスに現れるREFCLK信号は、外部REFCLK分配システムがあるため互いに他のデバイスとエッジが一致しているということを前提にしています(図 53 参照)。

同期ジェネレータ・ブロックを図 51 に示します。このブロックは同期ジェネレータ・イネーブル・ビットを使って起動されます。このブロックにより、グループ内の 1 個の AD9910 がマスター・タイミング・ソースとして機能し、残りのデバイスがスレーブとして機能することが可能になります。



06479-051

図51.同期ジェネレータのブロック図

同期ジェネレータは、SYNC_OUTx ピンに現れるクロック信号を発生します。このクロックは LVDS ドライバにより分配され、デューティ・サイクルは 50% です。クロックは次式で与えられる固定周波数を持ちます。

$$f_{\text{SYNC_OUT}} = \frac{f_{\text{SYSCLK}}}{16}$$

SYNC_OUTx ピンのクロックは、同期ジェネレータ極性ビットの指定に応じて、内部 SYSCLK 信号の立上がりエッジまたは立下がりエッジに同期化されます。SYNC_OUTx 信号は、マスター・デバイスの内部 SYSCLK と同期しているため、マスター・デバイスの SYSCLK は、すべてのスレーブ・デバイスに対して基準タイミング・ソースとして機能します。シリアル I/O ポートを介して 5 ビットの同期発生器遅延ワードを設定することにより、約 150 ps ステップで SYNC_OUTx 信号の出力遅延を調節することができます。出力遅延が設定可能であるため、エッジ・タイミングの柔軟性が増して、すべての同期メカニズムをカバーすることができます。

同期レシーバ・ブロック(図 52)は、同期レシーバ・イネーブル・ビット(0x0A[27])を使って起動します。同期レシーバは、入力遅延およびエッジ検出ブロック、内部クロック・ジェネレータ・ブロック、セットアップおよびホールド・バリデーション・ブロックの 3 つの部分から構成されています。

クロック・ジェネレータ・ブロックは、同期レシーバがイネーブルされていない場合でも動作しています。

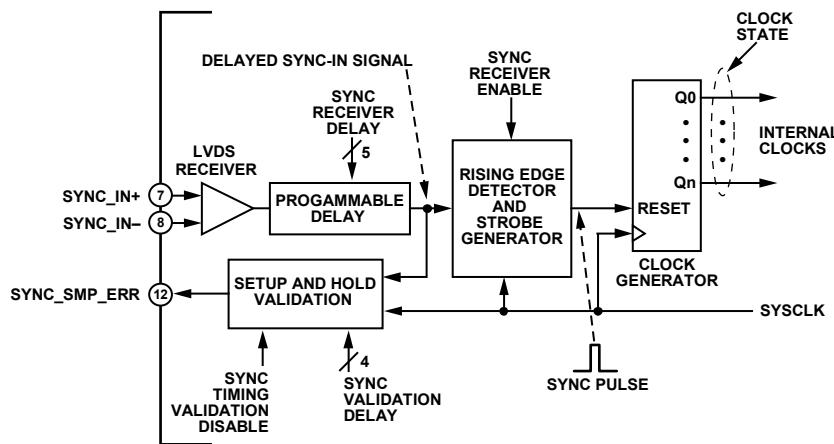


図52.同期レシーバのブロック図

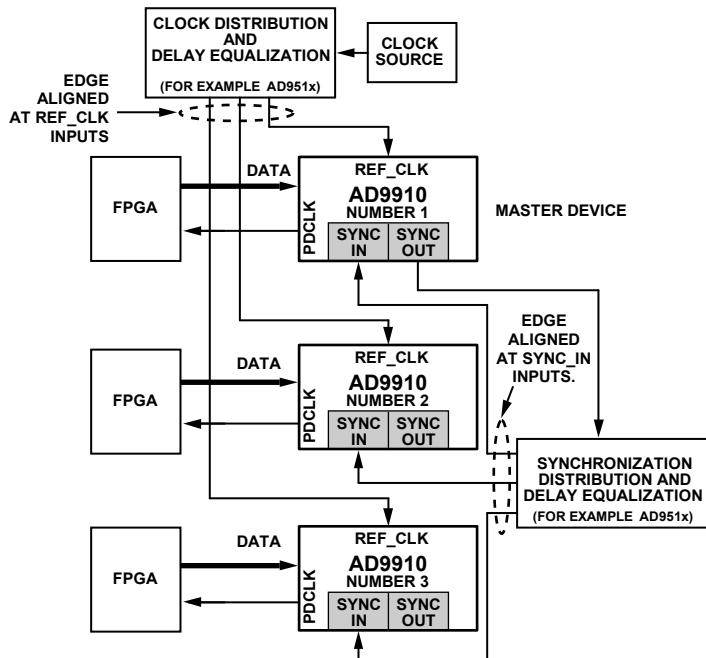


図53.複数デバイスの同期例

同期レシーバは、SYNC_INx ピンで周期クロック信号を受け取ります。この信号は、LVDS 互換ドライバから発生されたものと見なされます。マルチチップ同期レジスタ内の 5 ビットの入力同期レシーバ遅延ワードを設定することにより、約 150 ps ステップで SYNC_INx 信号を遅延させることができます。プログラマブル遅延出力の信号は、遅延された SYNC_INx 信号と呼ばれます。

エッジ検出ロジックは、同期パルスを発生します。このパルスは、SYSCLK で 1 サイクルの継続時間と、SYNC_INx ピンに入力される信号の周波数に一致する繰り返しレートを持っています。この同期パルスは、遅延された SYNC_INx 信号の立上がりエッジをローカル SYSCLK の立上がりエッジでサンプリングすることにより発生されます。同期パルスは、SYSCLK レートで駆動されるプリセット可能なカウンタとして動作する内部クロック・ジェネレータに渡されます。同期パルスは、カウンタを予め指定された状態にプリセットします(マルチチップ同期レジ

スタ内の 6 ビットの同期状態プリセット値ワードを使って設定)。予め指定された状態は、SYSCLK の 1 サイクル間だけアクティブで、その後クロック・ジェネレータは SYSCLK レートで状態シーケンスを繰り返します。この独自な状態プリセット・メカニズムにより、特定の相対クロック状態オフセットで(異なる同期状態プリセット値ワードを各デバイスに設定します)、デバイスを同期化する柔軟性が提供されます。

各 AD9910 に、すべてのデバイス間でエッジが一致する SYNC_INx 信号を入力することにより複数デバイスの同期が実現されます。SYNC_INx 信号のエッジがすべてのデバイスで一致し、かつすべてのデバイスが同じ同期レシーバ遅延と同期状態プリセット値を持つ場合、これらすべてのデバイスは一致するクロック状態を持ちます(すなわち、すべてが同期化されます)。概念図を 図 53 に示します。この図では、3 個の AD9910 デバイスが同期化され、1 個のデバイスがマスター・タイミング・

ユニットとして動作し、他はスレーブ・ユニットとして動作します。

マスター・デバイスは、スレーブ・ユニットと同期するため、同期分配および遅延等化メカニズムの一部として SYNC_INx ピンを持つ必要があります。

同期化メカニズムは、クロック分配および遅延等化ブロックから開始されます。これにより、すべてのデバイスがエッジの一一致した REFCLK 信号を受信することが保証されます。ただし、すべてのデバイス間で REFCLK 信号のエッジが一致していても、これだけで各内部クロック発生器のクロック状態が他と一致していることを保証できません。これを確実にするのが、同期および遅延等化ブロックの役割です。このブロックは、マスター・デバイスで発生された SYNC_OUTx 信号を受信して、スレーブ・ユニットの SYNC_INx 入力へ再出力します(さらにまたマスターへ戻します)。マスター・デバイスから SYNC_OUT 信号を再分配する目的は、エッジの一一致した SYNC_INx 信号をすべての同期レシーバに分配することです。

すべてのデバイスが同じ REFCLK エッジ・タイミングを共用し(クロック分配および遅延等化ブロックの機能)、かつすべてのデバイスが同じ SYNC_INx エッジを共用する(同期および遅延等化ブロックの機能)ものとすると、すべてのデバイスは一致した内部同期パルスを発生することになります(ただし、すべてのデバイスが同じ値の同期レシーバ遅延値を持つ場合)。さらに、すべてのデバイスが同じ同期状態プリセット値を持つものとすると、同期化された同期パルスにより、すべてのデバイスが同時に既定の同じクロック状態を持つことになります。すなわち、全デバイスの内部クロックが同期化されます。

この同期メカニズムは、同期レシーバ内のエッジ検出ブロックによる同期パルスの信頼度の高い発生に依存します。ただし、有効な同期パルスの発生には、ローカルSYSCLK の立上がりエッジ

で、遅延された SYNC_INx 信号の立上がりエッジを正しくサンプリングすることが必要です。これらの信号のエッジ・タイミングがエッジ検出回路内の内部ラッチのセットアップ・タイム条件またはホールド・タイム条件を満たさない場合、同期パルスの発生はできません。セットアップおよびホールド・バリデーション・ブロック(図 54)は、2 つの信号間に正しいエッジ・タイミングが存在することを確認する手段を提供します。

セットアップおよびホールド・バリデーション・ブロックは、コントロール・ファンクション・レジスタ 2 の同期タイミング・バリデーション・ディスエーブル・ビットを使って、ディスエーブルすることができます。

バリデーション・ブロックは、指定された時間ウインドウを使用します(このウインドウはマルチチップ同期レジスタ内の 4 ビットの同期バリデーション遅延ワードを使って約 150 ps ステップでインクリメントできます)。セットアップ・バリデーション回路とホールド・バリデーション回路では、立上がりエッジ検出器とストローブ・ジェネレータで使用されているものと同じラッチを使っています。このプログラマブルな時間ウインドウを使って、ローカル SYSCLK 信号の立上がりエッジと遅延された SYNC_INx 信号の立上がりエッジとの間のタイミングを調整します。ホールドまたはセットアップ・バリデーション回路が有効なエッジ・サンプルを検出できない場合、この状態は SYNC_SMP_ERR ピン(アクティブ・ハイ)を使って外部に表示されます。

SYSCLK 周期に対して適切な比の同期バリデーション遅延値を選択する必要があります。例えば、SYSCLK 周波数が 1 GHz (1 ps 周期) の場合は、適切な値は 1 または 2 となります(150 ps または 300 ps)。大き過ぎる値を選択すると、SYNC_SMP_ERR ピンは偽エラー信号を発生します。小さ過ぎる値を選択すると、不安定になります。

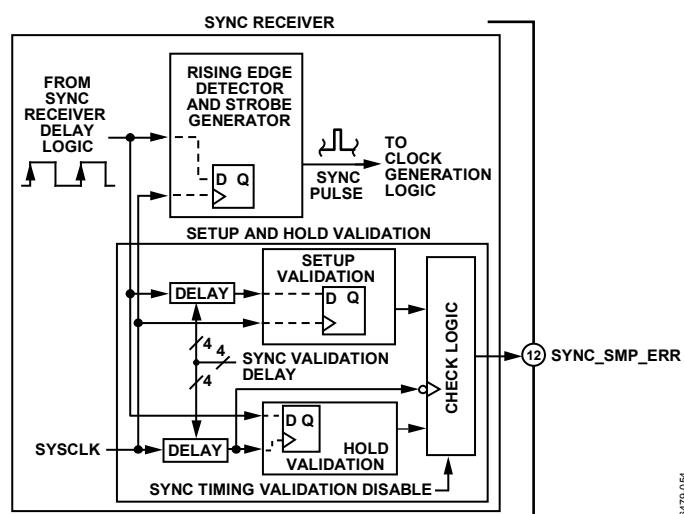


図54.同期タイミング・バリデーション・ブロック

電源の分割

AD9910 は複数の電源をサポートし、消費電力は構成によって変ります。このセクションでは、一緒にグループ化する電源と周波数による各ブロックの消費電力変化について説明します。

このセクションで引用する値は、比較の目的にのみ使用します。正確な値については 表 1 を参照してください。各グループには、 $10 \mu\text{F}$ のコンデンサと並列に $0.1 \mu\text{F}$ または $0.01 \mu\text{F}$ のバイパス・コンデンサを使用してください。

ここでの推奨は一般的なアプリケーションを対象にしており、 3.3 V デジタル、 3.3 V アナログ、 1.8 V デジタル、 1.8 V アナログの 4 グループの電源があります。

最高性能を必要とするアプリケーションでは、さらに電源アイソレーションを強化する必要があります。

3.3 V 電源

DVDD_I/O (3.3V) (ピン 11、ピン 15、ピン 21、ピン 28、ピン 45、ピン 56、ピン 66)

これらの 3.3 V 電源は同じグループにすることができます。これらのピンの消費電力は、シリアル・ポートの動作によりダイナミックに変化します。

AVDD (3.3V) (ピン 74~ピン 77、ピン 83)

これらは、約 28 mA (typ) を消費する 3.3 V DAC 電源です。すくなくとも、他の 3.3 V 電源から分離するためフェライト・ビードを使う必要があります。レギュレータごとに使うのが理想的です。これらの電源の消費電流は、主にバイアス電流であるため周波数によって変わりません。

1.8 V 電源

DVDD (1.8V) (ピン 17、ピン 23、ピン 30、ピン 47、ピン 57、ピン 64)

これらのピンは、同じグループにすることができます。これらの消費電流はシステム・クロック周波数に比例して増加します。代表的な消費電流カーブについては、図 17 と 図 18 を参照してください。また、 f_{OUT} が 50 MHz から 400 MHz へ高くなると、少し増加します(約 5%)。

AVDD (1.8V) (ピン 3)

この 1.8 V 電源は、REFCLK 適倍器(PLL)の電源であり、約 7 mA を消費します。PLL イネーブルをした最高性能を必要とするアプリケーションでは、この電源を他の 1.8 V AVDD 電源から個別にレギュレータを使って分離する必要があります。要求の厳しくないアプリケーションでは、この電源をピン 89 およびピン 92 と同じレギュレータからとることができます。このときピン 3 をピン 89 およびピン 92 から分離するフェライト・ビードを使います。

PLL のループ・フィルタは、直接ピン 3 に接続する必要があります。PLL をバイパスする場合でも、ピン 3 の電源を維持する必要がありますが、アイソレーションは重要でなくなります。

AVDD (1.8V) (ピン 6)

このピンは、DVDD 1.8 V 電源ピンと同じグループに入れることができます。最高性能を得るためににはフェライト・ビードを使ってアイソレーションする必要があります。個別レギュレータの使用が理想的です。

AVDD (1.8V) (ピン 89 とピン 92)

この 1.8 V 電源は REFCLK 入力用で、約 15 mA を消費します。これらのピンは、ピン 3 と同じ電源からとることができ、このときピン 89 とピン 92 からピン 3 を分離するためにフェライト・ビードを使います。すくなくとも、他の 1.8 V 電源からこれらのピンを分離するためにフェライト・ビードを使う必要があります。ただし、最高性能を必要とするアプリケーションでは、個別レギュレータの使用が推奨されます。

シリアルの設定

コントロール・インターフェースシリアルI/O

AD9910 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に行うことができます。シリアル I/O ポートは、大部分の同期転送フォーマットと互換性を持っています。

このインターフェースを使うと、AD9910 を設定するすべてのレジスタに対して読み書きアクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。さらに、シリアル・インターフェース・ポートは、1 本の入力/出力(SDIO)として設定できます(2 線式インターフェースが可能)。あるいは、入力/出力(SDIO/SDO)用の 2 本の單方向ピンとして設定できます(3 線式インターフェースが可能)。2 本のオプション・ピン(I/O_RESET と CS)は、AD9910 を使うシステム・デザインで柔軟性を強化します。

シリアルI/Oの動作概要

シリアル通信サイクルには 2 つのフェーズがあります。1 つ目は、命令バイトをAD9910 に書込む命令フェーズです。命令バイトはアクセス対象となるレジスタのアドレスを含んでおり(レジスタ・マップとビット説明のセクション参照)、次のデータ転送で書込み動作または読み出し動作のいずれを実行するかを指定します。

書込みサイクルの場合、フェーズ 2 はシリアル・ポート・コントローラからシリアル・ポート・バッファへのデータ転送です。転送されるバイト数は、アクセス対象のレジスタによって決まります。例えば、コントロール・ファンクション・レジスター 2(アドレス 0x01)をアクセスする場合、フェーズ 2 では 4 バイトの転送が必要です。データの各ビットは、SCLK の各対応する立上がりエッジでレジスタに入力されます。シリアル・ポート・コントローラは、レジスタのすべてのバイトがアクセスされるものと見なします。そうしないと、シリアル・ポート・コントローラは、次の通信サイクルのシーケンスからはずれてしまいます。ただし、要求より少ないバイト数を書込む 1 つの方法は、I/O_RESET ピンの機能を使うことです。I/O_RESET ピン機能を使って I/O 動作を停止させて、シリアル・ポート・コントローラのポインタをリセットすることができます。I/O リセットの後の次のバイトは命令バイトです。I/O リセットの前に書込まれた完全な各バイトは、シリアル・ポート・バッファに保存されていることに注意してください。書込まれても完全なバイトにならないものは保存されません。すべての通信サイクルの終わりで、AD9910 のシリアル・ポート・コントローラは、次の 8 個の SCLK 立上がりエッジが次の通信サイクルの命令バイトに対応するものと見なします。

書込みサイクルの後、設定されたデータはシリアル・ポート・バッファの中にあり、非アクティブになっています。I/O_UPDATE により、データがシリアル・ポート・バッファからアクティブ・レジスタへ転送されます。I/O 更新は各通信サイクルが完了した後に、またはすべてのシリアル動作が完了したときに、送信することができます。さらに、PROFILE ピンの変化により、I/O 更新を開始させることができます。

読み出しサイクルの場合、フェーズ 2 は書込みサイクルと同じですが、データはシリアル・ポート・バッファからではなくアクティブ・レジスタから読み出され点と、データは SCLK の立下がりエッジで出力される点が異なります。

プロファイル・レジスタ(0x0E~0x15)をリードバックするときは、3 本の外部 PROFILE ピンを使う必要があります。例えば、プロファイル・レジスタがプロファイル 5 (0x13)の場合、PROFILE[0:2]ピンは 101 とする必要があります。これは、プロファイル・レジスタへの書き込みでは不要です。

命令バイト

命令バイトは、次のビット・マップに示す情報から構成されています。

命令バイト情報のビット・マップ

								LSB
D7	D6	D5	D4	D3	D2	D1	D0	
R/W	X	X	A4	A3	A2	A1	A0	

R/ \overline{W} —命令バイトのビット 7 は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を指定します。クリアは書き込み動作を表します。

X、X—命令バイトのビット 6 とビット 5 は Don't Care です。

A4、A3、A2、A1、A0—命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。

シリアルI/Oポート・ピンの説明

SCLK—シリアル・クロック

シリアル・クロック・ピンは、AD9910 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。

\overline{CS} —チップ・セレクト・バー

\overline{CS} は、同じシリアル通信ライン上に複数のデバイスの接続を可能にするアクティブ・ロー入力です。この入力がハイ・レベルになると、SDO ピンと SDIO ピンはハイ・インピーダンス状態になります。通信サイクル中にハイ・レベルに駆動されると、そのサイクルは、 \overline{CS} が再度ロー・レベルになるまで中断されます。SCLK の制御を維持するシステムでは、チップ・セレクト(\overline{CS})をロー・レベルに固定することができます。

SDIO—シリアル・データ入力/出力

データは常にこのピンから AD9910 に書込まれます。このピンは双方方向データラインとして使うことができます。CFR1 レジスタ(アドレス 0x00)のビット 1 により、このピンの構成が制御されます。デフォルトではクリアされており、SDIO ピンは双方に設定されます。

SDO—シリアル・データ出力

データの送信と受信に別々のラインを使うプロトコルでは、このピンからデータが読み出されます。AD9910 がシングル双方方向 I/O モードで動作する場合、このピンからはデータが出力されず、ハイ・インピーダンス状態になります。

I/O_RESET—入力/出力リセット

I/O_RESET は、アドレス指定可能なレジスタ値に影響を与えることなく、I/O ポート・ステート・マシンを同期化します。I/O_RESET ピンにアクティブ・ハイを入力すると、現在の通信サイクルが中止されます。I/O_RESET がロー・レベル(ロジック 0)に戻ると、次の通信サイクルが開始され、命令バイトの書き込みから始まります。

I/O_UPDATE—入力/出力更新

I/O_UPDATE は、書込まれたデータの I/O ポート・バッファからアクティブ・レジスタへの転送を開始させます。I/O_UPDATE は立上がりエッジでアクティブであり、パルス幅は SYNC_CLK の 1 周期より大きい必要があります。このピンは、内部 I/O 更新アクティブ・ビットの設定に応じて入力ピンまたは出力ピンになります。

シリアルI/Oのタイミング図

図 55～図 58 に、シリアル I/O ポートの種々のコントロール信号間のタイミング関係の基本例を示します。レジスタ・マップ内の大部分のビットは、I/O 更新(タイミング図には示していません)がアサーションされるまで、内部ディステネーションへ転送されません。

MSB/LSBの転送

AD9910 シリアル・ポートでは、最上位ビット(MSB)先頭または最下位ビット(LSB)先頭の両データ・フォーマットをサポートすることができます。この機能は、コントロール・ファンクション・レジスタ 1(レジスタ 0x00)のビット 0 から制御されます。デフォルト・フォーマットは MSB ファーストです。LSB ファーストがアクティブの場合、命令バイトを含むすべてのデータは、LSB ファーストの規則に従う必要があります。各レジスタのビット範囲の列に記載する最大値は MSB であり、最小値はそのレジスタの LSB であることに注意してください(レジスタ・マップとビット説明のセクションと表 17 を参照)。

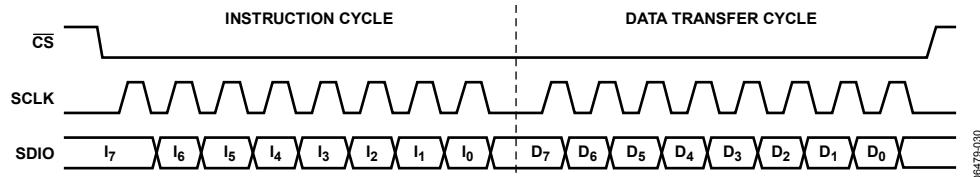


図55.シリアル・ポートの書き込みタイミング—クロック停止時ロー・レベル

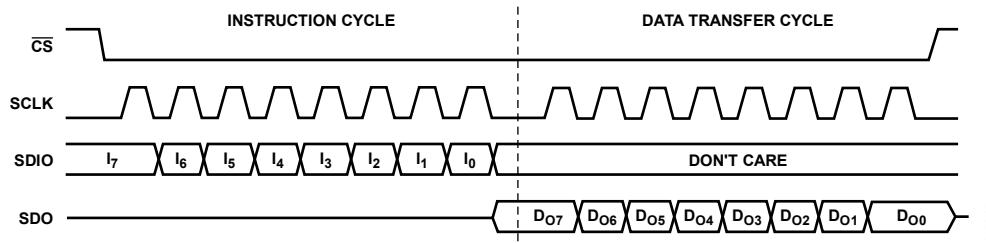


図56.3 線式シリアル・ポートの読み出しタイミング—クロック停止時ロー・レベル

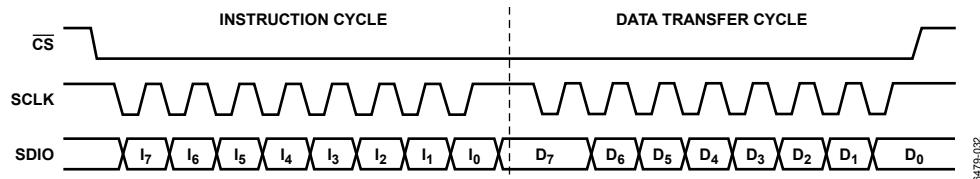


図57.シリアル・ポートの書き込みタイミング—クロック停止時ハイ・レベル

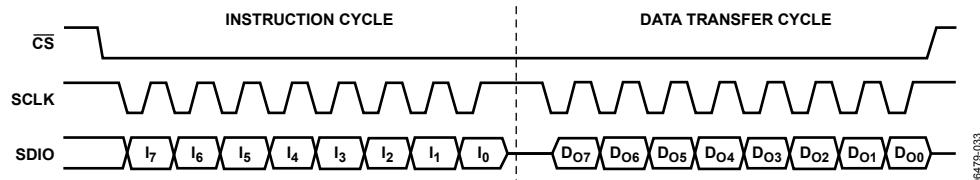


図58.2 線式シリアル・ポートの読み出しタイミング—クロック停止時ハイ・レベル

レジスタ・マップとビット説明

表17.レジスタ・マップ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value ¹ (Hex)			
CFR1— Control Function Register 1 (0x00)	31:24	RAM enable	RAM playback destination					Open			0x00		
	23:16	Manual OSK external control	Inverse sinc filter enable	Open	Internal profile control					Select DDS sine output	0x00		
	15:8	Load LRR @ I/O update	Autoclear digital ramp accumulator	Autoclear phase accumulator	Clear digital ramp accumulator	Clear phase accumulator	Load ARR @ I/O update	OSK enable	Select auto OSK	0x00			
	7:0	Digital power-down	DAC power-down	REFCLK input power-down	Aux DAC power-down	External power-down control	Open	SDIO input only	LSB first	0x00			
CFR2— Control Function Register 2 (0x01)	31:24	Open							Enable amplitude scale from single tone profiles	0x00			
	23:16	Internal I/O update active	SYNC_CLK enable	Digital ramp destination		Digital ramp enable	Digital ramp no-dwell high	Digital ramp no-dwell low	Read effective FTW	0x40			
	15:8	I/O update rate control		Open		PDCLK enable	PDCLK invert	TxEnable invert	Open	0x08			
	7:0	Matched latency enable	Data assembler hold last value	Sync timing validation disable	Parallel data port enable	FM gain				0x20			
CFR3— Control Function Register 3 (0x02)	31:24	Open		DRV0[1:0]		Open	VCO SEL[2:0]			0x1F			
	23:16	Open		I _{CP} [2:0]		Open			Open	0x3F			
	15:8	REFCLK input divider bypass	REFCLK input divider ResetB	Open			PFD reset	Open	PLL enable	0x40			
	7:0	N[6:0]							Open	0x00			
Auxiliary DAC Control (0x03)	31:24	Open							Open	0x00			
	23:16	Open							Open	0x00			
	15:8	Open							Open	0x00			
	7:0	FSC[7:0]							Open	0x7F			
I/O Update Rate (0x04)	31:24	I/O update rate[31:24]							Open	0xFF			
	23:16	I/O update rate[23:16]							Open	0xFF			
	15:8	I/O update rate[15:8]							Open	0xFF			
	7:0	I/O update rate[7:0]							Open	0xFF			
FTW— Frequency Tuning Word (0x07)	31:24	Frequency tuning word[31:24]							Open	0x00			
	23:16	Frequency tuning word[23:16]							Open	0x00			
	15:8	Frequency tuning word[15:8]							Open	0x00			
	7:0	Frequency tuning word[7:0]							Open	0x00			

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value ¹ (Hex)
POW—Phase Offset Word (0x08)	15:8 7:0									0x00
ASF—Amplitude Scale Factor (0x09)	31:24 23:16 15:8 7:0				Amplitude ramp rate[15:8] Amplitude ramp rate[7:0] Amplitude scale factor[13:6] Amplitude scale factor[5:0]					0x00
Multichip Sync (0x0A)	31:24 23:16 15:8 7:0			Sync validation delay[3:0]	Sync receiver enable	Sync generator enable	Sync generator polarity	Open	Open	0x00
Digital Ramp Limit (0x0B)	63:56 55:48 47:40 39:32 31:24 23:16 15:8 7:0				Digital ramp upper limit[31:24] Digital ramp upper limit[23:16] Digital ramp upper limit[15:8] Digital ramp upper limit[7:0] Digital ramp lower limit[31:24] Digital ramp lower limit[23:16] Digital ramp lower limit[15:8] Digital ramp lower limit[7:0]					N/A
Digital Ramp Step Size (0x0C)	63:56 55:48 47:40 39:32 31:24 23:16 15:8 7:0				Digital ramp decrement step size[31:24] Digital ramp decrement step size[23:16] Digital ramp decrement step size[15:8] Digital ramp decrement step size[7:0] Digital ramp increment step size[31:24] Digital ramp increment step size[23:16] Digital ramp increment step size[15:8] Digital ramp increment step size[7:0]					N/A
Digital Ramp Rate (0x0D)	31:24 23:16 15:8 7:0				Digital ramp negative slope rate [15:8] Digital ramp negative slope rate[7:0] Digital ramp positive slope rate[15:8] Digital ramp positive slope rate[7:0]					N/A
Single Tone Profile 0 (0x0E)	63:56 55:48 47:40 39:32 31:24 23:16 15:8 7:0	Open			Amplitude Scale Factor 0[13:8] Amplitude Scale Factor 0[7:0] Phase Offset Word 0[15:8] Phase Offset Word 0[7:0] Frequency Tuning Word 0[31:24] Frequency Tuning Word 0[23:16] Frequency Tuning Word 0[15:8] Frequency Tuning Word 0[7:0]					0x08 0xB5 0x00 0x00 0x00 0x00 0x00 0x00

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value ¹ (Hex)
RAM Profile 0 (0x0E)	63:56						Open			0x00
	55:48						RAM Profile 0 address step rate[15:8]			0x00
	47:40						RAM Profile 0 address step rate[7:0]			0x00
	39:32						RAM Profile 0 waveform end address[9:2]			0x00
	31:24	RAM Profile 0 waveform end address[1:0]					Open			0x00
	23:16						RAM Profile 0 waveform start address[9:2]			0x00
	15:8	RAM Profile 0 waveform start address[1:0]					Open			0x00
	7:0	Open	No-dwell high	Open	Zero-crossing		RAM Profile 0 mode control[2:0]			0x00
Single Tone Profile 1 (0x0F)	63:56	Open					Amplitude Scale Factor 1[13:8]			0x00
	55:48						Amplitude Scale Factor 1[7:0]			0x00
	47:40						Phase Offset Word 1[15:8]			0x00
	39:32						Phase Offset Word 1[7:0]			0x00
	31:24						Frequency Tuning Word 1[31:24]			0x00
	23:16						Frequency Tuning Word 1[23:16]			0x00
	15:8						Frequency Tuning Word 1[15:8]			0x00
	7:0						Frequency Tuning Word 1[7:0]			0x00
RAM Profile 1 (0x0F)	63:56						Open			0x00
	55:48						RAM Profile 1 address step rate[15:8]			0x00
	47:40						RAM Profile 1 address step rate[7:0]			0x00
	39:32						RAM Profile 1 waveform end address[9:2]			0x00
	31:24	RAM Profile 1 waveform end address[1:0]					Open			0x00
	23:16						RAM Profile 1 waveform start address[9:2]			0x00
	15:8	RAM Profile 1 waveform start address[1:0]					Open			0x00
	7:0	Open	No-dwell high	Open	Zero-crossing		RAM Profile 1 mode control[2:0]			0x00
Single Tone Profile 2 (0x10)	63:56	Open					Amplitude Scale Factor 2[13:8]			0x00
	55:48						Amplitude Scale Factor 2[7:0]			0x00
	47:40						Phase Offset Word 2[15:8]			0x00
	39:32						Phase Offset Word 2[7:0]			0x00
	31:24						Frequency Tuning Word 2[31:24]			0x00
	23:16						Frequency Tuning Word 2[23:16]			0x00
	15:8						Frequency Tuning Word 2[15:8]			0x00
	7:0						Frequency Tuning Word 2[7:0]			0x00
RAM Profile 2 (0x10)	63:56						Open			0x00
	55:48						RAM Profile 2 address step rate[15:8]			0x00
	47:40						RAM Profile 2 address step rate[7:0]			0x00
	39:32						RAM Profile 2 waveform end address[9:2]			0x00
	31:24	RAM Profile 2 waveform end address[1:0]					Open			0x00
	23:16						RAM Profile 2 waveform start address[9:2]			0x00
	15:8	RAM Profile 2 waveform start address[1:0]					Open			0x00
	7:0	Open	No-dwell high	Open	Zero-crossing		RAM Profile 2 mode control[2:0]			0x00

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value ¹ (Hex)
Single Tone Profile 3 (0x11)	63:56	Open								0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24									0x00
	23:16									0x00
	15:8									0x00
	7:0									0x00
RAM Profile 3 (0x11)	63:56									0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24	RAM Profile 3 waveform end address[1:0]								0x00
	23:16									0x00
	15:8	RAM Profile 3 waveform start address[1:0]								0x00
	7:0	Open	No-dwell high	Open	Zero-crossing				RAM Profile 3 mode control[2:0]	0x00
Single Tone Profile 4 (0x12)	63:56	Open								0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24									0x00
	23:16									0x00
	15:8									0x00
	7:0									0x00
RAM Profile 4 (0x12)	63:56									0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24	RAM Profile 4 waveform end address[1:0]								0x00
	23:16									0x00
	15:8	RAM Profile 4 waveform start address[1:0]								0x00
	7:0	Open	No-dwell high	Open	Zero-crossing				RAM Profile 4 mode control[2:0]	0x00
Single Tone Profile 5 (0x13)	63:56	Open								0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24									0x00
	23:16									0x00
	15:8									0x00
	7:0									0x00

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value ¹ (Hex)
RAM Profile 5 (0x13)	63:56									0x00
	55:48									0x00
	47:40									0x00
	39:32									0x00
	31:24	RAM Profile 5 waveform end address[1:0]								0x00
	23:16									0x00
	15:8	RAM Profile 5 waveform start address[1:0]								0x00
	7:0	Open	No-dwell high	Open	Zero-crossing				RAM Profile 5 mode control[2:0]	0x00
Single Tone Profile 6 (0x14)	63:56	Open							Amplitude Scale Factor 6[13:8]	0x00
	55:48								Amplitude Scale Factor 6[7:0]	0x00
	47:40								Phase Offset Word 6[15:8]	0x00
	39:32								Phase Offset Word 6[7:0]	0x00
	31:24								Frequency Tuning Word 6[31:24]	0x00
	23:16								Frequency Tuning Word 6[23:16]	0x00
	15:8								Frequency Tuning Word 6[15:8]	0x00
	7:0								Frequency Tuning Word 6[7:0]	0x00
RAM Profile 6 (0x14)	63:56								Open	0x00
	55:48								RAM Profile 6 address step rate[15:8]	0x00
	47:40								RAM Profile 6 address step rate[7:0]	0x00
	39:32								RAM Profile 6 waveform end address[9:2]	0x00
	31:24	RAM Profile 6 waveform end address[1:0]							Open	0x00
	23:16								RAM Profile 6 waveform start address[9:2]	0x00
	15:8	AM Profile 6 waveform start address[1:0]							Open	0x00
	7:0	Open	No-dwell high	Open	Zero-crossing				RAM Profile 6 mode control[2:0]	0x00
Single Tone Profile 7 (0x15)	63:56	Open							Amplitude Scale Factor 7[13:8]	0x00
	55:48								Amplitude Scale Factor 7[7:0]	0x00
	47:40								Phase Offset Word 7[15:8]	0x00
	39:32								Phase Offset Word 7[7:0]	0x00
	31:24								Frequency Tuning Word 7[31:24]	0x00
	23:16								Frequency Tuning Word 7[23:16]	0x00
	15:8								Frequency Tuning Word 7[15:8]	0x00
	7:0								Frequency Tuning Word 7[7:0]	0x00
RAM Profile 7 (0x15)	63:56								Open	0x00
	55:48								RAM Profile 7 address step rate[15:8]	0x00
	47:40								RAM Profile 7 address step rate[7:0]	0x00
	39:32								RAM Profile 7 waveform end address[9:2]	0x00
	31:24	RAM Profile 7 waveform end address[1:0]							Open	0x00
	23:16								RAM Profile 7 waveform start address[9:2]	0x00
	15:8	RAM Profile 7 waveform start address[1:0]							Open	0x00
	7:0	Open	No-dwell high	Open	Zero-crossing				RAM Profile 7 mode control[2:0]	0x00
RAM (0x16)	31:0								RAM word[31:0]	0x00

¹ N/A = 非適用。

レジスタ・ビットの説明

シリアル I/O ポートの各レジスタは、0~23 (16 進では 0x00~0x16) のアドレス範囲に配置されています。合計 24 個のレジスタを示してありますが、これらのレジスタの内の 2 個は未使用であるため、合計 22 が使用可能レジスタです。未使用レジスタはレジスタ 5 とレジスタ 6 です(それぞれ 0x05 と 0x06)。

レジスタに割り当てられるバイト数は変わります。すなわち、各レジスタのサイズは均一でなく、各々には特定の機能に必要なバイト数が含まれています。さらに、レジスタには機能に従って名前が付けられています。場合によっては、レジスタにネーミックが付いていることがあります。例えば、シリアル・アドレス 0x00 のレジスタには、コントロール・ファンクション・レジスタ 1 の名前が与えられ、ネーミック CFR1 が与えられています。

次のセクションでは、AD9910 レジスタ・マップの各ビットの詳しい説明を行います。ビットのグループが特定の機能を持つ場合、グループ全体をバイナリ・ワードと見なして、一括して説明します。

コントロール・ファンクション・レジスタ 1 (CFR1)—アドレス 0x00

このレジスタには 4 バイトが割り当てられています。

表18.CFR1 のビット説明

Bit(s)	Mnemonic	Description
31	RAM enable	0 = disables RAM functionality (default). 1 = enables RAM functionality (required for both load/retrieve and playback operation).
30:29	RAM playback destination	See Table 12 for details; default is 00b.
28:24	Open	
23	Manual OSK external control	Ineffective unless CFR1[9:8] = 10b. 0 = OSK pin inoperative (default). 1 = OSK pin enabled for manual OSK control (see Output Shift Keying (OSK) section for details).
22	Inverse sinc filter enable	0 = inverse sinc filter bypassed (default). 1 = inverse sinc filter active.
21	Open	
20:17	Internal profile control	Ineffective unless CFR1[31] = 1. These bits are effective without the need for an I/O update. See Table 14 for details. Default is 0000b.
16	Select DDS sine output	0 = cosine output of the DDS is selected (default). 1 = sine output of the DDS is selected.
15	Load LRR @ I/O update	Ineffective unless CFR2[19] = 1. 0 = normal operation of the digital ramp timer (default). 1 = digital ramp timer loaded any time I/O_UPDATE is asserted or a PROFILE[2:0] change occurs.
14	Autoclear digital ramp accumulator	0 = normal operation of the DRG accumulator (default). 1 = the ramp accumulator is reset for one cycle of the DDS clock after which the accumulator automatically resumes normal operation. As long as this bit remains set, the ramp accumulator is momentarily reset each time an I/O_UPDATE is asserted or a PROFILE[2:0] change occurs. This bit is synchronized with either an I/O_UPDATE or a PROFILE[2:0] change and the next rising edge of SYNC_CLK.
13	Autoclear phase accumulator	0 = normal operation of the DDS phase accumulator (default). 1 = synchronously resets the DDS phase accumulator anytime I/O_UPDATE is asserted or a profile change occurs.
12	Clear digital ramp accumulator	0 = normal operation of the DRG accumulator (default). 1 = asynchronous, static reset of the DRG accumulator. The ramp accumulator remains reset as long as this bit remains set. This bit is synchronized with either an I/O_UPDATE or a PROFILE[2:0] change and the next rising edge of SYNC_CLK.
11	Clear phase accumulator	0 = normal operation of the DDS phase accumulator (default). 1 = asynchronous, static reset of the DDS phase accumulator.
10	Load ARR @ I/O update	Ineffective unless CFR1[9:8] = 11b. 0 = normal operation of the OSK amplitude ramp rate timer (default). 1 = OSK amplitude ramp rate timer reloaded anytime I/O_UPDATE is asserted or a PROFILE[2:0]

このセクションは、レジスタのシリアル・アドレス順で構成されています。各サブ・ヘッダーには、レジスタ名とオプションのレジスタ・ネーミック(括弧内)も記載しております。16 進のシリアル・アドレスとレジスタに割り当てられたバイト数も記載しております。

各サブヘッダーに続いて、特定のレジスタの各ビット説明の表を示します。レジスタ内のビットの位置は、单一の数値またはコマで区切った一対の数値で示します。すなわち、数値の対(A:B)は、上位(A)から下位(B)までのビットの範囲を表します。例えば、5:2 は 5~2 のビット位置を表し、0 はレジスタの LSB を表します。

別に注記がないかぎり、書込まれたビットは、I/O_UPDATE ピンのアサーションまたはプロファイル変化があるまで、内部ディステネーションへ転送されません。

Bit(s)	Mnemonic	Description
		change occurs.
9	OSK enable	The output shift keying enable bit. 0 = OSK disabled (default). 1 = OSK enabled.
8	Select auto OSK	Ineffective unless CFR1[9] = 1. 0 = manual OSK enabled (default). 1 = automatic OSK enabled.
7	Digital power-down	This bit is effective without the need for an I/O update. 0 = clock signals to the digital core are active (default). 1 = clock signals to the digital core are disabled.
6	DAC power-down	0 = DAC clock signals and bias circuits are active (default). 1 = DAC clock signals and bias circuits are disabled.
5	REFCLK input power-down	This bit is effective without the need for an I/O update. 0 = REFCLK input circuits and PLL are active (default). 1 = REFCLK input circuits and PLL are disabled.
4	Auxiliary DAC power-down	0 = auxiliary DAC clock signals and bias circuits are active (default). 1 = auxiliary DAC clock signals and bias circuits are disabled.
3	External power-down control	0 = assertion of the EXT_PWR_DWN pin affects full power-down (default). 1 = assertion of the EXT_PWR_DWN pin affects fast recovery power-down.
2	Open	
1	SDIO input only	0 = configures the SDIO pin for bidirectional operation; 2-wire serial programming mode (default). 1 = configures the serial data I/O pin (SDIO) as an input only pin; 3-wire serial programming mode.
0	LSB first	0 = configures the serial I/O port for MSB-first format (default). 1 = configures the serial I/O port for LSB-first format.

コントロール・ファンクション・レジスタ 2 (CFR2) — アドレス 0x01

このレジスタには 4 バイトが割り当てられています。

表19.CFR2 のビット説明

Bit(s)	Mnemonic	Description
31:25	Open	
24	Enable amplitude scale from single tone profiles	Ineffective if CFR2[19] = 1 or CFR1[31] = 1 or CFR1[9] = 1. 0 = the amplitude scaler is bypassed and shut down for power conservation (default). 1 = the amplitude is scaled by the ASF from the active profile.
23	Internal I/O update active	This bit is effective without the need for an I/O update. 0 = serial I/O programming is synchronized with the external assertion of the I/O_UPDATE pin, which is configured as an input pin (default). 1 = serial I/O programming is synchronized with an internally generated I/O update signal (the internally generated signal appears at the I/O_UPDATE pin, which is configured as an output pin).
22	SYNC_CLK enable	0 = the SYNC_CLK pin is disabled; static Logic 0 output. 1 = the SYNC_CLK pin generates a clock signal at $\frac{1}{4} f_{SYSCLK}$; used for synchronization of the serial I/O port (default).
21:20	Digital ramp destination	See Table 11 for details. Default is 00b. See the Digital Ramp Generator (DRG) section for details.
19	Digital ramp enable	0 = disables digital ramp generator functionality (default). 1 = enables digital ramp generator functionality.
18	Digital ramp no-dwell high	See the Digital Ramp Generator (DRG) section for details. 0 = disables no-dwell high functionality (default). 1 = enables no-dwell high functionality.
17	Digital ramp no-dwell low	See the Digital Ramp Generator (DRG) section for details. 0 = disables no-dwell low functionality (default). 1 = enables no-dwell low functionality.
16	Read effective FTW	0 = a serial I/O port read operation of the FTW register reports the contents of the FTW register (default). 1 = a serial I/O port read operation of the FTW register reports the actual 32-bit word appearing at the input to the DDS phase accumulator.
15:14	I/O update rate control	Ineffective unless CFR2[23] = 1. Sets the prescale ratio of the divider that clocks the auto I/O update timer as follows: 00 = divide-by-1 (default). 01 = divide-by-2. 10 = divide-by-4. 11 = divide-by-8.
13:12	Open	
11	PDCLK enable	0 = the PDCLK pin is disabled and forced to a static Logic 0 state; the internal clock signal continues to operate and provide timing to the data assembler. 1 = the internal PDCLK signal appears at the PDCLK pin (default).
10	PDCLK invert	0 = normal PDCLK polarity; Q-data associated with Logic 1, I-data with Logic 0 (default). 1 = inverted PDCLK polarity.
9	TxEnable invert	0 = no inversion. 1 = inversion.
8	Open	
7	Matched latency enable	0 = simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output in the order listed (default). 1 = simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output simultaneously.

Bit(s)	Mnemonic	Description
6	Data assembler hold last value	Ineffective unless CFR2[4] = 1. 0 = the data assembler of the parallel data port internally forces zeros on the data path and ignores the signals on the D[15:0] and F[1:0] pins while the TxENABLE pin is Logic 0 (default). This implies that the destination of the data at the parallel data port is amplitude when TxENABLE is Logic 0. 1 = the data assembler of the parallel data port internally forces the last value received on the D[15:0] and F[1:0] pins while the TxENABLE pin is Logic 1.
5	Sync timing validation disable	0 = enables the SYNC_SMP_ERR pin to indicate (active high) detection of a synchronization pulse sampling error. 1 = the SYNC_SMP_ERR pin is forced to a static Logic 0 condition (default).
4	Parallel data port enable	See the Parallel Data Port Modulation Mode section for more details. 0 = disables parallel data port modulation functionality (default). 1 = enables parallel data port modulation functionality.
3:0	FM gain	See the Parallel Data Port Modulation Mode section for more details. Default is 0000b.

コントロール・ファンクション・レジスタ 3 (CFR3)—アドレス 0x02

このレジスタには 4 バイトが割り当てられています。

表20.CFR3 のビット説明

Bit(s)	Mnemonic	Description
31:30	Open	
29:28	DRV0	Controls the REFCLK_OUT pin (see Table 7 for details); default is 00b.
27	Open	
26:24	VCO SEL	Selects the frequency band of the REFCLK PLL VCO (see Table 8 for details); default is 111b.
23:22	Open	
21:19	I _{CP}	Selects the charge pump current in the REFCLK PLL (see Table 9 for details); default is 111b.
18:16	Open	
15	REFCLK input divider bypass	0 = input divider is selected (default). 1 = input divider is bypassed.
14	REFCLK input divider ResetB	0 = input divider is reset. 1 = input divider operates normally (default).
13:11	Open	
10	PFD reset	0 = normal operation (default). 1 = phase detector disabled.
9	Open	
8	PLL enable	0 = REFCLK PLL bypassed (default). 1 = REFCLK PLL enabled.
7:1	N	This 7-bit number is the divide modulus of the REFCLK PLL feedback divider; default is 000000b.
0	Open	

補助DACコントロール・レジスター アドレス 0x03

このレジスタには 4 バイトが割り当てられています。

表21.DAC コントロール・レジスタのビット説明

Bit(s)	Mnemonic	Description
31:8	Open	
7:0	FSC	This 8-bit number controls the full-scale output current of the main DAC (see the Auxiliary DAC section); default is 0x7F.

I/O更新レート・レジスターAアドレス 0x04

このレジスタには4バイトが割り当てられています。このレジスタは、I/O 更新なしで有効です。

表22.I/O 更新レート・レジスタのビット説明

Bit(s)	Mnemonic	Description
31:0	I/O update rate	Ineffective unless CFR2[23] = 1. This 32-bit number controls the automatic I/O update rate (see the Automatic I/O Update section for details); default is 0xFFFFFFFF.

周波数チューニング・ワード・レジスタ(FTW)－アドレス 0x07

このレジスタには4バイトが割り当てられています。

表23.FTW レジスタのビット説明

Bit(s)	Mnemonic	Description
31:0	Frequency tuning word	32-bit frequency tuning word.

フェーズオフセット・ワード・レジスタ(POW)－アドレス 0x08

このレジスタには2バイトが割り当てられています。

表24.POW レジスタのビット説明

Bit(s)	Mnemonic	Description
15:0	Phase offset word	16-bit phase offset word.

振幅スケール・ファクタ・レジスタ(ASF)－アドレス 0x09

このレジスタには4バイトが割り当てられています。

表25ASF レジスタのビット説明

Bit(s)	Mnemonic	Description
31:16	Amplitude ramp rate	16-bit amplitude ramp rate value. Effective only if CFR1[9:8] = 11b; see the Output Shift Keying (OSK) section for details.
15:2	Amplitude scale factor	14-bit amplitude scale factor.
1:0	Amplitude step size	Effective only if CFR1[9:8] = 11b; see the Output Shift Keying (OSK) section for details.

マルチチップ同期レジスターAアドレス 0x0A

このレジスタには 4 バイトが割り当てられています。

表26.マルチチップ同期レジスタ

Bit(s)	Mnemonic	Description
31:28	Sync validation delay	This 4-bit number sets the timing skew (in ~150 ps increments) between SYSCLK and the delayed SYNC_INx signal for the sync validation block in the sync receiver. Default is 0000b.
27	Sync receiver enable	0 = synchronization clock receiver disabled (default). 1 = synchronization clock receiver enabled.
26	Sync generator enable	0 = synchronization clock generator disabled (default). 1 = synchronization clock generator enabled.
25	Sync generator polarity	0 = synchronization clock generator coincident with the rising edge of SYSCLK (default). 1 = synchronization clock generator coincident with the falling edge of SYSCLK.
24	Open	
23:18	Sync state preset value	This 6-bit number is the state that the internal clock generator assumes when it receives a sync pulse. Default is 000000b.
17:16	Open	
15:11	Output sync generator delay	This 5-bit number sets the output delay (in ~150 ps increments) of the sync generator. Default is 00000b.
10:8	Open	
7:3	Input sync receiver delay	This 5-bit number sets the input delay (in ~150 ps increments) of the sync receiver. Default is 00000b.
2:0	Open	

デジタル・ランプ限界値レジスターAアドレス 0x0B

このレジスタには 8 バイトが割り当てられています。このレジスタはCFR2[19] = 1 の場合にのみ有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表27.デジタル・ランプ限界値レジスタのビット説明

Bit(s)	Mnemonic	Description
63:32	Digital ramp upper limit	32-bit digital ramp upper limit value.
31:0	Digital ramp lower limit	32-bit digital ramp lower limit value.

デジタル・ランプ・ステップ・サイズ・レジスターAアドレス 0x0C

このレジスタには 8 バイトが割り当てられています。このレジスタはCFR2[19] = 1 の場合にのみ有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表28.デジタル・ランプ・ステップ・サイズ・レジスタのビット説明

Bit(s)	Mnemonic	Description
63:32	Digital ramp decrement step size	32-bit digital ramp decrement step size value.
31:0	Digital ramp increment step size	32-bit digital ramp increment step size value.

デジタル・ランプ・レート・レジスターAアドレス 0x0D

このレジスタには 4 バイトが割り当てられています。このレジスタはCFR2[19] = 1 の場合にのみ有効です。詳細については、デジタル・ランプ・ジェネレータ(DRG)のセクションを参照してください。

表29.デジタル・ランプ・レート・レジスタのビット説明

Bit(s)	Mnemonic	Description
31:16	Digital ramp negative slope rate	16-bit digital ramp negative slope value that defines the time interval between decrement values.
15:0	Digital ramp positive slope rate	16-bit digital ramp positive slope value that defines the time interval between increment values.

プロファイル・レジスタ

8 個の連続したシリアルI/Oアドレス(アドレス 0x0E～アドレス 0x015)がデバイス・プロファイルに割り当てられています。8 個の全プロファイル・レジスタは、シングル・トーン・プロファイルまたはRAMプロファイルです。RAMプロファイルは、CFR1[31] = 1 の場合に有効です。シングル・トーン・プロファ

イルはCFR1[31] = 0、CFR2[19] = 0, and CFR2[4] = 0 の場合に有効です。通常の動作では、外部PROFILE[2:0]ピンを使って、アクティブ・プロファイル・レジスタが選択されます。。ただし、CFR1[31] = 1かつCFR1[20:17] ≠ 0000bの特別なケースでは、アクティブ・プロファイルが自動的に選択されます(RAMランプアップ内部プロファイル制御モードのセクション参照)。

プロファイル0～プロファイル7、シングル・トーン・レジスター アドレス 0x0E～アドレス 0x15

各レジスタには 8 バイトが割り当てられています。

表30. プロファイル0～プロファイル7 シングル・トーン・レジスタのビット説明

Bit(s)	Mnemonic	Description
63:62	Open	
61:48	Amplitude scale factor	This 14-bit number controls the DDS output amplitude.
47:32	Phase offset word	This 16-bit number controls the DDS phase offset.
31:0	Frequency tuning word	This 32-bit number controls the DDS frequency.

RAMプロファイル0～RAMプロファイル7、コントロール・レジスター アドレス 0x0E～アドレス 0x15

各レジスタには 8 バイトが割り当てられています。

表31. プロファイル0～プロファイル7 RAM レジスタのビット説明

Bit(s)	Mnemonic	Description
63:56	Open	
55:40	Address step rate	16-bit address step rate value.
39:30	Waveform end address	10-bit waveform end address.
29:24	Open	
23:14	Waveform start address	10-bit waveform start address.
13:6	Open	
5	No-dwell high	Effective only when the RAM mode is in ramp-up. 0 = when the RAM state machine reaches the end address, it halts. 1 = when the RAM state machines reaches the end address, it jumps to the start address and halts.
4	Open	
3	Zero-crossing	Effective only when in RAM mode, direct switch. 0 = zero-crossing function disabled. 1 = zero-crossing function enabled.
2:0	RAM mode control	See Table 13 for details.

RAMレジスター アドレス 0x16

RAM レジスタには 4 バイトが割り当てられています。

表32. RAM レジスタのビット説明

Bit(s)	Mnemonic	Description
31:0	RAM word	The start and end addresses in the RAM Profile 0 to RAM Profile 7 control registers define the number of 32-bit words (1 minimum, 1024 maximum) to be written to the RAM register.

外形寸法

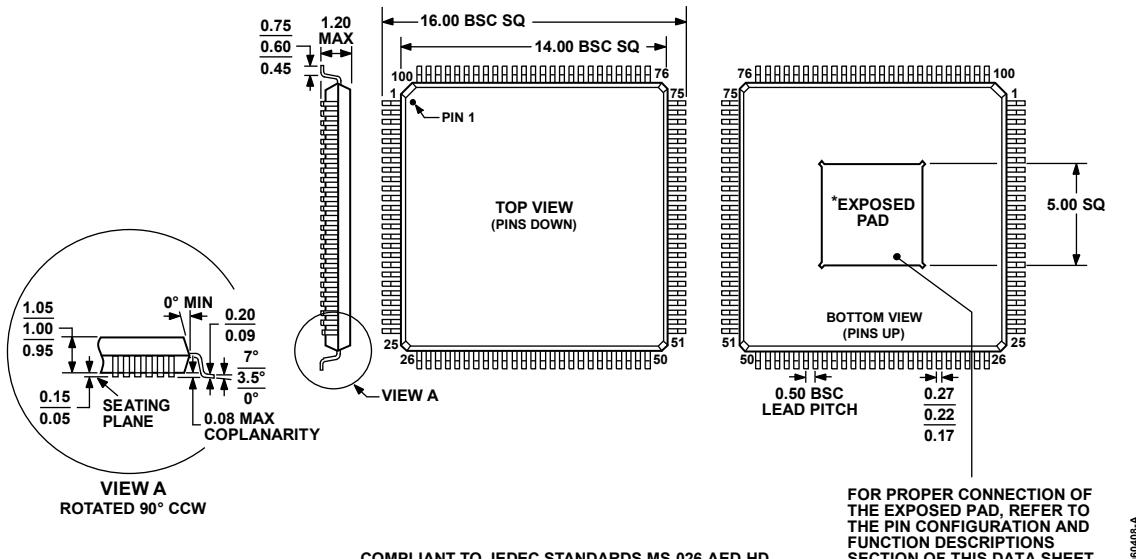


図59.100 ピン薄型クワッド・フラット・パッケージ、エクスポート・パッド[TQFP_EP]
(SV-100-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9910BSVZ ¹	-40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-100-4
AD9910BSVZ-REEL ¹	-40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-100-4
AD9910/PCBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。