



1 MSPS、超低消費電力の 2/4/8チャンネル12ビットSAR ADC

データシート

AD7091R-2/AD7091R-4/AD7091R-8

特長

超低システム消費電力

柔軟な消費電力／スループット・レート管理機能

ノーマル・モード

1 MSPS で 1.4 mW

パワーダウン・モード

$V_{DD} = 5.25\text{ V}$ で 550 nA (typ)

$V_{DD} = 3\text{ V}$ で 435 nA (typ)

プログラマブルな ALERT 割込みピン (4/8 チャンネル・モデル)

高性能

レイテンシ／パイプライン遅延なしで 1 MSPS スループット

SNR: 10 kHz 入力周波数で 70 dB (typ)

THD: 10 kHz 入力周波数で -80 dB (typ)

INL: $\pm 0.7\text{ LSB}$ (typ)、 $\pm 1.0\text{ LSB}$ (最大)

小型システム・フットプリント

5 ppm/°C (typ) ドリフトの正確な 2.5 V リファレンスを内蔵

MUX_{OUT}/ADC_{IN} ピンによりひとつのアンプでバッファリング可能

デジタイゼーション・モード

16 ピン、20 ピン、24 ピンの 4 mm × 4 mm LFCSP パッケージを採用

16 ピン、20 ピン、24 ピンの TSSOP パッケージを採用

使用が容易

SPI/QSPI™/MICROWIRE™/DSP 互換のデジタル・インターフェース

プログラマブルなチャンネル・シーケンサを内蔵

BUSY 表示を装備 (4/8 チャンネル・モデル)

制御および監視アプリケーション用の機能を内蔵

GPOx ピンを装備 (4/8 チャンネル・モデル)

広い動作範囲

温度範囲: -40°C ~ +125°C

$V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ で仕様を規定

アプリケーション

バッテリー駆動のシステム

パーソナル・デジタル・アシスタント

医用計測機器

モバイル通信

計装システムおよび制御システム

データ・アキュイジション・システム

光センサー

診断／モニタ機能

機能ブロック図

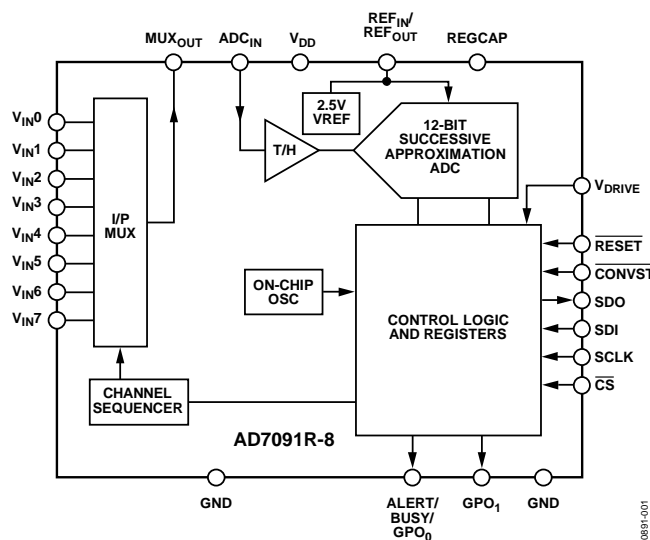


図 1.

概要

AD7091R-2/AD7091R-4/AD7091R-8 ファミリーはマルチチャンネル 12 ビット、超低消費電力、逐次比較型 A/D コンバータ (ADC) であり、2、4、8 チャンネルのアナログ入力オプションを提供しています。AD7091R-2/AD7091R-4/ AD7091R-8 は 2.7 V ~ 5.25 V の単電源で動作し、1 MSPS のサンプリング・レートを実現することができます。

AD7091R-2/AD7091R-4/AD7091R-8 ファミリーでは、チャンネル・シーケンサ付きの最大 8 チャンネルのシングルエンド・アナログ入力を提供しています。このチャンネル・シーケンサを使うと、シーケンシャルに変換するチャンネルを予め設定しておくことができます。また、AD7091R-2/AD7091R-4/ AD7091R-8 は、変換クロック、正確な 2.5 V リファレンス、高速シリアル・インターフェースも内蔵しています。

AD7091R-2/AD7091R-4/AD7091R-8 は、変換後にデータを読み出しながら 1 MSPS のスループット・レートを可能にするシリアル・ポート・インターフェース (SPI) を内蔵しています。変換プロセスとデータ・アキュイジションは、CONVST ピンを使って制御されます。

AD7091R-2/AD7091R-4/AD7091R-8 では、高いスループット・レートで超低消費電力を実現する高度なデザイン技術を採用しています。また、柔軟なパワー・マネジメント・オプションも内蔵しています。コンフィギュレーション・レジスタを使うと、ユーザーが様々な動作条件を設定することができます。これには、パワー・マネジメント、アラーム機能、ビジー表示、チャンネル・シーケンシング、汎用出力ピン (GPOx) などが含まれます。MUX_{OUT} ピンと ADC_{IN} ピンを使うと、ADC への入力前にマルチプレクサ出力のシグナル・コンディショニングを行うことができます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	レジスタのアドレス指定	23
アプリケーション	1	変換結果レジスタ	24
機能ブロック図	1	チャンネル・レジスタ	25
概要	1	コンフィギュレーション・レジスタ	26
改訂履歴	2	アラーム表示レジスタ	28
仕様	3	チャンネル X 下限値レジスタ	30
タイミング仕様	5	チャンネル X 上限値レジスタ	30
絶対最大定格	7	チャンネル X ヒステリシス・レジスタ	30
熱抵抗	7	シリアル・ポート・インターフェース	31
ESD の注意	7	変換結果の読出し	31
ピン配置およびピン機能説明	8	レジスタへのデータの書込み	31
代表的な性能特性	13	レジスタからのデータの読出し	31
用語	18	動作モード	33
動作原理	19	ノーマル・モード	33
回路説明	19	パワーダウン・モード	33
コンバータの動作	19	アラーム (AD7091R-4 と AD7091R-8 の場合)	34
ADC の伝達関数	19	ビジー (AD7091R-4 と AD7091R-8 の場合)	34
リファレンス電圧	19	チャンネル・シーケンサ	35
電源	20	デイジーチェーン	36
代表的な接続図	20	外形寸法	38
アナログ入力	20	オーダー・ガイド	41
ドライバ・アンプの選択	21		
レジスタ	23		

改訂履歴

7/14—Rev. 0 to Rev. A

Added 16-Lead LFCSP, 20-Lead LFCSP, and 24-Lead LFCSP	Universal
Changes to Features Section	1
Changes to General Description Section	1
Changes to Table 1	3
Changes to Table 4	7
Added Figure 6; Renumbered Sequentially	8
Changes to Table 5	8
Added Figure 8	9
Changes to Table 6	9
Added Figure 10	11

Changes to Table 7	11
Added Power Supply Section and Table 8; Renumbered Sequentially	20
Added Driver Amplifier Choice Section and Table 9	21
Changes to Table 16	26
Changed Serial Interface Section to Serial Port Interface Section	31
Changes to Figure 52	33
Updated Outline Dimensions	38
Changes to Ordering Guide	41

12/13—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 内蔵リファレンス電圧、 $f_{SAMPLE} = 1\text{ MSPS}$ 、 $f_{SCLK} = 50\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE	$f_{IN} = 10\text{ kHz}$ sine wave				
Signal-to-Noise Ratio (SNR)		66.5	70		dB
Signal-to-Noise-and-Distortion (SINAD) Ratio		65.5	69		dB
Total Harmonic Distortion (THD)			-80		dB
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1\text{ kHz}$ sine wave		-81		dB
Channel-to-Channel Isolation			-95		dB
Aperture Delay			5		ns
Aperture Jitter			40		ps
Full Power Bandwidth	At -3 dB		1.5		MHz
	At -0.1 dB		1.2		MHz
DC ACCURACY					
Resolution		12			Bits
Integral Nonlinearity (INL)	$V_{DD} \geq 3.0\text{ V}$	-1	± 0.7	+1	LSB
	$V_{DD} \geq 2.7\text{ V}$	-1.25	± 0.8	+1.25	LSB
Differential Nonlinearity (DNL)	Guaranteed no missing codes to 12 bits	-0.9	± 0.3	+0.9	LSB
Offset Error	$T_A = 25^\circ\text{C}$	-1.5	0.2	+1.5	mV
Offset Error Matching	$T_A = 25^\circ\text{C}$	-1.5	0.2	+1.5	mV
Offset Error Drift			2		ppm/ $^\circ\text{C}$
Gain Error	$T_A = 25^\circ\text{C}$	-0.1	0.0	+0.1	% FS
Gain Error Matching	$T_A = 25^\circ\text{C}$	-0.1	0.0	+0.1	% FS
Gain Error Drift			2		ppm/ $^\circ\text{C}$
ANALOG INPUT					
Input Voltage Range		0		V_{REF}	V
DC Leakage Current		-1		+1	μA
Input Capacitance ¹	During acquisition phase		10		pF
	Outside acquisition phase		1.5		pF
Multiplexer On Resistance	$V_{DD} = 5.0\text{ V}$		50		Ω
	$V_{DD} = 2.5\text{ V}$		100		Ω
VOLTAGE REFERENCE INPUT/OUTPUT					
REF_{OUT} ²	Internal reference output, $T_A = 25^\circ\text{C}$	2.49	2.5	2.51	V
REF_{IN} ²	External reference input	1.0		V_{DD}	V
Drift			5		ppm/ $^\circ\text{C}$
Power-On Time	$C_{REF} = 2.2\text{ }\mu\text{F}$		50		ms
LOGIC INPUTS					
Input High Voltage (V_{IH})		$0.7 \times V_{DRIVE}$			V
Input Low Voltage (V_{IL})				$0.3 \times V_{DRIVE}$	V
Input Current (I_{IN})	Typically 10 nA, $V_{IN} = 0\text{ V}$ or V_{DRIVE}	-1		+1	μA
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$I_{SOURCE} = 200\text{ }\mu\text{A}$	$V_{DRIVE} - 0.2$			V
Output Low Voltage (V_{OL})	$I_{SINK} = 200\text{ }\mu\text{A}$			0.4	V
Floating State Leakage Current		-1		+1	μA
Output Coding		Straight (natural) binary			

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CONVERSION RATE					
Conversion Time				600	ns
Transient Response	Full-scale step input			400	ns
Throughput Rate				1	MSPS
POWER REQUIREMENTS					
V_{DD}		2.7		5.25	V
V_{DRIVE}	Specified performance	2.7		5.25	V
V_{DRIVE} Range ³	Functional	1.8		5.25	V
I_{DD}	$V_{IN} = 0$ V				
Normal Mode—Static ⁴	$V_{DD} = 5.25$ V		22	50	μ A
	$V_{DD} = 3$ V		21.6	46	μ A
Normal Mode—Operational	$V_{DD} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		500	570	μ A
	$V_{DD} = 3$ V, $f_{SAMPLE} = 1$ MSPS		450	530	μ A
Power-Down Mode	$V_{DD} = 5.25$ V		0.550	17	μ A
	$V_{DD} = 5.25$ V, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$		0.550	6	μ A
	$V_{DD} = 3$ V		0.435	15	μ A
I_{DRIVE}	$V_{IN} = 0$ V				
Normal Mode—Static ⁵	$V_{DRIVE} = 5.25$ V		2	4	μ A
	$V_{DRIVE} = 3$ V		1	3.5	μ A
Normal Mode—Operational	$V_{DRIVE} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		30	70	μ A
	$V_{DRIVE} = 3$ V, $f_{SAMPLE} = 1$ MSPS		10	15	μ A
Power-Down Mode	$V_{DRIVE} = 5.25$ V			1	μ A
	$V_{DRIVE} = 3$ V			1	μ A
Total Power Dissipation ⁶	$V_{IN} = 0$ V				
Normal Mode—Static	$V_{DD} = V_{DRIVE} = 5.25$ V		0.130	0.290	mW
	$V_{DD} = V_{DRIVE} = 3$ V		0.070	0.149	mW
Normal Mode—Operational	$V_{DD} = V_{DRIVE} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		2.8	3.4	mW
	$V_{DD} = V_{DRIVE} = 3$ V, $f_{SAMPLE} = 1$ MSPS		1.4	1.7	mW
Power-Down Mode	$V_{DD} = 5.25$ V		3	95	μ W
	$V_{DD} = 5.25$ V, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$		3	33	μ W
	$V_{DD} = V_{DRIVE} = 3$ V		1.4	50	μ W

¹ 初期リリース時にサンプル・テストにより適合性を保証。

² パラメータ内で共用ピンの1つの機能を参照する場合、ピン名の仕様に係る部分のみを記載します。共用ピンのフル名称については、ピン配置およびピン機能説明のセクションを参照してください。

³ デバイスは機能し、最小1.8 Vまでの V_{DRIVE} でダイナミック性能/DC精度仕様を満たしますが、1 MSPSのスループットを実現することはできません。

⁴ SCLKはバースト・モードで動作し、 $\overline{\text{CS}}$ はハイ・レベルでアイドル。フリー・ランニング SCLK動作で $\overline{\text{CS}}$ をロー・レベルした場合、 I_{DD} スタティック電流は $V_{DD} = 5.25$ Vで30 μ A (typ)増加します。

⁵ SCLKはバースト・モードで動作し、 $\overline{\text{CS}}$ はハイ・レベルでアイドル。フリー・ランニング SCLK動作で $\overline{\text{CS}}$ をロー・レベルした場合、 I_{DRIVE} スタティック電流は $V_{DRIVE} = 5.25$ Vで32 μ A (typ)増加します。

⁶ 総消費電力には、 V_{DD} 、 V_{DRIVE} 、 REF_{IN} による成分が含まれます(注2参照)。

タイミング仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CONVST Falling Edge to Data Available	$t_{CONVERT}$			600	ns
Acquisition Time	t_{ACQ}	400			ns
Time Between Conversions (Normal Mode)	t_{CYC}	1000			ns
CONVST Pulse Width	t_{CNVPW}	10		500	ns
SCLK Period (Normal Mode)	t_{SCLK}				
V_{DRIVE} Above 2.7 V		16			ns
V_{DRIVE} Above 1.8 V		22			ns
SCLK Period (Chain Mode)	t_{SCLK}				
V_{DRIVE} Above 2.7 V		20			ns
V_{DRIVE} Above 1.8 V		25			ns
SCLK Low Time	t_{SCLKL}	6			ns
SCLK High Time	t_{SCLKH}	6			ns
SCLK Falling Edge to Data Remains Valid	t_{HSDO}	5			ns
SCLK Falling Edge to Data Valid Delay	t_{DSDO}				
V_{DRIVE} Above 4.5 V				12	ns
V_{DRIVE} Above 3.3 V				13	ns
V_{DRIVE} Above 2.7 V				14	ns
V_{DRIVE} Above 1.8 V				20	ns
End of Conversion to \overline{CS} Falling Edge	t_{EOCCSL}	5			ns
\overline{CS} Low to SDO Enabled	t_{EN}			5	ns
\overline{CS} High or Last SCLK Falling Edge to SDO High Impedance	t_{DIS}			5	ns
SDI Data Setup Time Prior to SCLK Rising Edge	$t_{SSDISCLK}$	5			ns
SDI Data Hold Time After SCLK Rising Edge	$t_{HSDISCLK}$	2			ns
Last SCLK Falling Edge to Next CONVST Falling Edge	t_{QUIET}	50			ns

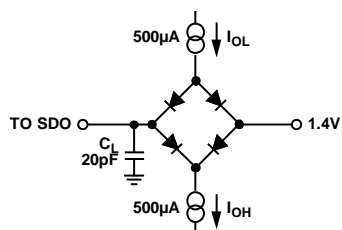
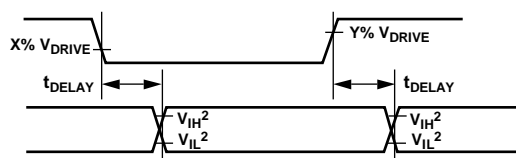


図 2. デジタル・インターフェース・タイミングの負荷回路



NOTES
¹FOR $V_{DRIVE} \leq 3.0\text{ V}$, $X = 90$ AND $Y = 10$; FOR $V_{DRIVE} > 3.0\text{ V}$, $X = 70$ AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE SPECIFICATIONS FOR DIGITAL INPUTS PARAMETER IN TABLE 2.

図 3. タイミング測定の電圧レベル

タイミング図

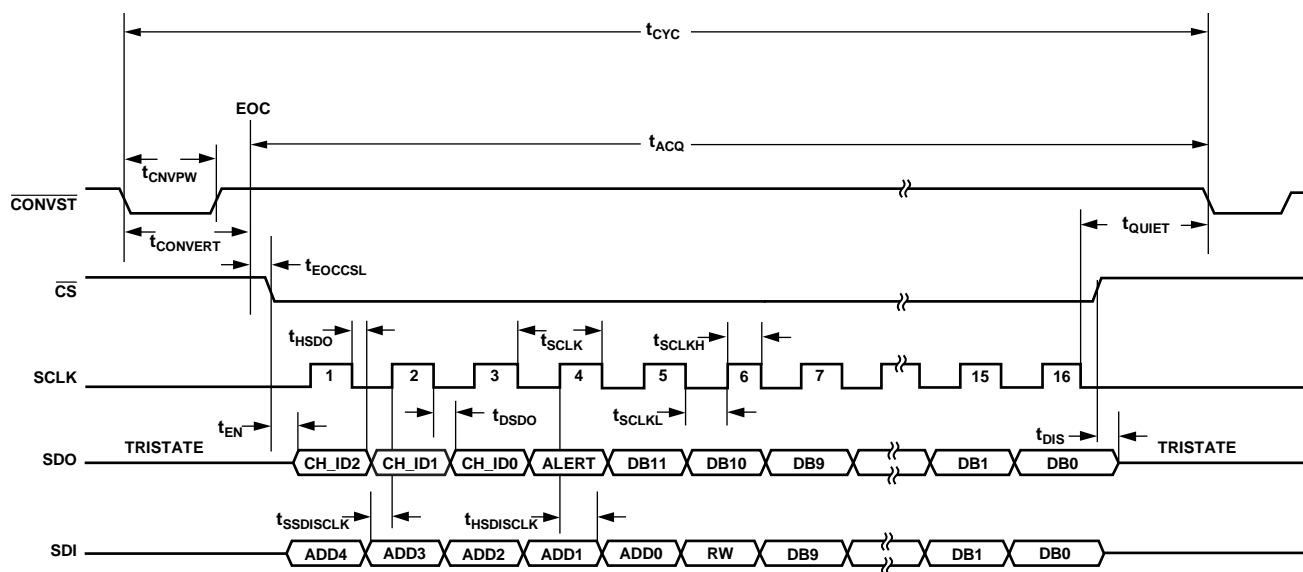


図 4. シリアル・ポートのタイミング

10891-002

絶対最大定格

特に指定のない限り、T_A = 25 °C。

表 3.

Parameter	Rating
V _{DD} to GND	−0.3 V to +7 V
V _{DRIVE} to GND	−0.3 V to +7 V
Analog Input Voltage to GND	−0.3 V to V _{REF} + 0.3 V
Digital Input ¹ Voltage to GND	−0.3 V to V _{DRIVE} + 0.3 V
Digital Output ² Voltage to GND	−0.3 V to V _{DRIVE} + 0.3 V
Input Current to Any Pin Except Supplies ³	±10 mA
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
ESD	
Human Body Model (HBM)	1.5 kV
Field Induced Charged Device Model (FICDM)	500 V

¹ デジタル入力ピンには、 $\overline{\text{RESET}}$ 、 $\overline{\text{CONVST}}$ 、SDI、SCLK、 $\overline{\text{CS}}$ が含まれます。
² デジタル出力ピンには、SDO、GPO_I、ALERT/BUSY/GPO₀が含まれます。
³ 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。


熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
24-Lead LFCSP	47.3	27.78	°C/W
24-Lead TSSOP	73.54	14.94	°C/W
20-Lead LFCSP	49.05	29.18	°C/W
20-Lead TSSOP	84.29	18.43	°C/W
16-Lead LFCSP	50.58	29.64	°C/W
16-Lead TSSOP	106.03	28.31	°C/W

ESD の注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	--

ピン配置およびピン機能説明

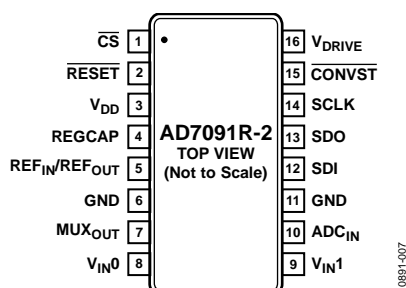


図 5.2 チャンネル入力、16 ピン TSSOP のピン配置

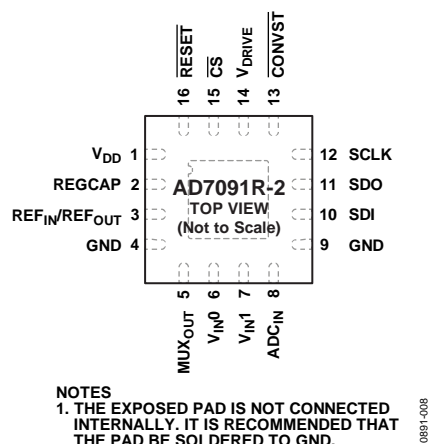


図 6.2 チャンネル入力、16 ピン LFCSP のピン配置

表 5.2 チャンネル入力、16 ピン LFCSP および 16 ピン TSSOP のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	CS	チップ・セレクト入力。CSをロー・レベルにすると、シリアル・バスが有効になり、SPI 上の出力データは、CSによりフレーム化されます。
2	16	RESET	リセット。ロジック入力。
3	1	V _{DD}	電源入力。V _{DD} 範囲は 2.7 V～5.25 V です。この電源ピンは GND へデカップリングしてください。
4	2	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。この出力ピンは、1.0 μF のコンデンサを使って個別に GND へデカップリングしてください。
5	3	REF _{IN} /REF _{OUT}	2.5 V のリファレンス電圧出力。このピンは GND へデカップリングしてください。推奨デカップリング・コンデンサ値は 2.2 μF です。内蔵 2.5 V リファレンスを使用するか、あるいはこのピンに接続する外部リファレンス電圧で内蔵リファレンス電圧をオーバードライブすることができます。外付けリファレンスのリファレンス電圧範囲は 1.0 V～V _{DD} です。
6、11	4、9	GND	チップ・グラウンド・ピン。AD7091R-2 上の全回路に対するグラウンド基準ポイントです。
7	5	MUX _{OUT}	マルチプレクサ出力。マルチプレクサ出力がこのピンに現れます。外付けフィルタまたはバッファが不要な場合は、このピンを ADC _{IN} ピンへ直接接続してください。その他の場合は、コンディショニング回路出力を ADC _{IN} ピンへ接続してください。
8	6	V _{IN0}	アナログ入力 ch0。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
9	7	V _{IN1}	アナログ入力 ch1。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
10	8	ADC _{IN}	ADC 入力。このピンを使より、内蔵トラック・アンド・ホールドへアクセスすることができます。外付けフィルタまたはバッファが不要な場合は、このピンを MUX _{OUT} ピンへ直接接続してください。その他の場合は、コンディショニング回路入力を MUX _{OUT} ピンへ接続してください。
12	10	SDI	シリアル・データ入力バス。この入力に内蔵コントロール・レジスタへ書込むデータを入力します。データは SCLK 入力の立下がりエッジでレジスタに書込まれます。データは MSB ファーストで入力してください。
13	11	SDO	シリアル・データ出力バス。変換出力データがシリアル・データ・ストリームとしてこのピンから出力されます。データは SCLK 入力の立下がりエッジで出力され、データをアクセスするためには 13 個の SCLK が必要です。データは MSB ファーストです。
14	12	SCLK	シリアル・クロック。このピンはシリアル・クロック入力として機能します。
15	13	CONVST	変換開始入力信号。エッジ・トリガのロジック入力。CONVSTの立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。
16	14	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。V _{DRIVE} と GND の間にデカップリング・コンデンサを接続する必要があります。推奨値は 10 μF と 0.1 μF です。このピンの電圧範囲は 1.8 V～5.25 V であり、V _{DD} の電圧範囲と異なる設定が可能です。
—	17	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。パッドを GND へハンダ接続することが推奨されます。

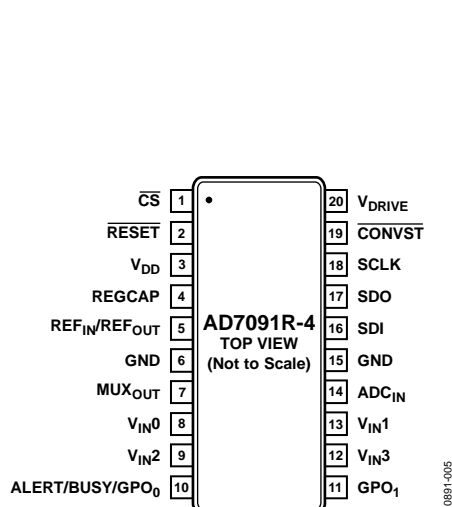


図 7.4 チャンネル入力、20 ピン TSSOP のピン配置

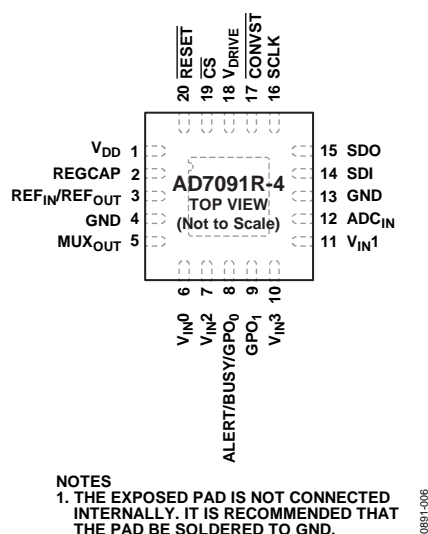


図 8.4 チャンネル入力、20 ピン LFCSP のピン配置

表 6.4 チャンネル入力、20 ピン LFCSP および 20 ピン TSSOP のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	$\overline{\text{CS}}$	チップ・セレクト入力。 $\overline{\text{CS}}$ をロー・レベルにすると、シリアル・バスが有効になり SPI 上の出力データは、 $\overline{\text{CS}}$ によりフレーム化されます。
2	20	$\overline{\text{RESET}}$	リセット。ロジック入力。
3	1	V_{DD}	電源入力。 V_{DD} 範囲は 2.7 V～5.25 V です。この電源ピンは GND ヘデカップリングしてください。
4	2	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。この出力ピンは、1.0 μF のコンデンサを使って個別に GND ヘデカップリングしてください。
5	3	REF _{IN} /REF _{OUT}	2.5 V のリファレンス電圧出力。このピンは GND ヘデカップリングしてください。推奨デカップリング・コンデンサ値は 2.2 μF です。内蔵 2.5 V リファレンスを使用するか、あるいはピンに接続する外部リファレンス電圧で内蔵リファレンス電圧をオーバードライブすることができます。外付けリファレンスのリファレンス電圧範囲は 1.0 V～ V_{DD} です。
6、15	4、13	GND	チップ・グラウンド・ピン。AD7091R-4 上の全回路に対するグラウンド基準ポイントです。
7	5	MUX _{OUT}	マルチプレクサ出力。マルチプレクサ出力がこのピンに現れます。外付けフィルタまたはバッファが不要な場合は、このピンを ADC _{IN} ビンへ直接接続してください。その他の場合は、コンディショニング回路出力を ADC _{IN} ビンへ接続してください。
8	6	V _{IN0}	アナログ入力 ch0。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～ V_{REF0}
9	7	V _{IN2}	アナログ入力 ch2。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～ V_{REF0}
10	8	ALERT/BUSY/GPO ₀	アラーム出力ピン (ALERT)。このピンはコンフィギュレーション・レジスタで決定される共用ピンです。ALERT として機能する場合は、このピンはロジック出力となり、変換結果がレジスタ設定値の制限を超えたことを表示します。 ALERT/BUSY/GPO ₀ ピンを BUSY 出力に設定した場合、このピンを使って、変換が行われるタイミングを表示します。 また、このピンは汎用デジタル出力 (GPO ₀) としても機能します。
11	9	GPO ₁	汎用デジタル出力。
12	10	V _{IN3}	アナログ入力 ch3。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～ V_{REF0}
13	11	V _{IN1}	アナログ入力 ch1。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～ V_{REF0}
14	12	ADC _{IN}	ADC 入力。このピンより、内蔵トラック・アンド・ホールドへアクセスすることができます。外付けフィルタまたはバッファが不要な場合は、このピンを MUX _{OUT} ビンへ直接接続してください。その他の場合は、コンディショニング回路入力を MUX _{OUT} ビンへ接続してください。
16	14	SDI	シリアル・データ入力バス。この入力に内蔵コントロール・レジスタへ書込むデータを入力します。データは SCLK 入力の立下がりエッジでレジスタに書込まれます。データは MSB ファーストで入力してください。

ピン番号		記号	説明
TSSOP	LFCSP		
17	15	SDO	シリアル・データ出力バス。変換出力データがシリアル・データ・ストリームとしてこのピンから出力されます。データは SCLK 入力の立下がりエッジで出力され、データをアクセスするためには 13 個の SCLK が必要です。データは MSB ファーストです。
18	16	SCLK	シリアル・クロック。このピンはシリアル・クロック入力として機能します。
19	17	$\overline{\text{CONVST}}$	変換開始入力信号。エッジ・トリガのロジック入力。 $\overline{\text{CONVST}}$ の立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。
20	18	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。V _{DRIVE} と GND の間にデカップリング・コンデンサを接続する必要があります。推奨値は 10 μF と 0.1 μF です。このピンの電圧範囲は 1.8 V～5.25 V であり、V _{DD} の電圧範囲と異なる設定が可能です。
—	21	EPAD	エクスポーズド・パッド（金属面パッド）。エクスポーズド・パッドは内部で接続されていません。パッドを GND へハンダ接続することが推奨されます。

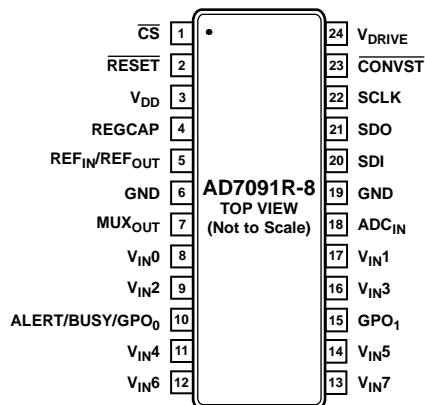


図 9.8 チャンネル入力、24 ピン TSSOP のピン配置

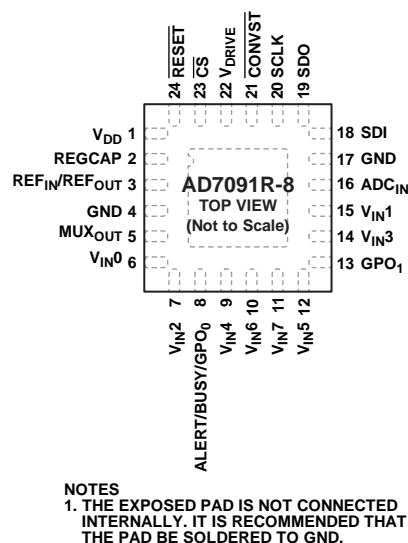


図 10.8 チャンネル入力、24 ピン LFCSP のピン配置

表 7.8 チャンネル入力、24 ピン LFCSP および 24 ピン TSSOP のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	23	CS	チップ・セレクト入力。CSをロー・レベルにすると、シリアル・バスが有効になり、SPI上の出力データは、CSによりをフレーム化されます。
2	24	RESET	リセット。ロジック入力。
3	1	V _{DD}	電源入力。V _{DD} 範囲は 2.7 V～5.25 V です。この電源ピンは GND ヘドカップリングしてください。
4	2	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。この出力ピンは、1.0 μF のコンデンサを使って個別に GND ヘドカップリングしてください。
5	3	REF _{IN} /REF _{OUT}	2.5 V のリファレンス電圧出力。このピンは GND ヘドカップリングしてください。推奨デカップリング・コンデンサ値は 2.2 μF です。内蔵 2.5 V リファレンスを使用するか、あるいはこのピンに接続する外部リファレンス電圧で内蔵リファレンス電圧をオーバードライブすることができます。外付けリファレンスのリファレンス電圧範囲は 1.0 V～V _{DD} です。
6、19	4、17	GND	チップ・グラウンド・ピン。AD7091R-8 上の全回路に対するグラウンド基準ポイントです。
7	5	MUX _{OUT}	マルチプレクサ出力。マルチプレクサ出力がこのピンに現れます。外付けフィルタまたはバッファが不要な場合は、このピンを ADC _{IN} ピンへ直接接続してください。その他の場合は、コンディショニング回路出力を ADC _{IN} ピンへ接続してください。
8	6	V _{IN0}	アナログ入力 ch0。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
9	7	V _{IN2}	アナログ入力 ch2。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
10	8	ALERT/BUSY/GPO ₀	アラーム出力ピン (ALERT)。このピンはコンフィギュレーション・レジスタで決定される共用ピンです。ALERT として機能する場合は、このピンはロジック出力となり、変換結果がレジスタ設定値の制限を超えたことを表示します。 ALERT/BUSY/GPO ₀ ピンを BUSY 出力に設定した場合、このピンを使って、変換が行われるタイミングを表示します。 また、このピンは汎用デジタル出力(GPO ₀)としても機能します。
11	9	V _{IN4}	アナログ入力 ch4。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
12	10	V _{IN6}	アナログ入力 ch6。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
13	11	V _{IN7}	アナログ入力 ch7。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
14	12	V _{IN5}	アナログ入力 ch5。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
15	13	GPO ₁	汎用デジタル出力。
16	14	V _{IN3}	アナログ入力 ch3。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。
17	15	V _{IN1}	アナログ入力 ch1。シングルエンド・アナログ入力。アナログ入力範囲は 0 V～V _{REF0} 。

ピン番号		記号	説明
TSSOP	LFCSP		
18	16	ADC _{IN}	ADC 入力。このピンより、内蔵トラック・アンド・ホールドへアクセスすることができます。外付けフィルタまたはバッファが不要な場合は、このピンを MUX _{OUT} ピンへ直接接続してください。その他の場合は、コンディショニング回路入力を MUX _{OUT} ピンへ接続してください。
20	18	SDI	シリアル・データ入力バス。この入力に内蔵コントロール・レジスタへ書込むデータを入力します。データは SCLK 入力の立下がりエッジでレジスタに書込まれます。データは MSB ファーストで入力してください。
21	19	SDO	シリアル・データ出力バス。変換出力データがシリアル・データ・ストリームとしてこのピンから出力されます。データは SCLK 入力の立下がりエッジで出力され、データをアクセスするためには 13 個の SCLK が必要です。データは MSB ファーストです。
22	20	SCLK	シリアル・クロック。このピンはシリアル・クロック入力として機能します。
23	21	CONVST	変換開始入力信号。エッジ・トリガのロジック入力。 <u>CONVST</u> の立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。
24	22	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。V _{DRIVE} と GND の間にデカップリング・コンデンサを接続する必要があります。推奨値は 10 µF と 0.1 µF です。このピンの電圧範囲は 1.8 V～5.25 V であり、V _{DD} の電圧範囲と異なる設定が可能です。
—	25	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。パッドを GND へハンダ接続することが推奨されます。

代表的な性能特性

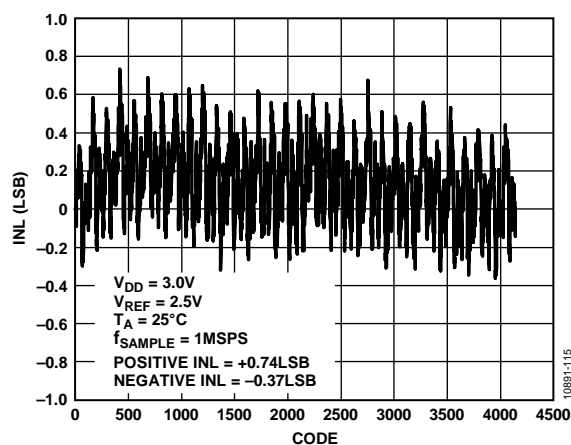


図 11.コード対積分非直線性 (INL)

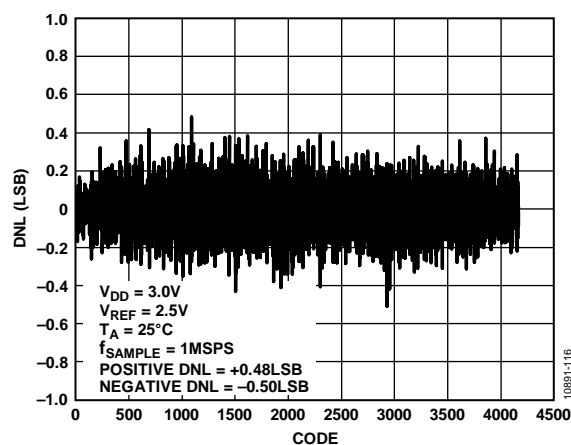


図 14.コード対微分非直線性 (DNL)

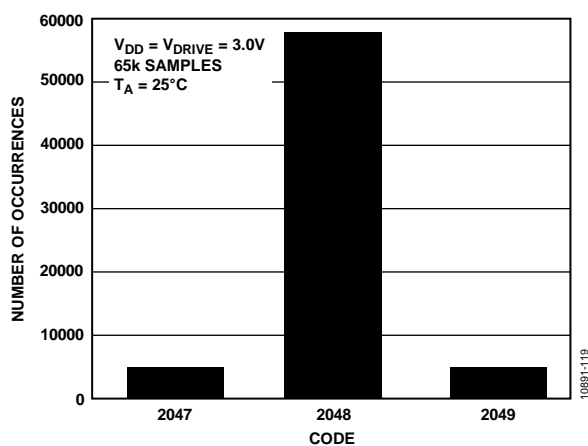


図 12.コード中心での DC 入力ヒストグラム

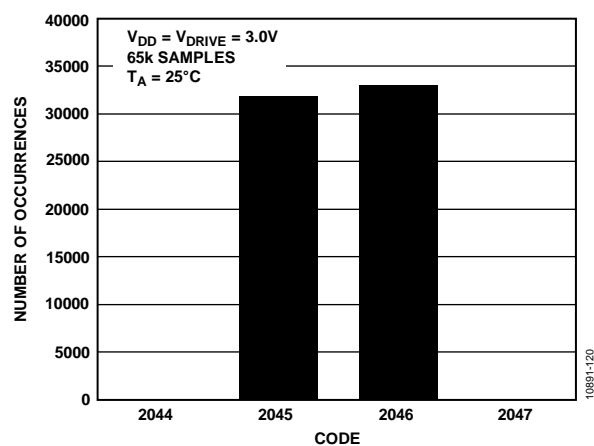


図 15.コード変遷移点での DC 入力ヒストグラム

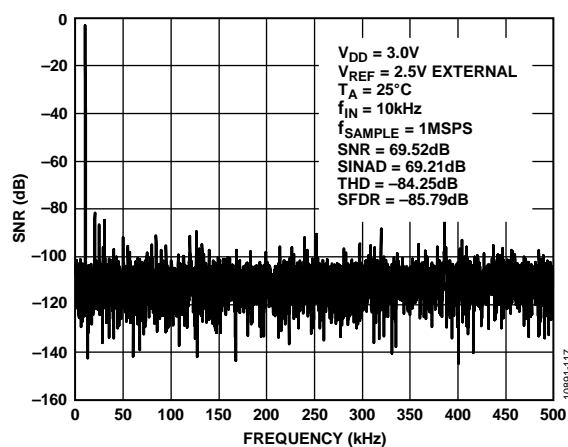


図 13.10 kHz 高速フーリエ変換 (FFT)、
 $V_{DD} = 3.0\text{ V}$ 、 $V_{REF} =$ 外付け 2.5 V

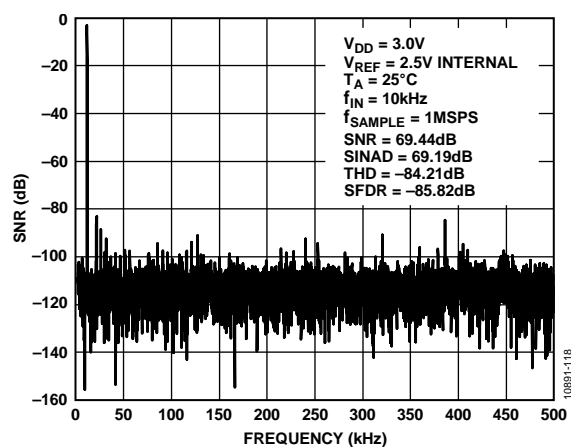


図 16.10 kHz 高速フーリエ変換 (FFT)、
 $V_{DD} = 3.0\text{ V}$ 、 $V_{REF} =$ 内蔵 2.5 V

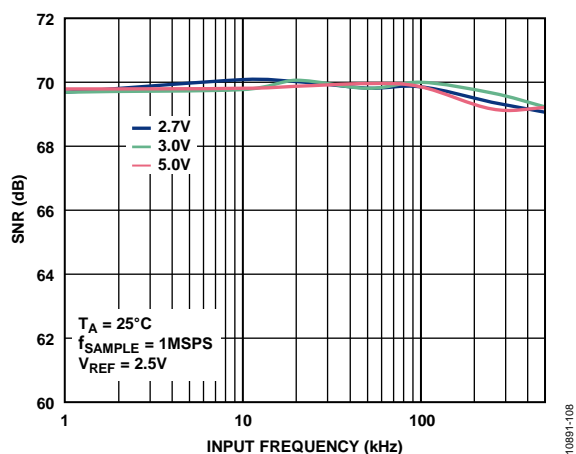


図 17.様々な電源電圧でのアナログ入力周波数対 SNR

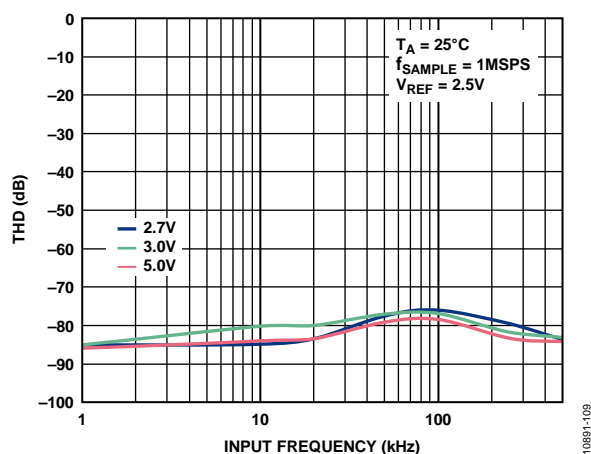


図 20.様々な電源電圧でのアナログ入力周波数対 THD

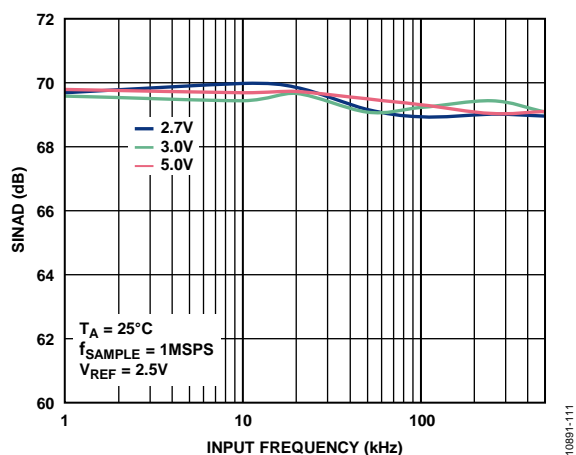


図 18.様々な電源電圧でのアナログ入力周波数対 SINAD

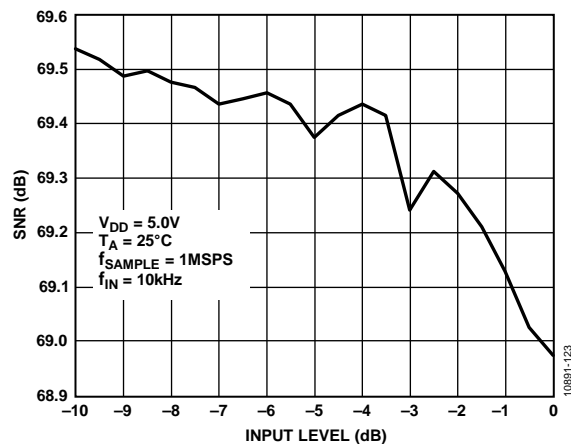


図 21.入力レベル対 SNR

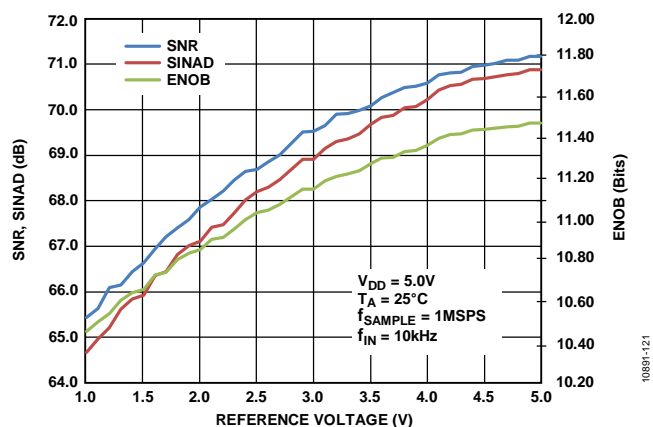


図 19.リファレンス電圧対 SNR、SINAD、ENOB

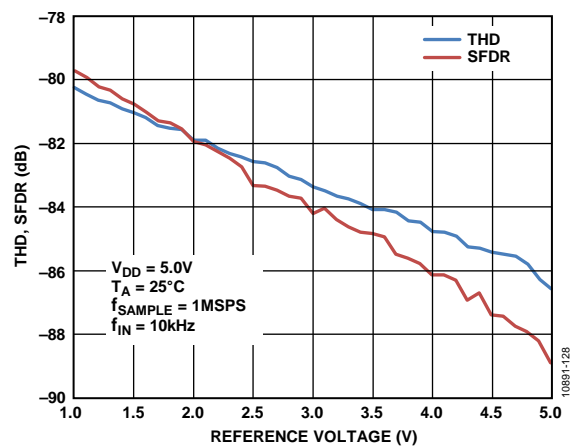


図 22.リファレンス電圧対 THD および SFDR

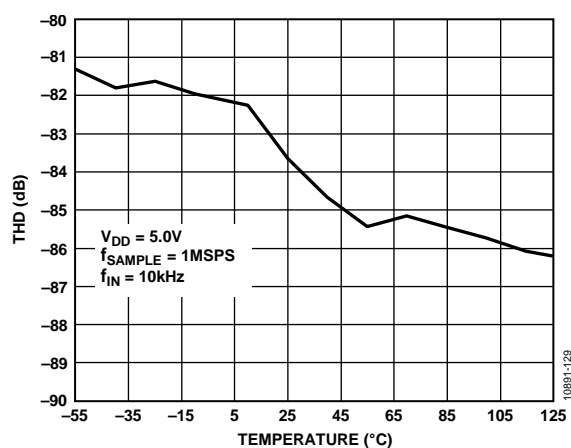


図 23. THD の温度特性

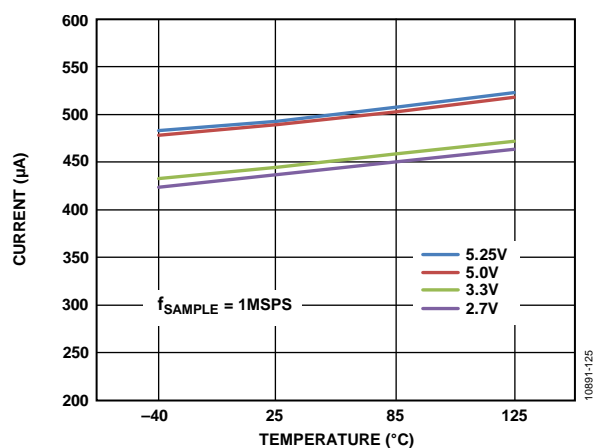


図 26. 様々な V_{DD} 電源電圧での動作 I_{DD} 電源電流の温度特性

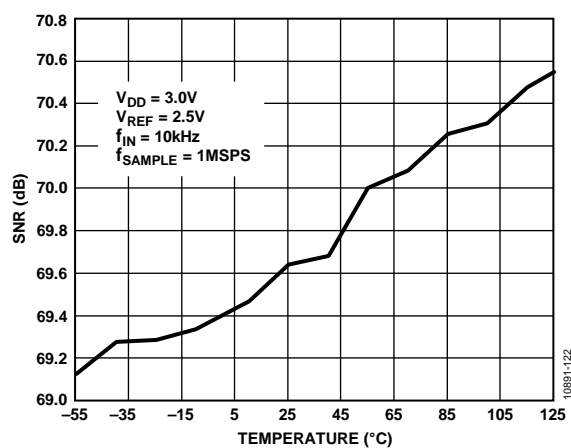


図 24. SNR の温度特性

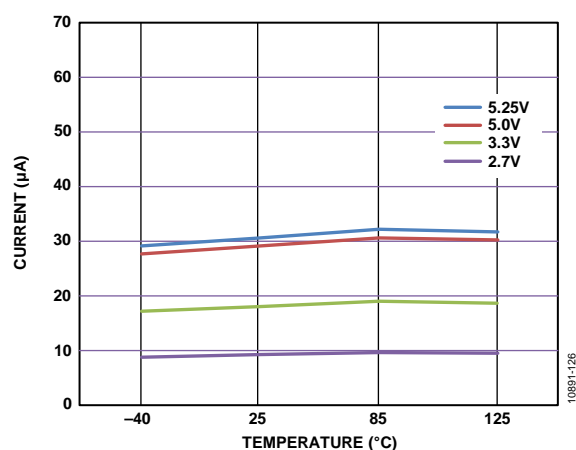


図 27. 様々な V_{DRIVE} 電源電圧での動作 I_{DRIVE} 電源電流の温度特性

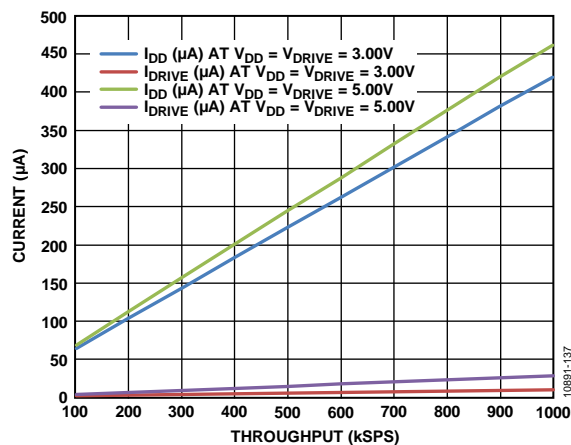


図 25. スループット対動作電流

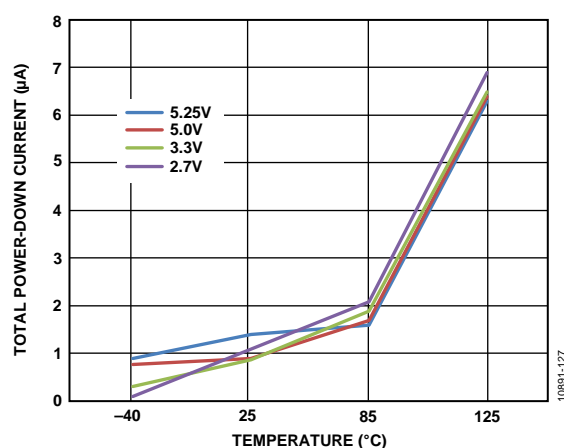


図 28. 様々な電源電圧での総合パワーダウン電流の温度特性

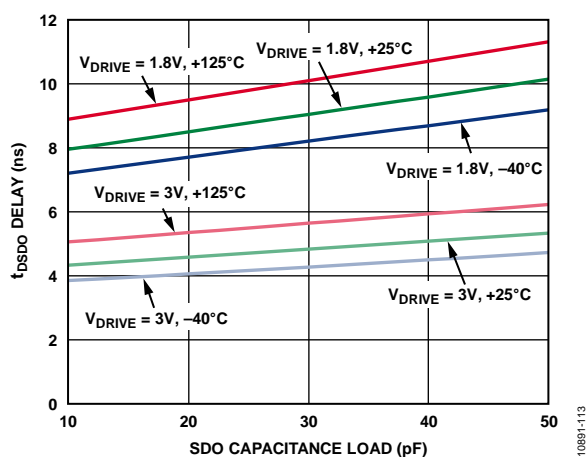


図 29. SDO 容量負荷および電源対 t_{DSO} 遅延

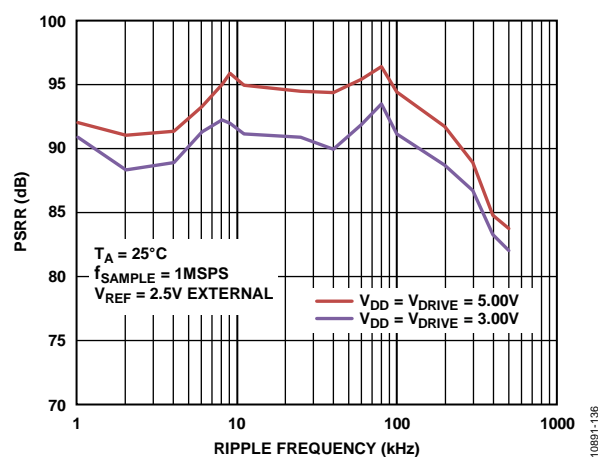


図 32. リップル周波数対 PSRR

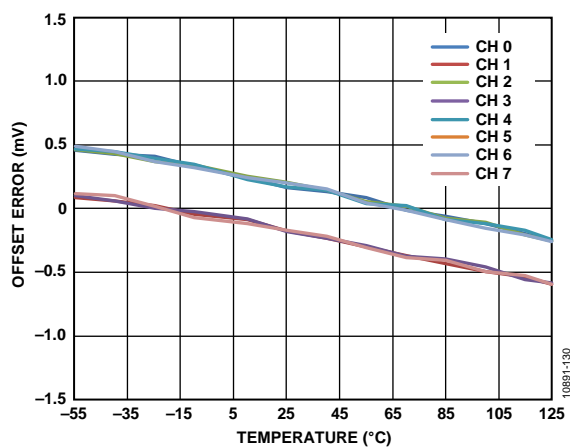


図 30. オフセット誤差の温度特性

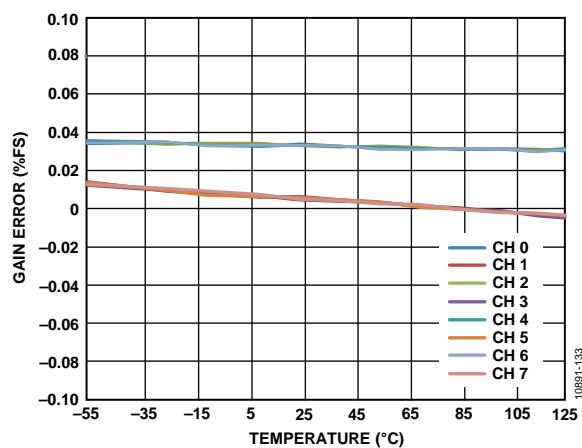


図 33. ゲイン誤差の温度特性

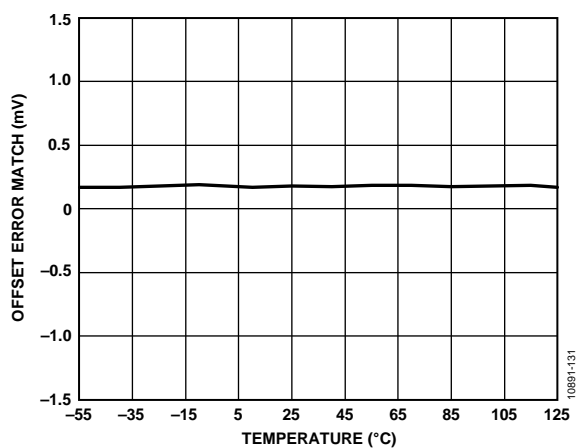


図 31. オフセット誤差マッチングの温度特性

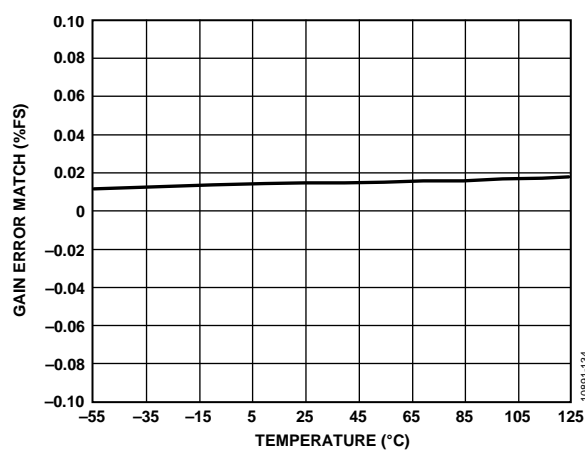


図 34. ゲイン誤差マッチングの温度特性

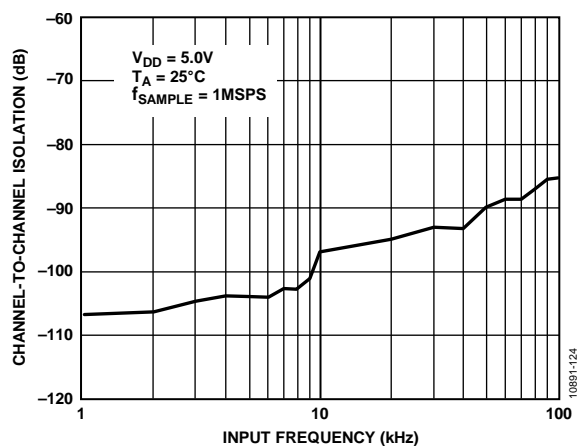


図 35. チャンネル間アイソレーションの周波数特性

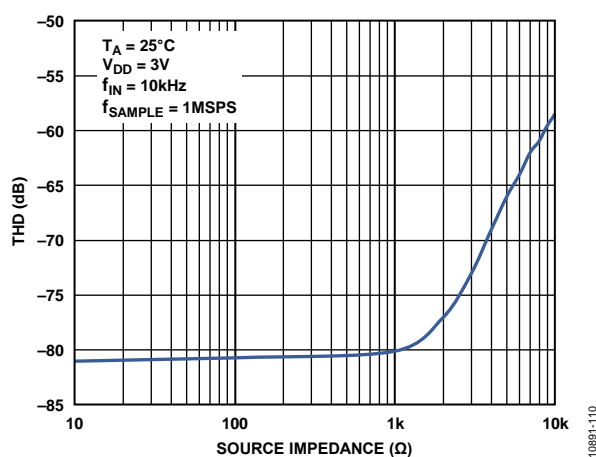


図 38. 信号源インピーダンス対 THD

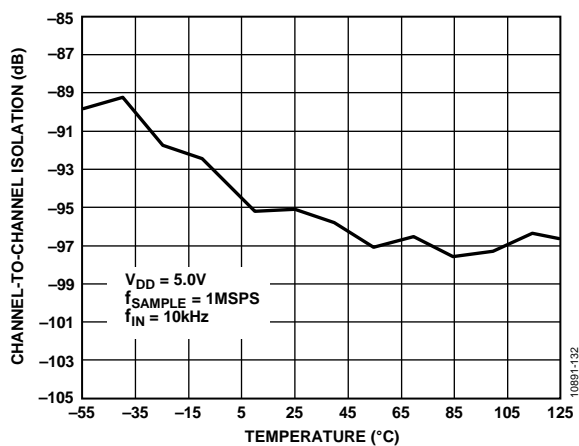


図 36. チャンネル間アイソレーションの温度特性

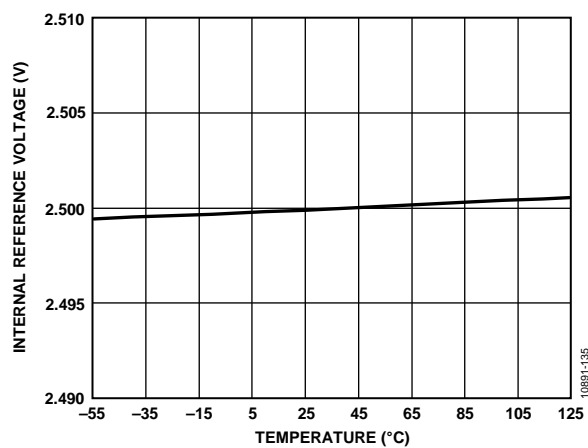


図 39. 内蔵リファレンス電圧の温度特性

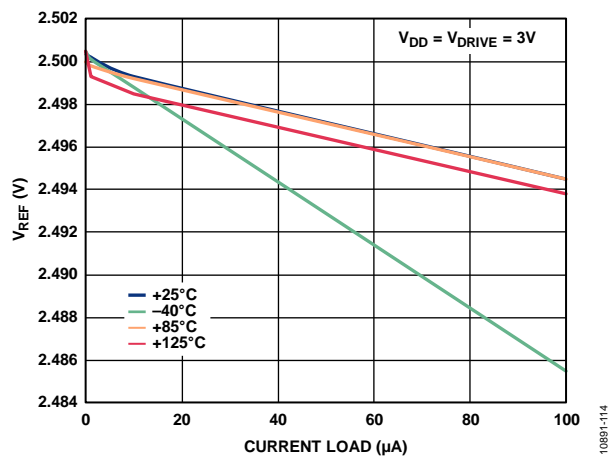


図 37. 様々な温度での電流負荷対リファレンス電圧出力 (V_{REF})

用語

積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差をさします。AD7091R-2/AD7091R-4/AD7091R-8 の場合、伝達関数の両端とは、ゼロスケール(最初のコード遷移より 0.5 LSB 下のポイント)とフルスケール(最後のコード遷移より 0.5 LSB 上のポイント)です。

微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

オフセット誤差

オフセット誤差は、最初のコード変化 (00 ... 000)→(00 ... 001) の理論値 (GND + 0.5 LSB など)からの差です。

オフセット誤差のマッチング

オフセット誤差のマッチングとは、任意の 2 つの入力チャンネル間のオフセット誤差の差を意味します。

ゲイン誤差

AD7091R-2/AD7091R-4/AD7091R-8 の場合、オフセット誤差調整後の最後のコード変化((111...110)→(111...111))と理論値($V_{REF} - 1.5$ LSB など)との差です。

ゲイン誤差のマッチング

ゲイン誤差のマッチングとは、任意の 2 つの入力チャンネル間のゲイン誤差の差を意味します。

過渡応答時間

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の ± 0.5 LSB 以内に出力がセトリングするために要する時間です。詳細については、シリアル・ポート・インターフェースのセクションを参照してください。

信号対ノイズおよび歪み(SINAD)比

SINAD は、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数($f_s/2$)までのすべての非高調波の和で表します(DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が多い(分解能が高い)ほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想的な N ビット・コンバータの SINAD の理論値は次式で表されます。

$$SINAD = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SINAD 比は 74 dB になります。

チャンネル間アイソレーション

あるチャンネルと他のすべてのチャンネルの間のクロストーク・レベルを表します。フルスケールの 10 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、DC 信号を加えてある選択したチャンネルでの AC 信号の減衰を測定することにより決まります。図 35 に、AD7091R-2/AD7091R-4/AD7091R-8 の全チャンネルでのワースト・ケース・データを示します。

全高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD7091R-2/AD7091R-4/AD7091R-8 の場合、次式で与えられます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2 次～6 次の高調波の rms 振幅。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、デシベル値で表します。

動作原理

回路説明

AD7091R-2/AD7091R-4/AD7091R-8 は、12 ビット、高速 (1 MSPS)、超低消費電力の単電源 ADC です。このデバイスは 2.7 V~5.25 V の電源で動作します。AD7091R-2/ AD7091R-4/AD7091R-8 は、1 MSPS のスループット・レートで動作することができます。

AD7091R-2/AD7091R-4/AD7091R-8 は、トラック・アンド・ホールド付き ADC とシリアル・インターフェースを内蔵しています。代替品に比べて大幅な省スペースを提供する 16 ピン、20 ピン、または 24 ピン TSSOP または LFCSP パッケージを採用しています。このデバイスからのデータのアクセスには、シリアル・クロック入力を使います。逐次比較型 ADC の変換クロックは内部で発生されます。AD7091R-2/AD7091R-4/AD7091R-8 のリファレンス電圧は外部から供給するか、あるいは正確な内蔵リファレンス電源により内部で発生されます。AD7091R-2/AD7091R-4/AD7091R-8 のアナログ入力範囲は 0 V~ V_{REF} です。

AD7091R-2/AD7091R-4/AD7091R-8 はパワーダウン・オプションを持っているため、変換と変換の間での消費電力を節約することができます。パワーダウン機能は標準のシリアル・インターフェースを使って実現されています(動作モードのセクション参照)。

コンバータの動作

AD7091R-2/AD7091R-4/AD7091R-8 は、電荷再分配型 D/A コンバータ(DAC)を採用した逐次比較型 ADC です。図 40 と図 41 に、ADC の簡略化した回路図を示します。図 40 に、アキュイジション・フェーズにある ADC の状態を示します。SW2 は閉じて、SW1 は位置 A、コンパレータは平衡状態にあり、サンプリング・コンデンサは V_{IN} 上の信号を取りこみます。

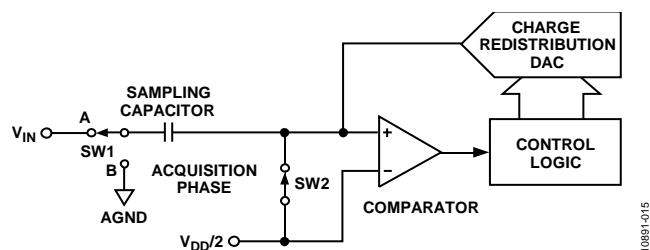


図 40.ADC アキュイジション・フェーズ

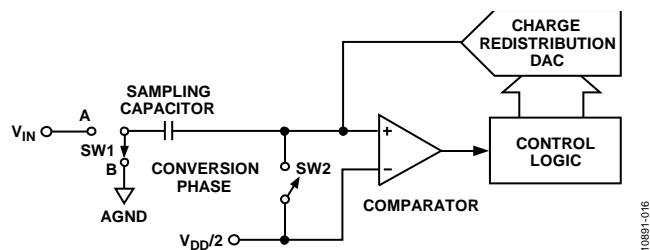


図 41.ADC 変換フェーズ

ADC が変換を開始すると、SW2 が開いて、SW1 が位置 B に移動し、コンパレータが不平衡状態になります(図 41)。変換制御ロジックにより、電荷再分配 DAC はサンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すように動作します。逐次比較の判定が終わると、コンパレータ入力は再度バランスします。これらの逐次比較判定から、変換制御ロジックが ADC 出力コードを発生します。

ADC の伝達関数

AD7091R-2/AD7091R-4/AD7091R-8 の出力コーディングはストリート・バイナリです。デザイン上のコード変化は LSB サイズの連続する整数値の中間(0.5 LSB、1.5 LSB など)で発生します。AD7091R-2/AD7091R-4/AD7091R-8 の LSB サイズは $V_{REF}/4096$ です。AD7091R-2/ AD7091R-4/AD7091R-8 の理論的伝達特性を図 42 に示します。

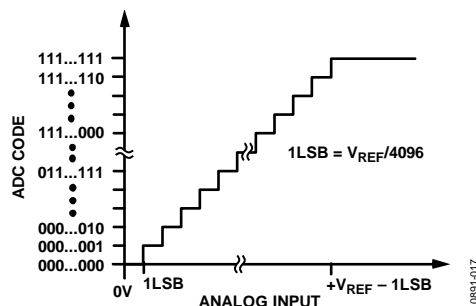


図 42.AD7091R-2/AD7091R-4/AD7091R-8 の伝達特性

リファレンス電圧

AD7091R-2/AD7091R-4/AD7091R-8 は、2.5 V の内蔵リファレンス電圧源または外付けリファレンス電圧源で動作させることができます。コンフィギュレーション・レジスタの P_DOWN LSB ビットのロジック状態で、内蔵リファレンス電圧源を使用するか否かを指定します。P_DOWN LSB ビットに 1 を設定すると、ADC に対して内蔵リファレンス電圧源が選択されます。

P_DOWN LSB ビットに 0 を設定する場合は、範囲 2.5 V~ V_{DD} の外付けリファレンスを REF_{IN}/REF_{OUT} ピンから供給してください。パワーアップ時は、デフォルトで内蔵リファレンス電圧源がディセーブルされます。

内蔵リファレンス電圧源回路は、2.5 V のバンド・ギャップ・リファレンス電源とリファレンス・バッファから構成されています。AD7091R-2/ AD7091R-4/AD7091R-8 を内蔵リファレンス電圧モードで動作させるときは、2.5 V の内蔵リファレンスの電圧が REF_{IN}/REF_{OUT} ピンから出力されるので、これを 2.2 μ F のコンデンサで GND へデカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う際は、バッファリングすることが推奨されます。

リファレンス・バッファは、パワーアップのために 50 ms を要し、パワーアップ時に 2.2 μ F のデカップリング・コンデンサが充電されます。

電源

AD7091R-2/AD7091R-4/AD7091R-8 は、コア電源(V_{DD})とデジタル入力／出力インターフェース電源(V_{DRIVE})の 2 種類の電源ピンを使っています。 V_{DRIVE} を使うと、1.8 V～5.25 V で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らしたい場合は、システムのロジック・レベルに応じて、 V_{DRIVE} と V_{DD} を接続することができます。AD7091R-2/AD7091R-4/ AD7091R-8 は、 V_{DRIVE} と V_{DD} の間の電源シーケンスはありません。さらに、AD7091R-2/ AD7091R-4/AD7091R-8 は広い周波数範囲の電源変動に対して安定です(図 32 参照)。

AD7091R-2/AD7091R-4/AD7091R-8 は各変換フェーズの終わりに自動的にパワーダウンスするため、消費電力はサンプリング・レートに直線的に比例します。AD7091R-2/AD7091R-4/ AD7091R-8 は自動パワーダウン機能を持つため、低サンプリング・レート(例えば数 Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

表 8. 推奨電源デバイス¹

Product	Description
ADP7102	20 V, 300 mA, low noise, CMOS LDO
ADM7160	Ultralow noise, 200 mA linear regulator
ADP162	Ultralow quiescent current, CMOS linear regulator

¹ 最新の推奨パワーマネジメント・デバイスについては、AD7091R-2/AD7091R-4/AD7091R-8 製品ページをご覧ください。

代表的な接続図

図 44 に、AD7091R-2/ AD7091R-4/AD7091R-8 の一般的な接続図を示します。

2.7 V～5.25 V 範囲の正電源を V_{DD} ピンに接続します。接続するデカップリング・コンデンサの typ 値は 0.1 μF と 10 μF です。これらのコンデンサはデバイスの電源ピンの近くに配置してください。規定性能を実現するためには、 $\text{REF}_{\text{IN}}/\text{REF}_{\text{OUT}}$ ピンのデカップリングに注意してください。 $\text{REF}_{\text{IN}}/\text{REF}_{\text{OUT}}$ コンデンサの typ 値は 2.2 μF です。これは 0 V～ V_{REF} のアナログ入力範囲を提供します。レギュレータ・バイパス (REGCAP) デカップリング・コンデンサの typ 値は 1.0 μF です。 V_{DRIVE} 入力へ加えられる電圧が、シリアル・インターフェースの電圧を設定します。したがって、このピンをマイクロプロセッサの電源に接続する必要があります。 V_{DRIVE} は 1.8 V～5.25 V の範囲で設定してください。 V_{DRIVE} デカップリング・コンデンサの typ 値は 0.1 μF と 10 μF です。変換結果は MSB ファーストの 16 ビット・ワードで出力されます。

外付けリファレンスを使用する場合、コンフィギュレーション・レジスタを使って内蔵リファレンス電圧をディスイープルしてください。外付けリファレンス電圧範囲は 1.0 V～5.25 V である必要があり、 $\text{REF}_{\text{IN}}/\text{REF}_{\text{OUT}}$ ピンに接続します。

消費電力が問題となるアプリケーションに対しては、ADC のパワーダウン・モードを使って低消費電力性能を向上させることができます。詳細については、動作モードのセクションを参照してください。

アナログ入力

図 43 に、AD7091R-2/AD7091R-4/AD7091R-8 のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 はアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号が電源レールより 300 mV 以上超えないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされてサブストレートに電流が流れ始めるためです。各ダイオードがデバイスの損傷なしに許容できる最大電流は 10 mA です。

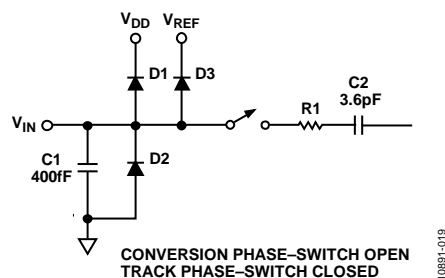


図 43. アナログ入力の等価回路

図 43 に示すコンデンサ C1 は約 400 fF (typ) で、主にピンの入力容量に起因します。抵抗 R1 はスイッチのオン抵抗で構成される集中定数部品です。この抵抗は約 500 Ω (typ) です。コンデンサ C2 は ADC のサンプリング・コンデンサであり、容量は 3.6 pF (typ) です。

高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能に大きな影響を与えるため、入力バッファ・アンプの使用が必要になります(図 44 参照)。ここに用いるオペアンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。ソース・インピーダンスの最大値は、許容可能な THD の大きさに依存します。ソース・インピーダンスが増加すると THD が大きくなるため、性能が低下します。

規定性能を実現するためには、AD7091R-2/AD7091R-4/AD7091R-8 V_{INX} ピンへのアナログ入力信号パスに外付けフィルタを使用してください。このフィルタは、1 極ローパス RC フィルタまたは同等回路とすることができます。

MUX_{OUT} ピンは ADC_{IN} ピンへ直接接続できますが、必要に応じて、バッファアンプを間に接続してください。チャンネルをシーケンシングする場合は、フィルタを MUX_{OUT} と任意のバッファ入力の間接続しないでください。これはクロストークを防止するためです。バッファを使用しない場合は、チャンネルをシーケンシングする際のクロストークを防止するため、 MUX_{OUT} と ADC_{IN} の間にフィルタを接続しないでください。

ドライバ・アンプの選択

AD7091R-2/AD7091R-4/AD7091R-8 の駆動は容易ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7091R-2/AD7091R-4/AD7091R-8 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7091R-2/AD7091R-4/AD7091R-8 アナログ入力回路の R1 と C2 から構成される 1 極ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7091R-2/AD7091R-4/AD7091R-8 の内部ノイズは $280 \mu\text{V rms (typ)}$ であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{\text{LOSS}} = 20 \log \left(\frac{280}{\sqrt{280^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} は MHz で表した AD7091R-2/AD7091R-4/AD7091R-8 の入力帯域幅(1.5 MHz)、または入力フィルタ(使用した場合)のカットオフ周波数。

N はアンプのノイズ・ゲイン(例えば、バッファ構成の場合はゲイン = 1、図 44 参照)。

e_N は $\text{nV}/\sqrt{\text{Hz}}$ で表したオペアンプの等価入力ノイズ電圧密度。

- AC アプリケーションの場合、ドライバは AD7091R-2/AD7091R-4/AD7091R-8 の性能に見合う THD 性能を持つ必要があります。
- MUX_{OUT} と ADC_{IN} の間にバッファを使用する場合、ドライバ・アンプと AD7091R-2/AD7091R-4/AD7091R-8 アナログ入力回路は、次段のコンデンサ・アレイへのフルスケール・ステップに対して、12 ビット・レベル (0.0244%, 244 ppm) で必要時間内にセトリングする必要があります。アンプのデータシートでは、一般に 0.1%~0.01% のセトリングが規定されていますが、12 ビット・レベルでのセトリング・タイムとは大幅に異なります。セトリング・タイムを確認してからドライバを選択してください。

表 9. 推奨ドライバ・アンプ¹

Product	Description
ADA4805-1	Low noise, ultralow power, wide bandwidth amplifier
AD8031	Low voltage, low power, single channel amplifier
AD8032	Low voltage, low power, dual channel amplifier
AD8615	Low frequency, low voltage amplifier

¹ 最新の推奨 ADC ドライバ製品については、AD7091R-2/AD7091R-4/AD7091R-8 製品ページをご覧ください。

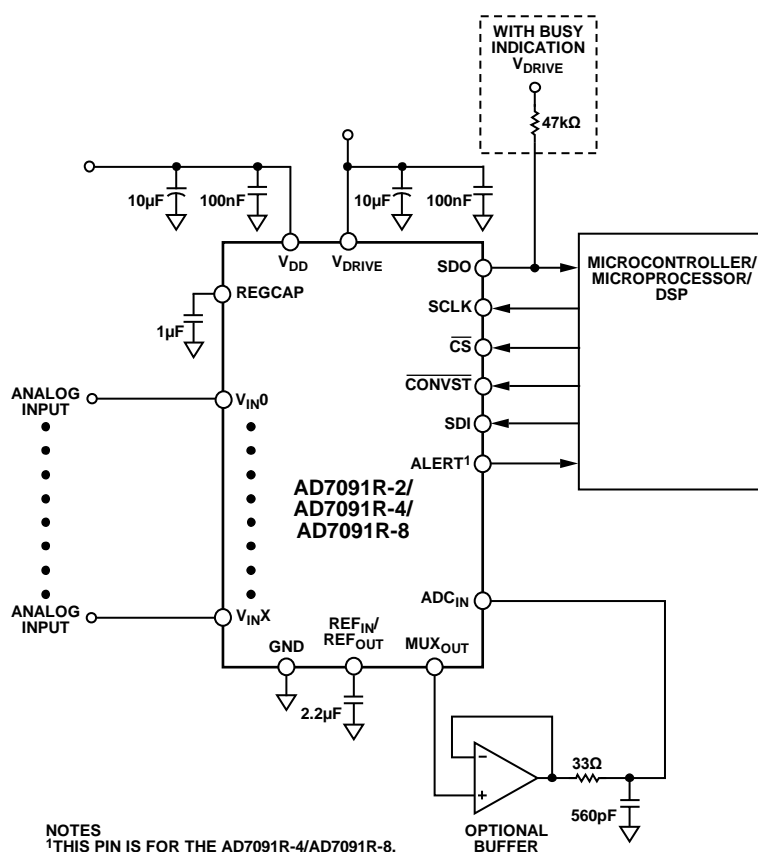


図 44. オプション・バッファとの代表的な接続図

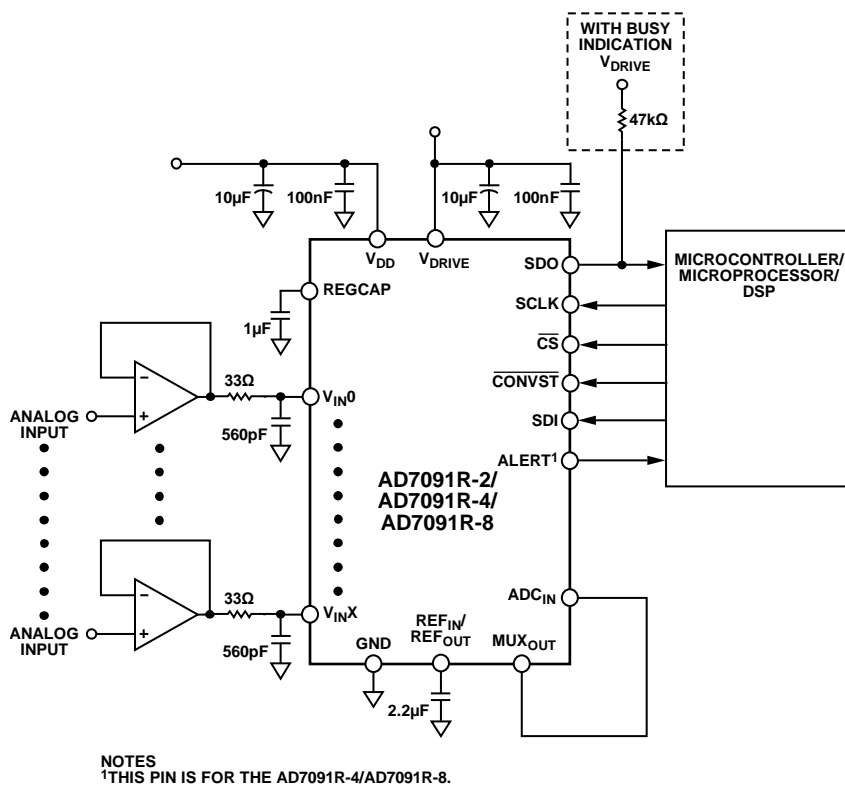


図 45. オプション・バッファを使用しない代表的な接続図

レジスタ

AD7091R-2/AD7091R-4/AD7091R-8 は、ユーザー・プログラマブルなレジスタを内蔵しています。表 10 に、レジスタの全リストを示します。

レジスタは、リード／ライト (R/W) または読出し専用 (R) です。リード／ライト・レジスタに対してはデータの書込みまたはリードバックが可能です。読出し専用レジスタでは読出しだけが可能です。読出し専用レジスタまたは未実装レジスタ・アドレスに対する書込みは、動作無し (NOP) と見なされます。NOP コマンドは 1 つの SPI コマンドですが、AD7091R-2/AD7091R-4/AD7091R-8 はこれを無視します。読出し専用レジスタに対する書込みの後、次の SPI フレームの前に変換がない場合、後に続く SPI フレーム上の読み出し出力は、全ビット・ゼロになります。同様に、未実装レジスタを読出すと、全ビット・ゼロが出力されます。

レジスタのアドレス指定

AD7091R-2/AD7091R-4/AD7091R-8 に対するシリアル・データ通信は、16 個の SCLK サイクルで構成されます。16 個の SCLK による転送時に SDI ライン上の MSB 6 ビットをデコードして、指定するレジスタ・アドレスと動作を知ります。この MSB 6 ビットは、レジスタ・アドレス (ADDx) ビット[4:0]、リード／ライト・ビットから構成されています。レジスタ・アドレス・ビットにより、選択する内蔵レジスタを指定します。リード／ライト・ビットは、リード／ライト・ビットに続く SDI ライン上のデータをアドレス指定されたレジスタに書き込むか否かを指定します。リード／ライト・ビットが 1 のとき、レジスタ・アドレス・ビットでアドレス指定されたレジスタにビットが書込まれます。データは、 \overline{CS} の立上がりエッジでレジスタに取り込まれます。リード／ライト・ビットが 0 のとき、コマンドは読出し要求と見なされます。要求されたレジスタ・データは、SDO ライン上の後続メッセージとして出力されます。

表 10. レジスタ説明

Address	Register Name	Default	Access		
			AD7091R-8	AD7091R-4	AD7091R-2
0x00	Conversion result	0x0000	R	R	R
0x01	Channel	0x0000	R/W	R/W	R/W
0x02	Configuration	0x00C0	R/W	R/W	R/W
0x03	Alert indication	0x0000	R	R	R
0x04	Channel 0 low limit	0x0000	R/W	R/W	R/W
0x05	Channel 0 high limit	0x01FF	R/W	R/W	R/W
0x06	Channel 0 hysteresis	0x01FF	R/W	R/W	R/W
0x07	Channel 1 low limit	0x0000	R/W	R/W	R/W
0x08	Channel 1 high limit	0x01FF	R/W	R/W	R/W
0x09	Channel 1 hysteresis	0x01FF	R/W	R/W	R/W
0x0A	Channel 2 low limit	0x0000	R/W	R/W	NOP
0x0B	Channel 2 high limit	0x01FF	R/W	R/W	NOP
0x0C	Channel 2 hysteresis	0x01FF	R/W	R/W	NOP
0x0D	Channel 3 low limit	0x0000	R/W	R/W	NOP
0x0E	Channel 3 high limit	0x01FF	R/W	R/W	NOP
0x0F	Channel 3 hysteresis	0x01FF	R/W	R/W	NOP
0x10	Channel 4 low limit	0x0000	R/W	NOP	NOP
0x11	Channel 4 high limit	0x01FF	R/W	NOP	NOP
0x12	Channel 4 hysteresis	0x01FF	R/W	NOP	NOP
0x13	Channel 5 low limit	0x0000	R/W	NOP	NOP
0x14	Channel 5 high limit	0x01FF	R/W	NOP	NOP
0x15	Channel 5 hysteresis	0x01FF	R/W	NOP	NOP
0x16	Channel 6 low limit	0x0000	R/W	NOP	NOP
0x17	Channel 6 high limit	0x01FF	R/W	NOP	NOP
0x18	Channel 6 hysteresis	0x01FF	R/W	NOP	NOP
0x19	Channel 7 low limit	0x0000	R/W	NOP	NOP
0x1A	Channel 7 high limit	0x01FF	R/W	NOP	NOP
0x1B	Channel 7 hysteresis	0x01FF	R/W	NOP	NOP
0x1C	Reserved	0x0000	NOP	NOP	NOP
...
0x1F	Reserved	0x0000	NOP	NOP	NOP

変換結果レジスタ

変換結果レジスタは 16 ビット読み出し専用レジスタで、直前の ADC 変換結果をストレート・バイナリ・フォーマットで格納します。変換したチャンネルのチャンネル ID とアラート・ステータスも一緒にレジスタに格納されます。

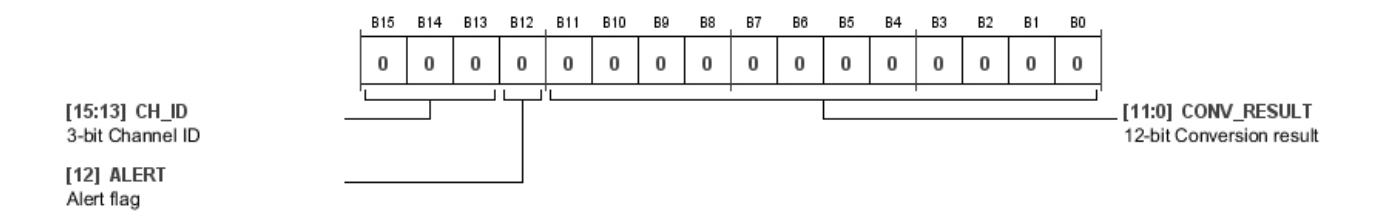


図 46.変換結果レジスタ

表 11.変換結果レジスタのマッピング

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
CH_ID			ALERT	CONV_RESULT											

表 12.変換結果レジスタのビット説明

Bit(s)	Name	Description				Reset	Access
[15:13]	CH_ID	変換されたチャンネルの 3 ビット・チャンネル ID				0x0	R
		B15 ^{1, 2}	B14 ²	B13	Analog Input Channel		
		0	0	0	V _{IN} 0		
		0	0	1	V _{IN} 1		
		0	1	0	V _{IN} 2		
		0	1	1	V _{IN} 3		
		1	0	0	V _{IN} 4		
		1	0	1	V _{IN} 5		
		1	1	0	V _{IN} 6		
1	1	1	V _{IN} 7				
12	ALERT	ALERT フラグ 0: ALERT なし 1: ALERT 発生				0	R
[11:0]	CONV_RESULT	12 ビット変換結果				0x000	R

¹ AD7091R-4 では常にゼロ。
² AD7091R-2 では常にゼロ。

チャンネル・レジスタ

AD7091R-2/AD7091R-4/AD7091R-8のチャンネル・レジスタは、8ビットのリード/ライト・レジスタです。8個の各アナログ入力チャンネルは、チャンネル・レジスタ内に対応するビットを割り当てられています。シーケンス動作に含めるチャンネルを選択するときは、チャンネル・レジスタ内で対応するチャンネル・ビットに1を設定します。チャンネル変換シーケンスが更新されるまでに、1変換分のレイテンシがあります。チャンネル・レジスタに新しい値を設定すると、変換シーケンサは新しいレジスタ設定値の中の最小番号チャンネルにリセットされます。

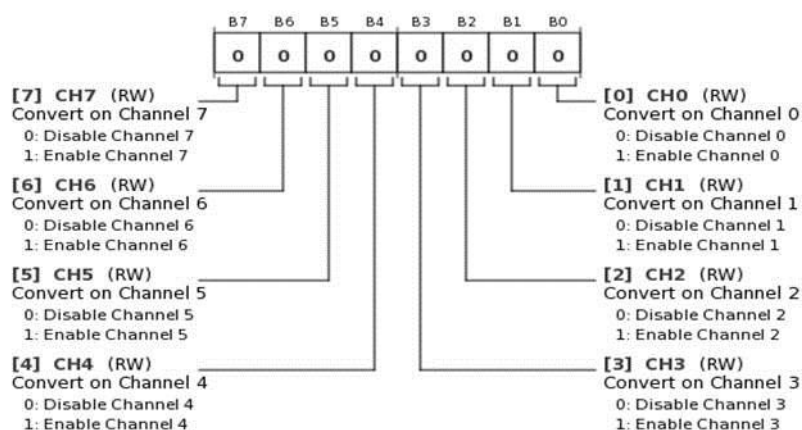


図 47.チャンネル・レジスタ

表 13.チャンネル・レジスタ・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Reserved								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0

表 14.チャンネル・レジスタのビット説明

Bit(s)	Name	Description	Reset	Access
[15:8]	Reserved	予約済み	0x00	R
7	CH7	チャンネル 7 の変換 0: チャンネル 7 をディスエーブル 1: チャンネル 7 をイネーブル	0x0	R/W
6	CH6	チャンネル 6 の変換 0: チャンネル 6 をディスエーブル 1: チャンネル 6 をイネーブル	0x0	R/W
5	CH5	チャンネル 5 の変換 0: チャンネル 5 をディスエーブル 1: チャンネル 5 をイネーブル	0x0	R/W
4	CH4	チャンネル 4 の変換 0: チャンネル 4 をディスエーブル 1: チャンネル 4 をイネーブル	0x0	R/W
3	CH3	チャンネル 3 の変換 0: チャンネル 3 をディスエーブル 1: チャンネル 3 をイネーブル	0x0	R/W
2	CH2	チャンネル 2 の変換 0: チャンネル 2 をディスエーブル 1: チャンネル 2 をイネーブル	0x0	R/W
1	CH1	チャンネル 1 の変換 0: チャンネル 1 をディスエーブル 1: チャンネル 1 をイネーブル	0x0	R/W

Bit(s)	Name	Description	Reset	Access
0	CH0	チャンネル 0 の変換 0: チャンネル 0 をディスエーブル 1: チャンネル 0 をイネーブル	0x0	R/W

コンフィギュレーション・レジスタ

コンフィギュレーション・レジスタは、16 ビットのリード/ライト・レジスタで、AD7091R-2/AD7091R-4/AD7091R-8 の動作モードを設定するときに使用します。

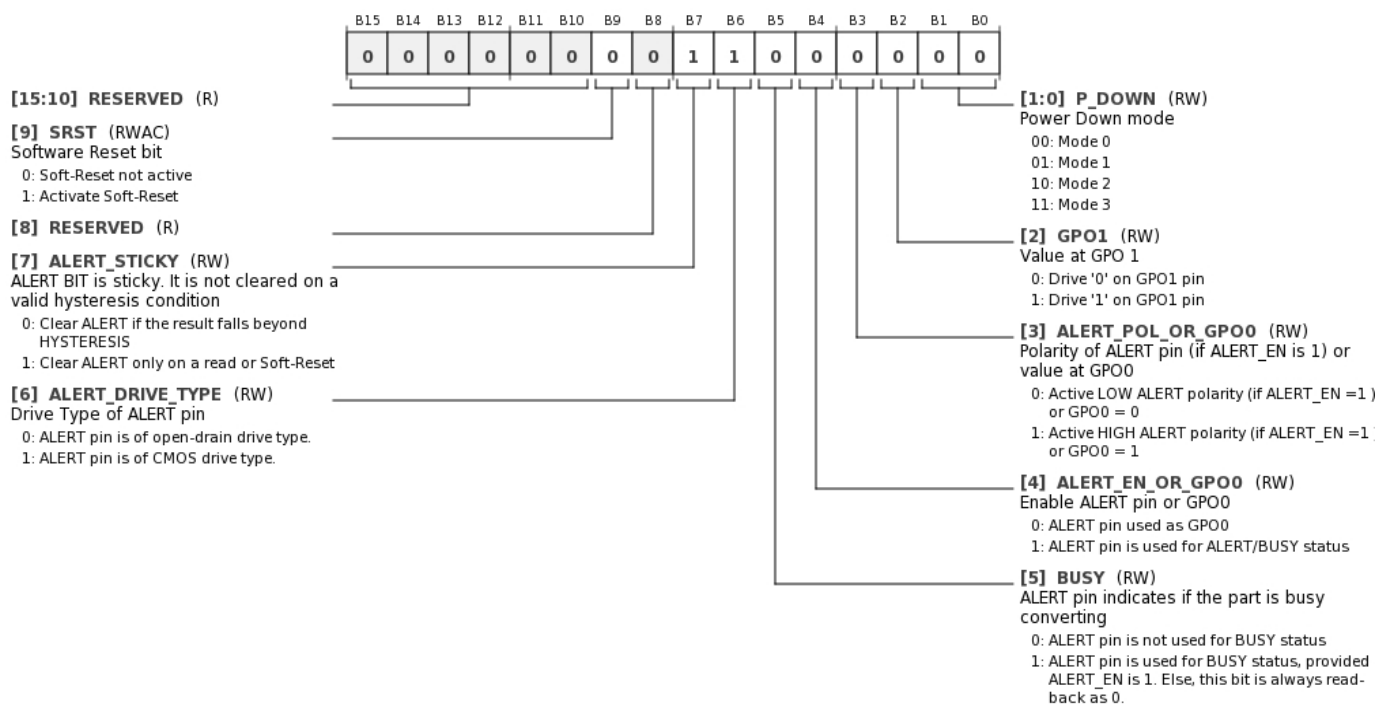


図 48.コンフィギュレーション・レジスタ

表 15.コンフィギュレーション・レジスタ・マップ

MSB										LSB					
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Reserved						SRS T	Reserve d	ALERT _STICK Y	ALERT_ DRIVE_TYP E	BUS Y	ALERT_EN _OR_GPO0	ALERT_POL _OR_GPO0	GPO 1	P_DOWN	

表 16.コンフィギュレーション・レジスタのビット説明

Bit(s)	Name	Description	Reset	Access
[15:10]	Reserved	予約済み	0x00	R
9	SRST	ソフトウェア・リセット・ビット。このビットをセットすると、内部デジタル制御ロジック、変換結果レジスタ、アラート・レジスタがリセットされますが、その他のメモリ・マップ・レジスタはリセットされません。このビットは、次のクロック・サイクルで自動的にクリアされます。このビットにより、ヒューズからランダム・アクセス・メモリ (RAM)がロードされることに注意してください。 0: ソフト・リセットを非起動。 1: ソフト・リセットを起動。	0x0	RWAC
8	Reserved	予約済み	0x0	R

Bit(s)	Name	Description	Reset	Access																		
7	ALERT_STICKY	ALERT ビットは直ちに变化しません。このビットは、有効なヒステリシス状態でクリアされません。 0: 変換結果がヒステリシスを超えた場合に ALERT ¹ がクリアされます。 1: ALERT ¹ は、読出しまたはソフト・リセットでのみクリアされます。	0x1	R/W																		
6	ALERT_DRIVE_TYPE	ALERT ¹ ピンの駆動タイプ。 0: ALERT ¹ ピンはオープン・ドレイン駆動タイプ。 1: ALERT ¹ ピンは CMOS 駆動タイプ。	0x1	R/W																		
5	BUSY	ALERT ¹ ピンは、デバイスが変換中でビジーであるか否かを表示します。 0: ALERT ¹ ピンを BUSY ステータスに使用しません。 1: ALERT_EN_OR_GPO0)が 1 の場合、ALERT ¹ ピンを BUSY ステータスに使用します。その他の場合、このビットを読出すと常に 0 が返されます。	0x0	R/W																		
4	ALERT_EN_OR_GPO0	ALERT ピンまたは GPO ₀ 1 のイネーブル。 0: ALERT ¹ ピンを GPO ₀ 1 として使います。 1: ALERT ¹ ピンを ALERT ¹ /BUSY ¹ ステータスとして使います。	0x0	R/W																		
3	ALERT_POL_OR_GPO0	ALERT ¹ ピンの極性 (ALERT_EN_OR_GPO0 = 1 の場合)または GPO ₀ 1 の値。 0: アクティブ・ローの ALERT ¹ 極性 (ALERT_EN_OR_GPO0 = 1 の場合)または GPO ₀ 1 = 0。 1: アクティブ・ハイの ALERT ¹ 極性 (ALERT_EN_OR_GPO0 = 1 の場合)または GPO ₀ 1 = 1。	0x0	R/W																		
2	GPO1	GPO ₁ 1 の値 0: GPO ₁ 1 ピンを 0 に駆動。 1: GPO ₁ 1 ピンを 1 に駆動。	0x0	R/W																		
[1:0]	P_DOWN	パワーダウン・モード。	0x0	R/W																		
		<table><tr><th>Setting</th><th>Mode</th><th>Sleep Mode/Bias Generator</th><th>Internal Reference</th></tr><tr><td>00</td><td>Mode 0</td><td>Off</td><td>Off</td></tr><tr><td>01</td><td>Mode 1</td><td>Off</td><td>On</td></tr><tr><td>10</td><td>Mode 2</td><td>On</td><td>Off</td></tr><tr><td>11</td><td>Mode 3</td><td>On</td><td>On</td></tr></table>	Setting	Mode	Sleep Mode/Bias Generator	Internal Reference	00	Mode 0	Off	Off	01	Mode 1	Off	On	10	Mode 2	On	Off	11	Mode 3	On	On
Setting	Mode	Sleep Mode/Bias Generator	Internal Reference																			
00	Mode 0	Off	Off																			
01	Mode 1	Off	On																			
10	Mode 2	On	Off																			
11	Mode 3	On	On																			

¹ パラメータ内で共用ピンの 1 つの機能を参照する場合、ピン名の仕様に係る部分のみを記載します。共用ピンのフル名称については、ピン配置およびピン機能説明のセクションを参照してください。

アラーム表示レジスタ

16 ビットのアラーム表示レジスタは、読出し専用レジスタで、アラーム・イベント（アラート状態）の情報を提供します。変換結果により ALERT/BUSY/ GPO₀ ピンのアラーム機能がアクティブになると、チャンネル X 下限値レジスタのセクションとチャンネル x 上限値レジスタのセクションで説明するように、アラーム・レジスタを読出して警告の原因を知ることができます。これらのレジスタにはチャンネルあたり 2 ビットのステータス・ビットがあります。1 ビットは上限値に対応し、他の 1 ビットは下限値に対応します。ステータス・ビット = 1 で、制限値オーバーが生じた場所(すなわちチャンネル)と上限/下限のいずれを超えたかを表示します。最初のアラームの受信とアラ

ーム・レジスタの読出しの間に、2 回目のアラーム・イベントが他のチャンネルで発生した場合、その警告に対応するビットもセットされます。

アラーム表示レジスタ値は、読出すとリセットされます。アラーム・データが読出された SPI フレームの 2 番目の SCLK サイクルで、アラーム表示レジスタはリセットされます。その間に変換が発生すると、アラーム表示レジスタ値の代わりに変換結果が送信されます。この場合、アラーム表示レジスタはリセットされません。

2 チャンネルおよび 4 チャンネル・デバイス上の未実装チャンネルのアラーム・ビットは常にゼロを返します。

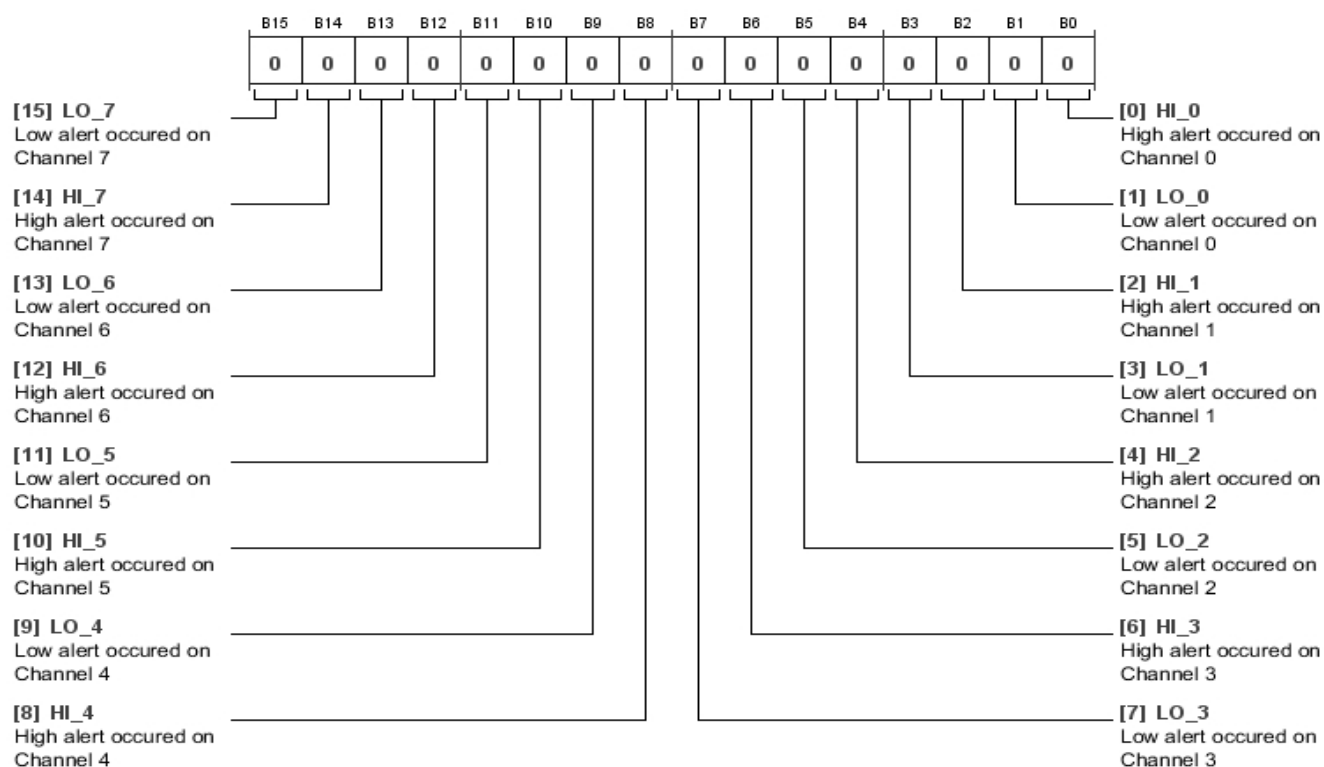


図 49.アラーム表示レジスタ (図にはデフォルト・レジスタ値 0 を表示し、アラート状態がないことを示しています)

表 17.アラーム表示レジスタ・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
LO_7	HI_7	LO_6	HI_6	LO_5	HI_5	LO_4	HI_4	LO_3	HI_3	LO_2	HI_2	LO_1	HI_1	LO_0	HI_0

表 18.警報表示レジスタのビット説明

Bit(s)	Bit Name	Description	Reset	Access
15	LO_7	チャンネル 7 下限アラーム・ステータス 0: チャンネル 7 にアラートなし 1: チャンネル 7 に下限アラート発生	0x0	R
14	HI_7	チャンネル 7 上限アラーム・ステータス 0: チャンネル 7 にアラートなし 1: チャンネル 7 に上限アラート発生	0x0	R

Bit(s)	Bit Name	Description	Reset	Access
13	LO_6	チャンネル 6 下限アラーム・ステータス 0: チャンネル 6 にアラートなし 1: チャンネル 6 に下限アラート発生	0x0	R
12	HI_6	チャンネル 6 上限アラーム・ステータス 0: チャンネル 6 にアラートなし 1: チャンネル 6 に上限アラート発生	0x0	R
11	LO_5	チャンネル 5 下限アラーム・ステータス 0: チャンネル 5 にアラートなし 1: チャンネル 5 に下限アラート発生	0x0	R
10	HI_5	チャンネル 5 上限アラーム・ステータス 0: チャンネル 5 にアラートなし 1: チャンネル 5 に上限アラート発生	0x0	R
9	LO_4	チャンネル 4 下限アラーム・ステータス 0: チャンネル 4 にアラートなし 1: チャンネル 4 に下限アラート発生	0x0	R
8	HI_4	チャンネル 4 上限アラーム・ステータス 0: チャンネル 4 にアラートなし 1: チャンネル 4 に上限アラート発生	0x0	R
7	LO_3	チャンネル 3 下限アラーム・ステータス 0: チャンネル 3 にアラートなし 1: チャンネル 3 に下限アラート発生	0x0	R
6	HI_3	チャンネル 3 上限アラーム・ステータス 0: チャンネル 3 にアラートなし 1: チャンネル 3 に上限アラート発生	0x0	R
5	LO_2	チャンネル 2 下限アラーム・ステータス 0: チャンネル 2 にアラートなし 1: チャンネル 2 に下限アラート発生	0x0	R
4	HI_2	チャンネル 2 上限アラーム・ステータス 0: チャンネル 2 にアラートなし 1: チャンネル 2 に上限アラート発生	0x0	R
3	LO_1	チャンネル 1 下限アラーム・ステータス 0: チャンネル 1 にアラートなし 1: チャンネル 1 に下限アラート発生	0x0	R
2	HI_1	チャンネル 1 上限アラーム・ステータス 0: チャンネル 1 にアラートなし 1: チャンネル 1 に上限アラート発生	0x0	R
1	LO_0	チャンネル 0 下限アラーム・ステータス 0: チャンネル 0 にアラートなし 1: チャンネル 0 に下限アラート発生	0x0	R
0	HI_0	チャンネル 0 上限アラーム・ステータス 0: チャンネル 0 にアラートなし 1: チャンネル 0 に上限アラート発生	0x0	R

チャンネル X 下限値レジスタ

AD7091R-2/AD7091R-4/ AD7091R-8 の各アナログ入力チャンネルは、下限値レジスタを持っています。下限値レジスタは、16 ビットのリード／ライト・レジスタです。レジスタ・アドレスについては、表 10 を参照してください。下限値レジスタは、アラーム出力(ALERT)を発生する変換値の下限を格納しています。

16 ビットの内 B15～B9 は未使用です。下位 9 ビット(B8～B0)のみ使用しています。ユーザーによって設定されるこれらの 9 ビットは、比較用の内部 12 ビット・レジスタの上位ビットとして使用されます。内部 12 ビット・レジスタの下位 3 ビットには 000 が設定されます。

チャンネル X 上限値レジスタ

AD7091R-2/AD7091R-4/ AD7091R-8 の各アナログ入力チャンネルは、上限値レジスタを持っています。上限値レジスタは、16 ビットのリード／ライト・レジスタです。レジスタ・アドレスについては、表 10 を参照してください。上限値レジスタは、アラーム出力(ALERT)を発生する変換値の上限を格納しています。

16 ビットの内 B15～B9 は未使用です。下位 9 ビット(B8～B0)の

表 19.チャンネル x 下限値レジスタ・マップ

MSB															LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
Reserved							CHx LOW LIMIT									

表 20.チャンネル x 下限値レジスタのビット説明

Bit(s)	Bit Name	Description	Reset	Access
[15:9]	Reserved	予約済み	0x00	R
[8:0]	CHx LOW LIMIT	チャンネル x の下限値	0x000	R/W

表 21.チャンネル x 上限値レジスタ・マップ

MSB															LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
Reserved							CHx HIGH LIMIT									

表 22.チャンネル x 上限値レジスタのビット説明

Bits	Bit Name	Description	Reset	Access
[15:9]	Reserved	予約済み	0x00	R
[8:0]	CHx HIGH LIMIT	チャンネル x の上限値	0x1FF	R/W

表 23.チャンネル x ヒステリシス・レジスタ・マップ

MSB															LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
Reserved							CHx HYSTERESIS									

表 24.チャンネル x ヒステリシス・レジスタのビット説明

Bit(s)	Bit Name	Description	Reset	Access
[15:9]	Reserved	予約済み	0x00	R
[8:0]	CHx HYSTERESIS	チャンネル x のヒステリシス値	0x1FF	R/W

み使用しています。ユーザーによって設定されるこれらの 9 ビットは、比較用の内部 12 ビット・レジスタの上位ビットとして使用されます。内部 12 ビット・レジスタの下位 3 ビットには 111 が設定されます。

チャンネル X ヒステリシス・レジスタ

AD7091R-2/AD7091R-4/ AD7091R-8 の各アナログ入力チャンネルは、ヒステリシス・レジスタを持っています。このレジスタは 16 ビットのリード／ライト・レジスタです。レジスタ・アドレスについては、表 10 を参照してください。リミット・レジスタを使用する場合、ヒステリシス・レジスタがヒステリシス値 (N)を格納しています。ヒステリシス値は、限界値を超えた場合の ALERT/BUSY/GPO₀ ピンのリセット・ポイントを決定します。

16 ビットの内 B15～B9 は未使用です。下位 9 ビット(B8～B0)のみ使用しています。ユーザーによって設定されるこれらの 9 ビットは、比較用の内部 12 ビット・レジスタの上位ビットとして使用されます。内部 12 ビット・レジスタの下位 3 ビットには 000 が設定されます。

シリアル・ポート・インターフェース

SPI は、シリアル・データ通信用の 4 線式インターフェース (3 本の入力と 1 本の出力) です。チップ・セレクト ($\overline{\text{CS}}$)、シリアル・クロック (SCLK)、シリアル・データ入力 (SDI)、シリアル・データ出力 (SDO) から構成されています。SDI および SDO 上のデータ転送は、SCLK を基準として行われます。 $\overline{\text{CS}}$ はデータのフレーム指定に使用し、アクティブ・ローです。 $\overline{\text{CS}}$ がハイ・レベルのとき、SDO は高インピーダンス状態になります。 $\overline{\text{CS}}$ の立下がりエッジで SDO ラインは高インピーダンス状態から抜け出します。 $\overline{\text{CS}}$ の立上りエッジで SDO は高インピーダンス状態へ戻ります。

AD7091R-2/AD7091R-4/AD7091R-8 の SPI では、CPHA および CPOL = 0 と CPHA および CPOL = 1 の両方をサポートすることができます。このサポート機能により、デバイスは $\overline{\text{CS}}$ の非アサート時に SCLK のハイ・レベルまたは SCLK のロー・レベルを維持するマイクロコントローラおよび DSP ヘインターフェースできるようになります。このデバイスは、 $\overline{\text{CS}}$ の非アサート時の SCLK のトグルを無視します。

変換結果の読出し

$\overline{\text{CONVST}}$ 信号を使って AD 変換プロセスを開始します。 $\overline{\text{CONVST}}$ 信号のハイ・レベルからロー・レベルへの変化により、トラック・アンド・ホールドがホールド・モードになり、この時点でアナログ入力がサンプリングされます。変換が開始され、完了するには 600 ns を要します。変換終了の前に、 $\overline{\text{CONVST}}$ 信号を再度ハイ・レベルに戻します。変換プロセスが終了すると、トラック・アンド・ホールドはトラック・モードに戻ります。次に、 $\overline{\text{CS}}$ ピンをロー・レベルにすると、変換結果が SDO ピンに出力されます。データは、シリアル・クロック入力 SCLK の制御のもとで 16 ビットのワードとしてデバイスからシフト出力されます。データは SCLK の立下がりエッジで出力され、データ・ビットは SCLK の立上がりとし立下がりの両エッジで有効になります。MSB は、 $\overline{\text{CS}}$ の立下がりエッジでシフト出力されます。前の(15 番目の)立下がりエッジで出力されて

いたデータ転送の最終ビットは、16 番目の立上がりエッジと 16 番目の立下がりエッジで有効になります。16 番目の立下がりエッジで、 $\overline{\text{CS}}$ を再度ハイ・レベルにして SDO を高インピーダンス状態に戻します。さらに変換が必要な場合は、 $\overline{\text{CONVST}}$ を再度ロー・レベルにし(少なくとも 1 μs 後)、読出しサイクルを繰り返します。図 51 に、動作タイミング図を示します。

レジスタへのデータの書き込み

デバイス内のすべてのリード/ライト・レジスタに SPI から書込むことができます。1 回の 16 ビット SPI アクセスでレジスタ書き込みコマンドが実行されます。書き込みコマンドのフォーマットを表 25 に示します。ビット[B15:B11]にはレジスタ・アドレスが格納されます。すべてのレジスタ・アドレスの一覧については、表 10 を参照してください。B10 ビットに 1 を設定すると、書き込みコマンドが選択されます。後続の 10 ビット (ビット[B9:B0]) は、選択したレジスタに書込むデータです。

レジスタからのデータの読出し

デバイス内のすべてのレジスタを SPI から読出すことができます。レジスタの読出しは、レジスタ読出しコマンドとそれに続く追加 SPI コマンド (有効コマンドまたは NOP) を発行することにより行われます。読出しコマンドのフォーマットを表 26 に示します。ビット[B15:B11]にはレジスタ・アドレスが格納されます。すべてのレジスタ・アドレスの一覧については、表 10 を参照してください。B10 ビットに 0 を設定すると、読出しコマンドが選択されます。デバイスは後続ビット (ビット[B9:B0]) を無視します。

すべての変換イベントは特別なケースとして扱われ、前の読出しコマンドより優先されます。前の SPI フレームでレジスタ読出しが開始された場合でも、AD7091R-2/AD7091R-4/ AD7091R-8 は常に、変換後に変換結果レジスタを SDO に出力します。

表 25. 書き込みコマンド・メッセージの構成

MSB															LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
Register Address[4:0]					1	Data[9:0]										

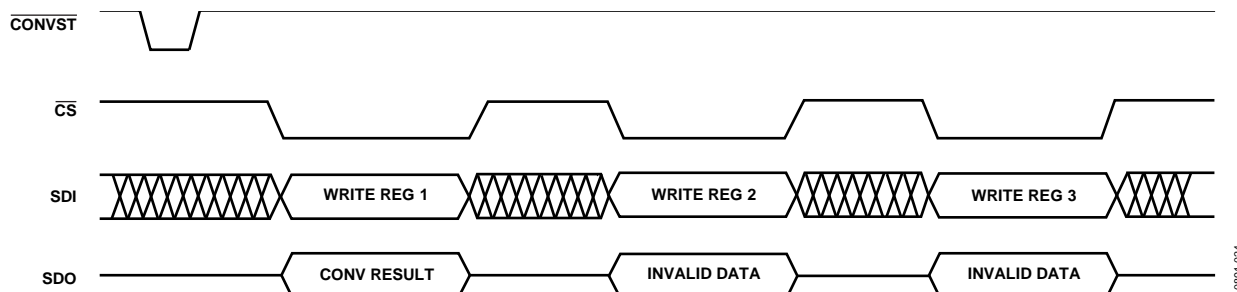


図 50. シリアル・インターフェース・レジスタの書き込み

表 26.読み出しコマンド・メッセージの構成

MSB										LSB					
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register Address[4:0]					0	Don't Care									

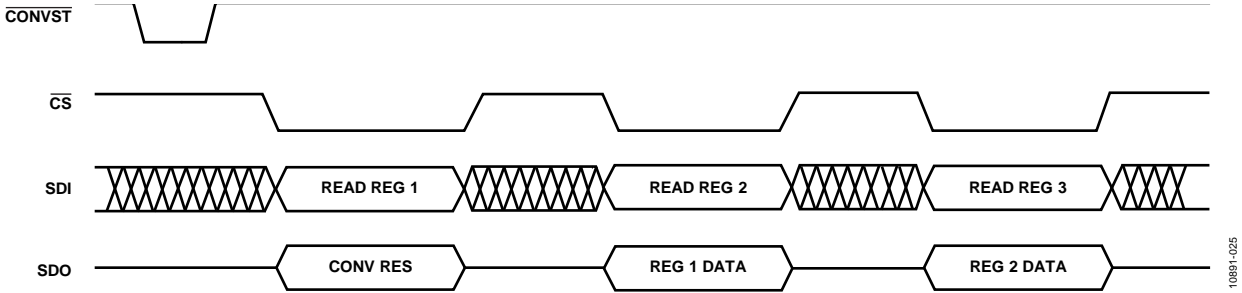


図 51.シリアル・インターフェース・レジスタの読み出し

動作モード

ノーマル・モード

デバイスがノーマル・モードまたはパワーダウン・モードのいずれになるかはユーザーが制御します。これらの動作モードは、柔軟なパワー・マネジメント・オプションを提供し、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化するために選択することができます。

最高速のスループット・レート性能を実現するためには、ノーマル・モードを使用してください。このとき AD7091R-2/AD7091R-4/AD7091R-8 ではパワーアップ時間は問題になりません。これは、デバイスが常にフル・パワー状態にあるためです。図 52 に、ノーマル・モードの AD7091R-2/AD7091R-4/AD7091R-8 の全体図を示します。変換はシリアル・ポート・インターフェースのセクションで説明するように $\overline{\text{CONVST}}$ の立下がりエッジで開始されます。デバイスを常時パワーアップさせておくためには、 t_{CONVERT} より前に $\overline{\text{CONVST}}$ 信号がハイ・レベルに戻り、変換が完了するまでハイ・レベルを維持しておく必要があります。図 52 に示す変換終了 (EOC) ポイントは、変換の終わりと $\overline{\text{CONVST}}$ のロジック・レベルが比較テストされるタイミングを示します。

変換結果レジスタに格納されているデータをリードバックするときは、変換が完了するまで待ちます。次に、 $\overline{\text{CS}}$ ピンをロー・レベルにすると、変換結果は SDO ピンに出力されます。出力シフトレジスタは 16 ビット幅です。データは、シリアル・クロック (SCLK) 入力の制御のもとで 16 ビットのワードとしてデバイスからシフト出力されます。図 4 に、動作タイミング図を示します。変換読出しが完了したら、 $\overline{\text{CONVST}}$ を再度ロー・レベルにして、次の変換を開始します。

パワーダウン・モード

低速スループット・レートで低消費電力が必要な場合は、各変換の間に ADC をパワーダウンさせるか、あるいは一連の変換を高スループット・レートで実行した後にこれらのバースト変換の間に比較的長時間 ADC をパワーダウンさせるために、パワーダウン・モードを使用してください。AD7091R-2/AD7091R-4/AD7091R-8 がパワーダウン・モードになると、すべてのアナログ回路がパワーダウンしますが、シリアル・インターフェー

スは動作を続けます。

パワーダウン・モードを開始するときは、コンフィギュレーション・レジスタのパワーダウン設定ビットに書き込みを行います (表 15 参照)。フル・パワーダウン・モードを開始するときは、スリープ・モード/バイアス・ジェネレータ・ビットに 1 を設定し、内蔵リファレンス・ビットに 0 を設定すると、すべてのアナログ回路と内蔵リファレンスがパワーダウンします。内蔵リファレンスをイネーブルする場合は、コンフィギュレーション・レジスタのビット 0 に 1 が設定すると電力消費が発生します。

AD7091R-2/AD7091R-4/AD7091R-8 のシリアル・インターフェースはパワーダウン・モードでも正常動作を続けるため、デバイスがパワーダウン・モードを開始した後も変換結果をリードバックすることができます。

この動作モードを終了するとき、および AD7091R-2/AD7091R-4/AD7091R-8 を再度パワーアップさせるときは、コンフィギュレーション・レジスタのパワーダウン設定ビットへ書き込みを行います (表 15 参照)。 $\overline{\text{CONVST}}$ の立下がりエッジで、デバイスはパワーアップを開始します。AD7091R-2/AD7091R-4/AD7091R-8 のパワーアップ時間は 1 μs (typ) です。パワーアップが完了した後、ADC はフルにパワーアップし、入力信号が正常に取り込まれます。次の変換を開始するときは、ノーマル・モードのセクションで説明するようにインターフェースを動作させてください。内蔵リファレンス電圧を使用して、かつデバイスがフル・パワーダウン・モードの場合、内蔵リファレンスのパワーアップ時間が経過して安定するまで変換の実行を待つ必要があります。リファレンス電圧バッファは、パワーアップのために 50 ms を要し、パワーアップ時に 2.2 μF のデカップリング・コンデンサが充電しなければなりません。

変換を行わないときに AD7091R-2/AD7091R-4/AD7091R-8 のパワーダウン・モードを使うことにより、低速スループット・レートで ADC の平均消費電力を節約することができます。低速スループット・レートではパワーダウン・モードを使用してください。各変換バーストの間に大きな時間間隔がない場合は、ノーマル・モードを使用してください (ノーマル・モードのセクション参照)。

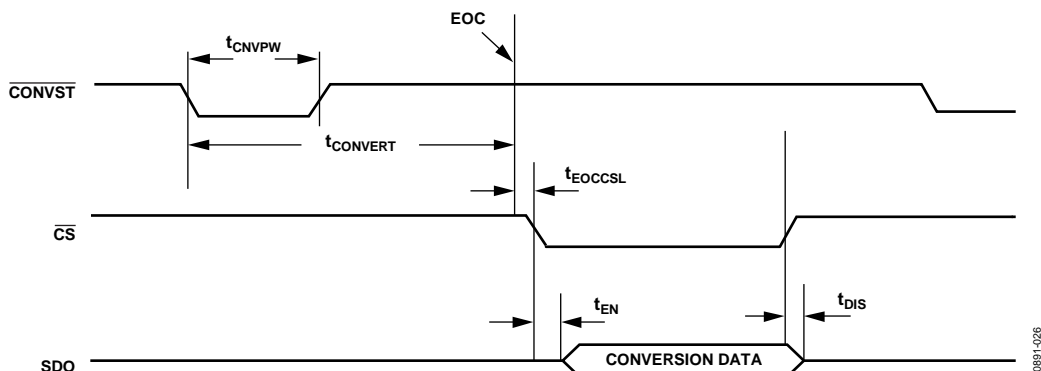


図 52. シリアル・インターフェース読出しタイミング—ノーマル・モード

アラーム (AD7091R-4 と AD7091R-8 の場合)

アラーム機能 (アラート状態の表示) は信号範囲外インジケータとして使用されます。変換結果レジスタ値がチャンネル上限値レジスタの CHx 上限値を超えたとき、または選択したチャンネルのチャンネル下限値レジスタの CHx 下限値を下回ったとき、アラート状態がトリガされます。

詳細なアラーム情報は、アラート・レジスタから得ることができます。これらのレジスタにはチャンネルあたり 2 ビットのステータス・ビットがあります。1 ビットは上限値に対応し、他の 1 ビットは下限値に対応します。すべてのチャンネルのアラーム信号の論理和で共通アラーム値が発生されます。この値は変換結果レジスタのアラート・ビットにより知ることが可能です。ALERT/BUSY/GPO₀ ピンの ALERT 機能に出力するように設定されます。ALERT/BUSY/GPO₀ ピンは、ALERT として設定することが可能です。そのためには、コンフィギュレーション・レジスタの次のビットを設定します。

- ALERT_EN_OR_GPO0 ビット(ビット 4)に 1 を設定します。
- BUSY ビット(ビット 5)に 0 を設定します。
- ALERT_POL_OR_GPO0 ビット(ビット 3)に 0 を設定して、ALERT/BUSY/GPO₀ ピンの ALERT 機能をアクティブ・ローに、1 を設定して ALERT/BUSY/GPO₀ ピンの ALERT 機能をアクティブ・ハイにします。

アラート・レジスタ値を読出すと、アラート・レジスタ、アラート・ビット、ALERT/BUSY/GPO₀ ピンの ALERT 機能がクリアされます。さらに、変換結果が選択したチャンネルのヒステリシス値を超えると、チャンネルに対応するアラート・ビットが自動的にリセットされます。コンフィギュレーション・レジスタの ALERT_STICKY ビットに 1 を設定すると、アラート・ステータスの自動クリアをオフにすることができます。アラームが発生した時に ALERT_STICKY ビットがセットされた場合、アラート・レジスタを読出すことにより、リセットすることができます。また、ソフトウェア・リセットの発行でも、アラート・ステータスがクリアされます。

ALERT/BUSY/GPO₀ ピンはオープン・ドレイン回路であるため、ALERT/BUSY/GPO₀ ピンの ALERT 機能がアクティブ・ローの場合、複数の AD7091R-4/AD7091R-8 デバイスのアラーム出力をワイヤード OR することができます。コンフィギュレーション・レジスタの ALERT_DRIVE_TYPE ビット (ビット 6) が、ALERT/BUSY/GPO₀ のピン設定を制御します。

コンフィギュレーション・レジスタの ALERT_POL_OR_GPO0 ビット (ビット 3) を使って、アラーム出力のアクティブ極性を設定します。パワーアップ時のデフォルトはアクティブ・ローです。

ALERT/BUSY/GPO₀ ピンの ALERT 機能とオープン・ドレイン回路を使用するときは、外付けプルアップ抵抗が必要です。外付けプルアップ抵抗を V_{DRIVE} へ接続してください。抵抗値はアプリケーションに依存しますが、ALERT/BUSY/GPO₀ ピンの ALERT 機能がトリガされたときシンク電流を小さく抑えるため十分大きくする必要があります。

ビジー (AD7091R-4 と AD7091R-8 の場合)

ALERT/BUSY/GPO₀ ピンを BUSY 出力に設定した場合、このピンを使って、変換が行われるタイミングを表示できます。ALERT/BUSY/GPO₀ ピンを BUSY として設定するときは、コンフィギュレーション・レジスタの次のビットを使います。

- ALERT_EN_OR_GPO0 ビット(ビット 4)に 1 を設定します。
- BUSY ビット(ビット 5)に 1 を設定します。
- ALERT_POL_OR_GPO0 ビット(ビット 3)に 0 を設定して、BUSY ピンをアクティブ・ローに、1 を設定して BUSY ピンをアクティブ・ハイにします。

ALERT/BUSY/GPO₀ ピンの BUSY 機能を使用するときは、出力がオープン・ドレイン回路であるため、外付けプルアップ抵抗が必要です。外付けプルアップ抵抗を V_{DRIVE} へ接続してください。抵抗値はアプリケーションに依存しますが、ALERT/BUSY/GPO₀ ピンの BUSY 機能がトリガされたときシンク電流を小さく抑えるため十分大きくする必要があります。

チャンネル・シーケンサ

AD7091R-2/AD7091R-4/AD7091R-8 は、チャンネルの繰り返しサンプリングに便利なチャンネル・シーケンサを内蔵しています。シーケンサ動作に含めるチャンネルは、チャンネル・レジスタで設定します。チャンネル・レジスタのすべてのビットが 0 の場合、デフォルトでチャンネル 0 が選択され、すべての変換はこのチャンネルのみで行われます。チャンネル・レジスタがゼロ以外の場合、変換シーケンスはチャンネル・レジスタで設定された最小番号のチャンネルから開始されます。シーケンサでは、

選ばれたすべてのチャンネルの変換動作を昇順に繰り返します。シーケンス内のすべてのチャンネルを変換した後、シーケンスが再度始めから開始されます。

チャンネル変換シーケンスを更新する際は、1 変換分のレイテンシがあります。チャンネル・レジスタに新しい値を設定すると、変換シーケンスは新しい値の中の最小番号チャンネルにリセットされます。

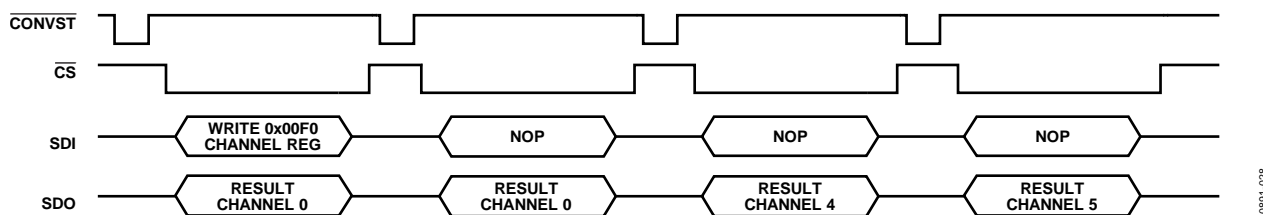


図 53.チャンネル・シーケンサ

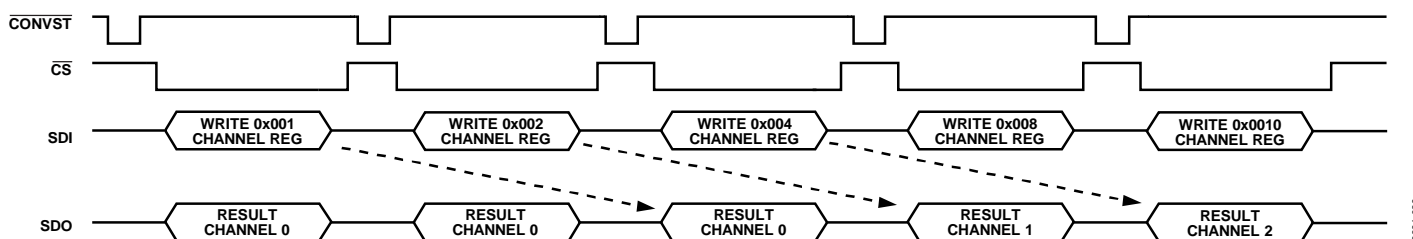


図 54.チャンネル・シーケンサの複数チャンネル書込み

ディジーチェーン

ディジーチェーン・モードは、複数の AD7091R-2/AD7091R-4/AD7091R-8 デバイスを使用するアプリケーションを対象にしています。この機能は部品数と接続配線数の削減に役立ちます。たとえば、個別の複数のコンバータを使用するアプリケーション、またはインターフェース能力が制限されているシステムではこの接続が使用されます。

すべてのスレーブ ADC は、同じ $\overline{\text{CS}}$ 、 $\overline{\text{CONVST}}$ 、SCLK 信号でアドレス指定されます。チェーン内の最初の AD7091R-2/AD7091R-4/AD7091R-8 スレーブの SDI は、マスター出力すなわち SPI マスターのスレーブ入力 (MOSI) ピンから直接駆動されます。最初のスレーブの SDO は、2 番目のスレーブの SDI に接続されます。すべての後続スレーブがこの方式で接続され、最後のスレーブの SDO がマスター入力すなわちマスターのスレーブ出力 (MISO) ピンを駆動します。2 個の AD7091R-2/AD7091R-4/AD7091R-8 デバイスを使用する接続図の例を図 55 に示します。

チェーン内の各 AD7091R-2/AD7091R-4/AD7091R-8 スレーブが、16 ビットの SPI コマンドを必要とします。N 個のスレーブが存在する場合、各 SPI フレームは $N \times 16$ ビットのデータを持つ必要があります。AD7091R-2/AD7091R-4/AD7091R-8 では、ビット・カウンタが 16 ビットになると、受信したすべてのビットが SDO へ送信されます。最初のスレーブからの出力が、2 番目のスレーブの入力になります。実際には、各スレーブは着信する最後の 16 ビット SPI コマンド以外はすべて無視します。 $\overline{\text{CS}}$ の立上がりエッジの直前に受信した SPI コマンドが、ディジーチェーン内の与えられたデバイスに対する唯一の有効 SPI コマンドになります。次の SPI フレーム内の出力は、有効な SPI コマンドまたはすべての変換イベントにより決定されます。

2 個のスレーブの例に対して、変換結果を構成中のスレーブ・レジスタへ読出す方法を、図 56～図 60 に示します。追加スレーブ・デバイスは、2 個のデバイス構成と同じ方法でチェーンに接続することができます。

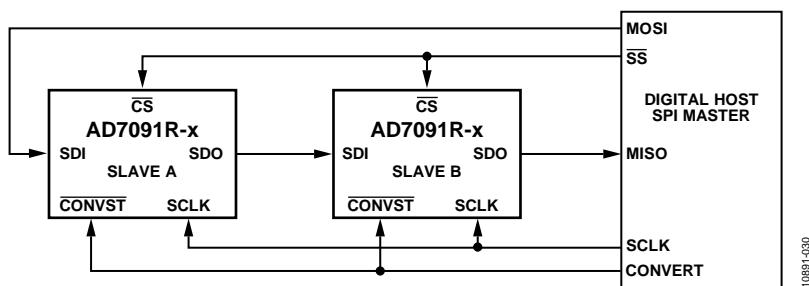


図 55.ディジーチェーン構成

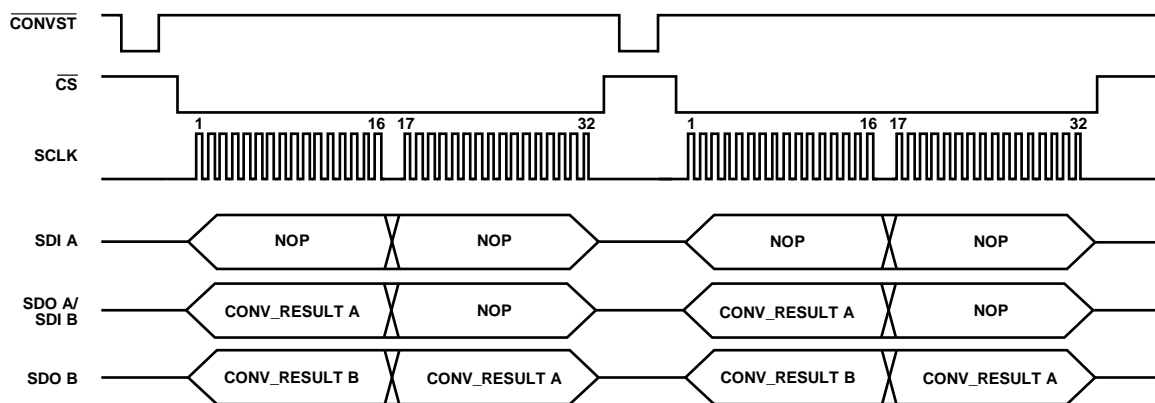
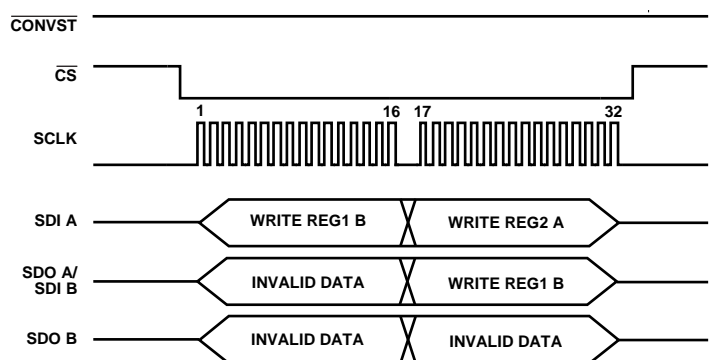
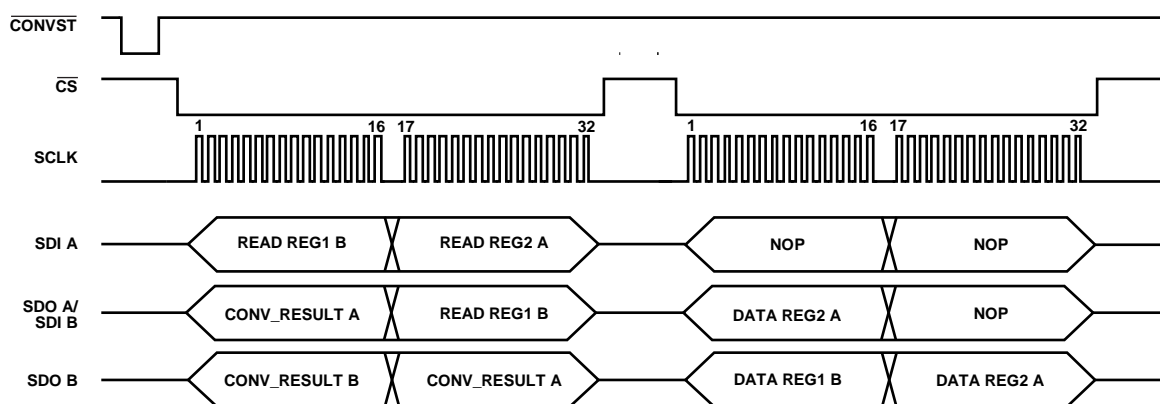


図 56.2 個のスレーブで構成されるディジーチェーン・モードでの変換



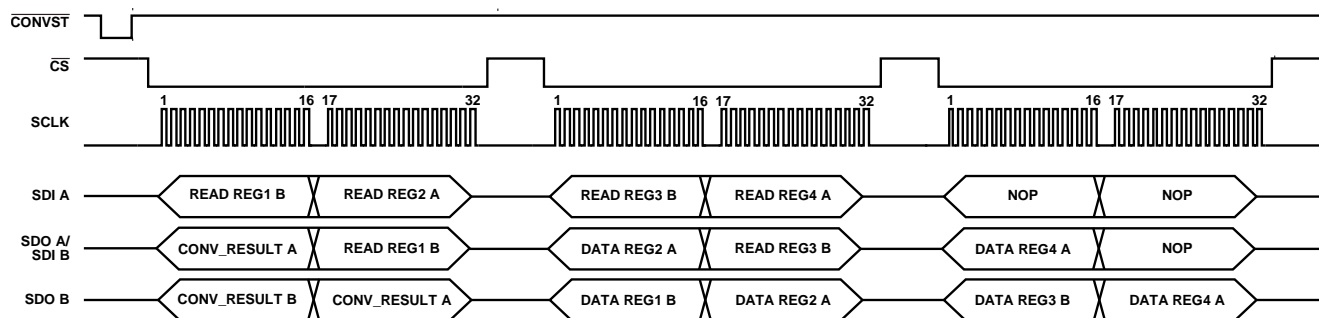
10891-032

図 57.2 個のスレープで構成されるディジーチェーン・モードでのシングル・レジスタ書き込み



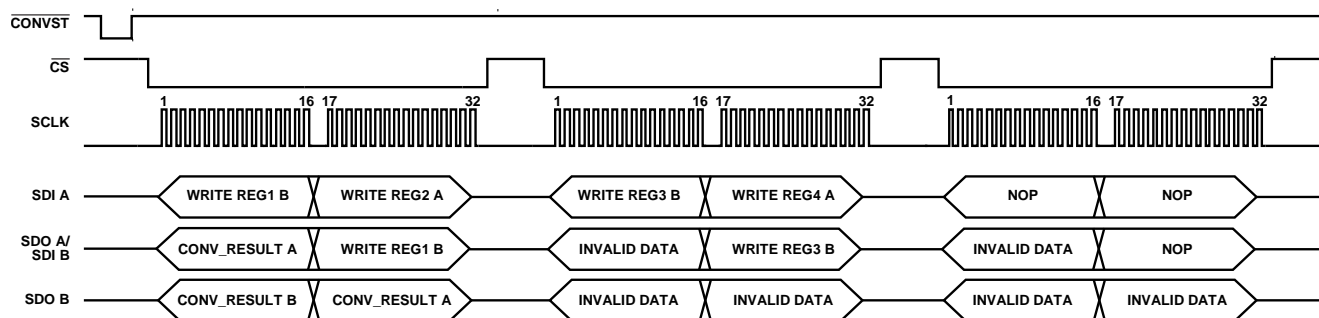
10891-033

図 58.2 個のスレープで構成されるディジーチェーン・モードでのシングル・レジスタ読出し



10891-034

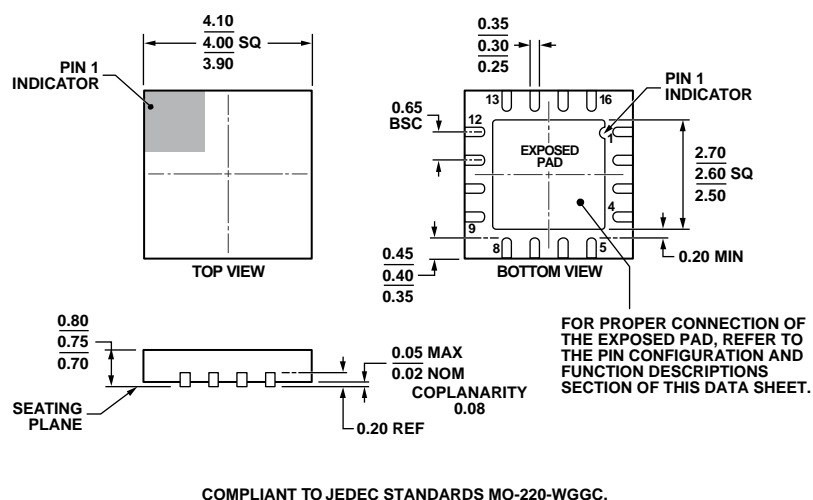
図 59.2 個のスレープで構成されるディジーチェーン・モードでの複数回レジスタ読出し



10891-035

図 60.2 個のスレープで構成されるディジーチェーン・モードでの複数回レジスタ書き込み

外形寸法



08-16-2010-C

図 61.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-16-17)
寸法: mm

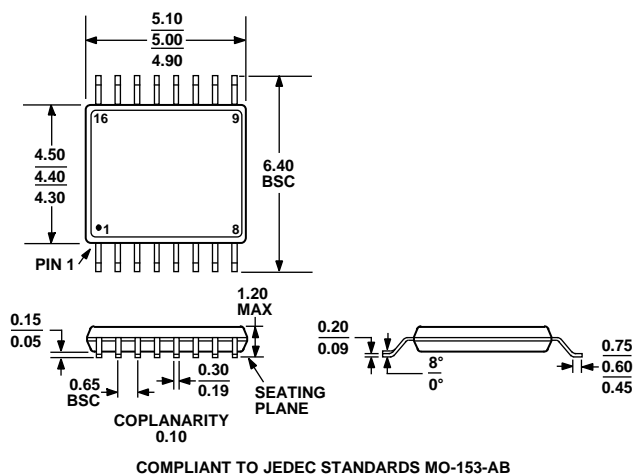
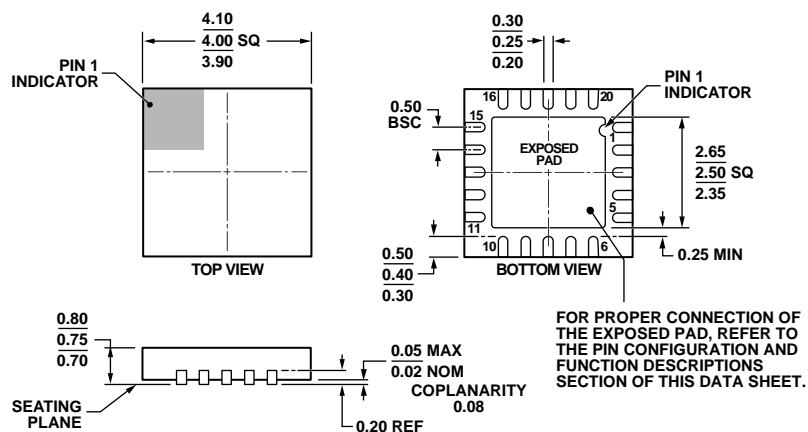


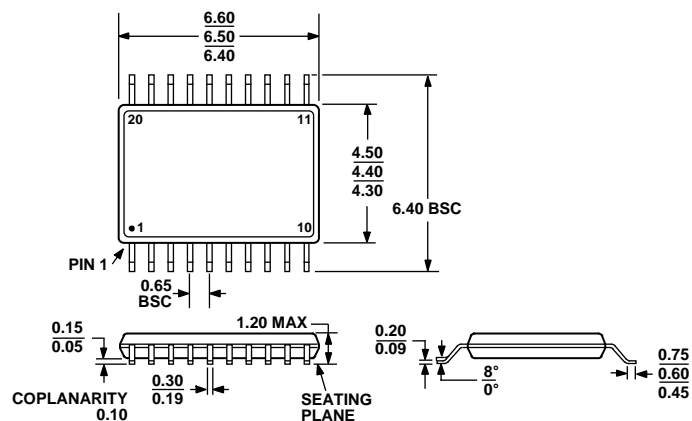
図 62.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

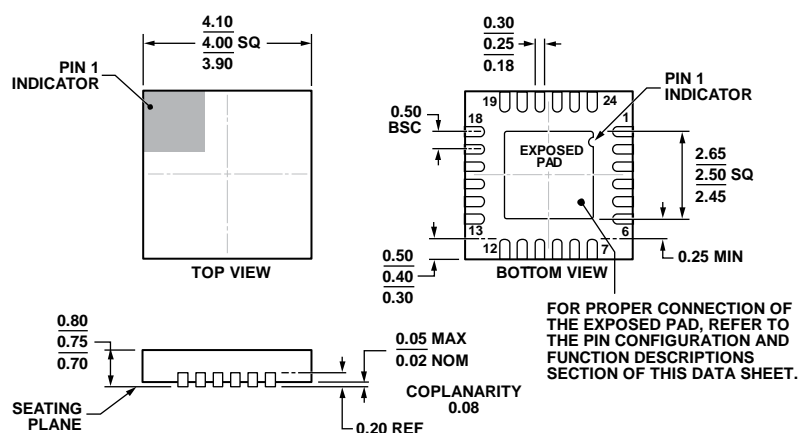
B-509130

図 63.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-20-10)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AC

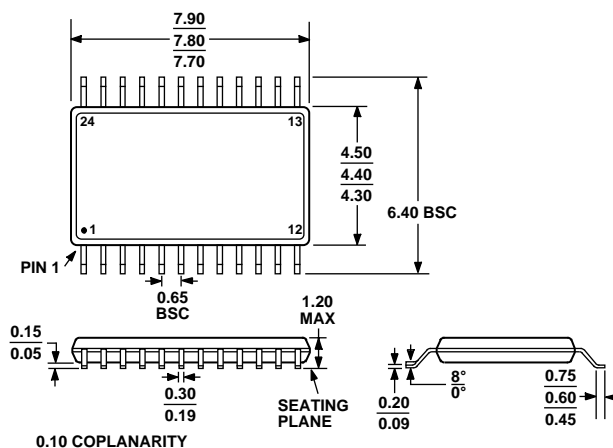
図 64.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-20)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

04-12-2012-A

図 65.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-24-7)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 66.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-24)
寸法: mm

オーダー・ガイド

Model ¹	Channels	Temperature Range	Package Description	Package Option
AD7091R-2BCPZ	2	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-17
AD7091R-2BCPZ-RL7	2	−40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-17
AD7091R-2BRUZ	2	−40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7091R-2BRUZ-RL7	2	−40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
EVAL-AD7091R-2SDZ			Evaluation Board	
AD7091R-4BCPZ	4	−40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-10
AD7091R-4BCPZ-RL7	4	−40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-10
AD7091R-4BRUZ	4	−40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
AD7091R-4BRUZ-RL7	4	−40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
EVAL-AD7091R-4SDZ			Evaluation Board	
AD7091R-8BCPZ	8	−40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-7
AD7091R-8BCPZ-RL7	8	−40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-7
AD7091R-8BRUZ	8	−40°C to +125°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7091R-8BRUZ-RL7	8	−40°C to +125°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
EVAL-AD7091R-8SDZ			Evaluation Board	
EVAL-SDP-CB1Z			Evaluation Controller Board	

¹ Z = RoHS 準拠製品。