



データシート

AD5940/AD5941

高精度なインピーダンス測定および 電気化学測定フロント・エンド

特長

- ▶ アナログ入力
 - ▶ 800kSPS と 1.6MSPS の両方のオプションを備えた 16 ビット ADC
 - ▶ 電圧、電流、インピーダンスの測定が可能
 - ▶ 内部および外部の電流チャンネルおよび電圧チャンネル
 - ▶ 超低リークのスイッチ・マトリクスおよび入力マルチプレクサ
 - ▶ 入力バッファおよびプログラマブル・ゲイン・アンプ
- ▶ 電圧 DAC
 - ▶ 0.2V~2.4V の出力範囲を持つデュアル出力電圧 DAC
- ▶ ポテンシオスタットをバイアスするための 12 ビット V_{BIAS0} 出力
 - ▶ TIA をバイアスするための 6 ビット V_{ZERO0} 出力
 - ▶ 超低消費電力: 1 μ A
 - ▶ 1 個の高速 12 ビット DAC
 - ▶ 高速 DAC (HSDAC) からの出力範囲: ± 607 mV
 - ▶ プログラマブル・ゲイン・アンプの HSDAC 出力時のゲイン設定: 2 および 0.05
- ▶ アンプ、アクセラレータ、およびリファレンス
 - ▶ 電気化学センシングにおけるポテンシオスタット・バイアスに適した低消費電力および低ノイズのポテンシオスタット・アンプ: 1 個
 - ▶ センサー電流出力の測定に適した低ノイズおよび低消費電力の TIA: 1 個
 - ▶ 範囲: 50pA~3mA
 - ▶ センサー出力用のプログラマブルな負荷抵抗およびゲイン抵抗
- ▶ アナログ・ハードウェア・アクセラレータ
 - ▶ デジタル波形発生器
 - ▶ 受信フィルタ
 - ▶ 複素インピーダンス測定 (DFT) エンジン
- ▶ 0.015Hz~200kHz の広帯域幅入力信号を処理する高速 TIA: 1 個
- ▶ 正弦波および台形波を発生するデジタル波形発生器
- ▶ 2.5V および 1.82V の内部リファレンス電圧源
- ▶ システム・レベルの節電
 - ▶ デューティ・サイクル動作のためのアナログ・ブロックの高速パワーアップおよびパワーダウン
 - ▶ ホスト・コントローラにかかるワークロードを最小化するプログラマブル AFE シーケンス
 - ▶ AFE シーケンスを事前にプログラムするための 6kB SRAM
 - ▶ 超低消費電力ポテンシオスタット・チャンネルの消費電流: 6.5 μ A (電源投入され、他の全ブロックが休止モードの場合)
- ▶ スマート・センサーの同期およびデータ収集
 - ▶ センサー計測のサイクル精度の制御
 - ▶ シーケンス制御の GPIO
- ▶ オンチップ・ペリフェラル

- ▶ SPI シリアル入出力
- ▶ ウェイクアップ・タイマー
- ▶ 割込みコントローラ
- ▶ 電源
 - ▶ 2.8V~3.6V の電源
 - ▶ 1.82V 出力に対応
 - ▶ パワーオン・リセット
 - ▶ 低電力 DAC およびポテンシオスタット・アンプの電源をオンにした状態でセンサー・バイアスを維持する休止状態モード
- ▶ パッケージおよび温度範囲
 - ▶ AD5940: 3.6 mm \times 4.2 mm、56 ボール WLCSP
 - ▶ AD5941: 7mm \times 7mm、48 ピン LFCSP
 - ▶ AD5940 および AD5941 は、-40°C~+85°C の動作温度範囲に対して完全仕様化
 - ▶ AD5941W は、-40°C~+105°C の動作温度範囲に対して完全仕様化
- ▶ オートモーティブ・アプリケーション向けの AEC-Q100 に適合

アプリケーション

- ▶ 電気化学測定
- ▶ 電気化学ガス・センサー測定
- ▶ ポテンシオスタット/アンペロメトリ (電流滴定) /ボルタンメトリ/サイクリック・ボルタンメトリ
- ▶ 生体インピーダンス・アプリケーション
 - ▶ 皮膚インピーダンス
 - ▶ 人体インピーダンス
- ▶ 持続血糖値測定
- ▶ バッテリー・インピーダンス

簡略ブロック図

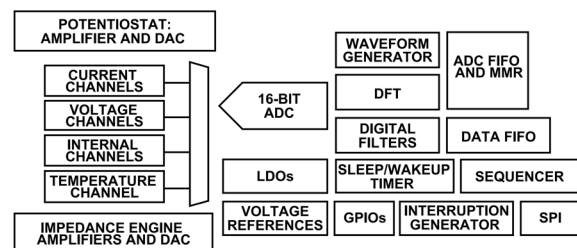


図 1.

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. E

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	高性能 ADC 回路.....	54
アプリケーション.....	1	ADC 回路の概要.....	54
簡略ブロック図.....	1	ADC の回路図.....	54
機能ブロック図.....	5	ADC 回路の特徴.....	55
概要.....	6	ADC 回路の動作.....	55
仕様.....	7	ADC の伝達関数.....	55
ADC の実効値ノイズ仕様.....	16	ADC の低電力電流入力チャンネル.....	56
SPI のタイミング仕様.....	17	ADC マルチプレクサへの入力を選択.....	56
絶対最大定格.....	18	ADC のポストプロセス.....	57
熱抵抗.....	18	内部温度センサー・チャンネル.....	57
ESD に関する注意.....	18	50Hz/60Hz のメイン除去フィルタ.....	57
ピン配置およびピン機能の説明.....	19	ADC のキャリブレーション.....	57
代表的な性能特性.....	22	ADC 回路のレジスタ.....	58
リファレンス・テスト回路.....	24	ADC キャリブレーション・レジスタ.....	64
動作原理.....	25	ADC デジタル・ポストプロセス・レジスタ（オプション）.....	71
設定レジスタ.....	25	ADC 統計レジスタ.....	72
シリコン ID.....	28	プログラマブルなスイッチ・マトリクス.....	74
識別レジスタ.....	28	SWITCH の説明.....	74
システムの初期化.....	29	休止モード時の推奨設定.....	74
低電力 DAC.....	30	全スイッチを制御するためのオプション.....	74
低電力 DAC のスイッチ・オプション.....	30	プログラマブル・スイッチ・レジスタ.....	76
12 ビット出力と 6 ビット出力の関係.....	31	高精度電圧リファレンス.....	87
低電力 DAC の使用事例.....	31	大電力および低電力バッファ制御レジスタ—BUFSENCON.....	87
低電力 DAC 回路のレジスタ.....	32	シーケンサ.....	89
低電力ポテンショスタット.....	36	シーケンサ機能.....	89
低電力 TIA.....	37	シーケンサの概要.....	89
低電力 TIA 保護ダイオード.....	37	シーケンサのコマンド.....	89
外部 R_{TIA} の使用.....	37	シーケンサの動作.....	91
様々な動作モードのための推奨スイッチ設定.....	37	シーケンサおよび FIFO のレジスタ.....	93
低電力 TIA 回路のレジスタ.....	39	波形発生器.....	99
高速 DAC 回路.....	43	波形発生器の機能.....	99
高速 DAC 出力信号の発生.....	43	波形発生器の動作.....	99
高速 DAC コアの電力モード.....	43	波形発生器と低電力 DAC の使用.....	99
高速 DAC のフィルタ・オプション.....	43	波形発生器のレジスタ.....	99
高速 DAC 出力の減衰オプション.....	45	SPI インターフェース.....	104
高速 DAC 励起アンプ.....	45	概要.....	104
高速 DAC の AC 信号を低電力 DAC で設定された		SPI ピン.....	104
DC レベルに結合する方法.....	45	SPI 動作.....	104
インピーダンス測定時の励起周波数と測定周波数の間の		コマンド・バイト.....	104
インコヒーレントな誤差を回避する方法.....	45	レジスタとの間の読書き.....	104
高速 DAC のキャリブレーション・オプション.....	46	データ FIFO からのデータの読出し.....	104
高速 DAC 回路のレジスタ.....	47	データ FIFO 用 ECC.....	106
高速 TIA 回路.....	50	ECC のアルゴリズム.....	106
高速 TIA の設定.....	50	スリープおよびウェイクアップ・タイマー.....	107
高速 TIA 回路のレジスタ.....	52	スリープおよびウェイクアップ・タイマー機能.....	107

目次

スリープおよびウェイクアップ・タイマーの概要	107	シャットダウン・モード	129
定義されたシーケンスの順序の設定	107	低電力モード	129
スリープおよびウェイクアップ・タイマーの推奨動作	107	電力モード・レジスタ	129
スリープおよびウェイクアップ・タイマーのレジスタ	108	クロック・アーキテクチャ	132
割込み	112	クロック機能	132
割込みコントローラの割込み	112	クロック・アーキテクチャ・レジスタ	132
割込みの設定	112	アプリケーション情報	137
カスタム割込み	112	狭帯域幅ループを用いた EDA バイオインピーダンス測定	137
外部割込み設定	112	広帯域幅ループを用いた人体インピーダンス解析 (BIA) 測定	138
割込みレジスタ	113	高精度ポテンショスタット設定	139
外部割込み設定レジスタ	118	AD5940/AD5941、AD8232、AD8233 を用いた、 生体インピーダンスおよび心電図 (ECG) 測定	140
デジタル入出力	122	スマート水質/液質 AFE	141
デジタル入出力の機能	122	外形寸法	142
デジタル入出力の動作	122	オーダー・ガイド	142
GPIO レジスタ	123	評価用ボード	142
システム・リセット	127	オートモーティブ製品	142
アナログ・ダイ・リセット・レジスタ	127		
電力モード	129		
アクティブ大電力モード (>80kHz)	129		
アクティブ低電力モード (<80kHz)	129		
休止モード	129		

改訂履歴

12/2024—Rev. D to Rev. E

Changes to Table 9	25
--------------------------	----

1/2024—Rev. C to Rev. D

Changed Master to Initiator and Slave to Target (Throughout)	1
Changes to Features Section	1
Change to Applications Section	1
Changes to Figure 2	5
Deleted Figure 3; Renumbered Sequentially	5
Changes to ADC RMS Noise Specifications Section	16
Change to Table 9	25
Change to Low Power DAC Section	30
Changes to Equation 6 and Equation 7	31
Changes to High Speed DAC Output Attenuation Options Section	45
Changes to Figure 29	50
Change to Table 38	52
Changes to ADC Circuit Features Section	55
Changes to ADC Postprocessing Section	57
Changed Sinc2 Filter (50 Hz/60 Hz Mains Filter) Section to 50 Hz/60 Hz Mains Rejection Filter Section	57
Added 50 Hz/60 Hz Notch Filter Section	57
Change to Table 43	58
Changes to Table 45	60
Changes to Table 46	60
Changes to Table 51	62

目次

Changes to AFEx Switches Section.....	74
Changes to Figure 35.....	75
Change to Sinusoid Generator Section	99
Change to Table 122.....	102
Change to SCLK Section.....	104
Added ECC for DATA FIFO Section and Table 127; Renumbered Sequentially.....	106
Added ECC Algorithm Section, Table 128, and Table 129.....	106
Changes to Active High Power Mode (>80 KHz) Section.....	129
Changes to Clock Features Section and Figure 52.....	132
Changes to Table 171.....	132
Deleted Key Protection Register for the CLKCON0 Register—CLKCON0KEY Section	132
Changes to Table 172.....	133

機能ブロック図

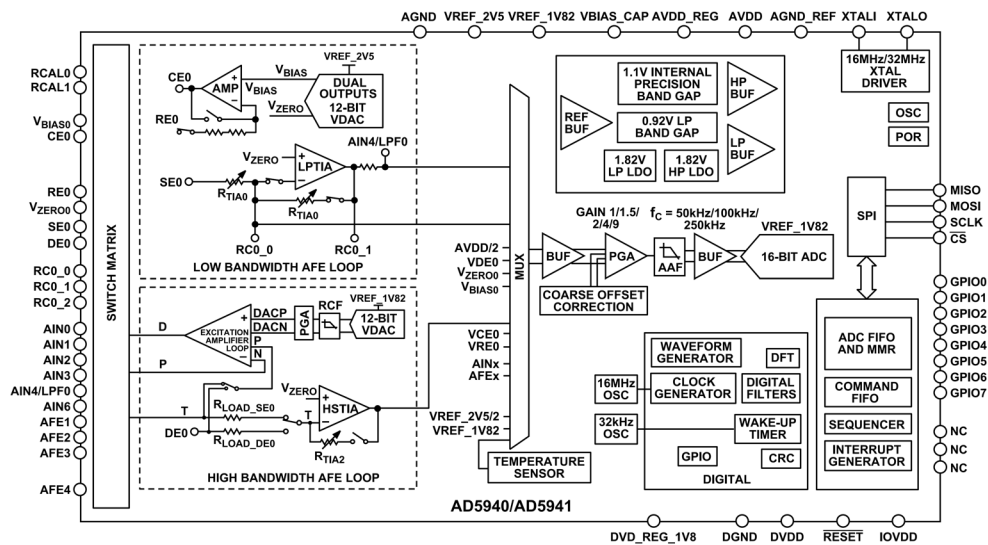


図 2. AD5940/AD5941 の機能ブロック図

概要

AD5940 および AD5941 は、アンペロメトリ、ボルタンメトリ、またはインピーダンス測定などの電気化学ベースの高精度の測定技術が必要とするポータブル・アプリケーション向けに設計された、高精度および低消費電力のアナログ・フロント・エンド (AFE) です。AD5940/AD5941 は、皮膚インピーダンスや人体インピーダンスの測定用に設計されており、フル機能の生体電気/生体電位測定システムにおいて [AD8233](#) AFE と連動するように設計されています。AD5940/AD5941 は、電気化学式有毒ガス・センシング用に設計されています。

AD5940/AD5941 は、2 つの高精度励起ループと 1 つの共通の測定チャンネルで構成されており、テスト対象のセンサーを幅広く測定できます。1 つ目の励起ループは、超低電力デュアル出力ストリング D/A コンバータ (DAC) と低消費電力低ノイズのポテンシオスタットで構成されています。DAC の一方の出力でポテンシオスタットの非反転入力に制御し、他方の出力でトランスインピーダンス・アンプ (TIA) の非反転入力に制御します。この低電力励起ループは、DC~200Hz の信号を生成できます。

2 つ目の励起ループは、高速 DAC と呼ばれる 12 ビット DAC で構成されています。この DAC は、最大 200kHz の高周波励起信号を生成できます。

AD5940/AD5941 測定チャンネルには、入力バッファ、内蔵アンチエイリアス・フィルタ、およびプログラマブル・ゲイン・アンプ (PGA) を備えた 16 ビット 800kSPS マルチチャンネル逐次比較レジスタ (SAR) A/D コンバータ (ADC) が使用されています。ADC の前段の入力マルチプレクサ (mux) により、ユーザは測定する入力チャンネルを選択できます。これらの入力チャンネルには、複数の外部電流入力、外部電圧入力、内部チャンネルなどがあります。内部チャンネルでは、内部の電源電圧、ダイ温度、リファレンス電圧の診断測定ができます。

電流入力には、様々なタイプのセンサーを測定するためのプログラマブルなゲイン抵抗と負荷抵抗を備えた 2 つの TIA が含まれています。1 つ目の TIA は、低電力 TIA と呼ばれ、狭帯域幅

の信号を測定します。2 つ目の TIA は、高速 TIA と呼ばれ、200kHz までの広帯域幅の信号を測定します。

超低リークのプログラマブル・スイッチ・マトリクスにより、センサーが内部アナログ励起ブロックと測定ブロックに接続されます。このマトリクスは外付けのトランス・インピーダンス・アンプ抵抗 (R_{TIA}) およびキャリブレーション抵抗を接続するためのインターフェースとして機能します。このマトリクスを使用して、複数の電子測定デバイスを同じウェアラブル電極にマルチプレクスすることもできます。

高精度の 1.82V および 2.5V 内蔵リファレンス・ソースが使用可能です。内部の ADC 回路および DAC 回路は、この内蔵リファレンス・ソースを使用して、1.82V および 2.5V の周辺機器に対して低ドリフト性能を実現します。

AD5940/AD5941 測定ブロックは、シリアル・ペリフェラル・インターフェース (SPI) インターフェースから直接レジスタに書き込むことで制御するか、または AFE チップの自律的な制御を可能にするプログラマブル・シーケンサを使用して制御することができます。6kB のスタティック・ランダム・アクセス・メモリ (SRAM) は、ディープ・データ FIFO (先入れ先出し) とコマンド FIFO 用に分割されています。測定コマンドはコマンド FIFO に保存され、測定結果はデータ FIFO に保存されます。FIFO が満杯の状態を示すために、FIFO に関連した多くの割込みが用意されています。

多数の汎用入出力 (GPIO) が使用可能で、これらは AFE シーケンサを用いて制御できます。AFE シーケンサは複数の外部センサー・デバイスをサイクル精度で制御できます。

AD5940/AD5941 は 2.8V~3.6V の電源で動作し、 -40°C ~ $+85^{\circ}\text{C}$ の温度範囲向けに仕様規定されています。AD5940 は、3.6mm × 4.2mm の 56 ピン WLCSP にパッケージされています。AD5941 は 48 ピン LFCSP にパッケージされています。

仕様

AVDD = DVDD = 2.8V~3.6V、電源間の最大電圧差 = 0.3V、IOVDD = 1.8V ± 10%および 2.8V~3.6V、ADC リファレンス、励起、DAC、アンプ = 1.82V、内部リファレンス、低電力 DAC リファレンス = 2.5V、内部リファレンス、特に指定のない限り、AD5940 および AD5941 の場合、T_A = -40°C~+85°C。特に指定のない限り、AD5941W の場合、T_A = -40°C~105°C。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
BASIC ADC SPECIFICATIONS						
Data Rate ²	f _{SAMPLE}			400	kSPS	Pseudo differential mode measured relative to ADC bias voltage (voltage on VBIAS_CAP ¹ pin, 1.11 V), unless otherwise noted; specifications based on high speed mode, unless otherwise noted; ADC voltage channel calibrated in production with PGA gain = 1.5; AFE die clock for the analog domain (ACLK) = 32 MHz or 16 MHz, unless otherwise noted
Resolution ²				200	kSPS	High speed mode; decimation factor = 4
Integral Nonlinearity ²		16			Bits	Normal mode; decimation factor = 4
Normal Mode	INL	-4	±2.0	+4	LSB	Number of data bits
Differential Nonlinearity ²		-5.6	±2.0	+4.7	LSB	PGA gain = 1.5, 1.82 V internal reference, 1 LSB = 1.82 V ÷ 2 ¹⁵ ÷ PGA gain
Normal Mode	DNL	-0.99	±0.9	+2.5	LSB	PGA gain = 9, 1.82 V internal reference
DC Code Distribution ³			±6		LSB	PGA gain = 1.5, 1.82 V internal reference; 1 LSB = 1.82 V ÷ 2 ¹⁵ ÷ PGA gain, no missing codes
			±6		LSB	PGA gain = 1.5, low power mode, ADC input = 0.9 V; ADC output data rate = 200 kSPS; 1 LSB = 1.82 V ÷ 2 ¹⁵
			±6		LSB	Input channel is low power TIA = 1 μA, R _{TIA} = 512 kΩ, R _{LOAD} = 10 Ω, ADC output data rate = 200 kSPS
					LSB	Input channel is high speed TIA = 1 μA, R _{TIA} = 10 kΩ, R _{LOAD} = 100 Ω, ADC output data rate = 200 kSPS
ADC ENDPOINT ERRORS						
Offset Error						
Low Power Mode		-600	±200	+600	μV	PGA gain = 1.5, low power mode, all channels except AIN3
High Power Mode ^{2, 4}		-620	±200	+880	μV	PGA gain = 1.5, AIN3 only
Drift over Temperature ²		-1.1	±0.5	+1.4	mV	PGA gain = 1.5
Offset Matching			±3		μV/°C	Using 1.82 V internal reference
Full-Scale Error			±2		LSB	Matching compared to AIN3
		-1000	±400	+800	μV	PGA gain = 1.5, excluding internal channels and AIN3; both negative and positive full scale; error at both endpoints
High Power Mode ^{2, 4}		-1000		+1000	μV	PGA gain = 1.5, AIN3 only
Internal Channels ²		-2.2	±0.9	+1.82	mV	PGA gain = 1.5
Gain Drift over Temperature ²			0.2	0.75	% FS	AVDD/2, DVDD/2, VBIAS_CAP, VREF_2V5, VREF_1V82, AVDD_REG
Gain Error Matching		-3	±1	+3	μV/°C	Full-scale error drift minus offset error drift
PGA Mismatch Error ²			±3		LSB	Mismatch from channel to channel
PGA Gain = 1 to 1.5		-0.2	+0.1	+0.3	%	ADC offset and gain calibration ^{5, 6, 7, 8} with a gain value of 1.5
PGA Gain = 1.5 to 2		-0.2	+0.1	+0.3	%	
PGA Gain = 2 to 4		-0.65	+0.2	+0.65	%	
PGA Gain = 4 to 9		-0.65	+0.2	+0.65	%	
ADC DYNAMIC PERFORMANCE						
Signal-to-Noise Ratio	SNR					f _{IN} = 20 kHz sine wave, f _{SAMPLE} = 200 kSPS; using AINx voltage input channels; PGA gain = 1.5 Includes distortion and noise components

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Total Harmonic Distortion ² Peak Harmonic or Spurious Noise ² Channel to Channel Crosstalk ² Noise (RMS) ⁹	THD		80		dB	PGA gain = 1, 1.5, and 2
			76 ²		dB	PGA gain = 4
			70 ²		dB	PGA gain = 9
			-84		dB	
			-86		dB	
			-86		dB	Measured on adjacent channels
			800		nV/√Hz	Chop on
			400		nV/√Hz	Chop off
ADC INPUT						
Input Voltage Ranges ²		0.2		2.1	V	Input to ADC mux
					V	Voltage applied to any input pin
Input Current Range ²		-0.9		+0.9	V	Pseudo differential voltage between VBIAS_ CAP pin and analog input from ADC mux
					V	Gain = 1
					V	Gain = 1.5
					V	Gain = 2
					V	Gain = 4
					V	Gain = 9
					μA	Low power TIA and high speed TIA current input channel ranges
Common Mode Range ²		0.2	1.1	2.1	V	
Leakage Current		-1.5	±0.5	+1.5	nA	AIN0, AIN1, AIN2, AIN3/BUF_VREF1V82, AIN4/LPF0, AIN6 (T _A = -40°C to +85°C)
					nA	CE0, RE0, SE0 and DE0 (T _A = -40°C to 85°C)
					nA	AIN0, AIN1, AIN2, AIN3/BUF_VREF1V82, AIN4/LPF0, AIN6 (T _A = -40°C to +105°C)
					nA	CE0, RE0, SE0 and DE0 (T _A = -40°C to +105°C)
Input Current ²		-8	±2	+8	nA	AIN0, AIN1, AIN2, AIN3, AIN4, AIN6, CE0, RE0, SE0, and DE0
					nA	
Input Capacitance ²			40		pF	During ADC acquisition
Antialias Filter 3 dB Frequency Range ²						Three programmable settings
Mode 0			50		kHz	
Mode 1			100		kHz	
Mode 2			250		kHz	
ADC Channel Switch Settling Time						Time delay required after switching ADC input channel; excludes sinc3 settling time
Antialias Filter -3 dB Cutoff Frequency ²						
250 kHz		20			μs	
100 kHz		40			μs	
50 kHz		60			μs	
DISCRETE FOURIER TRANSFORM (DFT)-BASED IMPEDANCE MEASUREMENTS ²						
With High Bandwidth Loop						For impedance (Z) of 1000 Ω (0.1% tolerant resistor), excitation frequency = 0.1 Hz to 200 kHz, sine amplitude = 10 mV rms, R _{TIA} = 5 kΩ; R _{CAL} = 200 Ω; 1% accurate temperature coefficient 5 ppm/°C; single DFT measurement; DFT using 8192 ADC samples; Hanning on; HSDACCON Bits[8:1] = 0x1B for low power mode and impedance measurements ≤80 kHz; HSDACCON Bits[8:1] = 0x7 for high power mode and impedance measurements ≥80 kHz

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Accuracy						
Magnitude		-1.25	±0.2	+1.25	%	20 kHz to 200 kHz
			±0.2		%	10 Hz to 20 kHz
			±1		%	1 Hz to <10 Hz
Phase		-0.3	±0.1	+0.3	Degrees	
Three-Resistor Star Cell						
Accuracy						R1 = R2 = R3 = 2.2 Ω (see Figure 17); 0.1 Hz to 200 kHz
Magnitude			±0.5		%	
Phase			±0.5		Degrees	
Accuracy						R1 = R2 = R3 = 100 Ω connected (see Figure 17); 0.1 kHz to 200 kHz
Magnitude			±0.2		%	
Phase			±0.2		Degrees	
With High Bandwidth Loop, 50 kHz, 4-Wire Isolated						For Z = 1 kΩ (0.1% tolerant resistor); excitation frequency = 50 kHz; sine amplitude = 0.6 V p-p; R _{TIA} = 1 kΩ; C _{TIA} = 32 pF; Isolation Capacitor 1 (C _{ISO1}) = 15 nF; Isolation Capacitor 2 (C _{ISO2}) = Isolation Capacitor 3 (C _{ISO3}) = Isolation Capacitor 4 (C _{ISO4}) = 470 nF; current-limiting resistor (R _{LIMIT}) = 1 kΩ
Accuracy						Device to device repeatability for three devices at 50 kHz
Magnitude			0.26		%	Percentage error
Phase			1		Degrees	
With Low Bandwidth Loop						For Z = 100 kΩ; excitation frequency = 100 Hz; sine amplitude = 1.1 V p-p; R _{TIA} = 100 kΩ; C _{TIA} = 100 nF; C _{ISO1} = 15 nF; C _{ISO2} = 470 nF; R _{LIMIT} = 1000 Ω
Frequency Range		1		300	Hz	
Accuracy ²						Device to device repeatability for three devices at 100 Hz
Magnitude			±0.3		%	Percentage error
Precision ²						
Magnitude			450		Ω	Standard deviation
High Speed Loop						See Figure 17; valid for impedance spectroscopy, voltammetry, and pulse tests
Allowed External Load Capacitance ²				100	pF	R2 + R3 ≤ 100 Ω; R1 ≤ 100 Ω
				50	pF	R2 + R3 ≤ 500 Ω; R1 ≤ 100 Ω
				40	pF	R2 + R3 ≤ 1600 Ω; R1 ≤ 800 Ω; frequency ≥ 1 kHz
Excitation Amplifier Bandwidth ²			3		MHz	
Impedance Frequency Range ²		0.015		200,000	Hz	
LOW POWER TIA AND POTENTIOSTAT						
Input Bias Current ²						
TIA Amplifier, SE0 Pin			80	200	pA	
Potentiostat Amplifier			20	150	pA	
Offset Voltage ²			50	150	μV	
Offset Voltage Drift vs. Temperature			1		μV/°C	
Noise ²						Unity-gain mode; V p-p in 0.1 Hz to 10 Hz range
			1.6		μV	Normal mode (LPTIACON0 Bit 2 = 0)
			2		μV	Half power mode (LPTIACON0 Bit 2 = 1)
Potentiostat Source/Sink Current ²		-750		+750	μA	Normal mode (LPTIACON0 Bits[4:3] = 00); from CE0
		-3		+3	mA	High current mode (LPTIACON0 Bits[4:3] = 01 or 11 from CE0)
DC PSRR ²			70		dB	At RE0 pin; R _{TIA} = 256 kΩ; R _{LOAD} = 10 Ω

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Input Common-Mode Range ²		300		AVDD – 600	mV	
Output Voltage Range ²		300		AVDD – 400	mV	Normal mode (LPTIACON0 Bits[4:3] = 00; sink/source = 750 μ A)
		300		AVDD – 400	mV	High current mode (LPTIACON0 Bits[4:3] = 01 or 11); sink/source = 3 mA
Overcurrent Limit Protection ²			20		mA	Amplifiers try to limit source/sink current to this value via internal clamp
Allowed Duration of Overcurrent Limit ²				5	sec	User must limit duration of overcurrent condition to less than 5 sec or risk damaging amplifier
Allowed Frequency of Overcurrent Conditions ²				1	Per hour	
Short-Circuit Protection ²			12		mA	When amplifier output is shorted to ground
PROGRAMMABLE RESISTORS						
Low Power TIA R _{LOAD} on SE0 Inputs ²						
0 Ω R _{LOAD} Accuracy		0.01	0.08	0.15	Ω	
10 Ω R _{LOAD} Accuracy		9.8	11.7	13.5	Ω	
30 Ω R _{LOAD} Accuracy		28	33.8	39	Ω	
50 Ω R _{LOAD} Accuracy		48	55	63	Ω	
100 Ω R _{LOAD} Accuracy		88	110	130	Ω	
			± 200		ppm/ $^{\circ}$ C	10 Ω , 30 Ω , 100 Ω , 1500 Ω , 3000 Ω , and 3500 Ω
			± 400		ppm/ $^{\circ}$ C	50 Ω
Low Power TIA R _{TIA} ¹⁰ on SE0 Input ²						
Accuracy		–5		+20	%	User programmable; includes 1 k Ω , 2 k Ω , 3 k Ω , 4 k Ω , 6 k Ω , 8 k Ω , 10 k Ω , 16 k Ω , 20 k Ω , 22 k Ω , 30 k Ω , 40 k Ω , 64 k Ω , 100 k Ω , 128 k Ω , 160 k Ω , 192 k Ω , 256 k Ω , and 512 k Ω
		100	120	140	Ω	200 Ω setting with R _{LOAD} = 100 Ω
Drift over Temperature			± 100		ppm/ $^{\circ}$ C	
Mismatch Error ²		–0.6	+0.2	+0.6	%	Error when moving up or down one R _{TIA} value
		–3.5	+0.5	+3.5	%	512 k Ω to 2 k Ω range excluding 40 k Ω
			± 20		%	40 k Ω (up to 48 k Ω , down to 32 k Ω)
					%	200 Ω
High Speed TIA R _{TIA} on SE0 Input						
Accuracy			20		%	User programmable; includes 100 Ω , 200 Ω , 1 k Ω , 5 k Ω , 10 k Ω , 20 k Ω , 40 k Ω , 80 k Ω , and 160 k Ω
Drift over Temperature			± 200		ppm/ $^{\circ}$ C	
High Speed TIA R _{LOAD} on SE0 Input ²						
Accuracy		102	110	116	Ω	User programmable; includes 10 Ω , 30 Ω , 50 Ω , and 100 Ω
Drift over Temperature			± 160		ppm/ $^{\circ}$ C	Fixed 100 Ω target setting
High Speed TIA R _{TIA} on DE0 Input ²						
						User programmable; includes 0.1 k Ω , 0.2 k Ω , 1.5 k Ω , 10 k Ω , 20 k Ω , 40 k Ω , 80 k Ω , and 160 k Ω
Accuracy		100	135	170	Ω	100 Ω setting
		190	250	320	Ω	200 Ω setting
			± 20		%	1 k Ω , 5 k Ω , 10 k Ω , 20 k Ω , 40 k Ω , 80 k Ω , and 160 k Ω
Drift over Temperature			± 350		ppm/ $^{\circ}$ C	100 Ω and 200 Ω settings
			± 200		ppm/ $^{\circ}$ C	1 k Ω , 5 k Ω , 10 k Ω , 20 k Ω , 40 k Ω , 80 k Ω , and 160 k Ω
High Speed TIA R _{TIA} Mismatch Error on DE0 ²		–3.5	+1	+3.5	%	Error introduced when moving up or down one R _{TIA} value
		–25	± 2	+5	%	160 k Ω to 5 k Ω range
					%	1 k Ω , 200 Ω , and 100 Ω

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
High Speed TIA R_{LOAD} on DE0 Input ²						Load resistor on the DE0 pin (R_{LOAD_DE0})
Accuracy		0.001		0.15	Ω	0 Ω setting
		5		11	Ω	10 Ω setting
		26.5	32.6	37.6	Ω	30 Ω setting
			± 15	40	%	50 Ω and 100 Ω settings
Drift over Temperature			± 0.2		$\%/^{\circ}\text{C}$	10 Ω setting
			± 200		ppm/ $^{\circ}\text{C}$	Excludes $R_{LOAD} = 0 \Omega$ and 10 Ω
HIGH SPEED TIA						
Bias Current ²			1		nA	
Maximum Current Sink/Source ²		-3		+3	mA	Ensure R_{TIA} selection generates an output voltage of $< \pm 900$ mV with PGA gain = 1
Input Common-Mode Range ²		300		$AVDD - 700$	mV	
Output Voltage Range ²		200		$AVDD - 400$	mV	
Overcurrent Limit Protection ²			17		mA	Amplifier attempts to limit the source/sink current to this value via the internal clamp; tested with $R_{LOAD} = 0 \Omega$ and $R_{TIA} = 100 \Omega$
Allowed Duration of Overcurrent Limit ²				5	sec	
Allowed Frequency of Overcurrent Conditions ²				1	Per hour	
Short-Circuit Protection ²			12		mA	When amplifier output is shorted to ground
LOW POWER, ON-CHIP VOLTAGE REFERENCE			2.5		V	0.47 μF from V_{REF_2V5} to AGND; reference is measured with low power voltage DAC and output amplifier enabled
Accuracy				± 5	mV	$T_A = 25^{\circ}\text{C}$
Noise ²			60		$\mu\text{V p-p}$	
Reference Temperature Coefficient ^{2, 15}		-25	± 10	+25	ppm/ $^{\circ}\text{C}$	
PSRR						
DC			70		dB	
AC ¹¹			48		dB	AC 1 kHz; 50 mV p-p ripple applied to AVDD supply
HIGH POWER, ON-CHIP VOLTAGE REFERENCE			1.82		V	0.47 μF from V_{REF_1V82} to AGND; reference is measured with ADC enabled
Accuracy				± 5	mV	$T_A = 25^{\circ}\text{C}$
Reference Temperature Coefficient ²		-20	± 5	+20	ppm/ $^{\circ}\text{C}$	
PSRR						
DC ¹²			85		dB	DC; variation due to AVDD supply changes
AC			60		dB	AC; 1 kHz, 50 mV p-p ripple applied to AVDD supply
ADC Common-Mode Reference Source ²			1.11		V	470 nF from bias capacitor on ADC (V_{BIAS_CAP}) to AGND; reference is measured with ADC enabled
Accuracy ²				± 5	mV	$T_A = 25^{\circ}\text{C}$
Reference Temperature Coefficient ²		-20		+20	ppm/ $^{\circ}\text{C}$	
DC Power Supply Rejection Ratio	PSRR		80		dB	DC variation due to AVDD supply changes
AC Power Supply Rejection Ratio	PSRR		60		dB	AC 1 kHz, 50 mV p-p ripple applied to AVDD supply
LOW POWER, DUAL OUTPUT DAC (V_{BIAS0} ¹³ AND V_{ZERO0})						V_{BIAS0} specifications derived from measurements taken with potentiostat in unity-gain mode and measured at CE0; V_{ZERO0} specifications derived from measurements at V_{ZERO0} ; dual output low power DAC
Resolution ²						Number of data bits
12-Bit Mode		12			Bits	
6-Bit Mode		6			Bits	

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Relative Accuracy ²	INL					
12-Bit Mode		-3.5	±1	+3	LSB	1 LSB = 2.2 V/(2 ¹² - 1)
6-Bit Mode		-3.5	±0.5	+2	LSB	1 LSB = 2.2 V/2 ⁶
Differential Nonlinearity ²	DNL					
12-Bit Mode		-0.99		+2.5	LSB	Guaranteed monotonic, 1 LSB = 2.2 V/(2 ¹² - 1)
6-Bit Mode		-0.5		+0.5	LSB	Guaranteed monotonic, 1 LSB = 2.2 V/2 ⁶
Offset Error ²		-7	±3.9	+7	mV	V _{BIAS0} /V _{ZERO0} in 12-bit mode; 2.5 V internal reference, DAC output code = 0x000; Target 0x000 code = 200 mV
		-2	±0.2	+2.6	mV	Differential offset voltage of V _{BIAS0} referred to V _{ZERO0}
Drift over Temperature			±5		μV/°C	V _{BIAS0} or V _{ZERO0} referred to AGND
Differential Offset V _{BIAS0} to V _{ZERO0} ≈ 0 V ²				4	μV/°C	Differential offset voltage of V _{BIAS0} referred to V _{ZERO0} ; -40°C to +60°C range; LPDACDAT0 = 0x1A680
Differential Offset V _{BIAS0} to V _{ZERO0} ≈ ±600 mV ²				10	μV/°C	Differential offset voltage of V _{BIAS0} referred to V _{ZERO0} ; -40°C to +60°C range; LPDACDAT0 = 0x1AAE0
Gain Error ²			±0.2	±0.5	%	12-bit mode, DAC code = 0xFFFF with target voltage of 2.4 V
Drift over Temperature			10		ppm/°C	Using internal low power reference
Analog Outputs						
Output Voltage Range ²						LSB size = 2.2/(2 ¹² - 1); the input common-mode voltage of the low power potentiostat amplifier and low power TIA = AVDD - 600 mV
12-Bit Outputs		0.2		2.4	V	AVDD ≥ 2.8 V
6-Bit Outputs						LSB size is 2.2/2 ⁶ ; the input common-mode voltage of the low power potentiostat amplifier and low power TIA = AVDD - 600 mV
		0.2		2.366	V	AVDD ≥ 2.8 V
		0.2		2.3	V	AVDD < 2.8 V
AVDD to V _{BIAS0} /V _{ZERO0} Headroom Voltage ²		400			mV	A minimum headroom between AVDD and V _{BIAS0} /V _{ZERO0} output voltage, increases to 600 mV if connected to low power TIA or low power low power potentiostat amplifiers
Output Impedance ²			1.65		MΩ	
DAC AC Characteristics						
Output Settling Time			1.5		sec	Settled to ±2 LSB ₁₂ with 0.1 μF load for ¼ of full scale to ¾ of full scale
Output Settling Time			500		μs	Settled to ±2 LSB ₁₂ ; no load
Glitch Energy			±5		nV/sec	1 LSB change when the maximum number of bits changes simultaneously in the LPDACDAT0 register; switch to external capacitors on V _{BIAS0} /V _{ZERO0} opened; no capacitors on CE0 and RC0_x pins
EXCITATION DAC/PGA/RECONSTRUCTION FILTER						Use HSDACDAT register range of 0x200 to 0xE00; specified for gain = 2 (HSDACCON Bit 12 and Bit 0 = 0); for gain = 0.05 (HSDACCON Bit 12 and Bit 0 = 1)
DAC						
Common-Mode Voltage Range ²		0.2		AVDD - 0.6	V	Set by the negative node of the excitation amplifier
Resolution ²		12			Bits	1 LSB = 293 μV × programmable gain
Differential Nonlinearity ²	DNL	-0.99		+1.25	LSB	Gain = 2
			±7	±20	LSB	Gain = 0.05
Integral Nonlinearity ²	INL		±2	±3	LSB	Gain = 2
			±8	±20	LSB	Gain = 0.05
			±0.6	±3	LSB	Gain = 2

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Full-Scale Error ^{2, 14}						
Positive		600	630	650	mV	Gain = 2, DAC code = 0xE00
			15.1		mV	Gain = 0.05, DAC code = 0xE00
Negative		-660	-640	-620	mV	Gain = 2, DAC code = 0x200
			-15.1		mV	Gain = 0.05, DAC code = 0x200
Gain Error Drift over Temperature ²						
Gain = 2			11.5		$\mu\text{V}/^{\circ}\text{C}$	
Gain = 0.05			0.33		$\mu\text{V}/^{\circ}\text{C}$	
Offset Error (Midscale)						Measured at an output of the excitation loop across R _{CAL} ; DAC code = 0x800
			±25		mV	Gain = 2
			±0.5		mV	Gain = 0.05
Offset Error Drift over Temperature						
Gain = 2			40		$\mu\text{V}/^{\circ}\text{C}$	
Gain = 0.05			5		$\mu\text{V}/^{\circ}\text{C}$	
DC PSRR ²			70		dB	DC variation due to AVDD supply changes
PGA, Programmable Gain ²		0.05		2	Gain	
Reconstruction Filter						
3 dB Corner Frequency Accuracy			±5		%	Programmable to 50 kHz, 100 kHz, and 250 kHz
Allowed External Load Capacitance ²						SE0, DE0, AINx, and RCAL0/RCAL1 pins
<80 kHz (Low Power Mode)				100	pF	
>80 kHz (High Power Mode)				80	pF	
Overcurrent Limit Protection ²			15		mA	Amplifier attempts to limit the source/sink current to this value via the internal clamp
Allowed Duration of Overcurrent Limit ²				5	sec	
Allowed Frequency of Overcurrent Conditions ²				1	Per hour	
Short-Circuit Protection ²			10		mA	When amplifier output is shorted to ground
SWITCH MATRIX						
On Resistance ²	R _{ON}					Switches on analog front end before ADC mux Characterized with a voltage sweep from 0 V to AVDD; production tested at 2.8 V
Current Carrying Switches			40	80	Ω	Tx/TR1 switches, except T5 and T7
			30	52	Ω	T5 and T7 switches only
			35	70	Ω	Dx/DR0 switches
Noncurrent Carrying Switches			1	5	kΩ	Nx/Nxx and Px/Pxx switches
DC Off Leakage			370		pA	Analog input pin used for test driven to 0.3 V
DC On Leakage ²			530	2000	pA	Analog input pin used for test driven to 0.3 V
TEMPERATURE SENSOR						
Resolution			0.3		°C	
Accuracy			±2		°C	Measurement taken immediately after exiting hibernate mode; user single-point calibration required
POWER-ON RESET	POR					Refers to voltage on DVDD pin
POR Trip Level						
Power-On		1.59	1.62	1.72	V	
Power-Down ²		1.799	1.8	1.801	V	
POR Hysteresis ¹			10		mV	
Delay Between POR Power-On and Power-Down Trip Levels ²		110			ms	After DVDD passes POR power-on trip level, DVDD must remain at or above power-down level for this period

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
External Reset Minimum Pulse Width ²		1			μs	Minimum pulse width required on external reset pin to trigger a reset
WAKE-UP TIMER ²						
Shortest Duration			31.25		μs	
Longest Duration			32		sec	
DIGITAL INPUTS						
Input Leakage Current ²						
Logic 1 GPIO			1	±5	nA	Voltage input high (V_{IH}) = IOVDD, pull-up resistor disabled
Logic 0 GPIO			1	±10	nA	Voltage input low (V_{IL}) = 0 V, pull-up resistor disabled
Input Capacitance ²			10		pF	
Pin Capacitance ²						
XTALI			10		pF	
XTALO			10		pF	
GPIO Input Voltage						
Low	V_{INL}			$0.25 \times \text{IOVDD}$	V	
High	V_{INH}	$0.57 \times \text{IOVDD}$			V	
XTALI Input Voltage ²						
Low	V_{INL}		1.1		V	
High	V_{INH}		1.7		V	
LOGIC INPUTS						
GPIO Input Voltage ²						
Low	V_{INL}			$0.25 \times \text{IOVDD}$	V	
High	V_{INH}	$0.57 \times \text{IOVDD}$			V	
Pull-Up Current ²		30		130	μA	Input voltage (V_{IN}) = 0 V; DVDD = 3.6 V
LOGIC OUTPUTS						All digital outputs, excluding XTALO
GPIO Output Voltage ^{2,15}						
High	V_{OH}	$\text{IOVDD} - 0.4$			V	Source current (I_{SOURCE}) = 2 mA
Low	V_{OL}			0.35	V	Sink current (I_{SINK}) = 2 mA
Pull-Down Current ²		30		100	μA	$V_{IN} = 3.3 \text{ V}$
GPIO Short-Circuit Current			11.5		mA	
PIN SUPPLY RANGE FOR 1.8 V INPUT/OUTPUT ²		1.62	1.8	1.98	V	
Input Voltage						
Low	V_{INL}		$0.3 \times \text{pin supply}$		V	
High	V_{INH}		$0.7 \times \text{pin supply}$		V	
Output Voltage						
Low	V_{OL}		0.45		V	$I_{SINK} = 1.0 \text{ mA}$
High	V_{OH}		Pin supply - 0.5		V	$I_{SOURCE} = 1.0 \text{ mA}$
OSCILLATORS						
Internal System Oscillator			16 or 32		MHz	

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Accuracy						
16 MHz Mode			±0.5	±3	%	
32 MHz Mode			±0.5	±3	%	
External Crystal Oscillator			16	32	MHz	Can be selected in place of the internal oscillator
Logic Inputs, XTALI Only						
Input Low Voltage	V _{INL}		1.1		V	
Input High Voltage	V _{INH}		1.7		V	
XTALI Input Capacitance			8		pF	
XTALO Output Capacitance			8		pF	
32 kHz Internal Oscillators			32.768		kHz	Used for watchdog ¹⁶ timers and wake-up timers
Accuracy			±5	±15	%	
EXTERNAL INTERRUPTS						
Pulse Width ²						
Level Triggered		7			ns	
Edge Triggered		1			ns	
POWER REQUIREMENTS						
Power Supply Voltage Range (AVDD to AGND, DVDD to DGND, and IOVDD to DGND)		2.8	3.3	3.6	V	
IOVDD ¹⁷		1.62	1.8	1.98	V	
AVDD Current			0.56	0.74	mA	Analog peripheral in idle mode
Hibernate Mode			8.5		μA	Only low power DAC, potentiostat amplifiers, low power reference, low power TIA, and 32 kHz oscillator active
			6.5 ²		μA	Only low power DACs, potentiostat amplifier, low power reference, and 32 kHz oscillator active; potentiostat amplifier and low power TIA in half power mode
			1.8 ²		μA	Lowest power mode; only wake-up timer active; all analog peripherals powered down
Impedance Measurement Modes ²						
Impedance Spectroscopy Mode			9.1		mA	When ac impedance engine, ADC and sequencer are active
50 kHz Impedance Measurement			106		μA	50 kHz excitation signal; DFT enabled with DFT sample number = 2048; 1 Hz output data rate (ODR)
100 Hz Impedance Measurement			65		μA	When low power loop creates sine wave at 100 Hz and the receive channel and DFT engine is duty cycled, with DFT sample number = 16, gives 4 Hz ODR
Additional Power Supply Currents ²						
ADC			1.5		mA	ADC frequency (f _{ADC}) = 200 kSPS, ADC clock is 16 MHz
			3.45		mA	f _{ADC} = 400 kSPS, ADC clock is 32 MHz
High Speed TIA			0.3		mA	Low power mode
			0.9			High power mode
High Speed DAC						Includes excitation amplifier and instrumentation amplifier
			2.2		mA	Low power mode
			4.5		mA	High power mode
DFT Hardware Accelerator			550		μA	
Low Power Reference			1.65		μA	
Low Power DACs for V _{ZERO0} and V _{BIAS0}			2.3		μA	Low power DAC powered up, excluding load current
Low Power TIA and Potentiostat Amplifier			2		μA	Per amplifier, normal mode
			1		μA	Per amplifier, half power mode

仕様

表 1. (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
START-UP TIME						Processor clock = 16 MHz
AFE Wake-Up ²			30		ms	Wake-up time to allow communication on SPI bus
ADC Wake-Up ²			80	180	μs	Time delay required on exiting hibernate mode before starting ADC conversions

¹ VBIAS_CAP は、IC 内の内部バイアスのみを目的としたものです。

² 設計により裏付けられていますが、製品テストは行っていません。

³ sinc2 フィルタ・オプションを用いることによって ADC の出力レートを低減すれば、コード分布を減少できます。

⁴ ADC のオフセットおよびゲインは、製造時に大電力モード用のキャリブレーションは行われていません。ユーザ・キャリブレーションによりこの誤差を取り除くことができます。

⁵ ADC に対するキャリブレーションの結果として、1.835V の補正係数が ADC のコードから電圧への変換に導入されます。

⁶ キャリブレーションを実行する場合には、1.835V/1.82V の係数を加える必要があります。

⁷ ADC のオフセットおよびゲインのキャリブレーションには、1.82V のリファレンスを用います。

⁸ ADC がキャリブレーションされ、ハードウェアがリセットされた場合、キャリブレーション・レジスタはデフォルト値にクリアされます。このクリアを回避する方法の 1 つは、工場でのキャリブレーション時に MCU フラッシュにキャリブレーションされた値を保存し、その値をパワーアップ時にロードすることです。

⁹ sinc2 フィルタを用いて ADC のサンプル・レートを低減すれば、ノイズを減少できます。ADC の実効値ノイズとデジタル・フィルタ設定の関係については表 2 を参照してください。

¹⁰ 低電力 TIA ゲイン抵抗は、温度ドリフトが大きいため、定期的にキャリブレーションする必要があります。

¹¹ 詳細については図 7 を参照してください。

¹² 詳細については図 9 を参照してください。

¹³ V_{BIAS0} は、オフセット電圧を外部アンプに供給するために使用できます。

¹⁴ 高速 DAC のオフセット・キャリブレーションによりこの誤差を取り除くことができます。詳細については、高速 DAC のキャリブレーション・オプションのセクションを参照してください。

¹⁵ ボックス法を使用して測定。

¹⁶ システムの初期化の間、ウォッチドッグはオフにできます。

¹⁷ IOVDD は、1.8V 電源レールから給電することもできます。

ADC の実効値ノイズ仕様

全ての測定には 1.82V の内部リファレンスを使用しています。

ADC のキャリブレーションの結果として、1.835V の補正係数が ADC のコードから電圧への変換に導入される点に注意してください。ADC のオフセットおよびゲインをキャリブレーションするために 1.82V のリファレンスが用いられますが、キャリブレーション時には 1.835/1.82 の係数を乗じる必要があります。ADC がキャリブレーションされ、ハードウェア・リセットが行われた場合、キャリブレーション・レジスタは、デフォルト値にクリアされます。低電力 TIA のゲイン抵抗は、温度ドリフトが大きいため、定期的にキャリブレーションする必要があります。

ADC 実効値ノイズ：デジタル・フィルタ設定

表 2 に、様々な ADC デジタル・フィルタ設定に対する ADC の実効値ノイズ仕様を示します。

表 2. ADC 実効値ノイズ¹

Update Rate (Hz)	Sinc3 Oversampling Rate (OSR)	Sinc2 OSR	Gain = 1 rms Noise (μV)	Gain = 1.5 rms Noise (μV)	Gain = 2 rms Noise (μV)	Gain = 4 rms Noise (μV)	Gain = 9 rms Noise (μV)
200,000	4	Not applicable	72.43	49.732	37.83	18.93	8.62
9090	4	22	29.29	19.59	10.4	6.687	4.42
900	5	178	24.0	17.11	12.832	6.416	1.018

¹ sinc2 フィルタを用いることによって ADC のサンプル・レートを低減すれば、ノイズを減少できます。

ADC 実効値ノイズ：ピーク to ピークの有効ビット

表 3 に、様々な PGA ゲインについて表 2 に示したノイズ結果に基づく、実効値およびピーク to ピークの有効ビットを示します（ピーク to ピークの有効ビットの結果は括弧内に示します）。実効値ビットを計算するには、次式を用います。

仕様

$$\log_2 ((2 \times \text{Input Range})/\text{RMS Noise})$$

(1)

ここで、
Input Range は ADC への入力電圧範囲。
RMS Noise はノイズの実効値。

ピーク to ピークの有効ビットを計算するには、次式を用います。

$$\log_2 ((2 \times \text{Input Range})/(6.6 \times \text{RMS Noise}))$$

(2)

表 3. 実効値ノイズに基づく ADC の有効ビット

Update Rate (Hz)	Sinc3 OSR	Sinc2 OSR	Gain = 1	Gain = 1.5	Gain = 2	Gain = 4	Gain = 9	Settling Time ¹	Settling Time ²
200,000	4	Not applicable	14.6 (11.9 p-p)	15 (12.4 p-p)	14.95 (12.23 p-p)	14.95 (12.23 p-p)	14.9 (12.15 p-p)	16.25 μs	16.25 μs
9090	4	22	15 (13.18 p-p)	15 (13.8 p-p)	15 (14.09 p-p)	15 (13.73 p-p)	15 (13.15 p-p)	236.25 μs	236.25 μs
900	5	178	15 (13.47 p-p)	15 (13.96 p-p)	15 (13.8 p-p)	15 (13.79 p-p)	15 (15 p-p)	2.245 ms	37 ms

¹ 50Hz および 60Hz のノッチ・フィルタを有効化した場合を除くセトリング・タイム。

² 50Hz および 60Hz のノッチ・フィルタを有効化した場合を含むセトリング・タイム。

SPI のタイミング仕様

MOSI および MISO は、それぞれ、ホストおよび AD5940/AD5941 によって、SCLK の立下がりエッジで開始され、SCLK の立上がりエッジでサンプリングされます。特に指定のない限り、IOVDD = 2.8V~3.6V および 1.8V ±10%。

表 4.

Parameter	Time	Unit	Description
t ₁	190	ns maximum	$\overline{\text{CS}}$ falling edge to MISO setup time
t ₂	5	ns minimum	$\overline{\text{CS}}$ low to SCLK setup time
t ₃	40	ns minimum	SCLK high time
t ₄	40	ns minimum	SCLK low time
t ₅	62.5	ns minimum	SCLK period
t ₆	27	ns maximum	SCLK falling edge to MISO delay
t ₇	5	ns minimum	MOSI to SCLK rising edge setup time
t ₈	5	ns minimum	MOSI to SCLK rising edge hold time
t ₉	19	ns minimum	SCLK falling edge to hold time $\overline{\text{CS}}$
t ₁₀	80	ns minimum	$\overline{\text{CS}}$ high time
t _{WK}	22	μs typical	AD5940/AD5941 wake-up time (not shown in Figure 3)

SPI のタイミング図

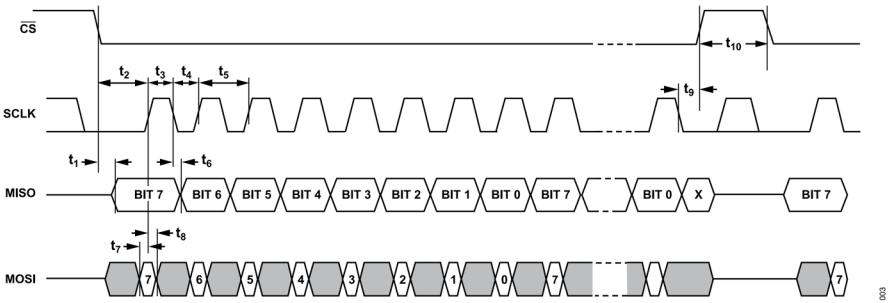


図 3. SPI インターフェースのタイミング図

絶対最大定格

表 5.

Parameter	Rating
AVDD to AGND	-0.3 V to +3.9 V
DVDD to DGND	-0.3 V to +3.9 V
IOVDD to DGND	-0.3 V to +3.9 V
Analog Input Voltage to AGND	-0.3 V to AVDD +0.3 V
Digital Input Voltage to DGND	-0.3 V to DVDD +0.3 V
Digital Output Voltage to DGND	-0.3 V to DVDD +0.3 V
AGND to DGND	-0.3 V to +0.3 V
Total GPIOx Pins Current	
Positive	0 mA to 30 mA
Negative	-30 mA to 0 mA
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	
AD5940/AD5941	-40°C to +85°C
AD5941W	-40°C to +105°C
Reflow Profile	
Moisture Sensitivity Level 3 (MSL3)	J-STD 020E (JEDEC)
Junction Temperature	150°C
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	4 kV
Field Induced Charged Device Model (FICDM)	750 V
Machine Model (MM)	100 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 6. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CB-56-3	33.0702	0.0642	°C/W
CP-48-4	32.03	2.85	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

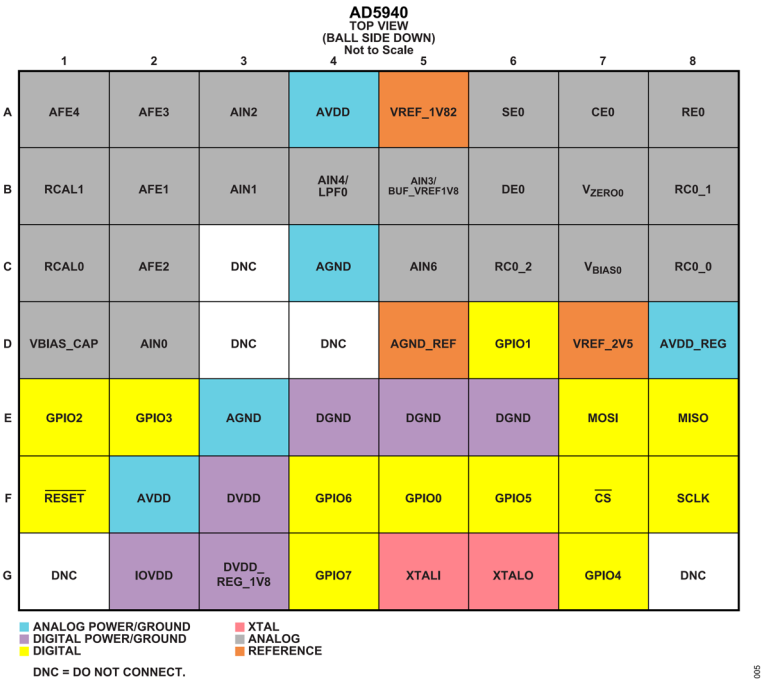


図 4. AD5940 のピン配置

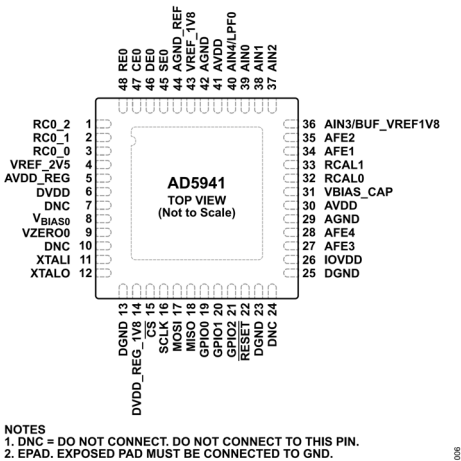


図 5. AD5941 のピン配置

表 7. ピン機能の説明

ピン番号				
AD5940	AD5941	記号	入出力電源	説明
A1	28	AFE4	Analog	汎用アナログ・フロント・エンド・ピン4。
A2	27	AFE3	Analog	汎用アナログ・フロント・エンド・ピン3。
A3	37	AIN2	Analog	汎用アナログ入力ピン2。このピンはスイッチ・マトリクスに接続されます。
A4	41	AVDD	Supply	アナログ回路電源。このピンはF2 番ピン（AVDD）に接続します。
A5	43	VREF_1V82	Analog	1.82V リファレンス・デカップリング・コンデンサ・ピン。推奨コンデンサ値は 4.7μF です。
A6	45	SE0	Analog	広帯域幅および狭帯域幅ループ回路用のセンス・エレクトロード入力ピン。このピンはスイッチ・マトリクスに接続されます。

ピン配置およびピン機能の説明

表 7. ピン機能の説明（続き）

ピン番号		記号	入出力電源	説明
AD5940	AD5941			
A7	47	CE0	Analog	広帯域幅および狭帯域幅ループ回路用のカウンタ・エレクトロード入力ピン。このピンはスイッチ・マトリクスに接続されます。
A8	48	RE0	Analog	広帯域幅および狭帯域幅ループ回路用のリファレンス・エレクトロード入力ピン。このピンは、スイッチ・マトリクスの正側ノードに接続されます。
B1	33	RCAL1	Analog	キャリブレーション抵抗 (R_{CAL}) の端子 B。このピンはスイッチ・マトリクスに接続します。
B2	34	AFE1	Analog	汎用アナログ・フロント・エンド・ピン 1。
B3	38	AIN1	Analog	汎用アナログ入力ピン 1。このピンはスイッチ・マトリクスに接続されます。
B4	40	AIN4/LPF0	Analog	汎用アナログ入力ピン 4 (AIN4)。 低電力 TIA 出力のローパス・フィルタ・コンデンサ・ピン (LPF0)。
B5	36	AIN3/BUF_VREF1V8	Analog	汎用アナログ入力ピン 3 (AIN3)。 1.82V リファレンス・バッファ付き出力 (BUF_VREF1V8)。このピンはスイッチ・マトリクスに接続されます。
B6	46	DE0	Analog	アナログ入力ピン。このピンは高速 TIA の入出力に接続されます。
B7	9	VZERO0	Analog	低電力、デュアル出力 DAC のゼロ電圧出力ピン。このピンには 100nF のコンデンサを接続します。
B8	2	RC0_1	Analog	低電力 TIA 再構成フィルタ 0 帰還ピン 1。このピンは、低電力 TIA の出力に接続されます。
C1	32	RCAL0	Analog	キャリブレーション抵抗の端子 A。このピンはスイッチ・マトリクスに接続します。
C2	35	AFE2	Analog	汎用アナログ・フロント・エンド・ピン 2。
C3, D3	N/A	DNC	Analog	接続しないでください。このピンには接続しないでください。
C4	42	AGND	Ground	アナログ・グラウンド。このピンは E3 番ピン (AGND) に接続します。
C5	N/A	AIN6	Analog	汎用アナログ入力ピン 6。
C6	1	RC0_2	Analog	低電力 TIA 再構成フィルタ 0 ピン 2。このピンはオープンのままにできます（オプション）。
C7	8	VBIAS0	Analog	低電力、デュアル出力 DAC のバイアス電圧出力ピン。このピンには 100nF のコンデンサを接続します。
C8	3	RC0_0	Analog	低電力 TIA の帰還ピン。このピンは、低電力 TIA の帰還に接続されます。
D1	31	VBIAS_CAP	Analog	ADC の 1.11V 入力バイアス・デカップリング・コンデンサ・ピン。推奨コンデンサ値は 470nF です。
D2	39	AIN0	Analog	汎用アナログ入力ピン 0。このピンはスイッチ・マトリクスに接続されます。
D4, G1, G8	7, 10, 24	DNC	Not applicable	接続しないでください。このピンには接続しないでください。
D5	44	AGND_REF	Ground	アナログ・リファレンス・グラウンド。
D6	20	GPIO1	Digital input/output	汎用入出力ピン 1。
D7	4	VREF_2V5	Analog	2.5V アナログ・リファレンス・デカップリング・コンデンサ・ピン。このピンには 470nF のコンデンサを接続します。
D8	5	AVDD_REG	Supply	アナログ・レギュレータ・デカップリング・コンデンサ・ピン。
E1	21	GPIO2	Digital input/output	汎用入出力ピン 2。
E2	N/A	GPIO3	Digital input/output	汎用入出力ピン 3。
E3	29	AGND	Ground	アナログ・グラウンド。このピンは C4 番ピンに短絡します。
E4 to E6	13, 23, 25	DGND	Ground	デジタル・グラウンド。
E7	17	MOSI	Digital input	SPI イニシエータ出力、ターゲット入力。
E8	18	MISO	Digital output	SPI イニシエータ入力ターゲット出力。
F1	22	\overline{RESET}	Digital input	リセット・ピン、アクティブ・ロー。
F2	30	AVDD	Supply	アナログ 3.3V 回路電力。
F3	6	DVDD	Supply	デジタル回路電力。
F4	N/A	GPIO6	Digital input/output	汎用入出力ピン 6。
F5	19	GPIO0	Digital input/output	汎用入出力ピン 0。
F6	N/A	GPIO5	Digital input/output	汎用入出力ピン 5。
F7	15	\overline{CS}	Digital input/output	SPI チップ・セレクト。

ピン配置およびピン機能の説明

表 7.ピン機能の説明（続き）

ピン番号		記号	入出力電源	説明
AD5940	AD5941			
F8	16	SCLK	Digital input	SPI クロック。
G2	26	IOVDD	Supply	デジタル入出力電源ピン。DVDD（F3 番ピン）を駆動してから、IOVDD を有効化する必要があります。
G3	14	DVDD_REG_1V8	Analog	1.8V デジタル・レギュレータ・デカップリング・コンデンサ・ピン。このピンには 470nF のコンデンサを接続します。
G4	N/A	GPIO7	Digital input/output	汎用入出力ピン 7。
G5	11	XTALI	Digital Input	16MHz 外部水晶発振器入力ピン。
G6	12	XTALO	Digital output	16MHz 外部水晶発振器出力ピン。
G7	N/A	GPIO4	Digital input/output	汎用入出力ピン 4。

代表的な性能特性

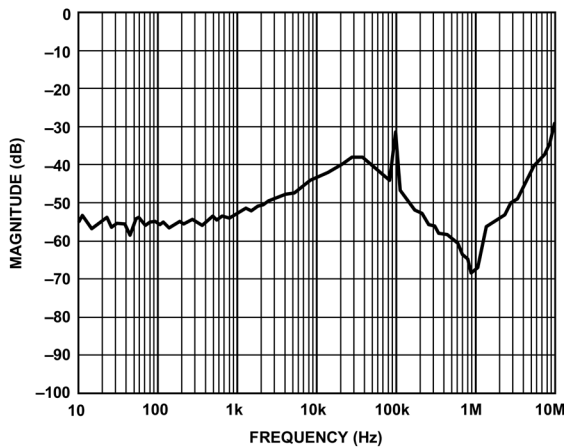


図 6. 振幅と周波数の関係、
ADC 1.82V 電圧リファレンスの AC PSRR

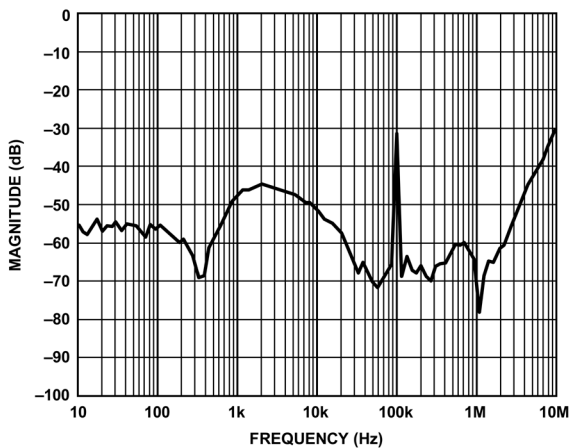


図 7. 振幅と周波数の関係、
低電力 2.5V 電圧リファレンスの AC PSRR

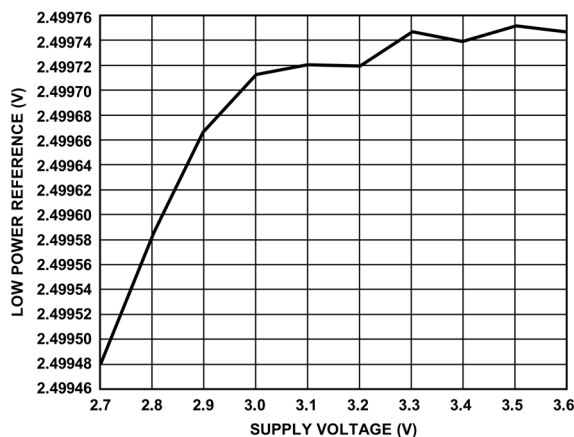


図 8. 低電力リファレンス (2.5V) と電源電圧の関係、DC PSRR

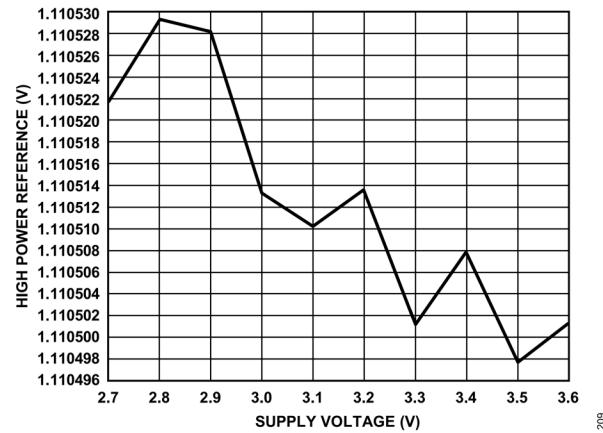


図 9. 大電力リファレンスと電源電圧の関係、
1.11V 電圧リファレンスの DC PSRR

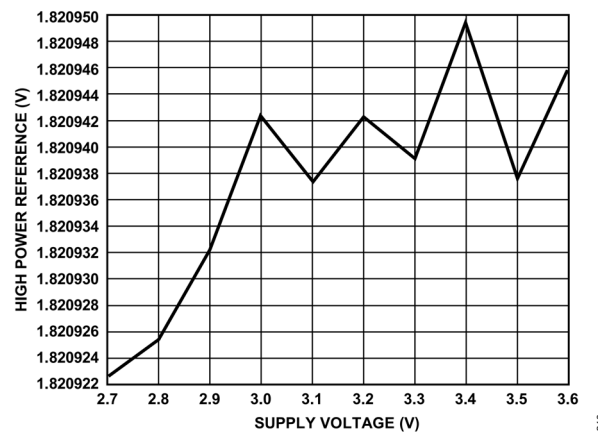


図 10. 大電力リファレンスと電源電圧の関係、
ADC 1.82V 電圧リファレンスの DC PSRR

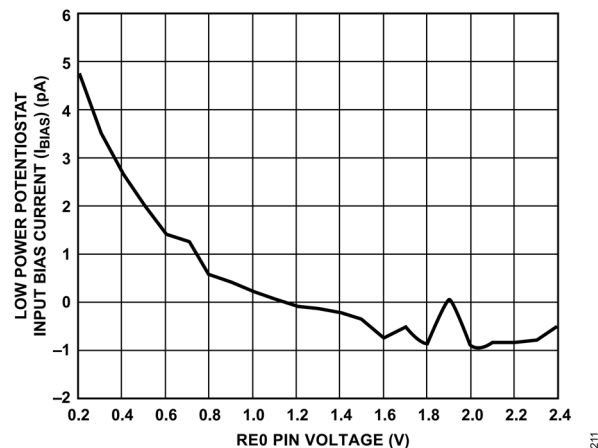


図 11. 低電力ポテンショスタット入力バイアス電流 (I_{BIAS}) と
RE0 ピン電圧の関係

代表的な性能特性

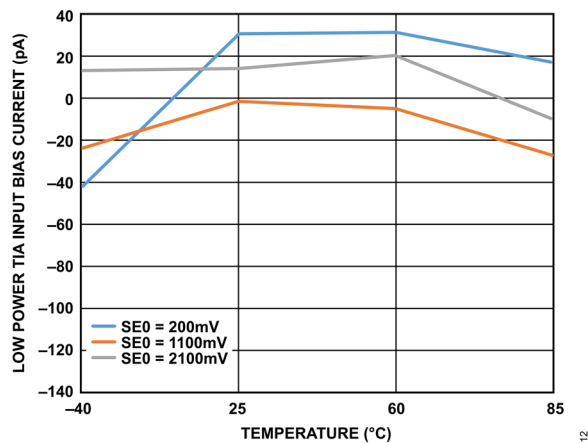


図 12. 低電力 TIA 入力バイアス電流 (I_{BIAS}) と温度の関係

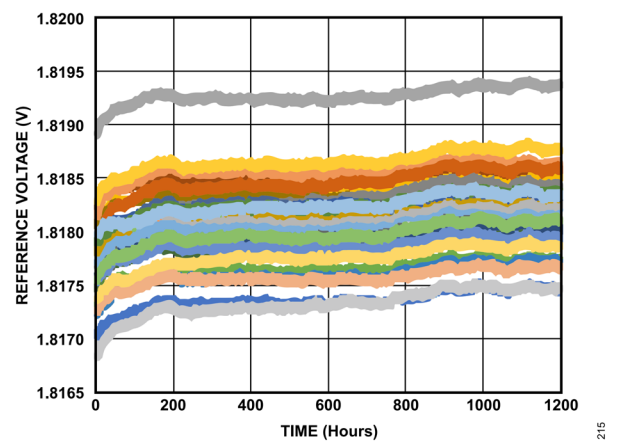


図 15. V_{REF} 1.8V のライフタイム・ドリフト

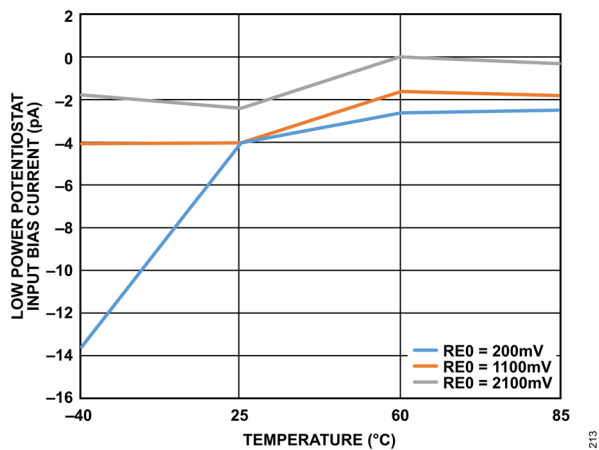


図 13. 低電力ポテンショスタット入力バイアス電流と温度の関係

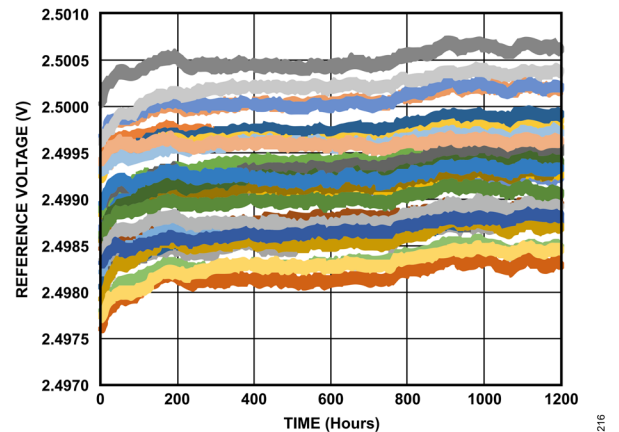


図 16. V_{REF} 2.5V のライフタイム・ドリフト

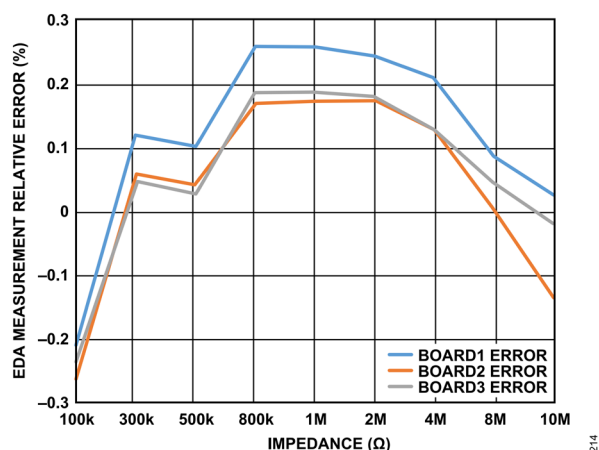


図 14. 皮膚電位活動 (EDA) 測定の相対誤差とインピーダンスの関係

代表的な性能特性

リファレンス・テスト回路

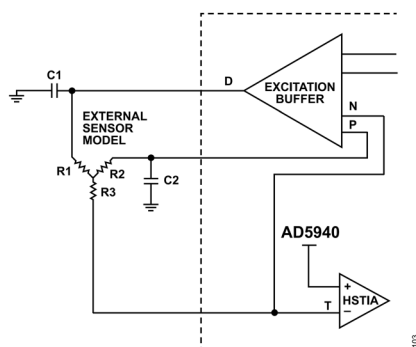


図 17. センサー（R1、R2、R3）に接続された高速ループ、C1 および C2 はグラウンドとの間の容量

動作原理

AD5940/AD5941 の主要ブロックは次のとおりです。

- ▶ センサー・バイアス電圧および低周波数励起を設定するために用いられる低電力デュアル出力のストリング DAC。クロノアンペロメトリおよびボルタンメトリの電気化学手法をサポートします。
- ▶ バイアス電圧をセンサーに印加する低電力ポテンシオスタット。
- ▶ 狭帯域幅の電流測定を実行する低電力 TIA。
- ▶ 200kHz までのインピーダンス測定用励起信号を発生するよう設計された高速 DAC およびアンプ。
- ▶ より広い信号帯域幅測定に対応する高速 TIA。
- ▶ 高性能 ADC 回路（[高性能 ADC 回路](#)のセクションを参照）。

- ▶ プログラマブルなスイッチ・マトリクス。AD5940/AD5941 の入力スイッチングにより、外部センサーの接続に関し完全に柔軟な構成可変性が可能になります。（[プログラマブルなスイッチ・マトリクス](#)のセクションを参照）。
- ▶ プログラマブルなシーケンサ（[シーケンサ](#)のセクションを参照）。
- ▶ SPI インターフェース。
- ▶ 最大 200kHz の正弦波および台形波を発生するよう設計された波形発生器（[波形発生器](#)のセクションを参照）。
- ▶ GPIOx ピンに出力して、割込みイベントの発生をホスト・コントローラにアラートする割込み源（[割込み](#)のセクションを参照）。
- ▶ デジタル入出力（[デジタル入出力](#)のセクションを参照）。

設定レジスタ

表 8. 設定レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002000	AFECON	AFE 設定レジスタ	0x00080000	R/W
0x000022F0	PMBW	電力モード設定レジスタ	0x00088800	R/W

設定レジスタ—AFECON

アドレス 0x00002000、リセット：0x00080000、レジスタ名：AFECON

表 9. AFECON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:22]	Reserved		予約済み。	0x0	R
21	DACBUFEN	0 1	DC DAC バッファを有効化します。このビットは、DC DAC の高インピーダンス出力用のバッファを有効化します。 DC DAC バッファを無効化します。 DC DAC バッファを有効化します。	0x0	R/W
20	DACREFEN	0 1	高速 DAC リファレンスの有効化。 リファレンスを無効化。高速 DAC リファレンスを無効化するには 0 にクリアします。 リファレンスを有効化。高速 DAC リファレンスを有効化するには 1 に設定します。	0x0	R/W
19	Reserved		予約済み。これは常に 1 に設定します。	0x1	R/W
[18:17]	Reserved		予約済み。	0x0	R
16	SINC2EN	0 1	ADC 出力の 50Hz/60Hz ノッチ・フィルタの有効化。このビットは、50Hz/60Hz 電源除去フィルタを有効化します。 電源除去フィルタを無効化。sinc2（50Hz/60Hz デジタル・フィルタ）を無効化します。インピーダンス測定の場合はこのビットを無効化します。 電源除去フィルタを有効化。sinc2（50Hz/60Hz デジタル・フィルタ）を有効化します。	0x0	R/W
15	DFTEN	0 1	DFT ハードウェア・アクセラレータの有効化。このビットは、DFT ハードウェア・アクセラレーション・ブロックを有効化します。 DFT ハードウェア・アクセラレータを無効化。 DFT ハードウェア・アクセラレータを有効化。	0x0	R/W
14	WAVEGENEN	0 1	波形発生器の有効化。このビットは波形発生器を有効化します。 波形発生器を無効化。波形発生器は正弦波および台形波を含みます。 波形発生器を有効化。	0x0	R/W

動作原理

表 9. AFECON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
13	TEMPCONVEN	0 1	ADC の温度センサー変換の有効化。このビットは温度の読出しを有効化します。このビットが 1 に設定されている場合、温度の読出しが開始されます。温度変換が完了すると、結果が TEMPSSENSDAT レジスタで読み出せます。 温度の読出しを無効化。 温度の読出しを有効化。	0x0	R/W
12	TEMPSENSEN	0 1	ADC の温度センサー・チャンネルの有効化。このビットは温度センサーを有効化します。 温度センサーを無効化。温度センサーがパワーダウンします。 温度センサーを有効化。温度センサーがパワーアップします。TEMPCONVEN = 1 となるまで温度の読出しは行われません。	0x0	R/W
11	TIAEN	0 1	高速 TIA の有効化。このビットは高速 TIA を有効化します。 高速 TIA を無効化。 高速 TIA を有効化。	0x0	R/W
10	INAMPEN	0 1	励起計装アンプの有効化。このビットは励起計装アンプを有効化します。 プログラマブル計装アンプを無効化。 プログラマブル計装アンプを有効化。	0x0	R/W
9	EXBUFEN	0 1	励起バッファの有効化。このビットは励起バッファを有効化して抵抗の測定を促進します。 励起バッファを無効化。 励起バッファを有効化。	0x0	R/W
8	ADCCONVEN	0 1	ADC の変換開始の有効化。 ADC アイドル。ADC はパワーオン状態ですが変換は行っていません。 ADC 変換を有効化。	0x0	R/W
7	ADCEN	0 1	ADC 電源の有効化。このビットは ADC を有効化します。 ADC を無効化。ADC がパワーオフされます。 ADC を有効化。ADC がパワーオンされます。変換を開始するには、ADCCONVEN ビットを 1 に設定する必要があります。	0x0	R/W
6	DACEN	0 1	高速 DAC の有効化。このビットは、高速 DAC、対応する再構成フィルタ、アッテネータを有効化します。このビットはアナログ・ブロックを有効化するだけであり、DAC 波形発生器は含みません。 高速 DAC を無効化。 高速 DAC を有効化。	0x0	R/W
5	HSREFDIS	0 1	高速リファレンスの無効化。このビットは、大電力リファレンスのパワーダウン信号です。リファレンスをパワーダウンするには、このビットを 1 に設定します。 大電力リファレンスを有効化。 大電力リファレンスを無効化。	0x0	R/W
[4:0]	Reserved		予約済み。	0x0	R

電力モード設定レジスタ—PMBW

アドレス 0x000022F0、リセット：0x00088800、レジスタ名：PMBW

電力モード設定レジスタ PMBW は、高速の DAC 回路および ADC 回路の大電力システム・モードおよび低電力システム・モードを設定します。

表 10. PMBW レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:4]	Reserved		予約済み。	0x8880	R

動作原理

表 10. PMBW レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	SYSBW	00 01 10 11	システムの帯域幅設定。高速 DAC の再構成フィルタおよび ADC のアンチエイリアス・フィルタ帯域幅設定は、1 個の抵抗で設定されます。 システム設定に無作用。再構成フィルタとアンチエイリアス・フィルタは、波形発生器の周波数に従って自動的に設定されます。 波形発生器の周波数が 50kHz の場合、再構成フィルタおよびアンチエイリアス・フィルタのカットオフは 5kHz です。 波形発生器の周波数が 50kHz～100kHz の場合、再構成フィルタおよびアンチエイリアス・フィルタのカットオフは 100kHz です。 波形発生器の周波数が 100kHz～200kHz の場合、再構成フィルタおよびアンチエイリアス・フィルタのカットオフは 250kHz です。 カットオフ周波数を 50kHz の-3dB 帯域幅に設定します。 カットオフ周波数を 100kHz の-3dB 帯域幅に設定します。 カットオフ周波数を 250kHz の-3dB 帯域幅に設定します。	0x0	R/W
1	Reserved		予約済み。	0x0	R
0	SYSHS	0 1	高速 DAC および ADC を大電力モードに設定します。 低電力モード。80kHz 未満のインピーダンス測定の場合はこのビットをクリアします。 高速モード。80kHz を超えるインピーダンス測定の場合はこのビットをセットします。	0x0	R/W

シリコン ID

AD5940/AD5941 には、チップ ID レジスタとハードウェア・リビジョン・レジスタがあります。

これらのレジスタはソフトウェアで読み出せるため、ユーザは現在使用しているシリコンのリビジョンを判定できます。

ADIID は常に 0x4144 です。CHIPID レジスタには、デバイス識別子（ビット[15:4]）とシリコン・リビジョン番号（ビット[3:0]）があります。デバイス識別子は、シリコン・リビジョンに応じて変化します。

識別レジスタ

表 11. 識別レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000400	ADIID	アナログ・デバイセズの識別レジスタ	0x4144	R
0x00000404	CHIPID	チップ識別レジスタ	0x5502	R

アナログ・デバイセズの識別レジスタ—ADIID

アドレス 0x00000400、リセット：0x4144、レジスタ名：ADIID

表 12. ADIID レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ADIID		アナログ・デバイセズの識別子。常に 0x4144 です。	0x4144	R

チップ識別レジスタ—CHIPID

アドレス 0x00000404、リセット：0x5502、レジスタ名：CHIPID

表 13. CHIPID レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Part ID		デバイスの識別子	0x550	R
[3:0]	Revision		シリコン・リビジョン番号	0x3	R

システムの初期化

AD5940/AD5941 デバイスの適切な動作を確保するには、デバイスをリセットするたびに、初期化シーケンスを実行することが必要です。表 14 に、書き込みを行う必要のあるレジスタと、そのレジスタに書き込む必要のあるデータを示します。初期化シーケンスに正確に従わないと、デバイスは正しく機能しません。

表 14. AD5940/AD5941 の初期化

Register Address	Data
0x0908	0x02C9
0x0C08	0x206C

表 14. AD5940/AD5941 の初期化（続き）

Register Address	Data
0x21F0	0x0010
0x0410	0x02C9
0x0A28	0x0009
0x238C	0x0104
0x0A04	0x4859
0x0A04	0xF27B
0x0A00	0x8009
0x22F0	0x0000

低電力 DAC

超低電力 DAC は、センサーのバイアス電圧を設定する、デュアル出力のストリング DAC です。2 つの出力分解能形式、すなわち、12 ビット分解能 (V_{BIAS0}) および 6 ビット分解能 (V_{ZERO0}) があります。

通常動作では、ポテンショスタット回路を通じて、12 ビットの出力がリファレンス・エレクトロード・ピン RE0 およびカウンタ・エレクトロード・ピン CE0 の電圧を設定します。この電圧は、SW12 ピンを設定することによって、V_{BIAS0} ピンにも送ることができます (図 22 参照)。外部フィルタリング・コンデンサを V_{BIAS0} ピンに接続できます。

6 ビットの出力は、ADC mux に接続している正側の低電力 TIA 内部ノードである LPTIA_P への電圧を設定します。センス・エレクトロードの電圧はこのピンと同じです。この電圧は V_{ZERO0} と表記され、SW13 スイッチを設定することによって V_{ZERO0} ピンに接続できます (図 22 参照)。診断モードでは、LPDACCON0 レジスタのビット 5 を 1 に設定することによって、V_{ZERO0} 出力を高速 TIA に接続することもできます。

低電力 DAC のリファレンス・ソースは、低電力の 2.5V リファレンスです。

低電力 DAC は、2 個の 6 ビット・ストリング DAC で構成されています。メインの 6 ビット・ストリング DAC は、V_{ZERO0} の DAC 出力を供給するものであり、63 個の抵抗で構成されています。各レジスタは同じ値です。

メインの 6 ビット・ストリングは、6 ビットのサブ DAC と共に、V_{BIAS0} の DAC 出力を供給します。12 ビット・モードの場合、MSB がメイン・ストリング DAC から抵抗を 1 個選択します。図 18 に示すように、この抵抗の上端が 6 ビット・サブ DAC の上端として選択され、選択された抵抗の下端が 6 ビット・サブ DAC ストリングの下端に接続されます。

12 ビット DAC と 6 ビット DAC の抵抗値が一致することは、64LSB₁₂ (V_{BIAS0}) が 1LSB₆ (V_{ZERO0}) に等しいことを意味します。

出力電圧範囲はレール to レールではありません。低電力 DAC の 12 ビット出力の場合、これは 0.2V~2.4V の範囲になります。そのため、12 ビット出力の LSB の値 (12-BIT_DAC_LSB) は次式で表されます。

$$12\text{-BIT_DAC_LSB} = \frac{2.2\text{ V}}{2^{12} - 1} = 537.2\text{ }\mu\text{V} \quad (3)$$

6 ビットの出力範囲は、0.2V~2.366V です。この範囲が 0.2V~2.4V でないのは、抵抗ストリングの R1 に電圧降下があるためです (図 18 参照)。6 ビット出力の LSB 値 (6-BIT_DAC_LSB) は次式で表されます。

$$6\text{-BIT_DAC_LSB} = 12\text{-BIT_DAC_LSB} \times 64 = 34.38\text{ mV} \quad (4)$$

12 ビット DAC の出力電圧を設定するには、LPDACDAT0 のビット [11:0] に書き込みます。6 ビット DAC の出力電圧を設定するには、LPDACDAT0 のビット [17:12] に書き込みます。

システム・クロックが 16MHz の場合、LPDACDAT0 は、更新に 10 クロック・サイクルを要します。システム・クロックが 32kHz の場合、LPDACDAT0 が更新に要するのは 1 クロック・サイクルです。シーケンサを用いる場合にはこれらの値を考慮してください。

次に示すコードは、LPDACDAT0 を正しく設定する方法を示すものです。

```
SEQ_WR(REG_AFE_LPDACDAT0, 0x1234);
SEQ_WAIT(10); // Wait 10 clocks for LPDACDAT0
to update
SEQ_SLP();
```

必要に応じ、**波形発生器**のセクションに示す波形発生器を、低電力 DAC 用の DAC コード・ソースとして用いることができます。波形発生器を低電力 DAC と共に使用する場合、低電力 DAC のセトリング・タイム仕様が満たされていることを確認してください。システム・クロック・ソースは 32kHz の発振器でなくてはなりません。この機能は、励起信号が約 100Hz であり、システムの消費電力が 100μA 未満であることが必要な皮膚インピーダンス測定のような、超低電力、常時オン、低周波数の測定用に用意されているものです。

低電力 DAC のスイッチ・オプション

ユーザが低電力 DAC を様々な動作モードに合わせて設定できるよう、いくつかのスイッチ・オプションがあります。これらのスイッチにより、電気化学インピーダンス分光法など、様々な使用事例が容易に実現できます。図 22 に、使用可能なスイッチを SW0~SW4 のラベルを付けて示します。これらのスイッチは、LPDACCON0 レジスタのビット 5 を介して自動的に、あるいは、LPDACSW0 レジスタを介して個別に制御できます。

LPDACCON0 のビット 5 がクリアされた場合、スイッチは通常動作モードに設定されます。SW2 スイッチおよび SW3 スイッチは閉じ、SW0、SW1、SW4 の各スイッチは開きます。LPDACCON0 のビット 5 がセットされた場合、スイッチは診断モードに設定されます。SW0 スイッチおよび SW4 スイッチが閉じ、その他のスイッチは開きます。この機能は、通常動作モードで低電力 TIA がセンス・エレクトロードを測定する持続血糖値測定などの、電気化学的な使用事例のために用意されているものです。次に、診断モードでは、高速 TIA がセンス・エレクトロードを測定します。V_{ZERO0} の電圧出力を低電力 TIA から高速 TIA に切り替えることによるセンサーの実効バイアス (V_{BIAS0} - V_{ZERO0}) への影響はありません。高速 TIA を用いることにより、インピーダンス、ランプ、サイクリックの各ボルタンメトリのような広帯域幅測定が容易に行えます。

スイッチを個別に制御するには、LPDACSW0 レジスタを用います。LPDACSW0 のビット 5 を 1 に設定します。それにより、各スイッチは、LPDACSW0 のビット [4:0] を通じて個別に制御できます。

低電力 DAC

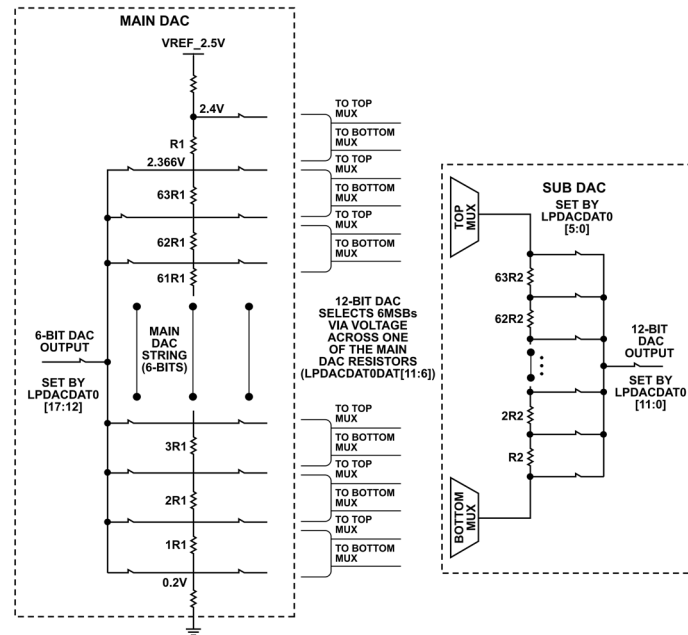


図 18. 低電力 DAC の抵抗ストリング

12 ビット出力と 6 ビット出力の関係

12 ビット出力と 6 ビット出力はほぼ独立しています。ただし、選択された 12 ビット値は、6 ビット出力に負荷効果を及ぼすため、これをユーザ・コードで補償しなくてはなりません。12 ビットの出力レベルが 6 ビット出力よりも高い場合は特に当てはまります。

12 ビット出力が 6 ビット出力より低い場合、

$$12\text{-Bit DAC Output Voltage} = 0.2\text{ V} + (\text{LPDACDAT0, Bits}[11:0] \times 12\text{-BIT_LSB_DAC}) \quad (5)$$

$$6\text{-Bit DAC Output Voltage} = 0.2\text{ V} + (\text{LPDACDAT0, Bits}[17:12] \times 6\text{-BIT_LSB_DAC}) \quad (6)$$

12 ビット出力が 6 ビット出力以上である場合、

$$12\text{-Bit DAC Output Voltage} = 0.2\text{ V} + (\text{LPDACDAT0, Bits}[11:0] \times 12\text{-BIT_LSB_DAC}) - 12\text{-BIT_LSB_DAC} \quad (7)$$

$$6\text{-Bit DAC Output Voltage} = 0.2\text{ V} + (\text{LPDACDAT0, Bits}[17:12] \times 6\text{-BIT_LSB_DAC}) \quad (8)$$

そのため、以下をユーザ・コードに追加することを推奨します。

```
12BITCODE = LPDACDAT0 [11:0];
6BITCODE = LPDACDAT0 [17:12];
if (12BITCODE > (6BITCODE * 64))
    LPDACDAT [11:0] = (12BITCODE - 1);
```

このコードにより、LPDACDAT0 のビット [11:0] = 64 × LPDACDAT0 のビット [17:12] の場合、確実に 12 ビット出力電圧が 6 ビット出力電圧に等しくなります。

低電力 DAC の使用事例

電気化学アンペロメトリ測定

電気化学測定において、12 ビットの出力は、図 19 に示すポテンシostat回路を通じてリファレンス・エレクトロード・ピンの電圧を設定します。CE0 ピンと RE0 ピンの電圧は、 V_{BIAS0} と表されます。6 ビットの出力は、LPTIA_P ノードのバイアス電圧を設定します。この出力は、センス・エレクトロード・ピン SE0 の電圧を設定します。この電圧は V_{ZERO0} と表されます。センサーのバイアス電圧は、実質的に 12 ビット出力と 6 ビット出力の差になります。

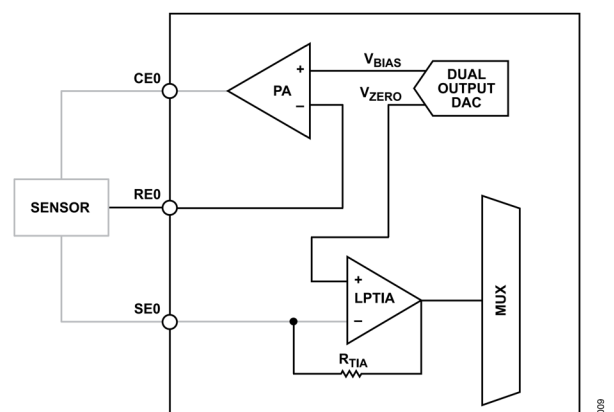


図 19. 電気化学方式の標準的な構成

低電力 DAC

電気化学インピーダンス分光法

多くの電気化学アプリケーションにおいては、診断測定を実行する際の重要な値があります。代表的な診断手法は、センサーのインピーダンス測定を行うことです。一部のタイプのセンサーでは、インピーダンス測定の間、センサーの DC バイアスを維持する必要があります。AD5940/AD5941 は、この DC バイアスを容易に行うことができます。この測定を行うには、LPDACCON0 のビット 5 を 1 に設定します。VZERO0 電圧は高速 TIA の入力に設定され、高速 DAC が AC 信号を発生します。AC 信号のレベルは、低電力 DAC の VBIAS0 の電圧出力を通じて設定され、SE0 の電圧は、VZERO0 の電圧によって保持されます。高速 DAC の DC バッファは、AFECON のビット 21 をセットすることによって有効化する必要もあります。

4 線式絶縁型インピーダンス測定における低電力 DAC

人体インピーダンス測定などの 4 線式絶縁型インピーダンス測定の場合、高速 DAC を介して高周波正弦波がセンサーに印加されます。コモンモード電圧は、低電力 DAC の 6 ビット出力電圧 VZERO と低電力 TIA を用いて、センサーの両端に設定されます。この構成により、AIN2 と AIN3 の間にコモンモード電圧が設定されます (図 20 参照)。このコモンモード電圧セットアップを可能にするには、SWMUX のビット 3 を 1 に設定する必要があります。低電力 DAC への VBIAS0 電圧出力は、高速 DAC 励起バッファ用のコモンモード電圧も設定します。

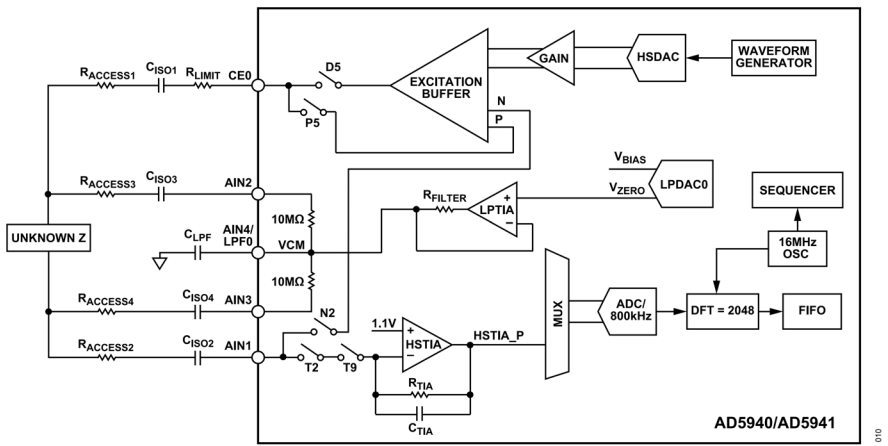


図 20. 4 線式インピーダンス測定で用いられる低電力 DAC (HSTIA_P は高速 TIA の正側出力)

低電力 DAC 回路のレジスタ

表 15. 低電力 TIA レジスタおよび低電力 DAC レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002128	LPDACCON0	低電力 DAC 設定レジスタ	0x00000002	R/W
0x00002124	LPDACSW0	低電力 DAC スイッチ制御レジスタ	0x00000000	R/W
0x00002050	LPREFBUFCON	低電力リファレンス設定レジスタ	0x00000000	R/W
0x0000235C	SWMUX	コモンモード・スイッチ・マルチプレクサ選択レジスタ	0x00000000	R/W
0x00002120	LPDACDAT0	低電力 DAC データ出力レジスタ	0x00000000	R/W

LPDACCON0 レジスタ—LPDACCON0

アドレス 0x00002128、リセット：0x00000002、レジスタ名：LPDACCON0

表 16. LPDACCON0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:7]	Reserved		予約済み。	0x0	R
6	WAVETYPE	0 1	低電力 DAC データ・ソース。このビットは DAC の波形タイプを決定します。 LPDACDAT0 から直接。 波形発生器。	0x0	R/W

低電力 DAC

表 16. LPDACCON0 レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
5	DACMDE	0 1	低電力 DAC スイッチの設定。このビットは、低電力 DAC 出力スイッチ用の制御ビットです。 低電力 DAC スイッチは、通常動作モード用に設定されます (デフォルト)。このビットを 0 にクリアすると、通常の出力スイッチ動作になります。詳細については、 低電力 DAC のセクションを参照してください。 低電力 DAC スイッチは、診断モード用に設定されます。このビットを 1 に設定すると、診断モードのスイッチ設定になります。詳細については、 低電力 DAC のセクションを参照してください。	0x0	R/W
4	VZEROMUX	0 1	VZERO0 電圧マルチプレクサの選択。このビットは、VZERO0 ノードに接続される DAC 出力を選択します。同じ値を VBIASMUX ビットに確実に書き込んでください。 VZERO0、6 ビット (デフォルト)。このビットを 0 にクリアすると、VZERO0 の電圧出力は 6 ビットになります。 VZERO0、電圧 12 ビット。このビットを 1 に設定すると、VZERO0 の電圧出力は 12 ビットになります。	0x0	R/W
3	VBIASMUX	0 1	VBIAS0 電圧マルチプレクサの選択。このビットは、VBIAS0 ノードに接続される低電力 DAC 出力を選択します。同じ値を VZEROMUX ビットに確実に書き込んでください。 出力、12 ビット (デフォルト)。12 ビット DAC が VBIAS0 電圧に接続されます。 出力、6 ビット。6 ビット DAC が VBIAS0 電圧に接続されます。	0x0	R/W
2	REFSEL	0 1	低電力 DAC リファレンスの選択。 低電力 2.5V リファレンスを低電力 DAC のリファレンス・ソースとして選択します。 AVDD を低電力 DAC のリファレンス・ソースとして選択します。	0x0	R/W
1	PWDEN	0 1	低電力 DAC のパワーダウン。このビットは、低電力 DAC 用の制御ビットをパワーダウンします。 低電力 DAC をパワーオンします。このビットを 0 にクリアすると、低電力 DAC がパワーオンします。 低電力 DAC をパワーオフします (デフォルト)。低電力 DAC をパワーダウンし、低電力 DAC 出力の全てのスイッチを開きます。	0x1	R/W
0	RSTEN	0 1	低電力 DAC への書き込みの有効化。LPDACDAT0 レジスタへの書き込みを有効化します。 低電力 DAC の書き込みを無効化します (デフォルト)。このビットを 0 にクリアすると、LPDACDAT0 は常に 0 になります。LPDACDAT0 への書き込みは無効化されます。 低電力 DAC の書き込みを無効化します (デフォルト)。このビットを 0 にクリアすると、LPDACDAT0 は常に 0 になります。LPDACDAT0 への書き込みは無効化されます。	0x0	R/W

低電力 DAC スイッチ制御レジスタ—LPDACSW0

アドレス 0x00002124、リセット: 0x00000000、レジスタ名: LPDACSW0

表 17. LPDACSW0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:6]	Reserved		予約済み。	0x0	R
5	LPMODEDIS	0 1	スイッチ制御。このビットは、低電力 DAC の出力に接続されたスイッチを制御します。 低電力 DAC スイッチが LPDACCON0 のビット 5 で制御されます (デフォルト)。このビットを 0 にクリアすると、LPDACCON0 のビット 5 を通じて、低電力 DAC の出力に接続されたスイッチを制御します。 低電力 DAC スイッチのオーバーライド。このビットを 1 に設定すると、LPDACCON0 のビット 5 をオーバーライドします。低電力 DAC 出力に接続されたスイッチは、LPDACSW0 のビット [4:0] を通じて制御されます。	0x0	R/W
4	SW4	0 1	低電力 DAC SW4 スイッチの制御。 VBIAS0 DAC 出力からポテンショスタット・アンプの正側入力への直接接続を切り離します (デフォルト)。 VBIAS0 DAC 電圧出力をポテンショスタット・アンプの正側入力に直接接続します。	0x0	R/W
3	SW3	0 1	低電力 DAC SW3 スイッチの制御。 VBIAS0 DAC 電圧出力をローパス・フィルタ/VBIAS0 ピンから切り離します。 VBIAS0 DAC 電圧出力をローパス・フィルタ/VBIAS0 ピンに接続します (デフォルト)。	0x1	R/W
2	SW2	0 1	低電力 DAC SW2 スイッチの制御。 VZERO0 DAC 電圧出力から低電力 TIA の正側入力への直接接続を切り離します (デフォルト)。 VZERO0 DAC 電圧出力を低電力 TIA の正側入力に直接接続します。	0x1	R/W

低電力 DAC

表 17. LPDACSW0 レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
1	SW1	0 1	低電力 DAC SW1 スイッチの制御。 VZERO0 DAC 出力をローパス・フィルタ/VZERO0 ピンから切り離します。 VZERO0 DAC 電圧出力をローパス・フィルタ/VZERO0 ピンに接続します（デフォルト）。	0x0	R/W
0	SW0	0 1	低電力 DAC SW0 スイッチの制御。 VZERO0 DAC 電圧出力を高速 TIA の正側入力から切り離します（デフォルト）。 VZERO0 DAC 電圧出力を高速 TIA の正側入力に接続します。	0x0	R/W

低電力 DAC データ出力レジスタ—LPDACDAT0

アドレス 0x00002120、リセット：0x00000000、レジスタ名：LPDACDAT0

表 18. LPDACDAT0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:18]	Reserved		予約済み。	0x0	R
[17:12]	DACIN6	0 111111	低電力 DAC の 6 ビット出力データ・レジスタ（1LSB = 34.375mV）。0~0x3F の値で 6 ビットの出力電圧を設定します。 出力電圧を 0.2V に設定します。 出力電圧を 2.366V に設定します。	0x0	R/W
[11:0]	DACIN12	0 0xFFFF	低電力 DAC の 12 ビット出力データ・レジスタ（1LSB = 537μV）。0~0xFFFF の値で 12 ビットの出力電圧を設定します。 出力電圧を 0.2V に設定します。 出力電圧を 2.4V に設定します。	0x0	R/W

低電力リファレンス制御レジスタ—LPREFBUFCON

アドレス 0x00002050、リセット：0x00000000、レジスタ名：LPREFBUFCON

表 19. LPREFBUFCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:2]	Reserved		予約済み。	0x0	R
1	LPBUF2P5DIS	0 1	低電力出力のバンド・ギャップ・バッファ。このビットは、低電力リファレンス・バッファを有効化するために通常はクリアされます。 低電力 2.5V バッファを有効化します。 低電力 2.5V バッファをパワーダウンします。	0x0	R/W
0	LPREFDIS	0 1	低電力バンド・ギャップ・パワーダウン・ビット。このビットは、低電力リファレンスを有効化するために通常はクリアされます。 低電力リファレンスを有効化。 低電力リファレンスをパワーダウン。	0x0	R/W

コモンモード・スイッチ・マルチプレクサ・レジスタ—SWMUX

アドレス 0x0000235C、リセット：0x00000000、レジスタ名：SWMUX

表 20. SWMUX レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:4]	Reserved		予約済み。	0x0	R
3	CMMUX	0	AIN2 ピンおよび AIN3 ピン用のコモンモード抵抗の選択。 コモンモード・スイッチオフ。	0x0	R/W

低電力 DAC

表 20. SWMUX レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
		1	10MΩ の抵抗でコモンモード・スイッチを有効化し、AIN2 ピンおよび AIN3 ピンのコモンモード電圧を設定します。電圧は、低電力 T1A および AIN4/LPF0 ピンによって駆動されます。		
[2:0]	Reserved		予約済み。	0x0	R/W

低電力ポテンシオスタット

AD5940/AD5941 には、電気化学センサーのバイアス電圧を設定し制御する、低電力ポテンシオスタットがあります。通常、ポテンシオスタットの出力は CE0 に接続されます。図 19 に示すように、非反転入力は V_{BIAS0} 電圧に接続され、反転入力は RE0 に接続されます。電気化学セルの場合、ポテンシオスタットは、カウンタ・エレクトロード (CE0) を通して電流を入出力することで、リファレンス・エレクトロード (RE0) のバイアス電圧を維持します。

ポテンシオスタットの出力は、スイッチ・マトリクスを通じて様々なパッケージ・ピンに接続できます（詳細については、[プログラマブルなスイッチ・マトリクス](#)のセクションを参照）。ポテンシオスタットには複数の設定可変スイッチ・オプションがあり、数多くの設定オプションが可能です（図 22 参照）。

ポテンシオスタットは、CE0 で V_{BIAS0} の電圧を出力するための標準的なバッファ出力として用いることもできます。これを実現するには、図 22 に示すように、SW10 スイッチを閉じることによって、反転入力をポテンシオスタットの出力に接続します。

低電力 TIA

AD5940/AD5941 にはそれぞれ、低電力 TIA チャンネルがあり、小さな電流入力を ADC で測定可能な電圧に増幅します。負荷抵抗およびゲイン抵抗は、内蔵されていますがプログラマブルです。PGA ゲインが 1 または 1.5 の場合、 $\pm 900\text{mV}$ の ADC 入力範囲を最大化する R_{TIA} 値を選択します。その他の PGA 設定に対する最大電圧については、[仕様](#)のセクションを参照してください。必要なゲイン抵抗を計算するには、次式を用います。

$$I_{MAX} = \frac{0.9 \text{ V}}{R_{TIA}} \quad (9)$$

ここで、
 I_{MAX} は、フルスケール入力電流。
 R_{TIA} は、必要なゲイン抵抗。

低電力 TIA 回路周辺には、数多くのスイッチがあります。LPTIASW0 レジスタは、これらのスイッチを設定します。[図 22](#) に使用可能なスイッチを示します。LPTIACON0 レジスタの TIAGAIN ビット (ビット[9:5]) がセットされている場合、これらのスイッチは自動的に閉じられます。これらのスイッチが閉じている場合には、抵抗コンデンサ (RC) 遅延回路として作用するローパス・フィルタの抵抗 (R_{LPF})、および AIN4/LPF0 ピンのコンデンサを伴う、フォース/センス回路があります。LPTIA0_P_LPF0 は、低電力 TIA ローパス・フィルタの出力を ADC マルチプレクサに接続します。アナログ・デバイズでは、低電力 TIA を用いる場合には、LPTIA0_P_LPF0 マルチプレクス・オプションを ADC 入力として選択することを推奨します。低電力 TIA を安定化するために、RC0_0 ピンと RC0_1 ピンの間に 100nF のコンデンサを接続することを推奨します。

低電力 TIA 保護ダイオード

バック・ツー・バック保護ダイオードが R_{TIA} 抵抗と並列に接続されています。これらのダイオードは、LPTIASW0 のビット 0 で制御される SW0 の開閉により、接続または切断されます。これらのダイオードは、小電流を増幅する際に R_{TIA} のゲイン設定を切り替えることで、TIA の飽和を防ぐ目的で使用されます。これらのダイオードには、ダイオード両端に加わる電圧に応じたリーク電流仕様があります。ダイオードの差動電圧が 200mV を超える場合、リークは 1nA を超える可能性があります。電圧が 500mV を超えるならば、リークは $1\mu\text{A}$ を超える可能性があります。

低電力 TIA およびポテンショスタット・アンプの電流制限機能

保護ダイオードに加え、低電力 TIA には、電流制限機能が内蔵されています。低電力 TIA との間で入出力される電流が [表 1](#) で仕様規定された過電流制限保護を上回る場合、アンプは電流をこの制限値にクランプします。センサーが始動時に、過電流制限値を超える電流をソースまたはシンクしようとした場合、アンプは出力電流をクランプします。この機能は、[表 1](#) の仕様で定められた頻度または時間を超えないようにしてください。

低電力 TIA のフォース/センス機能

LPTIACON0[9:5] ビットは、[図 22](#) で R_{TIA} と表されている、低電力 TIA 用の様々なゲイン抵抗値を選択します。低電力 TIA の帰還経路に示されているフォースおよびセンスの接続は、内部 R_{TIA} 用に様々な R_{TIA} 設定を選択するスイッチでの電圧 ($I \times R$) 降下を避けるために使用されます。

外部 R_{TIA} の使用

外部 R_{TIA} 抵抗を用いるには、以下の手順に従います。

1. R_{TIA} 抵抗を RC0_0 ピンと RC0_1 ピンの間に接続します。
2. LPTIACON0 のビット[9:5]を 0 にクリアして、内部の R_{TIA} 抵抗を TIA 出力端子から切り離します。
3. LPTIASW0 のビット 9 を 1 に設定して SW9 スwitch を閉じます。内部の R_{TIA} 抵抗を用いて SW9 スwitch を開きます。
4. 外部コンデンサを外部 R_{TIA} 抵抗に並列接続して、ループの安定性を維持します。この外部コンデンサの推奨値は 100nF です。

様々な動作モードのための推奨スイッチ設定

[表 21](#) は、様々な測定タイプに対して推奨される、低電力ポテンショスタット・ループのスイッチ設定を示すものです。どの測定タイプにでも、スイッチを 1 に設定するとスイッチが閉じ、スイッチを 0 に設定するとスイッチが開きます。LPTIASW0[13:0]は、[図 22](#) に示す SW13~SW0 を制御します。[図 21](#) に、LPTIA 用の R_{LOAD} 設定と R_{GAIN} 設定の間の関係を示します。 R_{LOAD} は LPTIACON0[12:10]を設定することによって設定されます。 R_{GAIN} は LPTIACON0[9:5]によって設定されます。 R_{LOAD} が大きい場合、 R_{GAIN} バンクから抵抗を用いて、 R_{GAIN} のサイズを低減します。詳細については、LPTIACON0 ビット・フィールドの説明 ([表 22](#) および [表 24](#)) を参照してください。

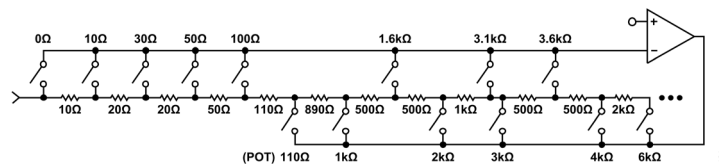


図 21. LPTIA の R_{LOAD} および R_{GAIN} の構成

低電力 TIA

表 21. 低電力ポテンシオスタット・ループでの推奨スイッチ設定

測定名	LPDACCON0、 ビット 5	LPDACS0、 ビット[5:0]	LPTIASW0、ビット[13:0]	説明
Amperometric Mode	0	0xXX ¹	0x302C or 0b11 0000 0010 1100	通常の DC 電流測定。V _{BIAS0} DAC および V _{ZERO0} DAC に外部コンデンサが接続されます。
Amperometric Mode with Diode Protection	0	0xXX ¹	0x302D or 0b11 0000 0010 1101	低電力 TIA のバック・ツー・バック・ダイオード保護を有効化した通常の DC 電流測定。V _{BIAS0} および V _{ZERO0} に外部コンデンサが接続されます。
Amperometric Mode with Short Switch Enabled	0	0xXX ¹	0x302E or 0b11 0000 0010 1110	短絡スイッチ保護を有効化した通常の DC 電流測定。SW1 が閉じられ、SE0 入力が高電力 TIA の出力に接続されます。V _{BIAS0} および V _{ZERO0} に外部コンデンサが接続されます。この設定は、パワーアップ後に外部センサーを充電する必要がある、SE0 ピンに大きな電流が入出力する場合に有効です。
Amperometric Mode for Zero Biased Sensor	0	0xXX ¹	0x306C or 0b11 0000 0110 1100	RE0 エレクトロードおよび SE0 エレクトロードのセンサーを、V _{BIAS0} レベルに設定するよう SW6 を設定したアンペロメトリ・モード。ポテンシオスタットの反転入力および低電力 TIA の非反転入力は短絡されます。このモードでは、ゼロ・バイアス電圧センサーの場合に最高のノイズ性能が得られます。
Amperometric Mode for Two-Lead Sensor	0	0xXX ¹	0x342C or 0b11 0100 0010 1100	SW10 を閉じて、CE0 と RE0 を内部で短絡させたアンペロメトリ・モード。
Chronoamperometry (Low Power Pulse Test) Using Low Power TIA	1	0x32	0x0014 or 0b00 0000 0001 0100	V _{BIAS0} 出力は CE0 エレクトロードに対するパルスが発生します。低電力 DAC のコンデンサは切り離されます。低電力 TIA は SE0 の電流応答を測定します。
Chronoamperometry (Full Power Pulse Test) Using High Speed TIA on SE0	1	0x31	0x0094 or 0b00 0000 1001 0100	V _{BIAS0} 出力は CE0 エレクトロードに対するパルスが発生します。V _{BIAS0} および V _{ZERO0} のコンデンサは切り離されます。高速 TIA は SE0 の電流応答を測定します。
Voltammetry (Full Power Pulse Test) Using High Speed TIA	1	0x31	0x0094 or 0b00 0000 1001 0100	V _{BIAS0} 出力は CE0 エレクトロードに対するパルスが発生します。V _{BIAS0} および V _{ZERO0} のコンデンサは切り離されます。高速 TIA は SE0 または DE0 の電流応答を測定します。高速 TIA の抵抗およびスイッチは個別に設定されます。
Potentiostat and Low Power TIA in Unity-Gain Mode (Test Mode)	0	0xXX ¹	0x04A4 or 0b00 0100 1010 0100	ポテンシオスタットはユニティ・ゲイン・モードで、CE0 ピンに出力します。低電力 TIA はユニティ・ゲイン・モードで、RC0_1 ピンに出力します。このモードは、V _{BIAS0} または V _{ZERO0} の DAC 出力をチェックする場合に有効です。

¹ 0xXX = ドントケア。

低電力 TIA

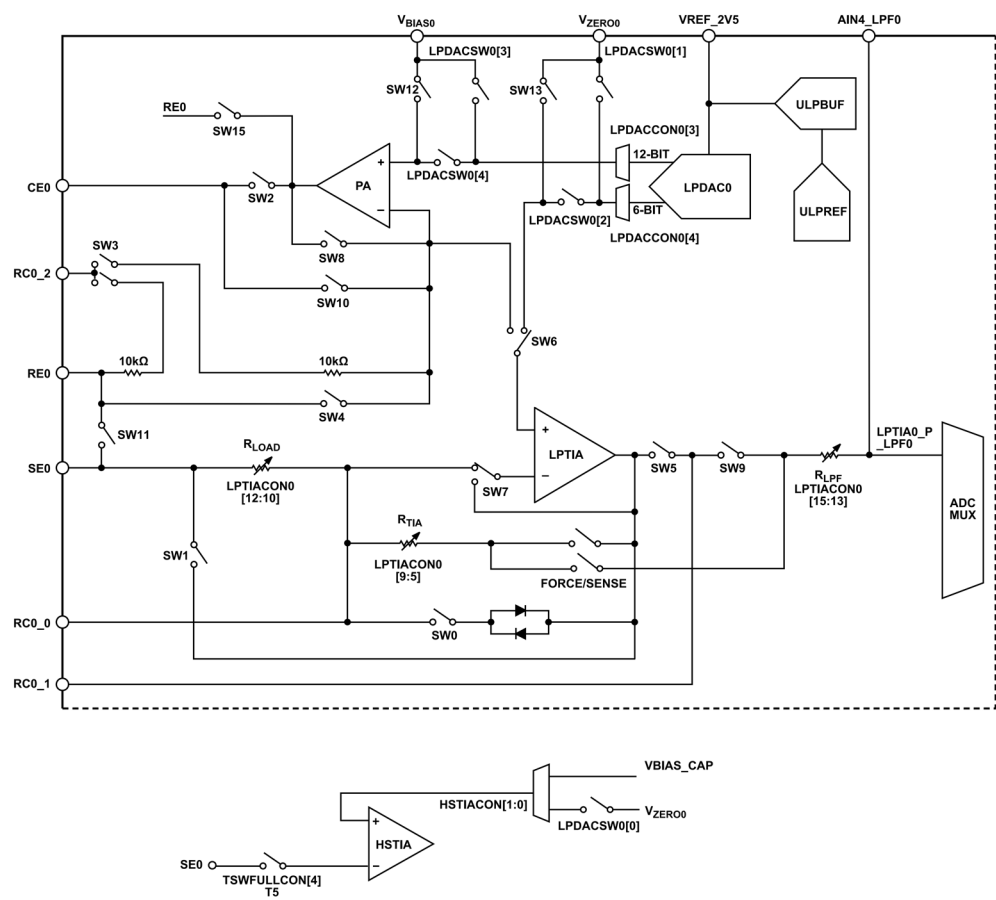


図 22. 狭帯域幅ループ・スイッチ

低電力 TIA 回路のレジスタ

表 22. 低電力 TIA レジスタおよび低電力 DAC レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x000020E4	LPTIASW0	低電力 TIA スイッチの設定。	0x00000000	R/W
0x000020EC	LPTIACON0	低電力 TIA の制御ビット、チャンネル 0	0x00000003	R/W

低電力 TIA スイッチ設定レジスタ—LPTIASW0

アドレス 0x000020E4、リセット：0x00000000、レジスタ名：LPTIASW0

表 23. LPTIASW0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
15	RECAL	0 1	SW15 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
14	Reserved		予約済み。	0x0	R/W
13	SW13	0 1	SW13 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W

低電力 TIA

表 23. LPTIASW0 レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
12	SW12	0 1	SW12 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
11	SW11	0 1	SW11 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
10	SW10	0 1	SW10 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
9	SW9	0 1	SW9 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
8	SW8	0 1	SW8 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
7	SW7	0 1	SW7 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
6	SW6	0 1	SW6 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
5	SW5	0 1	SW5 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
4	SW4	0 1	SW4 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
3	SW3	0 1	SW3 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
2	SW2	0 1	SW2 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
1	SW1	0 1	SW1 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W
0	SW0	0 1	SW0 スイッチの制御、アクティブ・ハイ。 スイッチを開きます。 スイッチを閉じます。	0x0	R/W

低電力 TIA

低電力 TIA の制御ビット、チャンネル 0 レジスタ—LPTIACON0

アドレス 0x000020EC、リセット：0x00000003、レジスタ名：LPTIACON0

表 24. LPTIACON0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:13]	TIARF	0 1 10 11 100 101 110 111	これらのビットは、ローパス・フィルタの抵抗 (R_{LFF}) を設定し、また、低電力 TIA 出力のローパス・フィルタのカットオフ周波数を設定します。 TIA 出力をローパス・フィルタ・ピン (LPF0) から切り離します。これは、ADC の高速応答が必要となる診断を行う場合に有用です。この設定は、低電力 TIA 出力をローパス・フィルタのコンデンサから切り離します。 抵抗をバイパスします。0Ω のオプション。 20kΩ。 100kΩ。 200kΩ。 400kΩ。 600kΩ。 1MΩ。最適な DC 電流測定性能を得るための推奨値。この設定は、ローパス・フィルタの最小カットオフ周波数設定です。	0x0	R/W
[12:10]	TIARL	0 1 10 11 100 101 110 111	これらのビットは、 R_{LOAD} を設定します。 0Ω。 10Ω。 30Ω。 50Ω。 100Ω。 1.6kΩ。 $R_{TIA} \geq 2k\Omega$ であることが必要です。 3.1kΩ。 $R_{TIA} \geq 4k\Omega$ であることが必要です。 3.6kΩ。 $R_{TIA} \geq 4k\Omega$ であることが必要です。	0x0	R/W
[9:5]	TIAGAIN	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111 10000 10001 10010 10011	これらのビットは、 R_{TIA} を設定します。 R_{TIA} を切り離します。 200Ω。 R_{TIA} は、 R_{LOAD} と固定直列抵抗 110Ω の組み合わせです。 $R_{LOAD} = 10\Omega$ と仮定しています。 TIARL ビットによって設定されます。 $R_{TIA} = 100\Omega - R_{LOAD} + 110\Omega$ 。 固定された全 R_{TIA} は 200Ω です。 1kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 1k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 1k\Omega - (R_{LOAD} - 100\Omega)$ 。 2kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 2k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 2k\Omega - (R_{LOAD} - 100\Omega)$ 。 3kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 3k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 3k\Omega - (R_{LOAD} - 100\Omega)$ 。 4kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 4k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 4k\Omega - (R_{LOAD} - 100\Omega)$ 。 6kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 6k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 6k\Omega - (R_{LOAD} - 100\Omega)$ 。 8kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 8k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 8k\Omega - (R_{LOAD} - 100\Omega)$ 。 10kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 10k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 10k\Omega - (R_{LOAD} - 100\Omega)$ 。 12kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 12k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 12k\Omega - (R_{LOAD} - 100\Omega)$ 。 16kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 16k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 16k\Omega - (R_{LOAD} - 100\Omega)$ 。 20kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 20k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 20k\Omega - (R_{LOAD} - 100\Omega)$ 。 24kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 24k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 24k\Omega - (R_{LOAD} - 100\Omega)$ 。 30kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 30k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 30k\Omega - (R_{LOAD} - 100\Omega)$ 。 32kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 32k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 32k\Omega - (R_{LOAD} - 100\Omega)$ 。 40kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 40k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 40k\Omega - (R_{LOAD} - 100\Omega)$ 。 48kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 48k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 48k\Omega - (R_{LOAD} - 100\Omega)$ 。 64kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 64k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 64k\Omega - (R_{LOAD} - 100\Omega)$ 。 85kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 85k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 85k\Omega - (R_{LOAD} - 100\Omega)$ 。 96kΩ。 $R_{LOAD} \leq 100\Omega$ の場合、 $R_{TIA} = (100\Omega - R_{LOAD}) + 96k\Omega$ 。 $R_{LOAD} > 100\Omega$ の場合、 $R_{TIA} = 96k\Omega - (R_{LOAD} - 100\Omega)$ 。	0x0	R/W

低電力 TIA

表 24. LPTIACON0 レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
		10100	100kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 100kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 100kΩ - (R _{LOAD} - 100Ω)。		
		10101	120kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 120kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 120kΩ - (R _{LOAD} - 100Ω)。		
		10110	128kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 128kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 128kΩ - (R _{LOAD} - 100Ω)。		
		10111	160kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 160kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 160kΩ - (R _{LOAD} - 100Ω)。		
		11000	196kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 196kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 196kΩ - (R _{LOAD} - 100Ω)。		
		11001	256kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 256kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 256kΩ - (R _{LOAD} - 100Ω)。		
		11010	512kΩ。R _{LOAD} ≤ 100Ω の場合、R _{TIA} = (100Ω - R _{LOAD}) + 512kΩ。R _{LOAD} > 100Ω の場合、R _{TIA} = 512kΩ - (R _{LOAD} - 100Ω)。		
[4:3]	IBOOST	00 01 10 11	電流ブースト制御。 ノーマル・モード。 外部コンデンサ負荷を高速で充電するために、アンプ出力段の電流を増加します。この設定は、大電流センサーと共に用いることを意図しています。 TIA およびポテンシオスタット・アンプの全体的な静止電流を 2 倍にし、アンプの帯域幅を拡大します。この設定は診断テストを行う場合に有用です。 TIA およびポテンシオスタット・アンプの全体的な静止電流を 2 倍にし、出力段の電流を増加します。この設定は、アンプの帯域幅を拡大し、出力電流能力を増加します。	0x0	R/W
2	HALFPWR	0 1	ハーフ電力モードの選択。この制御ビットは、センサー・チャンネル 0 の TIA およびポテンシオスタット・アンプのアクティブな消費電力を減少させます。 ノーマル・モード（デフォルト）。 TIA の電流を半減します。	0x0	R/W
1	PAPDEN	0 1	ポテンシオスタット・アンプのパワーダウン。低電力ポテンシオスタット・パワーダウン制御ビット。 パワーアップします。 パワーダウンします。	0x1	R/W
0	TIAPDEN	0 1	TIA パワーダウン。低電力 TIA パワーダウン制御ビット。 パワーアップします。 パワーダウンします。	0x1	R/W

高速 DAC 回路

12 ビットの高速 DAC は、外部センサーのインピーダンスを測定する場合に AC 励起信号を発生します。DAC 出力信号は、データ・レジスタに書き込むことで直接制御できます。または、自動波形発生器ブロックを用いることによっても制御できます。高速 DAC 信号は、AC 信号をセンサーの通常の DC バイアス電圧に上乗せするために専用に設計された励起アンプに供給されます。

高速 DAC 出力信号の発生

高速 DAC の出力電圧を設定する方法には、以下に示すように 2 通りあります。

- ▶ DAC コード・レジスタ HSDACDAT への直接書き込み。このレジスタは、最上位ビット (MSB) が符号ビットである 12 ビット・レジスタです。0x800 を書き込むと 0V 出力になります。0x200 を書き込むと負のフルスケールになり、0xE00 を書き込むと正のフルスケールになります。出力電圧を計算するには、次式を用います。

$$V_{OUT} = \left(\frac{HSDACDAT - 2^{11}}{2^{11}} \right) \times 404.4 \text{ mV} \quad (10)$$

$$\times INAMPGNMDE \times ATTENEN$$

ここで、

V_{OUT} は、励起アンプの出力での電圧。

HSDACDAT は、12 ビットの HSDAC コード・レジスタ値。

INAMPGNMDE は、励起アンプのゲイン設定値。設定値は、2 または 0.25 です。

ATTENEN は、減衰の設定値。設定値は、1 または 0.2 です。

- ▶ 自動波形発生器の使用。波形発生器は、正弦波、台形波、方形波の各信号を含む、固定周波数固定振幅の信号を発生するようプログラムできます。正弦波を選択する場合、出力信号のオフセットと位相を調整するオプションがあります。次式を用いて正弦波の振幅を計算できます。

$$V_{OUT(p-p)} = \left(\frac{WGAMPLITUDE}{2^{11} - 1} \right) \times 808.8 \text{ mV} \quad (11)$$

$$\times INAMPGNMDE \times ATTENEN$$

ここで、

$V_{OUT(p-p)}$ は、AC 信号のピーク to ピーク電圧。

WGAMPLITUDE は、12 ビットの HSDAC コード・レジスタ値。

INAMPGNMDE は、励起アンプのゲイン設定値。設定値は、2 または 0.25 です。

ATTENEN は、減衰の設定値。設定値は、1 または 0.2 です。

高速 DAC コアの電力モード

高速 DAC のリファレンス・ソースは、内蔵の 1.82V 高精度リファレンス電圧 (VREF_1V82 ピン) です。高速 DAC には、消費電力と出力速度の間にトレードオフがある基本的な 3 つの動作モード、つまり、低電力モード、大電力モード、休止モードがあります。高速 DAC は、非アクティブ時にも休止モードにできます。

低電力モード

低電力モードは、高速 DAC 出力信号の周波数が 80kHz 未満の場合に用いられます。

高速 DAC を低電力モードに設定する場合は、以下の手順に従います。

1. PMBW レジスタをクリアします (ビット 0 = 0)。
2. このモードでは、高速 DAC および ADC へのシステム・クロックは 16MHz です。
3. CLKSEL のビット [1:0] を 0 に設定し、16MHz の内部高周波数発振器クロック・ソースを選択します。システム・クロックの分周比は 1 (CLKCON0 のビット [5:0] = 0 または 1) にしてください。
4. 内部高速発振器をシステム・クロック・ソースに選択する場合は、16MHz オプションを選択します。HSOSCCON のビット 2 = 1 に設定します。

大電力モード

大電力モードでは、高速 DAC アンプがサポートする帯域幅が増加します。高速 DAC の周波数が 80kHz を超える場合は、大電力モードを用います。大電力モードにするには、いくつかのレジスタ書き込みが必要です。

高速 DAC を大電力モードに設定するには、以下の手順に従います。

1. PMBW レジスタをビット 0 = 1 に設定します。消費電力は増加しますが、出力信号の帯域幅は、最大 200kHz に拡大します。大電力モードでは、DAC および ADC へのシステム・クロックは 32MHz です。
2. CLKSEL のビット [1:0] で 32MHz クロック・ソースを選択します。例えば、内部高速発振器を選択するには、CLKSEL のビット [1:0] (SYSCLKSEL) = 00 です。システム・クロックの分周比は 1 (CLKCON0 のビット [5:0] = 0 または 1) にしてください。
3. 内部高速発振器をシステム・クロック・ソースに選択する場合は、32MHz オプションを選択します。HSOSCCON のビット 2 を 0 にクリアします。

休止モード

AD5940/AD5941 が休止モードになると、高速 DAC 回路へのクロックは、電力を節約するためにクロック・ゲートされます。アクティブ・モード中、かつ高速 DAC を使用しない場合は、クロックを無効化して電力を節約します。

高速 DAC のフィルタ・オプション

高速 DAC の出力段には、設定可能な再構成フィルタが備わっています。再構成フィルタの設定は、DAC の出力信号周波数に依存します。

PMBW レジスタのビット [3:2] は、再構成フィルタの 3dB カットオフ周波数を設定します。カットオフ周波数は、必要な DAC 出力より高い周波数になるようにしてください。

高速 DAC 回路

- ▶ DAC の更新レートが 50kHz 以下の場合、最高性能を実現するには、PMBW のビット[3:2]を 01 に設定します。
- ▶ DAC の更新レートが 100kHz 以下の場合、最高性能を実現するには、PMBW のビット[3:2]を 10 に設定します。
- ▶ DAC の更新レートが 250kHz 以下の場合、最適性能を実現するには、PMBW のビット[3:2]を 11 に設定します。

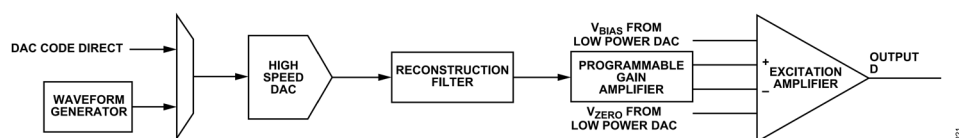


図 23. 高速 DAC ブロック

高速 DAC 回路

高速 DAC 出力の減衰オプション

高速 DAC 出力には、出力信号振幅をセンサーに合わせて調整するスケール・オプションがあります。12 ビット DAC ストリングの出力は、減衰やゲインを設定する前では $\pm 300\text{mV}$ です。DAC の出力には、2 または 0.25 の HSDAC ゲイン段があります。PGA 段には、1 または 0.2 のゲイン・オプションがあります。表 29 に、使用可能なゲイン・オプションおよび対応する出力電圧範囲を示します。

高速 DAC 励起アンプ

図 24 に、励起アンプの動作およびスイッチ・マトリクスへの接続方法を示します。励起アンプには 4 つの入力があります。DACP、DACN、正側入力 (P)、負側入力 (N) です。高速 DAC は差動出力 DAC であり、正側入力および負側入力は、励起アンプに直接接続されています。

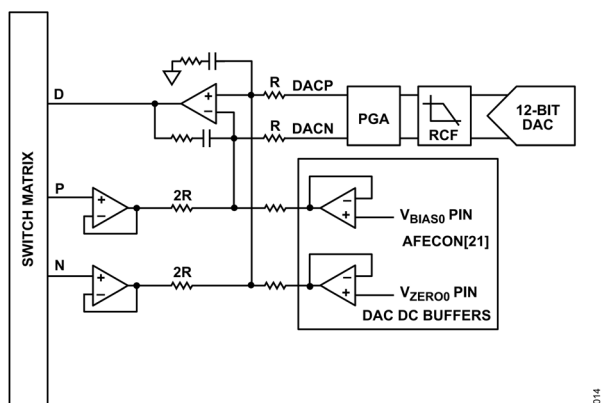


図 24. 高速 DAC の励起アンプ

これら 2 つの入力の電圧差は、出力波形のピーク to ピーク電圧を設定します。P 入力および N 入力は、センサーからの帰還経路を備えることによって励起アンプの安定性を維持し、高速 DAC 出力にコモンモードを設定します。通常の場合では、コモンモードは、N 入力に接続された V_{ZERO0} 出力によって設定されます。図 25 に示すように、DC バイアス電圧をセンサーに印加し、AC 信号をこのバイアスに結合するオプションもあります。

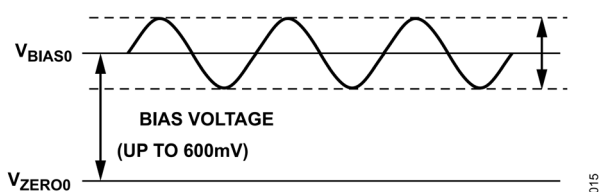


図 25. センサーの励起信号

センサーがカウンタ・エレクトロードとセンス・エレクトロードの間にバイアス電圧を必要とする場合は、1 つのオプションが利用できます。 V_{BIAS0} は、カウンタ・エレクトロードの電圧を設定し (高速 DAC のコモンモード電圧)、 V_{ZERO0} は、センス・エレクトロードの電圧を設定します。 V_{ZERO0} は、高速 TIA の正側端子に接続する必要があります (HSTIACON のビット [1:0] = 01)。

DAC の DC バッファも、AFECON のビット 21 を設定して有効化する必要があります。この設定で実現できる波形は図 25 のとおりです。センサーに加えられるバイアスは、実質的に、 V_{BIAS0} と V_{ZERO0} の電圧差です。

なお、高速 DAC のシグナル・チェーンは、低電力 TIA と併用してはならない点に注意してください。高速 DAC が不安定になり、正しい測定結果が得られなくなります。

高速 DAC の AC 信号を低電力 DAC で設定された DC レベルに結合する方法

AD5940/AD5941 には、電気化学センサーを構成する低電力ポテンシostat・チャンネルがあります。通常動作時、RE0 エレクトロードと SE0 エレクトロードの間のセンサーのバイアス電圧は、低電力 DAC の出力である V_{BIAS0} と V_{ZERO0} によって設定されます。この場合、 V_{BIAS0} は、ポテンシostatへのバイアス、および CE0 ピンの電圧を設定します。 V_{ZERO0} は、低電力 TIA および SE0 ピンのバイアス電圧を設定します。高速 DAC 回路は使用されません。ただし、AC インピーダンス測定の場合は、励起アンプの出力を CE0 ピンに接続する必要があります。信号全体が励起アンプ出力から供給されるようにするため、ポテンシostatは切り離す必要があります。高速 TIA は SE0 ピンに接続され、低電力 TIA は切り離されます。その後、高速 TIA および励起アンプでセンサー・バイアスを設定する必要があります。

センサー・バイアスを設定するには、以下の手順に従います。

1. 低電力 DAC の V_{ZERO0} 出力は、高速 TIA の非反転入力に接続する必要があります (HSTIACON のビット [1:0] = 01)。これにより、SE0 ピンの電圧が設定されます。あるいは、スイッチ・マトリクスを介して、高速 TIA の反転入力に接続されているいずれかのピンに接続します。
2. DAC の DC バッファを有効化する必要があります (AFECON のビット 21 = 1)。図 24 に、DC バッファの励起アンプへの接続方法を示します。これらのバッファにより、低電力 DAC の出力が、励起アンプおよび高速 TIA に必要なバイアス電圧を供給できるようになります。
3. DC バイアスは、 V_{BIAS0} と V_{ZERO0} の電圧差です。

インピーダンス測定時の励起周波数と測定周波数の間のインコヒーレントな誤差を回避する方法

インピーダンス測定時の励起周波数と測定周波数の間のインコヒーレントな誤差を回避するには、以下の設定を推奨します。

- ▶ ハニング窓は常にオンです (DFTCON のビット 0 = 1)。
- ▶ 低電力モードでは、高速 DAC の更新レートは $16\text{MHz} \div 7$ です (HSDACCON のビット [8:1] = 0x1B)。大電力モードでは、高速 DAC の更新レートは $32\text{MHz} \div 7$ です (HSDACCON のビット [8:1] = 0x7)。
- ▶ 低電力モードでは、ADC のサンプリング・レートは 800kSPS です (高周波数発振器 = 16MHz)。大電力モードでは、ADC のサンプリング・レートは 1.6MSPS です (高周波数発振器 = 32MHz)。

なお、ハニング窓を無効化すると性能が低下する可能性があります。

高速 DAC 回路

高速 DAC のキャリブレーション・オプション

高速 DAC は、アナログ・デバイセズによる製品テスト時にはキャリブレーションが行われません。このセクションでは、大電力モードと低電力モードの両方の場合において、高速 DAC を全てのゲイン設定でキャリブレーションする手順を説明します。

DAC がセンサーへの励起信号を発生する必要がある場合に、高速 DAC をキャリブレーションします。励起信号にオフセット誤差があり、かつ電流出力または電圧出力の測定が必要な場合、励起信号は、選択した TIA、ADC 入力バッファ、PGA 設定のヘッドルームを超過する可能性があります。

図 27 に、高速 DAC キャリブレーションの回路図を示します。RCAL0 ピンと RCAL1 ピンの間に、高精度の外部抵抗 R_{CAL} が必要です。オフセットをキャリブレーションするには、 R_{CAL} 抵抗の両端で測定される電圧差が 0V でなくてはなりません。

必要なビット設定 (HSDACCON のビット 12 およびビット 0) を用いて高速 DAC をキャリブレーションします。例えば、HSDACCON のビット 12=0、HSDACCON のビット 0=0 で DAC がキャリブレーションされていて、ユーザが HSDACCON のビット 12 を 1 に変更した場合、オフセット・エラーが生じます。DACOFFSET レジスタまたは DACOFFSETHS レジスタのいずれかを、新しい出力範囲に合わせて再キャリブレーションする必要があります。

ゲイン・キャリブレーションはオプションであり、このキャリブレーションによりピーク to ピークの電圧振幅が変更されます。あるいは、最大や最小の DAC コードを変更することによって、電圧振幅を調整します。

高速 DAC の伝達関数を図 26 に示します。図 27 は、高速 TIA の非反転入力によってコモンモード電圧を設定する方法を示しています。この電圧は、低電力 DAC の V_{ZERO0} 出力、または、1.11V の内部 ADC V_{BIAS0} 電圧によって設定する必要があります。

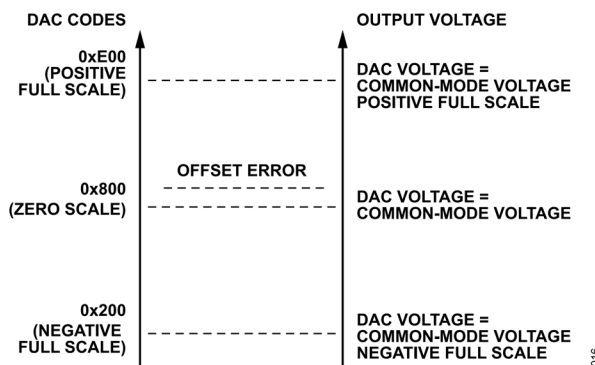


図 26. 高速 DAC の伝達関数

AD5940/AD5941 ソフトウェア開発キットには、ADC を用いて R_{CAL} 抵抗両端の電圧差を測定する方法、その電圧差が約 0V になるまで該当のキャリブレーション・レジスタを調整する方法を示すサンプル関数が含まれています。AD5940/AD5941 ソフトウェア開発キットは、AD5940/AD5941 の製品ページからダウンロードできます。

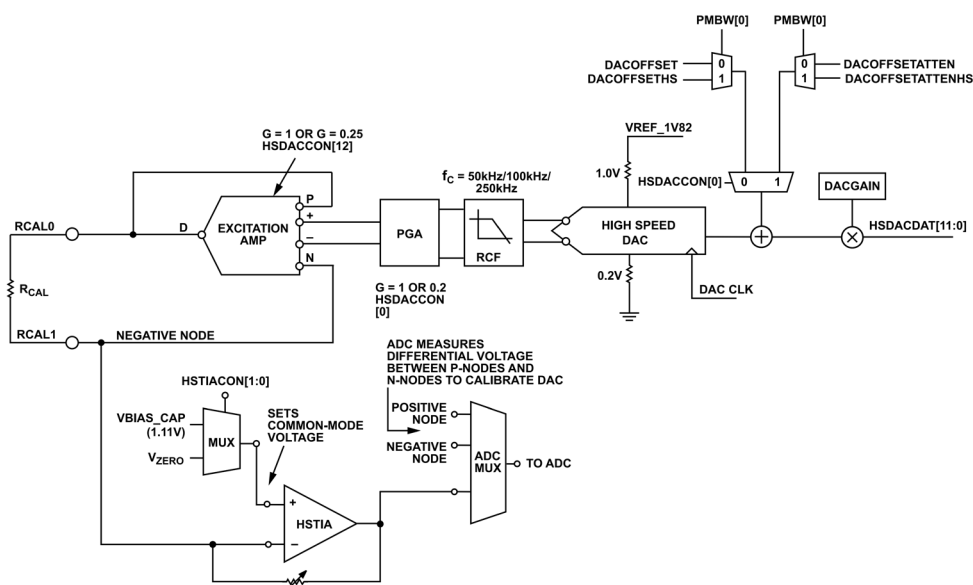


図 27. 高速 DAC のキャリブレーション

高速 DAC 回路

高速 DAC 回路のレジスタ

表 25. 高速 DAC の制御レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002010	HSDACCON	高速 DAC の設定	0x0000001E	R/W
0x00002048	HSDACDAT	高速 DAC のコード・レジスタ	0x00000800	R/W

高速 DAC の制御レジスタ—HSDACCON

アドレス 0x00002010、リセット：0x0000001E、レジスタ名：HSDACCON

表 26. HSDACCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:13]	Reserved		予約済み。	0x0	R
12	INAMPGNMDE	0 1	励起アンプのゲイン制御。このビットは、励起アンプのゲインを選択します。 ゲイン = 2。 ゲイン = 0.25。	0x0	R/W
[11:9]	Reserved		予約済み。	0x0	R/W
[8:1]	Rate		DAC の更新レート。DAC の更新レート = ACLK/HSDACCON のビット[8:1]。ACLK は 16MHz または 32MHz の高速発振器、または、32kHz の低電力発振器となります。	0xF	R/W
0	ATTENEN	0 1	PGA 段のゲイン減衰。DAC 出力での PGA アッテネータの有効化。 DAC のアッテネータを無効化。ゲインが 1 のモード。 DAC のアッテネータを有効化。ゲインが 0.2 のモード。	0x0	R/W

高速 DAC のコード・レジスタ—HSDACDAT

アドレス 0x00002048、リセット：0x00000800、レジスタ名：HSDACDAT

表 27. HSDACDAT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	DACDAT		DAC に直接書き込まれる DAC コード。最小コードは 0x200 で、最大コードは 0xE00 です。ミッドスケール（0x800）は 0V の出力電圧に対応します。	0x800	R/W

表 28. 高速 DAC のキャリブレーション・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002230	CALDATLOCK	キャリブレーション・データ・ロック・レジスタ	0xDE87A5A0	R/W
0x00002260	DACGAIN	DAC のゲイン・レジスタ	0x00000800	R/W
0x00002264	DACOFFSETATTEN	アッテネータを有効化した DAC のオフセット・レジスタ（低電力モード）	0x00000000	R/W
0x00002268	DACOFFSET	アッテネータを無効化した DAC のオフセット・レジスタ（低電力モード）	0x00000000	R/W
0x000022B8	DACOFFSETATTENHS	アッテネータを有効化した DAC のオフセット・レジスタ（高速モード）	0x00000000	R/W
0x000022BC	DACOFFSETHS	アッテネータを無効化した DAC のオフセット・レジスタ（高速モード）	0x00000000	R/W

表 29. 高速 DAC のキャリブレーション・レジスタの割り当て

Relevant Calibration Registers				
Low Power Mode	High Speed Mode	Low Power Mode and High Speed Mode	HSDACCON Register Bit Settings	Typical Output Range (mV), Code 0x200 to Code 0xE00
DACOFFSET	DACOFFSETHS	DACGAIN	Bit 12 = 0 and Bit 0 = 0	±607
DACOFFSET	DACOFFSETHS	DACGAIN	Bit 12 = 1 and Bit 0 = 0	±75
DACOFFSETATTEN	DACOFFSETATTENHS	DACGAIN	Bit 12 = 1 and Bit 0 = 1	±15.14
DACOFFSETATTEN	DACOFFSETATTENHS	DACGAIN	Bit 12 = 0 and Bit 0 = 1	±121.2

高速 DAC 回路

キャリブレーション・データ・ロック・レジスタ—CALDATLOCK

アドレス 0x00002230、リセット：0xDE87A5A0、レジスタ名：CALDATLOCK

表 30. CALDATLOCK レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:0]	Key	0xDE87A5AF	キャリブレーション・データ・レジスタのパスワード。このパスワードにより、キャリブレーション・フェーズ後にデータが上書きされるのを防止できます。この値を書き込むと、キャリブレーション・レジスタのロックを解除できます。	0xDE87A5A0	R/W

DAC のゲイン・レジスタ—DACGAIN

アドレス 0x00002260、リセット：0x00000800、レジスタ名：DACGAIN

CALDATLOCK により保護。HSDACCON のビット 12 および HSDACCON ビット 0 の全ての設定に対し有効。

表 31. DACGAIN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	Value	0x000 0x800 0xFFFF	高速 DAC のゲイン補正係数。符号なしの数値。 負の最大ゲイン調整が発生。 ゲイン調整なし。 正の最大ゲイン調整が発生。	0x800	R/W

アッテネータを有効化した DAC のオフセット・レジスタ（低電力モード）—DACOFFSETATTEN

アドレス 0x00002264、リセット：0x00000000、レジスタ名：DACOFFSETATTEN

HSDACCON のビット 12 = 1、かつ、HSDACCON のビット 0 = 1 の場合の LSB 調整の代表値は 4.9μV です。HSDACCON のビット 12 = 1、かつ、HSDACCON のビット 0 = 0 の場合の LSB 調整の代表値は、24.7μV です。

表 32. DACOFFSETATTEN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	Value	0x7FF 0x001 0x000 0xFFFF 0x800	DAC オフセット補正係数。この値は、2 の補数フォーマットで表され、0.5LSB の精度を持つ符号付きの数です。アッテネータの有効時に用います。 $2^{10-0.5}$ 。正のフルスケール/2 - 0.5LSB の調整を行う正の最大調整値。 0.5。0.5LSB の調整を行います。 0。オフセット調整を行いません。 -0.5。-0.5LSB の調整を行います。 -2^{10} 。負のフルスケール/2 の調整を行う負の最大調整値。	0x0	R/W

アッテネータを無効化した DAC のオフセット・レジスタ（低電力モード）—DACOFFSET

アドレス 0x00002268、リセット：0x00000000、レジスタ名：DACOFFSET

HSDACCON のビット 12 = 0、かつ、HSDACCON のビット 0 = 0 の場合の LSB 調整の代表値は、197.7μV です。HSDACCON のビット 12 = 0、かつ、HSDACCON のビット 0 = 1 の場合の LSB 調整の代表値は、39.5μV です。

表 33. DACOFFSET レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	Value	0x7FF 0x001 0x000 0xFFFF 0x800	DAC オフセット補正係数。この値は、2 の補数フォーマットで表され、0.5LSB の精度を持つ符号付きの数です。アッテネータの無効時に用います。 $2^{10-0.5}$ 。正のフルスケール/2 - 0.5LSB の調整を行う正の最大調整値。 0.5。0.5LSB の調整を行います。 0。オフセット調整を行いません。 -0.5。-0.5LSB の調整を行います。 -2^{10} 。負のフルスケール/2 の調整を行う負の最大調整値。	0x0	R/W

高速 DAC 回路

アッテネータを有効化した DAC のオフセット・レジスタ（高速モード）—DACOFFSETATTENHS

アドレス 0x000022B8、リセット：0x00000000、レジスタ名：DACOFFSETATTENHS

CALDATLOCK により保護。HSDACCON のビット 12=1、かつ、HSDACCON のビット 0=1 の場合の LSB 調整の代表値は、4.9μV です。HSDACCON のビット 12=1、かつ、HSDACCON のビット 0=0 の場合の LSB 調整の代表値は、24.7μV です。

表 34. DACOFFSETATTENHS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	Value	0x7FF 0x001 0x000 0xFFF 0x800	DAC オフセット補正係数。この値は、2 の補数フォーマットで表され、0.5LSB の精度を持つ符号付きの数です。アッテネータの有効時に用います。 $2^{10-0.5}$ 。正のフルスケール/2 - 0.5LSB の調整を行う正の最大調整値。 0.5。0.5LSB の調整を行います。 0。オフセット調整を行いません。 -0.5。-0.5LSB の調整を行います。 -2^{10} 。負のフルスケール/2 の調整を行う負の最大調整値。	0x0	R/W

アッテネータを無効化した DAC のオフセット・レジスタ（高速モード）—DACOFFSETHS

アドレス 0x000022BC、リセット：0x00000000、レジスタ名：DACOFFSETHS

CALDATLOCK により保護。HSDACCON のビット 12 = 0、かつ、HSDACCON のビット 0 = 0 の場合の LSB 調整の代表値は、197.7μV です。HSDACCON のビット 12=0、かつ、HSDACCON のビット 0 = 1 の場合の LSB 調整の代表値は、39.5μV です。

表 35. DACOFFSETHS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	Value	0x7FF 0x001 0x000 0xFFFF 0x800	DAC オフセット補正係数。この値は、2 の補数フォーマットで表され、0.5LSB の精度を持つ符号付きの数です。アッテネータの無効時に用います。 $2^{10-0.5}$ 。正のフルスケール/2 - 0.5LSB の調整を行う正の最大調整値。 0.5。0.5LSB の調整を行います。 0。オフセット調整を行いません。 -0.5。-0.5LSB の調整を行います。 -2^{10} 。負のフルスケール/2 の調整を行う負の最大調整値。	0x0	R/W

高速 TIA 回路

高速 TIA は、最大 200kHz の広帯域幅入力信号を測定します。

高速 TIA の出力は、この出力を ADC 入力チャンネルとしてプログラムできる、メイン ADC のマルチプレクサに接続されます。

このブロックは、高速 DAC および励起アンプと併用してインピーダンス測定を行えるよう設計されています。

高速 TIA の設定

高速 TIA はデフォルトで無効化されており、AFECON[11]=1 に設定することによってオンにできます。高速 TIA には、入力信号の選択、ゲイン抵抗の選択、入力負荷抵抗の選択、コモンモード電圧ソースをプログラムできる柔軟性が備わっています。

入力信号の選択

入力信号のオプションは以下のとおりです。

- ▶ SE0 入力ピン。
- ▶ AIN0、AIN1、AIN2、AIN3/BUF_VREF1V8 の各入力ピン。
- ▶ 固有の R_{LOAD}/R_{TIA} オプションを持ち、ユーザによるプログラム可能な DE0 入力ピン。

ゲイン抵抗の選択

ゲイン抵抗 (R_{TIA}) のオプションは、DE0 入力に対しては $50\Omega \sim 160k\Omega$ 、その他全ての入力ピンに対しては $200\Omega \sim 160k\Omega$ です。

負荷抵抗の選択

負荷抵抗 (R_{LOAD}) のオプションは以下のとおりです。

- ▶ SE0 および AFE3 に対しては、 R_{LOAD02} および R_{LOAD04} は 100Ω に固定されています。
- ▶ DE0 ピンに対しては、 R_{LOAD} はプログラマブルです。 0Ω 、 10Ω 、 30Ω 、 50Ω 、 100Ω の中から値を選択できます。

コモンモード電圧の選択

高速 TIA コモンモード電圧設定は、高速 TIA アンプへの正側入力において、設定可変です。設定オプションは以下のとおりです。

- ▶ 1.11V の内部リファレンス。これは VBIAS_CAP ピンの電圧と同じです。
- ▶ 低電力 DAC 出力 (V_{ZERO0})。

図 28 に、スイッチ・マトリクスおよび外部ピンへの高速 TIA 接続を示します。なお、DE0 ピンでは、追加の負荷抵抗 R_{LOAD_DE0} およびゲイン抵抗 R_{TIA_DE0} を使用できます。

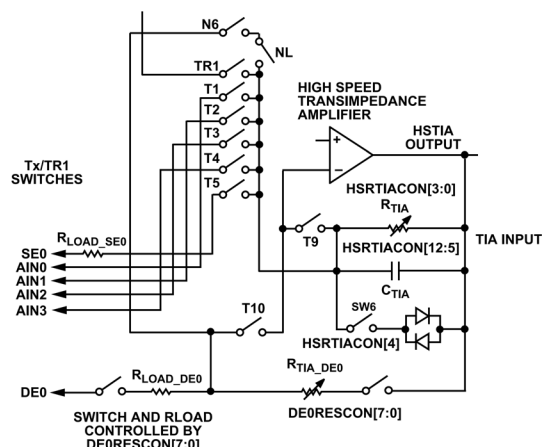


図 28. 高速 TIA スイッチ

外部 R_{TIA} の選択

高速 TIA には、内部 R_{TIA} ゲイン・オプションに代えて外部ゲイン抵抗を選択できるオプションがあります。この選択を実行するには、DE0 ピンに抵抗の一端を接続し、他端を AIN0、AIN1、AIN2、または AIN3/BUF_VREF1V8 に接続します。DE0 ピンは、高速 TIA の出力に接続する必要があります。

DE0 ピンを外部 R_{TIA} 値に使用するには、以下のレジスタ値を設定します。

- ▶ $DE0RESCON = 0x97$ 。
- ▶ $HSRTIACON$ のビット[3:0] = $0xF$ 。

AIN0、AIN1、AIN2、または AIN3/BUF_VREF1V8 (いずれかのピンに抵抗を接続) は、高速 TIA の反転入力に接続する必要があります (プログラマブルなスイッチ・マトリクスのセクションを参照)。 $DE0RESCON = 0x97$ の場合、 R_{LOAD_DE0} 抵抗および R_{TIA_DE0} 抵抗は短絡回路となります。これは、外部 R_{TIA} が高速 TIA の出力に直接接続されることを意味します。

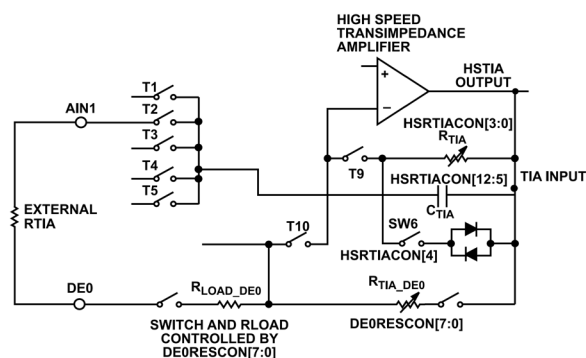


図 29. 高速 TIA への外部 R_{TIA} の接続

表 36. DE0 入力での高速 TIA 抵抗オプション

DE0RESCON, Bits[7:0] Setting	R_{LOAD_DE0} Resistor Value (Ω)	R_{TIA_DE0} Resistor Value
0xFF	Disconnected	Disconnected
0x00	0	50 Ω
0x18	0	100 Ω

高速 TIA 回路

表 36. DE0 入力での高速 TIA 抵抗オプション（続き）

DE0RESCON, Bits[7:0] Setting	R _{LOAD_DE0} Resistor Value (Ω)	R _{TIA_DE0} Resistor Value
0x38	0	200 Ω
0x58	0	1.1 k Ω
0x60	0	5.1 k Ω
0x68	0	10.1 k Ω
0x70	0	20.1 k Ω
0x78	0	40.1 k Ω
0x80	0	80.1 k Ω
0x88	0	160.1 k Ω
0x9	10	50 Ω
0x21	10	100 Ω
0x39	10	190 Ω
0x59	10	1.09 k Ω
0x61	10	5.09 k Ω
0x69	10	10.09 k Ω
0x71	10	20.09 k Ω
0x79	10	40.09 k Ω
0x81	10	80.09 k Ω
0x89	10	160.09 k Ω
0x12	30	50 Ω
0x2A	30	100 Ω
0x4A	30	210 Ω
0x5A	30	1.07 k Ω
0x62	30	5.07 k Ω
0x6A	30	10.07 k Ω
0x72	30	20.07 k Ω
0x7A	30	40.07 k Ω
0x82	30	80.07 k Ω
0x8A	30	160.07 k Ω
0x1B	50	50 Ω
0x33	50	100 Ω
0x4B	50	190 Ω
0x5B	50	1.05 k Ω
0x63	50	5.05 k Ω
0x6B	50	10.05 k Ω
0x73	50	20.05 k Ω
0x7B	50	40.05 k Ω
0x83	50	80.05 k Ω
0x8B	50	160.05 k Ω
0x34	100	50 Ω
0x3C	100	100 Ω
0x54	100	200 Ω
0x5C	100	1 k Ω
0x64	100	5 k Ω
0x6C	100	10 k Ω
0x74	100	20 k Ω
0x7C	100	40 k Ω
0x84	100	80 k Ω

高速 TIA 回路

表 36. DE0 入力での高速 TIA 抵抗オプション（続き）

DE0RESCON, Bits[7:0] Setting	R _{LOAD_DE0} Resistor Value (Ω)	R _{TIA_DE0} Resistor Value
0x8C	100	160 kΩ

高速 TIA 回路のレジスタ

表 37. 高速 TIA のレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x000020F0	HSRTIACON	高速 R _{TIA} の設定	0x0000000F	R/W
0x000020F8	DE0RESCON	DE0 高速 TIA 抵抗の設定	0x000000FF	R/W
0x000020FC	HSTIACON	高速 TIA の設定	0x00000000	R/W

高速 R_{TIA} の設定レジスタ—HSRTIACON

アドレス 0x000020F0、リセット：0x0000000F、レジスタ名：HSRTIACON

このレジスタは、高速 R_{TIA}、電流保護ダイオード、帰還コンデンサを制御します。

表 38. HSRTIACON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:13]	Reserved		予約済み。	0x0	R
[12:5]	CTIACON		R _{TIA} と並列のコンデンサを設定します。このコンデンサは、アンプのループを安定化します。このビットがセットされると、R _{TIA} 抵抗と並列にこのコンデンサが追加されます。 0 1pF。 1 2pF。 10 4pF。 100 8pF。 1000 16pF。 10000 32pF。 100000 不使用。 1000000 不使用。	0x0	R/W
4	TIASW6CON		SW6 スイッチの制御。SW6 スイッチを用いると、R _{TIA} と並列にダイオードを使用するかどうかを選択できます。 0 SW6 をオフ。ダイオードは R _{TIA} と並列化されません。 1 SW6 をオン。ダイオードは R _{TIA} と並列化されます。	0x0	R/W
[3:0]	RTIACON		一般的な R _{TIA} 値の設定。R _{TIA} 抵抗を用いるには、T9 スイッチ（SWCON のビット 17）を閉じ、T10 スイッチ（SWCON のビット 17）を開きます。 0000 R _{TIA} = 200Ω。 0001 R _{TIA} = 1kΩ。 0010 R _{TIA} = 5kΩ。 0011 R _{TIA} = 10kΩ。 0100 R _{TIA} = 20kΩ。 0101 R _{TIA} = 40kΩ。 0110 R _{TIA} = 80kΩ。 0111 R _{TIA} = 160kΩ。 1000 to 1111 R _{TIA} はオープン。	0xF	R/W

高速 TIA 回路

DE0 高速 TIA 抵抗設定レジスタ—DE0RESCON

アドレス 0x000020F8、リセット：0x000000FF、レジスタ名：DE0RESCON

表 39. DE0RESCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	Reserved		予約済み。	0x0	R
[7:0]	DE0RCON		RLOAD_DE0 および RTIA_DE0 の設定。この RLOAD_DE0 および RTIA_DE0 の設定を使用するには、T9 スイッチを開き、T10 スイッチを閉じ、RTIA 抵抗の値を設定します（表 36 参照）。	0xFF	R/W

高速 TIA 設定レジスタ—HSTIACON

アドレス 0x000020FC、リセット：0x00000000、レジスタ名：HSTIACON

表 40. HSTIACON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:2]	Reserved		予約済み。	0x0	R
[1:0]	VBIASSEL	00 01 10 11	高速 TIA の正側入力を選択。 VBIAS_CAP ピンの 1.11V 電圧源。 低電力 DAC からの VZERO0 出力。 予約済み。 予約済み。	0x0	R/W

高性能 ADC 回路

ADC 回路の概要

AD5940/AD5941 は、16 ビット 800kSPS のマルチチャンネル SAR ADC を内蔵しています。ADC は 2.8V~3.6V の電源で動作します。ホスト・マイクロプロセッサは、シーケンサを介して ADC とインターフェースするか、SPI インターフェースを通じて直接インターフェースします。

センサーの接続には、超低リークのスイッチ・マトリクスが用いられており、複数の電気測定機器を同じウェアラブル・エレクトロードにマルチプレックスするために用いることができます。

ADC は、工場出荷時にキャリブレーションされている高精度低ドリフトの 1.82V リファレンスを用いています。外部リファレンス・ソースを VREF_1V8 ピンに接続することもできます。

ADC の変換は、SPI インターフェースを用いて ADC 制御レジスタに直接書き込みを行うか、シーケンサを用いて ADC 制御レジスタに書き込みを行うことによって、トリガされます。

ADC の回路図

図 30 に、ADC コアのアーキテクチャを示します。図 30 では、入力バッファ、ゲイン段、出力ポストプロセスは省略されています。

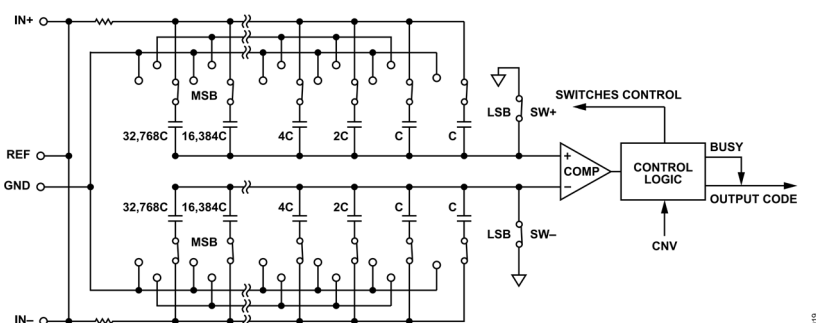


図 30. ADC コアのブロック図 (IN+、REF、GND、IN-は内部ノード)

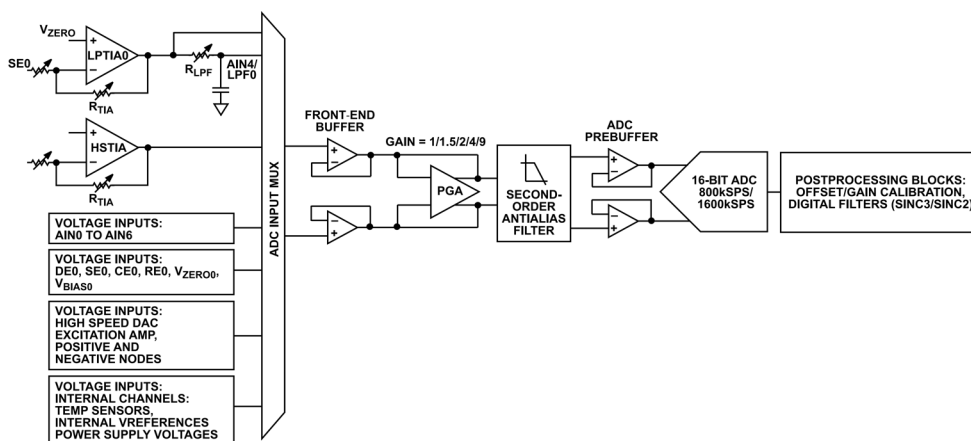


図 31. ADC 入力チャンネルの基本図

高性能 ADC 回路

ADC 回路の特徴

高速段の前の入力マルチプレクサであるマルチチャンネル 16 ビット ADC は、いくつかの外部チャンネルおよび内部チャンネルの測定を可能にします。これらのチャンネルには次のものがあります。

- ▶ 2 つの低電力電流測定チャンネル。これらのチャンネルは、接続されたセンサーの小電流出力を SE0 ピンまたは DE0 ピンを通じて測定します。電流チャンネルは、プログラマブルな負荷抵抗に接続されます。
- ▶ 1 つの低電力 TIA。低電力 TIA には、非常に小さい電流を ADC によって測定可能な電圧に変換する、固有のプログラマブル・ゲイン抵抗があります。低電力電流チャンネルは、ローパス・フィルタを配置しても配置しなくてもサンプリングするよう設定できます。
- ▶ 最大 200kHz のインピーダンス測定を実行するための、1 つの高速電流入力チャンネル。高速電流チャンネルには、プログラマブルなゲイン抵抗を備えた専用の高速 TIA があります。
- ▶ 複数の外部電圧入力。
 - ▶ 6 つの専用電圧入力チャンネル：AIN0、AIN1、AIN2、AIN3/ BUF_VREF1V8、AIN4/LPF0、AIN6（AD5940 のみ）。
 - ▶ センサー・エレクトロード・ピンである SE0、DE0、RE0、CE0 も ADC 電圧ピンとして測定できます。CE0 ピンでは 2 分割オプションが使用できます。
- ▶ 内部 ADC チャンネル。
 - ▶ AVDD、DVDD、AVDD_REG の電源測定チャンネル。
 - ▶ ADC、高速 DAC、低電力リファレンス電圧源。
 - ▶ 内部ダイ温度センサー。
 - ▶ 2 つの低電力 DAC 出力電圧、V_{BIAS0} および V_{ZERO0}。
- ▶ ADC の結果のポストプロセス機能。
 - ▶ デジタル・フィルタ（sinc2 および sinc3）および 50Hz/60Hz 電源電圧変動除去ノッチ・フィルタ。sinc2 フィルタおよび sinc3 フィルタには、プログラマブルなオーバーサンプリング・レートがあり、変換速度とノイズ性能のユーザによるトレードオフが可能です。
 - ▶ 離散フーリエ変換（DFT）。インピーダンス測定と併用して振幅と位相の値を自動的に計算します。
 - ▶ ADC 結果のプログラマブルな平均化。sinc2 フィルタと sinc3 フィルタを分離します。
 - ▶ 平均および分散を自動的に計算するためのプログラマブルな統計処理オプション。
- ▶ 電流チャンネル、電圧チャンネル、温度チャンネルのシステム・キャリブレーションをサポートする、複数のキャリブレーション・オプション。

ADC の入力段は入力バッファを備えており、全てのチャンネルにおいて低入力電流リーク仕様をサポートします。

入力範囲に応じた電流および電圧の範囲に対応するため、ADC のフロント・エンドには PGA と TIA があります。PGA は、1、

1.5、2、4、9 のゲインをサポートしています。低電力 TIA は、200Ω～512kΩ の範囲のプログラマブル・ゲイン抵抗をサポートしています。インピーダンス測定に用いられる高速 TIA は、200Ω～160kΩ の範囲のプログラマブル・ゲイン抵抗をサポートします。

デフォルトでは、ADC のリファレンス・ソースは高精度低ドリフトの 1.82V 内部リファレンス・ソースです。オプションで、外部リファレンスを VREF_1.82V ピンおよび AGND_REF ピンに接続することもできます。

ADC は、平均化フィルタおよびデジタル・フィルタのオプションにも対応しています。ユーザは、これらのオプションを用いて、速度と精度のトレードオフができます。ADC の最高更新レートは、通常動作モードの場合 800kHz、高速モードの場合 1.6MHz であり、デジタル・フィルタリングは行いません。ADC のフィルタリング・オプションには、50Hz/60Hz のメイン電源フィルタも含まれます。このノッチ・フィルタを有効化した場合、ADC の更新レートは 900Hz（代表値）になります。

ADC は、いくつかのポストプロセス機能にも対応しています。これには、処理要求をホスト・マイクロプロセッサから取り除くためのインピーダンス測定を目的とした、DFT エンジンが含まれます。最小値、最大値、平均値の検出にも対応しています。

ADC 回路の動作

SAR ADC は、電荷再配分 DAC に基づいています。容量性 DAC は、16 個のバイナリ重み付けコンデンサからなる 2 つの同一アレイで構成されており、アレイは 2 つのコンパレータ入力に接続されています。

DAC ブロックは、通常動作時に 16MHz で動作し、800kSPS でサンプリングを行います。ポストプロセス用の sinc3 フィルタおよび sinc2 フィルタは、この出力サンプリング・レートを減少させます。オーバーサンプリング・レートが 4 の sinc3 を用いることを推奨します。これにより、出力データ・レートは 200kSPS になります。

大電力モードでは、32MHz 発振器を ADC のクロック・ソースとして選択する必要があります。消費電力を高くすると、ADC の最大更新レートは 1.6MSPS になります。これが必要となるのは、80kHz を超える範囲でのインピーダンス測定を行う場合のみです。

ADC の伝達関数

図 32 の伝達関数は、y 軸の ADC 出力コードと ADC への差動電圧の関係を示しています。

図 32 において、ADC の負側入力チャンネルは 1.11V の電圧源です。

正側入力チャンネルは、TIA または PGA の後段や入力バッファ段の後段の ADC への電圧入力です。

高性能 ADC 回路

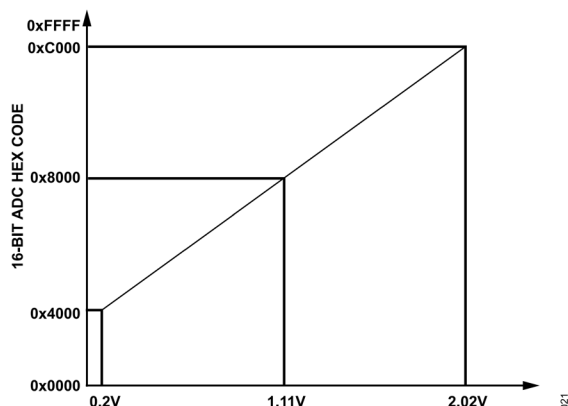


図 32. ADC の理想的な伝達関数
(PGA が 1 の場合の出力コードと電圧入力の関係)

入力電圧 V_{IN} は以下に示す式で計算します。

PGA ゲインが 1、2、4、または 9 の場合、次式を用います。

$$\frac{V_{REF}}{PGA_G} \times \left(\frac{ADCDAT - 0x8000}{2^{15}} \right) + VBIAS_CAP \quad (12)$$

PGA ゲインが 1.5 の場合は、次式を用います。

$$V_{IN} = \frac{1.835 \text{ V}}{PGA_G} \times \left(\frac{ADCDAT - 0x8000}{2^{15}} \right) + VBIAS_CAP \quad (13)$$

$VBIAS_CAP$ は、 $ADCCON[12:8] = 0x8$ の場合に計算に追加される点に注意してください。

ここで、

V_{REF} は、ADC のリファレンス電圧 (代表値は 1.82V)。

PGA_G は、PGA ゲインで、1、1.5、2、4、または 9 が選択可能。

$ADCDAT$ は、 $ADCDAT$ レジスタの生の ADC コード。

$VBIAS_CAP$ は、 $VBIAS_CAP$ ピンの電圧で、代表値は 1.11V。

PGA ゲインが 1.5 の場合の式が異なっているのは、このゲイン設定は工場においてキャリブレーションされているためです。その他の全てのゲイン設定は、工場でのキャリブレーションは行われていません。

ADC の低電力電流入力チャンネル

図 33 に、低電力 TIA の入力電流チャンネルを示します。ADC は、低電力 TIA の出力電圧を測定します。

正側入力、 $ADCCON$ のビット[5:0]を通じて選択できます。負側入力、通常、1.11V のリファレンス・ソースが選択されます。この選択は、 $VBIAS_CAP$ となるよう $ADCCON$ をビット[12:8] = 01000 に設定することで実行します。

正側電圧入力を増幅するために、オプションのプログラマブル・ゲイン段を選択することもできます。計装アンプは、 $AFECON$ のビット 10 を通じて有効化できます。ゲイン設定は、 $ADCCON$ のビット[18:16]を通じて設定されます。

ゲイン段の出力はアンチエイリアス・フィルタを通過します。アンチエイリアス・フィルタのカットオフ周波数は、PMBW のビット[3:2]によって設定されます。カットオフ周波数は、入力信号の帯域幅に合うように設定します。

ADC の出力コードは、オフセット補正係数とゲイン補正係数を用いてキャリブレーションされます。このデジタル調整係数は自動的に生じます。使用するオフセットおよびゲインの補正レジスタは、選択する ADC 入力チャンネルによって異なります。

R_{LOAD} 、 R_{TIA} 、 R_{FILTER} の各抵抗値を設定する方法の詳細については、低電力 TIA のセクションを参照してください。低電力 TIA の出力には、 R_{FILTER} および $AIN4/LPF0$ ピンに接続された外部コンデンサで構成されるローパス・フィルタがあります。 R_{FILTER} の代表値は $1M\Omega$ であり、外部コンデンサは $1\mu F$ とすることを推奨します。これにより低カットオフ周波数が可能になります。

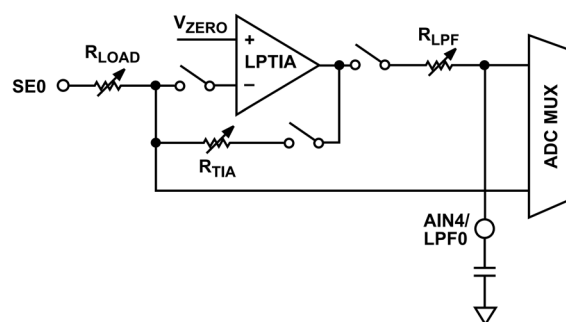


図 33. 低電力 TIA から ADC への電流入力チャンネル

ADC マルチプレクサへの入力の選択

最適な ADC 動作を実現するために、測定タイプに応じて推奨されるマルチプレクサ入力を以下に示します。

- ▶ 電圧測定
 - ▶ 正側マルチプレクサの選択 = $CE0$ 、 $RE0$ 、 $SE0$ 、 $DE0$ 、 $AINx$
 - ▶ 負側マルチプレクサの選択 = $VBIAS_CAP$ ピン
- ▶ 低電力 TIA の DC 電流測定
 - ▶ 正側マルチプレクサの選択 = 低電力 TIA のローパス・フィルタ
 - ▶ 負側マルチプレクサの選択 = $LPTIA_N$ ノード
- ▶ 低電力 TIA での AC 電流測定または広帯域幅電流測定
 - ▶ 正側マルチプレクサの選択 = $LPTIA_P$ ノード
 - ▶ $MUXSEL_N = LPTIA_N$ ノード
- ▶ 高速 TIA での電流およびインピーダンス測定
 - ▶ $MUXSEL_P$ = 正側高速 TIA 出力
 - ▶ $MUXSEL_N$ = 負側高速 TIA 出力

高性能 ADC 回路

ADC のポストプロセス

AD5940/AD5941 は、S/N 比および全体的な測定精度を向上するために、多数のデジタル・フィルタリング・オプションおよび平均化オプションを備えています。図 34 にポストプロセス・フィルタ・オプションの概要を示します。

ポストプロセス・フィルタ・オプションには、以下が含まれます。

- ▶ デジタル・フィルタリング (sinc2 および sinc3)、および 50Hz または 60Hz の電源変動除去ノッチ・フィルタリング。
- ▶ インピーダンス測定と併用して振幅と位相の値を自動的に計算する DFT。
- ▶ ADC 結果のプログラマブルな平均化。
- ▶ 平均および分散を自動的に計算するためのプログラマブルな統計処理オプション。

sinc3 フィルタ

sinc3 フィルタへの入力、800kHz (16MHz 発振器を選択している場合) または 1.6MHz (32MHz 発振器を選択している場合) のレートでの生の ADC コードです。ADC クロックが 32MHz の場合、ADCFILTERCON (ビット 0) = 0 です。この設定により、sinc3 ブロックが 1.6MHz のデータ・レートで正しく機能できます。sinc3 フィルタを有効化するには、ADCFILTERCON のビット 6 を 0 にします。フィルタのデシメーション・レートは、2、4、または 5 のオプションを用いて設定できます。4 のデシメーション・レートを用いることを推奨します。

ゲイン補正ブロックは、デフォルトで有効化されており、ユーザによるプログラムはできません。

内部温度センサー・チャンネル

AD5940/AD5941 には、内部温度センサー・チャンネルがあります。温度センサーは、ダイ温度に比例した電圧を出力します。この電圧は、温度に対し直線的で、この内部チャンネルは、温度センサー・チャンネルをマルチプレクサからの正側および負側の入力として選択することで、ADC を通じて測定されます。ダイ温度は次式で計算できます。

$$(TEMPSENSDAT0 / (PGA\ Gain \times K)) - 273.15 \quad (14)$$

ここで、 $K = 8.13$ 。

精度を向上するには、TEMPCON0 のビット[3:1]を用いて温度センサーをチョッピング・モードに設定します。チョッピングを選択する場合、ユーザは、温度センサーで偶数回の ADC 変換が行われ、それらの結果が平均化されるようにする必要があります。

温度センサー・チャンネル専用のキャリブレーション・レジスタも使用できます。ADC が温度センサーを正側入力として選択した場合、ADCOFFSETTEMPSENS0 レジスタと ADCGAINTEMPSENS0 レジスタのキャリブレーション値が自動的に用いられます。

内部温度センサーを有効化するには、AFECON のビット 12 = 1 に設定します。ADC の入力チャンネルの選択方法は次のとおりです。

- ▶ ADCCON のビット[12:8] = 1011 に設定すると、ADC の負側入力チャンネルが選択されます。
- ▶ ADCCON のビット[5:0] = 001011 に設定すると正側入力チャンネルが選択されます。

温度センサー・チャンネルの ADC 変換を開始するには、AFECON のビット 13 および AFECON のビット 8 を 1 に設定します。温度センサーの結果を最適化するには、温度センサーのチョッピング・モードを 6.25kHz のチョッピング周波数で有効化します。次いで、ADC 温度センサーの偶数個の結果を平均化することで、チョッピング・クロックによる誤差を取り除きます。

50Hz/60Hz のメイン除去フィルタ

メイン電源のノイズをフィルタリングするために 50Hz または 60Hz のノッチ・フィルタを有効化するには、ADCFILTERCON のビット 4 を 0 にクリアし、AFECON のビット 16 を 1 に設定します。入力は sinc2 フィルタの出力です。入力のレートは、sinc3 と sinc2 の設定に依存します。選択した場合、sinc2 フィルタの出力は、SINC2DAT レジスタを通じて読み出せます。表 41 に、50Hz と 60Hz の同時メイン除去に対応するデジタル・フィルタ設定を示します。

50Hz/60Hz ノッチ・フィルタ

測定応答に存在する 50Hz および 60Hz のノイズを除去するには、50Hz/60Hz ノッチ・フィルタを使用します。

ノッチ・フィルタ機能を使用するには、sinc3 フィルタをバイパスしないでください。また、ノッチ・フィルタを使用してもデータ・レートは変わりません。ノッチ・フィルタを使用するには、50Hz/60Hz ノッチ・フィルタへの入力の周波数が 50 および 60 の倍数でなくてはなりません。

ADC のキャリブレーション

AD5940/AD5941 には複数の入力タイプ (電流、電圧、温度など) があるため、オフセット・キャリブレーションとゲイン・キャリブレーションには複数のオプションがあります。AD5940/AD5941 ソフトウェア開発キットに組み込まれている自己キャリブレーション・システムは、様々な ADC 入力チャンネルをキャリブレーションするのに役立ちます。

表 41. 50Hz/60Hz の同時メイン除去に対応するデジタル・フィルタ設定

ADCFILTERCON, Bits[13:8] Value	Power Mode (PMBW, Bit 0)	ADC Clock Setting	Sinc3 Oversampling Setting	Sinc2 Oversampling Setting	Final ADC Output Update Rate	Filter Settling Time
0b000011	0 (low power mode)	16 MHz	5	178	900 SPS	37 ms
0b100111	0 (low power mode)	16 MHz	2	667	600 SPS	37 ms
0b101011	0 (low power mode)	16 MHz	2	1333	300 SPS	37 ms
0b101011	1 (high power mode)	32 MHz	2	1333	600 SPS	37 ms

高性能 ADC 回路

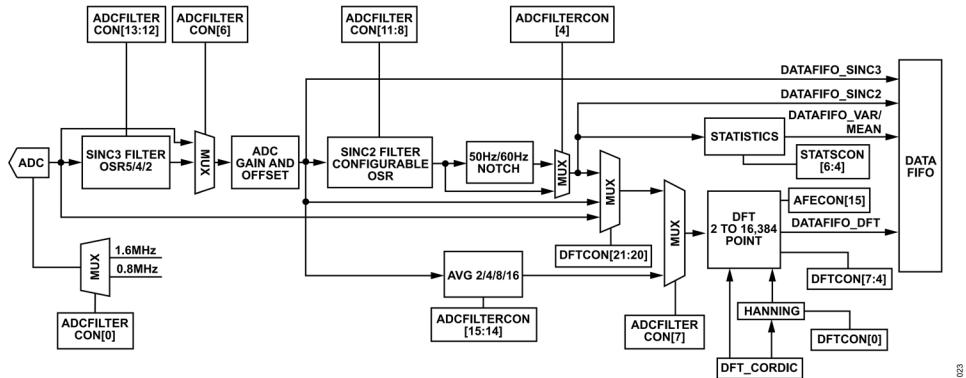


図 34. ポストプロセス・フィルタ・オプション

ADC 回路のレジスタ

表 42. ADC の制御レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002044	ADCFILTERCON	ADC 出力フィルタ設定レジスタ	0x00000301	R/W
0x00002074	ADCDAT	ADC の生の結果のレジスタ	0x00000000	R/W
0x00002078	DFTREAL	DFT 結果の実部のデバイス・レジスタ	0x00000000	R/W
0x0000207C	DFTIMAG	DFT 結果の虚部のデバイス・レジスタ	0x00000000	R/W
0x00002080	SINC2DAT	sinc2 フィルタ結果レジスタ	0x00000000	R/W
0x00002084	TEMPSENSDAT	温度センサー結果レジスタ	0x00000000	R/W
0x000020D0	DFTCON	DFT 設定レジスタ	0x00000090	R/W
0x00002174	TEMPSENS	温度センサー設定レジスタ	0x00000000	R/W
0x000021A8	ADCCON	ADC 設定レジスタ	0x00000000	R/W
0x000021F0	REPEATADCCNV	ADC 変換繰り返し制御レジスタ	0x00000160	R/W
0x0000238C	ADCBUFCON	ADC バッファ制御レジスタ	0x005F3D00	R/W

ADC 出力フィルタ設定レジスタ—ADCFILTERCON

アドレス 0x00002044、リセット：0x00000301、レジスタ名：ADCFILTERCON

表 43. ADCFILTERCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:19]	Reserved		予約済み。	0x0	R
18	DFTCLKENB	0 1	DFT クロックの有効化。 有効化。 無効化。	0x0	
17	DACWAVECLKENB	0 1	DAC 波クロックの有効化。 有効化。 無効化。	0x0	
16	SINC2CLKENB	0 1	sinc2 フィルタ・クロックの有効化。 有効化。 無効化。	0x0	
[15:14]	AVRGNUM	0 1 10 11	これらのビットは、平均化機能で使用するサンプル数を設定します。平均出力は DFT ブロックに直接供給され、DFT ソースは自動的に平均出力に変更されます。これらのビットを用いるには、AVRGEN ビットを 1 に設定する必要があります。 平均化機能に 2 個の ADC サンプルを使用。 平均化機能に 4 個の ADC サンプルを使用。 平均化機能に 8 個の ADC サンプルを使用。 平均化機能に 16 個の ADC サンプルを使用。	0x0	R/W

高性能 ADC 回路

表 43. ADCFILTERCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[13:12]	SINC3OSR	0 1 10 11	sinc3 フィルタのオーバーサンプリング・レート。 オーバーサンプリング・レートが 5。sinc3 フィルタ出力の更新レートが 160kHz で、ADC の更新レートが 800kSPS の場合に、この設定を使用します（デフォルト）。 オーバーサンプリング・レートが 4。sinc3 フィルタ出力の更新レートが 400kHz で ADC の更新レートが 1.6MSPS の場合にこの設定を使用します。大電力オプション。 オーバーサンプリング・レートが 2。sinc3 フィルタ出力の更新レートが 400kHz で ADC の更新レートが 800kSPS の場合にこの設定を使用します。 オーバーサンプリング・レートが 5。sinc3 フィルタ出力の更新レートが 160kHz で ADC の更新レートが 800kSPS の場合にこの設定を使用します。	0x0	R/W
[11:8]	SINC2OSR	0 1 10 11 100 101 110 111 1000 1001 1010 1011	sinc2 のオーバーサンプリング・レート（OSR）。 この OSR 設定の場合、22 サンプル。 この OSR 設定の場合、44 サンプル。 この OSR 設定の場合、89 サンプル。 この OSR 設定の場合、178 サンプル。 この OSR 設定の場合、267 サンプル。 この OSR 設定の場合、533 サンプル。 この OSR 設定の場合、640 サンプル。 この OSR 設定の場合、667 サンプル。 この OSR 設定の場合、800 サンプル。 この OSR 設定の場合、889 サンプル。 この OSR 設定の場合、1067 サンプル。 この OSR 設定の場合、1333 サンプル。	0x3	R/W
7	AVRGEN	0 1	ADC 平均化機能の有効化。平均出力は DFT ブロックに直接供給され、このビットが設定されている場合、DFT ソースは自動的に平均出力に変更されます。 平均を無効化。 平均を有効化して DFT ブロックに供給。	0x0	R/W
6	SINC3BYP	0 1	sinc3 フィルタのバイパス。このビットにより、sinc3 フィルタをバイパスします。 sinc3 フィルタを有効化。 sinc3 フィルタをバイパスします。800kHz または 1.6MHz の ADC の生の出力データが、ゲイン・オフセット調整段に直接供給されます。sinc3 フィルタをバイパスすると、200kHz の正弦波を振幅減衰なしで DFT ブロックが直接処理できます。sinc3 フィルタをバイパスし、ADC の生の出力レートが 800kHz である場合、ゲイン・オフセットブロック出力が DFT 入力として使用されます。	0x0	R/W
5	Reserved		予約済み	0x0	R
4	LPFBYPEN	0 1	50Hz/60Hz ノッチ・フィルタ。 50Hz/60Hz ノッチ・フィルタを有効化します。ADC の結果は SINC2DAT レジスタに書き込まれます。 50Hz ノッチ・フィルタおよび 60Hz ノッチ・フィルタをバイパスします。	0x0	R/W
[3:1]	Reserved		予約済み。	0x0	R
0	ADCSAMPLERATE	0 1	ADC のデータ・レート。フィルタリングしていない ADC の出力レート。 800kHz。 1.6MHz。ADC のサンプル・レートが 1.6MHz の場合、アナログへの ACLK 周波数は 32MHz でなくてはなりません（クロック設定を参照）。	0x0	R/W

ADC の生の結果レジスタ—ADCDAT

アドレス 0x00002074、リセット：0x00000000、レジスタ名：ADCDAT

ADCDAT レジスタは、生の ADC 出力、または、sinc3 や sinc2 フィルタ・オプションを選択した場合の ADC 結果レジスタです。

高性能 ADC 回路

表 44. ADCDAT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	Data		ADC の結果。このレジスタには、ADC の変換結果が格納されます。ユーザ設定に応じて、この結果は、生の出力、sinc3 フィルタ出力、または、sinc2 フィルタ出力を反映します。この結果は、16 ビットの符号なしの数値です。	0x0	R/W

DFT 結果の実部のデバイス・レジスタ—DFTREAL

アドレス 0x00002078、リセット：0x00000000、レジスタ名：DFTREAL

表 45. DFTREAL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:18]	Reserved		予約済み。	0x0	R
[17:0]	Data		DFT の実部。DFT ハードウェア・アクセラレータは、複素数をデカルト形式（実部および虚部）で返します。このレジスタは、この複素数の実部を 18 ビットで返します。DFT の結果は 2 の補数形式で表されます。	0x0	R/W

DFT 結果の虚部のデバイス・レジスタ—DFTIMAG

アドレス 0x0000207C、リセット：0x00000000、レジスタ名：DFTIMAG

表 46. DFTIMAG レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:18]	Reserved		予約済み。	0x0	R
[17:0]	Data		DFT の虚部。DFT ハードウェア・アクセラレータは、複素数をデカルト形式（実部および虚部）で返します。このレジスタは、この複素数の虚部を 18 ビットで返します。DFT の結果は 2 の補数形式で表されます。	0x0	R/W

sinc2 フィルタ結果レジスタ—SINC2DAT

アドレス 0x00002080、リセット：0x00000000、レジスタ名：SINC2DAT

表 47. SINC2DAT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	Data		ローパス・フィルタの結果。sinc2 フィルタの ADC 出力結果。このデータは 50Hz/60Hz 除去フィルタから出力されます。新しいデータが読み出し可能になると、INTCFLAG1 レジスタまたは INTCFLAG2 レジスタのビット 2 が 1 に設定されます。	0x0	R/W

温度センサー結果レジスタ—TEMPSENSDAT

アドレス 0x00002084、リセット：0x00000000、レジスタ名：TEMPSENSDAT

表 48. TEMPSSENSDAT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	Data		ADC の温度センサー・チャンネルの結果。	0x0	R/W

DFT 設定レジスタ—DFTCON

アドレス 0x000020D0、リセット：0x00000090、レジスタ名：DFTCON

高性能 ADC 回路

表 49. DFTCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:22]	Reserved		予約済み。	0x0	R
[21:20]	DFTINSEL		DFT 入力の選択。AVRGEN ビット（ADCFILTERCON レジスタのビット 7）が最も優先されます。このビットが 1 の場合、平均化ブロックの出力は DFTINSEL の設定とは無関係に DFT 入力として用いられます。 <div>00 sinc2 フィルタの出力。sinc2 フィルタからの出力を選択します。</div> <div>01 sinc3 を用いた場合、または用いない場合のゲイン・オフセット出力。この設定は、ADC のゲインおよびオフセット補正段からの出力を選択します。sinc3 フィルタがバイパスされている場合（ADCFILTERCON レジスタの SINC3BYP ビットが1）、ゲイン／オフセット補正を経た ADC 生データが DFT 入力になります。sinc3 がバイパスされていない場合（ADCFILTERCON レジスタの SINC3BYP ビットが0）、ゲイン／オフセット補正を経た sinc3 出力が DFT 入力になります。</div> <div>10 ADC の生データ。ADC からの直接出力を選択します。オフセット／ゲイン補正はありません。ADC のサンプル・レートが 800kHz の場合のみサポートされます。</div> <div>11 sinc2 フィルタの出力。sinc2 フィルタからの出力を選択します。00 と同じです。</div>	0x0	R/W
[19:8]	Reserved		予約済み。	0x0	R
[7:4]	DFTNUM		使用する ADC サンプル。DFT の数は 4～16,384 です。 <div>0 DFT のポイント数は 4。DFT は 4 個の ADC サンプルを使用します。</div> <div>1 DFT のポイント数は 8。DFT は 8 個の ADC サンプルを使用します。</div> <div>10 DFT のポイント数は 16。DFT は 16 個の ADC サンプルを使用します。</div> <div>11 DFT のポイント数は 32。DFT は 32 個の ADC サンプルを使用します。</div> <div>100 DFT のポイント数は 64。DFT は 64 個の ADC サンプルを使用します。</div> <div>101 DFT のポイント数は 128。DFT は 128 個の ADC サンプルを使用します。</div> <div>110 DFT のポイント数は 256。DFT は 256 個の ADC サンプルを使用します。</div> <div>111 DFT のポイント数は 512。DFT は 512 個の ADC サンプルを使用します。</div> <div>1000 DFT のポイント数は 1024。DFT は 1024 個の ADC サンプルを使用します。</div> <div>1001 DFT のポイント数は 2048。DFT は 2048 個の ADC サンプルを使用します。</div> <div>1010 DFT のポイント数は 4096。DFT は 4096 個の ADC サンプルを使用します。</div> <div>1011 DFT のポイント数は 8192。DFT は 8192 個の ADC サンプルを使用します。</div> <div>1100 DFT のポイント数は 16,384。DFT は 16,384 個の ADC サンプルを使用します。</div>	0x9	R/W
[3:1]	Reserved		予約済み。	0x0	R
0	HANNINGEN		ハニング窓の有効化。 <div>0 ハニング窓を無効化します。</div> <div>1 ハニング窓を有効化します。</div>	0x0	R/W

温度センサー設定レジスターTEMPSENS

アドレス 0x00002174、リセット：0x00000000、レジスタ名：TEMPSENS

表 50. TEMPSSENS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:4]	Reserved		予約済み。	0x0	R
[3:2]	CHOPFRESEL	00 01 10 11	チョッピング・モード周波数の設定。これらのビットは、チョッピング・モードのスイッチング周波数を設定します。 チョッピング・スイッチ周波数 = 6.25kHz。 チョッピング・スイッチ周波数 = 25kHz。 チョッピング・スイッチ周波数 = 100kHz。 チョッピング・スイッチ周波数 = 200kHz。	0x0	R/W
1	CHOPCON	0 1	温度センサーのチョッピング・モード。温度センサー・チャンネルのチョッピング制御信号。 0 チョッピングを無効化。 1 チョッピングを有効化。チョッピングが有効化されている場合、2 倍の数の連続サンプルを取り、その結果を平均して最終的な温度センサー・チャンネルの読出し値を得ます。チョッピングにより、このチャンネルに関連するオフセット誤差が低減します。	0x0	R/W
0	Enable	0 1	使用しません。温度センサーの有効化。AFECON のビット 12 はこのビットをオーバーライドします。 0 温度センサーを無効化。 1 温度センサーを有効化。温度センサーの有効化。AFECON のビット 12 はこのビットをオーバーライドします。	0x0	R/W

高性能 ADC 回路

ADC 設定レジスタ—ADCCON

アドレス 0x000021A8、リセット：0x00000000、レジスタ名：ADCCON

表 51. ADCCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:29]	Reserved		予約済み。	0x0	R
[18:16]	GNPGA	0 1 10 11 100 101	PGA ゲインのセットアップ。 ゲイン = 1。 ゲイン = 1.5。 ゲイン = 2。 ゲイン = 4。 ゲイン = 9。 ゲイン = 9。	0x0	R/W
15	GNOFSELPGA	0 1	内部オフセット/ゲインのキャンセル。 DC オフセットのキャンセルを無効化。 DC オフセットのキャンセルを有効化。PGA が有効化されている場合、ゲインの値が 4 の場合のみサポートされます。	0x0	R/W
[14:13]	Reserved		予約済み。	0x0	R/W
[12:8]	MUXSELN	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	負側入力として、ADC 入力マルチプレクサの信号を選択します。 フローティング入力。 高速 TIA の負側入力。 低電力 TIA の負側入力。 予約済み。 AIN0。 AIN1。 AIN2。 AIN3/BUF_VREF1V8。 VBIAS_CAP。 予約済み。 予約済み。 温度センサーの負側入力。TEMPSEN_N。 AIN4/LPF0。 予約済み。 AIN6。 (AD5940 のみ) 予約済み。 VZERO0—VZERO ピンで測定。 VBIAS0—VBIAS ピンで測定。 予約済み。 予約済み。 励起アンプの負側ノード。 予約済み。 予約済み。	0x0	R/W

高性能 ADC 回路

表 51. ADCCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	Reserved		予約済み。	0x0	R
[5:0]	MUXSELP		正側入力としての ADC 入力マルチプレクサの信号を選択します。	0x0	R/W
		00000	フローティング入力。		
		00001	高速 TIA の正側信号。		
		00010	予約済み。		
		00011	予約済み。		
		00100	AIN0 ピン。		
		00101	AIN1 ピン。		
		00110	AIN2 ピン。		
		00111	AIN3/BUF_VREF1V8。		
		01000	AVDD/2。		
		01001	DVDD/2。		
		01010	AVDD_REG/2。		
		01011	内部温度センサー。		
		01100	VBIAS_CAP。		
		01101	DE0 の電圧—ピンでの測定値		
		01110	SE0 の電圧—ピンでの測定値		
		01111	AFE3。		
		010000	1.25 V。2.5V 内部リファレンス・バッファの出力の 2 分の 1。		
		010001	予約済み。		
		010010	HSDAC の 1.8V 内部リファレンス。このビットは、AFECON のビット 20 と AFECON のビット 6 の両方がセットされている場合のみ使用できます。		
		010011	内部温度センサーの負側端子（TEMPSENS_N）。		
		010100	AIN4/LPF0 ピンの電圧。		
		010101	予約済み。		
		010110	AIN6（AD5940 のみ）		
		010111	VZERO—VZERO ピンで測定		
		011000	VBIAS—VBIAS ピンで測定		
		011001	CE0 ピンの電圧、V _{CE0} 。		
		011010	RE0 ピンの電圧、V _{RE0} 。		
		011011	AFE4 ピンの電圧		
		011100	予約済み。		
		011101	AFE1 ピンの電圧		
		011110	AFE2 ピンの電圧		
		011111	VCE0 の 2 分の 1		
		100000	予約済み。		
		100001	低電力 TIA の正側出力、LPTIA_P。		
		100010	予約済み。		
		100011	AGND_REF。		
		100100	励起バッファ P ノードのバッファ化電圧。		

ADC 変換繰り返し制御レジスタ—REPEATADCCNV

アドレス 0x000021F0、リセット：0x00000160、レジスタ名：REPEATADCCNV

表 52. REPEATADCCNV レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:4]	NUM	1 0xFF	繰り返し値。これらのビットに 0 を書き込むと予測できない動作の原因になります。 1 回の変換。 256 回の変換。	0x16	R/W
[3:1]	Reserved		予約済み。	0x0	R
0	EN_P enable	0 1	ADC 変換の繰り返しの有効化。 ADC 変換の繰り返しを無効化。 ADC 変換の繰り返しの有効化。	0x0	R/W

高性能 ADC 回路

ADC バッファ制御レジスタ—ADCBUFCON

アドレス 0x0000238C、リセット：0x005F3D00、レジスタ名：ADCBUFCON

推奨値は、大電力モードの場合 0x005F3D0F、低電力モードの場合 0x005F3D04 です。

表 53. ADCBUFCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:9]	Reserved		予約済み。	0x0	R
[8:4]	AMPDIS		これらのビットを 1 に設定するとオペアンプが無効化されます。これらのビットを 0 に設定するとオペアンプが有効化されます。 ビット 8 はオフセット・キャンセル・バッファを制御します。 ビット 7 は ADC バッファを制御します。 ビット 6 は PGA を制御します。 ビット 5 は正側フロント・エンド・バッファを制御します。 ビット 4 は負側フロント・エンド・バッファを制御します。	0x10	R/W
[3:0]	CHOPDIS		これらのビットを 1 に設定するとチョッピングが無効化されます。これらのビットを 0 に設定するとチョッピングが有効化されます。80kHz 未満の信号を測定する場合は、これらのビットをクリアします。80kHz を超える信号を測定する場合は、これらのビットをセットします。 ビット 3 はオフセット・キャンセル・バッファを制御します。 ビット 2 は ADC バッファを制御します。 ビット 1 は PGA を制御します。 ビット 0 はフロント・エンド・バッファを制御します。	0x0	R/W

ADC キャリブレーション・レジスタ

表 54. ADC キャリブレーション・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002230	CALDATLOCK	ADC キャリブレーション・ロック・レジスタ	0x00000000	R/W
0x00002288	ADCOFFSETLPTIA	低電力 TIA チャンネルの ADC オフセット・キャリブレーション・レジスタ	0x00000000	R/W
0x0000228C	ADCGNLPTIA	低電力 TIA チャンネルの ADC ゲイン・キャリブレーション・レジスタ	0x00004000	R/W
0x00002234	ADCOFFSETHSTIA	高速 TIA チャンネルの ADC オフセット・キャリブレーション・レジスタ	0x00000000	R/W
0x00002284	ADCGAINHSTIA	高速 TIA チャンネルの ADC ゲイン・キャリブレーション・レジスタ	0x00004000	R/W
0x00002244	ADCOFFSETGN1	ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 1) レジスタ	0x00000000	R/W
0x00002240	ADCGAINGN1	ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 1) レジスタ	0x00004000	R/W
0x000022CC	ADCOFFSETGN1P5	ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 1.5) レジスタ	0x00000000	R/W
0x00002270	ADCGAINGN1P5	ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 1.5) レジスタ	0x00004000	R/W
0x000022C8	ADCOFFSETGN2	ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 2) レジスタ	0x00000000	R/W
0x00002274	ADCGAINGN2	ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 2) レジスタ	0x00004000	R/W
0x000022D4	ADCOFFSETGN4	ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 4) レジスタ	0x00000000	R/W
0x00002278	ADCGAINGN4	ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 4) レジスタ	0x00004000	R/W
0x000022D0	ADCOFFSETGN9	ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 9) レジスタ	0x00000000	R/W
0x00002298	ADCGAINGN9	ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 9) レジスタ	0x00004000	R/W
0x0000223C	ADCOFFSETTEMPSENS	ADC オフセット・キャリブレーション温度センサー・チャンネル・レジスタ	0x00000000	R/W
0x00002238	ADCGAINTMPSENS	ADC ゲイン・キャリブレーション温度センサー・チャンネル・レジスタ	0x00004000	R/W

高性能 ADC 回路

キャリブレーション・データ・ロック・レジスタ—CALDATLOCK

アドレス 0x00002230、リセット：0x00000000、レジスタ名：CALDATLOCK

表 55. CALDATLOCK レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:0]	Key	0xDE87A5AF	キャリブレーション・データ・レジスタ用のパスワード。これらのビットにより、キャリブレーション・フェーズ後にデータが上書きされるのを防止できます。この値を書き込むと、キャリブレーション・レジスタのロックを解除できます。	0x0	R/W

低電力 TIA チャンネルの ADC オフセット・キャリブレーション・レジスタ—ADCOFFSETLPTIA

アドレス 0x00002288、リセット：0x00000000、レジスタ名：ADCOFFSETLPTIA

表 56. ADCOFFSETLPTIA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	低電力 TIA 用のオフセット・キャリブレーション。低電力 TIA チャンネル用の ADC オフセット補正は、2 の補数で表されます。キャリブレーションの分解能は、ADCDAT の LSB サイズの 0.25LSB です。 4095.75。正の最大オフセット・キャリブレーション値。 0.25。正の最小オフセット・キャリブレーション値。 0。オフセット調整を行いません。 -0.25。負の最小オフセット・キャリブレーション値。 -4096.0。負の最大オフセット・キャリブレーション値。	0x0	R/W

低電力 TIA チャンネルの ADC ゲイン・キャリブレーション・レジスタ—ADCGNLPTIA

アドレス 0x0000228C、リセット：0x00004000、レジスタ名：ADCGNLPTIA

表 57. ADCGNLPTIA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x7FFF 0x4001 0x4000 0x3FFF 0x2000 0x0001 0x0000	低電力 TIA 用のゲイン誤差キャリブレーション。 2。正の最大ゲイン調整。 1.000 061。正の最小ゲイン調整。 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト）。 0.999939。負の最小ゲイン調整。 0.5。ADC 結果の 0.5 倍。 0.000061。負の最大ゲイン調整。 0。不正な値。ADC 結果が 0 になります。	0x4000	R/W

高速 TIA チャンネルの ADC オフセット・キャリブレーション・レジスタ—ADCOFFSETHSTIA

アドレス 0x00002234、リセット：0x00000000、レジスタ名：ADCOFFSETHSTIA

高性能 ADC 回路

表 58. ADCOFFSETHSTIA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	高速 TIA のオフセット・キャリブレーション。高速 TIA 測定モード用の ADC オフセット補正。2 の補数で表されます。キャリブレーションの分解能は、ADCDAT の LSB サイズの 0.25LSB です。 4095.75。正の最大オフセット・キャリブレーション値。 0.25。正の最小オフセット・キャリブレーション値。 0。オフセット補正なし。 -0.25。負の最小オフセット補正。 -4096.0。負の最大オフセット補正。	0x0	R/W

高速 TIA チャンネルの ADC ゲイン・キャリブレーション・レジスタ—ADCGAINHSTIA

アドレス 0x00002284、リセット：0x00004000、レジスタ名：ADCGAINHSTIA

表 59. ADCGAINHSTIA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x7FFF 0x4001 0x4000 0x3FFF 0x2000 0x0001 0x0000	高速 TIA チャンネルのゲイン・エラー・キャリブレーション。 2。正の最大ゲイン調整。 1.000061。正の最小ゲイン調整。 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト）。 0.999939。負の最小ゲイン調整。 0.5。ADC 結果の 0.5 倍。 0.000061。負の最大ゲイン調整。 0。不正な値。ADC 結果が 0 になります。	0x4000	R/W

ADC オフセット・キャリブレーション補助チャンネル（PGA ゲイン = 1）レジスタ—ADCOFFSETGN1

アドレス 0x00002244、リセット：0x00000000、レジスタ名：ADCOFFSETGN1

表 60. ADCOFFSETGN1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	オフセット・キャリブレーション・ゲイン = 1。PGA ゲインが 1 の補助チャンネル用 ADC オフセット補正。2 の補数で表されます。キャリブレーションの分解能は、ADCDAT の LSB サイズの 0.25LSB です。そのため、キャリブレーションの分解能は、 $\pm V_{REF}/2^{18}$ です。 $V_{REF} = 1.82V$ の場合、キャリブレーションの分解能は、 $1.82/2^{17} = 13.885\mu V$ です。 4095.75。正の最大オフセット・キャリブレーション値。 0.25。正の最小オフセット・キャリブレーション値。 0。オフセット調整を行いません。 -0.25。負の最小オフセット・キャリブレーション値。 -4096。負の最大オフセット・キャリブレーション値。	0x0	R/W

ADC ゲイン・キャリブレーション補助入力チャンネル（PGA ゲイン = 1）レジスタ—ADCGAINGN1

アドレス 0x00002240、リセット：0x00004000、レジスタ名：ADCGAINGN1

ADCGAINGN1 レジスタは、AINx チャンネルを含む ADC への電圧入力チャンネルに対するゲイン・キャリブレーションを可能にします。

高性能 ADC 回路

表 61. ADCGAINGN1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x0000 0。 0x2000 0.5。 0x4000 1.0。 0x4001 1.000061。 0x7FFF 2。 0x0001 0.000061。 0x3FFF 0.999939。	PGA ゲイン = 1 の場合のゲイン・キャリブレーション。補助入力チャンネル用の ADC ゲイン補正。これらのビットは、PGA ゲインが 1 の場合に、TIA チャンネルおよび温度センサー・チャンネルを除く全てのチャンネルで用いられます。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。 0。不正な値。ADC 結果が 0x8000 になります。 0.5。ADC 結果の 0.5 倍。 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト）。 1.000061。正の最小ゲイン調整。 2。正の最大ゲイン調整。 0.000061。負の最大ゲイン調整。 0.999939。負の最小ゲイン調整。	0x4000	R/W

ADC オフセット・キャリブレーション補助入力チャンネル（PGA ゲイン = 1.5）レジスタ—ADCOFFSETGN1P5

アドレス 0x000022CC、リセット：0x00000000、レジスタ名：ADCOFFSETGN1P5

ADCOFFSETGN1P5 レジスタは、PGA ゲイン = 1.5 の場合の ADC 入力オフセット・キャリブレーションを可能にします。

表 62. ADCOFFSETGN1P5 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 4095.75。 0x0001 0.25。 0x0000 0。 0x7FFF -0.25。 0x4000 -4096。	オフセット・キャリブレーション・ゲイン = 1.5。PGA ゲイン = 1.5 の場合の ADC オフセット補正。 4095.75。正の最大オフセット・キャリブレーション値。 0.25。正の最小オフセット・キャリブレーション値。 0。オフセット調整を行いません。 -0.25。負の最小オフセット・キャリブレーション値。 -4096。負の最大オフセット・キャリブレーション値。	0x0	R/W

ADC ゲイン・キャリブレーション補助入力チャンネル（PGA ゲイン = 1.5）レジスタ—ADCGAINGN1P5

アドレス 0x00002270、リセット：0x00004000、レジスタ名：ADCGAINGN1P5

ADCGAINGN1P5 レジスタは、AINx チャンネルを含む ADC への電圧入力チャンネルに対するゲイン・キャリブレーションを可能にします。

表 63. ADCGAINGN1P5 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x0000 0。 0x2000 0.5。 0x4000 1.0。 0x4001 1.000061。 0x7FFF 2。 0x0001 0.000061。 0x3FFF 0.999939。	PGA ゲイン = 1.5 の場合のゲイン・キャリブレーション。これらのビットは、補助入力チャンネルに対する ADC ゲイン補正を可能にします。これらのビットは、PGA ゲインが 1.5 の場合に、TIA チャンネルおよび温度センサー・チャンネルを除く全てのチャンネルで用いられます。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。 0。不正な値。ADC 結果が 0 になります。 0.5。ADC 結果の 0.5 倍。 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト値）。 1.000061。正の最小ゲイン調整。 2。正の最大ゲイン調整。 0.000061。負の最大ゲイン調整。 0.999939。負の最小ゲイン調整。	0x4000	R/W

高性能 ADC 回路

ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 2) レジスタ—ADCOFFSETGN2

アドレス 0x000022C8、リセット : 0x00000000、レジスタ名 : ADCOFFSETGN2

ADCOFFSETGN2 レジスタは、PGA ゲイン = 2 の場合の ADC 入力オフセット・キャリブレーションを可能にします。

表 64. ADCOFFSETGN2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 2)。これらのビットは、PGA ゲイン = 2 を用いて入力に対する ADC オフセット補正を可能にします。これが 2 の補数で表されます。キャリブレーションの分解能は、ADCDAT の LSB サイズの 0.25LSB です。そのため、キャリブレーションの分解能は、 $\pm V_{REF}/2^{18}$ です。 $V_{REF} = 1.82V$ の場合、キャリブレーションの分解能は、 $1.8/2^{17} = 13.73\mu V$ です。 4095.75。正の最大オフセット・キャリブレーション値。 0.25。正の最小オフセット・キャリブレーション値。 0。オフセット調整を行いません。 -0.25。負の最小オフセット・キャリブレーション値。 -4096。負の最大オフセット・キャリブレーション値。	0x0	R/W

ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 2) レジスタ—ADCGAINGN2

アドレス 0x00002274、リセット : 0x00004000、レジスタ名 : ADCGAINGN2

ADCGAINGN2 レジスタは、PGA がゲイン = 2 で有効化されている場合に、AINx チャンネルを含む ADC への電圧入力チャンネルに対するゲイン・キャリブレーションを可能にします。

表 65. ADCGAINGN2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x0000 0x2000 0x4000 0x4001 0x7FFF 0x0001 0x3FFF	PGA ゲイン = 2 の場合のゲイン・キャリブレーション。これらのビットは、補助入力チャンネルに対する ADC ゲイン補正を可能にします。これらのビットは、PGA ゲインが 2 の場合に、TIA チャンネルおよび温度センサー・チャンネルを除く全てのチャンネルで用いられます。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。 0。不正な値。ADC 結果が 0 になります。 0.5。ADC 結果の 0.5 倍。 1.0。ADC 結果の 1 倍。ゲイン調整なし (デフォルト値)。 1.000061。正の最小ゲイン調整。 2。正の最大ゲイン調整。 0.000061。負の最大ゲイン調整。 0.999939。負の最小ゲイン調整。	0x4000	R/W

ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 4) レジスタ—ADCOFFSETGN4

アドレス 0x000022D4、リセット : 0x00000000、レジスタ名 : ADCOFFSETGN4

ADCOFFSETGN4 レジスタは、PGA ゲイン = 4 の場合の ADC 入力オフセット・キャリブレーションを可能にします。

表 66. ADCOFFSETGN4 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	オフセット・キャリブレーション・ゲイン = 4。PGA ゲイン = 4 の場合の ADC オフセット補正。 +4095.75。正の最大オフセット・キャリブレーション値。 +0.25。正の最小オフセット・キャリブレーション値。 0。オフセット調整を行いません。 -0.25。負の最小オフセット・キャリブレーション値。 -4096。負の最大オフセット・キャリブレーション値。	0x0	R/W

高性能 ADC 回路

ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 4) レジスタ—ADCGAINGN4

アドレス 0x00002278、リセット : 0x00004000、レジスタ名 : ADCGAINGN4

ADCGAINGN4 レジスタは、PGA がゲイン = 4 で有効化されている場合に、AINx チャンネルを含む ADC への電圧入力チャンネルに対するゲイン・キャリブレーションを可能にします。

表 67. ADCGAINGN4 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x0000 0. 不正な値。ADC 結果が 0 になります。 0x2000 0.5。ADC 結果の 0.5 倍。 0x4000 1.0。ADC 結果の 1 倍。ゲイン調整なし (デフォルト値)。 0x4001 1.000061。正の最小ゲイン調整。 0x7FFF 2。正の最大ゲイン調整。 0x0001 0.000061。負の最大ゲイン調整。 0x3FFF 0.999939。負の最小ゲイン調整。	PGA ゲイン = 4 の場合のゲイン・キャリブレーション。これらのビットは、補助入力チャンネルに対する ADC ゲイン補正を可能にします。これらのビットは、PGA ゲインが 4 の場合に、TIA チャンネルおよび温度センサー・チャンネルを除く全てのチャンネルで用いられます。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。	0x4000	R/W

ADC オフセット・キャリブレーション補助入力チャンネル (PGA ゲイン = 9) レジスタ—ADCOFFSETGN9

アドレス 0x000022D0、リセット : 0x00000000、レジスタ名 : ADCOFFSETGN9

ADCOFFSETGN9 レジスタは、PGA ゲイン = 9 の場合の ADC 入力オフセット・キャリブレーションを可能にします。

表 68. ADCOFFSETGN9 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 4095.75。正の最大オフセット・キャリブレーション値。 0x0001 0.25。正の最小オフセット・キャリブレーション値。 0x0000 0。オフセット調整を行いません。 0x7FFF -0.25。負の最小オフセット・キャリブレーション値。 0x4000 -4096。負の最大オフセット・キャリブレーション値。	オフセット・キャリブレーション・ゲイン = 9。PGA ゲイン = 9 の場合の ADC オフセット補正。	0x0	R/W

ADC ゲイン・キャリブレーション補助入力チャンネル (PGA ゲイン = 9) レジスタ—ADCGAINGN9

アドレス 0x00002298、リセット : 0x00004000、レジスタ名 : ADCGAINGN9

ADCGAINGN9 レジスタは、PGA がゲイン = 9 で有効化されている場合に、AINx チャンネルを含む ADC への電圧入力チャンネルに対するゲイン・キャリブレーションを可能にします。

高性能 ADC 回路

表 69. ADCGAINGN9 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x0000 0. 不正な値。ADC 結果が 0 になります。 0x2000 0.5。ADC 結果の 0.5 倍。 0x4000 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト値）。 0x4001 1.000061。正の最小ゲイン調整。 0x7FFF 2。正の最大ゲイン調整。 0x0001 0.000061。負の最大ゲイン調整。 0x3FFF 0.999939。負の最小ゲイン調整。	PGA ゲイン = 9 の場合のゲイン・キャリブレーション。これらのビットは、補助入力チャンネルに対する ADC ゲイン補正を可能にします。これらのビットは、PGA ゲインが 9 の場合に、TIA チャンネルおよび温度センサー・チャンネルを除く全てのチャンネルで用いられます。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。	0x4000	R/W

ADC オフセット・キャリブレーション温度センサー・チャンネル・レジスタ—ADCOFFSETTEMPSENS

アドレス 0x0000223C、リセット：0x00000000、レジスタ名：ADCOFFSETTEMPSENS

表 70. ADCOFFSETTEMPSENS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	Value	0x3FFF 4095.75。正の最大オフセット・キャリブレーション値。 0x0001 0.25。正の最小オフセット・キャリブレーション値。 0x0000 0。オフセット調整を行いません。 0x7FFF -0.25。負の最小オフセット・キャリブレーション値。 0x4000 -4096。負の最大オフセット・キャリブレーション値。	温度センサーのオフセット・キャリブレーション。これらのビットは、温度センサー・チャンネルに対する ADC オフセット補正を可能にし、2 の補数で表されます。キャリブレーションの分解能は、ADCDAT の LSB サイズの 0.25LSB です。そのため、キャリブレーションの分解能は、 $\pm V_{REF}/2^{18}$ です。 $V_{REF} = 1.82V$ の場合、キャリブレーションの分解能は、 $1.82/2^{17} = 13.73\mu V$ です。	0x0	R/W

ADC ゲイン・キャリブレーション温度センサー・チャンネル・レジスタ—ADCGAINTempsens

アドレス 0x00002238、リセット：0x00004000、レジスタ名：ADCGAINTempsens

ADCGAINTempsens レジスタは、内部温度センサーを測定する場合に用いる ADC ゲイン・キャリブレーション値を提供します。

表 71. ADCGAINTempsens レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
[14:0]	GAINTempsens	0x0000 0. 不正な値。ADC 結果が 0 になります。 0x2000 0.5。ADC 結果の 0.5 倍。 0x4000 1.0。ADC 結果の 1 倍。ゲイン調整なし（デフォルト値）。 0x4001 1.000061。正の最小ゲイン調整。 0x7FFF 2。正の最大ゲイン調整。 0x0001 0.000061。負の最大ゲイン調整。 0x3FFF 0.999939。負の最小ゲイン調整。	温度センサー・チャンネルのゲイン・キャリブレーション。これらのビットは、温度センサー・チャンネルに対する ADC ゲイン補正を可能にします。この値は符号付きの数値として保存されます。ビット 14 は符号ビットであり、ビット[13:0]はフラクショナル部分を表します。	0x4000	R/W

高性能 ADC 回路

ADC デジタル・ポストプロセス・レジスタ（オプション）

表 72. ADC デジタル・ポストプロセス・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x000020A8	ADCMIN	ADC 最小値チェック・レジスタ	0x00000000	R/W
0x000020AC	ADCMINSM	ADC 最小ヒステリシス値レジスタ	0x00000000	R/W
0x000020B0	ADCMAX	ADC 最大値チェック・レジスタ	0x00000000	R/W
0x000020B4	ADCMAXSMEN	ADC 最大ヒステリシス値レジスタ	0x00000000	R/W
0x000020B8	ADCDELTA	ADC デルタ値チェック・レジスタ	0x00000000	R/W

ADC 最小値チェック・レジスタ—ADCMIN

アドレス 0x000020A8、リセット：0x00000000、レジスタ名：ADCMIN

表 73. ADCMIN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	MINVAL		ADC 最小値スレッショルド。この値は、ADCDAT の下限スレッショルド値です。MINVAL ビットの値未満の値が ADC で測定された場合、INTCFLAG0 レジスタ、または INTCFLAG1 レジスタの FLAG4 ビットが 1 に設定されます。	0x0	R/W

ADC 最小ヒステリシス値レジスタ—ADCMINSM

アドレス 0x000020AC、リセット：0x00000000、レジスタ名：ADCMINSM

表 74. ADCMINSM レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	MINCLRVAL		ADCMIN のヒステリシス値。ADCMIN より小さい値が ADC で測定された場合、INTCFLAG0 レジスタ、または INTCFLAG1 レジスタの FLAG4 ビットがセットされます。FLAG4 ビットは、ADCDAT レジスタの値が ADCMIN のビット[15:0] + ADCMINSM のビット[15:0] を超えるまでセットされます。	0x0	R/W

ADC 最大値チェック・レジスタ—ADCMAX

アドレス 0x000020B0、リセット：0x00000000、レジスタ名：ADCMAX

表 75. ADCMAX レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	MAXVAL		ADC の最大スレッショルド。これらのビットは、オプションの最大 ADCDAT スレッショルドを形成します。ADCMAX より小さい値が ADC で測定された場合、INTCFLAG0 レジスタまたは INTCFLAG1 レジスタの FLAG5 ビットが 1 に設定されます。	0x0	R/W

ADC 最大ヒステリシス値レジスタ—ADCMAXSMEN

Address 0x000020B4, Reset: 0x00000000, Name: ADCMAXSMEN

表 76. ADCMAXSMEN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	MAXSWEN		ADCMAX のヒステリシス値。ADCMAX レジスタの値より大きい値が ADC で測定された場合、INTCFLAG0 レジスタまたは INTCFLAG1 レジスタの FLAG5 ビットが 1 に設定されます。FLAG5 ビットは、ADCDAT レジスタの値が ADCMAX のビット[15:0] - ADCMAXSMEN のビット[15:0] を下回るまでセットされます。	0x0	R/W

高性能 ADC 回路

ADC デルタ値チェック・レジスタ—ADCDELTA

アドレス 0x000020B8、リセット：0x00000000、レジスタ名：ADCDELTA

表 77. ADCDELTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	DELTAVAL		ADCDAT コード差制限オプシオン。2 つの連続する ADCDAT レジスタ結果が ADCDELTA のビット[15:0]より大きな差となった場合、INTCFLAG0 レジスタまたは INTCFLAG1 レジスタの FLAG6 ビットを通じてエラー・フラグがセットされます。	0x0	R/W

ADC 統計レジスタ

表 78. ADC 統計レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x000021C0	STATSVAR	分散出力レジスタ	0x00000000	R
0x000021C4	STATSCON	平均、分散、外れ値検出のブロックを含む、統計制御モジュール設定レジスタ。	0x00000000	R/W
0x000021C8	STATSMEAN	平均値出力レジスタ。	0x00000000	R

分散出力レジスタ—STATSVAR

アドレス 0x000021C0、リセット：0x00000000、レジスタ名：STATSVAR

表 79. STATSVAR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
31	Reserved		予約済み。	0x0	R
[30:0]	Variance		統計的分散値。この値は、平均値からの差を示します。	0x0	R

統計制御レジスタ—STATSCON

アドレス 0x000021C4、リセット：0x00000000、レジスタ名：STATSCON

表 80. STATSCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:7]	STDDEV		標準偏差の設定。	0x0	R/W
[6:4]	SAMPLENUM		サンプル・サイズ。これらのビットは、各統計計算で用いる ADC サンプルの数を設定します。 0 128 サンプル。 1 64 サンプル。 10 32 サンプル。 11 16 サンプル。 100 8 サンプル。	0x0	R/W
[3:1]	Reserved		予約済み。	0x0	R/W
0	STATSEN		統計処理の有効化。 0 統計処理を無効化。 1 統計処理を有効化。	0x0	R/W

高性能 ADC 回路

統計平均値出力レジスタ—STATSMEAN

アドレス 0x000021C8、リセット : 0x00000000、レジスタ名 : STATSMEAN

表 81. STATSMEAN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	Mean		平均値の出力。これらのビットは、STATSCONのビット[6:4]で設定される ADC サンプルの数に基づいて計算された平均値を形成します。	0x0	R

プログラマブルなスイッチ・マトリクス

AD5940/AD5941 は、外部ピンを高速 DAC 励起アンプ、および高速 TIA 反転入力に接続するための柔軟性を備えています。この柔軟性により、様々なタイプのセンサーのインピーダンス測定の実施に対応することができ、また、センサーの DC バイアス電圧に AC 信号を結合することもできます。

スイッチを設定する際は、低電力アンプの出力におけるスイッチ設定を考慮してください。

パワーアップ時、全てのスイッチはオープンになり、センサーは切り離されます。

図 35 に、各スイッチ・マトリクス・ノード（データ出力ノード、正側ノード、負側ノード、TIA ノード）を AD5940/AD5941 の内部回路に接続する方法の概略図を示します。図 36 に、マトリクス上の各スイッチの詳細図を示します。

SWITCH の説明

Dx/DR0 スイッチ

Dx/DR0 スイッチは、高速 DAC の励起アンプ出力に接続するピンを選択します。インピーダンス測定の場合、このピンは CE0 です。励起アンプの出力は、DR0 スイッチが閉じている場合、RCAL0 ピンを通じて外部キャリブレーション抵抗（R_{CAL}）に接続できます。

Px/Pxx スイッチ

Px/Pxx スイッチは、高速 DAC の励起アンプの正側ノードに接続するピンを選択します。ほとんどのアプリケーションでは、このピンは RE0 です。励起アンプの負側入力、PR0 スイッチが閉じている場合、RCAL0 ピンを通じて外部キャリブレーション抵抗に接続できます。

Nx/Nxx スイッチ

Nx/Nxx スイッチは、高速 DAC の励起アンプの負側ノードに接続するピンを選択します。高速 TIA の反転入力、NR1 スイッチが閉じている場合、RCAL1 ピンを通じて外部キャリブレーション抵抗に接続できます。

Tx/TR1 スイッチ

Tx/TR1 スイッチは、高速 TIA の反転入力に接続するピンを選択します。高速 TIA の反転入力、TR1 スイッチが閉じている場合、RCAL1 ピンを通じて R_{CAL} に接続できます。

AFEx スイッチ

AFE1、AFE2、AFE3 の各スイッチは、スイッチとして利用することを意図したものです。マルチ測定システムにおいて、これらのスイッチは、センサーのエレクトロードを切り替える方法を提供します。これは、生体電気システムのアプリケーションで有効です。ただし、これらのピンは、ADC マルチプレクサに接続することもできます。

休止モード時の推奨設定

励起アンプの正側ノードおよび負側ノードに接続するスイッチのリーク電流、ならびに高速 TIA のリーク電流を最小限に抑えるには、PL、PL2、NL、NL2 の各スイッチを閉じて、これらのスイッチを 1.82V の内部 LDO が発生する電圧に結合することを推奨します。

休止モードでは、センサーには低電力アンプから供給される DC バイアス電圧のみが必要であると仮定しています。

全スイッチを制御するためのオプション

図 36 に、高速 DAC の励起アンプ、および高速 TIA の反転入力に接続された全スイッチを示します。

スイッチ・マトリクスのスイッチを制御するには次の 2 つのオプションが利用できます。

- ▶ Tx/TR1、Nx/Nxx、Px/Pxx、Dx/DR0 スイッチを SWCON レジスタの 1 つのグループとして制御。
- ▶ スイッチ・マトリクス内の各スイッチを、xSWFULLCON レジスタを用いて個別に制御。

xSWFULLCON レジスタを用いてスイッチを制御する場合、次に示すシーケンスに従います。

1. xSWFULLCON レジスタに特定のビットを書き込みます。
2. SWCON レジスタの SWSOURCESEL ビットを設定します。
xSWFULLCON レジスタへの書き込み後にこのビットが設定されない場合、変更は無効になります。

更に、各スイッチのオープン状態またはクローズ状態をリードバックするために、ステータス・レジスタを使用できます。

プログラマブルなスイッチ・マトリクス

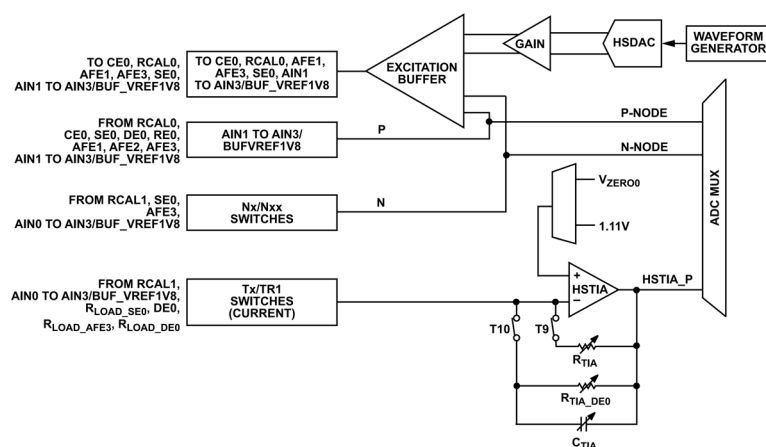


図 35. スイッチ・マトリクスの概略図

プログラマブルなスイッチ・マトリクス

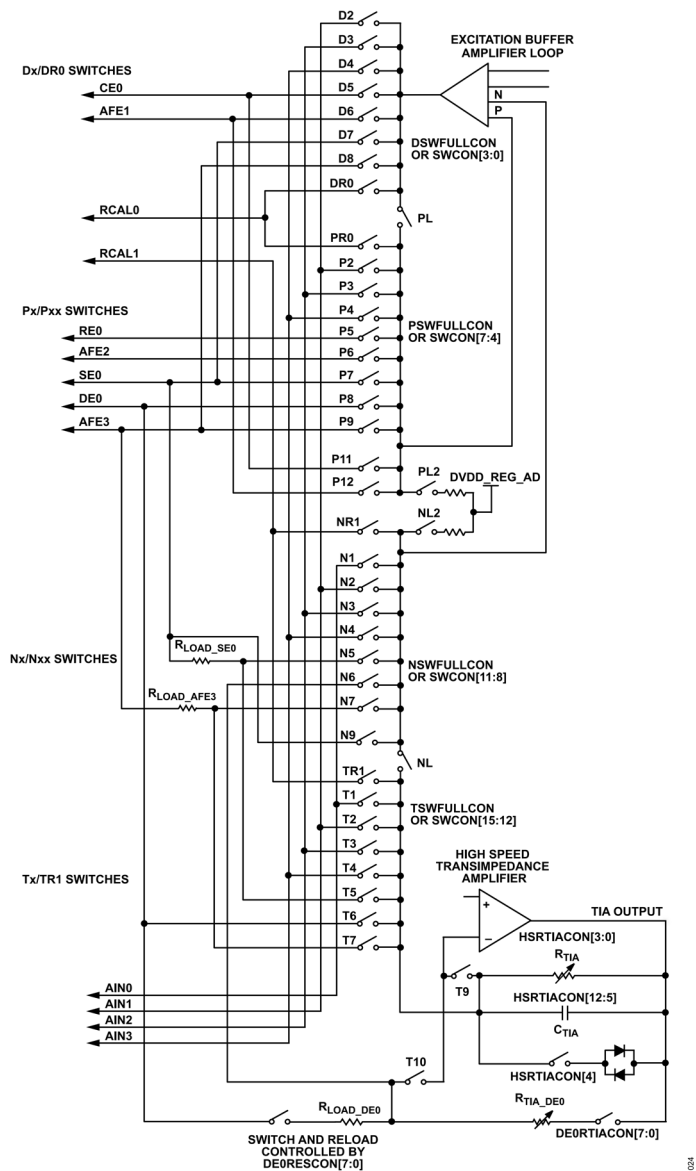


図 36. スイッチ・マトリクスのブロック図—高速 DAC および高速 TIA に接続するスイッチ

プログラマブル・スイッチ・レジスタ

表 82. プログラマブル・スイッチ・マトリクス・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x0000200C	SWCON	スイッチ・マトリクスの設定	0x0000FFFF	R/W
0x00002150	DSWFULLCON	スイッチ・マトリクスのフル設定 (Dx/DR0)	0x00000000	R/W
0x00002154	NSWFULLCON	スイッチ・マトリクスのフル設定 (Nx/Nxx)	0x00000000	R/W
0x00002158	PSWFULLCON	スイッチ・マトリクスのフル設定 (Px/Pxx)	0x00000000	R/W
0x0000215C	TSWFULLCON	スイッチ・マトリクスのフル設定 (Tx/TR1)	0x00000000	R/W
0x000021B0	DSWSTA	スイッチ・マトリクスのステータス (Dx/DR0)	0x00000000	R
0x000021B4	PSWSTA	スイッチ・マトリクスのステータス (Px/Pxx)	0x00000000	R
0x000021B8	NSWSTA	スイッチ・マトリクスのステータス (Nx/Nxx)	0x00000000	R
0x000021BC	TSWSTA	スイッチ・マトリクスのステータス (Tx/TR1)	0x00000000	R

プログラマブルなスイッチ・マトリクス

スイッチ・マトリクス設定レジスタ—SWCON

アドレス 0x0000200C、リセット：0x0000FFFF、レジスタ名：SWCON

このレジスタによりスイッチ・マトリクスを設定できます。

表 83. SWCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:19]	Reserved		予約済み。	0x0	R
18	T10CON	1 0	T10 スイッチの制御。 T10 クローズ。 T10 オープン。	0x0	R/W
17	T9CON	1 0	T9 スイッチの制御。 T9 クローズ。 T9 オープン。	0x0	R/W
16	SWSOURCESEL	1 0	スイッチ制御の選択。このビットは、プログラマブル・スイッチを制御するレジスタを選択します。 スイッチ制御ソース。スイッチは、DSWFULLCON、TSWFULLCON、PSWFULLCON、NSWFULLCON の各レジスタで制御されます。 Dx/DR0、Tx/TR1、Px/Pxx、Nx/Nxx の各スイッチがグループとして制御。スイッチは、SWCON レジスタを通じてグループとして制御されます。	0x0	R/W
[15:12]	TMUXCON	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 to 1111	Tx/TR1 スイッチ・マルチプレクサの制御。T9 スイッチまたは T10 スイッチの制御は含みません。 全スイッチをオープン。 T1 がクローズ、それ以外のスイッチはオープン。 T2 がクローズ、それ以外のスイッチはオープン。 T3 がクローズ、それ以外のスイッチはオープン。 T4 がクローズ、それ以外のスイッチはオープン。 T5 がクローズ、それ以外のスイッチはオープン。 T6 がクローズ、それ以外のスイッチはオープン。 T7 がクローズ、それ以外のスイッチはオープン。 TR1 がクローズ、それ以外のスイッチはオープン。 全スイッチをクローズ。 全スイッチをオープン。	0xF	R/W
[11:8]	NMUXCON	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 to 1110 1111	N スイッチ・マルチプレクサの制御。 NL がクローズ、それ以外のスイッチはオープン。 N1 がクローズ、それ以外のスイッチはオープン。 N2 がクローズ、それ以外のスイッチはオープン。 N3 がクローズ、それ以外のスイッチはオープン。 N4 がクローズ、それ以外のスイッチはオープン。 N5 がクローズ、それ以外のスイッチはオープン。 N6 がクローズ、それ以外のスイッチはオープン。 N7 がクローズ、それ以外のスイッチはオープン。 予約済み。 N9 がクローズ、それ以外のスイッチはオープン。 NR1 がクローズ、それ以外のスイッチはオープン。 NL2 がクローズ、それ以外のスイッチはオープン。 全スイッチをオープン。	0xF	R/W
[7:4]	PMUXCON	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 to 1110 1111	Px/Pxx スイッチ・マルチプレクサの制御 PL がクローズ、それ以外のスイッチはオープン。 PR0 がクローズ、それ以外のスイッチはオープン。 P2 がクローズ、それ以外のスイッチはオープン。 P3 がクローズ、それ以外のスイッチはオープン。 P4 がクローズ、それ以外のスイッチはオープン。 P5 がクローズ、それ以外のスイッチはオープン。 P6 がクローズ、それ以外のスイッチはオープン。 P7 がクローズ、それ以外のスイッチはオープン。 P8 がクローズ、それ以外のスイッチはオープン。 P9 がクローズ、それ以外のスイッチはオープン。 予約済み。 P11 がクローズ、それ以外のスイッチはオープン。 予約済み。 PL2 がクローズ、それ以外のスイッチはオープン。 全スイッチをオープン。	0xF	R/W

プログラマブルなスイッチ・マトリクス

表 83. SWCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[3:0]	DMUXCON		Dx/DR0 スイッチ・マルチプレクサの制御	0xF	R/W
		0000	全スイッチをオープン。		
		0001	DR0 がクローズ、それ以外のスイッチはオープン。		
		0010	D2 がクローズ、それ以外のスイッチはオープン。		
		0011	D3 がクローズ、それ以外のスイッチはオープン。		
		0100	D4 がクローズ、それ以外のスイッチはオープン。		
		0101	D5 がクローズ、それ以外のスイッチはオープン。		
		0110	D6 がクローズ、それ以外のスイッチはオープン。		
		0111	D7 がクローズ、それ以外のスイッチはオープン。		
		1000	D8 がクローズ、それ以外のスイッチはオープン。		
		1001	全スイッチをクローズ。		
		1010 to 1111	全スイッチをオープン。		

スイッチ・マトリクスのフル設定 Dx/DR0 レジスタ—DSWFULLCON

アドレス 0x00002150、リセット：0x00000000、レジスタ名：DSWFULLCON

DSWFULLCON レジスタを用いると、Dx/DR0 スイッチを個別に制御できます。ビット名は、図 36 に示すスイッチ名と同じです。

表 84. DSWFULLCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	Reserved		予約済み。	0x0	R
7	D8		D8 スイッチの制御。このビットは、励起アンプの D ノードを AFE3 ピンに接続します。	0x0	R/W
		0	スイッチ・オープン。		
		1	スイッチ・クローズ。		
6	D7		D7 スイッチの制御。このビットは、励起アンプの D ノードを SE0 ピンに接続します。	0x0	R/W
		0	スイッチ・オープン。		
		1	スイッチ・クローズ。		
5	Reserved		予約済み。	0x0	R/W
4	D5		D5 スイッチの制御。このビットは、励起アンプのデータ出力ノードを CE0 ピンに接続します。	0x0	R/W
		0	スイッチ・オープン。		
		1	スイッチ・クローズ。		
3	D4		D4 スイッチの制御。このビットは、励起アンプのデータ出力ノードを AIN3 ピンに接続します。	0x0	R/W
		0	スイッチ・オープン。		
		1	スイッチ・クローズ。		
2	D3		D3 スイッチの制御。このビットは、励起アンプのデータ出力ノードを AIN2 ピンに接続します。	0x0	R/W
		0	スイッチ・オープン。		
		1	スイッチ・クローズ。		

プログラマブルなスイッチ・マトリクス

表 84. DSWFULLCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
1	D2	0 1	D2スイッチの制御。このビットは、励起アンプのデータ出力ノードを AIN1 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
0	DR0	0 1	DR0 スwitchの制御。このビットは、励起アンプのデータ出力ノードを RCAL0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

スイッチ・マトリクスのフル設定 Nx/Nxx レジスタ—NSWFULLCON

アドレス 0x00002154、リセット：0x00000000、レジスタ名：NSWFULLCON

NSWFULLCON レジスタを用いると、Nx/Nxx スwitchを個別に制御できます。ビット名は、図 36 に示すスイッチ名と同じです。

表 85. NSWFULLCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
11	NL2	0 1	NL2 スwitchの制御。このビットをセットすると NL2 が閉じます。このビットをセットすると NL2 が開きます。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
10	NL	0 1	NL スwitchの制御。このビットをセットすると NL が閉じます。このビットをセットすると NL が開きます。このビットは、励起アンプの負側ノードを高速 TIA の反転入力に短絡します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
9	NR1	0 1	NR1 スwitchの制御。このビットをセットすると NR1 が閉じます。このビットをセットすると NR1 が開きます。このビットは、励起アンプの負側ノードを RCAL1 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
8	N9	0 1	N9 スwitchの制御。このビットをセットすると N9 が閉じます。このビットをセットすると N9 が開きます。このビットは、励起アンプの負側ノードを SE0 ピンに直接接続し、R _{LOAD_SE0} 抵抗をバイパスします。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
7	Reserved		予約済み。	0x0	R/W
6	N7	0 1	N7 スwitchの制御。このビットをセットすると N7 が閉じます。このビットをセットすると N7 が開きます。このビットは、励起アンプの負側ノードを R _{LOAD_AFE3} 抵抗を経由して AFE3 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
5	N6	0 1	N6 スwitchの制御。このビットをセットすると N6 が閉じます。このビットをセットすると N6 が開きます。このビットは、励起アンプの負側ノードを SE0 に接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
4	N5	0 1	N5 スwitchの制御。このビットをセットすると N5 が閉じます。このビットをセットすると N5 が開きます。このビットは、励起アンプの負側ノードを R _{LOAD_SE0} を経由して SE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
3	N4	0 1	N4 スwitchの制御。このビットをセットすると N4 が閉じます。このビットをセットすると N4 が開きます。このビットは、励起アンプの負側ノードを AIN3 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

プログラマブルなスイッチ・マトリクス

表 85. NSWFULLCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
2	N3	0 1	N3 スイッチの制御。このビットをセットすると N3 が閉じます。このビットをセットすると N3 が開きます。このビットは、励起アンプの負側ノードを AIN2 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
1	N2	0 1	N2 スイッチの制御。このビットをセットすると N2 が閉じます。このビットをセットすると N2 が開きます。このビットは、励起アンプの負側ノードを AIN1 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
0	N1	0 1	N1 スイッチの制御。このビットをセットすると N1 が閉じます。このビットをセットすると N1 が開きます。このビットは、励起アンプの負側ノードを AIN0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

スイッチ・マトリクスのフル設定 Px/Pxx レジスタ—PSWFULLCON

アドレス 0x00002158、リセット：0x00000000、レジスタ名：PSWFULLCON

PSWFULLCON レジスタを用いると、Px/Pxx スイッチを個別に制御できます。ビット名は、図 36 に示すスイッチ名と同じです。

表 86. PSWFULLCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
14	PL2	0 1	PL2 スイッチの制御。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
13	PL	0 1	PL スイッチの制御。このビットは、励起アンプのデータ出力と正側ノードを互いに短絡します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
[12:11]	Reserved		予約済み。	0x0	R/W
10	P11	0 1	P11 スイッチの制御。このビットをセットすると P11 スイッチが閉じます。このビットがセットされていない場合、P11 スイッチは開いた状態になります。このビットは、励起アンプの正側ノードを CE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
9	Reserved		予約済み。	0x0	R/W
8	P9	0 1	P9 スイッチの制御。このビットをセットすると P9 スイッチが閉じます。このビットがセットされないと P9 スイッチは開きます。このビットは、励起アンプの正側ノードを AFE3 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
7	P8	0 1	P8 スイッチの制御。このビットをセットすると P8 スイッチが閉じます。このビットがセットされないと P8 スイッチは開きます。このビットは、励起アンプの正側ノードを DE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
6	P7	0 1	P7 スイッチの制御。このビットをセットすると P7 スイッチが閉じます。このビットがセットされないと P7 スイッチは開きます。このビットは、励起アンプの正側ノードを SE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

プログラマブルなスイッチ・マトリクス

表 86. PSWFULLCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
5	P6	0 1	P6 スイッチの制御。このビットをセットすると P6 が閉じます。このビットがセットされていない場合、P6 は開いた状態になります。このビットは、励起アンプの正側ノードを AFE2 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
4	P5	0 1	P5 スイッチの制御。このビットをセットすると P5 が閉じます。このビットがセットされないと P5 スイッチは開きます。このビットは、励起アンプの正側ノードを RE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
3	P4	0 1	P4 スイッチの制御。このビットをセットすると P4 が閉じます。このビットがセットされないと P4 スイッチは開きます。このビットは、励起アンプの正側ノードを AIN3 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
2	P3	0 1	P3 スイッチの制御。このビットをセットすると P3 が閉じます。このビットがセットされないと P3 スイッチは開きます。このビットは、励起アンプの正側ノードを AIN2 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
1	P2	0 1	P2 スイッチの制御。このビットをセットすると P2 が閉じます。このビットがセットされないと P2 スイッチは開きます。このビットは、励起アンプの正側ノードを AIN1 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
0	PR0	0 1	PR0 スイッチの制御。このビットは、励起アンプの正側ノードを RCAL0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

スイッチ・マトリクスのフル設定 Tx/TR1 レジスタ—TSWFULLCON

アドレス 0x0000215C、リセット：0x00000000、レジスタ名：TSWFULLCON

TSWFULLCON レジスタを用いると、Tx/TR1 スイッチを個別に制御できます。ビット名は、図 36 に示すスイッチ名と同じです。

表 87. TSWFULLCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
11	TR1	0 1	TR1 スイッチの制御。このビットをセットすると TR1 が閉じます。このビットがセットされないと TR1 スイッチは開きます。このビットは、RCAL1 ピンを高速 TIA の反転入力に接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
10	Reserved		予約済み。	0x0	R/W
9	T10	0 1	T10 スイッチの制御。このビットをセットすると T10 が閉じます。このビットがセットされないと T10 スイッチは開きます。このビットは、DE0 ピンを高速 TIA の反転入力に接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
8	T9	0 1	T9 スイッチの制御。このビットをセットすると T9 が閉じます。このビットがセットされないと T9 スイッチは開きます。このスイッチは、T10 スイッチと併用されます。 スイッチ・オープン。オープンの場合、高速 TIA の反転入力 は T10 スイッチを通じて DE0 にすることができます。 スイッチ・クローズ。必ず T10 をオープンしてください。高速 TIA の反転入力 は、T1、T2、T3、T4、T5、T6 によって決まります。	0x0	R/W
7	Reserved		予約済み。	0x0	R/W

プログラマブルなスイッチ・マトリクス

表 87. TSWFULLCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
6	T7	0 1	T7 スイッチの制御。このビットをセットすると T7 が閉じます。このビットがセットされないと T7 スイッチは開きます。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
5	T6	0 1	T6 スイッチの制御。このビットをセットすると T6 が閉じます。このビットがセットされないと T6 スイッチは開きます。このビットを用いることで、RCALx 経路を DE0 入力に接続して、R _{LOAD_DE0} 抵抗および R _{TIA_DE0} 抵抗のキャリブレーションができます。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
4	T5	0 1	T5 スイッチの制御。このビットをセットすると T5 が閉じます。このビットがセットされないと T5 スイッチは開きます。このビットは、高速 TIA の反転入力を T9 スイッチ、および R _{LOAD_SE0} を経由して SE0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
3	T4	0 1	T4 スイッチの制御。このビットをセットすると T4 が閉じます。このビットがセットされないと T4 スイッチは開きます。このビットは、高速 TIA の反転入力を T9 スイッチを経由して AIN3 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
2	T3	0 1	T3 スイッチの制御。このビットをセットすると T3 が閉じます。このビットがセットされないと T3 スイッチは開きます。このビットは、高速 TIA の反転入力を T9 スイッチを経由して AIN2 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
1	T2	0 1	T2 スイッチの制御。このビットをセットすると T2 が閉じます。このビットがセットされないと T2 は開きます。このビットは、高速 TIA の反転入力を T9 スイッチを経由して AIN1 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W
0	T1	0 1	T1 スイッチの制御。このビットをセットすると T1 が閉じます。このビットがセットされないと T1 は開きます。このビットは、高速 TIA の反転入力を T9 スイッチを経由して AIN0 ピンに接続します。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R/W

スイッチ・マトリクスのステータス Dx/DR0 レジスタ—DSWSTA

アドレス 0x000021B0、リセット：0x00000000、レジスタ名：DSWSTA

DSWSTA レジスタは、Dx/DR0 スイッチのステータスを示します。ビット名は、図 36 に示すスイッチ名と同じです。

表 88. DSWSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:7]	Reserved		予約済み。	0x0	R
6	D7STA	0 1	D7 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
5	D6STA	0 1	D6 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
4	D5STA	0 1	D5 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
3	D4STA	0 1	D4 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

プログラマブルなスイッチ・マトリクス

表 88. DSWSTA レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
2	D3STA	0 1	D3 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
1	D2STA	0 1	D2 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
0	D0STA	0 1	D0 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

スイッチ・マトリクスのステータス Px/Pxx レジスタ—PSWSTA

アドレス 0x000021B4、リセット：0x00000000、レジスタ名：PSWSTA

PSWSTA レジスタは、Px/Pxx スwitchのステータスを示します。ビット名は、図 36 に示すスイッチ名と同じです。

表 89. PSWSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:15]	Reserved		予約済み。	0x0	R
14	PL2STA	0 1	PL2 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
13	PLSTA	0 1	PL スwitchの制御。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
12	P13STA	0 1	P13 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
11	Reserved		予約済み。	0x0	R
10	P11STA	0 1	P11 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
9	Reserved		予約済み。	0x0	R
8	P9STA	0 1	P9 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
7	P8STA	0 1	P8 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
6	P7STA	0 1	P7 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
5	P6STA	0 1	P6 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
4	P5STA	0 1	P5 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

プログラマブルなスイッチ・マトリクス

表 89. PSWSTA レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
3	P4STA	0 1	P4 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
2	P3STA	0 1	P3 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
1	P2STA	0 1	P2 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
0	PR0STA	0 1	PR0 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

スイッチ・マトリクスのステータス Nx/Nxx レジスタ—NSWSTA

アドレス 0x000021B8、リセット：0x00000000、レジスタ名：NSWSTA

NSWSTA レジスタは、Nx/Nxx スイッチのステータスを示します。ビット名は、図 36 に示すスイッチ名と同じです。

表 90. NSWSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
11	NL2STA	0 1	NL2 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
10	NLSTA	0 1	NL スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
9	NR1STA	0 1	NR1 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
8	N9STA	0 1	N9 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
7	Reserved		予約済み。	0x0	R
6	N7STA	0 1	N7 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
5	N6STA	0 1	N6 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
4	N5STA	0 1	N5 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
3	N4STA	0 1	N4 スイッチのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

プログラマブルなスイッチ・マトリクス

表 90. NSWSTA レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
2	N3STA	0 1	N3 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
1	N2STA	0 1	N2 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
0	N1STA	0 1	N1 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

スイッチ・マトリクスのステータス Tx/TR1 レジスタ—TSWSTA

アドレス 0x000021BC、リセット：0x00000000、レジスタ名：TSWSTA

TSWSTA レジスタは、Tx/TR1 スwitchのステータスを示します。ビット名は、[図 36](#) に示すスswitch名と同じです。

表 91. TSWSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
11	TR1STA	0 1	TR1 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
10	Reserved		予約済み。	0x0	R
9	T10STA	0 1	T10 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
8	T9STA	0 1	T9 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
7	Reserved		予約済み。	0x0	R
6	T7STA	0 1	T7 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
5	T6STA	0 1	T6 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
4	T5STA	0 1	T5 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
3	T4STA	0 1	T4 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
2	T3STA	0 1	T3 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R
1	T2STA	0 1	T2 スwitchのステータス。 スイッチ・オープン。 スイッチ・クローズ。	0x0	R

プログラマブルなスイッチ・マトリクス

表 91. TSWSTA レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
0	T1STA	0	T1 スイッチのステータス。 スイッチ・オープン。	0x0	R
		1	スイッチ・クローズ。		

高精度電圧リファレンス

このセクションでは、AD5940/AD5941 で使用可能な内蔵電圧リファレンス・オプションについて説明します。AD5940/AD5941 は、ADC および DAC 用に正確な電圧リファレンスを生成できます。ADC および DAC 用に 1.82V のリファレンス、ポテンショスタット用に 2.5V のリファレンスがあります。2.5V リファレンスは、VREF_2V5 ピンを用いてデカップリングする必要があり、1.82V リファレンスは VREF_1V82 ピンを用いてデカップリングする必要があります。ADC 入力バイアス用には、1.11V のリファレンスがあります。このリファレンスは、VBIAS_CAP ピンを用いてデカップリングする必要があります。

1.11V リファレンスおよび 1.82V リファレンスには、大電力バッファと低電力バッファの両方が関連付けられています。大電力バッファは、ADC がアクティブ・モードで変換を行っている場合に用いられます。低電力バッファは休止モードで用いられ、デカップリング・コンデンサの電荷を保持して、休止モードからのウェイクアップをより高速にします。

図 37 に、使用可能な各種電圧リファレンス・オプションと、これらのオプションを制御するレジスタおよびビットを示します。

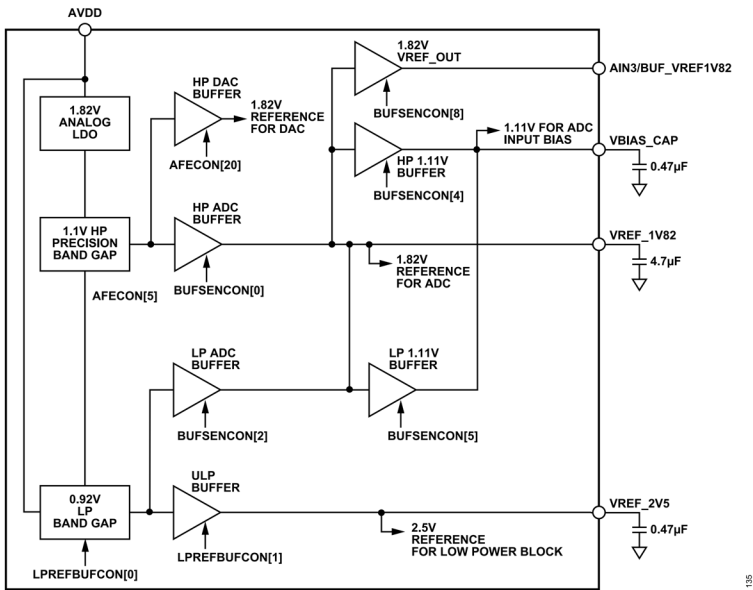


図 37. 高精度電圧リファレンス

大電力および低電力バッファ制御レジスタ—BUFSENCON

アドレス 0x00002180、リセット : 0x00000037、レジスタ名 : BUFSENCON

表 92. BUFSENCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:9]	Reserved		予約済み。	0x0	R
8	V1P8THERMSTEN	0 1	バッファされたリファレンス出力。AIN3/BUF_VREF1V82 ピンへバッファされた出力です。 0 バッファされた 1.82V リファレンス出力を無効化。 1 バッファされた 1.82V リファレンス出力を有効化。	0x0	R/W
7	Reserved		予約済み。	0x0	R
6	V1P1LPADCCHGDIS	0 1	デカップリング・コンデンサの放電スイッチを制御します。このスイッチは、ADC コモンモード電圧用の 1.11V 内部リファレンスを内蔵の放電回路に接続します。通常動作ではこのビットをオープンのままにし、リファレンス電圧を外部 1.11V デカップリング・コンデンサに保持します。 0 スwitchを開きます（推奨値）。1.11V リファレンス用に外部デカップリング・コンデンサで電荷を保持するには、スイッチをオープンのままにします。 1 スwitchを閉じます。1.11V のリファレンスを放電回路に接続するには、このスイッチを閉じます。	0x0	R/W
5	V1P1LPADCEN	0 1	ADC の 1.11V 低電力コモンモード・バッファ（オプション）。高速または低電力のリファレンス・バッファを用います。 0 ADC の 1.11V 低電力リファレンス・バッファを無効化します。 1 ADC の 1.11V 低電力リファレンス・バッファを有効化します。	0x1	R/W

高精度電圧リファレンス

表 92. BUFSENCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
4	V1P1HSADCEN	0 1	1.11V の高速コモンモード・バッファを有効化します。このビットは、ADC 入力段への 1.11V コモンモード電圧源用バッファを制御します。 1.11V の高速コモンモード・バッファを無効化します。 1.11V の高速コモンモード・バッファを有効化します（通常の ADC 動作に対する推奨値）。	0x1	R/W
3	V1P8HSADCCHGDIS	0 1	デカップリング・コンデンサの放電スイッチを制御します。このスイッチは、1.82V 内部 ADC リファレンスを内蔵した放電回路に接続します。通常動作ではこのビットをオープンのままにし、リファレンス電圧を外部デカップリング・コンデンサに保持します。 0 スイッチを開きます。開いた場合、リファレンス用外部デカップリング・コンデンサの電圧が保持されます（推奨値）。 1 スイッチを閉じます。リファレンスを放電回路に接続するには、このスイッチを閉じます。	0x0	R/W
2	V1P8LPADCEN	0 1	ADC の 1.82V 低電力リファレンス・バッファ。 低電力 1.82V リファレンス・バッファを無効化します。 低電力 1.82V リファレンス・バッファを有効化します（推奨値）。この設定により、パワーダウン状態を終了する際のセトリング・タイムが短縮されます。	0x1	R/W
1	V1P8HSADCILIMITEN	0 1	高速 ADC 入力電流制限。このビットは、ADC の入力バッファを保護します。 0 バッファ電流制限を無効化します。 1 バッファ電流制限を有効化します（推奨値）。	0x1	R/W
0	V1P8HSADCEN	0 1	大電力 1.82V リファレンス・バッファ。通常の ADC 変換用リファレンス・バッファを有効化します。 0 1.82V 高速 ADC リファレンス・バッファを無効化します。 1 1.82V 高速 ADC リファレンス・バッファを有効化します。	0x1	R/W

シーケンサ

シーケンサ機能

AD5940/AD5941 シーケンサの機能は以下のとおりです。

- ▶ サイクル精度のアプリケーション用にプログラム可能。
- ▶ 4 種類のコマンド・シーケンス。
- ▶ シーケンスを保存するための大容量 6kB SRAM。
- ▶ 測定結果を保存するための FIFO。
- ▶ ウェイクアップ・タイマー、SPI コマンド、または GPIO トグルを通じた制御。
- ▶ ユーザによるマスクが可能なソースからの様々な割り込み。

シーケンサの概要

シーケンサの役割は、外部のマイクロコントローラから低レベル AFE 動作の負荷を取り除くことと、アナログ DSP ブロック全体でサイクル精度の制御を行うことです。シーケンサは、システム負荷の影響を受けることなく、タイミングが重要である動作を処理します。

AD5940/AD5941 では、ハードウェアで 4 つのシーケンスがサポートされています。これらのシーケンスは、SRAM に保存できるため、様々な測定プロシージャの切り替えが容易にできます。シーケンサが一度に実行できるのは、1 つのシーケンスのみです。ただし、ユーザは、シーケンサが実行するシーケンスとその実行順を設定できます。

シーケンサは、コマンド・メモリに格納されているシーケンスからのコマンドを読み出し、そのコマンドに応じて、一定時間待機するか、メモリ・マップ・レジスタ (MMR) に値を書き込むか、いずれかの動作を行います。実行は順次行われ、分岐はありません。シーケンサは、MMR の値や、アナログ・ブロックまたは DSP ブロックからの信号は読み出せません。

シーケンサの動作を有効化するには、SEQCON レジスタの SEQEN ビットをセットします。このビットに 0 を書き込むと、シーケンサは無効化されます。

シーケンサのコマンドを実行するレートは、SEQCON レジスタの SEQWRTMR ビットで与えられます。シーケンサが書込みコマンドを実行する場合、シーケンサは、MMR 書込みを実行し、その後、SEQWRTMR クロック・サイクルだけ待機してから、シーケンスの次のコマンドをフェッチします。この効果は、書込みコマンドの後に待機コマンドが続く場合と同じです。このセットアップの主な目的は、任意波形を生成する際のコード・サイズを低減することです。SEQWRTMR ビットは、待機コマンドまたはタイムアウト・コマンドの後には何の影響もありません。

単一書込みコマンドに待機コマンドを伴う場合に加えて、複数の書込みコマンドを連続して実行し、その後に 1 つの待機コマンドを伴うことも可能です。レジスタ書込みの数や、正確に実行される遅延の有無に関係なく、シーケンサは任意の設定を短時間でセットアップできます。

SEQCON レジスタの SEQHALT ビットを設定することで、シーケンサを停止することもできます。このオプションは、FIFO 動作、内部タイマー、波形発生器を含む各機能に適用できます。MMR からの読出しは、シーケンサが停止している場合に可能です。このモードは、ソフトウェア開発時のデバッグを目的としています。

シーケンサが実行するコマンドの数は、SEQCNT レジスタから読み出せます。コマンドをコマンド・メモリから読み出して実行するたびに、カウンタが 1 ずつインクリメントします。SEQCNT レジスタに書込みを行うと、カウンタがリセットされます。

シーケンサは、実行する全てのコマンドの巡回冗長検査 (CRC) を計算します。使用するアルゴリズムは、 $x^8 + x^2 + x + 1$ の多項式を用いる CRC-8 です。CRC-8 アルゴリズムは、32 ビットの入力データ (シーケンサ命令) で実行されます。各 32 ビット入力は、1 つのクロック・サイクルで処理され、その結果は、直ちにホスト・コントローラで読み出せます。CRC 値は、SEQCRC レジスタから読み出せます。このレジスタは、SEQCNT レジスタに書込みを行うことによって、コマンド・カウントと同じ機構でリセットされます。SEQCRC はシード値の 0x01 にリセットされます。SEQCRC は読出し専用レジスタです。

シーケンサのコマンド

シーケンサが実行できるコマンドには、書込みコマンドとタイマー・コマンドの 2 種類があり、タイマー・コマンドには待機コマンドとタイムアウト・コマンドがあります。

書込みコマンド

データをレジスタに書き込むには、書込み命令を使用します。レジスタのアドレスは、0x00000000 と 0x000021FC の間でなくてはなりません。図 38 に、命令のフォーマットを示します。MSB は 1 であり、これが書込みコマンドであることを示します。

図 38 において、ADDR は書込みアドレスであり、データは MMR に書き込まれる書込みデータです。全ての書込み命令は 1 サイクル以内に終了します。

アドレス・フィールドは 7 ビット幅で、AFE レジスタ・ブロックのアドレス 0x0~アドレス 0x1FC の範囲のレジスタにアクセスできます。全ての MMR アクセスは 32 ビットのみです。バイト・アクセスとハーフ・ワード・アクセスは禁止されています。全てのアクセスは暗黙的に書込み専用です。アドレス・フィールドと MMR アドレスの間には直接的な対応関係があります。図 38 において、ADDR は、16 ビット MMR アドレスのビット [8:2] に対応します。

例えば、SPI インターフェースを通じて直接 WGCON レジスタに書き込む場合、使用するアドレスは 0x2014 です。シーケンサを用いて同じレジスタに書き込むには、アドレス・フィールドが 0b0000101 でなくてはなりません (外部コントローラが使用するアドレスのビット [8:2]) 。

データ・フィールドは 24 ビット幅で、MMR のビット [23:0] にのみ書き込みます。シーケンサを通じて MMR の全 32 ビットに書き込むことはできません。ただし、ビット [31:24] はいずれの MMR も使用しません。そのため、割り当てられた全ての MMR ビットはシーケンサで書き込みます。

タイマー・コマンド

シーケンサには、2 つのタイマー・コマンドがあり、それぞれに別々のハードウェア・カウンタが備わっています。

シーケンサ

待機コマンドは、シーケンサの実行中に待機状態を挿入します。プログラムされたカウンタが 0 に達した後、コマンド・メモリから次のコマンドを読み出すことで、実行が再開されます。

タイムアウト・コマンドは、シーケンサのフローとは独立して動作するカウンタを起動します。タイマーの時間が経過すると、シーケンス・タイムアウト・エラー割込み (INTSEL17) またはシーケンス・タイムアウト終了割込み (INTSEL16) の 2 つの割込みのいずれかが生成されます。どちらの割込みも INTSELx レジスタで設定されます。シーケンス・タイムアウト終了割込みは、タイムアウト期間の最後にアサートされます。シーケンス・タイムアウト・エラー割込みは、タイムアウト期間の終了時にシーケンサが最後まで実行できていない場合にアサートされます。これらの割込みは、INTCCLR レジスタの対応するビットに書き込みを行うことでクリアされます。ホスト・コントロー

ラは、SEQTIMEOUT レジスタからいつでもカウンタの現在値を読み出せます。

シーケンサの書き込みコマンドの結果、シーケンサの実行が停止した場合には、タイムアウト・カウンタはリセットされません。ただし、ホスト・コントローラが SEQCON レジスタの SEQEN ビットに 0 を書き込んだ場合はリセットされます。このリセットは、ホストがシーケンスをアボートしなくてはならない状況で適用されます。

どちらのタイマー・コマンドに対しても時間単位は、1ACLK 周期です。クロック周波数が 16MHz の場合、タイマー分解能は 62.5ns であり、最大タイムアウトは 67.1sec です。これらの値は、SEQCON レジスタの SEQWRTMR ビットが 0 以外の値であっても当てはまります。

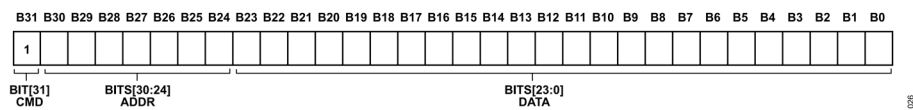


図 38. シーケンサ書き込みコマンド

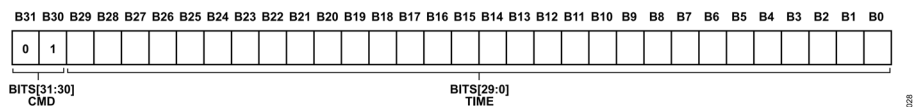


図 39. シーケンサ・タイマー・コマンド

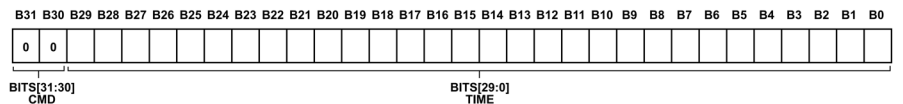


図 40. シーケンサ待機コマンド

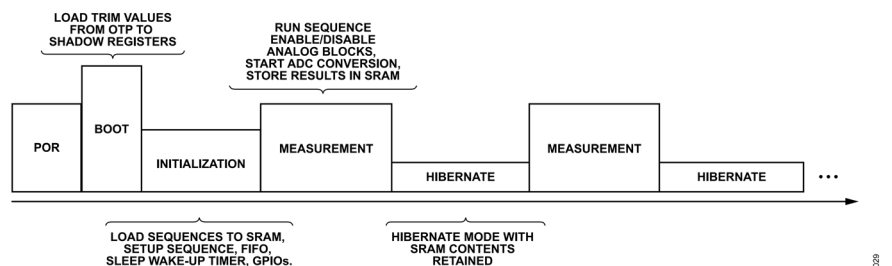


図 41. 実行シーケンス

シーケンサ

シーケンサの動作

図 41 に、シーケンサが測定を行うようセットアップするのに必要とする標準的な手順を示します。デバイスのブート後、シーケンサ、コマンド・メモリ、データ FIFO を設定する必要があります。この設定を行うには、以下のステップが必要です。

1. コマンド・メモリを設定します。
2. シーケンスを SRAM にロードします。
3. シーケンス 0 (SEQ0) ～シーケンス 3 (SEQ3) の情報シーケンスを設定します。
4. データ FIFO を設定します。
5. スリープ・ウェイクアップ・タイマーを設定します。
6. GPIO ピン・マルチプレクサを設定します。
7. 割込みを設定します。
8. スリープをウェイクアップの方法を設定します。

コマンド・メモリ

コマンド・メモリはシーケンスのコマンドを格納し、外部マイクロコントローラとシーケンサの間のリンクを提供します。コマンド・メモリは、CMDDATACON のビット[2:0]を用いて選択できる、2kB、4kB、6kB の SRAM メモリ・サイズを使用して設定できます。

コマンド・メモリに大容量のメモリを使用できるため、大きく複雑なシーケンスを容易に作成できます。

SEQxINFO のビット[26:16]を読み出すことで、シーケンスのコマンド数を判定します。

コマンド・メモリは単方向です。ホスト・マイクロコントローラは、CMDFIFOWADDR レジスタに書き込むことによってコマンドの宛先アドレスを指定し、コマンドの内容を CMDFIFOWRITE レジスタに書き込みます。シーケンサは、メモリからコマンドを読み出して実行します。

FIFO スレッシュホールド割込み、FIFO エンプティ割込み、FIFO フル割込みなど、コマンド FIFO に関連した割込みがいくつかあります。詳細については、[割込み](#)のセクションを参照してください。

シーケンスのロード

シーケンス・コマンドは、2 つのレジスタに書き込むことで SRAM に書き込まれます。コマンド用の SRAM のアドレスは、CMDFIFOWADDR レジスタに書き込まれます。コマンドの内容は、CMDFIFOWRITE レジスタに書き込まれます。全てのコマンドが SRAM に書き込まれた後、SEQxINFO レジスタに書き込みを行うことで、SEQ0～SEQ3 情報シーケンスを設定します。

SEQ0～SEQ3 の各情報シーケンスでは、SRAM の開始アドレスと、そのシーケンスの合計コマンド数が必要です。コマンド数は SEQxINFO のビット[26:16]に書き込まれます。開始アドレスは、SEQxINFO のビット[10:0]に書き込まれます。4 つのシーケンスの間にオーバーラップが生じることのないようにしてください。シーケンスのオーバーラップをユーザーに警告するハードウェア機構は設けられていません。

シーケンサに関連するいくつかの割込みソースがあり、その例を以下に示します。

- ▶ シーケンス・タイムアウト・エラー。
- ▶ シーケンサ・タイムアウト・コマンド終了。
- ▶ シーケンスの割込みの終了。この割込みをアサートするには、シーケンサ・コマンドの最後で SEQCON のビット 0 をクリアする必要があります。

詳細については、[割込み](#)のセクションを参照してください。

データ FIFO

データ FIFO は、外部コントローラに読み出されるまで、アナログ・ブロックおよび DSP ブロックの出力を保持するバッファを提供します。

データ FIFO 用に使用できるメモリは、CMDDATACON レジスタの DATA_MEM_SEL ビットで選択できます。選択可能なオプションは、2kB、4kB、6kB です。データ FIFO およびコマンド・メモリは、6kB SRAM の同じブロックを共用します。そのため、コマンド・メモリとデータ FIFO の間にオーバーラップが生じないようにしてください。

データ FIFO は、CMDDATACON のビット[11:9]を通じて FIFO モードまたはストリーム・モードで設定できます。ストリーム・モードでは、FIFO がフルの場合、古いデータが破棄されて新しいデータのための余地を作ります。FIFO モードでは、FIFO がフルの場合、新しいデータが破棄されます。FIFO モードの場合には、決して FIFO をオーバーフローさせないでください。新しいデータが全て失われてしまいます。

データ FIFO は常に単方向です。AFE ブロックの選択可能なソースがデータを書き込み、外部マイクロコントローラが DATAFIFORD からデータを読み出します。

DATAFIFOSRCSEL (FIFOCON のビット[15:13]) でデータ FIFO のデータ・ソースを選択します。使用可能なオプションは、ADC のデータ、DFT の結果、sinc2 フィルタの結果、統計ブロックの平均化の結果、統計ブロックの分散の結果です。

エンプティ、フル、オーバーフロー、アンダーフロー、スレッシュホールドなど、データ FIFO に関連する割込みフラグがいくつかあります。

これらの割込みは、INTCFLAGx レジスタを用いてユーザーが読み出せます（詳細については、[割込み](#)のセクションを参照）。フラグごとに、関連するマスク可能割込みがあります。

オーバーフロー・フラグとアンダーフロー・フラグは、1 クロック周期でのみアクティブになります。

データ FIFO は、FIFOCON のビット 11 に 1 を書き込むことで有効化されます。データ FIFO のスレッシュホールドは、DATAFIFOTHRES レジスタに書き込むことによって設定されます。ホスト・マイクロコントローラは、FIFOCNTSTA のビット[26:16]を読み出すことによって、いつでもデータ FIFO のワード数を読み出すことができます。

エンプティ時にデータ FIFO からデータを読み出すと、0x00000000 が返されます。更に、INTCFLAGx レジスタのアンダーフロー・フラグ (FLAG27) がアサートされます。

シーケンサ

データ FIFO ワードのフォーマット

データ FIFO ワードのフォーマットを図 42 に示します。データ FIFO の各ワードは 32 ビットです。7 個の MSB は、機能安全アプリケーションに必要な誤り訂正符号 (ECC) です。データ FIFO ワードのビット[24:23]はシーケンス ID を形成し、結果が SEQ0~SEQ3 のどのシーケンスから生じたものかを示します。

データ FIFO ワードのビット[22:16]はチャンネル ID で構成され、データのソースを示します (表 93 参照)。

データ FIFO ワードの 16 個の LSB は、実際のデータです (図 42 参照)。

データ・ソースが DFT の結果である場合、データは 18 ビット幅であり、2 の補数形式で表されます。フォーマットを図 43 に示します。チャンネル ID は 5 ビット幅で、5'b11111 が DFT の結果であることを意味しています。

シーケンサとスリープ、およびウェイクアップ・タイマー

詳細については、スリープおよびウェイクアップ・タイマーのセクションを参照してください。

GPIOx ピン・マルチプレクサの設定

8 個の GPIOx ピンはそれぞれ、シーケンスをトリガするように設定できます。GPIOx ピンはまず、GP0OEN レジスタで入力として設定する必要があります。次に、そのピンを GP0CON レジスタで PINxCFG ビットに設定します。EI0CON レジスタと EI1CON レジスタは、GPIO イベントの検出方法、つまりレベル・トリガかエッジ・トリガかを設定します。GPIO イベントの

検出後、対応するシーケンスが実行されます。AD5940/AD5941 ソフトウェア開発キットの AD5940/AD5941_SEQGpioTrigCfg 機能を参照してください。シーケンサは実行中に GPIO にもアクセスできます。このアクセスは、ADXL362 や AD8233 などの外部デバイスと同期します。この同期を実行するには、GP0CON レジスタで対応する GPIOx 機能を同期するよう設定する必要があります。また、GP0OEN レジスタでデータの方角を出力に設定する必要があります。その後、シーケンサは、SYNCEXTDEVICE レジスタに書き込みを行って、対応する GPIOx ピンをトグルします。これは、シーケンサをプログラミングする際の有用なデバッグ機能です。

シーケンサの競合

SEQ0 が実行中に SEQ1 要求が届くなど、シーケンス間の競合が発生した場合、SEQ1 は無視され、SEQ0 が完了します。SEQ1 シーケンスが無視されたことを通知する割込みが生成されます。

レジスタをリードバックすることは、リソースの競合の原因にはなりません。ホスト・コントローラによる MMR への書き込みは、シーケンサが有効化されている場合に可能です。競合は複数あります。競合が生じた場合、シーケンサが優先されます。シーケンサとホスト・コントローラが同時に書き込みを行った場合、ホスト・コントローラは無視されます。この競合ではエラーのレポートはありません。ユーザは、シーケンサの実行中にはレジスタに書き込みを行ってはいけません。ただし、例外もいくつかあり、その場合には競合を生じることなく自由に書き込みを行うことができます。SEQCON レジスタは、シーケンスの実行を終了すること (SEQEN ビット)、およびシーケンスを一時停止すること (SEQHALT ビット) ができます。

表 93. チャンネル ID の説明

Bits[22:16] of the Data FIFO Word	説明
11111 xx	DFT の結果
11110xx	統計ブロックによる平均値
11101xx	統計ブロックによる分散
1xxxxxx	sinc2 フィルタの結果。xxxxxx は、ADC マルチプレクサの正側設定 (ADCCON[5:0]) です。
0xxxxxx	sinc3 フィルタの結果。xxxxxx は、ADC マルチプレクサの正側設定 (ADCCON[5:0]) です。

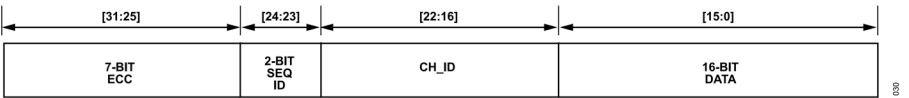


図 42. データ FIFO ワードのフォーマット

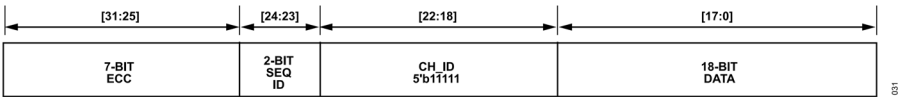


図 43. データ FIFO DFT ワードのフォーマット

シーケンサ

シーケンサおよび FIFO のレジスタ

表 94. シーケンサおよび FIFO のレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002004	SEQCON	シーケンサ設定レジスタ	0x00000002	R/W
0x00002008	FIFOCON	FIFO 設定レジスタ	0x00001010	R/W
0x00002060	SEQCRC	シーケンサ CRC 値レジスタ	0x00000001	R
0x00002064	SEQCNT	シーケンサ・コマンド・カウント・レジスタ	0x00000000	R/W
0x00002068	SEQTIMEOUT	シーケンサ・タイムアウト・カウンタ・レジスタ	0x00000000	R
0x0000206C	DATAFIFORD	データ FIFO 読出しレジスタ	0x00000000	R
0x00002070	CMDFIFOWRITE	コマンド FIFO 書込みレジスタ	0x00000000	W
0x00002118	SEQSLPLOCK	シーケンサ・スリープ制御ロック・レジスタ	0x00000000	R/W
0x0000211C	SEQTRGSLP	シーケンサ・トリガ・スリープ・レジスタ	0x00000000	R/W
0x000021CC	SEQ0INFO	シーケンス 0 情報レジスタ	0x00000000	R/W
0x000021D0	SEQ2INFO	シーケンス 2 情報レジスタ	0x00000000	R/W
0x000021D4	CMDFIFOWADDR	コマンド FIFO 書込みアドレス・レジスタ	0x00000000	R/W
0x000021D8	CMDDATACON	コマンド・データ制御レジスタ	0x00000410	R/W
0x000021E0	DATAFIFOTHRES	データ FIFO スレッシュホールド・レジスタ	0x00000000	R/W
0x000021E4	SEQ3INFO	シーケンス 3 情報レジスタ	0x00000000	R/W
0x000021E8	SEQ1INFO	シーケンス 1 情報レジスタ	0x00000000	R/W
0x00002200	FIFOCNTSTA	コマンドおよびデータ FIFO 内部データ・カウント・レジスタ	0x00000000	R
0x00002054	SYNCEXTDEVICE	外部デバイス同期レジスタ	0x00000000	R/W
0x00000430	TRIGSEQ	トリガ・シーケンス・レジスタ	0x0000	R/WS

シーケンサ設定レジスタ—SEQCON

アドレス 0x00002004、リセット : 0x00000002、レジスタ名 : SEQCON

表 95. SEQCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:8]	SEQWRTMR		シーケンサの書込みコマンド用タイマー。これらのビットは、クロック分周器として作用し、書込みコマンドに影響しますが、待機コマンドには影響しません。この分周器は、任意波形の発生時にコード・サイズを縮小するのに有用です。タイマー用のクロック・ソースは ACLK です。	0x0	R/W
[7:5]	Reserved		予約済み。	0x0	R
4	SEQHALT	0 1	停止シーケンス・デバッグ機能。このビットは、シーケンサ、DSP ハードウェア・アクセラレータ、FIFO などの AFE インターフェースを停止する方法を提供します。 通常の実行。 実行が停止。	0x0	R/W
[3:2]	Reserved		予約済み	0x0	R
1	SEQHALTFIFOEMPTY	1 0	エンプティの場合の停止シーケンサ。このビットは、コマンド FIFO が（アンダーフロー状態で）空のときに読出しを行おうとした場合に、シーケンサを停止するかどうかを制御します。 コマンド FIFO が空のときにシーケンサが（アンダーフロー状態で）読出しを行おうとすると、シーケンサが停止します。 FIFO が空であってもシーケンサは読出しの試行を続けます。	0x1	R/W
0	SEQEN	0 1	シーケンサの有効化。このビットが 1 に設定されている場合、シーケンサはコマンド FIFO から読出しを行い、そのコマンドを実行します。 シーケンサを無効化（デフォルト）。 シーケンサを有効化。	0x0	R/W

シーケンサ

FIFO 設定レジスタ—FIFOCON

アドレス 0x00002008、リセット : 0x00001010、レジスタ名 : FIFOCON

表 96. FIFOCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:13]	DATAFIFOSRCSEL	000, 001, 110, or 111 010 011 100 101	データ FIFO に使用するソースの選択。 ADC データ。ADC データは、sinc3 フィルタを経由したゲイン／オフセット・キャリブレーションの出力です。 DFT データ。実部が 18 ビットで、虚部も 18 ビットです。ADC は 16 ビットなので、下位 2 ビットはフラクショナルです。 sinc2 フィルタの出力。データは 16 ビットです。 分散。分散は 30 ビットのデータであり、2 つのアドレスを使用します。 平均値の結果。平均値は 16 ビットのデータです。	0x0	R/W
12	Reserved		予約済み。	0x1	R/W
11	DATAFIFOEN	0 1	データ FIFO の有効化。 FIFO をリセット。データ転送はできません。この設定は、読出しポインタおよび書込みポインタをデフォルト値（空の FIFO）に設定します。このステータスは FIFO が空であることを示します。 通常動作。FIFO はリセットされません。	0x0	R/W
[10:0]	Reserved		予約済み。	0x0	R/W

シーケンサ CRC 値レジスタ—SEQCRC

アドレス 0x00002060、リセット : 0x00000001、レジスタ名 : SEQCRC

SEQCRC レジスタは、シーケンサが実行した全てのコマンドから計算したチェックサム値を形成します。

表 97. SEQCRC レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	Reserved		予約済み。	0x0	R
[7:0]	CRC		シーケンサ・コマンドの CRC 値。使用アルゴリズムは CRC-8 です。	0x1	R

シーケンサ・タイムアウト・カウンタ・レジスタ—SEQTIMEOUT

アドレス 0x00002068、リセット : 0x00000000、レジスタ名 : SEQTIMEOUT

表 98. SEQTIMEOUT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:30]	Reserved		予約済み。	0x0	R
[29:0]	Timeout		シーケンサ・タイムアウト・カウンタの最新の値。	0x0	R

データ FIFO 読出しレジスタ—DATAFIFORD

アドレス : 0x0000206C、リセット : 0x00000000、レジスタ名 : DATAFIFORD

表 99. DATAFIFORD レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:0]	DATAFIFORD		データ FIFO の読出し。データ FIFO が空の場合、このレジスタを読み出すと 0x00000000 が返されます。32 ビット・ワードのフォーマットについては、 図 42 および 図 43 を参照してください。	0x0	R

シーケンサ

コマンド FIFO 書込みレジスタ—CMDFIFOWRITE

アドレス 0x00002070、リセット：0x00000000、レジスタ名：CMDFIFOWRITE

表 100. CMDFIFOWRITE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:0]	CMDFIFOIN		コマンド FIFO の書込み。コマンド FIFO がフルの場合に書込みを行っても、書込みは無視され、現在のコマンドはどれも影響を受けません。	0x0	W

シーケンサ・スリープ制御ロック・レジスタ—SEQSLPLOCK

アドレス 0x00002118、リセット：0x00000000、レジスタ名：SEQSLPLOCK

SEQSLPLOCK レジスタは、SEQTRGSLP レジスタを保護します。

表 101. SEQSLPLOCK レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	SEQ_SLP_PW	0x000 0xA47E5	SEQTRGSLP レジスタ用のパスワード。これらのビットは、シーケンサが意図せずにスリープ状態をトリガするのを防止します。 0xA47E5 以外の値を書き込むと、SEQTRGSLP レジスタはロックされます。 このレジスタにこの値を書き込むと、SEQTRGSLP レジスタのロックが解除されます。	0x0	R/W

シーケンサ・トリガ・スリープ・レジスタ—SEQTRGSLP

アドレス 0x0000211C、リセット：0x00000000、レジスタ名：SEQTRGSLP

SEQTRGSLP レジスタは、SEQSLPLOCK レジスタによって保護されています。

表 102. SEQTRGSLP レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:1]	Reserved		予約済み。	0x0	R
0	TRGSLP		シーケンサによるスリープをトリガ。最初に、SEQSLPLOCK レジスタに書込みを行います。このコマンドをシーケンスの最後に付加します。シーケンスの最後にスリープするには、このコマンドを 1 に設定します。	0x0	R/W

シーケンス 0 情報レジスタ—SEQ0INFO

アドレス 0x000021CC、リセット：0x00000000、レジスタ名：SEQ0INFO

表 103. SEQ0INFO レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	SEQ0INSTNUM		SEQ0 の命令番号。	0x0	R/W
[15:11]	Reserved		予約済み。	0x0	R
[10:0]	SEQ0STARTADDR		SEQ0 の開始アドレス。	0x0	R/W

シーケンス 2 情報レジスタ—SEQ2INFO

アドレス 0x000021D0、リセット：0x00000000、レジスタ名：SEQ2INFO

表 104. SEQ2INFO レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	SEQ2INSTNUM		SEQ2 の命令番号。	0x0	R/W
[15:11]	Reserved		予約済み。	0x0	R
[10:0]	SEQ2STARTADDR		SEQ2 の開始アドレス。	0x0	R/W

シーケンサ

コマンド FIFO 書き込みアドレス・レジスタ—CMDFIFOWADDR

アドレス 0x000021D4、リセット：0x00000000、レジスタ名：CMDFIFOWADDR

表 105. CMDFIFOWADDR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:11]	Reserved		予約済み。	0x0	R
[10:0]	WADDR		書き込みアドレス。これらのビットは、コマンドを格納する SRAM のアドレスです。	0x0	R/W

コマンド・データ制御レジスタ—CMDDATACON

アドレス 0x000021D8、リセット：0x00000410、レジスタ名：CMDDATACON

表 106. CMDDATACON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:9]	DATAMEMMDE	10 11	データ FIFO のモードの選択。 FIFO モード。 ストリーム・モード。	0x2	R/W
[8:6]	DATA_MEM_SEL	000 001 010 011	データ FIFO のサイズの選択。 予約済み。 2kB SRAM。 4kB SRAM。 6kB SRAM。	0x0	R/W
[5:3]	CMDMEMMDE	01 10 11	コマンド FIFO のモード。 メモリ・モード。 予約済み。 予約済み。	0x2	R/W
[2:0]	CMD_MEM_SEL	0x0 0x1 0x2 0x3	コマンド・メモリの選択。 予約済み。 2kB SRAM。 4kB SRAM。 6kB SRAM。	0x0	R/W

データ FIFO スレッシュホールド・レジスタ—DATAFIFOTHRES

アドレス 0x000021E0、リセット：0x00000000、レジスタ名：DATAFIFOTHRES

表 107. DATAFIFOTHRES レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	HIGHTHRES		上限スレッシュホールド。	0x0	R/W
[15:0]	Reserved		予約済み。	0x0	R

シーケンサ

シーケンス 3 情報レジスタ—SEQ3INFO

アドレス 0x000021E4、リセット：0x00000000、レジスタ名：SEQ3INFO

表 108. SEQ3INFO レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	INSTNUM		SEQ3 の命令番号。	0x0	R/W
[15:11]	Reserved		予約済み。	0x0	R
[10:0]	STARTADDR		SEQ3 の開始アドレス。	0x0	R/W

シーケンス 1 情報レジスタ—SEQ1INFO

アドレス 0x000021E8、リセット：0x00000000、レジスタ名：SEQ1INFO

表 109. SEQ1INFO レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	SEQ1INSTNUM		SEQ1 の命令番号。	0x0	R/W
[15:11]	Reserved		予約済み。	0x0	R
[10:0]	SEQ1STARTADDR		SEQ1 の開始アドレス。	0x0	R/W

コマンドおよびデータ FIFO 内部データ・カウント・レジスタ—FIFOCNTSTA

アドレス 0x00002200、リセット：0x00000000、レジスタ名：FIFOCNTSTA

表 110. FIFOCNTSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:27]	Reserved		予約済み。	0x0	R
[26:16]	DATAFIFOCNTSTA[10:0]		データ FIFO 内の最新のワード数。	0x0	R
[15:0]	Reserved		予約済み。	0x0	R

外部デバイス同期レジスタ—SYNCEXTDEVICE

アドレス 0x00002054、リセット：0x00000000、レジスタ名：SYNCEXTDEVICE

表 111. SYNCEXTDEVICE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	Reserved		予約済み。	0x0	R
[7:0]	Sync		GPIOx の出力データ。GPIOx の制御方法については、 GPIOCON レジスタ を参照してください。対応ビットに 1 を書き込むと、対応する GPIOx がハイに設定されます。0 を書き込むと、対応する GPIOx が 0 に設定されます。	0x0	R/W

トリガ・シーケンス・レジスタ—TRIGSEQ

アドレス 0x00000430、リセット：0x0000、レジスタ名：TRIGSEQ

表 112. TRIGSEQ レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
3	TRIG3		トリガ・シーケンス 3。	0x0	R/W

シーケンサ

表 112. TRIGSEQ レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
2	TRIG2		トリガ・シーケンス 2。	0x0	R/W
1	TRIG1		トリガ・シーケンス 1。	0x0	R/W
0	TRIG0		トリガ・シーケンス 0。	0x0	R/WS

波形発生器

AD5940/AD5941 は、正弦波、台形波、方形波を発生するデジタル波形発生器を備えています。このセクションでは、この波形発生器の使用方法を説明します。

波形発生器の機能

波形発生器は、正弦波、台形波、方形波を発生する能力があり、高速 DAC または低電力 DAC と共に使用できます。

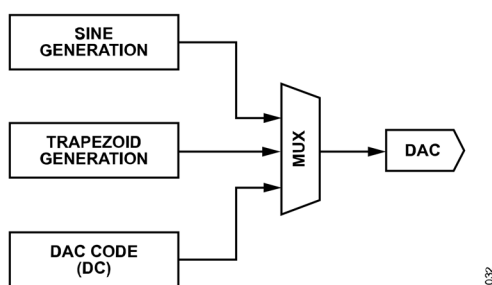


図 44. 波形発生器の簡略ブロック図

波形発生器の動作

波形発生器ブロックを有効化するには、AFECON レジスタの WAVEGENEN ビットを 1 に設定します。このビットが有効化されると、選択した波形ソースが始動し、いずれかのブロックが無効化するまで（WAVEGENEN = 0）、または別のソースが選択されるまで動作を繰り返します。ブロックが無効化されると、DAC 出力は、WGCON レジスタの TYPESEL ビットへの書き込みによって別の波形が選択されるか、波形がリセットされるまで、その電圧を維持します。

正弦波発生器

正弦波発生器のブロック図を図 45 に示します。

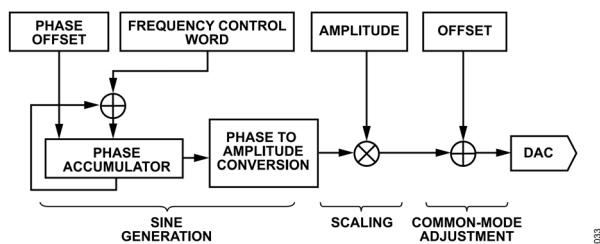


図 45. 正弦波発生器

出力周波数 (f_{OUT}) は、周波数制御ワード (WGFCW のビット [30:0]) を次式で用いて調整できます。

$$f_{OUT} = f_{ACLK} \times SINEFCW / 2^{30} \quad (15)$$

ここで、

f_{ACLK} は ACLK の周波数で 16MHz。

$SINEFCW$ は WGFCW レジスタのビット [23:0]。

正弦波発生器では、プログラマブルな位相オフセットを WGOFFSET レジスタで制御できます。位相アキュムレータを有効化すると、位相オフセット・レジスタの内容に従って初期化されます。正弦波発生器が始動すると、位相のインクリメントは常に正方向です。

台形波発生器

台形波の波形の定義を図 46 に示します。

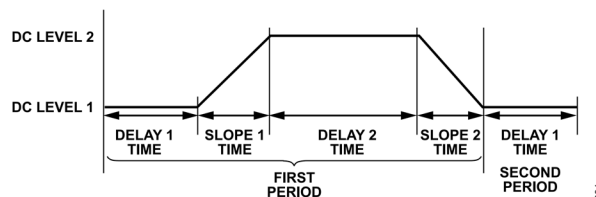


図 46. 台形波の定義

図 46 に示す6個のパラメータは、WGDCLEVEL1、WGDCLEVEL2、WGDELAY1、WGDELAY2、WDSLOPE1、WGSLOPE2 の各レジスタを通じて、ユーザがプログラムできます。これらの変数によって台形波形が定まります。WGSLOPEx レジスタを 0x00000 に設定すると、方形波が生成されます。時間は、DAC 更新クロックの周期数で表され、台形関数の場合、このクロックは 320kHz に設定されています。台形波の周期は、WGDELAY1 の開始で始まり、WGSLOPE2 の最後で終了します。台形波形は、ユーザによって無効化されるまで繰り返されます。

波形発生器と低電力 DAC の使用

波形発生器は、主として高速 DAC と共に用いるよう設計されていますが、超低電力アプリケーションや狭帯域幅アプリケーション用に低電力 DAC と共に用いることもできます。低電力 DAC を波形発生用に設定するには、LPDACCON レジスタのビット 6 を 1 に設定します。上述のように、台形波または正弦波を選択できます。波形発生器を低電力 DAC と共に使用する場合、システム・クロックとして、32kHz 発振器を選択する必要があります。低電力 DAC では信号の帯域幅が制限されているためです。

波形発生器のレジスタ

表 113. 高速 DAC 用波形発生器のレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00002014	WGCON	波形発生器設定レジスタ。	0x00000030	R/W
0x00002018	WGDCLEVEL1	波形発生器レジスタ、台形波 DC レベル 1。	0x00000000	R/W
0x0000201C	WGDCLEVEL2	波形発生器レジスタ、台形波 DC レベル 2。	0x00000000	R/W
0x00002020	WGDELAY1	波形発生器レジスタ、台形波遅延 1 の時間。	0x00000000	R/W
0x00002024	WGSLOPE1	波形発生器レジスタ、台形波スロープ 1 の時間。	0x00000000	R/W

波形発生器

表 113. ビット名（続き）

アドレス	レジスタ名	説明	リセット	アクセス
0x00002028	WGDELAY2	波形発生器レジスタ、台形波遅延 2 の時間。	0x00000000	R/W
0x0000202C	WGSLOPE2	波形発生器レジスタ、台形波スロープ 2 の時間。	0x00000000	R/W
0x00002030	WGFCW	波形発生器レジスタ、正弦波周波数制御ワード。	0x00000000	R/W
0x00002034	WGPHASE	波形発生器レジスタ、正弦波位相オフセット。	0x00000000	R/W
0x00002038	WGOFFSET	波形発生器レジスタ、正弦波オフセット。	0x00000000	R/W
0x0000203C	WGAMPLITUDE	波形発生器レジスタ、正弦波振幅。	0x00000000	R/W

波形発生器設定レジスタ—WGCON

アドレス 0x00002014、リセット：0x00000030、レジスタ名：WGCON

表 114. WGCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:6]	Reserved		予約済み。	0x0	R
5	DACGAINCAL	0 1	DAC ゲインをバイパス。アナログ・デバイセズの工場での調整時に計算され、DACGAIN レジスタに格納されている DAC ゲインを使用します。 DAC ゲイン補正をバイパス。 DAC ゲイン補正を実行。	0x1	R/W
4	DACOFFSETCAL	0 1	DAC オフセットをバイパス。キャリブレーション・ルーチンで計算した DAC オフセットを使用します。 DAC オフセット補正をバイパス。 DAC オフセット補正を実行。LPDACCON0 のビット 0 が 0 の場合、オフセット値は、低電力モード用は DACOFFSET レジスタ、大電力モード用は DACOFFSETHS レジスタにあります。LPDACCON0 のビット 0 が 1 の場合、オフセット値は、低電力モード用は DACOFFSETATTEN レジスタ、大電力モード用は DACOFFSETATTENHS レジスタにあります。	0x1	R/W
3	Reserved		予約済み。	0x0	R
[2:1]	TYPESEL	00 10 11	これらのビットは波形のタイプを選択します。 DAC への直接書き込み。ユーザ・コードによって HSDACDAT レジスタに直接書き込みます。 正弦波。AFECON レジスタの WAVEGENEN ビットを 1 に設定します。DAC は正弦波を出力します。 台形波。AFECON レジスタの WAVEGENEN ビットを 1 に設定します。DAC は台形波を出力します。	0x0	R/W
0	TRAPRSTEN	0 1	台形波発生器をリセットします。出力は、遅延 1 周期の最初から再始動し、その出力は DC レベル 1 に対応します。リセットは直ちに有効となります。台形波発生器がリセットされると、ビット値は 0 に戻ります。 台形波発生器のリセットを無効化します。 台形波発生器のリセットを有効化します。	0x0	W

波形発生器、台形波 DC レベル 1 レジスタ—WGDCLEVEL1

アドレス 0x00002018、リセット：0x00000000、レジスタ名：WGDCLEVEL1

表 115. WGDCLEVEL1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	TRAPDCLEVEL1		台形波発生器のための DC レベル 1 の値。	0x0	R/W

波形発生器

波形発生器、台形波 DC レベル 2 レジスタ—WGDCLEVEL2

アドレス 0x0000201C、リセット：0x00000000、レジスタ名：WGDCLEVEL2

表 116. WGDCLEVEL2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	TRAPDCLEVEL2		台形波発生のための DC レベル 2 の値。	0x0	R/W

シーケンサ・コマンド・カウント・レジスタ—SEQCNT

アドレス 0x00002064、リセット：0x00000000、レジスタ名：SEQCNT

SEQCNT レジスタは、コマンド・カウントを形成します。このカウントは、シーケンサがコマンドを実行するたびに 1 ずつインクリメントします。このレジスタはキーによる保護は行われません。

表 117. SEQCNT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:16]	Reserved		予約済み。	0x0	R
[15:0]	Count		シーケンサ・コマンド・カウント。このカウントは、シーケンサがコマンドを実行するたびに 1 ずつインクリメントします。0 にリセットするには、このレジスタに 1 を書き込みます。このレジスタに 1 を書き込むと、SEQCRC レジスタもクリアされます。	0x0	R/W1

波形発生器、台形波遅延 1 の時間レジスタ—WGDELAY1

アドレス 0x00002020、リセット：0x00000000、レジスタ名：WGDELAY1

表 118. WGDELAY1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	DELAY1		台形波発生のための遅延 1 の値。時間の単位は DAC の更新レートです。	0x0	R/W

波形発生器、台形波スロープ 1 の時間レジスタ—WGSLOPE1

アドレス 0x00002024、リセット：0x00000000、レジスタ名：WGSLOPE1

表 119. WGSLOPE1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	SLOPE1		台形波発生のためのスロープ 1 の値。時間の単位は DAC の更新レートです。台形波発生の場合、DAC の更新レートは 320kHz に固定されます。	0x0	R/W

波形発生器、台形波遅延 2 の時間レジスタ—WGDELAY2

アドレス 0x00002028、リセット：0x00000000、レジスタ名：WGDELAY2

表 120. WGDELAY2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	DELAY2		台形波発生のための遅延 2 の値。時間の単位は DAC の更新レートです。台形波発生の場合、DAC の更新レートは 320kHz に固定されます。	0x0	R/W

波形発生器

波形発生器、台形波スロープ 2 の時間レジスタ—WGSLOPE2

アドレス 0x0000202C、リセット：0x00000000、レジスタ名：WGSLOPE2

表 121. WGSLOPE2 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	SLOPE2		台形波発生器のためのスロープ 2 の値。時間の単位は DAC の更新レートです。台形波発生器の場合、DAC の更新レートは 320kHz に固定されます。	0x0	R/W

波形発生器、正弦波周波数制御ワード・レジスタ—WGFCW

アドレス 0x00002030、リセット：0x00000000、レジスタ名：WGFCW

表 122. WGFCW レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:24]	Reserved		予約済み。	0x0	R
[23:0]	SINEFCW		サイン波発生器周波数制御ワード。これらのビットは、正弦波の出力周波数を選択します。出力周波数 (f_{OUT}) = $f_{CLK} \times (SINEFCW/2^{30})$ 。正確な DFT 結果を得るため、また、スペクトルの漏れを避けるため、 $f_{OUT}/(DFT \text{ 入力データ・レート}/N)$ は、整数でなくてはなりません。ここで、N は、DFT の入力データ数です。DFTCON レジスタの DFTNUM ビットを参照してください (表 49 参照)。入力データ・ソースが異なることにより、DFT 入力データ・レートが異なる可能性があります。DFTCON レジスタの DFTINSEL ビットを参照してください (表 49 参照)。sinc3 は、DFT の入力データとして出力されます (DFT 入力データ・レート = ADC 出力データ・レート (1.6MHz または 800kHz) / SINC3_OSR)。ADCFILTERCON レジスタの SINC3OSR ビットを参照してください (表 43 参照)。sinc3 のバイパスの場合は、ADCFILTERCON レジスタの SINC3BYP ビットを参照します (表 43 参照)。DFT 入力データ・レートが 800kHz の場合、ADC 出力データ・レートは 800kHz に設定する必要があります。ADCFILTERCON レジスタの ADCSAMPLERATE ビットが 1 であることを確認してください (表 43 参照)。一般式は $ADC_FS/SINC3_OSR/SINC2_OS$ です。ADCFILTERCON レジスタの SINC2OSR ビットを参照してください (表 43 参照)。詳細については、 高性能 ADC 回路 のセクションを参照してください。	0x0	R/W

波形発生器、正弦波位相オフセット・レジスタ—WGPHASE

アドレス 0x00002034、リセット：0x00000000、レジスタ名：WGPHASE

表 123. WGPHASE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	SINEOFFSET		サイン波位相オフセット。SINEOFFSET のビット[19:0] = 位相 (°) / 360×2^{20} 。例えば、位相オフセットを 45° にするには、SINEOFFSET のビット[19:0] = $45/360 \times 2^{20}$ となります。このレジスタを先に設定してから、WGCON レジスタの TYPESEL ビット、および AFECON レジスタの WAVEGENEN ビットを設定する必要があります。	0x0	R/W

波形発生器、正弦波オフセット・レジスタ—WGOFFSET

アドレス 0x00002038、リセット：0x00000000、レジスタ名：WGOFFSET

表 124. WGOFFSET レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:12]	Reserved		予約済み。	0x0	R
[11:0]	SINEOFFSET		サイン波のオフセット。このオフセットは、正弦波モードの波形発生器出力に付加されます。この値は 2 の補数形式で表された符号付きの数値です。このレジスタを先に設定してから、WGCON レジスタの TYPESEL ビット、および AFECON レジスタの WAVEGENEN ビットを設定する必要があります。	0x0	R/W

波形発生器

波形発生器、正弦波振幅レジスタ—WGAMPLITUDE

アドレス 0x0000203C、リセット : 0x00000000、レジスタ名 : WGAMPLITUDE

表 125. WGAMPLITUDE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:11]	Reserved		予約済み。	0x0	R
[10:0]	SINEAMPLITUDE		正弦波の振幅、符号なし数値。この振幅は、正弦波モードの波形発生器をスケールリングします。DAC の出力電圧は、この値、および、HSDACCON レジスタの ATTENEN ビットと INAMPGNMDE ビットによって決まります。このレジスタを先に設定してから、WGCON レジスタの TYPESEL ビット、および AFECON レジスタの WAVEGENEN ビットを設定する必要があります。	0x0	R/W

SPI インターフェース

概要

AD5940/AD5941 には SPI インターフェースが備わっており、ホスト・マイクロコントローラによる設定と制御が容易にできます。ホスト・コントローラは、SPI を使用してメモリ、レジスタ、FIFO との間で読書きを行います。AD5940/AD5941 は、ターゲット SPI デバイスとして動作します。

SPI ピン

ホストと AD5940/AD5941 の間の SPI 接続は、 $\overline{\text{CS}}$ 、SCLK、MOSI、MISO です。

チップ・セレクト・イネーブル

ホストは、SPI ターゲット・イネーブル信号を AD5940/AD5941 の $\overline{\text{CS}}$ 入力に接続する必要があります。SPI トランザクションを開始するために、ホストは最初の SCLK 立上がりエッジの前に $\overline{\text{CS}}$ 信号をローに駆動し、最後の SCLK 立下がりエッジの後にハイに駆動します。 $\overline{\text{CS}}$ 入力が高い場合、AD5940/AD5941 は、SPI の SCLK 信号と MOSI 信号を無視します。

SCLK

SCLK は、ホストが AD5940/AD5941 に駆動するシリアル・クロックです。最大 SPI クロック速度は、16MHz です。

MOSI および MISO

MOSI は、ホストから AD5940/AD5941 へ駆動されるデータ入力ラインであり、MISO は、AD5940/AD5941 からホストへ駆動されるデータ出力ラインです。MOSI 信号および MISO 信号はそれぞれ、ホストおよび AD5940/AD5941 によって、SCLK 信号の立下がりエッジで開始され、SCLK 信号の立上がりエッジでサンプリングされます。MOSI 信号は、ホストから AD5940/AD5941 へデータを搬送します。MISO 信号は、読出しトランザクション中に、AD5940/AD5941 からホストへ返される読出しデータ・フィールドを搬送します。

SPI 動作

ホストは SPI のイニシエータです。SPI 動作の特徴および要件は次のとおりです。

- ▶ SCLK は常に AD5940/AD5941 のシステム・クロック (16MHz) より低速です。
- ▶ $\overline{\text{CS}}$ 信号がローの間、ホストは 8 の倍数のクロック・サイクルを発生させる必要があります。
- ▶ SPI ターゲットへの転送は常にバイト単位で揃えられています。
- ▶ オクテットごとに、最上位ビット (ビット 7) が最初に送受信されます。
- ▶ $\overline{\text{CS}}$ 信号がホストによっていつハイになっても、AD5940/AD5941 は、 $\overline{\text{CS}}$ 信号がホストによって再びローになったときに新しい SPI トランザクションを受け入れる準備が整っています。 $\overline{\text{CS}}$ がハイになってから再びローになるまでの最小時間は t_{10} です (表 4 参照)。

コマンド・バイト

SPI トランザクションにおいて、ホストから AD5940/AD5941 に送信される最初のバイトは、コマンド・バイトです。コマンド・バイトは、SPI トランザクションに用いられる SPI プロトコルを指定します。使用可能なコマンドの詳細を表 126 に示します。

表 126. SPI コマンド

Command	Value	Description
SPICMD_SETADDR	0x20	Set register address for SPI transaction
SPICMD_READREG	0x6D	Specifies SPI transaction is a read transaction
SPICMD_WRITEREG	0x2D	Specifies SPI transaction is a write transaction
SPICMD_READFIFO	0x5F	Command to read FIFO

AD5940/AD5941 で使用可能な主な SPI トランザクションは、レジスタとの間での読書きと、データ FIFO からのデータの読出しの 2 つです。

レジスタとの間の読書き

レジスタへの書込みとレジスタからの読出しには、2 つの SPI トランザクションが必要です。最初のトランザクションは、レジスタ・アドレスを設定します。次のトランザクションは、必要なレジスタとの間での実際の読書きです。レジスタへの書込み手順は次のとおりです。

1. コマンド・バイトを書き込み、レジスタ・アドレスを設定します。
 - a. $\overline{\text{CS}}$ をローに駆動します。
 - b. 8 ビットのコマンド・バイトである SPICMD_SETADDR を送信します。
 - c. 読書き対象のレジスタの 16 ビットのアドレスを送信します。
 - d. $\overline{\text{CS}}$ をハイにします。
2. データをレジスタに書き込みます。
 - a. $\overline{\text{CS}}$ をローに駆動します。
 - b. 8 ビットのコマンド・バイトである SPICMD_WRITEREG を送信します。
 - c. 16 ビットまたは 32 ビットのデータをレジスタに書き込みます。
 - d. $\overline{\text{CS}}$ をハイにします。
3. レジスタからデータを読み出します。
 - a. $\overline{\text{CS}}$ をローに駆動します。
 - b. 8 ビットのコマンド・バイトである SPICMD_READREG を送信します。
 - c. ダミー・バイトを SPI バスに送信して読出しを起動します。
 - d. 返される 16 ビットまたは 32 ビットのデータを読み出します。
 - e. $\overline{\text{CS}}$ をハイにします。

データ FIFO からのデータの読出し

データ FIFO からデータをリードバックするには、2 つの方法があります。つまり、[レジスタとの間の読書き](#)のセクションで説明したように DATAFIFORD レジスタを読み出す方法と、高速 FIFO 読出しプロトコルを実行する方法です。

SPI インターフェース

データ FIFO にある結果が 2 つ以下の場合、データは DATAFIFORD レジスタからリードバックできます。ただし、FIFO に 4 つ以上の結果がある場合は、より効率的な SPI トランザクション・プロトコルが実行されます。次のセクションでこのプロトコルの説明をしますが、その概要を図 47 に示します。

データ FIFO からのデータの読出し

データ FIFO からデータを読み出すには、以下の手順を実行します。

1. ローに駆動します。
2. 8 ビットのコマンド・バイトである SPICMD_READFIFO を送信します。
3. 有効なデータをリードバックできるようになる前に、SPI バスに 6 つのダミー・バイトを送信します。
4. 2 つの結果だけが残るまで、DATAFIFORD レジスタを連続的に読み出します。

5. ゼロ以外のオフセットを用いて、最後の 2 つのデータ・ポイントをリードバックします。
6. \overline{CS} をハイにします。

トランザクションのプロトコルを図 47 に示します。有効なデータがアドバンスト・ペリフェラル・バス (APB) で返されるまでに、6 つのダミー読出しが必要です。図には、FIFO の最後の 2 つの結果がゼロ以外のオフセットでリードバックされる理由も示しています。図 47 において、SPI バスがデータ B を送信しているときに APB はデータ C を読み出します。APB 読出し B が FIFO の最後のデータであると仮定すると、読出しオフセット (ROFFSETC) はゼロ以外の値に設定されます。次に、APB は、DATAFIFORD レジスタとは異なるレジスタを読み出します。APB が DATAFIFORD レジスタを読み出し続けた場合、データ FIFO はアンダーフロー状態になり、アンダーフロー・エラーの原因になります。

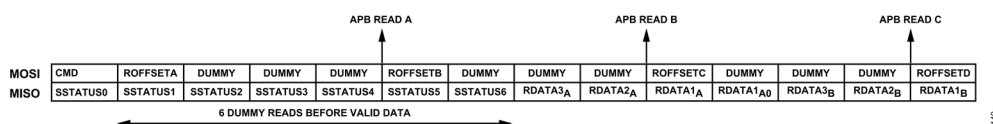


図 47. データ FIFO の読出しプロトコル

データ FIFO 用 ECC

データ FIFO には生データを堅牢にする ECC ブロックがあります。

表 127. データ FIFO の 32 ビット・データ構造

7-bit ECC	Sequencer ID	Channel ID	Data bit
-----------	--------------	------------	----------

シーケンサ ID、チャンネル ID、データ・ビットを含む、データ FIFO ワードの下位 25 ビットについて、7 ビットの ECC が計算されます。出力が ADC 生データに設定されている場合、データ FIFO ワード構造のデータ・ビット・フィールドは 16 ビット幅ですが、出力が DFT ソースに設定されている場合は、データ FIFO ワード構造のデータ・ビット・フィールドは 18 ビット幅です。

32 ビットのデータ FIFO ワードを受け取った後、ユーザは、ソフトウェアで ECC を計算し、その結果を上位 7 ビットの ECC と比較できます。

ECC のアルゴリズム

ECC は 7 個のパリティ・ビットで構成されます。これは、表 128 および表 129 において Yes と記されたビットのパリティです。

表 128. パリティビット 24～ビット 14

Parity	Bit 24	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	Bit 15	Bit 14
ECC Bit 0	Yes		Yes			Yes					Yes
ECC Bit 1	Yes			Yes			Yes			Yes	Yes
ECC Bit 2		Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes		
ECC Bit 3	Yes								Yes	Yes	
ECC Bit 4		Yes	Yes	Yes	Yes					Yes	
ECC Bit 5					Yes	Yes	Yes	Yes	Yes		Yes
ECC Bit 6		Yes						Yes			

表 129. パリティビット 13～ビット 0

Parity	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ECC Bit 0							Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
ECC Bit 1	Yes	Yes	Yes	Yes	Yes	Yes	Yes			Yes				
ECC Bit 2			Yes								Yes			
ECC Bit 3	Yes			Yes				Yes				Yes		
ECC Bit 4		Yes			Yes		Yes		Yes			Yes	Yes	
ECC Bit 5	Yes	Yes				Yes		Yes	Yes					Yes
ECC Bit 6			Yes	Yes	Yes	Yes				Yes	Yes		Yes	Yes

スリープおよびウェイクアップ・タイマー

スリープおよびウェイクアップ・タイマー機能

AD5940/AD5941 は、20 ビットのスリープおよびウェイクアップ・タイマーを内蔵しています。スリープおよびウェイクアップ・タイマーは、シーケンサの自動制御機能を備えており、SEQ0~SEQ3 を任意の順序で 8 シーケンスまで、順次実行できます。タイマーは、32kHz の内部発振器クロック・ソースからクロック供給されます。

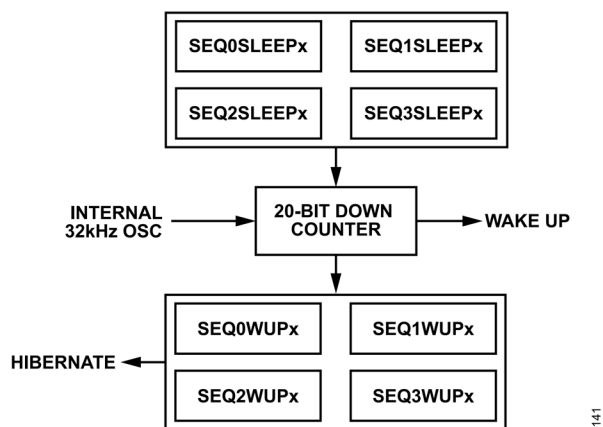


図 48. スリープおよびウェイクアップ・タイマーのブロック図

スリープおよびウェイクアップ・タイマーの概要

スリープおよびウェイクアップ・タイマー・ブロックは、カウント・ダウンを行う 20 ビットのタイマーで構成されています。ソース・クロックは、32kHz の内部低周波数発振器です。

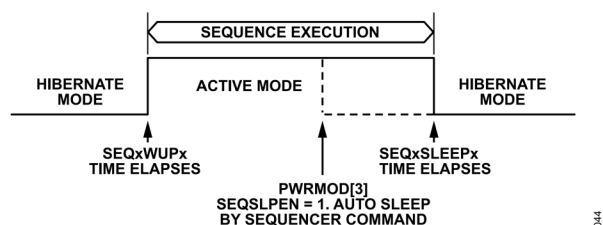


図 49. スリープおよびウェイクアップ・タイマーのタイミング図

タイマー時間が経過すると、デバイスはウェイクアップし、シーケンスを自動的に実行します。最大 8 シーケンスを順次実行できます。

タイマー時間が経過すると、デバイスはスリープ状態に戻ります。シーケンスの実行が完了する前にタイマー時間が経過すると、シーケンスの残りのコマンドは無視されます。そのため、ユーザ・コードでは、SEQxSLEEPx レジスタの値を十分に大きくし、シーケンスが全てのコマンドを実行できるようにする必要があります。

ウェイクアップ・タイマーを用いてタイマーのスリープ機能を無効化し（PWRMOD のビット 2 = 0）、シーケンサを用いて休止モードに入るようにすることを推奨します。PWRMOD のビット 3 を 1 に設定すると、シーケンサでデバイスを休止モードにできます。

定義されたシーケンスの順序の設定

スリープおよびウェイクアップ・タイマーには、シーケンスを特定の順序で周期的に実行できる機能があります。シーケンスの実行順序は、SEQORDER レジスタで定義されます。このレジスタでは A~H の 8 個のロットが使用できます。ロットごとに 4 つのシーケンスのいずれかを設定できます。図 50 にこの機能の例を示します。図 50 では、SEQ1、SEQ2、SEQ3 の 3 つの定義されたシーケンスが実行されます。

AD5940/AD5941 がこのシーケンス順序を実行するよう設定するには、以下のレジスタ設定を行います。

1. SEQORDER のビット SEQA = 1 (SEQ1)
2. SEQORDER のビット SEQB = 2 (SEQ2)
3. SEQORDER のビット SEQC = 3 (SEQ3)
4. SEQORDER のビット SEQD = 1 (SEQ1)
5. CON の ENDSEQ = 3 (シーケンス D で終了)



図 50. シーケンス順の図

スリープおよびウェイクアップ・タイマーの推奨動作

アナログ・デバイセズでは、性能と消費電力を最適化するために、スリープおよびウェイクアップ・タイマーを使用する場合には、以下の手順に従うことを推奨します。

1. PWRMOD のビット 2 を 0 に設定して、タイマー・スリープ機能を無効化します。スリープ・ウェイクアップ・タイマーは、デバイスを休止モードにはしません。その代わりに、シーケンスの最後に SEQTRG レジスタに書き込みを行うことによって、デバイスをスリープ・モードにします。このスリープ・モードは消費電力を最適化します。
2. TMRCON のビット 0 を 1 に設定して、タイマー・ウェイクアップ機能を有効化します。
3. PWRMOD のビット 3 を 1、SEQSLPLOCK レジスタを 0xA47E5 に設定して、シーケンサがスリープをトリガできるようにします。
4. CON のビット[3:1]で最後のシーケンスを設定します。使用するシーケンスが 1 つのみの場合は、そのシーケンスを選択します。
5. スリープ時間とウェイクアップ時間を SEQxSLEEPH、SEQxSLEEPL、SEQxWUPH、SEQxWUPL の各レジスタに書き込みます。
6. シーケンスをトリガする順序を SEQORDER を用いて設定します。
7. CON のビット 0 に 1 を書き込んでタイマーを有効化します。

CON のビット 0 が 1 の場合、タイマーは、SEQxWUPH レジスタおよび SEQxWUPL レジスタから値をロードし、カウント・ダウンを開始します。タイマーがゼロに達すると、デバイスがウェイクアップし、SEQORDER のビット[1:0]で指定された順序でシーケンスを実行します。タイマーは、SEQxSLEEPH レジスタおよび SEQxSLEEPL レジスタから値をロードし、シーケンサが動作しているときに再びカウント・ダウンを始めます。タイマー時間が経過すると、TMRCON のビット 0 が 1 に設定されている場合、AD5940/AD5941 はスリープに戻ります。PWRMOD のビット 3 = 1 の場合、AD5940/AD5941 は、最後のシーケンスが終了するとスリープに戻ります。

スリープおよびウェイクアップ・タイマー

32kHz の内部発振器を用いている場合、最大休止時間は 32sec です。

SEQxWUPx レジスタおよび SEQxSLEEPx レジスタ用のコードを計算するには、次式を用います。

$$Code = ClkFreq \times Time$$

(16)

ここで、
Code は、SEQxWUPx レジスタ用のコード値。
ClkFreq は、内部発振器の周波数 (Hz)。
Time は、必要なタイムアウト時間 (秒)。

スリープおよびウェイクアップ・タイマーのレジスタ

表 130. スリープおよびウェイクアップ・タイマーのレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000800	CON	タイマー制御レジスタ	0x0000	R/W
0x00000804	SEQORDER	順序制御レジスタ	0x0000	R/W
0x00000808	SEQ0WUPL	シーケンス 0 ウェイクアップ時間レジスタ (LSB)	0xFFFF	R/W
0x0000080C	SEQ0WUPH	シーケンス 0 ウェイクアップ時間レジスタ (MSB)	0x000F	R/W
0x00000810	SEQ0SLEEP_L	シーケンス 0 スリープ時間レジスタ (LSB)	0xFFFF	R/W
0x00000814	SEQ0SLEEP_H	シーケンス 0 スリープ時間レジスタ (MSB)	0x000F	R/W
0x00000818	SEQ1WUPL	シーケンス 1 ウェイクアップ時間レジスタ (LSB)	0xFFFF	R/W
0x0000081C	SEQ1WUPH	シーケンス 1 ウェイクアップ時間レジスタ (MSB)	0x000F	R/W
0x00000820	SEQ1SLEEP_L	シーケンス 1 スリープ時間レジスタ (LSB)	0xFFFF	R/W
0x00000824	SEQ1SLEEP_H	シーケンス 1 スリープ時間レジスタ (MSB)	0x000F	R/W
0x00000828	SEQ2WUPL	シーケンス 2 ウェイクアップ時間レジスタ (LSB)	0xFFFF	R/W
0x0000082C	SEQ2WUPH	シーケンス 2 ウェイクアップ時間レジスタ (MSB)	0x000F	R/W
0x00000830	SEQ2SLEEP_L	シーケンス 2 スリープ時間レジスタ (LSB)	0xFFFF	R/W
0x00000834	SEQ2SLEEP_H	シーケンス 2 スリープ時間レジスタ (MSB)	0x000F	R/W
0x00000838	SEQ3WUPL	シーケンス 3 ウェイクアップ時間レジスタ (LSB)	0xFFFF	R/W
0x0000083C	SEQ3WUPH	シーケンス 3 ウェイクアップ時間レジスタ (MSB)	0x000F	R/W
0x00000840	SEQ3SLEEP_L	シーケンス 3 スリープ時間レジスタ (LSB)	0xFFFF	R/W
0x00000844	SEQ3SLEEP_H	シーケンス 3 スリープ時間レジスタ (MSB)	0x000F	R/W
0x00000A1C	TMRCON	タイマー・ウェイクアップ設定レジスタ	0x0000	R/W

タイマー制御レジスタ—CON

アドレス 0x00000800、リセット：0x0000、レジスタ名：CON

CON レジスタはウェイクアップ・タイマー制御レジスタです。

表 131. CON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:7]	Reserved		予約済み。	0x0	R
6	MSKTRG		シーケンス・トリガのスリープおよびウェイクアップ・タイマーからのマスク。このビットは、スリープおよびウェイクアップ・タイマーからシーケンス・トリガをマスクします。トリガがマスクされた後は、トリガはシーケンサには移行しません。	0x0	R/W
[5:4]	RESERVED		予約済み。	0x0	R
[3:1]	ENDSEQ		シーケンスの終了。これらのビットは、SEQORDER ビットの 1 つをタイミング・シーケンスの最後に選択します。	0x0	R/W
		0	スリープおよびウェイクアップ・タイマーは、シーケンス A で停止し、その後シーケンス A に戻ります。		
		1	スリープおよびウェイクアップ・タイマーは、シーケンス B で停止し、その後シーケンス A に戻ります。		
		10	スリープおよびウェイクアップ・タイマーは、シーケンス C で停止し、その後シーケンス A に戻ります。		
		11	スリープおよびウェイクアップ・タイマーは、シーケンス D で停止し、その後シーケンス A に戻ります。		
		100	スリープおよびウェイクアップ・タイマーは、シーケンス E で停止し、その後シーケンス A に戻ります。		
		101	スリープおよびウェイクアップ・タイマーは、シーケンス F で停止し、その後シーケンス A に戻ります。		
		110	スリープおよびウェイクアップ・タイマーは、シーケンス G で停止し、その後シーケンス A に戻ります。		
		111	スリープおよびウェイクアップ・タイマーは、シーケンス H で停止し、その後シーケンス A に戻ります。		

スリープおよびウェイクアップ・タイマー

表 131. CON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
0	EN	0	スリープおよびウェイクアップ・タイマー・イネーブル・ビット。	0x0	R/W
		1	スリープおよびウェイクアップ・タイマーを有効化します。		
		1	スリープおよびウェイクアップ・タイマーを無効化します。		

順序制御レジスタ—SEQORDER

アドレス 0x00000804、リセット：0x0000、レジスタ名：SEQORDER

SEQORDER レジスタは、コマンド・シーケンスの実行順を制御します。

表 132. SEQORDER レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	SEQH	0 1 10 11	シーケンス H の設定。これらのビットは、タイマー・シーケンス H に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[13:12]	SEQG	0 1 10 11	シーケンス G の設定。これらのビットは、タイマー・シーケンス G に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[11:10]	SEQF	0 1 10 11	シーケンス F の設定。これらのビットは、タイマー・シーケンス F に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[9:8]	SEQE	0 1 10 11	シーケンス E の設定。これらのビットは、タイマー・シーケンス E に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[7:6]	SEQD	0 1 10 11	シーケンス D の設定。これらのビットは、タイマー・シーケンス D に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[5:4]	SEQC	0 1 10 11	シーケンス C の設定。これらのビットは、タイマー・シーケンス C に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[3:2]	SEQB	0 1 10 11	シーケンス B の設定。これらのビットは、タイマー・シーケンス B に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W
[1:0]	SEQA	0 1 10 11	シーケンス A の設定。これらのビットは、タイマー・シーケンス A に SEQ0、SEQ1、SEQ2 または SEQ3 を選択します。 SEQ0 を選択します。 SEQ1 を選択します。 SEQ2 を選択します。 SEQ3 を選択します。	0x0	R/W

スリープおよびウェイクアップ・タイマー

シーケンス 0 からシーケンス 3 のウェイクアップ時間レジスタ (LSB) —SEQxWUPL

アドレス 0x00000808、リセット：0xFFFF、レジスタ名：SEQ0WUPL

アドレス 0x00000818、リセット：0xFFFF、レジスタ名：SEQ1WUPL

アドレス 0x00000828、リセット：0xFFFF、レジスタ名：SEQ2WUPL

アドレス 0x00000838、リセット：0xFFFF、レジスタ名：SEQ3WUPL

これらのレジスタは、シーケンスのスリープ時間を設定します。カウンタは 20 ビットです。これらのレジスタは 16 個の LSB を設定します。このタイマー時間が経過すると、デバイスがウェイクアップします。

表 133. SEQxWUPL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	WAKEUPTIME0[15:0]		シーケンスおよびスリープの期間。このレジスタは、デバイスがスリープ・モードになっている時間の長さを定義します。この時間が経過すると、デバイスはウェイクアップします。	0xFFFF	R/W

シーケンス 0 からシーケンス 3 のウェイクアップ時間レジスタ (MSB) —SEQxWUPH

アドレス 0x0000080C、リセット：0x000F、レジスタ名：SEQ0WUPH

アドレス 0x0000081C、リセット：0x000F、レジスタ名：SEQ1WUPH

アドレス 0x0000082C、リセット：0x000F、レジスタ名：SEQ2WUPH

アドレス 0x0000083C、リセット：0x000F、レジスタ名：SEQ3WUPH

これらのレジスタは、シーケンスのスリープ時間を設定します。カウンタは 20 ビットです。これらのレジスタは 4 個の MSB を設定します。このタイマー時間が経過すると、デバイスがウェイクアップします。

表 134. SEQxWUPH レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
[3:0]	WAKEUPTIME0[19:16]		シーケンスおよびスリープの期間。このレジスタは、デバイスがスリープ・モードになっている時間の長さを定義します。この時間が経過すると、デバイスはウェイクアップします。	0xF	R/W

シーケンス 0 からシーケンス 3 のスリープ時間レジスタ (LSB) —SEQxSLEEPL

アドレス 0x00000810、リセット：0xFFFF、レジスタ名：SEQ0SLEEPL

アドレス 0x00000820、リセット：0xFFFF、レジスタ名：SEQ1SLEEPL

アドレス 0x00000830、リセット：0xFFFF、レジスタ名：SEQ2SLEEPL

アドレス 0x00000840、リセット：0xFFFF、レジスタ名：SEQ3SLEEPL

SEQxSLEEPL レジスタは、SEQ0～SEQ3 でデバイスがアクティブになっている時間を定義します。カウンタは 20 ビットです。これらのレジスタは 16 個の LSB を設定します。

表 135. SEQxSLEEPL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	SLEEPTIME0[15:0]		シーケンスおよびアクティブになっている時間。このレジスタは、デバイスがアクティブ・モードになっている時間の長さを定義します。この時間が経過すると、デバイスはスリープ状態に戻ります。	0xFFFF	R/W

スリープおよびウェイクアップ・タイマー

シーケンス 0 からシーケンス 3 のスリープ時間レジスタ (MSB) —SEQxSLEEPH

アドレス 0x00000814、リセット : 0x000F、レジスタ名 : SEQ0SLEEPH

アドレス 0x00000824、リセット : 0x000F、レジスタ名 : SEQ1SLEEPH

アドレス 0x00000834、リセット : 0x000F、レジスタ名 : SEQ2SLEEPH

アドレス 0x00000844、リセット : 0x000F、レジスタ名 : SEQ3SLEEPH

SEQxSLEEPH レジスタは、SEQ0～SEQ3 でデバイスがアクティブになっている時間を定義します。カウンタは 20 ビットです。これらのレジスタは 4 個の MSB を設定します。

表 136. SEQxSLEEPH レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
[3:0]	SLEEPTIME0[19:16]		シーケンスおよびアクティブになっている時間。このレジスタは、デバイスがアクティブ・モードになっている時間の長さを定義します。この時間が経過すると、デバイスはスリープ状態に戻ります。	0xF	R/W

タイマー・ウェイクアップ設定レジスタ—TMRCON

アドレス 0x00000A1C、リセット : 0x0000、レジスタ名 : TMRCON

表 137. TMRCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	Reserved		予約済み。	0x0	R
0	TMRINTEN	0 1	ウェイクアップ・タイマー・イネーブル。休止モードになる前にこのビットをセットすると、スリープおよびウェイクアップ・タイマーがチップをウェイクアップする機能が有効になります。 ウェイクアップ・タイマーを無効化。 ウェイクアップ・タイマーを有効化。	0x0	R/W

割込み

AD5940/AD5941 では多数の割込みオプションが使用可能です。これらの割込みを設定すると、割込みイベントに対応して GPIOx ピンをトグルできます。

割込みコントローラの割込み

割込みコントローラは 2 つのブロックに分割されます。各ブロックは、INTCSELx レジスタと INTCFLAGx レジスタで構成されます。INTCPOL レジスタと INTCCLR レジスタは、両ブロックに共通です。INTCSELx レジスタで割込みが有効化されると、INTCFLAGx レジスタの対応するビットがセットされます。使用可能な割込みソースを表 138 に示します。INTCFLAGx 割込みを設定すると、割込みイベントに対応して GPIOx ピンをトグルできます。

割込みの設定

割込みソースを設定する前に、GPIOx ピンを割込み出力に設定しなくてはなりません。GPIO0、GPIO3、GPIO6 は、INT0 の出力用に設定できます。GPIO4 および GPIO7 は、INT1 の出力用に設定できます。詳細については、[デジタル・ポートのマルチプレックス](#)のセクションを参照してください。ユーザは、割込みの極性（立上がりエッジまたは立下がりエッジ）を INTCPOL レジスタで設定できます。割込みがトリガされると、選択した GPIOx ピンがトグルされて、割込みイベントが発生したことをホスト・マイクロコントローラにアラートします。割込みソースをクリアするには、INTCCLR レジスタの対応するビットに書き込みを行います。

カスタム割込み

INTCSELx のビット[12:9]で、4 つのカスタム割込みソースをユーザが選択できます。これらのカスタム割込みは、AFEGENINTSTA

レジスタの対応するビットに書き込みを行うことで、割込みイベントを生成できます。このレジスタに書き込むことは、シーケンスを通じた場合のみ可能です。SPI を用いた場合、AFEGENINTSTA レジスタへの書き込みは無効です。

外部割込み設定

AD5940/AD5941 では、8 個の外部割込みが可能です。これらの外部割込みは、以下に示す種類のイベントの任意の組み合わせを検出するように設定できます。

- ▶ 立上がりエッジ。ロジックはローからハイへの遷移を検出し、パルスを生成します。
- ▶ 立下がりエッジ。ロジックはハイからローへの遷移を検出し、パルスを生成します。
- ▶ 立上がりエッジまたは立下がりエッジ。ロジックはローからハイへ、またはハイからローへの遷移を検出し、パルスを生成します。
- ▶ ハイ・レベル。ロジックはハイ・レベルを検出します。割込みラインは、外部ソースからアサート解除されるまでアサートを保持します。
- ▶ ロー・レベル。ロジックはロー・レベルを検出します。割込みラインは、外部ソースからアサート解除されるまでアサートを保持します。

外部割込み検出ユニット・ブロックでは、休止モードになっている AD5940/AD5941 を外部イベントによってウェイクアップできます。

表 138. 割込みソースの概要

INTCFLAGx レジスタのフラグ名	割込みソースの説明
FLAG0	ADC 結果 IRQ のステータス。
FLAG1	DFT 結果 IRQ のステータス。
FLAG2	sinc2 フィルタ結果レディ IRQ のステータス。
FLAG3	温度結果 IRQ のステータス。
FLAG4	ADC 最小値フェール IRQ のステータス。
FLAG5	ADC 最大値フェール IRQ のステータス。
FLAG6	ADC 変化フェール IRQ のステータス。
FLAG7	平均値 IRQ のステータス。
FLAG8	分散 IRQ のステータス。
FLAG13	ブートロード完了 IRQ のステータス。
FLAG15	シーケンス終了 IRQ のステータス。
FLAG16	シーケンス・タイムアウト終了 IRQ のステータス。 タイマー・コマンド のセクションを参照してください。
FLAG17	シーケンス・タイムアウト・コマンド・エラー IRQ のステータス。 タイマー・コマンド のセクションを参照してください。
FLAG23	データ FIFO フル IRQ のステータス。
FLAG24	データ FIFO エンプティ IRQ のステータス。
FLAG25	データ FIFO スレッシュOLD IRQ のステータス。DATAFIFOTHRES レジスタに設定されているスレッシュOLD値。
FLAG26	データ FIFO オーバーフロー IRQ のステータス。
FLAG27	データ FIFO アンダーフロー IRQ のステータス。
FLAG29	外れ値 IRQ のステータス。外れ値が検出された場合に検出。
FLAG31	ブレイク試行 IRQ のステータス。この割込みは、シーケンス A の実行中にシーケンス B の要求が生じた場合にセットされます。この割込みは、シーケンス B が無視されることを示します。

割込み

割込みレジスタ

表 139. 割込みレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00003000	INTCPOL	割込み極性レジスタ	0x00000000	R/W
0x00003004	INTCCLR	割込みクリア・レジスタ	0x00000000	W
0x00003008	INTCSEL0	割込みコントローラ選択レジスタ (INT0)	0x00002000	R/W
0x0000300C	INTCSEL1	割込みコントローラ選択レジスタ (INT1)	0x00002000	R/W
0x00003010	INTCFLAG0	割込みコントローラ・フラグ・レジスタ (INT0)	0x00000000	R
0x00003014	INTCFLAG1	割込みコントローラ・フラグ・レジスタ (INT1)	0x00000000	R
0x0000209C	AFEGENINTSTA	アナログ生成割込み	0x00000010	R/W1C

割込み極性レジスタ—INTCPOL

アドレス 0x00003000、リセット：0x00000000、レジスタ名：INTCPOL

表 140. INTCPOL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:1]	Reserved		予約済み。	0x0	R
0	INTPOL	0 1	割込み極性。 出力立下がりエッジ割込み。 出力立上がりエッジ割込み。	0x0	R/W

割込みクリア・レジスタ—INTCCLR

アドレス 0x00003004、リセット：0x00000000、レジスタ名：INTCCLR

表 141. INTCCLR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
31	INTCLR31		ブレイク試行割込み (IRQ)。クリアするには 1 を書き込みます。	0x0	W
30	Reserved		予約済み。	0x0	W
29	INTCLR29		外れ値 IRQ。クリアするには 1 を書き込みます。	0x0	W
28	Reserved		予約済み。	0x0	W
27	INTCLR27		データ FIFO アンダーフロー IRQ。クリアするには 1 を書き込みます。	0x0	W
26	INTCLR26		データ FIFO オーバーフロー IRQ。クリアするには 1 を書き込みます。	0x0	W
25	INTCLR25		データ FIFO スレッシュホールド IRQ。クリアするには 1 を書き込みます。	0x0	W
24	INTCLR24		データ FIFO エンプティ IRQ。クリアするには 1 を書き込みます。	0x0	W
23	INTCLR23		データ FIFO フル IRQ。クリアするには 1 を書き込みます。	0x0	W
22	Reserved		予約済み。	0x0	W
17	INTCLR17		シーケンサ・タイムアウト・エラー IRQ。クリアするには 1 を書き込みます。	0x0	W
16	INTCLR16		シーケンサ・タイムアウト終了 IRQ。クリアするには 1 を書き込みます。	0x0	W
15	INTCLR15		シーケンス終了 IRQ。クリアするには 1 を書き込みます。	0x0	W
14	Reserved		予約済み。	0x0	W
13	INTCLR13		ブートロード終了 IRQ。クリアするには 1 を書き込みます。	0x0	W
12	INTCLR12		カスタム割込み 3 (IRQ3)。クリアするには 1 を書き込みます。	Not applicable	Not applicable
11	INTCLR11		カスタム割込み 2 (INR)。クリアするには 1 を書き込みます。	Not applicable	Not applicable
10	INTCLR10		カスタム割込み 1。クリアするには 1 を書き込みます。	Not applicable	Not applicable
9	INTCLR9		カスタム割込み 0。クリアするには 1 を書き込みます。	Not applicable	Not applicable
8	INTCLR8		分散 IRQ。クリアするには 1 を書き込みます。	0x0	W
7	INTCLR7		平均値 IRQ。クリアするには 1 を書き込みます。	0x0	W

割込み

表 141. INTCLR レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
6	INTCLR6		ADC 変化フェール IRQ。クリアするには 1 を書き込みます。	0x0	W
5	INTCLR5		ADC 最大値フェール IRQ。クリアするには 1 を書き込みます。	0x0	W
4	INTCLR4		ADC 最小値フェール IRQ。クリアするには 1 を書き込みます。	0x0	W
3	INTCLR3		温度結果 IRQ。クリアするには 1 を書き込みます。	0x0	W
2	INTCLR2		sinc2 フィルタ結果レディ IRQ。クリアするには 1 を書き込みます。	0x0	W
1	INTCLR1		DFT 結果 IRQ。クリアするには 1 を書き込みます。	0x0	W
0	INTCLR0		ADC 結果 IRQ。クリアするには 1 を書き込みます。	0x0	W

割込みコントローラ選択レジスタ—INTCSEL0 および INTCSEL1

アドレス 0x00003008、リセット：0x00002000、レジスタ名：INTCSEL0

アドレス 0x0000300C、リセット：0x00002000、レジスタ名：INTCSEL1

表 142. INTCSEL0 レジスタおよび INTCSEL1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
31	INTSEL31	0 1	ブレーク試行 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
30	Reserved		予約済み。	0x0	R/W
29	INTSEL29	0 1	外れ値 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
28	Reserved		予約済み。	0x0	R/W
27	INTSEL27	0 1	データ FIFO アンダーフロー IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
26	INTSEL26	0 1	データ FIFO オーバーフロー IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
25	INTSEL25	0 1	データ FIFO スレッシュホールド IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
24	INTSEL24	0 1	データ FIFO エンプティ IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
23	INTSEL23	0 1	データ FIFO フル IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
[22:18]	Reserved		予約済み。	0x0	R/W
17	INTSEL17	0 1	シーケンサ・タイムアウト・エラー IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
16	INTSEL16	0 1	シーケンサ・タイムアウト終了 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W

割込み

表 142. INTCSEL0 レジスタおよび INTCSEL1 レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
15	INTSEL15	0 1	シーケンス終了 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
14	Reserved		予約済み。	0x0	R/W
13	INTSEL13	0 1	ブートロード完了 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x1	R/W
12	INTSEL12	0 1	カスタム IRQ3 の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
11	INTSEL11	0 1	カスタム IRQ2 の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
10	INTSEL10	0 1	カスタム IRQ 1 の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
9	INTSEL9	0 1	カスタム IRQ 0 の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
8	INTSEL8	0 1	分散 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
7	INTSEL7	0 1	平均値 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
6	INTSEL6	0 1	ADC 変化フェール IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
5	INTSEL5	0 1	ADC 最大値フェール IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
4	INTSEL4	0 1	ADC 最小値フェール IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
3	INTSEL3	0 1	温度結果 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
2	INTSEL2	0 1	sinc2 フィルタ結果レディ IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
1	INTSEL1	0 1	DFT 結果 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W
0	INTSEL0	0 1	ADC 結果 IRQ の有効化。 割込みを無効化。 割込みを有効化。	0x0	R/W

割込み

割込みコントローラ・フラグ・レジスタ—INTCFLAG0 および INTCFLAG1

アドレス 0x00003010、リセット：0x00000000、レジスタ名：INTCFLAG0

アドレス 0x00003014、リセット：0x00000000、レジスタ名：INTCFLAG1

表 143. INTCFLAG0 レジスタおよび INTCFLAG1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
31	FLAG31	0 1	ブレイク試行 IRQ のステータス。このビットは、シーケンス A の実行中にシーケンス B の要求が生じた場合にセットされ、シーケンス B が無視されることを示します。 割込みをアサートしない。 割込みをアサート。	0x0	R
30	Reserved		予約済み。	0x0	R
29	FLAG29	0 1	外れ値 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
28	Reserved		予約済み。	0x0	R
27	FLAG27	0 1	データ FIFO アンダーフロー IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
26	FLAG26	0 1	データ FIFO オーバーフロー IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
25	FLAG25	0 1	データ FIFO スレッシュホールド IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
24	FLAG24	0 1	データ FIFO エンプティ IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
23	FLAG23	0 1	データ FIFO フル IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
[22:18]	Reserved		予約済み。	0x0	R
17	FLAG17	0 1	シーケンサ・タイムアウト・エラー IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
16	FLAG16	0 1	シーケンサ・タイムアウト終了 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
15	FLAG15	0 1	シーケンス終了 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
14	Reserved		予約済み。	0x0	R
13	FLAG13	0 1	ブートロード完了 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
12	FLAG12	0 1	カスタム割込み 3 のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R

割込み

表 143. NTCFLAG0 レジスタおよび INTCFLAG1 レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
11	FLAG11	0 1	カスタム割込み 2 のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
10	FLAG10	0 1	カスタム割込み 1 のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
9	FLAG9	0 1	カスタム割込み 0 のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
8	FLAG8	0 1	分散 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
7	FLAG7	0 1	平均値 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
6	FLAG6	0 1	ADC 変化フェール IRQ のステータス。このビットがセットされている場合、連続する 2 つの ADC 結果の差が ADCDELTA レジスタで指定された値より大きいことを示します。このビットがクリアされている場合、このビットが最後にクリアされて以降、制限値を超える 2 連続 ADC 結果の差は検出されていないことを示します。 割込みをアサートしない。 割込みをアサート。	0x0	R
5	FLAG5	0 1	ADC 最大値フェール IRQ のステータス。このビットがセットされている場合、ADC 結果が ADCMAX レジスタで指定された最大値を超えていることを示します。このビットがクリアされている場合、最大値を超える ADC 値は検出されていないことを示します。 割込みをアサートしない。 割込みをアサート。	0x0	R
4	FLAG4	0 1	ADC 最小値フェール IRQ のステータス。このビットがセットされている場合、ADC 結果が ADCMIN レジスタで指定された最小値を下回っていることを示します。このビットがクリアされている場合、このビットが最後にクリアされて以降、制限値を下回る ADC 結果は検出されていないことを示します。 割込みをアサートしない。 割込みをアサート。	0x0	R
3	FLAG3	0 1	温度結果 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
2	FLAG2	0 1	sinc2 フィルタ結果レディ IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
1	FLAG1	0 1	DFT 結果 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R
0	FLAG0	0 1	ADC 結果 IRQ のステータス。 割込みをアサートしない。 割込みをアサート。	0x0	R

割込み

アナログ生成割込みレジスタ—AFEGENINTSTA

アドレス 0x0000209C、リセット：0x00000010、レジスタ名：AFEGENINTSTA

AFEGENINTSTA レジスタは、カスタム割込みを発生させます。このレジスタへの書込みは、シーケンサを用いた場合のみ可能です。SPI を用いてこのレジスタに書き込んでも無効です。SPI を用いてこのレジスタを読み出しても、意味のあるデータは返されません。

表 144. AFEGENINTSTA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:4]	Reserved		予約済み。	0x1	R
3	CUSTOMINT3		汎用カスタム割込み 3。このビットは、シーケンサ・プログラムを用いて手動で設定します。このビットに 1 を書き込むと、割込みがトリガされます。	0x0	R/W1C
2	CUSTOMINT2		汎用カスタム割込み 2。このビットは、シーケンサ・プログラムを用いて手動で設定します。このビットに 1 を書き込むと、割込みがトリガされます。	0x0	R/W1C
1	CUSTOMINT1		汎用カスタム割込み 1。このビットは、シーケンサ・プログラムを用いて手動で設定します。このビットに 1 を書き込むと、割込みがトリガされます。	0x0	R/W1C
0	CUSTOMINT0		汎用カスタム割込み 0。このビットは、シーケンサ・プログラムを用いて手動で設定します。このビットに 1 を書き込むと、割込みがトリガされます。	0x0	R/W1C

外部割込み設定レジスタ

表 145. 外部割込みレジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000A20	EI0CON	外部割込み設定 0 レジスタ	0x0000	R/W
0x00000A24	EI1CON	外部割込み設定 1 レジスタ	0x0000	R/W
0x00000A28	EI2CON	外部割込み設定 2 レジスタ	0x0000	R/W
0x00000A30	EICLR	外部割込みクリア・レジスタ	0xC000	R/W

外部割込み設定 0 レジスタ—EI0CON

アドレス 0x00000A20、リセット：0x0000、レジスタ名：EI0CON

表 146. EI0CON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	IRQ3EN	0 1	外部割込み 3 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO3 でデバイスをウェイクアップできるようになります。 外部割込み 3 を無効化。 外部割込み 3 を有効化。	0x0	R/W
[14:12]	IRQ3MDE	000 001 010 011 100 101 110 111	外部割込み 3 のモード・ビット。 立上がりエッジ。 立下がりエッジ。 立上がりエッジまたは立下がりエッジ。 ハイ・レベル。 ロー・レベル。 立下がりエッジ（001 と同じ）。 立上がりエッジまたは立下がりエッジ（010 と同じ）。 ハイ・レベル（011 と同じ）。	0x0	R/W
11	IRQ2EN	0 1	外部割込み 2 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO2 でデバイスをウェイクアップできるようになります。 外部割込み 2 を無効化。 外部割込み 2 を有効化。	0x0	R/W

割込み

表 146. EI0CON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[10:8]	IRQ2MDE	000	外部割込み 2 のモード・ビット。 立上がりエッジ。	0x0	R/W
		001	立下がりエッジ。		
		010	立上がりエッジまたは立下がりエッジ。		
		011	ハイ・レベル。		
		100	ロー・レベル。		
		101	立下がりエッジ（001 と同じ）。		
		110	立上がりエッジまたは立下がりエッジ（010 と同じ）。		
		111	ハイ・レベル（011 と同じ）。		
7	IRQ1EN		外部割込み 1 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO1 でデバイスをウェイクアップできるようになります。	0x0	R/W
		0	外部割込み 1 を無効化。		
		1	外部割込み 1 を有効化。		
[6:4]	IRQ1MDE		外部割込み 1 のモード・ビット。	0x0	R/W
		000	立上がりエッジ。		
		001	立下がりエッジ。		
		010	立上がりエッジまたは立下がりエッジ。		
		011	ハイ・レベル。		
		100	ロー・レベル。		
		101	立下がりエッジ（001 と同じ）。		
		110	立上がりエッジまたは立下がりエッジ（010 と同じ）。		
3	IRQ0EN		外部割込み 0 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO0 でデバイスをウェイクアップできるようになります。	0x0	R/W
		0	外部割込み 0 を無効化。		
		1	外部割込み 0 を有効化。		
[2:0]	IRQ0MDE		外部割込み 0 のモード・ビット。	0x0	R/W
		000	立上がりエッジ。		
		001	立下がりエッジ。		
		010	立上がりエッジまたは立下がりエッジ。		
		011	ハイ・レベル。		
		100	ロー・レベル。		
		101	立下がりエッジ（001 と同じ）。		
		110	立上がりエッジまたは立下がりエッジ（010 と同じ）。		
		111	ハイ・レベル（011 と同じ）。		

外部割込み設定 1 レジスタ—EI1CON

アドレス 0x00000A24、リセット：0x0000、レジスタ名：EI1CON

表 147. EI1CON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	IRQ7EN		外部割込み 7 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO7 でデバイスをウェイクアップできるようになります。	0x0	R/W
		0	外部割込み 7 を無効化。		
		1	外部割込み 7 を有効化。		
[14:12]	IRQ7MDE		外部割込み 7 のモード・ビット。	0x0	R/W
		000	立上がりエッジ。		
		001	立下がりエッジ。		
		010	立上がりエッジまたは立下がりエッジ。		
		011	ハイ・レベル。		
		100	ロー・レベル。		
		101	立下がりエッジ（001 と同じ）。		
		110	立上がりエッジまたは立下がりエッジ（010 と同じ）。		
		111	ハイ・レベル（011 と同じ）。		

割込み

表 147. EI1CON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
11	IRQ6EN	0 1	外部割込み 6 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO6 でデバイスをウェイクアップできるようになります。 外部割込み 6 を無効化。 外部割込み 6 を有効化。	0x0	R/W
[10:8]	IRQ6MDE	000 001 010 011 100 101 110 111	外部割込み 6 のモード・ビット。 立上がりエッジ。 立下がりエッジ。 立上がりエッジまたは立下がりエッジ。 ハイ・レベル。 ロー・レベル。 立下がりエッジ（001 と同じ）。 立上がりエッジまたは立下がりエッジ（010 と同じ）。 ハイ・レベル（011 と同じ）。	0x0	R/W
7	IRQ5EN	0 1	外部割込み 5 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO5 でデバイスをウェイクアップできるようになります。 外部割込み 5 を無効化。 外部割込み 5 を有効化。	0x0	R/W
[6:4]	IRQ5MDE	000 001 010 011 100 101 110 111	外部割込み 5 のモード・ビット。 立上がりエッジ。 立下がりエッジ。 立上がりエッジまたは立下がりエッジ。 ハイ・レベル。 ロー・レベル。 立下がりエッジ（001 と同じ）。 立上がりエッジまたは立下がりエッジ（010 と同じ）。 ハイ・レベル（011 と同じ）。	0x0	R/W
3	IRQ4EN	0 1	外部割込み 4 の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、GPIO4 でデバイスをウェイクアップできるようになります。 外部割込み 4 を無効化。 外部割込み 4 を有効化。	0x0	R/W
[2:0]	IRQ4MDE	000 001 010 011 100 101 110 111	外部割込み 4 のモード・ビット。 立上がりエッジ。 立下がりエッジ。 立上がりエッジまたは立下がりエッジ。 ハイ・レベル。 ロー・レベル。 立下がりエッジ（001 と同じ）。 立上がりエッジまたは立下がりエッジ（010 と同じ）。 ハイ・レベル（011 と同じ）。	0x0	R/W

割込み

外部割込み設定 2 レジスタ—EI2CON

アドレス 0x00000A28、リセット：0x0000、レジスタ名：EI2CON

表 148. EI2CON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
3	BUSINTEN	0 1	バス割込み検出の有効化ビット。デバイスを休止モードにする前にこのビットをセットすると、SPI でデバイスをウェイクアップできるようになります。 バス割込みウェイクアップを無効化。 バス割込みウェイクアップを有効化。	0x0	R/W
[2:0]	BUSINTMDE	000 001 010 011 100 101 110 111	バス割込み検出のモード・ビット。 立上がりエッジ。 立下がりエッジ。 立上がりエッジまたは立下がりエッジ。 ハイ・レベル。 ロー・レベル。 立下がりエッジ（001 と同じ）。 立上がりエッジまたは立下がりエッジ（010 と同じ）。 ハイ・レベル（011 と同じ）。	0x0	R/W

外部割込みクリア・レジスタ—EICLR

アドレス 0x00000A30、リセット：0xC000、レジスタ名：EICLR

表 149. EICLR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	AUTCLRBUSEN		バス割込みの自動クリアの有効化。このビットを 1 に設定すると自動クリアが有効になります。	0x1	R/W
14	AUTCLRIRQEN		外部割込み 0～外部割込み 7 の自動クリアの有効化。このビットを 1 に設定すると自動クリアが有効になります。	0x1	R/W
[13:9]	Reserved		予約済み。	0x0	R
8	BUSINT		バス割込み。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
7	IRQ7		外部割込み 7。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
6	IRQ6		外部割込み 6。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
5	IRQ5		外部割込み 5。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
4	IRQ4		外部割込み 4。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
3	IRQ3		外部割込み 3。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
2	IRQ2		外部割込み 2。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
1	IRQ1		外部割込み 1。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W
0	IRQ0		外部割込み 0。このビットを 1 にセットすると内部割込みフラグがクリアされます。このビットはハードウェアによって自動的にクリアされます。	0x0	R/W

デジタル入出力

デジタル入出力の機能

AD5940は、GPIO0～GPIO7の8個のGPIOピンを備えています。AD5941には、GPIO0～GPIO2の3個のGPIOピンがあります。これらのGPIOは、8ビット幅の1つのポートにまとめられています。各GPIOxには、ユーザ・コードで設定可能な複数の機能があります。

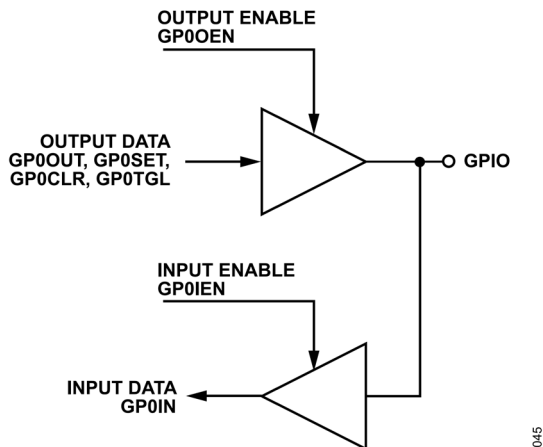


図 51. デジタル入出力の図

デジタル入出力の動作

入出力プルアップの有効化

GPIO0、GPIO1、GPIO3、GPIO4、GPIO5、GPIO6、GPIO7の各ピンには、GP0PEレジスタを用いて有効化および無効化されるプルアップ抵抗があります。消費電力を削減するために、使用しないGPIOについては、それぞれのプルアップ抵抗を無効化する必要があります。

入出力のデータ入力

GP0IENレジスタを用いてGPIOを入力に設定している場合、GPIOの入力レベルは、GP0INレジスタで読み出せます。

入出力のデータ出力

GPIOを出力に設定すると、GP0OUTレジスタの値がGPIOに反映されます。

ビット・セット

GP0ポートには、対応するビット・セット・レジスタGP0SETがあります。ビット・セット・レジスタを使用すると、ポート内の他の出力に影響を与えずに、1つ以上のGPIOデータ出力をセットできます。データ書き込みビットが1のGPIOxのみがセットされます。その他のGPIOは影響を受けません。

ビット・クリア

GP0ポートには、対応するビット・クリア・レジスタGP0CLRがあります。ビット・クリア・レジスタを使用すると、ポート内の他の出力に影響を与えずに、1つ以上のGPIOデータ出力をクリアできます。データ書き込みビットが1のGPIOxのみがクリアされます。その他のGPIOは影響を受けません。

ビット・トグル

GP0ポートには、対応するビット・トグル・レジスタGP0TGLがあります。ビット・トグル・レジスタを使用すると、ポート内の他の出力に影響を与えずに、1つ以上のGPIOデータ出力を反転できます。データ書き込みビットが1のGPIOxのみのみがトグルされます。その他のGPIOは影響を受けません。

入出力のデータ出力イネーブル

GP0ポートは、データ出力イネーブル・レジスタGP0OENを備えており、これによってデータ出力パスが有効化されます。データ出力イネーブル・レジスタのビットをセットすると、GP0OUTの値が対応するGPIOxピンに反映されます。

割込み入力

各GPIOxピンは、外部イベントに反応するように設定できます。これらのイベントを検出して、デバイスのウェイクアップや、特定のシーケンスのトリガに使用できます。これらのイベントの設定はEIXCONレジスタで行います。EICLRレジスタの対応するビットに書き込みを行うと、割込みフラグはクリアされます。詳細については、[割込み](#)のセクションを参照してください。

割込み出力

AD5940/AD5941には、特定のGPIOxピンに割り当てることのできる2つの外部割込みがあります（[GP0CONレジスタ](#)を参照）。割込みが発生すると、AD5940/AD5941はGPIOxピンをハイに設定します。割込みがクリアされると、AD5940/AD5941はGPIOxピンをローにします。これらの割込みは、割込みコントローラ・レジスタ（[割込み](#)のセクションを参照）で設定されます。

デジタル・ポートのマルチプレックス

デジタル・ポートのマルチプレックス・ブロックは、指定されたピンのGPIO機能を制御します。これらのオプションは、GP0CONレジスタで設定されます。

シーケンサを用いたGPIOxの制御

AD5940/AD5941の各GPIOxはシーケンサを通じて制御できます。この制御により、タイミングが重要なアプリケーションにおいて、専用のレジスタSYNCEXTDEVICEを用いて外部デバイスの同期が可能になります。このレジスタを通じてGPIOを制御するには、まずGP0OENレジスタでGPIOxを出力に設定し、GP0CONレジスタで同期を選択する必要があります。

デジタル入出力

表 150. GPIOx のマルチプレックス・オプション

GPIOx Name	PINxCFG Bit Setting Option			
	00	01	10	11
GPIO0	Interrupt 0 output	Sequence 0 trigger	Synchronizes External Device 0	General-purpose input/output
GPIO1	General-purpose input/output	Sequence 1 trigger	Synchronizes External Device 1	Deep sleep
GPIO2	POR signal output	Sequence 2 trigger	Synchronizes External Device 2	External clock input
GPIO3	General-purpose input/output	Sequence 3 trigger	Synchronizes External Device 3	Interrupt 0 output
GPIO4	General-purpose input/output	Sequence 0 trigger	Synchronizes External Device 4	Interrupt 1 output
GPIO5	General-purpose input/output	Sequence 1 trigger	Synchronizes External Device 5	External clock input
GPIO6	General-purpose input/output	Sequence 2 trigger	Synchronizes External Device 6	Interrupt 0 output
GPIO7	General-purpose input/output	Sequence 3 trigger	Synchronizes External Device 7	Interrupt 1 output

GPIO レジスタ

表 151. GPIO レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000000	GP0CON	GPIO ポート 0 設定レジスタ	0x0000	R/W
0x00000004	GP0OEN	GPIO ポート 0 出力イネーブル・レジスタ	0x0000	R/W
0x00000008	GP0PE	GPIO ポート 0 ブルアップおよびブルダウン・イネーブル・レジスタ	0x0000	R/W
0x0000000C	GP0IEN	GPIO ポート 0 入力経路イネーブル・レジスタ	0x0000	R/W
0x00000010	GP0IN	GPIO ポート 0 レジスタ化データ入力レジスタ	0x0000	R
0x00000014	GP0OUT	GPIO ポート 0 データ出力レジスタ	0x0000	R/W
0x00000018	GP0SET	GPIO ポート 0 データ出力セット・レジスタ	0x0000	W
0x0000001C	GP0CLR	GPIO ポート 0 データ出力クリア・レジスタ	0x0000	W
0x00000020	GP0TGL	GPIO ポート 0 ピン・トグル・レジスタ	0x0000	W

GPIO ポート 0 設定レジスタ—GP0CON

アドレス 0x00000000、リセット：0x0000、レジスタ名：GP0CON

GP0CON レジスタは、8 個の GPIO のそれぞれに対し設定を行います。

表 152. GP0CON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	PIN7CFG	00	GPIO7 の設定ビット。	0x0	R/W
		01	汎用入出力。		
		10	マイクロコントローラ・ユニット（MCU）側からのシーケンス 3 のトリガ信号入力。		
		11	外部デバイス 7 の出力信号と同期。		
[13:12]	PIN6CFG	00	GPIO6 の設定ビット。	0x0	R/W
		01	汎用入出力。		
		10	MCU 側からのシーケンス 2 のトリガ信号入力。		
		11	外部デバイス 6 の出力信号と同期。		
[11:10]	PIN5CFG	00	GPIO5 の設定ビット。	0x0	R/W
		01	汎用入出力。		
		10	MCU 側からのシーケンス 1 のトリガ信号入力。		
		11	外部デバイス 5 の出力信号と同期。		
			外部クロック入力（EXTCLK）。		

デジタル入出力

表 152. GP0CON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[9:8]	PIN4CFG	00 01 10 11	GPIO4 の設定ビット。 汎用入出力。 MCU 側からのシーケンス 0 のトリガ信号入力。 外部デバイス 4 の出力信号と同期。 割込み 1 出力。	0x0	R/W
[7:6]	PIN3CFG	00 01 10 11	GPIO3 の設定ビット。 汎用入出力。 MCU 側からのシーケンス 3 のトリガ信号入力。 外部デバイス 3 の出力信号と同期。 割込み 0 出力。	0x0	R/W
[5:4]	PIN2CFG	00 01 10 11	GPIO2 の設定ビット。 POR 信号出力。 MCU 側からのシーケンス 2 のトリガ信号入力。 外部デバイス 2 の出力信号と同期。 外部クロック入力 (EXTCLK)。	0x0	R/W
[3:2]	PIN1CFG	00 01 10 11	GPIO1 の設定ビット。 汎用入出力。 MCU 側からのシーケンス 1 のトリガ信号入力。 外部デバイス 1 の出力信号と同期。 ディープ・スリープ。AD5940/AD5941 が休止モードになっていることを示すスリープ・フラグ。データ FIFO の読み出し時に使用します。MCU が FIFO フルまたはほとんどフルの割込みを受信した場合、MCU はこのピンがハイになるまで待機します。その後、MCU は AD5940/AD5941 をウェイクアップし、データ FIFO を読み出します。データ FIFO の読み出し後、MCU は、AD5940/AD5941 をスリープ・モードに戻すコマンドを送信します。	0x0	R/W
[1:0]	PIN0CFG	00 01 10 11	GPIO1 の設定ビット。 割込み 0 出力。 MCU 側からのシーケンス 0 のトリガ信号入力。 外部デバイス 0 の出力信号と同期。 汎用入出力。	0x0	R/W

GPIO ポート 0 出力イネーブル・レジスタ—GP0OEN

アドレス 0x00000004、リセット：0x0000、レジスタ名：GP0OEN

GP0OEN レジスタは、各 GPIO の出力を有効化します。

表 153. GP0OEN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	OEN		ピンの出力駆動の有効化。この範囲の各ビットをセットすると、その特定のピン出力が有効になります。各ビットをクリアすると、各ピンの出力が無効になります。	0x0	R/W

GPIO ポート 0 ブルアップおよびブルダウン・イネーブル・レジスタ—GP0PE

アドレス 0x00000008、リセット：0x0000、レジスタ名：GP0PE

表 154. GP0PE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	PE		ピンのブルアップの有効化。この範囲の各ビットをセットすると、その特定のピンに対するブルアップ／ブルダウン抵抗が有効になります。各ビットをクリアすると、各ピンのブルアップ／ブルダウン抵抗が無効になります。	0x0	R/W

デジタル入出力

GPIO ポート 0 入力経路イネーブル・レジスタ—GP0IEN

アドレス 0x0000000C、リセット：0x0000、レジスタ名：GP0IEN

表 155. GP0IEN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	IEN		入力経路の有効化。各ビットは、セットすると GPIOx ピンの入力経路を有効化、クリアすると入力経路を無効化します。	0x0	R/W

GPIO ポート 0 レジスタ化データ入力—GP0IN

アドレス 0x00000010、リセット：0x0000、レジスタ名：GP0IN

表 156. GP0IN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	IN		レジスタ化データ入力。対応する入力バッファが有効化されている場合、各ビットは GPIOx ピンの状態を反映します。ピン入力バッファが無効化されている場合、値はゼロになります。	0x0	R

GPIO ポート 0 データ出力レジスタ—GP0OUT

アドレス 0x00000014、リセット：0x0000、レジスタ名：GP0OUT

表 157. GP0OUT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	OUT		データ出力。ユーザ・コードでセットすると、対応する GPIOx がハイに駆動されます。ユーザがクリアすると、対応する GPIOx がローに駆動されます。	0x0	R/W

GPIO ポート 0 データ出力セット・レジスタ—GP0SET

アドレス 0x00000018、リセット：0x0000、レジスタ名：GP0SET

表 158. GP0SET レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	Set		出力をハイに設定します。ユーザ・コードでセットすると、対応する GPIOx がハイに駆動されます。このビットをクリアしても影響はありません。	0x0	W

GPIO ポート 0 データ出力クリア・レジスタ—GP0CLR

アドレス 0x0000001C、リセット：0x0000、レジスタ名：GP0CLR

表 159. GP0CLR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	CLR		出力をローに設定します。各ビットは、対応する GPIOx ピンをローに駆動するように設定されます。このビットをクリアしても影響はありません。	0x0	W

デジタル入出力

GPIO ポート 0 ピン・トグル・レジスタ—GP0TGL

アドレス 0x00000020、リセット：0x0000、レジスタ名：GP0TGL

表 160. GP0TGL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	Reserved		予約済み。	0x0	R
[7:0]	TGL		出力のトグル。各ビットは、セットすると対応する GPIOx ピンが反転します。このビットをクリアしても影響はありません。	0x0	W

システム・リセット

AD5940/AD5941 には、以下のリセット・ソースがあります。

- ▶ 外部リセット。
- ▶ POR。
- ▶ デバイスのデジタル部分のソフトウェア・リセット。低電力ポテンショスタット・アンプおよび低電力 TIA 回路はリセットされません。

AD5940/AD5941 は、外部ハードウェア・リセットまたは POR の間にリセットされます。

外部リセットまたはハードウェア・リセットは、外部 $\overline{\text{RESET}}$ ピンに接続されます。このピンがローにプルダウンされると、リセットが発生します。全ての回路および制御レジスタは、それぞれのデフォルト値に戻ります。

ホスト・マイクロコントローラは、SWRSTCON のビット 0 をクリアすることによって、AD5940/AD5941 へのソフトウェア・リ

セットをトリガできます。ハードウェア・リセット全体をコントローラで制御するために、AD5940/AD5941 の $\overline{\text{RESET}}$ ピンをホスト・プロセッサの GPIO ピンに接続することを推奨します。

AD5940/AD5941 のリセット・ステータス・レジスタは RSTSTA です。チップへのリセットのソースを特定するには、このレジスタを読み出します。

ソフトウェア・リセットは、外部回路にバイアス供給するために用いる回路の妨げとならないように、バイパスすることができます。これらの回路には、超低電力 DAC、ポテンショスタット・アンプ、TIA などがあります。リセットが生じた場合に、これらの状態を維持するために、プログラマブルなスイッチ回路も設定できます。

アナログ・ダイ・リセット・レジスタ

表 161. アナログ・ダイ・リセット・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000A5C	RSTCONKEY	SWRSTCON レジスタのキー保護。	0x0000	W
0x00000424	SWRSTCON	ソフトウェア・リセット・レジスタ。	0x0001	R/W
0x00000A40	RSTSTA	リセット・ステータス・レジスタ。	0x0000	R/W1C

RSTCON レジスタのキー保護—RSTCONKEY

アドレス 0x00000A5C、リセット：0x0000、レジスタ名：RSTCONKEY

表 162. RSTCONKEY レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	Key		リセット制御キー・レジスタ。SWRSTCON レジスタは、0x12EA の値でキー保護されています。キーを入力した後に、SWRSTCON レジスタに書き込みを行います。SWRSTCON レジスタに書き込みを行う前に別のレジスタに書き込みを行うと、保護がロック状態に戻ります。	0x0	W

ソフトウェア・リセット・レジスタ—SWRSTCON

アドレス 0x00000424、リセット：0x0001、レジスタ名：SWRSTCON

表 163.

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	Reserved		予約済み。	0x0	R
0	SWRSTL	0 0xA158	ソフトウェア・リセット。このレジスタのロックを解除するには、RSTCONKEY レジスタに書き込みを行います。 リセットしない。 リセットをトリガ。	0x1	R/W

システム・リセット

リセット・ステータス・レジスタ—RSTSTA

アドレス 0x00000A40、リセット : 0x0000、レジスタ名 : RSTSTA

表 164.

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
3	MMRSWRST		MMR ソフトウェア・リセット。SWRSTCON レジスタに書き込みを行うと、このビットは自動的に 1 に設定されます。このビットをクリアするには 1 を書き込みます。	0x0	R/W1C
2	Reserved		予約済み。	0x0	R/W1C
1	EXTRST		外部リセット。外部リセットが発生すると、このビットは自動的に 1 に設定されます。このビットをクリアするには 1 を書き込みます。	0x0	R/W1C
0	POR		AFE パワーオン・リセット。POR が発生すると、このビットは自動的に設定されます。このビットをクリアするには 1 を書き込みます。	0x0	R/W1C

電力モード

AD5940/AD5941 には主に 4 つの電力モードがあります。アクティブ大電力モード (>80kHz)、アクティブ通常動作モード (<80kHz)、休止モード、シャットダウン・モードです。

アクティブ大電力モード (>80kHz)

80kHz を超える広帯域幅の信号を発生または測定する場合は、アクティブ大電力モード (>80kHz) を推奨します。広帯域幅信号を処理するには、高速 DAC および ADC 回路を駆動するために、32MHz の発振器が選択されます。大電力モードを有効化するには、次のシーケンスを用います。

- 1. PMBW = 0x000D を書き込みます。
- 2. システム・クロック周波数は 16MHz 以下でなくてはならないため、システム・クロック分周器を 2 に設定し、ADC クロック分周器を 1 に設定します。
- 3. 発振器を 32MHz に切り替えます。
- 4. ADC サンプル・レートを 1.6MHz にするために、ADCFILTERCON のビット 0 を 1 に設定します。

アクティブ低電力モード (<80kHz)

アクティブ低電力モード (<80kHz) は、AD5940/AD5941 のデフォルトのアクティブ状態です。システム・クロックは、16MHz 内部発振器です (PWRMOD のビット [1:0] = 0x1)。

休止モード

AD5940/AD5941 が休止モードの場合、高速クロック回路がパワーダウンするため、全てのブロックはクロックが遮断された低電力のクロック・ゲート状態になります。32kHz 発振器はアクティブな状態が続けます。ウォッチドッグ・タイマーもアクティブです。AD5940/AD5941 を休止モードにするには、PWRMOD のビット [1:0] に 0x2 を書き込みます。PWRMOD のビット 14 を 0 に設定することを推奨します。ビット 14 は ADC ブロックの電源スイッチを制御します。このスイッチがオフの

場合、ADC からのリーク電流が低減するため、休止モードでの消費電流が実質的に低下します。

オプションで、低電力の DAC、リファレンス、アンプをアクティブ状態のままにしておき、外部センサーのバイアスを維持することができます。ただし、消費電流は増加します。

シャットダウン・モード

シャットダウン・モードは、休止モードと同様ですが、ユーザが低電力アナログ・ブロックをパワーダウンすることが想定されている点が異なります。

低電力モード

AD5940/AD5941 には、EDA 測定などの超低電力アプリケーションに対応する機能を備えています。LPMODECON レジスタに書き込みを行うことによって、様々なブロックを同時にパワーダウンできます。LPMODECON レジスタ内には、特定のアナログ・ブロックに対応するビットがいくつかあります。これらのビットを 1 に設定すると、回路の対応する部分がパワーダウンし、電力が節約されます。例えば、LPMODECON のビット 1 に 1 を書き込むと、大電力リファレンスがパワーダウンします。

LPMODECON レジスタにはキー保護機能があります。このレジスタにアクセスする前に、ユーザは LPMODEKEY レジスタに 0xC59D6 を書き込まなくてはなりません。

超低電力アプリケーションで有用なもう 1 つの特長は、システム・クロックをシーケンサを用いて 32kHz 発振器に切り替えることができる点です。この機能を有効化するには、LPMODECLKSEL のビット 0 に 1 を書き込みます。それにより、シーケンサは、システム・クロックを 32kHz 発振器に切り替えることができます。LPMODECLKSEL レジスタは、LPMODEKEY レジスタによってキー保護されています。

電力モード・レジスタ

表 165. 電力モード・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000A00	PWRMOD	電力モード設定レジスタ	0x0001	R/W
0x00000A04	PWRKEY	PWRMOD レジスタのキー保護	0x0000	R/W
0x0000210C	LPMODEKEY	LPMODECLKSEL レジスタおよび LPMODECON レジスタのキー保護	0x00000000	R/W
0x00002110	LPMODECLKSEL	低電力モード・クロック選択レジスタ	0x00000000	R/W
0x00002114	LPMODECON	低電力モード設定レジスタ	0x00000102	R/W

電力モード・レジスタ—PWRMOD

アドレス 0x00000A00、リセット：0x0001、レジスタ名：PWRMOD

表 166. PWRMOD レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RAMRETEN	0 1	RAM のデータ保持期間 RAM は休止モード中には保持されません。 RAM は休止モード中に保持されます。	0x0	R/W

電力モード

表 166. PWRMOD レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
14	ADCRETEN	0 1	このビットは、休止モード時に ADC の電源スイッチをオンに保持します。 休止モード時の ADC の電源スイッチはオフ。 休止モード時の ADC の電源スイッチはオン。	0x0	R/W
[13:4]	Reserved		予約済み。	0x0	R
3	SEQSLPEN	0 1	シーケンサ・コマンドによる自動スリープ機能。 シーケンサ自動スリープ機能を無効化。 シーケンサ自動スリープ機能を有効化。	0x0	R/W
2	TMRSLPEN	0 1	スリープおよびウェイクアップ・タイマーによる自動スリープ機能。 スリープおよびウェイクアップ・タイマー自動スリープ機能を無効化。 スリープおよびウェイクアップ・タイマー自動スリープ機能を有効化。	0x0	R/W
[1:0]	PWRMOD	00 10 11	電力モード制御ビット。読出し時、これらのビットにはユーザ・コードによって入力された最新の電力モード値が入っています。 アクティブ・モード。通常の動作モードです。全てのデジタル回路がパワーアップします。ユーザは、ブロックの入力クロックを無効化することでこれをパワーダウンすることもできます。 休止モード。デジタル・コアがパワーダウンします。ほとんどの AFE ダイ・ブロックがパワーダウンします（低電力 DAC およびリファレンスは、外部センサーをバイアスするためにアクティブのままにできます）。SRAM は、データを保持した状態、あるいはデータ保持を行わない状態でパワーダウンされます。高速クロックはパワーダウンします。低速クロックのみがパワーアップ状態です。 予約済み。	0x1	R/W

PWRMOD レジスタのキー保護—PWRKEY

アドレス 0x00000A04、リセット：0x0000、レジスタ名：PWRKEY

表 167. PWRKEY レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	PWRKEY		PWRMOD キー・レジスタ。PWRMOD レジスタはキーで保護されています。PWRMOD レジスタの値を変更するには、キーを 2 回（最初に 0x4859、次に 0xF27B）書き込む必要があります。その後、PWRMOD レジスタに書き込みます。PWRMOD に書き込みを行う前に別のレジスタに書き込みを行うと、保護がロック状態に戻ります。	0x0	R/W

低電力モード AFE 制御ロック・レジスタ—LPMODEKEY

アドレス 0x0000210C、リセット：0x00000000、レジスタ名：LPMODEKEY

LPMODEKEY レジスタは、LPMODECLKSEL レジスタおよび LPMODECON レジスタを保護します。

表 168. LPMODEKEY レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:20]	Reserved		予約済み。	0x0	R
[19:0]	Key	0xC59D6 0x00000	これらのビットは、シーケンサ関連のレジスタによる低電力モード制御用のキーです。このキーにより、レジスタへの意図しない書き込みを防止できます。 シーケンサを通じたクロック関連レジスタの書き込み。 シーケンサを通じたクロック関連レジスタの書き込みをロック。0xC59D6 以外の値を書き込むと、シーケンサによる読出し／書き込みクロック関連レジスタをロックします。	0x0	R/W

電力モード

低電力モード・クロック選択レジスタ—LPMODECLKSEL

アドレス 0x00002110、リセット：0x00000000、レジスタ名：LPMODECLKSEL

LPMODECLKSEL レジスタは、LPMODKEY レジスタによって保護されています。

表 169. LPMODECLKSEL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:1]	Reserved		予約済み。	0x0	R
0	LFSYSCLKEN		システム・クロックの 32kHz へのシーケンサによる切り替えの有効化。このビットに 1 を書き込むと 32kHz 発振器に切り替わります。このビットをクリアすると 16MHz 発振器に切り替わります。	0x0	R/W

低電力モード設定レジスタ—LPMODECON

アドレス 0x00002114、リセット：0x00000102、レジスタ名：LPMODECON

LPMODECON レジスタは、LPMODEKEY レジスタによって保護されています。

表 170. LPMODECON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:9]	Reserved		予約済み。	0x0	R
8	ALDOEN		このビットをハイに設定すると、アナログ LDO がパワーダウンします。	0x1	R/W
7	V1P1HSADCEN		このビットをハイに設定すると、1.11V の高速コモンモード・バッファが有効化します。	0x0	R/W
6	V1P8HSADCEN		このビットをハイに設定すると、1.82V の高速リファレンス・バッファが有効化します。	0x0	R/W
[5:4]	RESERVED		予約済み。	0x0	R/W
3	REPEATADCCNVEN_P		このビットをハイに設定すると、ADC 変換の繰り返しが有効化します。	0x0	R/W
2	ADCCONVEN		このビットをハイに設定すると、ADC 変換が有効化します。	0x0	R/W
1	HSREFDIS		このビットをハイに設定すると、高速リファレンスがパワーダウンします。	0x1	R/W
0	HFOSCPD		このビットをハイに設定すると、高速電力発振器がパワーダウンします。	0x0	R/W

クロック・アーキテクチャ

クロック機能

AD5940/AD5941 には、次のクロック・オプションがあります。

- ▶ 低周波数 32kHz 内部発振器 (LFOSC)。これは、スリープ／ウェイクアップ・タイマーをクロックするために用いられます。
- ▶ 高周波数 16MHz または 32MHz 内部発振器 (HFOSC)。32MHz 設定のみが、80kHz を超える広帯域幅測定用の HSDAC、HSTIA、ADC の各回路にクロック供給するよう設計されています。
- ▶ 16MHz または 32MHz の外付け水晶発振器オプション。32MHz の水晶発振器を用いる場合、CLKCON0 レジスタの SYSCLKDIV ビット[5:0]を 2 にしてください。これにより、デジタル・ダイ・クロック・ソースが 16MHz に制限されます。通常、32MHz の水晶発振器を用いる場合、ADC は常に、32MHz クロックで動作するよう設定されます。32MHz クロックを用いた場合、ADC の消費電流は 16MHz に比べ 2mA 増加します。

- ▶ GPIO2 または GPIO5 の外部クロック入力オプション (GPIO5 は AD5940 でのみ使用可能です) 32MHz のソースを用いる場合、CLKCON0 レジスタの SYSCLKDIV ビット[5:0]を 2 にしてください。これにより、デジタル・ダイ・クロック・ソースが 16MHz に制限されます。通常、32MHz の水晶発振器を用いる場合、ADC は常に、32MHz クロックで動作するよう設定されます。32MHz クロックを用いた場合、ADC の消費電流は 16MHz に比べ 2mA 増加します。

パワーアップ時は、内部の高周波発振器が 16MHz に設定され、AFE システム・クロックとして選択されます。ユーザ・コードにより、このクロックを 1~32 分周して消費電力を低減できます。なお、システム性能は、AFE のシステム・クロック・レートが 16MHz の場合にのみ検証されている点に注意してください。

クロック・アーキテクチャの図を 図 52 に示します。

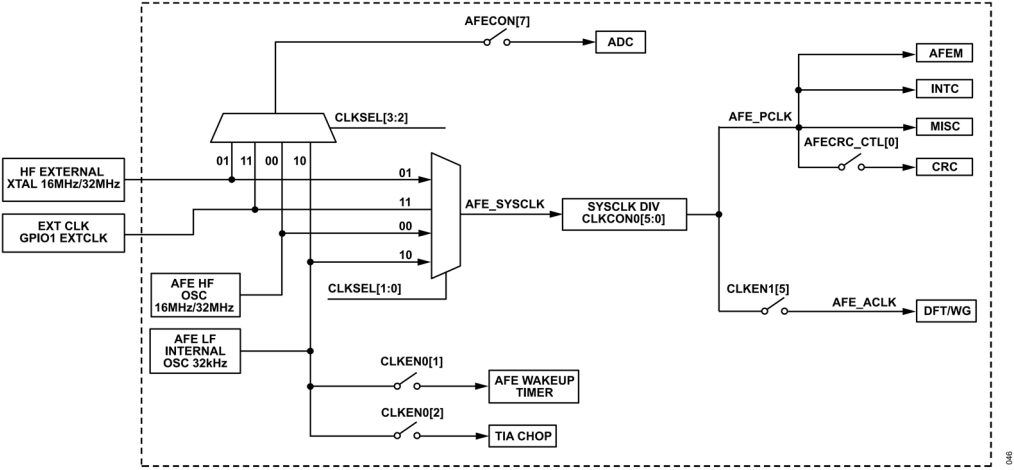


図 52. AD5940/AD5941 のシステム・クロック・アーキテクチャ

クロック・アーキテクチャ・レジスタ

表 171. クロック・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x00000408	CLKCON0	クロック分周器の設定	0x0441	R/W
0x00000414	CLKSEL	クロックの選択	0x0000	R/W
0x00000A70	CLKEN0	低電力 TIA チョップおよびウェイクアップ・タイマーのクロック制御	0x0004	R/W
0x00000410	CLKEN1	クロック・ゲートの有効化	0x01C0	R/W
0x00000A0C	OSCKEY	OSCCON レジスタのキー保護	0x0000	R/W
0x00000A10	OSCCON	発振制御	0x0003	R/W
0x000020BC	HSOSCCON	高速発振器の設定	0x0034	R/W
0x00000A5C	RSTCONKEY	RSTCON レジスタのキー保護	0x0000	W
0x00000A6C	LOSCTST	内部低周波発振器テスト	0x0088	R/W

クロック・アーキテクチャ

クロック分周器設定レジスタ—CLKCON0

アドレス 0x00000408、リセット：0x0441、レジスタ名：CLKCON0

表 172. CLKCON0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:10]	Reserved		予約済み。これらのビットには書き込みをしないでください。	0x1	R/W
[9:6]	ADCCLKDIV		ADC クロック分周器の設定。ADC のクロック分周器は、16MHz のルート・クロックから分周したクロックを供給します。ADC のクロック周波数 (f_{SYS}) = ルート・クロック / ADCCLKDIV。値は 1 または 2 です。	0x1	R/W
[5:0]	SYSCLKDIV		システム・クロック分周器の設定。システム・クロック分周器は、ほとんどのデジタル・ペリフェラルを駆動する 16MHz のルート・クロックから分周したクロックを供給します。システム・クロック周波数 (f_{SYS}) = ルート・クロック / SYSCLKDIV。値の範囲は 1~32 です。32 を超える値は 32 に飽和します。0 と 1 の値は、1 で分周した場合と同じ結果になります。 f_{SYS} 周波数は 16MHz 以下でなくてはなりません。	0x1	R/W

クロック選択レジスタ—CLKSEL

アドレス 0x00000414、リセット：0x0000、レジスタ名：CLKSEL

表 173. CLKSEL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x0	R
[3:2]	ADCCLKSEL	0 1 10 11	ADC のクロック・ソースを選択します。 0 内蔵高周波発振器のクロック。 1 外付け高周波水晶発振器のクロック。 10 内蔵低周波発振器のクロック（推奨しません）。 11 外部クロック。	0x0	R/W
[1:0]	SYSCLKSEL	0 1 10 11	システムのクロック・ソースを選択します。 0 内蔵高周波発振器のクロック。 1 外付け高周波水晶発振器のクロック。 10 内蔵低周波発振器のクロック（推奨しません）。 11 外部クロック。	0x0	R/W

低電力 TIA チョップおよびウェイクアップ・タイマー・クロックの有効化—CLKEN0

アドレス 0x00000A70、リセット：0x0004、レジスタ名：CLKEN0

表 174. CLKEN0 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:3]	Reserved		予約済み。	0x0	R
2	TIACHSDIS	0 1	TIA チョップ・クロックの無効化。 0 TIA チョップ・クロックをオンにします。 1 TIA チョップ・クロックをオフにします。	0x1	R/W
1	SLPWUTDIS	0 1	スリープおよびウェイクアップ・タイマー・クロックの無効化。 0 スリープ・ウェイクアップ・タイマー・クロックをオンにします。 1 スリープ・ウェイクアップ・タイマー・クロックをオフにします。	0x0	R/W
0	Reserved		予約済み。	0x0	R/W

クロック・アーキテクチャ

クロック・ゲート有効化レジスタ—CLKEN1

アドレス 0x00000410、リセット：0x01C0、レジスタ名：CLKEN1

表 175. CLKEN1 レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:10]	Reserved		予約済み。	0x0	R
9	Reserved		予約済み。このビットには書き込まないでください。このビットは0にクリアされたままにします。	0x0	R/W
8	Reserved		予約済み。このビットには書き込まないでください。	0x1	R/W
[7:6]	Reserved		予約済み。常に0のままにします。これらのビットには書き込まないでください。	0x1	R/W
5	ACLKDIS	1 0	ACLK クロックの有効化。このビットは、アナログ・インターフェースやデジタル信号処理などのメイン AFE の制御クロックを制御します。 ACLK クロックをオフにします。 ACLK クロックをオンにします。	0x0	R/W
4	Reserved		予約済み。常に0のままにします。このビットには書き込まないでください。	0x0	R/W
3	Reserved		初期化時にこのビットに1を書き込みます。	0x0	R/W
2	Reserved		予約済み。常に0のままにします。このビットには書き込まないでください。	0x0	R/W
1	Reserved		予約済み。常に0のままにします。このビットには書き込まないでください。	0x0	R/W
0	Reserved		初期化時にこのビットに1を書き込みます。	0x0	R/W

OSCCON レジスタのキー保護—OSCKEY

アドレス 0x00000A0C、リセット：0x0000、レジスタ名：OSCKEY

表 176. OSCKEY レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	OSCKEY		発振器制御キー・レジスタ。OSCCON レジスタはキーで保護されています。OSCCON レジスタにアクセスする前に、0xCB14 の値を OSCKEY に書き込む必要があります。OSCCON レジスタに書き込みを行う前に別のレジスタに書き込みを行うと、保護がロック状態に戻ります。	0x0	R/W

発振器制御レジスタ—OSCCON

アドレス 0x00000A10、リセット：0x0003、レジスタ名：OSCCON

OSCCON レジスタはキーで保護されています。この保護のロックを解除するには、このレジスタに書き込みを行う前に、OSCKEY レジスタに 0xCB14 を書き込みます。このレジスタに書き込みを行う前に別のレジスタに書き込みを行うと、保護がロック状態に戻ります。

表 177. OSCCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:11]	Reserved		予約済み。	0x0	R
10	HFXTALOK	0 1	高周波水晶発振器のステータス。このビットは、発振器が有効化された後に安定していることを示します。このビットはモニタではないため、その後に安定性を喪失してもそれを示すことはありません。 発振器がまだ安定していないか、無効化されています。 発振器は有効化されていて安定しており、使用可能になっています。	0x0	R
9	HFOSCOK	0 1	高周波発振器のステータス。このビットは、発振器が有効化された後に安定していることを示します。このビットはモニタではないため、その後に安定性を喪失してもそれを示すことはありません。 発振器がまだ安定していないか、無効化されています。 発振器は有効化されていて安定しており、使用可能になっています。	0x0	R

クロック・アーキテクチャ

表 177. OSCCON レジスタのビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
8	LFOSCOK	0 1	低周波発振器のステータス。このビットは、発振器が有効化された後に安定していることを示します。このビットはモニタではないため、その後に安定性を喪失してもそれを示すことはありません。 0 発振器がまだ安定していないか、無効化されています。 1 発振器は有効化されていて安定しており、使用可能になっています。	0x0	R
[7:3]	Reserved		予約済み。	0x0	R
2	HFXTALEN	0 1	高周波水晶発振器の有効化。このビットは発振器を有効化および無効化するために使用します。この発振器は使用前に安定させておく必要があります。このビットは、SYSRESETREQ システム・リセットを行う前に設定してください。 0 高周波水晶発振器を無効化し、低消費電力状態にします。 1 高周波水晶発振器を有効化します。	0x0	R/W
1	HFOSCEN	0 1	高周波内部発振器の有効化。このビットは発振器を有効化および無効化するために使用します。この発振器は使用前に安定させておく必要があります。このビットは、SYSRESETREQ システム・リセットを行う前に設定してください。 0 高周波発振器を無効化し、低消費電力状態にします。 1 高周波発振器を有効化します。	0x1	R/W
0	LFOSCEN	0 1	低周波内部発振器の有効化。このビットは発振器を有効化および無効化するために使用します。この発振器は使用前に安定させておく必要があります。 0 低周波発振器を無効化し、低消費電力状態にします。 1 低周波発振器を有効化します。	0x1	R/W

大電力発振器設定レジスタ—HSOSCCON

アドレス 0x000020BC、リセット：0x00000034、レジスタ名：HSOSCCON

表 178. HSOSCCON レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:3]	Reserved		予約済み。	0x3	R
2	CLK32MHZEN	0 1	16MHz/32MHz 出力セレクト信号。このビットは、出力が 32MHz か 16MHz かを決定します。ADC は 32MHz で動作できますが、システム・クロックは 32MHz では動作できません。まずシステム・クロックを 2 分周してから、発振器を 32MHz に切り替えることが必要です。CLKCON0 レジスタの SYSCLKDIV ビットを参照してください。 0 32MHz 出力を選択。 1 16MHz 出力を選択。	0x1	R/W
[1:0]	Reserved		予約済み。	0x0	R

RSTCON レジスタのキー保護—RSTCONKEY

アドレス 0x00000A5C、リセット：0x0000、レジスタ名：RSTCONKEY

表 179. RSTCONKEY レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	KEY		リセット制御キー・レジスタ。SWRSTCON は、0x12EA の値でキー保護されています。キーを入力した後に、SWRSTCON レジスタに書き込みを行います。SWRSTCON に書き込みを行う前に別のレジスタに書き込みを行うと、保護がロック状態に戻ります。	0x0	W

クロック・アーキテクチャ

内蔵低周波発振器レジスタ—LOSCTST

アドレス 0x00000A6C、リセット：0x0088、レジスタ名：LOSCTST

表 180. LOSCTST レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	Reserved		予約済み。	0x8	R/W
[3:0]	TRIM		周波数調整のためのコンデンサの調整。充電コンデンサを調整することによって、出力周波数を調整できます。	0x8	R/W

アプリケーション情報

狭帯域幅ループを用いた EDA バイオインピーダンス測定

AD5940/AD5941 は EDA の測定に使用できます。この使用事例では、4Hz のサンプリング・レートおよび 100Hz の励起信号（いずれも代表値）で常時オンの測定が必要です。AD5940/AD5941 は、低電力 DAC を用いて低周波信号を生成します。低電力 TIA が電流を電圧に変換し、DFT ハードウェア・

アクセラレータがデータの値の実部と虚部を計算します。概略ブロック図を図 53 に示します。その後、正確な AC インピーダンス値が計算されます。AD5940/AD5941 の低電力モード機能を用いると、70 μ A という低い値の平均消費電流が実現できます。詳細については、アプリケーションノート AN-1557 を参照してください。

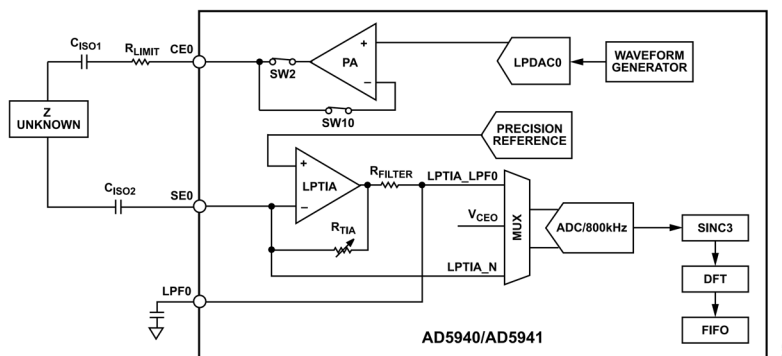


図 53. 低周波数、2 線式の生体インピーダンス・ループ（最大帯域幅 = 300Hz）

アプリケーション情報

広帯域幅ループを用いた人体インピーダンス解析
(BIA) 測定

AD5940/AD5941 は、広帯域幅のインピーダンス・ループを用いて、人体の 4 線式絶対インピーダンス測定を行います。

高性能 16 ビット ADC をオンチップ DFT ハードウェア・アクセラレータと併用することで、最大 200kHz のインピーダンス測定で 50kHz 時に 100dB の S/N 比を目標としています。詳細については、AN-1557 を参照してください。

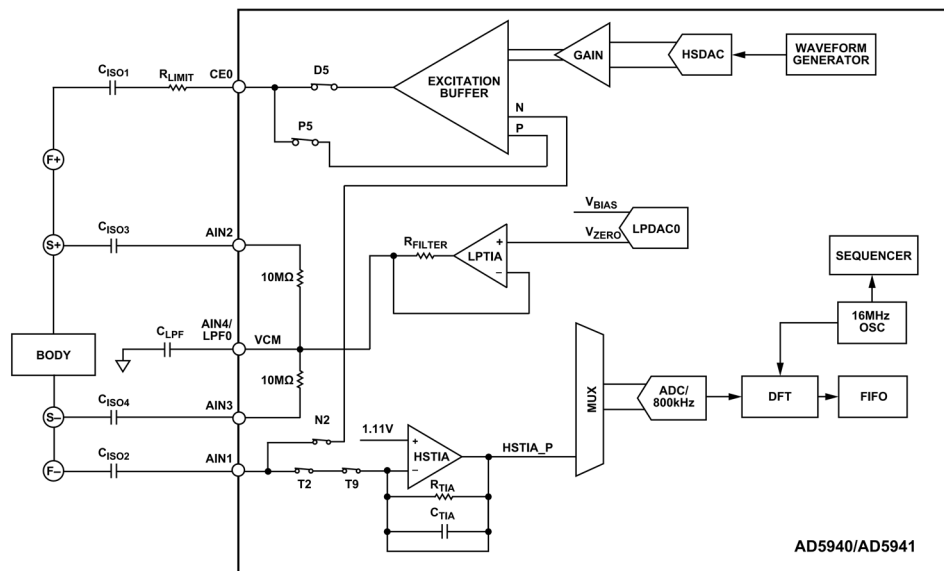


図 54. 高周波数、4 線式の生体インピーダンス・ループ（最大帯域幅 = 200kHz）

アプリケーション情報

高精度ポテンシオスタット設定

ポテンシオスタット・アプリケーションには、狭帯域幅ループまたは広帯域幅ループを用いることができます。スイッチ・マトリクスにより、2 線式、3 線式、4 線式のエレクトロード接続が可能です。狭帯域幅ループの場合は、シングル・リファレン

ス・エレクトロード構成が使用可能です。より広い帯域幅ループでは、シングルまたはデュアルのリファレンス・エレクトロード測定構成を使用できます。詳細については、アプリケーションノート AN-1563 を参照してください。

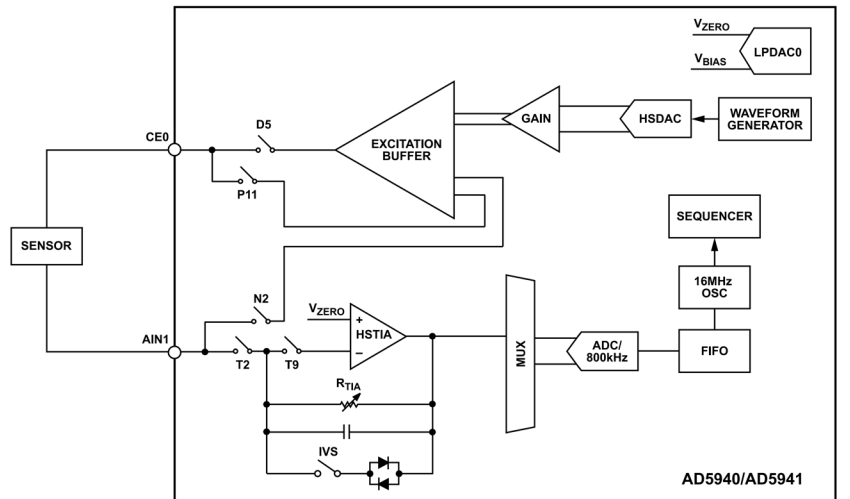


図 55. ポテンシオスタット・モードにおける広帯域幅 AFE ループの使用

アプリケーション情報

AD5940/AD5941、AD8232、AD8233 を用いた、生体インピーダンスおよび心電図 (ECG) 測定

AD5940/AD5941 を [AD8232](#) および AD8233 と併用することで、生体インピーダンス測定および心電図測定を行うことができます。両方の測定を容易なものにするために、同じエレクトロードを使用できます。

生体インピーダンス測定（体組成、水和、EDA など）が必要な場合、AD8232 および AD8233 はシャットダウンされ（AD8232 および AD8233 の SDN ピンは AD5940/AD5941 の GPIOx ピンで

制御されます）、AD5940/AD5941 のスイッチ・マトリクスが AD8232 および AD8233 をエレクトロードから切り離します。

ECG 測定が必要な場合、AD5940/AD5941 のスイッチ・マトリクスは AD5940/AD5941 の AFE をエレクトロードから切り離し、AD8233 のフロント・エンドに接続します。AD8233 アナログ出力は、AINx ピンを通じて AD5940/AD5941 の高性能 16 ビット ADC に接続されます。測定データは、AD5940/AD5941 データ FIFO に格納され、ホスト・コントローラで読み出せます。

詳細については、AN-1557 を参照してください。

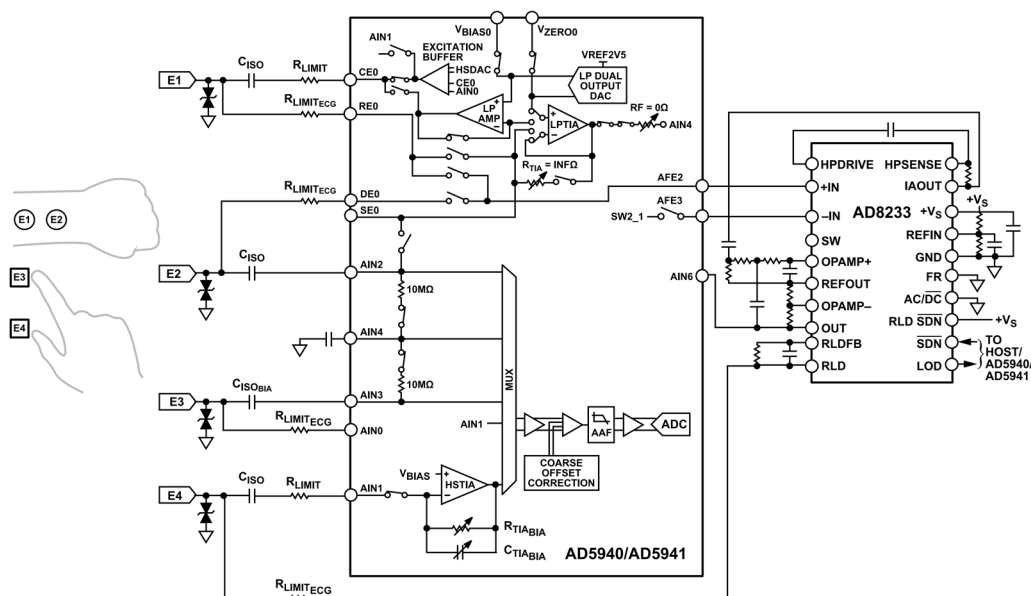


図 56. AD5940/AD5941 を AD8232 および AD8233 と併用する、体組成および ECG のシステム・ソリューション

アプリケーション情報

スマート水質／液質 AFE

AD5940/AD5941 の諸機能および柔軟性は、このデバイスを水質分析アプリケーションに最適なものにしています。これらのアプリケーションでは通常、pH、導電性、酸化／還元反応、温度を測定します。図 57 に、これらの測定要件を満たすよう構成された AD5940/AD5941 の簡略図を示します。大電力ポテンショタット・アンプ・ループは、導電性測定に用いることができま

す。図 57 では 2 線式導電性センサーが示されています。pH 測定は、溶液の酸度あるいはアルカリ度を示すもので、ADC による変換の前にバッファ目的で外部アンプを用いています。

このアプリケーションでは、図 57 に示すように、データ FIFO および AFE シーケンスが、自律的かつ事前プログラムされたスマート水質測定に役立っています。

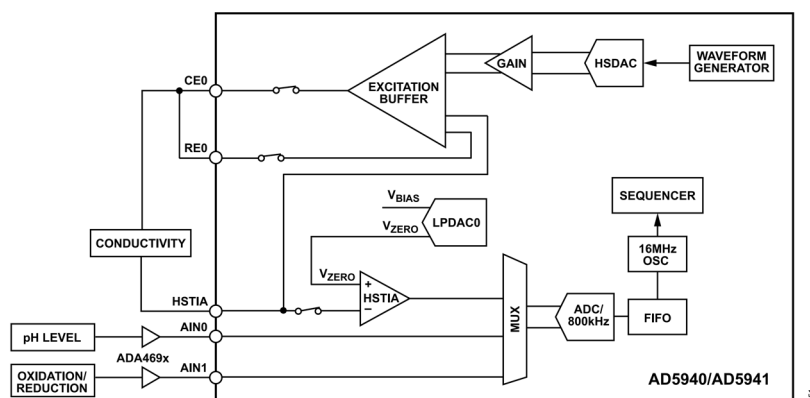


図 57. AD5940/AD5941 を用いた代表的な水質分析アプリケーション

外形寸法

Package Drawing (Option)	Package Type	Package Description
CB-56-3	WLCSP	56-Ball Wafer Level Chip Scale Package
CP-48-4	LFCSP	48-Lead Lead Frame Chip Scale Package

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

更新：2024 年 1 月 5 日

オーダー・ガイド

Model ^{1,2}	Temperature Range	Package Description	Packing Quantity	Package Option
AD5940BCBZ-RL	-40°C to +85°C	56-Ball WLCSP (4.16 mm x 3.56 mm)	Reel, 5000	CB-56-3
AD5940BCBZ-RL7	-40°C to +85°C	56-Ball WLCSP (4.16 mm x 3.56 mm)	Reel, 1500	CB-56-3
AD5941BCPZ	-40°C to +85°C	48-Lead LFCSP (7mm x 7mm x 0.75mm w/ EP)		CP-48-4
AD5941BCPZ-RL7	-40°C to +85°C	48-Lead LFCSP (7mm x 7mm x 0.75mm w/ EP)	Reel, 750	CP-48-4
AD5941WBCPZ-RL7	-40°C to +105°C	48-Lead LFCSP (7mm x 7mm x 0.75mm w/ EP)	Reel, 750	CP-48-4

¹ Z = RoHS 準拠製品。

² W = オートモーティブ・アプリケーションに適しています。

評価用ボード

Model ¹	Description
EVAL-AD5940BIOZ	Bioelectric Evaluation Board
EVAL-AD5940ELCZ	Electrochemical Evaluation Board for AD5940
EVAL-AD5941ELCZ	Electrochemical Evaluation Board for AD5941

¹ Z = RoHS 準拠製品。

オートモーティブ製品

AD5941W モデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。このオートモーティブ・モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重に確認してください。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこのモデル固有の車載信頼性レポートについては、最寄りのアナログ・デバイセズ代理店までお問い合わせください。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：AD5940／AD5941

対象となるデータシートのリビジョン(Rev)：Rev.E

訂正箇所：48 ページ、中程「アッテネータを有効化した DAC のオフセット・レジスタ（低電力モード）-DACOFFSETATTEN」の説明、上から 3 行目

【誤】

「HSDACCON のビット 12 = 1、かつ、HSDACON のビット 0 = 0 の場合の LSB 調整の代表値は、24.7 μ V です。」

【正】

「HSDACCON のビット 12 = 1、かつ、HSDACCON のビット 0 = 0 の場合の LSB 調整の代表値は、24.7 μ V です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：AD5940／AD5941

対象となるデータシートのリビジョン(Rev)：Rev.E

訂正箇所：52 ページ、表 38 内、Bit [3:0] RTIACON の説明欄

【誤】

「R_{TIA} 抵抗を用いるには、T9 スイッチ (SWCON のビット 17) を閉じ、T10 スイッチ (SWCON のビット 17) を開きます。」

【正】

「R_{TIA} 抵抗を用いるには、T9 スイッチ (SWCON のビット 17) を閉じ、T10 スイッチ (SWCON のビット 18) を開きます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：AD5940／AD5941

対象となるデータシートのリビジョン(Rev)：Rev.E

訂正箇所：68 ページ、表 64 内、Bit [14:0] Value の説明欄

【誤】

「VREF = 1.82V の場合、キャリブレーションの分解能は、 $1.8/2^{17} = 13.73\mu\text{V}$ です。」

【正】

「VREF = 1.82V の場合、キャリブレーションの分解能は、 $1.82/2^{17} = 13.885\mu\text{V}$ です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：AD5940／AD5941

対象となるデータシートのリビジョン(Rev)：Rev.E

訂正箇所：70 ページ、表 70 内、Bit [14:0] Value の説明欄

【誤】

「VREF = 1.82V の場合、キャリブレーションの分解能は、 $1.8/2^{17} = 13.73\mu\text{V}$ です。」

【正】

「VREF = 1.82V の場合、キャリブレーションの分解能は、 $1.82/2^{17} = 13.885\mu\text{V}$ です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 7 月 1 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 7 月 1 日

製品名：AD5940／AD5941

対象となるデータシートのリビジョン(Rev)：Rev.E

訂正箇所：129 ページ、左の段、「電力モード」の項 最初の行

【誤】

「アクティブ大電力モード (>80kHz)、アクティブ通常動作モード (<80kHz)、休止モード、シャットダウン・モードです。」

【正】

「アクティブ大電力モード (>80kHz)、アクティブ低電力モード (<80kHz)、休止モード、シャットダウン・モードです。」