



データシート AD4170-4

PGA内蔵、24ビット、DC～50kHz入力帯域幅、マルチチャンネルの 低ノイズ高精度シグマデルタ型ADC

特長

- ▶ 高精度のACおよびDC性能
- ▶ 入力換算 (RTI) ノイズ: $5.5\text{nV}/\sqrt{\text{Hz}}$ (ゲイン = 128)
- ▶ INL: FSRの $\pm 0.5\text{ppm}$
- ▶ S/N比: 110dB (代表値、 $V_{\text{REF}} = 4.096\text{V}$ 、ゲイン = 1プリチャージ、 sinc^5 フィルタ)
- ▶ THD: -120dB (代表値)
- ▶ クロスポイント・マルチプレクサ・アナログ入力
- ▶ 4個の差動入力/8個の疑似差動入力
- ▶ 非アクティブなアナログ入力での過電圧/低電圧耐性
- ▶ チャンネル・スキャン・データ・レート: $71.4\text{kSPS}/\text{チャンネル}$ (セトリング時間 $14\mu\text{s}$)
- ▶ 超低ノイズの内蔵PGA (ゲイン: 0.5~128)
- ▶ 出力データ・レート: $7.6\text{SPS}\sim 500\text{kSPS}$
- ▶ 柔軟なデジタル・フィルタ
 - ▶ 低リップルFIR: $\pm 0.005\text{dB}$ の最大通過帯域リップル
 - ▶ ユーザ・プログラマブルなFIRフィルタ・オプション
 - ▶ 低遅延sincフィルタ
 - ▶ 50Hz/60Hzを同時に除去
- ▶ ドリフト $5\text{ppm}/^\circ\text{C}$ (代表値) のバンド・ギャップ・リファレンス
- ▶ 内部発振器および温度センサー
- ▶ アナログ電源: $4.75\text{V}\sim 5.25\text{V}$ または $\pm 2.5\text{V}$
- ▶ デジタル電源: $1.7\text{V}\sim 5.25\text{V}$
- ▶ マッチングがとれたプログラマブル励起電流源
- ▶ ローサイド・パワー・スイッチ

- ▶ AC励起
- ▶ 内蔵バイアス電圧発生器
- ▶ 4つの汎用入出力
- ▶ 内部およびシステム・キャリブレーション
- ▶ センサー・バーンアウト検出
- ▶ 診断機能
- ▶ チャンネルごとの設定
- ▶ 柔軟なチャンネル・シーケンサ
- ▶ 3線式または4線式シリアル・インターフェース
 - ▶ SCLKにシュミット・トリガ内蔵
 - ▶ SPI、QSPI、MICROWIRE、DSP互換
- ▶ データ・ストリーミング用のTDM対応インターフェース
- ▶ 性能温度範囲: $-40^\circ\text{C}\sim +105^\circ\text{C}$
- ▶ 動作温度範囲: $-40^\circ\text{C}\sim +125^\circ\text{C}$
- ▶ 32ピン、4mm x 6mmのLFCSP

アプリケーション

- ▶ 工業用プロセス制御: PLC/DCSモジュール
- ▶ 温度計測および圧力計測
- ▶ 高精度の医療用および科学用計測器
- ▶ クロマトグラフィ
- ▶ 地震探査およびエネルギー探査
- ▶ 電子テストおよび計測
- ▶ 音響解析
- ▶ 計測器
- ▶ 重量計

機能ブロック図

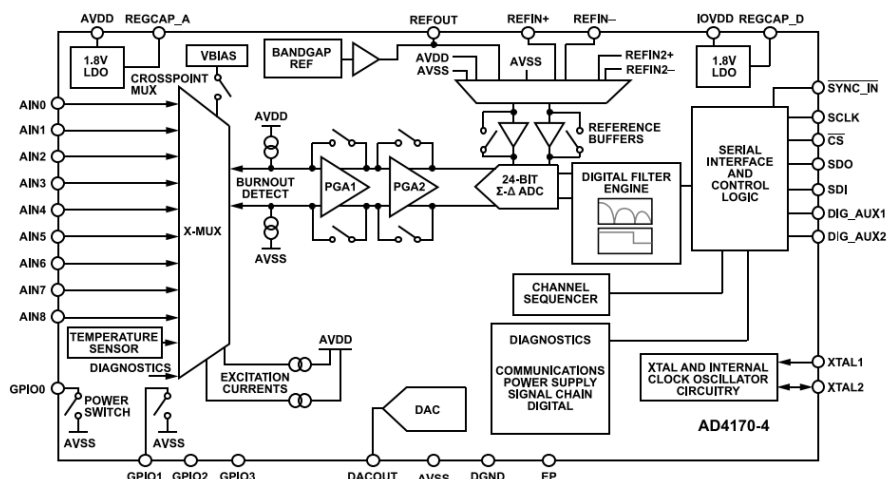


図1.

目次

特長.....	1	sinc ³ フィルタ.....	56
アプリケーション.....	1	sinc ³ の50Hzと60Hzの除去.....	57
機能ブロック図.....	1	ポスト・フィルタ.....	57
概要.....	4	FIRフィルタ.....	58
仕様.....	5	アンチエイリアシング・フィルタ処理.....	60
タイミング特性.....	11	デジタル・インターフェース.....	62
絶対最大定格.....	15	ADCの変換モードと変換へのアクセス方法.....	62
熱抵抗.....	15	連続読出し.....	62
ESDに関する注意.....	15	連続送信.....	63
ピン配置およびピン機能の説明.....	16	SPIフレーム同期.....	64
代表的な性能特性.....	19	ADCの同期.....	67
実効値ノイズと分解能.....	29	標準同期.....	67
SINC ⁵ + AVG.....	29	オルタネート同期.....	67
SINC ³	30	複数のAD4170-4デバイスの同期.....	67
SINC ⁵	31	診断機能.....	68
ポスト・フィルタ.....	31	デバイス・エラー.....	68
16平均ポスト・フィルタ.....	32	シグナル・チェーンのチェック.....	68
FIRフィルタ.....	32	リファレンス検出.....	68
S/N比およびTHD.....	34	リファレンス過電圧／低電圧の検出.....	68
動作原理.....	35	変換エラー.....	68
概要.....	35	アナログ入力過電圧／低電圧検出.....	68
電源.....	36	励起電流コンプライアンス.....	68
デジタル・コミュニケーション.....	37	電源モニタ.....	68
設定の概要.....	37	LDOモニタリング.....	69
ADC回路情報.....	45	SPI SCLKカウンタ.....	69
アナログ入力チャンネル.....	45	SPI読出し／書き込みエラー.....	69
プログラマブル・ゲイン・アンプ (PGA).....	45	ノット・レディ・エラー.....	69
リファレンス.....	45	チェックサム保護.....	69
バイポーラ／ユニポーラ設定.....	46	メモリ・マップ・チェックサム保護.....	72
データ出力コーディング.....	46	ROMチェックサム保護.....	72
励起電流.....	47	バーンアウト電流.....	72
ブリッジ・パワーダウン・スイッチ.....	47	プルアップ電流.....	72
汎用入出力 (GPIO0～GPIO3).....	48	温度センサー.....	72
バイアス電圧発生器.....	48	グラウンディングとレイアウト.....	73
DAC.....	48	アプリケーション情報.....	74
マルチプレクサ・チョッピング.....	48	重量計 (AC励起).....	74
AC励起.....	49	重量計 (DC励起).....	75
クロック.....	50	RTDを使用した温度計測.....	76
スタンバイ・モードとパワーダウン・モード.....	50	内蔵レジスタ・マップ.....	78
キャリブレーション.....	51	INTERFACE_CONFIG_Aレジスタ.....	82
スパンとオフセットの限界値.....	51	INTERFACE_CONFIG_Bレジスタ.....	82
デジタル・フィルタ.....	53	DEVICE_CONFIGレジスタ.....	83
sinc ⁵ + 平均化フィルタ.....	53	CHIP_TYPEレジスタ.....	83
sinc ⁵ フィルタ.....	55	PRODUCT_ID Lレジスタ.....	83

目次

PRODUCT_ID_Hレジスタ	83	OFFSETレジスタ	102
CHIP_GRADEレジスタ	84	ゲイン・レジスタ	102
SCRATCH_PADレジスタ	84	REF_CONTROLレジスタ	102
SPI_REVISIONレジスタ	84	V_BIASレジスタ	103
VENDOR_Lレジスタ	85	I_PULL_UPレジスタ	103
VENDOR_Hレジスタ	85	CURRENT_SOURCEレジスタ	104
INTERFACE_CONFIG_Cレジスタ	85	FIR_CONTROLレジスタ	105
INTERFACE_STATUS_Aレジスタ	86	COEFF_WRITE_DATAレジスタ	106
STATUSレジスタ	86	COEFF_READ_DATAレジスタ	106
DATA_16Bレジスタ	87	COEFF_ADDRESSレジスタ	106
DATA_16B_STATUSレジスタ	87	COEFF_WR_RD_STBレジスタ	107
DATA_24Bレジスタ	87	DAC_SPANレジスタ	107
DATA_24B_STATUSレジスタ	88	DAC_ENABLEレジスタ	107
DATA_PER_CHANNELレジスタ	88	HW_TOGGLE_MASKレジスタ	108
PIN_MUXINGレジスタ	88	HW_LDAC_MASKレジスタ	108
CLOCK_CTRLレジスタ	90	DAC_DATAレジスタ	108
STANDBY_CTRLレジスタ	90	SW_TOGGLE_TRIGGERSレジスタ	109
POWER_DOWN_SWレジスタ	91	SW_LDACレジスタ	109
ADC_CTRLレジスタ	91	DAC_INPUT_Aレジスタ	109
ERROR_ENレジスタ	93	DAC_INPUT_Bレジスタ	110
ERRORレジスタ	94	GPIO_MODEレジスタ	110
CHANNEL_ENレジスタ	95	GPIO_OUTPUT_DATAレジスタ	111
CHANNEL_SETUPレジスタ	96	GPIO_INPUT_DATAレジスタ	111
CHANNEL_MAPレジスタ	97	外形寸法	112
MISCELLANEOUS (MISC) レジスタ	98	オーダー・ガイド	112
AFEレジスタ	99	評価用ボード	112
FILTERレジスタ	100		
FILTER_FSレジスタ	101		

改訂履歴

5/2024—Revision 0: Initial Version

概要

AD4170-4は、高精度計測アプリケーションに適した、入力帯域幅DC~50kHz、低ノイズ、高速の全機能内蔵型アナログ・フロント・エンドです。このデバイスは、7.6SPSから最大500kSPSまでの出力データ・レートが可能です。低ノイズ、24ビットΣ-Δ型のA/Dコンバータ（ADC）を内蔵しており、4個の差動入力または8個のシングルエンド入力または疑似差動入力を使用するように構成できます。内蔵の低ノイズ・ゲイン段により、小さな振幅の信号を直接AD4170-4に入力できます。

AD4170-4により、最高レベルのシグナル・チェーン集積化を実現できます。このデバイスは内部リファレンスを備えています。また、2つの外部差動リファレンスにも対応し、これらは内部でバッファ処理が可能です。その他の主要な内蔵機能は次のとおりです。

- ▶ プログラマブル・ゲイン・アンプ（PGA）。ゲインがプログラマブル（0.5~128）であることから、このPGAは、抵抗ブリッジ、熱電対、測温抵抗体（RTD）など低出力振幅のトランスジューサに直接インターフェースできます。
- ▶ PGAは広いコモンモード入力範囲を備えているため、広い範囲で変化する入力コモンモードに対しマージンを大きくとることができます。
- ▶ 低ドリフトでマッチングの十分にとれた高精度電流源。励起電流源を使用して、2線式、3線式、4線式RTDまたはブリッジ型センサーを励起できます。励起電流出力オプションには、10μA、50μA、100μA、250μA、500μA、1mA、1.5mAがあります。より大きな電流が必要な場合は、電流を追加することもできます。電流は2つのペアで構成され、ペアはマッチングとドリフト・マッチングに関し最適化されています。
- ▶ ローサイド・パワー・スイッチ（PDSW）を使用して、変換と変換の間にブリッジ・センサーをパワーダウンできます。
- ▶ 熱電対用電圧バイアス（VBIASソースがチャンネルのコモンモード電圧を(AVDD + AVSS)/2に設定）。
- ▶ スマート・シーケンサにより、イネーブルされた各事前設定チャンネルをあらかじめ定めた順序で変換できるので、トランス

ジューサ、システム・チェック、診断計測を組み合わせることでインターリーブできます。このシーケンサにより、設定を変更するのにデバイスとのシリアル・インターフェース通信を繰り返す必要がなくなります。このシーケンスでは16個のチャンネルを設定できます。これらのチャンネルはそれぞれ、ゲイン、フィルタ・タイプ、出力データ・レート、バッファリング、およびリファレンス源を選択できる8つのユーザ定義のADCセットアップから選択します。

AD4170-4は、充実した機能セットの一部として広範な診断機能も備えています。これらの診断機能には、巡回冗長性チェック

（CRC）、シグナル・チェーン・チェック、シリアル・インターフェース・チェックが含まれ、より信頼性の高いソリューションになっています。

また、このデバイスは複数のデジタル・フィルタ・オプションを備えており、最高レベルの柔軟性をユーザに提供します。デバイスには有限インパルス応答（FIR）フィルタが備わっており、DC~最大50kHzまでのアナログ入力に対する低い通過帯域リップル、迅速なロールオフ、優れたストップバンド除去が可能です。また、最大72個のユーザ係数に対応できるプログラマブルFIRフィルタも使用可能です。更に、多重化されたアプリケーションでより高速のセトリングを可能にするsincフィルタを内蔵するほか、50Hzと60Hzを同時に除去するための複数のオプションを備えています。

AD4170-4には過電圧／低電圧に対する耐性もあります。あるチャンネルの信号がAVDDまたはAVSSをわずかに超える場合でも、隣接するチャンネルは引き続き機能し、正しく変換できます。組み込み機能、診断機能、インテリジェンスにより、シグナル・チェーンの設計時に必要な部品数が最小限に抑えられ、必要なボード・スペース、設計サイクル時間、コストを節約できます。

このデバイスは、4.75V~5.25Vのアナログ単電源または+2.5Vのバイポーラ電源で動作します。デジタル電源の範囲は1.7V~5.25Vです。このデバイスは-40°C~+105°Cの温度範囲で仕様規定されています。AD4170-4は32ピンLFCSPパッケージに収められています。

仕様

特に指定のない限り、AVDD = 4.75V~5.25V、IOVDD = 1.7V~5.25V、AVSS = DGND = 0V、2.5Vの外部リファレンスを使用しREFIN+ = 2.5VおよびREFIN- = AVSS、MCLK = 16MHz。

表1.

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
ADC SPEED, CODING AND PERFORMANCE					
Output Data Rate (ODR)					
Sinc ⁵		1,953		500,000	SPS
Sinc ⁵ + Avg		7.6		125,000	SPS
Sinc ³		7.6		125,000	SPS
FIR	デフォルトおよびユーザ設定	3,906		125,000	SPS
50 Hz/60 Hz Post Filters		16.67	20	25	SPS
No Missing Codes ²	sinc ⁵ フィルタ : ODR < 500kSPS、sinc ³ フィルタ : ODR < 125kSPS	24			Bits
Data Output Coding	バイポーラ・モード ユニポーラ・モード		Twos complement Straight binary		
Resolution		See the RMS Noise and Resolution section			
Noise		See the RMS Noise and Resolution section			
ACCURACY					
Gains			0.5, 1 precharge, 1, 2, 4, 8, 16, 32, 64, 128		
Integral Nonlinearity (INL)	ゲイン = 1、ゲイン = 1プリチャージ	-2.5	±0.5	+2.5	ppm of FSR
	ゲイン = 1またはゲイン = 0.5	-10	±2	+10	ppm of FSR
Offset Error ³	ゲイン = 1プリチャージ	-60	±25	+60	μV
	ゲイン < 16	-40 - (40/gain)	±10 + (±40/gain)	+40 + (40/gain)	μV
	ゲイン ≥ 16	-32	±15	+32	μV
Offset Error Drift vs. Temperature ²	ゲイン = 1プリチャージ	-50	±20	+50	nV/°C
	ゲイン < 16	-20 - (80/gain)	±15 + (±40/gain)	+20 + (80/gain)	nV/°C
	ゲイン = 32	-70	±30	+70	nV/°C
	ゲイン = 64	-140	±75	+140	nV/°C
	ゲイン = 128	-100	±50	+100	nV/°C
Gain Error ³	ゲイン = 1プリチャージ、T _A = 25°C	-50	±10	+50	ppm of FSR
	その他全てのゲイン、T _A = 25°C	-250	±50	+250	ppm of FSR
Gain Error Drift vs. Temperature ²	全てのゲイン	-0.75	±0.25	+0.75	ppm/°C
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR)	外部16MHz MCLK、4.096Vの外部リファレンス 1kHz、-0.5dBFS、サイン波入力 sinc ⁵ フィルタ、ゲイン = 1プリチャージ	108	110		dBFS
	sinc ⁵ フィルタ、その他全てのゲイン	See the SNR and THD section			
	FIRフィルタ、ゲイン = 1およびゲイン = 1プリチャージ	102.5	105.5		dBFS
	FIRフィルタ、ゲイン = 0.5およびゲイン > 1	See the SNR and THD section			
Signal-to-Noise-and-Distortion (SINAD)	1kHz、-0.5dBFS、サイン波入力				
	sinc ⁵ フィルタ、ゲイン = 1プリチャージ	107.5	109.5		dBFS
	FIRフィルタ、ゲイン = 1プリチャージおよびゲイン = 1	102	105		
Total Harmonic Distortion (THD)	1kHz、-0.5dBFS、サイン波入力				
	ゲイン = 1およびゲイン = 1プリチャージ		-120	-112	dBFS
	ゲイン = 0.5およびゲイン > 1	See the SNR and THD section			

仕様

表1. (続き)

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
Spurious-Free Dynamic Range (SFDR)	ゲイン = 1 および ゲイン = 1 プリチャージ		125		dBc
INTERMODULATION DISTORTION (IMD)	外部16MHz MCLK、 $f_a = 9.7\text{kHz}$ 、 $f_b = 10.3\text{kHz}$ 、全ゲイン				
	2次		-125		dB
	3次		-125		dB
REJECTION					
DC Power Supply Rejection	$V_{IN} = 1\text{V}$ /ゲイン、全電源 ゲイン = 0.5		98		dB
	ゲイン = 1 プリチャージ、および 1~8	89	104		
	ゲイン ≥ 16	102	122		dB
Common-Mode Rejection ⁴	$V_{IN} = 1\text{V}$ /ゲイン				
At DC	ゲイン = 0.5		106		dB
	ゲイン = 1 プリチャージ、および 1~8	98	108		dB
	ゲイン ≥ 16	107	127		dB
At 50 Hz, 60 Hz	20Hz ODR (ポスト・フィルタ使用)、50Hz $\pm 1\text{Hz}$ および 60Hz $\pm 1\text{Hz}$	120			dB
Normal Mode Rejection ²	50Hz $\pm 1\text{Hz}$ および 60Hz $\pm 1\text{Hz}$				
	内部クロック、セトリング時間50msのポスト・フィルタ使用	74			dB
	外部クロック、セトリング時間50msのポスト・フィルタ使用	85			dB
ANALOG INPUTS					
Differential Input Voltage Range ⁵	$V_{REF} = (REF+ - REF-)$ または 内部リファレンス	$-V_{REF}/\text{gain}$		$+V_{REF}/\text{gain}$	V
Single-Ended Input Voltage Range		0		V_{REF}/gain	V
Absolute AIN Voltage Limits ²		AVSS		AVDD	V
Input Capacitance			8		pF
Analog Input Current	AVSS + 0.1 V ~ AVDD - 0.1 V の範囲の AIN で測定した絶対入力電流 フルスケール入力、 $V_{CM} = (AVDD - AVSS)/2$ で測定した差動入力電流				
Gain = 1 precharge					
Absolute Input Current		-450	± 200	+450	nA
Differential Input Current		-120	± 40	+120	nA
Absolute Input Current Drift ²		-550	± 280	+550	pA/°C
Gain = 1					
Absolute Input Current		-40	± 5	+40	nA
Differential Input Current		-20	± 5	+20	nA
Absolute Input Current Drift ²		-44	± 12	+44	pA/°C
Gain = 0.5					
Absolute Input Current		-60	± 20	+60	nA
Differential Input Current		-35	± 15	+35	nA
Absolute Input Current Drift ²		-75	± 30	+75	pA/°C
Gain = 128					
Absolute Input Current		-50	± 25	+50	nA
Differential Input Current		-10	± 3	+10	nA
Absolute Input Current Drift ²		-90	± 40	+90	pA/°C
All other gains					
Absolute Input Current		-35	± 5	+35	nA
Differential Input Current		-10	± 3	+10	nA

仕様

表1. (続き)

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
Absolute Input Current Drift ²		-150	±70	+150	pA/°C
Crosstalk					
AC	1kHz入力		-120		dB
DC	AVDDまたはAVSSから300mV範囲外となった隣接アナログ入力		-100	dB	
INTERNAL REFERENCE	100nFのコンデンサをAVSSに外付け				
Initial Accuracy ⁶	AVSS基準のREFOUT、T _A = 25°C	2.495	2.5	2.505	V
Temperature Coefficient			±5	+15	ppm/°C
Reference Load Current, I _{LOAD}		-10		+10	mA
Thermal Hysteresis	25°C、+75°C、-25°C、+25°Cのサイクル		44		ppm
Power Supply Rejection	AVDD (ライン・レギュレーション)		100		dB
Load Regulation	ΔV _{OUT} /ΔI _{LOAD}		12		ppm/mA
Voltage Noise	e _N 、0.1Hz~10Hz、2.5Vリファレンス		4.5		μV rms
Voltage Noise Density	e _N 、1kHz、2.5Vリファレンス		215		nV/√Hz
Turn-On Settling Time	100nFのREFOUTコンデンサ		200		μs
Short-Circuit Current, I _{sc}			28		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range ²	V _{REF} = REF+ - REF-	1	2.5	AVDD	V
Absolute Voltage Limits ²					
Reference Buffers Disabled		AVSS - 0.05		AVDD + 0.05	V
Reference Buffers Enabled	リファレンス・バッファまたはプリチャージ・バッファ	AVSS		AVDD	V
REFIN Input Current (Reference Buffers Disabled)			±44		μA/V
Reference Input Current			±1.2		nA/V/°C
Reference Input Current Drift	外部クロック 内部クロック		±6		nA/V/°C
Reference Buffers Enabled					
Reference Input Current	プリチャージ・バッファ フル・バッファ		±18 ±200		μA nA
Reference Input Current Drift	プリチャージ・バッファ フル・バッファ		40 1.25		nA/°C nA/°C
Normal Mode Rejection	除去のパラメータを参照				
DIGITAL FILTER RESPONSE					
FIR Filter					
Decimation Rate		32		1024	
Group Delay	遅延		34/ODR		seconds
Settling Time			68/ODR		seconds
Pass-Band Ripple	DC~50kHz (125kSPS)			±0.005	dB
Pass Band	±0.005dBの帯域幅 -0.1dBの帯域幅 -3dBの帯域幅		0.4 × ODR 0.409 × ODR 0.433 × ODR		Hz Hz Hz
Stop-Band Frequency	減衰 > 105dB		0.499 × ODR		Hz
Stop-Band Attenuation	アンチエイリアシング・フィルタ処理のセクションを参照		105		dB
Sinc Filters, Sinc ⁵ + Avg Filter			See the Digital Filter section		
VBIAS					
Output Voltage Setting			(AVDD + AVSS)/2		V
Output Impedance			1		kΩ
Start-Up Time	AINnに接続された容量に依存.		9		μs/nF

仕様

表1. (続き)

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
EXCITATION CURRENTS					
Current Settings			10, 50, 100, 250, 500, 1000, 1500		μA
Output Compliance ²	10 μA , 50 μA , 100 μA , 1%精度			AVDD – 1.25	V
	250 μA /500 μA /1mA/1.5mA, 1%精度			AVDD – 1.45	V
Initial Accuracy	T _A = 25°C, 10 μA		±3		%
	T _A = 25°C, 50 μA , 100 μA	–1	±0.1	+1	%
	T _A = 25°C, >100 μA	–2	±0.2	+2	%
Drift ²	10 μA		±20		ppm/°C
	50 μA , 100 μA	–30	±5	+30	ppm/°C
	> 100 μA	–80	±25	+80	ppm/°C
Current Mismatch	ABまたはCDのペアを使用				
Same Current Matching ²	10 μA		±1.3		%
	250 μA , 1mA	–1.2	±0.1	+1.2	%
	50 μA /100 μA /500 μA /1.5mA	–0.7	±0.1	+0.7	%
Different Current Matching			±1		%
Drift Matching ²	ABまたはCDのペアを使用。同じ値の電流源。				
	10 μA		3		ppm/°C
	50 μA , 100 μA , 250 μA	–7	±2	+7	ppm/°C
	> 250 μA	–4	±1	+4	ppm/°C
Line Regulation (AVDD)	AVDD = 5V ± 5%		150		ppm/V
Load Regulation	> 10 μA		40		ppm/V
Start-Up time	R _{LOAD} = 1k Ω , C _{LOAD} = 0pF		7		μs
	AINxに接続された負荷に依存				
TEMPERATURE SENSOR					
Accuracy	25°Cでのユーザ・キャリブレーション後		±2		°C
Sensitivity			477		$\mu\text{V/K}$
LOW-SIDE POWER SWITCH					
R _{on}			10	14	Ω
Current Through Switch ²	連続電流			30	mA
BURNOUT CURRENTS					
Source/Sink Current			±0.1, ±2, ±10		μA
Accuracy	シンキング/ソーシング		10		%
PULL-UP CURRENTS					
Source Current			100		nA
GENERAL-PURPOSE I/O (GPIO0 to GPIO3) ²	AVSS基準				
Input Mode Leakage Current		–1		+1	μA
Floating State Output Capacitance			5		pF
Output High Voltage, V _{OH}	I _{SOURCE} = 200 μA	AVSS + 4			V
Output Low Voltage, V _{OL}	I _{SINK} = 800 μA			AVSS + 0.4	V
Input High Voltage, V _{IH}		AVSS + 3			V
Input Low Voltage, V _{IL}				AVSS + 0.7	V
DAC					
Resolution			12		Bits
Range	ゲイン = 1	0		V _{REF}	V
	ゲイン = 2	0		2 × V _{REF}	V
INL		–2		+2	LSB

仕様

表1. (続き)

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
DNL		-0.5	±0.2	+0.5	LSB
Offset Error			±2		mV
Offset Error Drift			±10		μV/°C
Full-Scale Error			±0.1		% of FSR
Full-Scale Error Drift			±10		μV/°C
Output Swing		AVSS + 0.06		AVDD – 0.25	V
Capacitive Load	R _{LOAD} = 無限大			2	nF
	R _{LOAD} = 2kΩ		100		nF
Resistive Load		1			kΩ
Settling Time	0.25 × FS ~ 0.75 × FS		6		μs
Slew Rate	R _{LOAD} = 2kΩ、C _{LOAD} = 200pF		1		V/μs
Noise Density	ミッドスケール・コード、1kHz		200		nV/√Hz
RMS Noise	0.1Hz ~ 10Hz		8		μV rms
Short-Circuit Current, I _{sc}			15		mA
DIAGNOSTIC TRIP POINTS					
Reference Detect Level		0.6		0.85	V
Reference/AIN OV/UV Trip Level					
Overvoltage		AVDD + 0.065			V
Undervoltage				AVSS – 0.065	V
Reference/AIN OV/UV Clear Level					
Overvoltage		AVDD + 0.015			V
Undervoltage				AVSS – 0.01	V
Excitation Current Source Compliance	10μA、50μA、100μA	AVDD – 1.3		AVDD – 0.8	V
	250μA、500μA、1000μA、1500μA	AVDD – 1.6		AVDD – 1	V
ALDO Trip Level			1.5		V
DLDO Trip Level			1.6		V
CLOCK					
Internal Clock					
Frequency			16		MHz
Accuracy		-2.5%		+2.5%	%
Duty Cycle			50:50		%
Crystal					
Frequency		8	16	17	MHz
Start-Up Time			10		μs
External Clock		1	16	17	MHz
Minimum Low Time		27.6			ns
Minimum High Time		27.6			ns
LOGIC INPUTS ²					
Input High Voltage, V _{INH}		0.8 × IOVDD			V
Input Low Voltage, V _{INL}				0.2 × IOVDD	V
Hysteresis			0.04		V
Leakage Currents	SYNC_INピン			+15	μA
	その他全てのピン	-1		1	μA
Input Capacitance	全てのデジタル入力		10		pF

仕様

表1. (続き)

パラメータ ¹	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC OUTPUT ² (XTAL2, DIG_AUX1, DIG_AUX2, SDO) Output High Voltage, V_{OH}^2 Output Low Voltage, V_{OL}^2 Leakage Current Output Capacitance	$I_{SOURCE} = 1\text{mA}$ $I_{SINK} = 2\text{mA}$ フロート状態 フロート状態	$0.8 \times IOVDD$ -1	10	0.4 +1	V V μA pF
SYSTEM CALIBRATION ² Full-Scale (FS) Calibration Limit Zero-Scale Calibration Limit Input Span		-1.05 \times FS 0.8 \times FS		1.05 \times FS 2.1 \times FS	V V V
POWER REQUIREMENTS Power Supply Voltage AVDD to AVSS AVSS to DGND IOVDD to DGND IOVDD to AVSS	AVSS < DGNDの場合	4.75 -2.625 1.7		5.25 0 5.25 6.35	V V V V
POWER SUPPLY CURRENTS ⁷ AVDD Current Gain = 1 Precharge Gain < 16 except Gain = 1 Precharge Gain ≥ 16 AVDD Increase due to Both Reference Buffers Precharge Full Buffer Internal Reference DAC Diagnostics VBIAS Excitation Currents AVDD Standby Mode AVDD Power-Down Mode IOVDD Current IOVDD Increase due to Default FIR Filter Programmable FIR Filter IOVDD Standby Mode IOVDD Power-Down Mode	LDOオンのみ 外部クロック 内部クロック 外部水晶振動子 (16.384MHz) LDOオンのみ		6.7 9.5 12.5 1.2 3.3 0.5 0.1 0.1 0.05 0.06 70 0.2 2 2.3 2.4 2.4 1.1 + (0.025 \times FIR_LENGTH) 15 0.8	7.7 11 14.7 1.5 4.1 0.6 0.15 110 1 2.3 2.6 2.7 180 1.5	mA mA mA mA mA mA mA mA mA mA μA μA mA mA mA mA mA μA μA
POWER DISSIPATION ² Full Operating Mode Standby Mode Power-Down Mode	AVDD = 5.25V、IOVDD = 5.25V ゲイン = 1、リファレンス・バッファがディスエーブル、外部クロック、リファレンス ゲイン > 16、リファレンス・バッファがイネーブル、内部クロック、リファレンス LDOオンのみ		60.4 115 447 5.25	70 137 1,530 13.2	mW mW μW μW

1 温度範囲は-40°C~+105°Cです。

2 これらの仕様については製品テストを行っていませんが製品発売開始時の特性評価データでサポートされています。

3 オフセット誤差は、システム・キャリブレーションまたは内部ゼロスケール・キャリブレーションに従って選択されたプログラム済みODRのノイズの程度です。システム・フルスケール・キャリブレーションにより、プログラム済みODRのノイズと同等レベルにまでゲイン誤差が減少します。

4 AINPおよびAINMの最小および最大電圧は、AVSS + 0.1VおよびAVDD - 0.1Vです。

5 差動アナログ入力の最大許容範囲は、 $\pm(\text{AVDD} - 0.65\text{V})/\text{ゲイン}$ です。一方、シングルエンド・アナログ入力の最大許容範囲は、 $0 \sim (\text{AVDD} - 0.65\text{V})/\text{ゲイン}$ で、これは高リファレンス電圧を用いた場合に該当します。

6 この仕様には、湿度感度レベル (MSL) プリコンディショニングの影響が含まれています。

7 これは、REFOUT、DAC、励起電流、デジタル出力ピンに負荷が接続されていないときの仕様です。デジタル入力はIOVDDまたはDGNDに接続します。

仕様

タイミング特性

特に指定のない限り、IOVDD = 1.7V~5.25V（IOVDD < 3 Vの場合はDIG_OUT_STRビットをセット）、DGND = 0V、入力ロジック0 = 0V、入力ロジック1 = IOVDD、C_{LOAD} = 20pF。

表2.

パラメータ	T _{MIN} 、T _{MAX} の限界値		単位	テスト条件/コメント ^{1, 2}
	最小値	最大値		
SCLK				
t ₃	25		ns	SCLKハイのパルス幅
t ₄	25		ns	SCLKローのパルス幅
t ₁₂	2.25/f _{MOD} 4.25/f _{MOD} 8.25/f _{MOD} 8.25/f _{MOD} to 16/f _{MOD}			RDYがローでかつ次の変換が可能である場合（f _{MOD} = MCLK/4）のRDYのハイの時間 sinc ⁵ 、FILTER_FS = 1 sinc ⁵ 、FILTER_FS = 2 他の全てのsincオプション FIR、FILTER_FS = 4~FILTER_FS = 128
t ₁₃	2/MCLK			SYNC_INローのパルス幅
READ OPERATION				
t ₁	0	12.5 17.5 25	ns ns ns	CSの立下がりエッジからSDOのアクティブ化までの時間 4.75V < IOVDD ≤ 5.25V 3V ≤ IOVDD ≤ 4.75V 1.7V ≤ IOVDD < 3V
t ₂ ³	5	12.5 17.5 25	ns ns ns	SCLKのアクティブ・エッジからデータ有効化までの遅延4 4.75 V < IOVDD ≤ 5.25 V 3 V ≤ IOVDD ≤ 4.75 V 1.7V ≤ IOVDD < 3V
t ₅ ⁵	2.5	20	ns ns	CSの非アクティブ・エッジ後のバス放棄時間
t ₆	5		ns	SCLKの非アクティブ・エッジからCSの非アクティブ・エッジまでの時間
t ₇	9		ns	SCLKの非アクティブ・エッジからRDYのハイまでの時間。SDOとRDYは別々のピンを uses。あるいは、SDO_RDYB_DLYビットがクリアされている場合にSDOとRDYは1本のピンを共用します。SCLKの非アクティブ・エッジ後は、共用ピンはRDYとしての機能に復帰します。
t _{7A}	t ₅		ns	CS非アクティブ・エッジ後のデータ有効時間（SDOとRDYがピンを共用）SDO_RDYB_DLYビットがセットされています。共用されているピンは、CSがハイになるまでSDOとして機能し続けます。
WRITE OPERATION				
t ₈	0		ns	CSの立下がりエッジからSCLKのアクティブ・エッジ・セットアップまでの時間 ⁴
t ₉	8		ns	データが有効になってからSCLKのエッジ・セットアップまでの時間
t ₁₀	8		ns	データが有効になってからSCLKのエッジ保持までの時間
t ₁₁	5		ns	CSの立上がりエッジからSCLKのエッジ保持までの時間
CONTINUOUS TRANSMIT OPERATION				
t ₁₄		2	ns	DCLKのアクティブ・エッジからRDYの立下がりエッジまでのセットアップ時間
t ₁₅		t _{DCLK_LOW} - 1 t _{DCLK_LOW} - 3.5 t _{DCLK_LOW} - 2.5	ns ns ns	データが有効になってからDCLKのエッジ・セットアップまでの時間とDCLKローの時間の差 4.75V < IOVDD ≤ 5.25V 3V ≤ IOVDD ≤ 4.75V 1.7V ≤ IOVDD < 3V

仕様

表2. (続き)

パラメータ	T _{MIN} 、T _{MAX} の限界値		単位	テスト条件/コメント ^{1, 2}
	最小値	最大値		
t ₁₆	3.5	t _{DCLK_HIGH} - 3.5	ns	データが有効になってからDCLKのエッジ保持までの時間とDCLKハイの時間の差
t ₁₇			ns	DCLKの立ち上がりエッジから $\overline{\text{RDY}}$ ハイまでの時間
t ₁₈			ns	DCLKハイのパルス幅と印加した外部MCLKハイの時間の差。1分周のオプションに対し有効。
t ₁₉		-2	ns	4.75V < IOVDD ≤ 5.25V
		-6.5	ns	3V ≤ IOVDD ≤ 4.75V
		-4	ns	1.7V ≤ IOVDD < 3V
			ns	DCLKローのパルス幅と印加した外部MCLKローの時間の差。1分周のオプションに対し有効。
		1.5	ns	4.75V < IOVDD ≤ 5.25V
		3.5	ns	3V ≤ IOVDD ≤ 4.75V
		2	ns	1.7V ≤ IOVDD < 3V

- 1 初回リリース時のサンプル・テストにより、適合性が確保されています。
- 2 図2および図3を参照。
- 3 このパラメータは、出力がV_{OL}リミットもしくはV_{OH}リミットを超えるのに要する時間として定義されています。
- 4 SCLKのアクティブ・エッジとは、SCLKの立ち上がりエッジを意味します。
- 5 $\overline{\text{RDY}}$ はデータ・レジスタの読出し後にハイに戻ります。シングル変換モードおよび連続変換モードで、 $\overline{\text{RDY}}$ がハイの間に、必要ならば同一のデータを再度読み出すことができますが、2回目以降の読出しは、次の出力更新が近いところでは行わないように注意してください。連続読出し機能を有効化すると、デジタル・ワードは1回しか読み出すことができません。

タイミング図

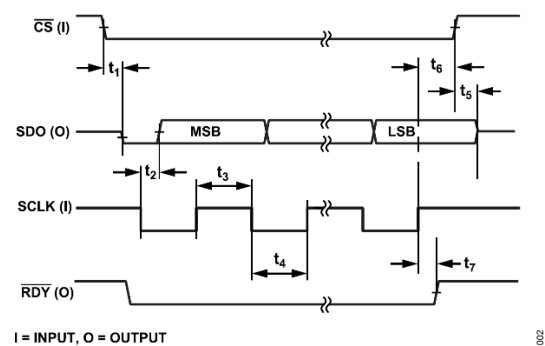


図2. 読出しサイクルのタイミング図（SDOと $\overline{\text{RDY}}$ が別々のピンを使用）

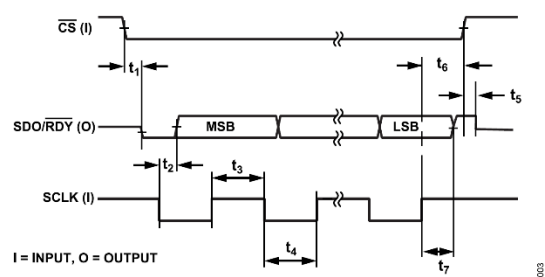
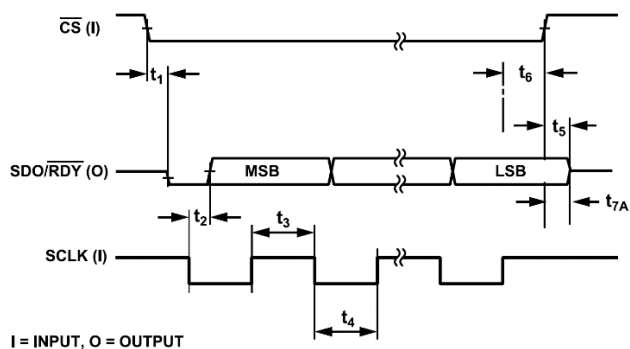


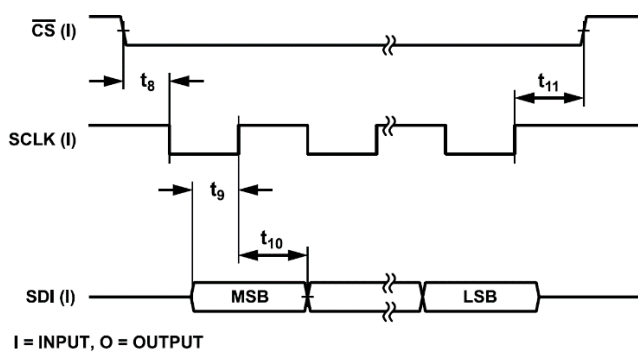
図3. 読出しサイクルのタイミング図（SDO_RDYB_DLYビットがクリアされた状態でSDOと $\overline{\text{RDY}}$ が同じピンを共用）

仕様



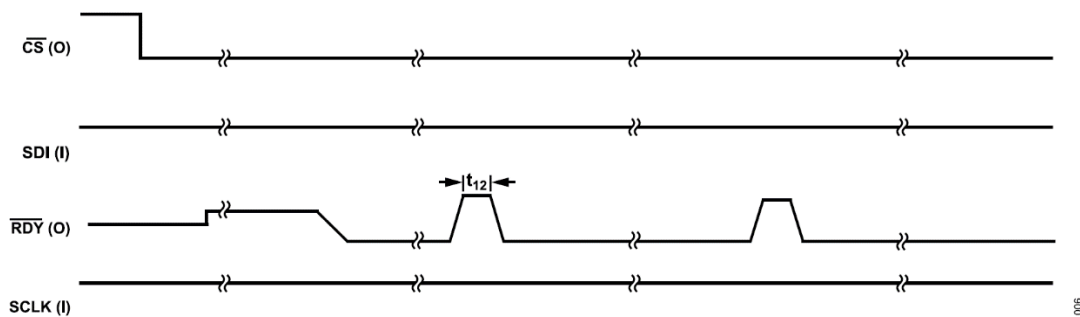
004

図4. 読出しサイクルのタイミング図 (SDO_RDYB_DLYビットがセットされた状態でSDOとRDYが同じピンを共用)



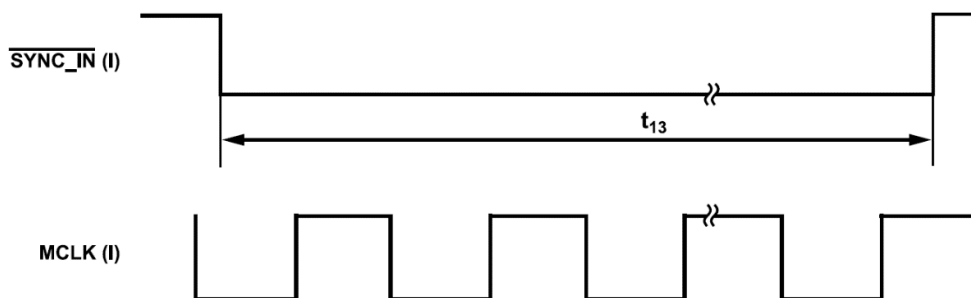
005

図5. 書き込みサイクルのタイミング図



006

図6. 最初にRDYがローで、次の変換が可能な場合に、RDYがハイとなる時間



007

図7. SYNC_INのパルス幅

仕様

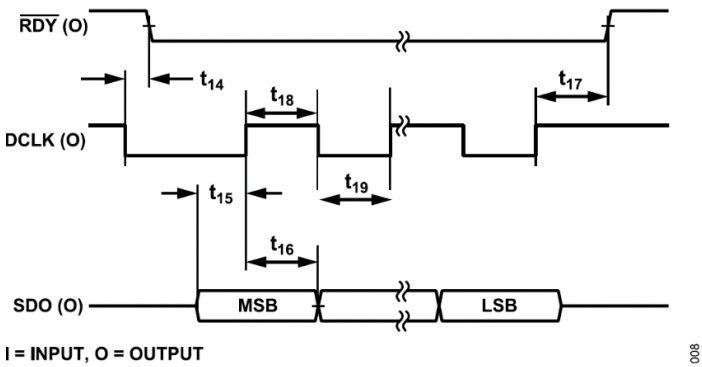


図8. 連続送信

絶対最大定格

特に指定のない限り、T_A = 25°C。

表3.

Parameter	Rating
AVDD to AVSS	−0.3 V to +6.5 V
AVDD to DGND	−0.3 V to +6.5 V
IOVDD to DGND	−0.3 V to +6.5 V
IOVDD to AVSS	−0.3 V to +7.5 V
AVSS to DGND	−3.25 V to +0.3 V
Analog Input Voltage to AVSS	−0.3 V to AVDD + 0.3 V
Reference Input Voltage to AVSS	−0.3 V to AVDD + 0.3 V
GPIO Input Voltage to AVSS	−0.3 V to AVDD + 0.3 V
GPIO Output Voltage to AVSS	−0.3 V to AVDD + 0.3 V
DAC Output to AVSS	−0.3 V to AVDD + 0.3 V
REFOUT to AVSS	−0.3 V to AVDD + 0.3 V
Digital Input Voltage to DGND	−0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	−0.3 V to IOVDD + 0.3 V
Analog Input/Digital Input Current	10 mA
Operating Temperature Range	−40°C to +105°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature (T _{JMAX})	150°C
Lead Soldering, Reflow Temperature	260°C
ESD Rating (HBM)	4 kV
ESD Rating (FICDM)	1.25 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。表4に仕様規定されている熱抵抗値は、JEDEC仕様に基づいて計算されており、JESD51-12に準拠して使用します。最も厳しい条件でのジャンクション温度が記載されています。表4の値は、自然対流の試験環境での標準的なJEDEC 2S2P熱試験ボードに基づいて計算したものです。JEDEC JESD51シリーズを参照してください。

表4. 熱抵抗

Package Type	T _{JA}	T _{JB}	T _{JC_TOP}	Unit
CP-32-34	39.49	9.93	14.86	°C/W

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

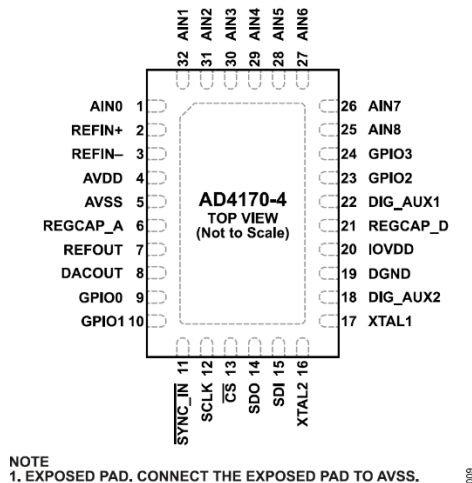


図9. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
1	AIN0	アナログ入力0／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
2	REFIN+	正のリファレンス入力。外部リファレンスをREFIN+とREFIN-の間に加えることができます。REFIN+の入力範囲はAVDD～AVSS + 1Vです。公称リファレンス電圧（REFIN+ – REFIN-）は2.5Vですが、デバイスは1V～AVDDの範囲のリファレンスで動作します。AC励起を用いている場合は、REFIN+をAVSSにすることもできる点に注意してください。 詳細については、 AC励起 のセクションを参照してください。
3	REFIN-	負のリファレンス入力。このリファレンス入力は、AVSS～AVDD – 1Vの範囲の任意の値とすることができます。AC励起を使用している場合は、REFIN-をAVDDにすることもできる点に注意してください。詳細については、 AC励起 のセクションを参照してください。
4	AVDD	アナログ電源電圧。これはAVSSを基準としています。
5	AVSS	アナログ電源電圧。AVDDの電圧は、AVSSを基準としています。AVDDとAVSSの差は4.75V～5.25Vの範囲にある必要があります。AVSSを0V未満にしてAD4170-4にバイポーラ電源を供給することもできます。例えば、AVSSを-2.5Vに接続し、AVDDを+2.5Vに接続すれば、ADCに±2.5Vを供給できます。
6	REGCAP_A	アナログLDOレギュレータ出力。このピンは、1μFのコンデンサと0.1μFのコンデンサを並列に接続して、AVSSとデカップリングします。
7	REFOUT	内部リファレンス出力。これはAVSSを基準としています。内部2.5V電圧リファレンスのバッファ付き出力をこのピンに出力できます。0.1μFのコンデンサを使用して、このピンをAVSSからデカップリングします。
8	DACOUT	DAC出力。これはAVSSを基準としています。
9	GPIO0	汎用入力または出力／正のリファレンス入力／パワー・スイッチ／励起電流／AC励起信号ACX1。このピンは、AVSSとAVDDの間を基準にした汎用入出力ビットとして設定できます。このピンは、REFIN2（±）の正のリファレンス入力としても機能します。REFIN2+の範囲はAVDD～AVSS + 1Vです。公称リファレンス電圧（REFIN2+～REFIN2-）は2.5Vですが、デバイスは1V～AVDDのリファレンス電圧で動作します。このピンは、AVSSに対するローサイド・パワー・スイッチとしても機能できます。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。4線式AC励起が有効な場合、このピンはACX1として機能し、その他のGPIOピンと併用することでセンサーの励起を制御できます。
10	GPIO1	汎用入力または出力／負のリファレンス入力／パワー・スイッチ／励起電流／AC励起信号ACX2。このピンは、AVSSとAVDDの間を基準にした汎用入出力ビットとして設定できます。このピンは、REFIN2の負のリファレンス入力としても機能します。REFIN2-の範囲はAVSS～AVDD – 1Vです。このピンは、AVSSに対するローサイド・パワー・スイッチとしても機能できます。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。4線式AC励起が有効な場合、このピンはACX2として機能し、その他のGPIOピンと併用することでセンサーの励起を制御できます。

ピン配置およびピン機能の説明

表5 ピン機能の説明（続き）

ピン番号	記号	説明
11	SYNC_IN	同期入力。このピンは、複数のAD4170-4デバイスを使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力です。デフォルト・モードの場合、SYNC_INをローにすると、デジタル・フィルタ、フィルタ制御ロジック、キャリブレーション制御ロジック、アナログ変調器の各ノードがリセットされ、リセット状態に保たれます。SYNC_INは、デジタル・インターフェースには影響を与えませんが、RDYがローの場合はこれをハイ状態にリセットします。複数のチャンネルがイネーブルの場合、SYNC_IN機能を用いるとシーケンスは強制的にリセットされます。そのため、SYNC_INがハイになると、変換シーケンスは最初にイネーブルされたチャンネルから開始します。この入力はALT_SYNCモードでも使用します。ALT_SYNCモードで複数のチャンネルがイネーブルされている場合、シーケンスはリセットされず、SYNC_INピンは、ADCがシーケンスにおいて新たに選択されたチャンネルのサンプリングを開始するタイミングの制御のために用いられます。そのため、チャンネルの変更後、ADCはSYNC_INがハイになるまで待つてからサンプリングを開始します。このピンの使用に関する詳細については、 ADCの同期 のセクションを参照してください。
12	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADCとのデータ転送に使用します。SCLKIにはシュミット・トリガ入力が内蔵されているため、光アイソレーション・アプリケーションのインターフェースにも適しています。転送される全データが連続したパルス列である場合、シリアル・クロックも連続にすることができます。あるいは、ADCとの間で小さいデータ群として情報が送受信される場合は、シリアル・クロックを非連続クロックにすることもできます。
13	CS	チップ・セレクト入力。これはADCを選択するアクティブ・ローのロジック入力です。CSは、シリアル・バスに複数のデバイスが接続されたシステムでADCを選択するために使用するか、デバイスと通信する際にフレーム同期信号として使用します。SCLK、SDI、SDOがデバイスとインターフェースしている場合のみ、CSをローにハードワイヤー接続できます。CSがローにハードワイヤー接続されている場合、SDOピンは常にイネーブルされています。そのため、SDOピンにはマイクロプロセッサに専用ピンが必要です。
14	SDO	シリアル・データ出力／データ・レディ出力。SDOは、ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するどのデータ・レジスタまたは制御レジスタからのデータでも格納できます。更に、SDOはデータ・レディ・ピン（RDY）として機能し、ローに移行することで変換の完了を示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイになります。SDOの立下がりエッジは、プロセッサに対する割込みとして使用され、有効なデータが存在することを示します。外部シリアル・クロックを使用する場合は、SDOピンを使用してデータを読み出すことができます。CSがローの場合、データ／制御ワードの情報がSCLKの立下がりエッジでSDOピンに出力され、SCLKの立下がりエッジで有効になります。なお、データ・レディ機能は、DIG_AUX1ピンに出力することができます。これは、シリアル・データ出力とデータ・レディ機能を独立させたい場合に便利です。また、AD4170-4には、変換の読み出しを簡単にする、連続送信モードもあります。AD4170-4はDCLKおよびフレーム同期信号を供給します。そのため、変換結果は使用可能になると自動的にSDOに置かれます。連続送信モードが有効化されている場合、このモードが無効化されるまで、SDOピンは変換結果の出力専用となります。
15	SDI	ADCの入力シフト・レジスタへのシリアル・データ入力。入力シフト・レジスタ内のデータは、命令フェーズで選択されたレジスタ・アドレスと共に、ADC内の制御レジスタに転送されます。
16	XTAL2	水晶振動子用の入力2／クロック入出力。どちらの機能として動作させるかは、CLOCK_CTRLレジスタ内のCLOCKSELビットで設定します。MCLKソースを選択するには、次の4つのオプションが使用できます。内部発振器：出力なし、内部発振器：XTAL2への出力（IOVDDのロジック・レベルで動作）、外部クロック：XTAL2への入力（入力はIOVDDのロジック・レベルであることが必要です）、外部水晶振動子：XTAL1とXTAL2の間に接続。
17	XTAL1	水晶振動子用の入力1。
18	DIG_AUX2	DACロード信号／DACトグル／連続送信モードでのクロックDCLK／START入力このピンは、組み込みDAC用のロードDAC信号またはDACトグル信号として使用できます。連続送信モードでは、このピンはデータ・クロックDCLKを供給します。またこのピンは、DIG_AUX1ピンと併用して、共通のメイン・クロックを共用する複数のデバイスでの同期を行うために使用することもできます。このモードでは、印加されたSTART信号から同期信号SYNC_OUTを内部で生成し、SYNC_OUTが内部メイン・クロックと同期します。SYNC_OUTは、マルチAD4170-4システム内の全てのAD4170-4 ADCに印加され、この全てのADCに同期変換動作を行わせず。
19	DGND	デジタル・グラウンド基準ポイント。
20	IOVDD	シリアル・インターフェース電源電圧（1.7V～5.25V）。IOVDDはAVDDからは独立しています。そのため、例えば、AVAVDDが5.25Vの場合でも、シリアル・インターフェースは1.7Vで動作できます。
21	REGCAP_D	デジタルLDOレギュレータ出力。このピンは、1μFのコンデンサと0.1μFのコンデンサを並列に接続して、DGNDとデカップリングします。

ピン配置およびピン機能の説明

表5. ピン機能の説明（続き）

ピン番号	記号	説明
22	DIG_AUX1	SPIインターフェース用データ・レディ／連続送信モードでのデータ・レディ／同期出力。シリアル・インターフェースを使用している場合、データ・レディ機能をこのピンで出力し、SDOピンをシリアル・データ出力専用にすることができます。連続送信モードを用いる場合、このピンは同様に、データ・レディ・ピンとして機能し、DIG_AUX2がデータ送信用にクロックDCLKを供給します。またこのピンは、DIG_AUX2ピンと併用して、共通のメイン・クロックを共用する複数のデバイスでの同期を行うために使用することもできます。このモードでは、印加されたSTART信号から同期信号SYNC_OUTを内部で生成し、SYNC_OUTが内部メイン・クロックと同期します。SYNC_OUTは、マルチAD4170-4システム内の全てのAD4170-4 ADCに印加され、この全てのADCに同期変換動作を行わせます。
23	GPIO2	汎用入力または出力／励起電流／AC励起信号ACX1。このピンは、AVSSとAVDDの間を基準にした汎用入出力ビットとして設定できます。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。AC励起が有効な場合、このピンはACX1として機能し、GPIO3を併用したセンサーの2線式AC励起や、他の全てのGPIOピンを併用したセンサーの4線式AC励起が可能です。
24	GPIO3	汎用入力または出力／励起電流／AC励起信号ACX2。このピンは、AVSSとAVDDの間を基準にした汎用入出力ビットとして設定できます。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。AC励起が有効な場合、このピンはACX2として機能し、GPIO2を併用したセンサーの2線式AC励起や、他の全てのGPIOピンを併用したセンサーの4線式AC励起が可能です。
25	AIN8	アナログ入力8／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力することができます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
26	AIN7	アナログ入力7／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
27	AIN6	アナログ入力6／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
28	AIN5	アナログ入力5／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
29	AIN4	アナログ入力4／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
30	AIN3	アナログ入力3／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
31	AIN2	アナログ入力2／励起電流／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
32	AIN1	アナログ入力1／内部励起電流源の出力／バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるようCHANNEL_MAPnレジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
	EP	露出パッド。露出パッドはAVSSに接続します。

代表的な性能特性

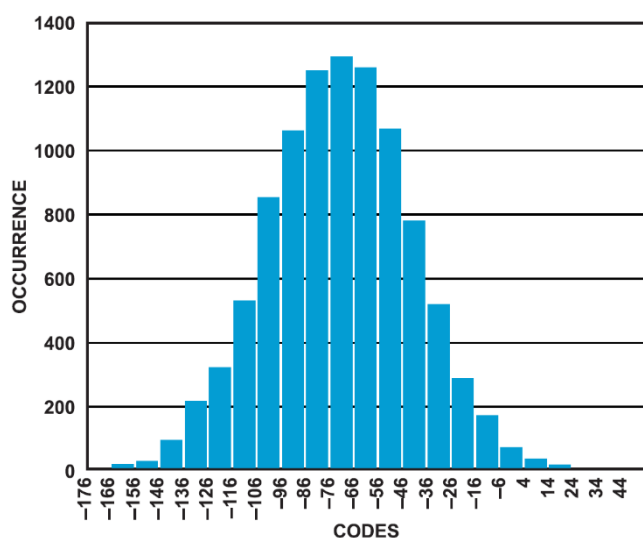


図10. ノイズ・ヒストグラム (sinc⁵ + 平均化フィルタ、125kSPS、PGA_Gain = 1)

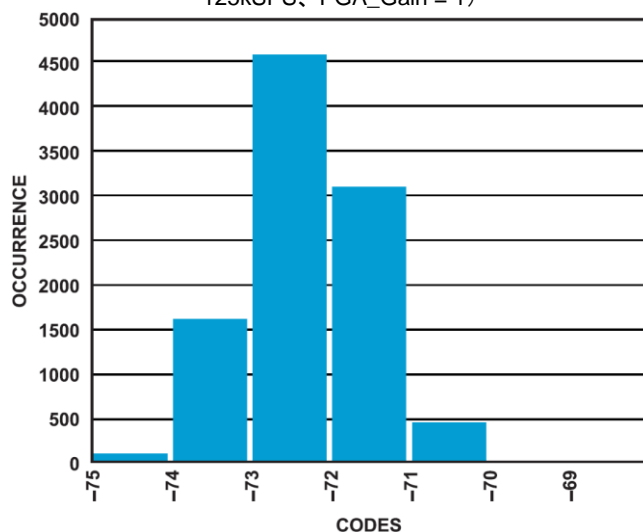


図11. ノイズ・ヒストグラム (sinc⁵ + 平均化フィルタ、50SPS、PGA_Gain = 1)

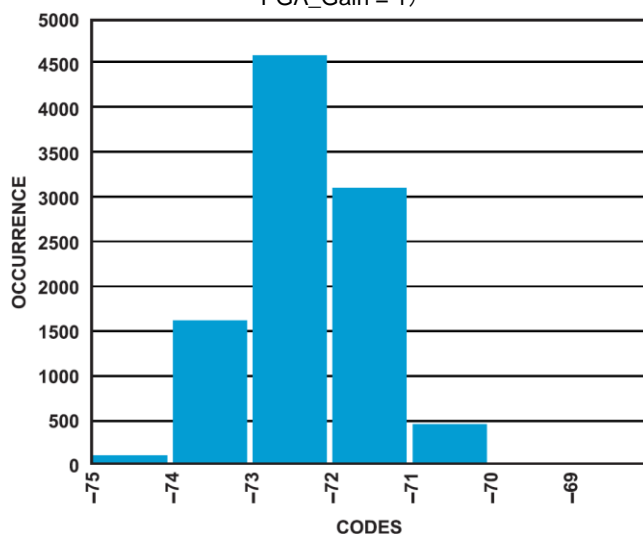


図12. ノイズ・ヒストグラム (デフォルトFIRフィルタ、125kSPS、PGA_Gain = 1)

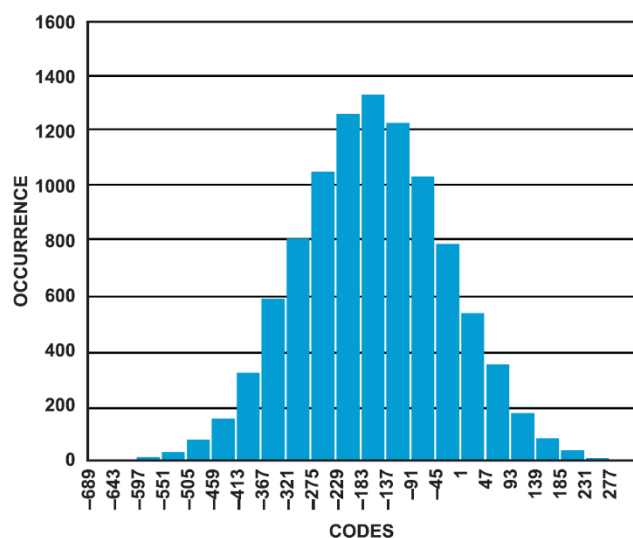


図13. ノイズ・ヒストグラム (sinc⁵ + 平均化フィルタ、125kSPS、PGA_Gain = 16)

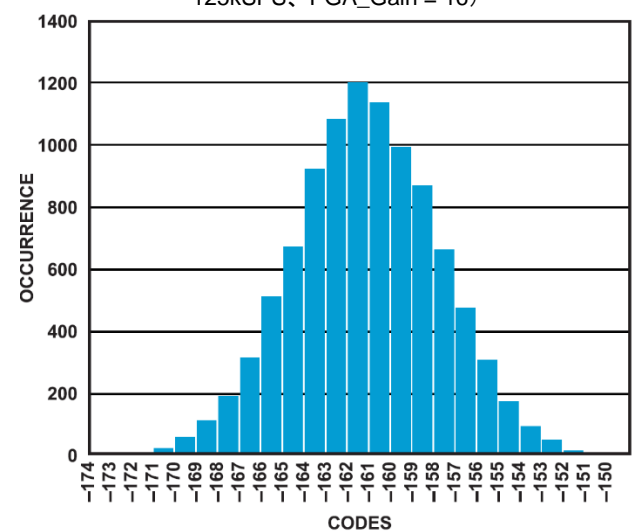


図14. ノイズ・ヒストグラム (sinc⁵ + 平均化フィルタ、50SPS、PGA_Gain = 16)

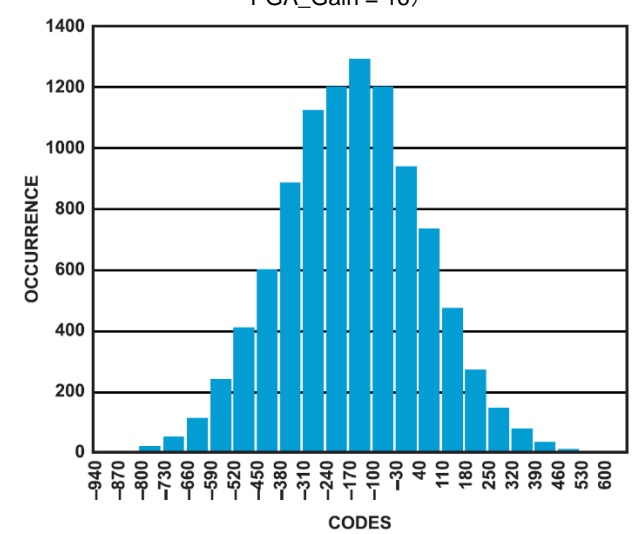


図15. ノイズ・ヒストグラム (デフォルトFIRフィルタ、125kSPS、PGA_Gain = 16)

代表的な性能特性

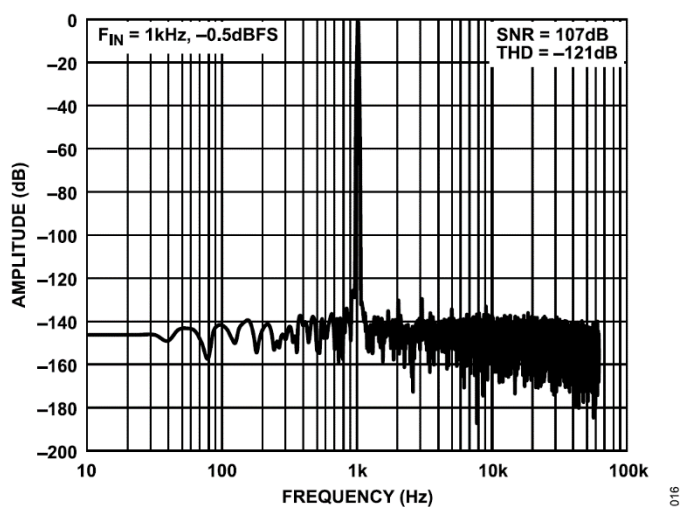


図16. FFT (sinc⁵フィルタ、125kSPS、PGA_Gain = 1、4.096Vリファレンス)

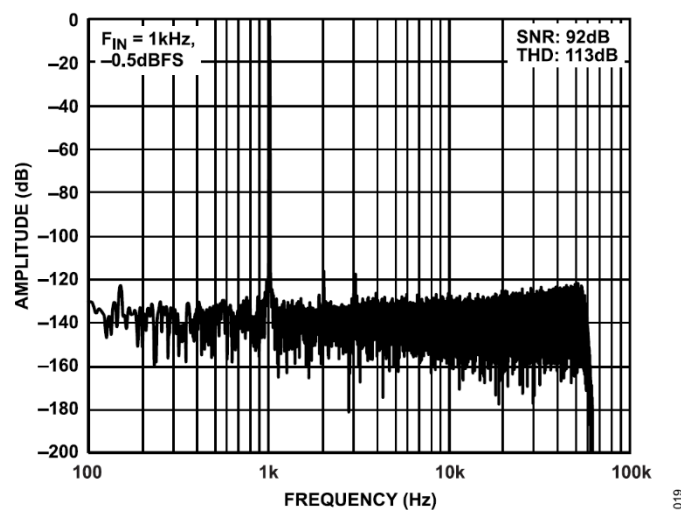


図19. FFT (デフォルトFIRフィルタ、125kSPS、PGA_Gain = 16、4.096Vリファレンス)

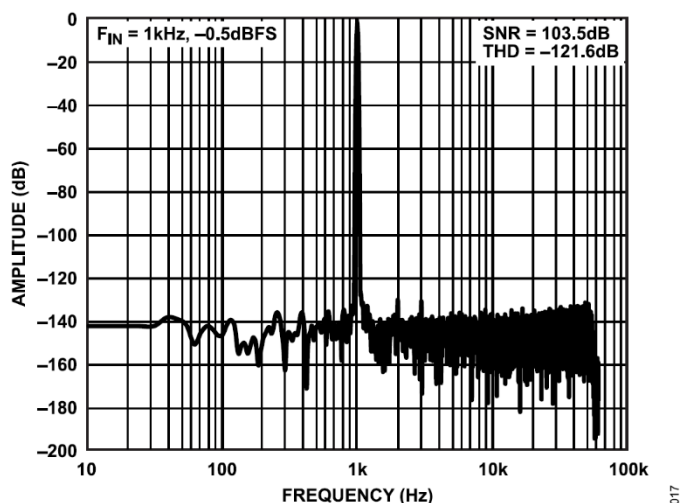


図17. FFT (FIRフィルタ、125kSPS、PGA_Gain = 1、4.096Vリファレンス)

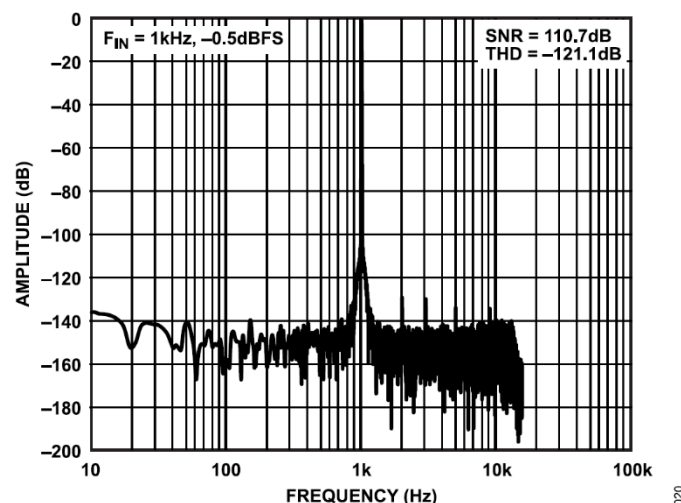


図20. FFT (デフォルトFIRフィルタ、31.25kSPS、PGA_Gain = 1、4.096Vリファレンス)

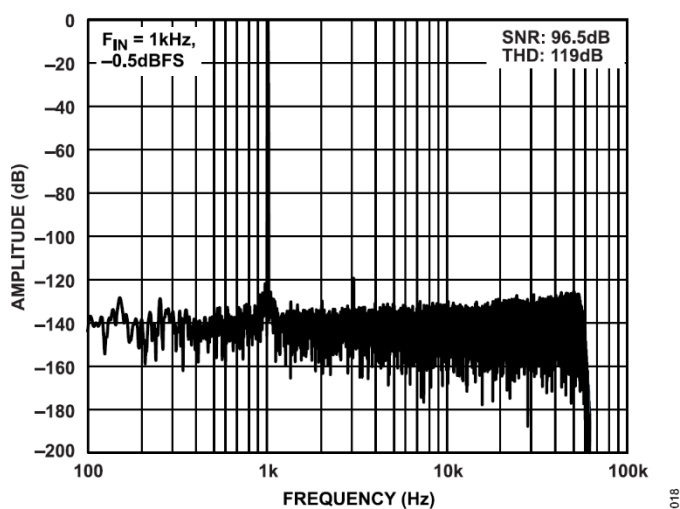


図18. FFT (デフォルトFIRフィルタ、125kSPS、PGA_Gain = 8、4.096Vリファレンス)

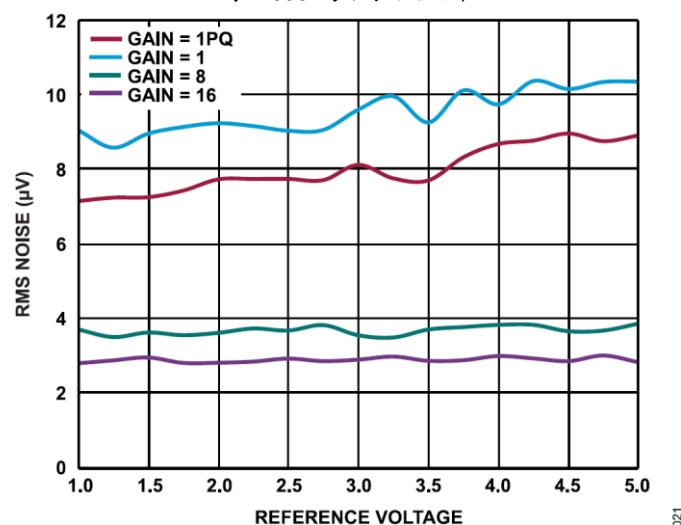


図21. 実効値ノイズとリファレンス電圧の関係 (sinc⁵ + 平均化フィルタ、125kSPS)

代表的な性能特性

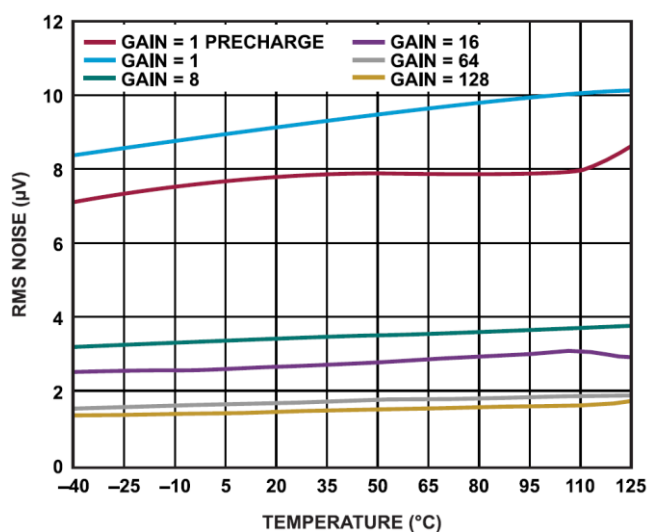
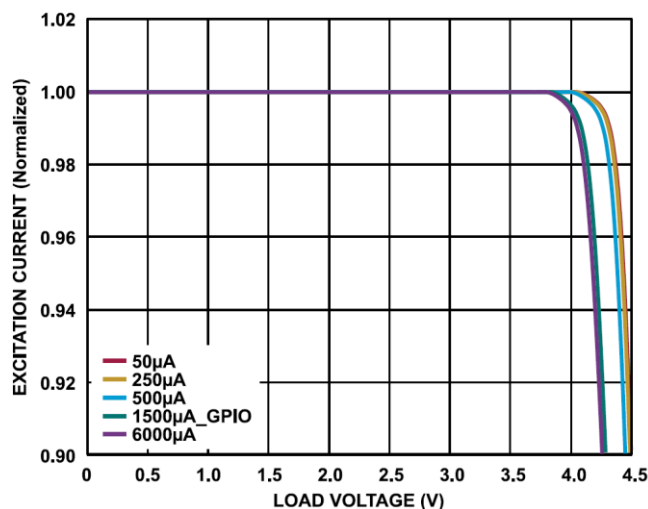
図22. 実効値ノイズと温度の関係 (sinc⁵ + 平均化フィルタ、125kSPS、2.5Vリファレンス)

図23. 励起電流出力コンプライアンス

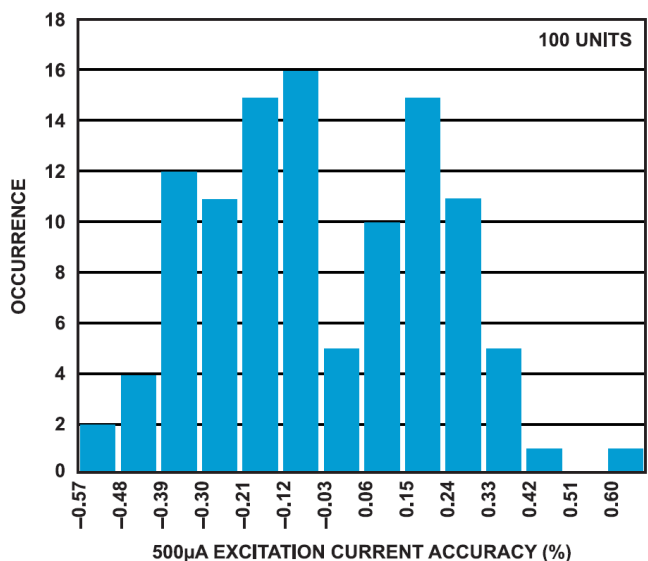


図24. IOUTnの励起電流の初期精度 (500µA)

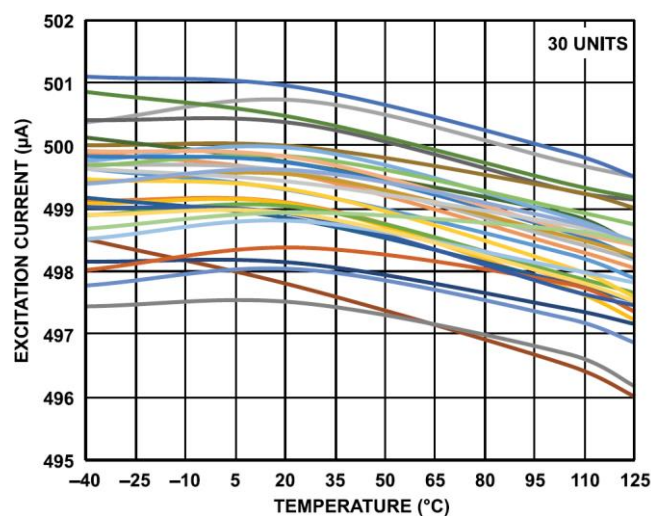


図25. IOUTnの励起電流と温度の関係 (500µA)

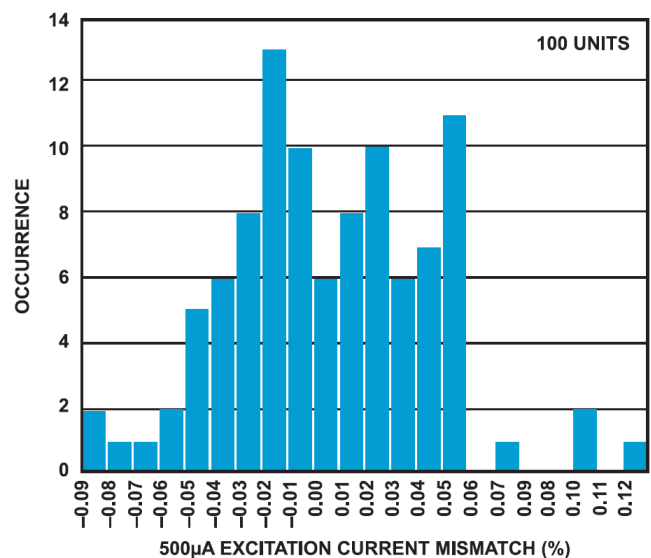


図26. IOUTnの励起電流の初期マッチング (500µA)

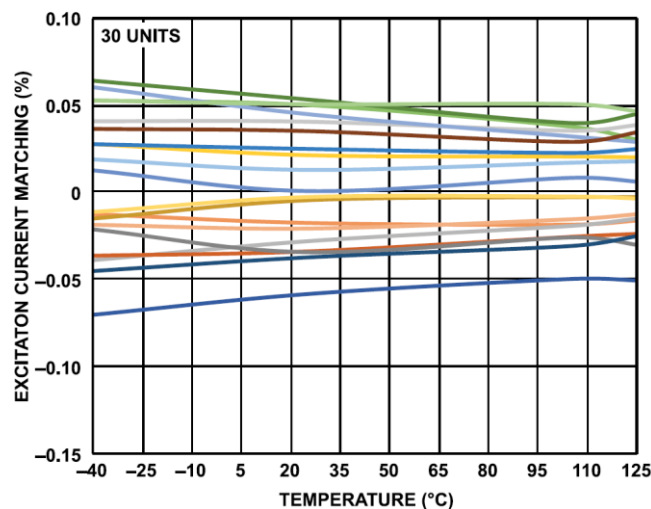


図27. IOUTnの励起電流のマッチングと温度の関係 (500µA)

代表的な性能特性

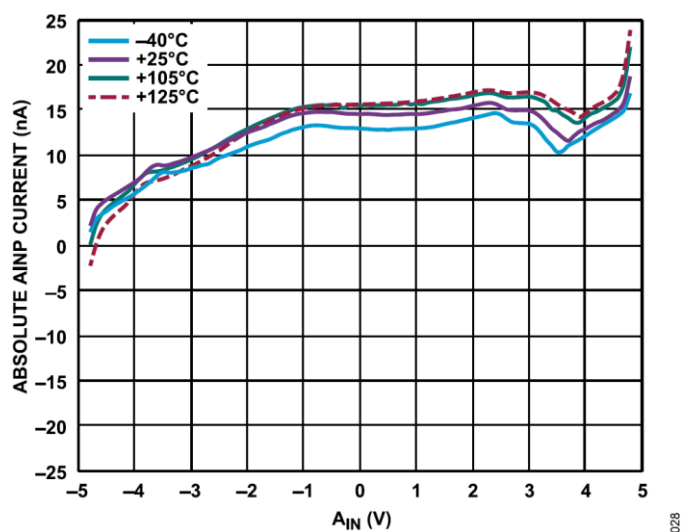


図28. 絶対AINP電流と A_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 0.5

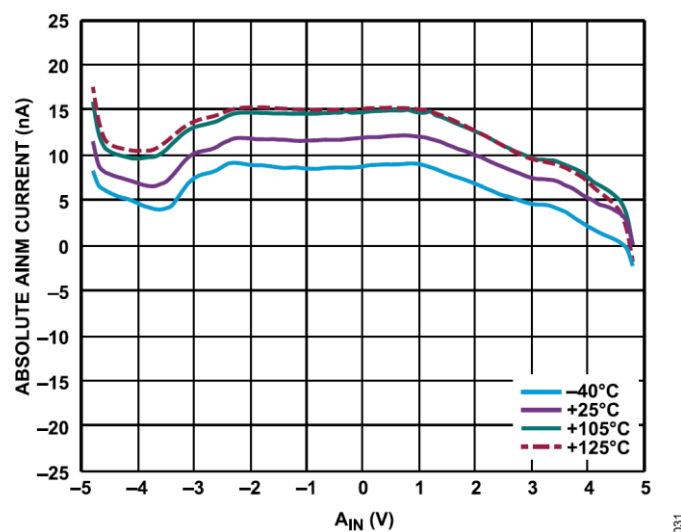


図31. 絶対AINM電流と A_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 0.5

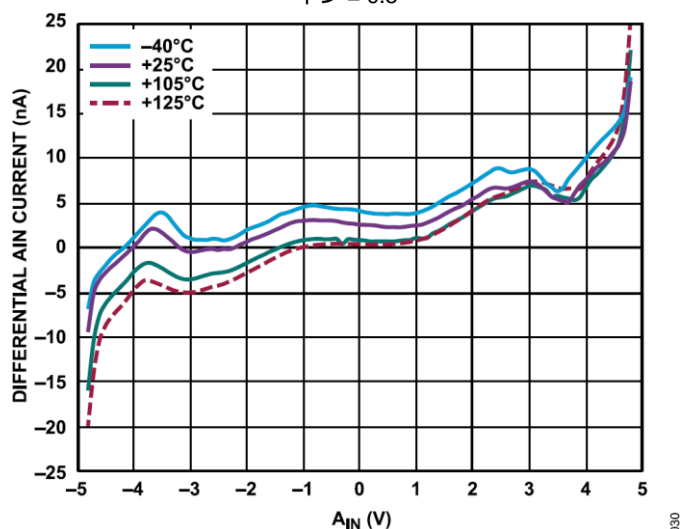


図29. 差動AIN電流と A_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 0.5

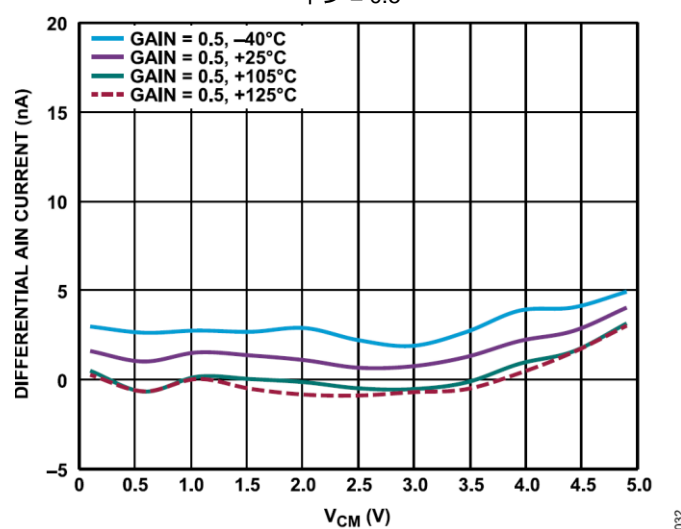


図32. 差動AIN電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 0.5

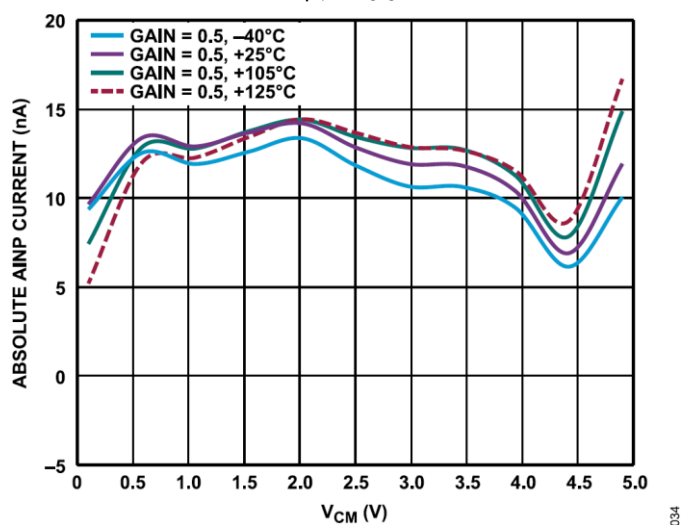


図30. 絶対AINP電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 0.5

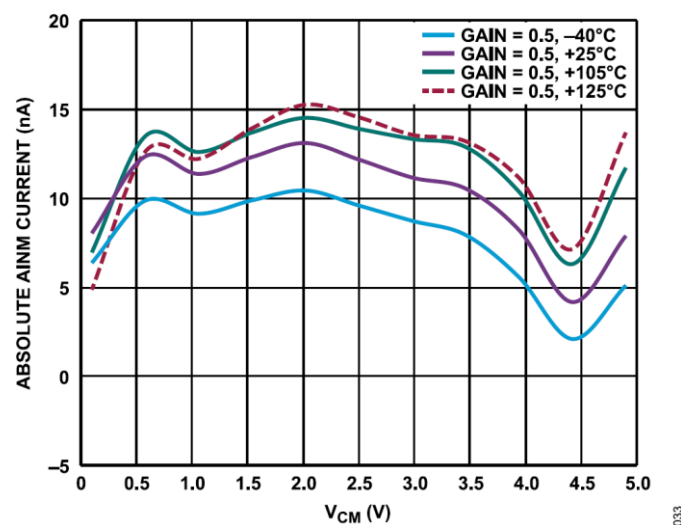


図33. 絶対AINM電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 0.5

代表的な性能特性

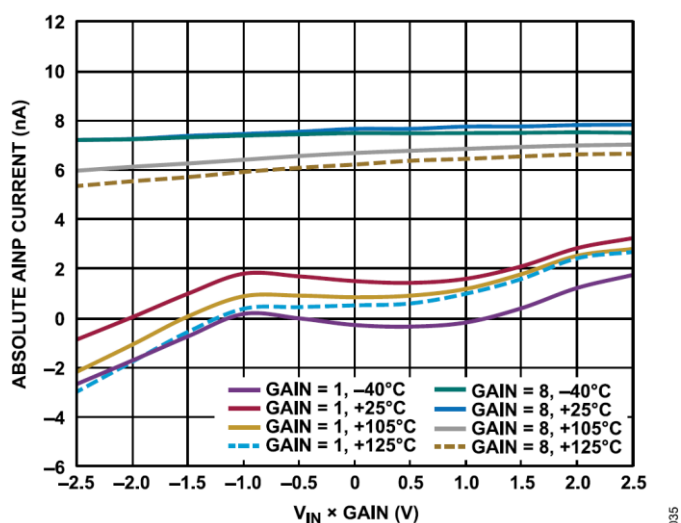


図34. 絶対AINP電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1および8

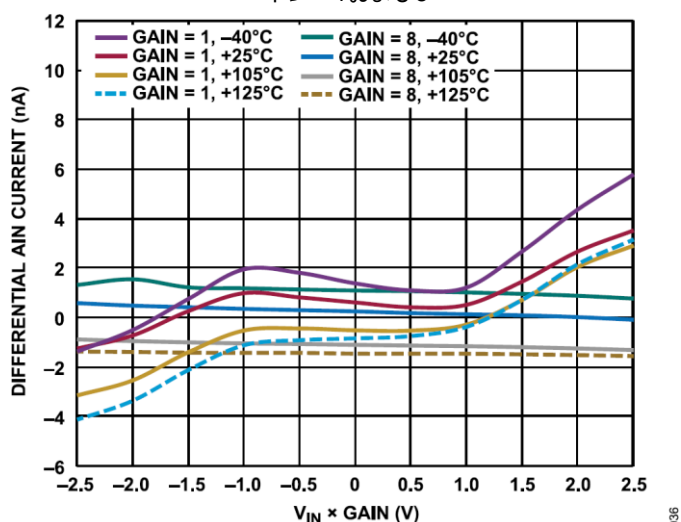


図35. 差動AIN電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1および8

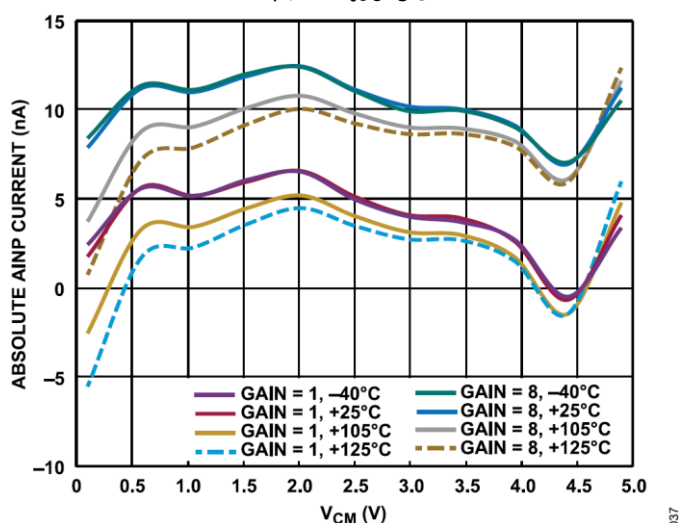


図36. 絶対AINP電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1および8

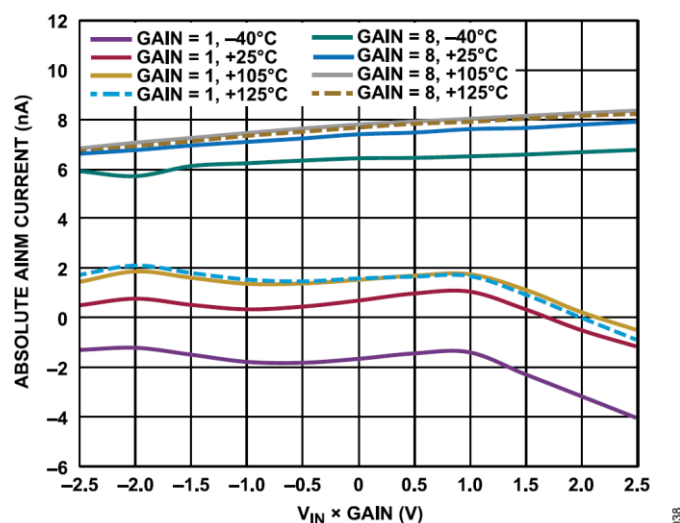


図37. 絶対AINM電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1および8

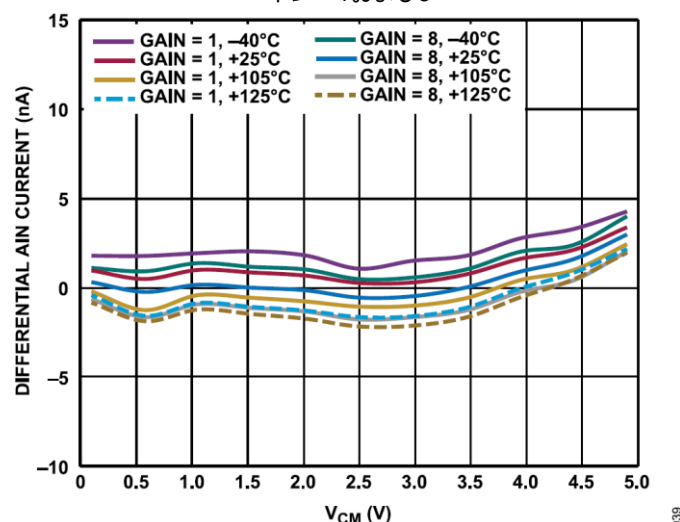


図38. 差動AIN電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1および8

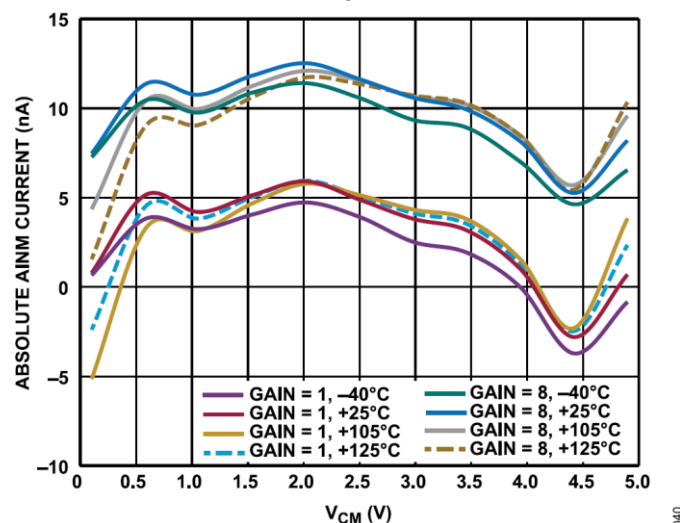
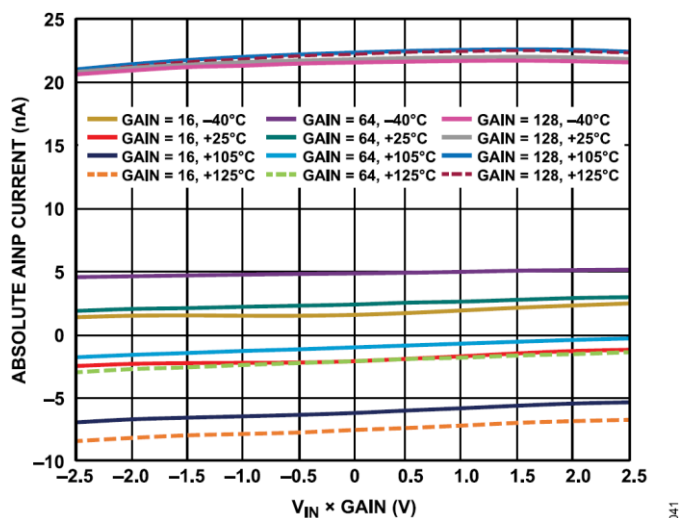
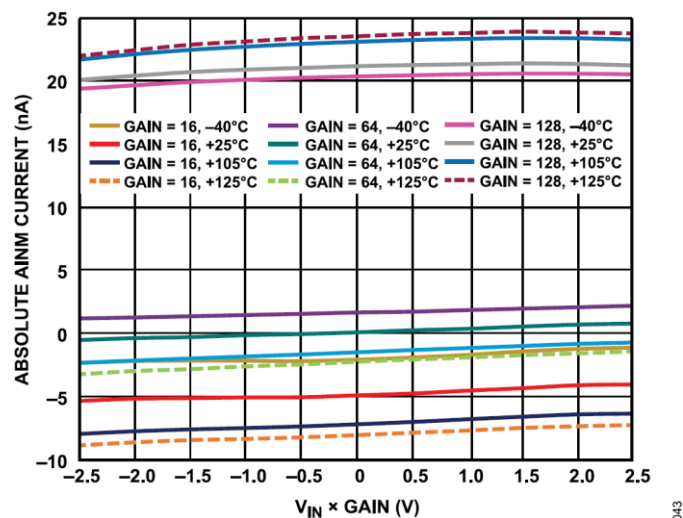
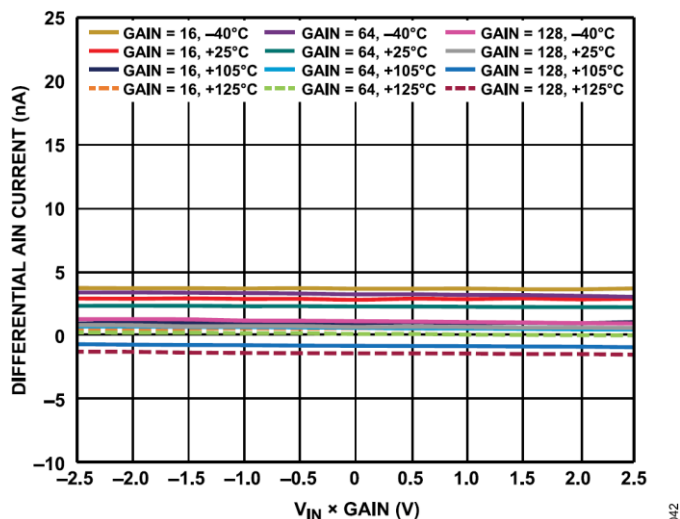
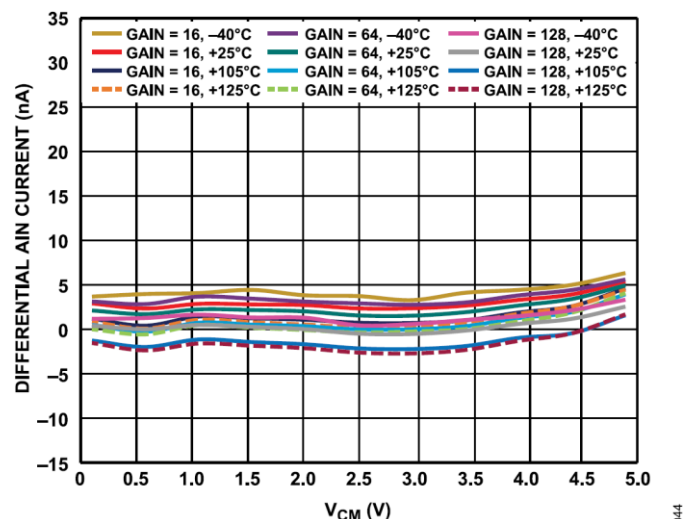
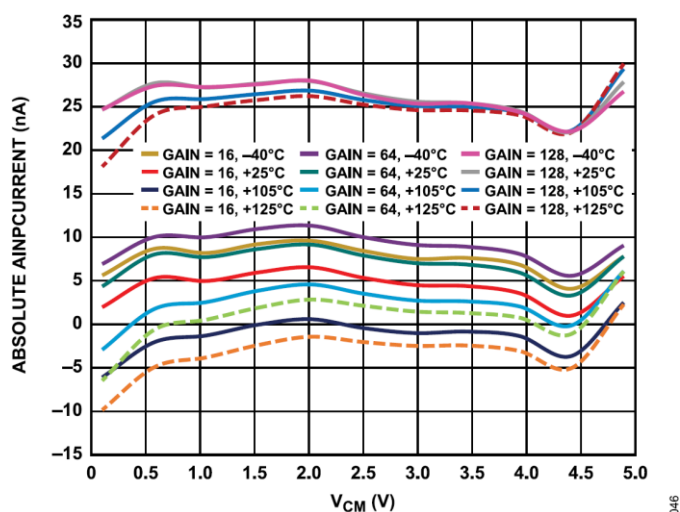
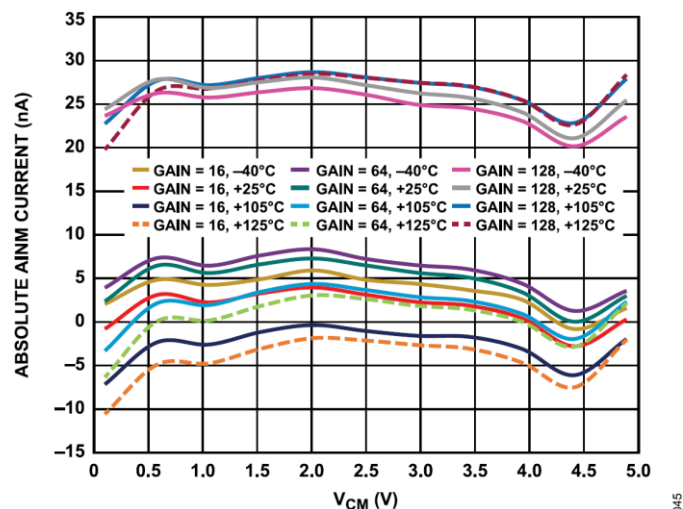


図39. 絶対AINM電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1および8

代表的な性能特性

図40. 絶対AINP電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 16~128図43. 絶対AINM電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 16~128図41. 差動AIN電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 16~128図44. 差動AIN電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 16~128図42. 絶対AINP電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 16~128図45. 絶対AINM電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 16~128

代表的な性能特性

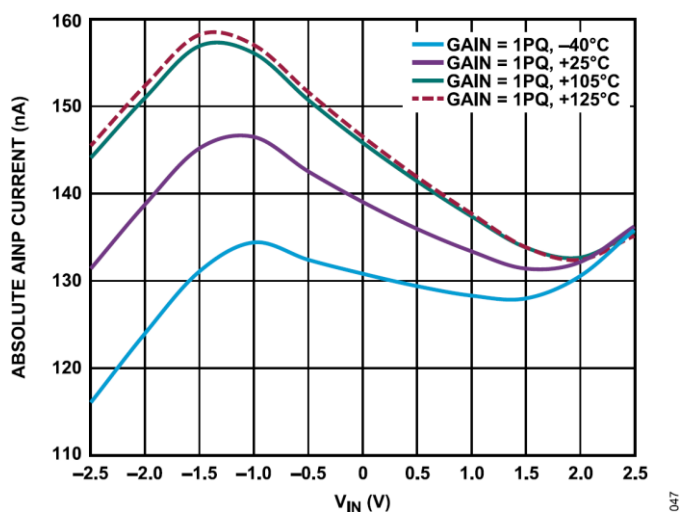


図46. 絶対AINP電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1プリチャージ

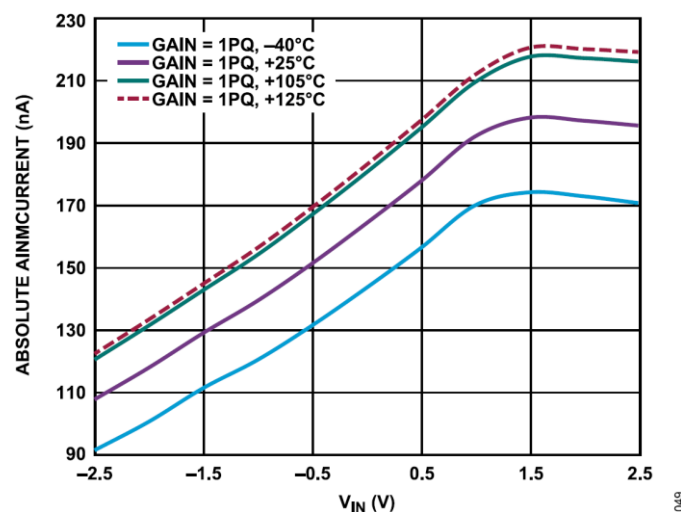


図49. 絶対AINM電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1プリチャージ

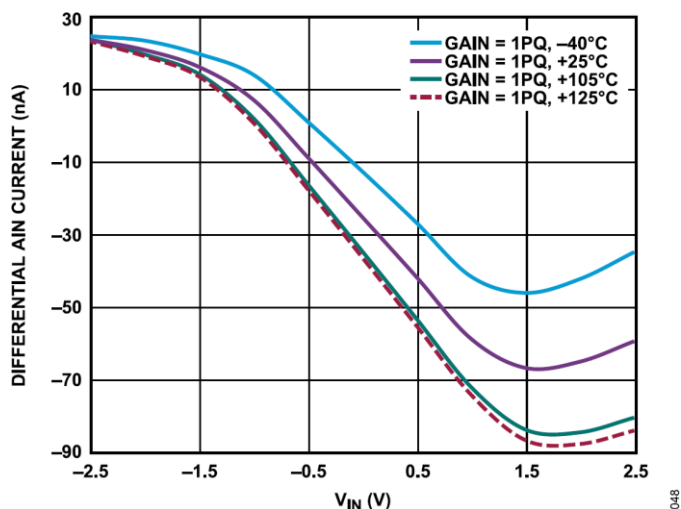


図47. 差動AIN電流と V_{IN} の関係 ($V_{CM} = (AVDD + AVSS)/2$)、ゲイン = 1プリチャージ

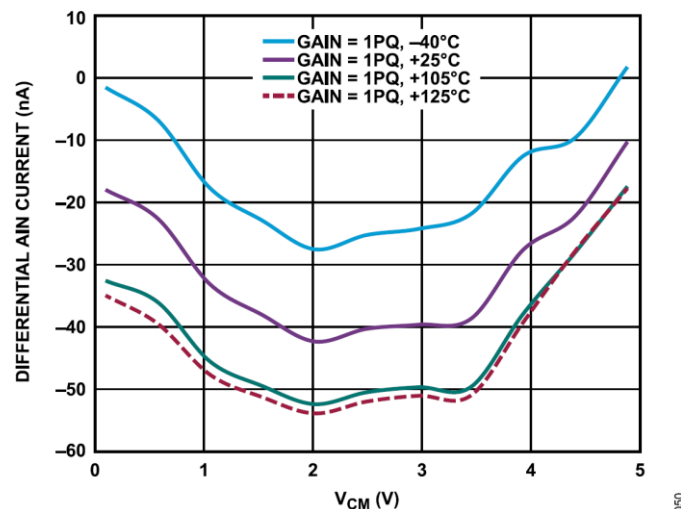


図50. 差動AIN電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1プリチャージ

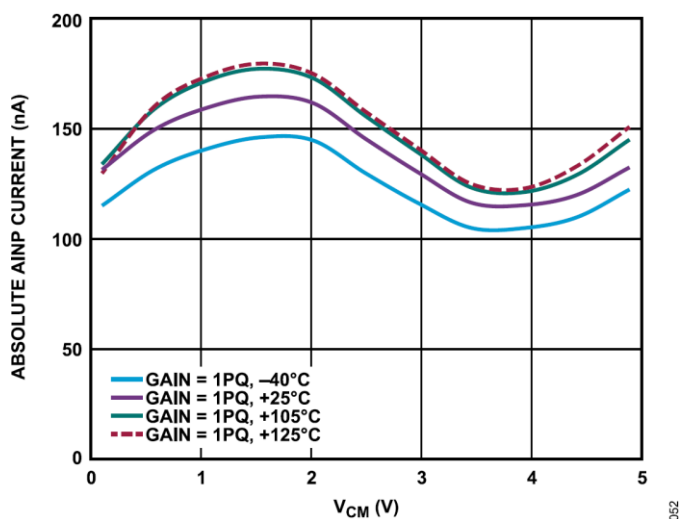


図48. 絶対AINP電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1プリチャージ

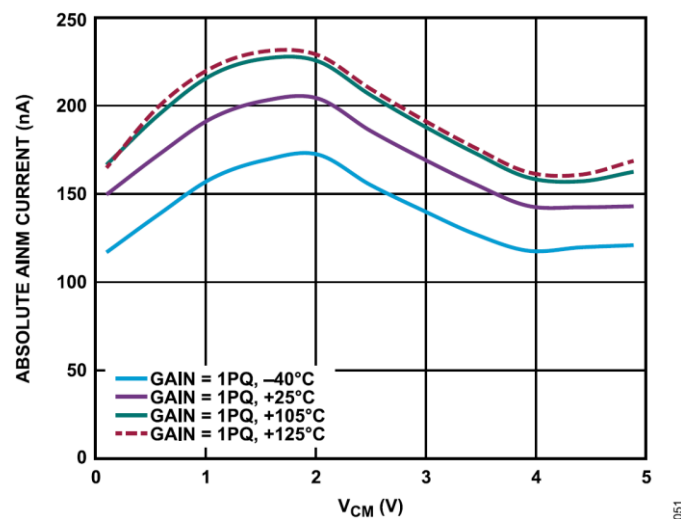


図51. 絶対AINM電流と V_{CM} の関係 ($V_{DIFF} = 0V$)、ゲイン = 1プリチャージ

代表的な性能特性

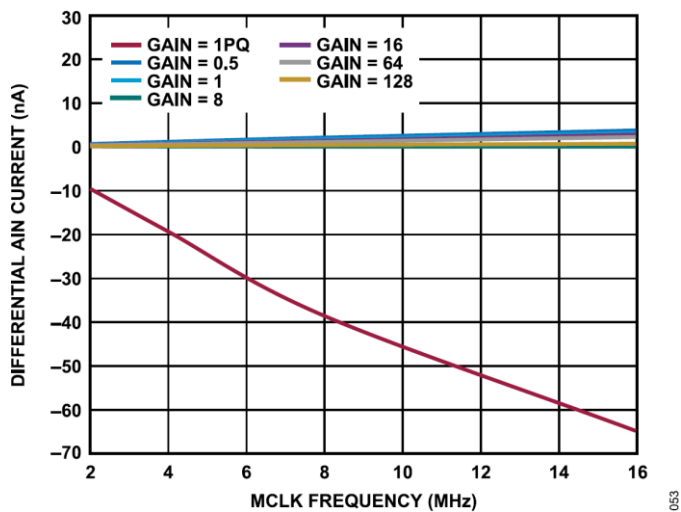


図52. 異なるMCLK周波数に対する差動AIN電流とMCLK周波数の関係 ($V_{IN} = 0.8 \times \text{フルスケール}$, $V_{CM} = (AVDD + AVSS)/2$)

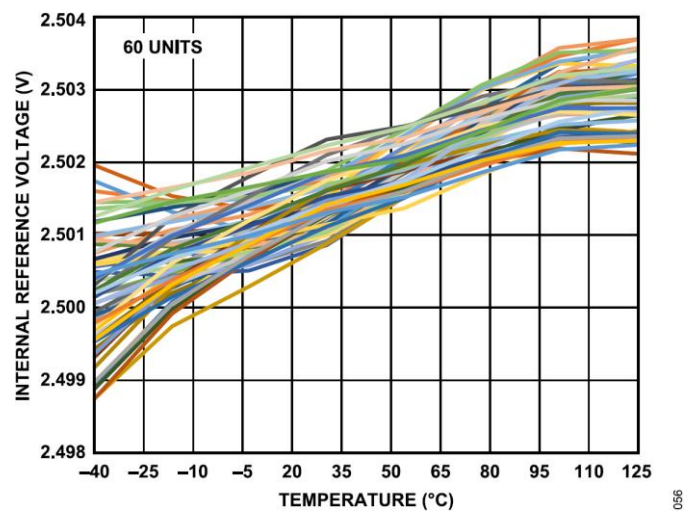


図55. 内蔵リファレンス電圧と温度の関係 (ハンダ付けしたデバイス)

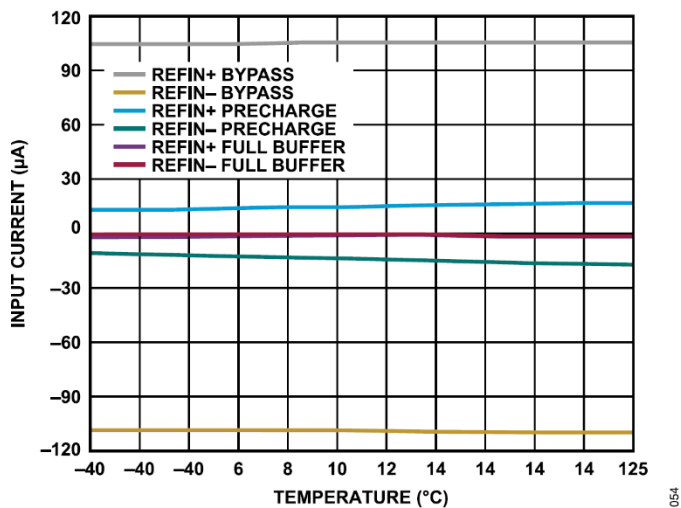


図53. リファレンス入力電流

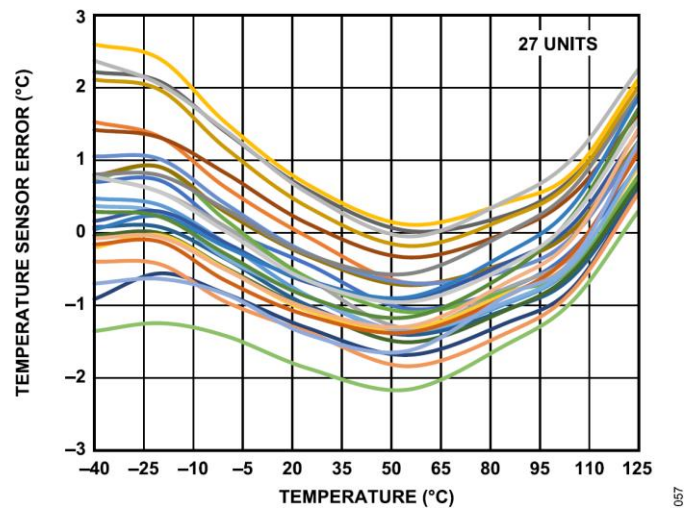


図56. 内部温度センサーの精度

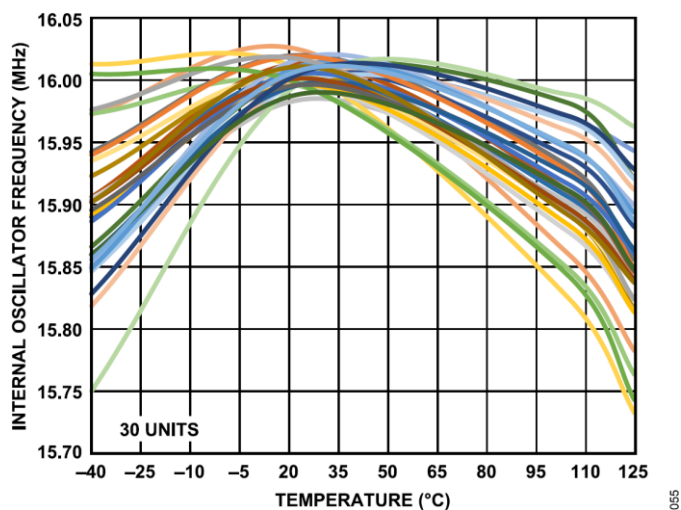


図54. 内部発振器周波数と温度の関係

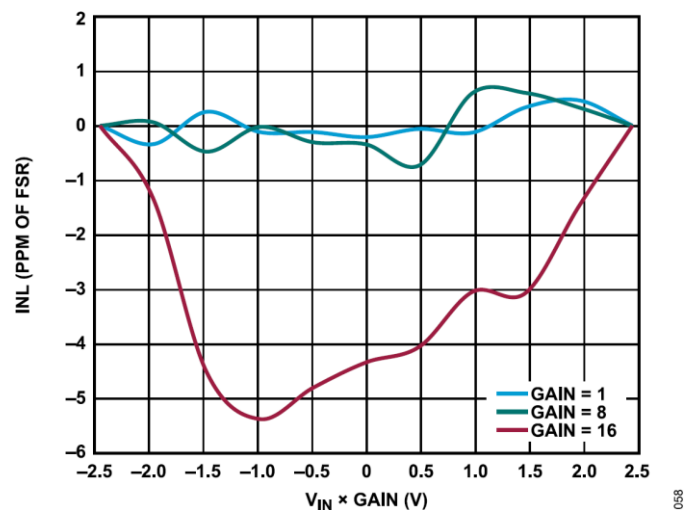


図57. INL

代表的な性能特性

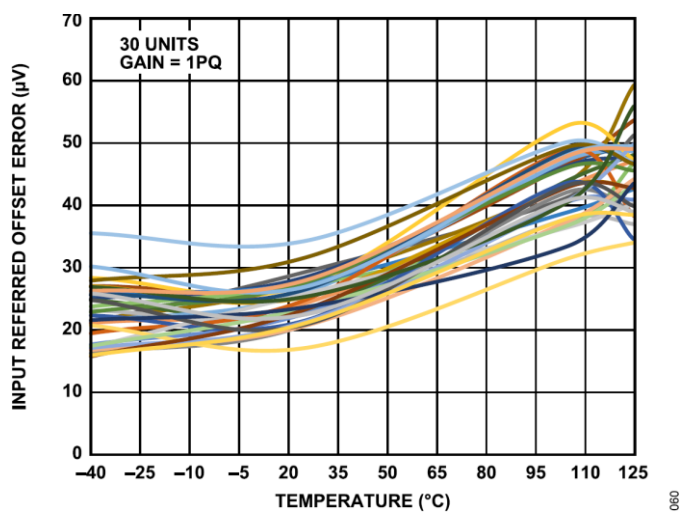


図58. 入力換算オフセット誤差と温度の関係（ゲイン = 1プリチャージ）

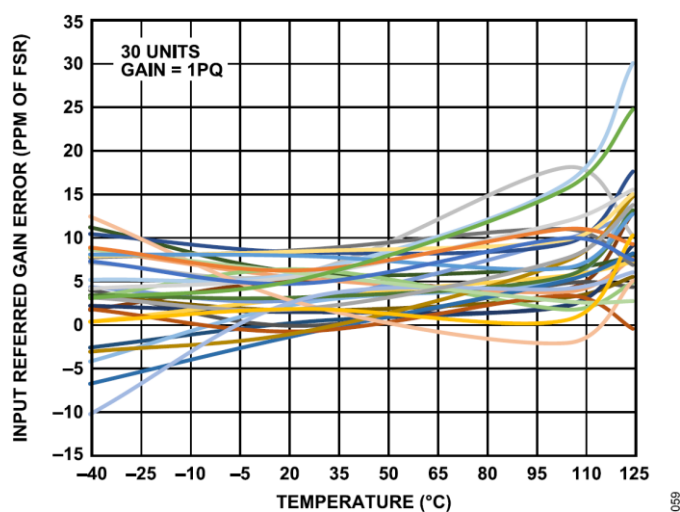


図61. 入力換算ゲイン誤差と温度の関係（ゲイン = 1プリチャージ）

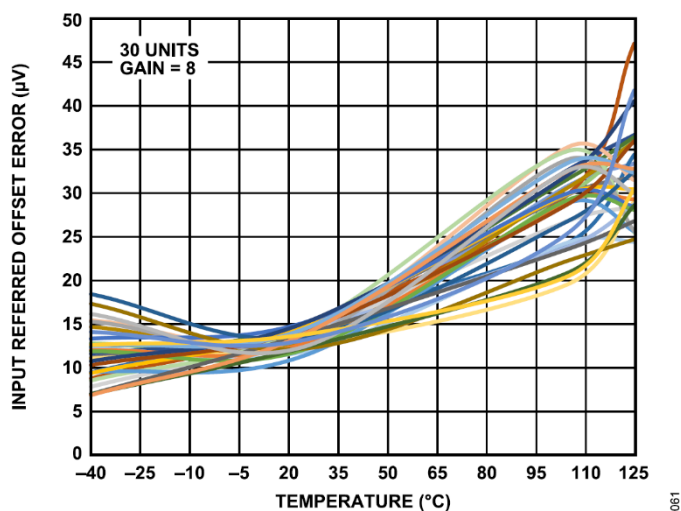


図59. 入力換算オフセット誤差と温度の関係（ゲイン = 8）

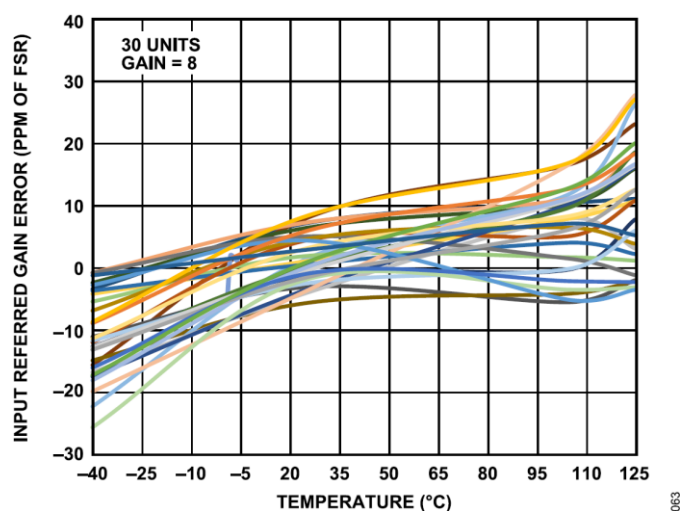


図62. 入力換算ゲイン誤差と温度の関係（ゲイン = 8）

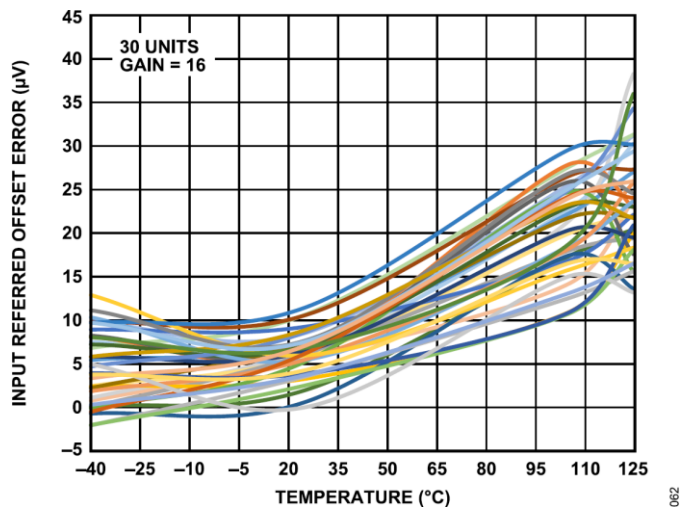


図60. 入力換算オフセット誤差と温度の関係（ゲイン = 16）

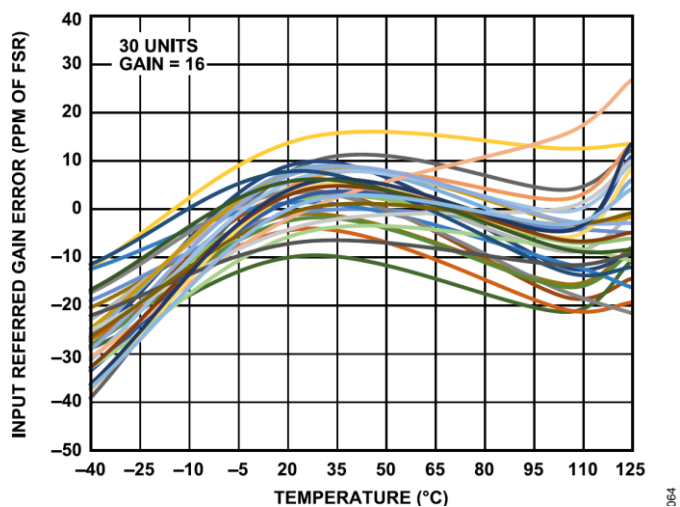


図63. 入力換算ゲイン誤差と温度の関係（ゲイン = 16）

代表的な性能特性

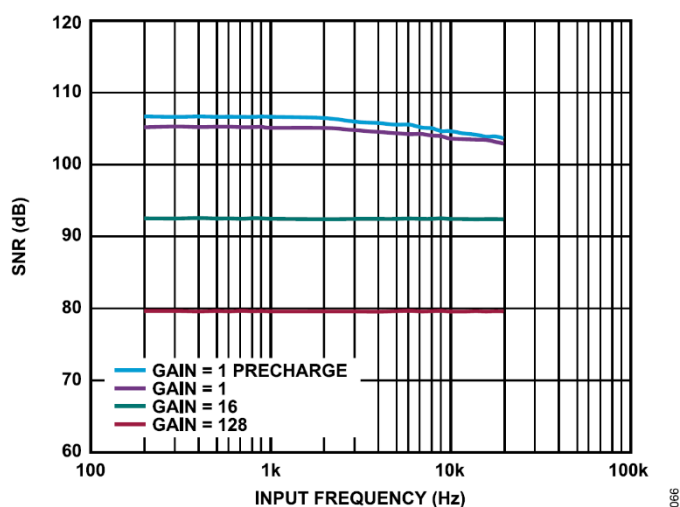


図64. 異なるゲインに対するS/N比と入力周波数の関係（外部16MHzクロック、外部2.5Vリファレンス、sinc⁵フィルタ、FS = 4）

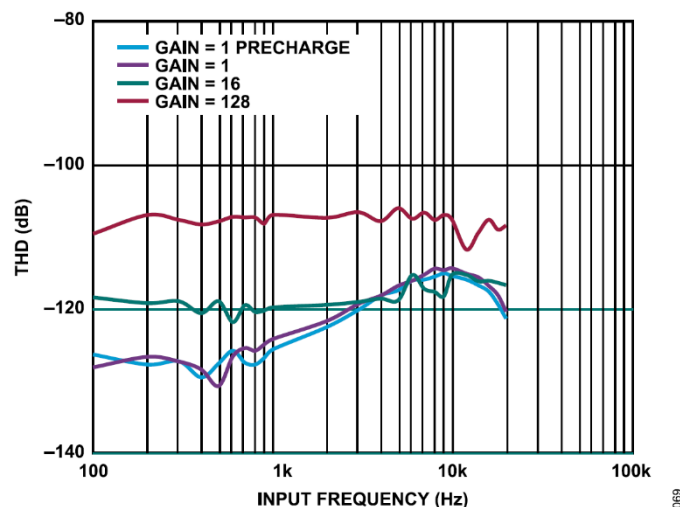


図66. 異なるゲインに対するTHDと入力周波数の関係（外部16MHzクロック、外部2.5Vリファレンス、sinc⁵フィルタ、FS = 4）

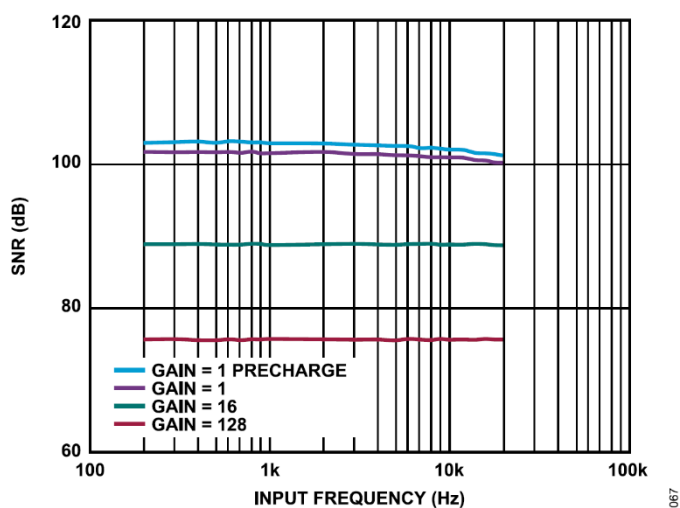


図65. 異なるゲインに対するS/N比と入力周波数の関係（外部16MHzクロック、FIRフィルタ、FS = 4、外部2.5Vリファレンス）

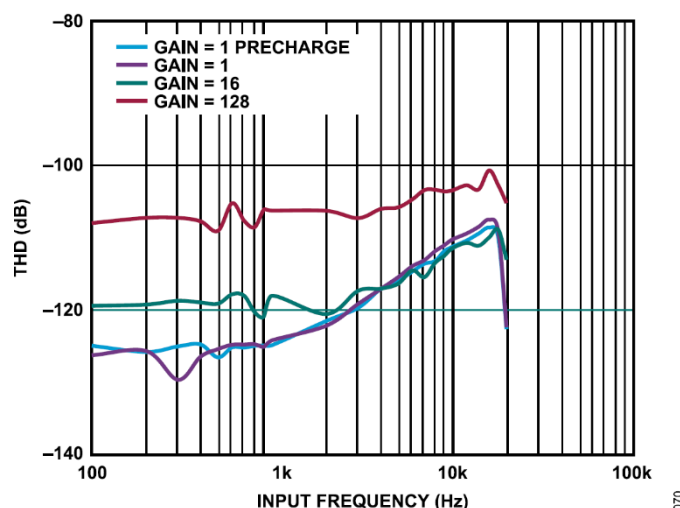


図67. 異なるゲインに対するTHDと入力周波数の関係（外部16MHzクロック、外部2.5Vリファレンス、FIRフィルタ、FS = 4）

実効値ノイズと分解能

表6～表17に、多様なODR、ゲイン設定、およびフィルタの組み合わせに対するAD4170-4の実効値ノイズ、ピークtoピーク・ノイズ、実効分解能、ノイズ・フリー（ピークtoピーク）分解能を示します。ここに示した値は、2.5Vの外部リファレンスを使用したパイポラ入力範囲の場合です。これらの値は代表値であり、ADCが単一チャンネルで連続変換しているときに0Vの差動入力を使って得られた1000サンプルの値を集めたものです。実効分解能は実効値ノイズを基に計算された値で、ピークtoピーク分解能

（括弧内の値）はピークtoピーク・ノイズ（括弧内の値）を基に計算された値であることを注意してください。このピークtoピーク分解能は、コード・フリッカが生じない分解能を表します。

$$\text{Effective Resolution} = \log_2(\text{Input Range}/\text{RMS Noise}) \quad (1)$$

$$\text{Peak-to-Peak Resolution} = \log_2(\text{Input Range}/\text{Peak-to-Peak Noise}) \quad (2)$$

SINC⁵ + AVG

表6. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（μV）

Filter Word (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	7.63	3.38	0.28 (1.2)	0.14 (0.59)	0.13 (0.6)	0.076 (0.45)	0.043 (0.24)	0.033 (0.22)	0.025 (0.15)	0.018 (0.12)	0.014 (0.093)	0.013 (0.084)
50,000	10	4.43	0.26 (1.2)	0.14 (0.59)	0.14 (0.6)	0.076 (0.45)	0.048 (0.24)	0.038 (0.22)	0.029 (0.19)	0.02 (0.13)	0.016 (0.093)	0.014 (0.084)
25,000	20	8.85	0.33 (1.8)	0.16 (0.89)	0.18 (1.19)	0.10 (0.6)	0.066 (0.37)	0.05 (0.3)	0.041 (0.27)	0.027 (0.17)	0.023 (0.14)	0.019 (0.12)
10,000	50	22.13	0.49 (3.6)	0.21 (1.19)	0.25 (1.49)	0.16 (1)	0.10 (0.67)	0.078 (0.52)	0.068 (0.4)	0.043 (0.25)	0.036 (0.2)	0.03 (0.18)
8,332	60	26.59	0.53 (3.6)	0.22 (1.19)	0.26 (1.49)	0.16 (1.1)	0.11 (0.68)	0.087 (0.63)	0.069 (0.41)	0.047 (0.3)	0.039 (0.24)	0.034 (0.19)
5,000	100	44.25	0.66 (4.2)	0.3 (2.1)	0.35 (2.1)	0.21 (1.34)	0.14 (0.89)	0.12 (0.78)	0.092 (0.58)	0.062 (0.4)	0.048 (0.35)	0.042 (0.24)
1,000	500	221.25	1.4 (8.3)	0.6 (3.8)	0.75 (4.8)	0.45 (2.7)	0.31 (2)	0.25 (1.6)	0.2 (1.3)	0.14 (0.9)	0.11 (0.74)	0.092 (0.6)
500	1,000	442.5	2.1 (12.5)	0.9 (6)	1 (6.3)	0.63 (3.9)	0.44 (3)	0.36 (2.6)	0.28 (1.5)	0.2 (1.4)	0.16 (0.96)	0.13 (0.75)
100	5,000	2,206	4.5 (29.8)	1.9 (11.9)	2.4 (15.5)	1.4 (8.6)	0.94 (6)	0.8 (5.4)	0.64 (3.7)	0.44 (3)	0.36 (2.4)	0.3 (1.8)
80	6,250	2,758	5 (31)	2.2 (13.4)	2.6 (16.7)	1.5 (10.1)	1.1 (7.9)	0.9 (6.1)	0.7 (4.4)	0.5 (3.2)	0.4 (2.7)	0.33 (2)
48	10,416.7	4,565	6.5 (42.3)	2.7 (18.2)	3.3 (21.2)	2 (12.8)	1.4 (8.6)	1.1 (7.1)	0.9 (6.2)	0.63 (4.1)	0.5 (3.3)	0.43 (3.2)
40	12,500	5,455	7 (47.1)	2.9 (19.7)	3.7 (22.9)	2.2 (13.7)	1.5 (9.8)	1.3 (7.6)	1 (6.3)	0.68 (4.5)	0.55 (3.5)	0.47 (3.5)
20	25,000	10,483	9 (57.2)	4.2 (26.2)	5.1 (34.3)	3.1 (20.9)	2.2 (13.2)	1.8 (10.1)	1.4 (8.8)	1 (6.7)	0.78 (5.2)	0.68 (4.4)
16	31,250	12,741	10.2 (64.3)	4.7 (30.4)	5.5 (35.2)	3.4 (22.9)	2.4 (16.3)	1.9 (12.6)	1.5 (10.2)	1.1 (7.6)	0.9 (6)	0.76 (5.2)
12	41,666.7	16,047	11.7 (70.3)	5.1 (35.2)	6.3 (39.6)	3.8 (24.9)	2.6 (17)	2.2 (13.1)	1.8 (11.3)	1.3 (7.7)	1 (6.5)	0.89 (5.7)
8	62,500	21,019	14.3 (90.6)	6.1 (47.1)	7.6 (47.1)	4.5 (28.2)	3.2 (18.6)	2.7 (17.1)	2.1 (13.1)	1.5 (9)	1.2 (8)	1.1 (7.3)
4	125,000	27,618	16.6 (100)	7.3 (41.4)	9 (55.4)	5.5 (34.3)	3.9 (26.8)	3.2 (19.8)	2.7 (17.8)	1.8 (11.4)	1.6 (11.1)	1.4 (9.7)

表7. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）

Filter Word (Dec.)	ODR (SPS)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	7.63	24 (23)	24 (23)	24 (23)	24 (22.4)	24 (22.4)	24 (21.4)	23.5 (21)	23.1 (20.3)	22.4 (19.7)	21.5 (18.8)
50,000	10	24 (23)	24 (23)	24 (23)	24 (22.4)	24 (22.4)	24 (21.4)	23.4 (20.7)	22.9 (20.2)	22.1 (19.7)	21.4 (18.8)
25,000	20	24 (22.4)	24 (22.4)	24 (22)	24 (22)	24 (21.7)	23.5 (21)	22.8 (20.1)	22.4 (19.8)	21.8 (19.1)	20.9 (18.3)
10,000	50	24 (21.4)	24 (22)	24 (21.7)	23.9 (21.4)	23.6 (20.8)	22.9 (20.2)	22.5 (19.5)	21.8 (19.2)	21 (18.5)	20.3 (17.7)
8,332	60	24 (21.4)	24 (22)	24 (21.7)	23.9 (21.2)	23.5 (20.8)	22.7 (20.1)	22.1 (19.4)	21.6 (19)	21 (18.3)	20.2 (17.6)
5,000	100	23.9 (21.2)	24 (21.2)	23.8 (21.2)	23.5 (20.8)	23.1 (20.4)	22.4 (19.6)	21.7 (19)	21.2 (18.6)	20.6 (17.8)	19.8 (17.3)
1,000	500	22.7 (20.2)	22.9 (20.3)	22.7 (20)	22.4 (19.8)	21.9 (19.2)	21.3 (18.5)	20.6 (17.9)	20.1 (17.5)	19.4 (16.7)	18.7 (16)
500	1,000	22.2 (19.6)	22.5 (19.7)	22.2 (19.6)	21.9 (19.3)	21.4 (18.7)	20.7 (17.9)	20.1 (17.6)	19.6 (16.8)	18.9 (16.3)	18.2 (15.7)
100	5,000	21.1 (18.4)	21.3 (18.7)	21 (18.3)	20.8 (18.1)	20.3 (17.7)	19.6 (16.8)	18.9 (16.3)	18.5 (15.7)	17.7 (14.9)	17 (14.4)
80	6,250	20.9 (18.3)	21.1 (18.5)	20.9 (18.2)	20.6 (17.9)	20.1 (17.3)	19.3 (16.6)	18.8 (16.1)	18.3 (15.6)	17.6 (14.8)	16.8 (14.2)
48	10,416.7	20.5 (17.8)	20.8 (18.1)	20.6 (17.9)	20.3 (17.6)	19.8 (17.1)	19.1 (16.4)	18.4 (15.6)	17.9 (15.2)	17.3 (14.6)	16.5 (13.6)
40	12,500	20.5 (17.7)	20.7 (18)	20.4 (17.7)	20.1 (17.5)	19.7 (17)	18.9 (16.3)	18.2 (15.6)	17.8 (15.1)	17.1 (14.4)	16.3 (13.4)
20	25,000	20.1 (17.4)	20.2 (17.5)	19.9 (17.2)	19.6 (16.9)	19.2 (16.5)	18.4 (15.9)	17.8 (15.1)	17.3 (14.5)	16.6 (13.9)	15.8 (13.1)
16	31,250	19.9 (17.2)	20 (17.3)	19.8 (17.1)	19.5 (16.7)	19 (16.2)	18.3 (15.6)	17.6 (14.9)	17.1 (14.3)	16.4 (13.7)	15.6 (12.9)
12	41,666.7	19.7 (17.1)	19.9 (17.1)	19.6 (16.9)	19.3 (16.6)	18.9 (16.2)	18.1 (15.5)	17.4 (14.8)	16.9 (14.3)	16.3 (13.5)	15.4 (12.7)

実効値ノイズと分解能

表7. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）（続き）

Filter Word (Dec.)	ODR (SPS)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
8	62,500	19.4 (16.8)	19.7 (16.9)	19.3 (16.7)	19.1 (16.4)	18.6 (16)	17.8 (15.2)	17.2 (14.5)	16.7 (14.1)	16 (13.3)	15.1 (12.4)
4	125,000	19.2 (16.6)	19.4 (16.9)	19.1 (16.5)	18.8 (16.2)	18.3 (15.5)	17.6 (14.9)	16.8 (14.1)	16.4 (13.7)	15.5 (12.8)	14.8 (12)

SINC³表8. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（ μV ）

Filter Word (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 0.5	Gain = 1 Pre-charge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	7.63	2	0.23 (0.6)	0.13 (0.3)	0.13 (0.3)	0.074 (0.3)	0.033 (0.15)	0.026 (0.15)	0.018 (0.11)	0.014 (0.093)	0.012 (0.075)	0.01 (0.062)
50,000	10	2.62	0.23 (0.6)	0.13 (0.3)	0.13 (0.3)	0.074 (0.3)	0.041 (0.22)	0.029 (0.22)	0.021 (0.13)	0.016 (0.1)	0.012 (0.075)	0.01 (0.065)
25,000	20	5.24	0.3 (1.8)	0.14 (0.6)	0.15 (0.9)	0.077 (0.45)	0.05 (0.3)	0.038 (0.26)	0.031 (0.19)	0.02 (0.13)	0.018 (0.1)	0.015 (0.093)
10,000	50	13.09	0.38 (1.8)	0.17 (0.9)	0.2 (1.2)	0.12 (0.75)	0.077 (0.45)	0.059 (0.37)	0.047 (0.32)	0.033 (0.2)	0.026 (0.18)	0.022 (0.15)
8,332	60	15.74	0.4 (2.4)	0.17 (0.9)	0.21 (1.2)	0.12 (0.75)	0.083 (0.45)	0.062 (0.41)	0.052 (0.37)	0.037 (0.23)	0.03 (0.19)	0.025 (0.15)
5,000	100	26.18	0.51 (3)	0.23 (1.5)	0.27 (1.8)	0.16 (1)	0.11 (0.6)	0.088 (0.52)	0.065 (0.43)	0.045 (0.3)	0.038 (0.25)	0.032 (0.21)
1,000	500	130.92	1.1 (6.6)	0.47 (2.7)	0.56 (3.6)	0.34 (2.38)	0.23 (1.4)	0.19 (1.3)	0.15 (0.97)	0.11 (0.7)	0.082 (0.52)	0.067 (0.41)
500	1,000	262.45	1.5 (8.9)	0.66 (4.2)	0.8 (4.5)	0.48 (3.4)	0.32 (2.2)	0.25 (1.6)	0.2 (1.3)	0.15 (0.88)	0.11 (0.66)	0.1 (0.67)
100	5,000	1,318	3.3 (19.7)	1.5 (9.5)	1.8 (10.7)	1.1 (6.7)	0.72 (4.7)	0.62 (4)	0.47 (2.9)	0.32 (1.9)	0.27 (1.8)	0.21 (1.28)
80	6,250	1,652	3.8 (24.4)	1.6 (9.8)	2 (12.5)	1.1 (7.2)	0.8 (4.9)	0.64 (4.3)	0.53 (3.5)	0.37 (2.5)	0.3 (2.1)	0.25 (1.7)
48	10,416.7	2,766	4.8 (27.4)	2.1 (12.8)	2.6 (15.8)	1.4 (9.5)	1 (6.6)	0.87 (5.1)	0.66 (3.9)	0.47 (3.3)	0.38 (2.4)	0.31 (1.9)
40	12,500	3,326	5.4 (34)	2.3 (14.3)	2.8 (17)	1.6 (10)	1.2 (8.1)	0.97 (5.4)	0.73 (4.4)	0.52 (3.5)	0.41 (2.8)	0.37 (2.2)
20	25,000	6,760	7.3 (50.7)	3.3 (24.4)	4.1 (25.6)	2.4 (15.9)	1.7 (10.3)	1.3 (8.8)	1.1 (7.5)	0.76 (4.9)	0.63 (3.9)	0.52 (3.4)
16	31,250	8,526	8.8 (54.2)	3.6 (22.1)	4.3 (28.3)	2.8 (16.7)	1.9 (12)	1.6 (9.8)	1.2 (8.2)	0.86 (5.8)	0.68 (4.5)	0.58 (3.7)
12	41,666.7	11,495	10.2 (65.6)	4.5 (27.1)	5.3 (31.9)	3.2 (20.9)	2.2 (13.5)	1.8 (11.5)	1.5 (11)	1 (7)	0.82 (5.2)	0.69 (4.7)
8	62,500	17,700	13.1 (87)	5.6 (33.7)	6.7 (40.2)	4.3 (26.1)	2.9 (18.5)	2.3 (14.2)	1.9 (11.5)	1.3 (8.3)	1.1 (7.6)	0.93 (6.1)
4	125,000	37,689	39.2 (260)	18.6 (118)	19.7 (112)	10.8 (70)	6.6 (43)	4.6 (30.2)	3.5 (22.9)	2.6 (17.5)	2.1 (13)	1.8 (11.9)

表9. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）

Filter Word (Dec.)	ODR (SPS)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	7.63	24 (24)	24 (24)	24 (24)	24 (24)	24 (23)	24 (22)	24 (21.4)	23.4 (20.7)	22.6 (20)	21.9 (19.2)
50,000	10	24 (24)	24 (24)	24 (24)	24 (23)	24 (22.4)	24 (21.4)	23.8 (21.2)	23.3 (20.5)	22.6 (20)	21.9 (19.1)
25,000	20	24 (22.4)	24 (23)	24 (22.4)	24 (22.4)	24 (22)	24 (21.2)	23.2 (20.7)	22.8 (20.2)	22.1 (19.5)	21.3 (18.7)
10,000	50	24 (22.4)	24 (22.4)	24 (22)	24 (21.7)	23.9 (21.4)	23.3 (20.7)	22.7 (19.9)	22.2 (19.5)	21.5 (18.7)	20.8 (18)
8,332	60	24 (22)	24 (22.4)	24 (22)	24 (21.7)	23.9 (21.4)	23.3 (20.5)	22.5 (19.7)	22 (19.1)	21.4 (18.6)	20.6 (18)
5,000	100	24 (21.7)	24 (21.7)	24 (21.4)	23.9 (21.2)	23.5 (21)	22.8 (20.2)	22.2 (19.5)	21.7 (19)	21 (18.3)	20.2 (17.5)
1,000	500	23.2 (20.5)	23.4 (20.8)	23.1 (20.4)	22.8 (20)	22.4 (19.8)	21.6 (18.8)	21 (18.3)	20.5 (17.8)	19.9 (17.2)	19.2 (16.5)
500	1,000	22.7 (20.1)	22.9 (20.2)	22.6 (20.1)	22.3 (19.5)	21.9 (19.1)	21.2 (18.5)	20.5 (17.9)	20 (17.4)	19.4 (16.9)	18.6 (15.8)
100	5,000	21.5 (19)	21.7 (19)	21.4 (18.8)	21.1 (18.5)	20.7 (18)	20 (17.3)	19.4 (16.7)	18.9 (16.3)	18.1 (15.4)	17.5 (14.9)
80	6,250	21.3 (18.6)	21.6 (19)	21.3 (18.6)	21.1 (18.4)	20.2 (15)	19.9 (17.2)	19.2 (16.4)	18.7 (15.9)	18 (15.2)	17.2 (14.5)
48	10,416.7	21 (18.5)	21.1 (18.6)	20.9 (18.3)	20.7 (18)	20 (17.2)	19.5 (16.9)	18.8 (16.3)	18.3 (15.5)	17.6 (15)	17 (14.3)
40	12,500	20.8 (18.2)	21 (18.4)	20.8 (18.2)	20.5 (17.9)	20 (17.3)	19.3 (16.6)	18.7 (16.1)	18.2 (15.5)	17.5 (14.8)	16.7 (14.1)
20	25,000	20.4 (17.6)	20.5 (17.6)	20.2 (17.6)	20 (17.3)	19.5 (16.9)	18.8 (16.1)	18.1 (15.3)	17.7 (15)	16.9 (14.3)	16.2 (13.5)
16	31,250	20.1 (17.5)	20.4 (17.8)	20.2 (17.4)	19.8 (17.2)	19.4 (16.7)	18.6 (16)	18 (15.2)	17.5 (14.7)	16.8 (14.1)	16 (13.4)
12	41,666.7	19.9 (17.2)	20.1 (17.5)	19.9 (17.3)	19.6 (16.9)	19.1 (16.5)	18.4 (15.7)	17.6 (14.8)	17.2 (14.5)	16.5 (13.9)	15.8 (13)
8	62,500	19.5 (16.8)	19.8 (17.2)	19.5 (16.9)	19.2 (16.5)	18.7 (16)	18.1 (15.4)	17.4 (14.7)	16.9 (14.2)	16.1 (13.3)	15.4 (12.6)
4	125,000	18 (15.2)	18 (15.4)	18 (15.5)	17.8 (15.1)	17.5 (14.8)	17.1 (14.3)	16.4 (13.7)	15.9 (12.9)	15.2 (12.6)	14.34 (11.7)

実効値ノイズと分解能

SINC⁵表10. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（ μV ）

Filter Word (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1									
			Gain = 0.5	Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
256	1,953.13	398.16	1.9 (11.9)	0.81 (5.1)	1 (6.9)	0.59 (3.7)	0.39 (2.5)	0.33 (2.2)	0.26 (1.7)	0.18 (1.2)	0.15 (0.95)	0.12 (0.77)
200	2,500	511.17	2.1 (13.7)	0.9 (5.4)	1.1 (7.2)	0.65 (4.3)	0.47 (2.9)	0.37 (2.3)	0.28 (1.7)	0.2 (1.3)	0.16 (0.95)	0.14 (0.9)
100	5,000	1,022	3 (19.7)	1.2 (8.3)	1.6 (11.6)	0.89 (5.5)	0.65 (4.1)	0.53 (3.4)	0.42 (2.8)	0.29 (2)	0.23 (1.5)	0.2 (1.3)
48	10,416.7	2,143	4.2 (29.8)	1.9 (12.5)	2.2 (14.3)	1.3 (8.8)	0.92 (5.4)	0.75 (4.4)	0.62 (3.8)	0.42 (2.7)	0.34 (2.1)	0.28 (1.8)
16	31,250	6,523	7.5 (47.1)	3.4 (20.3)	4.1 (26.5)	2.3 (14.2)	1.5 (9.8)	1.4 (8)	1.1 (6.3)	0.74 (4.4)	0.59 (3.9)	0.5 (3.3)
12	41,666.7	8,774	8.8 (52.5)	3.8 (26.2)	4.7 (30.1)	2.8 (19.1)	1.9 (12.5)	1.6 (10.7)	1.3 (8.4)	0.89 (5.7)	0.69 (4.3)	0.6 (3.7)
8	62,500	13,313	10.6 (73.9)	4.6 (31.9)	5.8 (34.6)	3.5 (25)	2.3 (15.1)	1.9 (11.4)	1.5 (9.7)	1.1 (6.8)	0.92 (5.7)	0.74 (4.8)
4	125,000	27,618	16.9 (111.1)	6.7 (44.1)	9 (59.6)	5.4 (36.1)	3.8 (23.5)	3.3 (21.2)	2.7 (17.7)	2 (12.8)	1.5 (10.2)	1.4 (9.4)
2	250,000	51,117	29 (195)	12.3 (77.5)	14.8 (91)	9.2 (56)	6.9 (42.8)	5.9 (39.3)	4.7 (31.2)	3.5 (20.4)	3.2 (20.8)	2.8 (18.6)
1	500,000	102,539	108 (705)	52.3 (367)	54.7 (361)	29.8 (201)	19.5 (121)	15.1 (83.6)	11.2 (72.3)	8.7 (56.5)	7.3 (51.8)	7.2 (46.3)

表11. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）

Filter Word (Dec.)	ODR (SPS)	Gain = 1									
		Gain = 0.5	Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
256	1,953.13	22.3 (19.7)	22.6 (19.9)	22.3 (19.5)	22 (19.4)	21.6 (18.9)	20.8 (18.1)	20.2 (17.5)	19.7 (17)	19 (16.3)	18.3 (15.6)
200	2,500	22.2 (19.5)	22.4 (19.8)	22.1 (19.4)	21.9 (19.1)	21.3 (18.7)	20.7 (18)	20.1 (17.4)	19.6 (17)	18.9 (16.3)	18.1 (15.4)
100	5,000	21.7 (19)	21.9 (19.2)	21.5 (18.7)	21.4 (18.8)	20.9 (18.2)	20.2 (17.5)	19.5 (16.8)	19 (16.3)	18.3 (15.7)	17.6 (14.9)
48	10,416.7	21.2 (18.4)	21.3 (18.6)	21.1 (18.4)	20.9 (18.1)	20.4 (17.8)	19.7 (17.1)	19 (16.3)	18.5 (15.8)	17.8 (15.2)	17.1 (14.4)
16	31,250	20.4 (17.7)	20.5 (17.9)	20.2 (17.5)	20 (17.4)	19.7 (17)	18.8 (16.2)	18.2 (15.6)	17.7 (15.1)	17 (14.3)	16.3 (13.6)
12	41,666.7	20.1 (17.5)	20.3 (17.5)	20 (17.3)	19.8 (17)	19.3 (16.6)	18.6 (15.8)	17.9 (15.2)	17.4 (14.7)	16.8 (14.1)	16 (13.4)
8	62,500	19.8 (17)	20.1 (17.3)	19.7 (17.1)	19.4 (16.6)	19 (16.3)	18.4 (15.7)	17.6 (15)	17.1 (14.5)	16.4 (13.7)	15.7 (12.9)
4	125,000	19.2 (16.5)	19.5 (16.8)	19.1 (16.4)	18.8 (16.1)	18.3 (15.7)	17.5 (14.9)	16.8 (14.1)	16.3 (13.6)	15.6 (12.9)	14.8 (12)
2	250,000	18.4 (15.6)	18.6 (16)	18.4 (15.7)	18 (15.4)	17.5 (14.8)	16.7 (14)	16 (13.3)	15.4 (12.6)	14.6 (11.9)	13.8 (11)
1	500,000	16.5 (13.8)	16.5 (13.7)	16.5 (13.8)	16.4 (13.6)	16 (13.3)	15.3 (12.9)	14.8 (12.1)	14.1 (11.4)	13.4 (10.6)	12.4 (9.7)

ポスト・フィルタ

表12. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（ μV ）、sinc⁵ + 平均化フィルタ、FILTER_FS = 416

Settling Time (ms)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1									
			Gain = 0.5	Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
40	25	14.82	0.39 (2.4)	0.18 (0.89)	0.22 (1.2)	0.12 (0.75)	0.082 (0.52)	0.066 (0.37)	0.053 (0.35)	0.038 (0.24)	0.031 (0.2)	0.026 (0.17)
50	20	13.42	0.37 (2.4)	0.17 (0.89)	0.2 (1.2)	0.12 (0.75)	0.076 (0.45)	0.062 (0.36)	0.051 (0.32)	0.036 (0.22)	0.029 (0.18)	0.026 (0.17)
60	16.67	12.84	0.35 (1.8)	0.17 (0.89)	0.2 (1.2)	0.11 (0.6)	0.076 (0.45)	0.06 (0.36)	0.049 (0.3)	0.035 (0.22)	0.029 (0.18)	0.025 (0.17)

表13. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）、sinc⁵ + 平均化フィルタ、FILTER_FS = 416

Filter Word (Dec.)	ODR (SPS)	Gain = 1									
		Gain = 0.5	Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
40	25	24 (22)	24 (22.4)	24 (22)	24 (21.7)	23.9 (21.2)	23.2 (20.7)	22.5 (19.8)	22 (19.3)	21.3 (18.5)	20.5 (17.8)
50	20	24 (22)	24 (22.4)	24 (22)	24 (21.7)	24 (21.4)	23.3 (20.7)	22.6 (19.9)	22 (19.4)	21.4 (18.7)	20.5 (17.8)
60	16.67	24 (22.4)	24 (22.4)	24 (22)	24 (22)	24 (21.4)	23.3 (20.7)	22.6 (20)	22.1 (19.4)	21.4 (18.7)	20.6 (17.8)

実効値ノイズと分解能

16平均ポスト・フィルタ

表14. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（ μV ）、 sinc^5 + 平均化フィルタ

Filter Word (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1024	30.52	13.52	0.4 (2.4)	0.17 (0.9)	0.2 (0.9)	0.12 (0.75)	0.08 (0.45)	0.063 (0.41)	0.051 (0.32)	0.035 (0.22)	0.028 (0.18)	0.023 (0.15)
624	50.08	22.19	0.48 (3)	0.22 (1.5)	0.25 (1.5)	0.15 (1)	0.1 (0.52)	0.08 (0.45)	0.067 (0.39)	0.044 (0.3)	0.036 (0.22)	0.03 (0.2)
520	60.1	26.62	0.53 (3.6)	0.23 (1.5)	0.27 (1.5)	0.16 (1.2)	0.11 (0.67)	0.087 (0.56)	0.071 (0.47)	0.048 (0.29)	0.039 (0.24)	0.032 (0.2)
312	100.16	44.37	0.66 (4.2)	0.29 (1.8)	0.35 (2.4)	0.2 (1.2)	0.14 (0.97)	0.11 (0.71)	0.093 (0.52)	0.061 (0.37)	0.053 (0.32)	0.041 (0.26)
124	252.02	111.64	1 (6.6)	0.46 (3)	0.53 (3.3)	0.33 (2.1)	0.22 (1.3)	0.18 (1.1)	0.14 (0.89)	0.1 (0.62)	0.08 (0.51)	0.067 (0.44)
64	488.28	216.31	1.4 (8.9)	0.6 (3.9)	0.74 (5.1)	0.45 (2.5)	0.3 (1.9)	0.25 (1.7)	0.19 (1.3)	0.13 (0.83)	0.11 (0.68)	0.092 (0.61)
32	976.56	432.62	2 (13.1)	0.9 (5.4)	1.1 (6.6)	0.62 (3.9)	0.42 (2.8)	0.37 (2.4)	0.28 (1.8)	0.19 (1.3)	0.15 (1)	0.13 (0.81)
16	1,953.13	865.23	2.8 (19.1)	1.2 (7.2)	1.5 (10.1)	0.88 (5.8)	0.6 (3.8)	0.49 (3.2)	0.39 (2.6)	0.27 (1.8)	0.23 (1.5)	0.18 (1.2)
12	2,604.17	1,154	3.3 (22.1)	1.4 (8.3)	1.7 (11.3)	0.99 (6.4)	0.68 (4.5)	0.57 (3.7)	0.46 (3)	0.32 (1.9)	0.26 (1.7)	0.21 (1.3)
8	3,906.25	1,730	3.9 (22.2)	1.8 (11.9)	2.1 (13.7)	1.2 (8.2)	0.85 (5.7)	0.71 (4.7)	0.57 (3.6)	0.39 (2.5)	0.31 (2.1)	0.26 (1.6)
4	7,812.5	3,461	5.7 (38.1)	2.4 (14.6)	2.9 (18.8)	1.7 (10.4)	1.2 (7.7)	1 (6.6)	0.77 (5.2)	0.53 (3.4)	0.44 (3)	0.36 (2.4)

表15. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）、 sinc^5 + 平均化フィルタ

Filter Word (Dec.)	ODR (SPS)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1024	30.52	24 (22)	24 (22.4)	24 (22.4)	24 (21.7)	23.9 (21.4)	23.2 (20.5)	22.6 (19.9)	22.1 (19.4)	21.4 (18.8)	20.7 (18)
624	50.08	24 (21.7)	24 (21.7)	24 (21.7)	24 (21.2)	23.6 (21.2)	22.9 (20.4)	22.2 (19.6)	21.7 (19)	21 (18.4)	20.3 (17.6)
520	60.1	24 (21.4)	24 (21.7)	24 (21.7)	23.9 (21)	23.5 (20.8)	22.8 (20.1)	22 (19.4)	21.6 (19)	21 (18.3)	20.1 (17.6)
312	100.16	23.9 (21.2)	24 (21.4)	23.8 (21)	23.6 (21)	23.1 (20.3)	22.4 (19.8)	21.7 (19.2)	21.3 (18.7)	20.5 (17.9)	19.8 (17.2)
124	252.02	23.2 (20.5)	23.4 (20.7)	23.2 (20.5)	22.9 (20.2)	22.5 (19.8)	21.8 (19.1)	21.1 (18.4)	20.6 (17.9)	19.9 (17.2)	19.1 (16.4)
64	488.28	22.8 (20.1)	23 (20.3)	22.7 (19.9)	22.4 (19.9)	22 (19.3)	21.3 (18.5)	20.6 (17.9)	20.2 (17.5)	19.5 (16.8)	18.7 (16)
32	976.56	22.2 (19.5)	22.4 (19.8)	22.2 (19.5)	21.9 (19.3)	21.5 (18.7)	20.7 (18)	20.1 (17.4)	19.6 (16.9)	19 (16.2)	18.2 (15.6)
16	1,953.13	21.7 (19)	22 (19.4)	21.7 (18.9)	21.4 (18.7)	21 (18.3)	20.3 (17.6)	19.6 (16.9)	19.2 (16.4)	18.4 (15.7)	17.7 (15)
12	2,604.17	21.5 (18.8)	21.8 (19.2)	21.5 (18.8)	21.3 (18.6)	20.8 (18.1)	20.1 (17.4)	19.4 (16.7)	18.9 (16.3)	18.2 (15.5)	17.5 (14.8)
8	3,906.25	21.3 (18.5)	21.4 (18.7)	21.2 (18.5)	21 (18.2)	20.5 (17.8)	19.7 (17)	19.1 (16.4)	18.6 (15.9)	17.9 (15.2)	17.2 (14.6)
4	7,812.5	20.7 (18)	21 (18.4)	20.7 (18)	20.5 (17.9)	20 (17.3)	19.2 (16.5)	18.6 (15.8)	18.2 (15.5)	17.4 (14.7)	16.7 (14)

FIRフィルタ

表16. 実効値ノイズ（ピークtoピーク・ノイズ）とゲインおよびODRの関係（ μV ）

Filter Word (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
128	3,906.25	1,565.93	3.6 (22.7)	1.5 (9.5)	1.9 (12.5)	1.1 (7.7)	0.84 (5.8)	0.67 (4.2)	0.51 (3.1)	0.35 (2.4)	0.28 (1.9)	0.24 (1.39)
64	7,812.5	3,131.87	5.1 (29.2)	2.3 (14.3)	2.6 (15.5)	1.7 (11.6)	1.1 (7.8)	0.91 (5.2)	0.73 (4.4)	0.52 (3.2)	0.4 (2.5)	0.35 (2.3)
32	15,625	6,265.64	7.4 (42.3)	3.2 (20.3)	3.8 (23.5)	2.4 (13.9)	1.6 (10.3)	1.3 (8.2)	1 (6)	0.74 (4.1)	0.59 (3.4)	0.51 (3.4)
16	31,250	12,527.47	10.4 (64.4)	4.5 (27.7)	5.4 (34.3)	3.1 (19.4)	2.3 (15)	1.9 (12)	1.5 (9.1)	1.1 (6.9)	0.85 (5.9)	0.69 (4.6)
8	62,500	25,047.30	15 (90)	6.7 (41.7)	8.2 (56.6)	4.8 (31.4)	3.5 (20.1)	2.8 (17.6)	2.35 (14.7)	1.6 (10.2)	1.3 (8)	1.1 (6.8)
4	125,000	50,125.12	24.2 (157)	10.9 (67)	13 (88.8)	7.6 (48.7)	5.9 (39)	4.9 (28.2)	4.1 (26.1)	3 (20.2)	2.4 (15.9)	2.3 (14.7)

表17. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）

Filter Word (Dec.)	ODR (SPS)	Gain = 0.5	Gain = 1 Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
128	3,906.25	21.4 (18.8)	21.6 (19)	21.3 (18.6)	21.1 (18.3)	20.5 (17.7)	19.8 (17.2)	19.2 (16.4)	18.7 (16)	18 (15.1)	17.3 (14.8)
64	7,812.5	20.9 (18.4)	21.1 (18.4)	20.9 (18.3)	20.5 (17.7)	20.1 (17.3)	19.4 (16.9)	18.7 (16.1)	18.2 (15.6)	17.6 (14.9)	16.8 (14)
32	15,625	20.4 (17.9)	20.6 (17.9)	20.3 (17.7)	20 (17.5)	19.6 (16.9)	18.8 (16.2)	18.2 (15.7)	17.7 (15.2)	17 (14.5)	16.2 (13.5)

実効値ノイズと分解能

表17. 実効分解能（ピークtoピーク分解能）とゲインおよびODRの関係（ビット）（続き）

Filter Word (Dec.)	ODR (SPS)	Gain = 1									
		Gain = 0.5	Precharge	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16	31,250	19.9 (17.2)	20.1 (17.5)	19.8 (17.1)	19.6 (17)	19.1 (16.3)	18.4 (15.7)	17.7 (15.1)	17.2 (14.5)	16.5 (13.7)	15.8 (13)
8	62,500	19.3 (16.8)	19.5 (16.9)	19.2 (16.4)	19 (16.3)	18.4 (15.9)	17.8 (15.1)	17 (14.4)	16.5 (13.9)	15.9 (13.2)	15.1 (12.5)
4	125,000	18.7 (16)	18.8 (16.2)	18.6 (15.8)	18.3 (15.6)	17.7 (15)	17 (14.4)	16.2 (13.2)	15.7 (12.9)	15 (12.3)	14.1 (11.6)

S/N比およびTHD

表18に、 sinc^5 フィルタおよびFIRフィルタを使用した場合の、様々なゲインに対するAD4170-4の代表的なS/N比およびTHDを示します。示した値は、4.096Vの外部リファレンスを用いて125kSPSのODR（FS = 4、MCLK = 16MHz）でのものです。

表18. S/N比およびTHDとゲインの関係（dBFS）

Gain	Sinc ⁵		FIR	
	SNR	THD	SNR	THD
1 precharge	+110	-120	+105.5	-120
1	+109	-120	+105.5	-120
2	+106.6	-121.8	+103.5	-120.9
4	+104.4	-119.5	+100.9	-118.2
8	+99.7	-121.8	+96.2	-120.6
16	+96.1	-117.7	+92.5	-116
32	+92.4	-116.6	+88.7	-114.5
64	+87.4	-113.9	+83.8	-112.7
128	+82.2	-108.5	+78.5	-108.6

動作原理

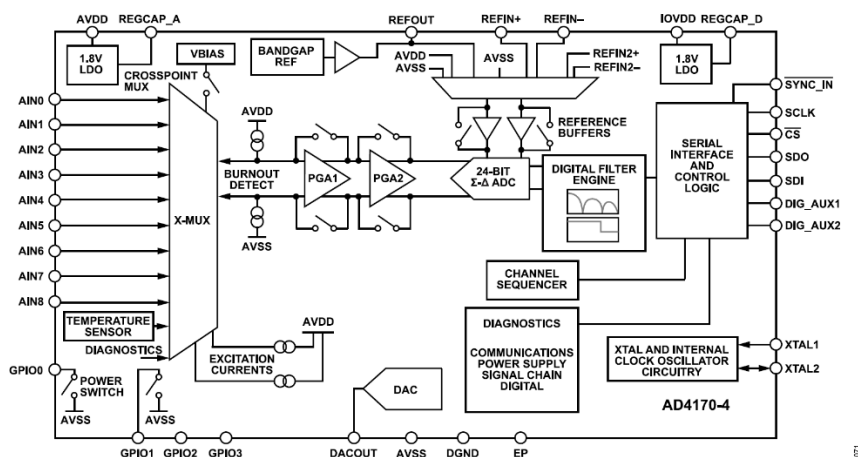


図68. 基本接続図

概要

AD4170-4は、 Σ - Δ 変調器、バッファ、リファレンス、ゲイン段、およびオンチップ・デジタル・フィルタ処理機能を備えた高精度ADCで、DC~50kHzの帯域幅で広いダイナミック・レンジのACおよびDC信号を測定することを目的としています。圧力計測、温度計測、重量計、振動計測のアプリケーションなどの複数のエンド・システムで使用できる、プラットフォーム・ソリューションです。

アナログ入力

このデバイスは、4個の差動アナログ入力、8個の疑似差動アナログ入力、または差動と疑似差動のアナログ入力の組み合わせに対応できます。AD4170-4は、柔軟性の高いマルチプレクサを採用しているため、どのアナログ入力ピンも正入力 (AINP) として選択でき、また、どのアナログ入力ピンも負入力 (AINM) として選択できます。

マルチプレクサ

内蔵のクロスポイント・マルチプレクサは、アナログ入力ペアに関して柔軟に対応できます。アナログ電源電圧およびデジタル電源電圧を測定するというような診断機能は、マルチプレクサを用いて選択されます。また、マルチプレクサによって、ピンの絶対電圧をAVSSを基準に測定できるため、有用な診断が可能です。マルチプレクサは、AVDDおよびAVSSから最大0.3V外れたアナログ入力に対する過電圧/低電圧耐性も備えています。

リファレンス

このデバイスには、ドリフトが15ppm/°C (最大) の2.5Vリファレンスが内蔵されています。

リファレンス・バッファも内蔵されており、外部から印加されたリファレンスと共に使用できます。

プログラマブル・ゲイン・アンプ (PGA)

PGAを使用して、アナログ入力信号を増幅または減衰できます。PGAは、0.5、1、2、4、8、16、32、64、128のゲインが可能です。ゲイン=1プリチャージの設定ではPGAをバイパスしますが、プリチャージ・バッファは引き続き使用します。ゲイン=1プリチャージの設定を用いると、アナログ電源電流を低減できます。しかし、絶対入力電流および差動入力電流は増加します。

バーンアウト電流

外部センサーの存在を検出するため、 $\pm 100\text{nA}$ 、 $\pm 2\mu\text{A}$ 、または $\pm 10\mu\text{A}$ に設定可能な2つのバーンアウト電流を備えています。

 Σ - Δ ADCおよびフィルタ

AD4170-4は、デジタル・フィルタを伴う Σ - Δ 変調器を備えています。デバイスのフィルタ・オプションは次のとおりです。

- ▶ sinc^5
- ▶ sinc^3
- ▶ sinc^5 + 平均化フィルタ
- ▶ ポスト・フィルタ
- ▶ FIR

チャンネル・シーケンサ

AD4170-4では、最大16チャンネルが可能です。これらのチャンネルに対するマルチプレクサは、アナログ入力、リファレンス入力、または電源から選択でき、電源モニタリングなどの診断機能を変換とインターリーブすることができます。このシーケンサは、イネーブルされた全てのチャンネルを自動的に変換します。AD4170-4は、選択されているチャンネルで複数の変換を行うことができます。また、AD4170-4は、フロント・エンド回路が一定のセトリング時間を必要とする場合、選択されたチャンネルの変換を始める前に遅延を加えることもできます。

動作原理

チャンネル・シーケンサは、FIRフィルタを除く全てのフィルタ・タイプに使用できる点に注意してください。FIRを用いる場合（デフォルトまたはユーザ設定）、イネーブルできるチャンネルは1つのみです。

チャンネルごとの設定

AD4170-4は、最大8通りのセットアップが可能です。それぞれのセットアップは、PGAのゲイン、ODR、フィルタ・タイプ、リファレンス源、ADC／励起電流チョッピング、オフセット・レジスタ、ゲイン・レジスタです。したがって、チャンネルはそれぞれ1つのセットアップにリンクされます。

シリアル・インターフェース

AD4170-4は4線式SPI（ $\overline{\text{CS}}$ 、SDI、SDO、SCLK）を備えています。 $\overline{\text{CS}}$ はローに接続できます。そのため、ADCとマイクロプロセッサ間の通信に必要なのは3つのピンだけです。内蔵レジスタには、シリアル・インターフェース経由でアクセスします。

クロック

このデバイスは16MHzの内部クロックを備えています。このクロックまたは外部クロック、あるいは水晶振動子をデバイスのクロック源として使用します。外部回路でクロック源が必要な場合は、内部クロックの信号をピンから出力することもできます。

温度センサー

内蔵の温度センサーがチップの温度をモニタします。

汎用入出力

AD4170-4は、4つの汎用入出力を備えています。これらは、外部回路の駆動に使用できます。例えば、これらの出力で外部マルチプレクサを制御できます。

キャリブレーション

内部オフセット・キャリブレーション機能とシステム・オフセットおよびフルスケール・キャリブレーション機能のどちらも搭載されています。そのため、デバイス内部のオフセット誤差のみを除去することも、エンド・システム全体のオフセット誤差またはゲイン誤差を除去することもできます。全ゲインに対するフルスケール誤差は、出荷時にキャリブレーションされています。したがって、それ以上の内部フルスケール・キャリブレーションは必要ありません。

励起電流

このデバイスは4つの励起電流を備えており、10 μ A、50 μ A、100 μ A、250 μ A、500 μ A、1mAまたは1.5mAに個別に設定できます。励起電流は、同じピンに出力することで合算できます。

バイアス電圧

このデバイスには、バイアス電圧発生器が内蔵されています。そのため、熱電対からの信号を適切にバイアスできます。バイアス電圧は $(\text{AVDD} + \text{AVSS})/2$ に設定され、どのアナログ入力ピンでも出力できます。

ブリッジ・パワーダウン・スイッチ（PDSW）

ローサイド・パワー・スイッチにより、ADCにインターフェースされたブリッジをパワーダウンできます。

DAC

12ビットDACを用いることで、バイアス電圧を発生させたり、センサーを励起するための電圧を発生させたりできます。また、シグナル・チェーンをチェックするための診断機能として用いることもできます。

診断機能

AD4170-4は、以下に示すような数多くの診断機能を備えています。

- ▶ リファレンス検出
- ▶ 過電圧／低電圧の検出
- ▶ SPI通信でのCRC
- ▶ メモリ・マップでのCRC
- ▶ SPI読出し／書込みチェック

これらの診断機能により、アプリケーションでの高いフォルト検出率を実現できます。

電源

AD4170-4は、4.75V～5.25Vのアナログ電源電圧で動作します。また、このデバイスは1.7V～5.25Vのデジタル電源に対応できます。

このデバイスには、AVDDとIOVDDの2本の互いに独立な電源ピンがあります。

- ▶ AVDDはAVSSを基準とします。AVDDは、ADCに電力を供給する内部アナログ・レギュレータを駆動します。
- ▶ IOVDDはDGNDを基準とします。この電源は、SPIインターフェースのインターフェース・ロジック・レベルを設定し、デジタル処理動作のための内部レギュレータに給電します。

ユニポーラ・アナログ電源動作（AVSS = DGND）

ユニポーラ・アナログ電源からAD4170-4に電力を供給する場合、AVSSとDGNDを1つのグラウンド・プレーン上で互いに短絡することができます。このセットアップでは、真のバイポーラ入力を使用してコモンモード電圧をシフトする場合、外部レベル・シフト回路が必要になります。LTC1962EMS8-5などの低い静止電流のレギュレータが推奨されます。

バイポーラ・アナログ電源動作（AVSS \neq DGND）

AD4170-4は、AVSSを負電圧に設定した状態で動作できるので、真のバイポーラ入力を印加できます。これにより、外部のレベル・シフト回路なしで0Vを中心とした完全差動入力信号をAD4170-4に供給できるようになります。例えば、5V分離電源を使用する場合はAVDD = +2.5V、AVSS = -2.5Vになります。この場合、AD4170-4の内部で信号のレベル・シフトが行われ、DGND（公称0V）とIOVDDの間でデジタル出力が機能します。

動作原理

AVSSとIOVDDの間の最大電圧差は6.35Vです。そのため、AVSS = -2.5Vであれば、IOVDDは+3.85V以下となります。

デジタル・コミュニケーション

AD4170-4には、QSPI、MICROWIRE、DSPに対応できる4線式SPIインターフェース（ \overline{CS} 、SDI、SDO、SCLK）があります。 \overline{CS} はローにハードワイヤ接続できるため、ADCとマイクロプロセッサ間のSPI接続は3本に減少します。このインターフェースはSPIモード3で動作します。SPIモード3の場合、SCLKはアイドル・ハイになり、SCLKの立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。すなわち、データは立下がりの駆動エッジに同期して出力され、立上がりのサンプル・エッジに同期して入力されます。



図69. SPIモード3、SCLKのエッジ

詳細については[デジタル・インターフェース](#)のセクションを参照してください。

設定の概要

パワーオンまたはリセット後のAD4170-4のデフォルト設定は、次のとおりです。

- ▶ **チャンネル**：チャンネル0がイネーブルされ、AIN0は正入力として選択されており、AIN1は負入力として選択されています。セットアップ0が選択されます。
- ▶ **セットアップ**：リファレンス・プリチャージ・バッファがイネーブルされ、ゲインは1に設定されており、内部リファレンスがイネーブルされリファレンス源として選択されています。
- ▶ **ADC制御**：AD4170-4は連続変換モードになっており、内部発振器がイネーブルされ、マスタ・クロック源として選択されています。

このリストでは、いくつかのレジスタ設定オプションのみが示されており、一例に過ぎない点に注意してください。全てのレジスタの情報については、[内蔵レジスタ・マップ](#)のセクションを参照してください。

ADCの設定を変更するための推奨手順は、次のとおりです。

- ▶ **チャンネル設定**：チャンネルごとにAINPおよびAINMを選択します。各チャンネルについて許容可能な8通りのセットアップのうち1つを選択します。
- ▶ **セットアップ**：各セットアップを使用するには、フィルタ・タイプ、ODR、ゲイン、リファレンス源、極性を選択します。
- ▶ **診断機能**：SPI CRC、AINPおよびAINMの過電圧／低電圧チェック、リファレンス検出をそれぞれイネーブルします。
- ▶ **ADC制御**：ADCの動作モードとメインのクロック源を選択します。

チャンネル／シーケンサのスロット設定

AD4170-4は16のチャンネル選択またはシーケンサ・スロットと、8つの独立したセットアップを備えています。どのチャンネルでも任意のアナログ入力ペアを選択でき、どのチャンネル／シーケンサ・スロットでも8つのセットアップのうち任意のものを選択できるため、チャンネル設定に関する完全な柔軟性が与えられています。また、各チャンネルに固有の専用セットアップを適用できるため、4つの差動入力または8つの疑似差動入力を使用する場合にチャンネルごとの設定を行うことも可能です。

アナログ入力に加え、電源やリファレンスなどの信号もマルチプレクサ入力として使用できます。これらの信号を選択した場合、内部でマルチプレクサにルーティングされます。これにより、診断機能と変換とをインターリーブすることができます。

チャンネル・レジスタ

CHANNEL_MAPnレジスタは、そのチャンネルの正のアナログ入力または負のアナログ入力を選択するために使用します。

CHANNEL_SETUPnレジスタを用いることで、8通りのセットアップの1つをチャンネルに割り当て、チャンネルを選択するごとにそのチャンネルで実行する変換の数を設定し、また、チャンネルを選択した場合にそのチャンネルで変換を実行する前に必要な遅延を設定できます。

チャンネルは、CHANNEL_ENレジスタでイネーブルされます。

複数のチャンネルがイネーブルされている状態でAD4170-4が動作している場合、チャンネル・シーケンサはチャンネル0からチャンネル15まで、イネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。複数のチャンネルをイネーブルする場合、チャンネル0は必ず使用する必要があります。チャンネル0のチャンネル・レジスタの詳細を[表19](#)および[表20](#)に示します。CHANNEL_ENレジスタを[表21](#)に示します。

表19. CHANNEL_SETUP0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x81	CHANNEL_SETUP0	[15:8]	REPEAT_N								0x0000	R/W
0x80		[7:0]	RESERVED	DELAY_N		RESERVED		SETUP_N				

表20. CHANNEL_MAP0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x83	CHANNEL_MAP0	[15:8]	RESERVED			AINP_N					0x0001	R/W
0x82		[7:0]	RESERVED			AINM_N						

動作原理

表21. CHANNEL_ENレジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x79	CHANNEL_EN	[15:8]	CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8
0x78	N	[7:0]	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0

動作原理

ADCセットアップ

AD4170-4には8つの独立したセットアップがあります。各セットアップは以下の6つのレジスタから構成されています。

- ▶ 各種設定 (MISC) レジスタ
- ▶ アナログ・フロント・エンド (AFE) レジスタ
- ▶ フィルタ (FILTER) レジスタ
- ▶ FILTER_FS レジスタ
- ▶ オフセット・レジスタ (OFFSET)

▶ ゲイン・レジスタ (GAIN)

例えば、セットアップ0は、MISC0、AFE0、FILTER0、FILTER_FS0、OFFSET0、GAIN0の各レジスタで構成されます。これらのレジスタのグループを図70に示します。セットアップは、[チャンネル／シーケンサのスロット設定](#)のセクションで詳細を説明した、CHANNEL_SETUPnレジスタから選択できます。これにより、各チャンネルを8個の個別のセットアップのいずれかに割り当てることができます。[表22](#)～[表27](#)にセットアップ0に関連するレジスタを示します。セットアップ1～セットアップ7も、これと同じ構成です。

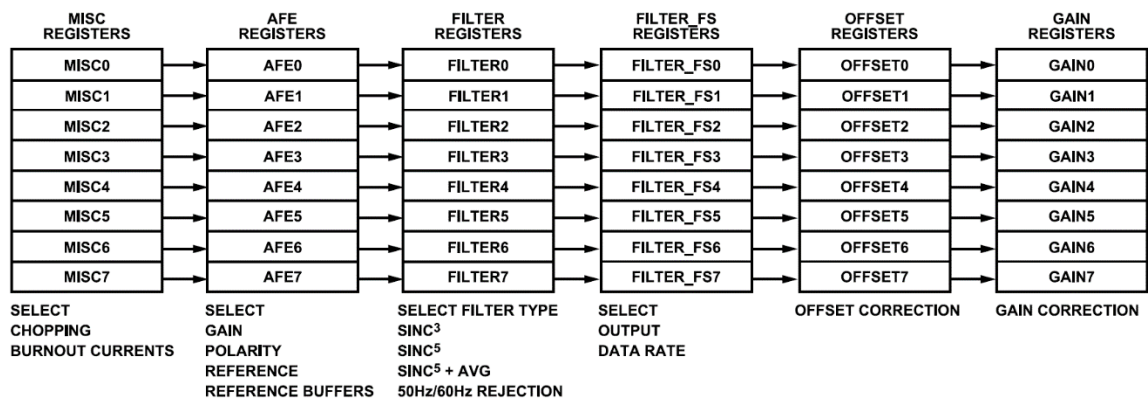


図70. セットアップ構造

動作原理

各種設定（MISC）レジスタ

各種設定レジスタでは、マルチプレクサ・チョッピングまたはAC励起、励起電流チョッピング、バーンアウト電流のイネーブル／ディスエーブルを選択できます。マルチプレクサ・チョッピングでは、アナログ入力ペアが連続的にスワップされ、各フェーズで変換が行われます。その後、2つの変換が平均化され、それによ

ってオフセットとオフセット・ドリフトが低減されます。AC励起ではアプリケーションの全シグナル・チェーンをチョッピングできます。そのため、システムのオフセットとオフセット・ドリフトが低減します。AC励起はブリッジ・タイプの設計に役立ちます。励起電流のチョッピング／スワッピングは、励起電流のミスマッチをなくします。これは、リード線の抵抗による誤差を最小限に抑えるために十分に整合のとれた励起電流が必要となる3線式RTSにおいて有用です。

アナログ・フロント・エンド（AFE）レジスタ

AFEレジスタでは、ユーザによるリファレンス・バッファの設定、リファレンス源の選択、ゲインおよび極性の設定が可能です。

表22. MISC0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xC1	MISC0	[15:8]	CHOP_IEXC		RESERVED				CHOP_ADC		0x0000	R/W
0xC0		[7:0]	RESERVED						BURNOUT			

表23. AFE0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xC3	AFE0	[15:8]	RESERVED				REF_BUF_M		REF_BUF_P		0x0050	R/W
0xC2		[7:0]	RESERVED	REF_SELECT		BIPOLAR	PGA_GAIN					

表24. FILTER0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xC5	FILTER0	[15:8]	RESERVED								0x0000	R/W
0xC4		[7:0]	POST FILTER SEL				FILTER TYPE					

表25. FILTER_FS0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xC7	FILTER_FS0	[15:8]	FS[15:8]								0x0004	R/W
0xC6		[7:0]	FS[7:0]									

表26. OFFSET0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xCA	OFFSET0	[23:16]	OFFSET[23:16]						0x000000		R/W	
0xC9		[15:8]	OFFSET[15:8]									
0xC8		[7:0]	OFFSET[7:0]									

表27. GAIN0レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0xCD	GAIN0	[23:16]	GAIN[23:16]								0x555555	R/W
0xCC		[15:8]	GAIN[15:8]									
0xCB		[7:0]	GAIN[7:0]									

動作原理

フィルタ・レジスタ

フィルタ・レジスタは、ADC変調器の出力で使用するsincデジタル・フィルタを選択します。フィルタ・タイプは、このレジスタのビットを設定して選択します。

FIRフィルタは、ADC_CTRLレジスタのMODEビットを使用して選択する点に注意してください。

詳細については、[デジタル・フィルタ](#)のセクションを参照してください。

FILTER_FSレジスタ

FILTER_FSレジスタはODRの選択を行います。詳細については、[デジタル・フィルタ](#)のセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADCのオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は0x000000です。オフセット・レジスタは24ビットのリード/ライト・レジスタです。ユーザが内部またはシステム・ゼロスケール・キャリブレーションを開始するか、オフセット・レジスタに書き込むと、パワーオン・リセット値は自動的に上書きされます。

ゲイン・レジスタ

ゲイン・レジスタは、ADCのゲイン・キャリブレーション係数を保持する24ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。ユーザがシステム・フルスケール・キャリブレーションを開始した場合、デフォルト値は自動的に上書きされます。詳細については、[キャリブレーション](#)のセクションを参照してください。

診断機能

ERROR_ENレジスタとINTERFACE_CONFIG_Cレジスタを使用して、AD4170-4の様々な診断機能の有効化または無効化ができます。診断機能には次のものがあります。

- ▶ SPI読出しおよび書込みのチェック。これにより、有効なレジスタにのみアクセスできるようになります。

- ▶ SCLKカウンタ。これにより、正しい数のSCLKパルスを使用できるようにします。
- ▶ SPIのCRC
- ▶ メモリ・マップのCRC
- ▶ LDOのチェック
- ▶ アナログ入力およびリファレンス入力での過電圧/低電圧検出
- ▶ リファレンス検出

SPIのCRCは、INTERFACE_CONFIG_Cを用いて有効化しますが、その他の診断機能は、ERROR_ENレジスタを用いて有効化します。診断機能が有効化されている場合、対応するフラグがERRORレジスタに含まれます。INTERFACE_STATUS_AレジスタはSPIで発生するエラーを示します。ERROR_ENレジスタのSPI_ERR_ENビットをセットすることで、SPIエラーが発生するとERRORレジスタのSPI_ERRビットがセットされます。その後、INTERFACE_STATUS_Aレジスタを読み出して、エラーに関するより詳細な情報を得ることができます。STATUSレジスタ内のMAIN_ERR_Sフラグを制御するため、ERRORレジスタの全てのイネーブル・フラグがOR接続されます。そのため、エラーが発生した場合（例えば、SPI CRCチェックでエラーが検出された場合）、ERRORレジスタ内の関連するフラグ（SPI_ERRフラグなど）がセットされます。ステータス・レジスタ内のMAIN_ERR_Sフラグもセットされます。これは、変換にステータス・ビットを追加する場合に便利です。MAIN_ERR_Sビットは、エラーが発生したかどうかを示します。その後、INTERFACE_STATUS_AレジスタとERRORレジスタを読み出して、エラーの原因についての詳細を確認できます。診断レジスタの詳細を[表28](#)～[表31](#)に示します。使用可能な診断機能の詳細については、[診断機能](#)のセクションを参照してください。

ADC制御レジスタ

ADC_CTRLレジスタは、デジタル・インターフェースのモードを設定します。また、連続変換やシングル変換などの動作モードの選択も行います。キャリブレーション・モードだけでなく、スタンバイ・モードやパワーダウン・モードも選択できます。

このレジスタの詳細を[表32](#)に示します。

表28. INTERFACE_CONFIG_Cレジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE	STRICT_REGISTER_ACCESS	SEND_STATUS	ACTIVE_INTERFACE_MODE			CRC_ENABLEB		0x27	R/W

表29. INTERFACE_STATUS_Aレジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNTER	CRC_ERR	WRITE_ONLY_REGISTER	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W

動作原理

表30. ERROR_ENレジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x73	ERROR_EN	[15:8]	RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	IOUT3_COMP_ERR_EN	IOUT2_COMP_ERR_EN	IOUT1_COMP_ERR_EN	IOUT0_COMP_ERR_EN	0x0000	R/W
0x72		[7:0]	REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN		

表31. ERRORレジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x75	ERROR	[15:8]	DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	IOUT3_COMP_ERR	IOUT2_COMP_ERR	IOUT1_COMP_ERR	IOUT0_COMP_ERR	0x0000	R/W
0x74		[7:0]	REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	ROM_CRC_ERR		

表32. ADC制御レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x71	ADC_CTRL	[15:8]	RESERVED								0x0000	R/W
0x70		[7:0]	MULTI_D ATA_REG _SEL	CONT_RE AD_STAT US_EN	CONT_READ		MODE					

設定の柔軟性およびシーケンサについて

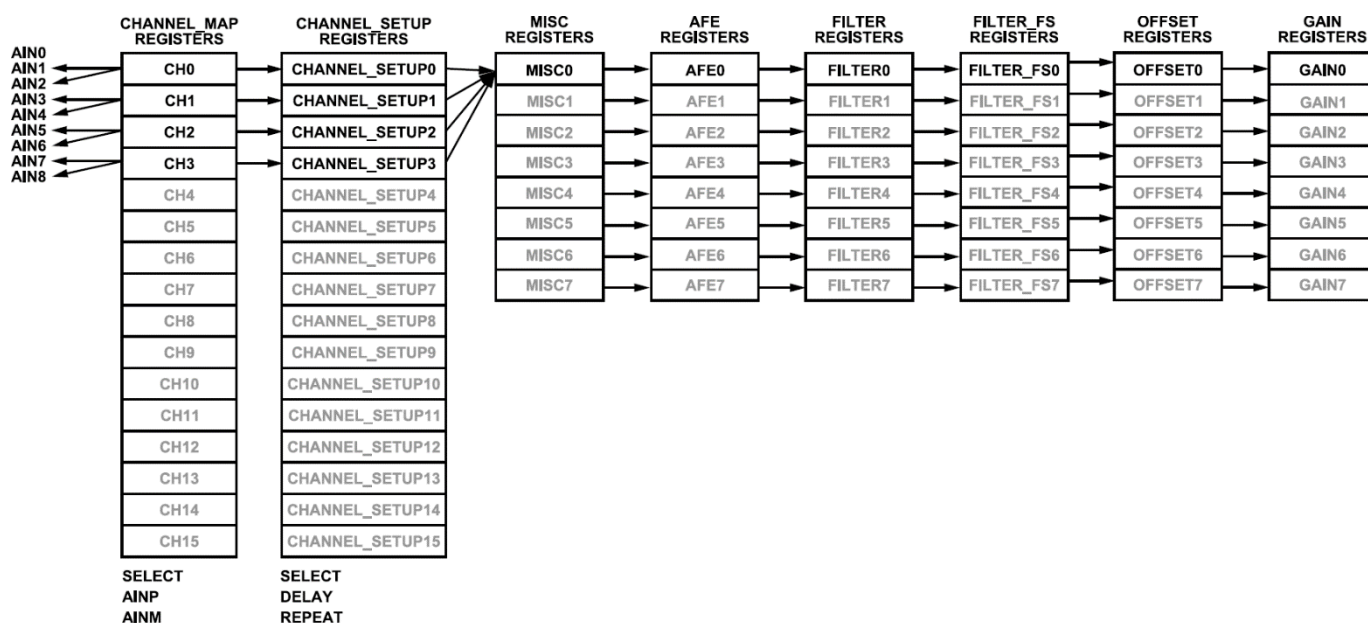
図71、図72、図73で黒色のフォントで示しているレジスタは、この設定でプログラムするものです。灰色のフォントで示しているレジスタは、この設定ではプログラムする必要はありません。

AD4170-4を実装する場合、最も簡単な方法は、差動入力およびこれと隣接するアナログ入力を使用して、それら全てを同じセットアップで実行することです。例えば、4つの差動入力が必要であるとします。この場合、ユーザは、AIN1/AIN2、AIN3/AIN4、AIN5/AIN6、AIN7/AIN8の差動入力を選択します。

どの使用事例でも、ゲイン・レジスタとオフセット・レジスタのプログラミングはオプションです。内部またはシステムのオフセット、またはシステムのフルスケール・キャリブレーションを実行すると、選択したチャンネルに関連するセットアップのゲイン・レジスタとオフセット・レジスタが自動的に更新されます。

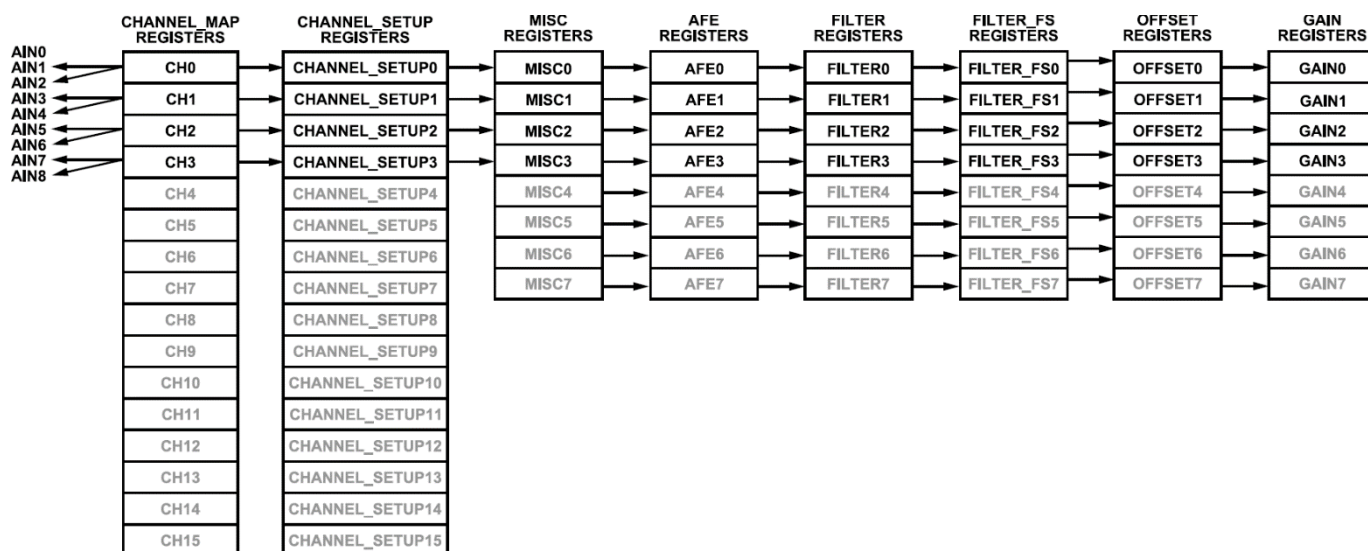
これら4個の完全差動入力を実装する別の方法は、使用可能な8個のセットアップを利用することです。4個の差動入力の一部と他の入力の間で速度、ノイズ、またはゲインの条件が異なる場合、または特定のチャンネルで特定のオフセットまたはゲイン補正を行う必要がある場合は、この方法を使用できます。各差動入力が個別のセットアップを使用して各チャンネルを最大限柔軟に設定できる方法を図72に示します。

動作原理



074

図71. 4個の完全差動入力。全てが1つのセットアップ（MISC0、AFE0、FILTER0、FILTER_FS0、GAIN0、OFFSET0）を使用



075

図72. 4個の完全差動入力。チャンネルごとに個別のセットアップを使用

チャンネル・レジスタがアナログ入力ピンと後続のセットアップ設定の間をどのように橋渡しするかを示す一例を図73に示します。この例では、2個の差動入力と2個のシングルエンド入力が必要です。シングルエンド入力は、AIN2/AIN7とAIN8/AIN7の組み合わせです。最初の差動入力ペア（AIN1/AIN2）はセットアップ0を使用します。2つのシングルエンド入力ペア（AIN2/AIN7とAIN8/AIN7）は、診断用として設定されているので、別のセットアップ（セットアップ1）を使用します。最後の差動入力（AIN3/AIN4）も個別のセットアップであるセットアップ2を使用します。使用するセットアップが3つ選択されていると仮定すると、各セットアップに関連するMISC、AFE、FILTER、FILTER_FSの各レジスタが必要に応じてプログラムされます。オプションのゲインとオフセット補正も、各セットアップに関連するオフセット・レジスタおよびゲイン・レジスタをプログラムすることで、セットアップごとに行うことができます。

図73に示す例では、CH0～CH3のチャンネルが使われています。

これらのチャンネルはCHANNEL_ENレジスタを介してイネーブルされます。複数のチャンネルをイネーブルする場合、チャンネル0は必ず用いる必要があります。AD4170-4が変換を行っているとき、シーケンサは、イネーブルされている最小番号のチャンネルからイネーブルされている最大番号のチャンネルまで昇順に移行します。イネーブルされていないチャンネルはバイパスされます。あるチャンネルが選択されると、そのチャンネルに対しプログラムされたDELAYが計時されます。この遅延により、ADCがアナログ入力のサンプリングを始める前に外部アナログ回路がセトリングできます。0～16384/MOD_CLKの範囲でプログラムされた8通りの設定は、CHANNEL_SETUPnレジスタのDELAYビットで設定できます。その後、AD4170-4は、CHANNEL_SETUPnレジスタのREPEAT機能で定められた変換数だけ、変換を実行します。

動作原理

REPEATには、1～255の値を指定できます。連続変換モードが選択されている場合、シーケンスが終了すると、AD4170-4はシーケンスの先頭にループ・バックします。シングル変換モードでは、変換が終了するとAD4170-4はスタンバイ・モードになります。

全てのチャンネルがデータ・レジスタを共用している
(ADC_CTRLレジスタのMULTI_DATA_REG_SELビットが1に設

定されている) 場合にのみ、REPEAT機能を使用できる点に注意してください。ADC_CTRLレジスタのMULTI_DATA_REG_SELビットが0に設定されている場合、イネーブルされているチャンネルにそれぞれ固有のデータ・レジスタがあります。この場合、イネーブルされたチャンネル全てが完了した場合にのみ、RDYがローになります。

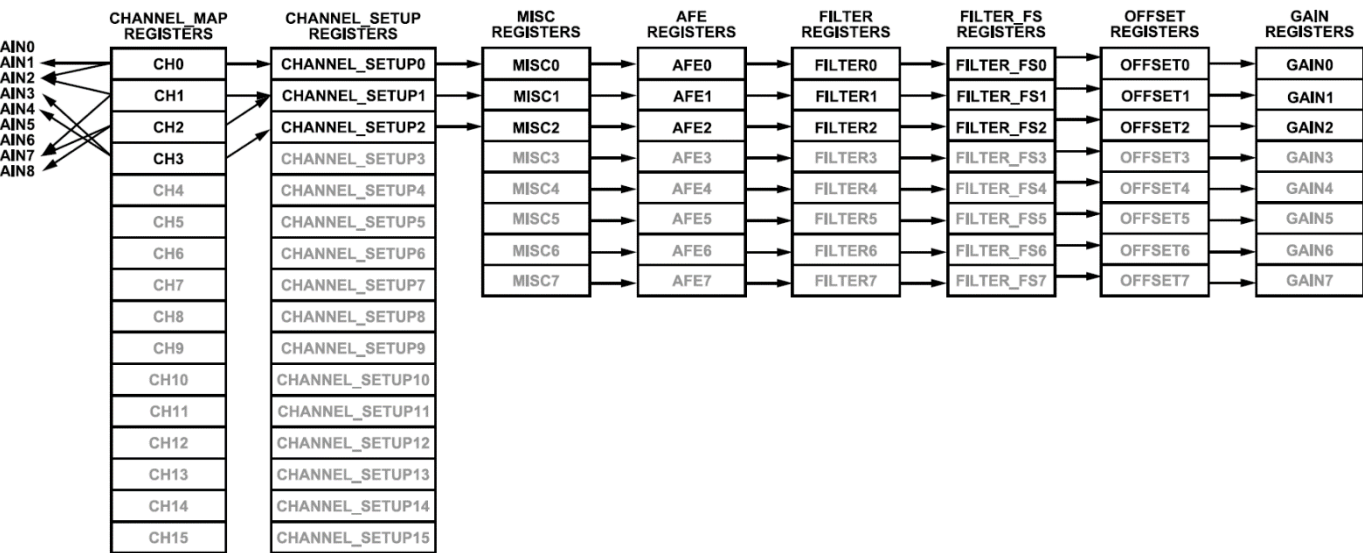


図73. 複数の共有セットアップを使用して、差動とシングルエンドを混在させる設定

ADC回路情報

アナログ入力チャンネル

AD4170-4は、柔軟性の高いマルチプレクサを採用しています。そのため、AIN0～AIN8の任意のアナログ入力ピンを正入力または負入力として選択できます。この機能により、ピンの接続チェックなどの診断を実行できます。また、プリント基板（PCB）の設計も簡素になります。

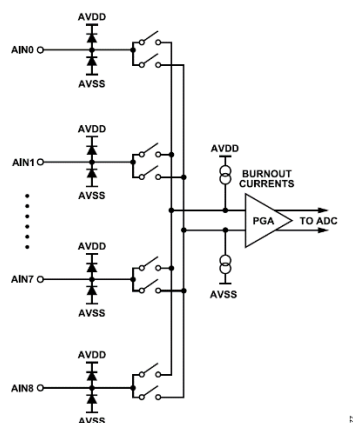


図74. アナログ入力マルチプレクサ回路

これらのチャンネルは、CHANNEL_MAPnレジスタのAINP[5:0]ビットとAINM[5:0]ビットを使用して設定します（表102を参照）。デバイスは、4個の差動入力、8個の疑似差動入力、またはその両方の組み合わせを使用できるように設定できます。差動入力を使用する場合は、隣接するアナログ入力ピンを使用して入力ペアを構成します。隣接するピンを使用することで、PCB上におけるチャンネル間のミスマッチを最小限に抑えることができます。

ゲイン=1プリチャージの場合、PGAはバイパスされますが、プリチャージ・バッファを用いることで外部回路の駆動要件を軽減できます。他のすべてのゲイン設定では、プリチャージ・バッファと共にPGAが用いられます。PGAを用いると入力電流が低下します。このため、入力は大きなソース・インピーダンスに耐えることができ、ストレイン・ゲージやRTDなどの外部の抵抗型センサーに直接接続できるように設計されています。

アナログ入力ピンでサポートされる絶対入力電圧はAVSSとAVDDの間の電圧です。入力電流を最小限に抑えるには、AVSS + 0.1VとAVDD - 0.1Vの間の絶対入力範囲を用います。

過電圧／低電圧耐性

AD4170-4の入力ネットワークは、ADCが変換しているアナログ入力ペアの精度に影響することなく、電源電圧をわずかに超える非アクティブなアナログ入力の電圧変動に耐えることができます。過電圧／低電圧状態での電流は、通常、非アクティブなアナログ入力での±10mAまで許容できます。

アナログ入力への±10mAのフォルト電流は、ピン電圧が(AVDD + 0.3V)または(AVSS - 0.3V)の絶対最大定格を超える原因となります。外部抵抗やその他の保護回路がアナログ入力ESD保護ダイオードへの電流を±10mA以下に制限できれば、これは許容できます。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD4170-4のGPIOnピンを介してマルチプレクサのロジック・ピンを制御できます。PIN_MUXINGレジスタのCHAN_TO_GPIOビットを1にセットすると、GPIOnピンはアクティブなチャンネル数を外部マルチプレクサに出力します。そのタイミングはAD4170-4によって制御されます。このため、チャンネルの変更はADCと同期され、外部同期の必要はありません。

プログラマブル・ゲイン・アンプ (PGA)

ゲイン段をイネーブルにすると（ゲイン=1プリチャージを除く全てのゲイン）、マルチプレクサからの出力がPGAの入力に供給されます。PGAが内蔵されているので、AD4170-4内で小さい振幅の信号を増幅しながらも、優れたノイズ性能を維持することが可能です。PGAには0.5のゲインもあります。したがって、入力された信号を増幅するのではなく、1/2に減衰することができます。

AD4170-4は、AFEnレジスタのPGAビットを使用して、ゲインを0.5、1、2、4、8、16、32、64、または128にプログラムすることができます（表106を参照）。PGAは2段で構成されています。ゲインが16未満の場合（ゲイン=1プリチャージを除く）は1つの段が使用され、ゲインが8よりも大きい場合は両方の段が使用されます。

アナログ入力レンジは±V_{REF}/ゲインです。このため、2.5V外部リファレンスでは、ユニポーラ範囲は0mV～19.53mVから0V～5Vになり、バイポーラ範囲は±19.53mV～±5Vになります。V_{REF}=AVDDなどの高いリファレンス値の場合、アナログ入力範囲を制限する必要があります。許容可能な最大差動アナログ入力範囲は+(AVDD - 0.65V)/ゲインで、許容可能な最大シングルエンド・アナログ入力範囲は0～(AVDD - 0.65V)/ゲインです。

リファレンス

AD4170-4は、温度係数が15ppm/°Cの最大ドリフト特性を持つ2.5V電圧リファレンスを内蔵しています。AD4170-4にリファレンスを組み込むことで、熱電対などのアプリケーションで必要となる外部コンポーネントの数を削減できるので、PCBの小型化が可能になります。

内部リファレンスはデフォルトでイネーブルされていますが、REF_CONTROLレジスタのREF_ENビットによってディスエーブルできます（表116を参照）。内部リファレンスがイネーブルされている場合、REFOUTピンに出力されます。内部リファレンスがアクティブな場合は、REFOUTに0.1μFのデカップリング・コンデンサが必要です。

ADC回路情報

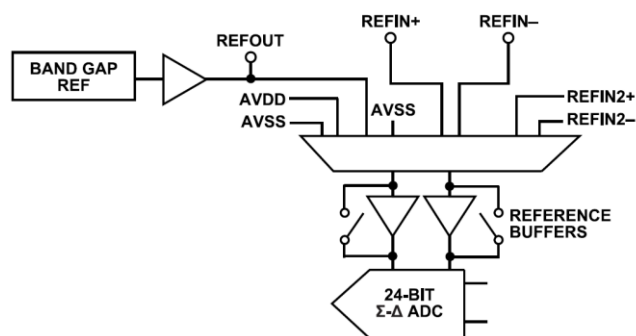


図75. リファレンス接続

このリファレンスはADCへの電力供給に使用できます（AFEnレジスタのREF_SELECTビットを10（2進数）に設定）。あるいは、外部リファレンスを印加できます。外部リファレンスの場合、ADCはチャンネルに対して完全差動入力機能を備えています。更に、2つの外部リファレンス・オプション（REFINまたはREFIN2）のいずれかを選択できます。REFIN2は、GPIO0（REFIN2+）およびGPIO1（REFIN2-）を用いて使用できます。AD4170-4のリファレンス源は、AFEnレジスタのREF_SELECTビットを使用して選択します（表106を参照）。

リファレンス・バッファがディセーブルになっている場合、REFINn+ピンおよびREFINn-ピンで許容可能な絶対電圧の範囲はAVSS - 50mV ~ AVDD + 50mVです。リファレンス・バッファのイネーブル時、または、プリチャージ・モード時、バッファはレールtoレールです。そのため、各リファレンス・ピンの絶対電圧は、AVSS ~ AVDDです。REFINnのリファレンス電圧（REFINn+ - REFINn-）の公称値は2.5Vですが、AD4170-4は1V ~ AVDDのリファレンス電圧で動作します。

アナログ入力に接続されたトランスジューサの励起電圧（または励起電流）がデバイスのリファレンス電圧も駆動するようなアプリケーションはレシオメトリックであるため、励起源の低周波ノイズの影響は除去されます。AD4170-4を非レシオメトリック・アプリケーションで使用する場合は、低ノイズ・リファレンスを使用します。

AD4170-4用に推奨される2.5Vリファレンス電圧源には、低ノイズ・リファレンスであるADR4525およびLTC6655LN-2.5があります。AD4170-4と共に使用する場合に推奨される4.096Vリファレンス電圧源には、やはり低ノイズのLTC6655LN-4.096があります。バッファなしの場合、リファレンス入力、高インピーダンスの動的負荷を提供することに注意してください。各リファレンス入力の入力インピーダンスは動的であるため、リファレンス入力、高インピーダンスの場合、リファレンス入力の駆動源の出力インピーダンスによっては、これらの入力のRCの組み合わせにより、DCゲイン誤差が生じる可能性があります。

リファレンス電圧源は通常低出力インピーダンスです。そのため、システム内でゲイン誤差を発生させることなく、REFINn+にデカップリング・コンデンサを接続できます。外部抵抗の両端からリファレンス入力電圧を出力すると、リファレンス入力から見た外部ソース・インピーダンスが大きくなります。この場合、リファレンス・バッファを使用する必要があります。図76にADR4525およびLTC6655LN-2.5とAD4170-4の接続関係を示します。LTC6655LN-4.096とAD4170-4の接続も同様です。

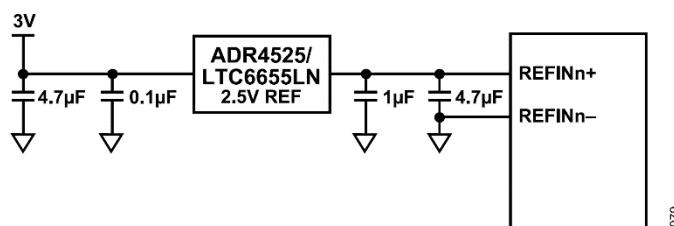


図76. ADR4525/LTC6655LN-2.5とAD4170-4の接続

バイポーラ／ユニポーラ設定

AD4170-4のアナログ入力は、ユニポーラまたはバイポーラの入力電圧範囲に対応します。これにより、ADCの入力範囲をセンサー出力範囲に対して微調整することができます。バイポーラ電源を使用する場合、デバイスは真のバイポーラ入力に対応します。ユニポーラ電源を使用する場合、バイポーラ入力範囲に収まっていますが、システムのAVSSを基準とする負電圧をデバイスに入力できるとは限りません。AINP入力のユニポーラ信号とバイポーラ信号は、AINM入力の電圧を基準としています。例えば、AINMが2.5Vで、ADCがゲイン1でユニポーラ・モード用に設定されている場合、V_{REF} = 2.5 VかつAVDD = 5 VのときにAINP入力の入力電圧範囲は2.5V ~ 5Vになります。ADCがバイポーラ・モードに設定されている場合、AINP入力のアナログ入力範囲は0V ~ AVDDになります。バイポーラ／ユニポーラ・オプションは、AFEnレジスタでバイポーラ・ビットをプログラムすることで選択します。

データ出力コーディング

ADCがユニポーラ動作に設定されている場合、出力コードは自然（ストレート）バイナリになり、ゼロ差動入力電圧がコード00 ... 00、ミッドスケール電圧がコード100 ... 000、フルスケール入力電圧がコード111 ... 111になります。アナログ入力電圧の出力コードは次のように表されます。

$$\text{Code} = (2^N \times A_{IN} \times \text{Gain}) / V_{REF} \quad (3)$$

ADCがバイポーラ動作に設定されている場合、出力コードは2の補数になり、負のフルスケール電圧がコード100 ... 000、ゼロ差動入力電圧がコード000 ... 000、正のフルスケール入力電圧がコード011 ... 111になります。

ADC回路情報

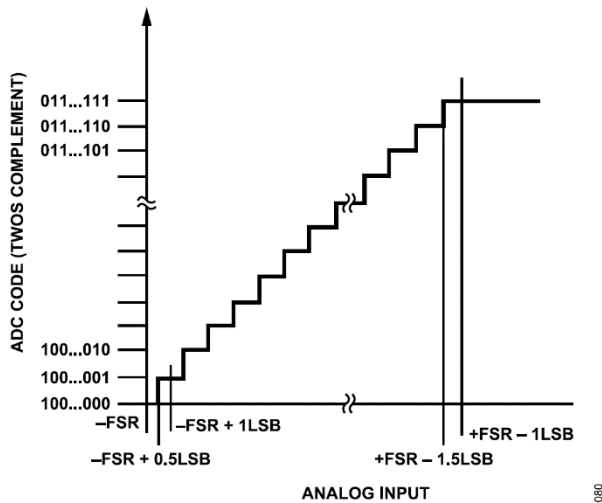


図77. ADCの理想的な伝達関数 (FS = フルスケール)

表33. 出力コードと理想的な入力電圧 (FS = フルスケール)

Description	Analog Input	Code (Hex)
FS - 1 LSB	$+V_{REF}/\text{gain} \times (1 - 2^{-N+1})$	0x7FFFFFFF
+1 LSB	$(V_{REF}/\text{gain})/2^{N-1}$	0x000001
Midscale	0	0x000000
-1 LSB	$-(V_{REF}/\text{gain})/2^{N-1}$	0xFFFFF
-FS + 1 LSB	$-V_{REF}/\text{gain} \times (1 - 2^{-N+1})$	0x800001
-FS	$-V_{REF}/\text{gain}$	0x800000

励起電流

AD4170-4には、10 μ A、50 μ A、100 μ A、250 μ A、500 μ A、1mA または1.5mAと等しくなるようにプログラムできる、ソフトウェア設定可能な4個の定電流源も内蔵されています。これらの電流源は、外部抵抗ブリッジまたはRTDセンサーの励起に使用できます。電流源はAVDDから電流をソースし、任意のアナログ入力ピンまたはGPIOピンに出力できます（図78を参照）。

電流を出力するピンは、CURRENT_SOURCE_nレジスタのI_OUT_PINビットを使用してプログラムします（表122を参照）。各電流源の大きさは、CURRENT_SOURCE_nレジスタのI_OUT_VALビットを使用して個別にプログラムできます。更に、全ての電流を同じアナログ入力ピンまたはGPIOピンに出力することができます。

励起電流を使用する場合、内蔵リファレンスをイネーブルする必要がある点に注意してください。

電流間に最適なマッチングが必要な3線式RTDなどのアプリケーションで励起電流ペアを用いる場合は、ペアAB（IOUT0およびIOUT1）またはペアCD（IOUT2およびIOUT3）を用いるのが最善です。これらのペアを用いることで、励起電流のミスマッチおよびミスマッチ・ドリフトを最小限に抑えることができます。

励起電流ミスマッチによる誤差を更に低減するために、電流をスワップまたはチョップすることができます。MISC_nレジスタのCHOP_IEXCビットが適切に設定されている場合、使用されている2つの電流が変換ごとにスワップされ、その後の変換がAD4170-4によって平均化されます。このスワッピングまたはチョッピングにより、励起電流のミスマッチによる誤差が打ち消されます。

CHOP_IEXCビットは、チョップ電流IOUT0およびIOUT1（ABオプションを選択）、または、チョップ電流IOUT2およびIOUT3（CDオプションを選択）を設定するか、あるいはCHOP_ABCDオプションを用いて全電流をチョップするように設定できます。

プログラムした励起電流値を生成するには、励起電流にある程度のヘッドルームまたは出力コンプライアンスが必要です。出力コンプライアンスは、10 μ A～100 μ Aの電流に対しAVDD - 1.25Vで、より高い励起電流の場合は、AVDD - 1.45Vです。出力コンプライアンス仕様を満たせない場合でも、励起電流は機能し続けますが、電流の大きさは減少します。ERROR_ENレジスタのIOUT_n_COMP_ERR_ENビットがセットされている場合、励起電流の大きさは継続的にモニタされます。大きさが仕様の範囲外になると、ERRORレジスタのIOUT_n_COMP_ERRビットがセットされます。これをゼロにリセットするには、ERRORレジスタのこのビットに書き込みを行います。

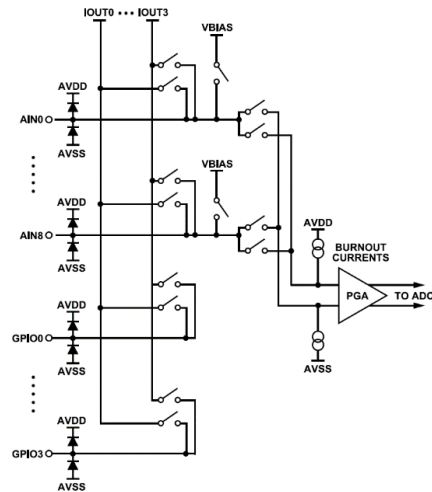


図78. 励起電流とバイアス電圧の接続

ブリッジ・パワーダウン・スイッチ

ストレーン・ゲージやロード・セルなどのブリッジ・アプリケーションでは、ブリッジ自体が多大な電流を消費します。例えば、5Vの電源で励起する場合、350 Ω のロード・セルは14.3mAの電流を必要とします。システムの消費電流を低減するために、ブリッジ・パワーダウン・スイッチを使用してブリッジを（使用していないときに）切り離すことができます。AD4170-4は2つのブリッジ・パワーダウン・スイッチを内蔵しています。GPIO0およびGPIO1のGPIOピンを、それぞれパワーダウン・スイッチ0

(PDSW0) およびパワーダウン・スイッチ1 (PDSW1) として設定できます。その後、スイッチ自体はパワーダウン・スイッチ・レジスタのPDSWビットを通じて制御されます（表90を参照）。各スイッチは30mAの連続電流に耐え、オン抵抗は14 Ω （最大値）です。AD4170-4をスタンバイ・モードにすると、パワーダウン・スイッチはデフォルトでオープンになります。スイッチの制御を保持するには、STANDBY_CTRLレジスタのSTB_PDSW_nビットをセットします。

ADC回路情報

汎用入出力（GPIO0～GPIO3）

AD4170-4には、4つの汎用入出力GPIO0～GPIO3があります。これらはGPIO_MODEレジスタのGPIO_MODEビットを使用して汎用入出力として設定されます（表152を参照）。出力として設定された場合、これらのピンは、GPIO_OUTPUT_DATAレジスタのGPIO_OUTPUT_DATAビットを使用してハイにプルアップまたはローにプルダウンできます（表154を参照）。つまり、ピンの値はGPIO_DATnビットの設定によって決まります。これらのピンのロジック・レベルは、IOVDDではなく、AVDDによって決まります。GPIO_OUTPUT_DATAレジスタを読み出すと、ピンの実際の値がGPIO_OUTPUT_DATAビットに反映されます。この機能は短絡を検出するときに有用です。

GPIOピンは多機能ピンです。つまり、パワーダウン・スイッチや励起電流などの他の機能をこのピンで有効化することもできます。複数の機能を同時に有効化する場合、機能の優先順位は次のとおりです。

1. パワーダウン・スイッチ（GPIO0およびGPIO1でイネーブルできます）
2. AC励起。2ピンAC励起の場合、GPIO2およびGPIO3がドライバ信号を供給します。そのため、GPIO0とGPIO1はパワー・スイッチとして機能できます。しかし、4ピンAC励起の場合は、ローサイドのパワーダウン・スイッチは使用できません。あるいは、反対に、パワーダウン・スイッチが使われている場合、4ピンAC励起を設定することはできません。
3. GPIO_OUTPUT_DATA。GPIOは、パワーダウン・スイッチとして使用しない場合やAC励起用に使用しない場合は、汎用出力ピンとして機能できます。
4. CHANNEL_TO_GPIO。シーケンサの電流チャンネルに関連するビットは、上記の機能1、2、3で使用されていないピンに出力されます。

これらのピンで、励起電流またはREFIN2（GPIO0/GPIO1）をイネーブルできる点に注意してください。そのため、アプリケーションにおいてピンが確実に正しく機能するよう、全ての設定を再確認する必要があります。

バイアス電圧発生器

AD4170-4にはバイアス電圧発生器が内蔵されています（図78を参照）。これがアナログ入力ピンでイネーブルされている場合、ピンを $(AVDD + AVSS)/2$ にバイアスします。この機能は、非バイアスの熱電対アプリケーションで役に立ちます。ADCがユニポーラ電源で動作する場合、熱電対によって生成された電圧にDC電圧でバイアスをかける必要があるためです。バイアス電圧発生器は、V_BIASレジスタのVBIASビットを使用して制御します（表118を参照）。バイアス電圧発生器のパワーアップ時間は、負荷容量によって決まります。詳細については、仕様のセクションを参照してください。

DAC

AD4170-4は12ビットのDACを内蔵しており、ブリッジ型センサーに励起源として、または診断用の電圧発生器として使用することができます。DACは、DAC_ENABLEレジスタを使用してイネーブル/ディスエーブルします。0～ V_{REF} と0～ $2 \times V_{REF}$ の2つのレンジがあり、DAC_SPANレジスタを用いてどちらのレンジにするか

を選択できます。DACは2.5Vの内部リファレンスを使用します。DACはユニポーラで、0～4095のコード入力が可能です。しかし、出力には、AVSS付近に若干のヘッドルームが必要です。そのため、有効な入力範囲はコード96～4095です。 $2 \times V_{REF}$ のレンジの場合、最大出力電圧を $AVDD - 0.25V$ に制限する必要があります。AVDDが5.25V未満の場合には注意が必要です。つまり、必要な250mVのヘッドルームが可能となるよう、生成される最大コードを制限する必要があります。

データは、DAC_DATAレジスタを用いてDACに直接書き込むことができます。DACのロード機能も使用できます。LDAC機能は、レジスタ設定またはハードウェアにより実装できます。ソフトウェアLDAC機能を実装するには、SW_LDACレジスタを用います。SW_LDACレジスタのSW_LDACビットが1にセットされている場合、データはDAC_INPUT_Aからロードされます。ロード動作が完了すると、このビットは自動クリアされます。DIG_AUX2ピンは、ハードウェアLDAC機能として動作するように設定できます。このピンは、PIN_MUXINGレジスタのDIG_AUX2_CTRLビットを用いて設定する必要があり、その後、この機能はHW_LDAC_MASKレジスタを通じてイネーブルされます。データはLDAC（DIG_AUX2）の立下がりエッジでINPUT_DATA_Aレジスタからロードされます。

2つの別々のレジスタからDACを更新することも可能です。これにより、DACは方形波出力を生成できます。

SW_TOGGLE_TRIGGERSレジスタを用いると、DACはソフトウェアを用いてDAC_INPUT_AまたはDAC_INPUT_Bから更新できます。データは、SW_TOGGLEビットが0の場合はDAC_INPUT_Aからロードされ、SW_TOGGLEビットが1の場合はDAC_INPUT_Bからロードされます。DIG_AUX2ピンを用いると、ハードウェアでこの機能を実装できます。HW_TOGGLE_MASKレジスタのHW_LDAC_ENビットをセットすると、ハードウェアによる切替えが可能になります。ハードウェアによる切替えでは、データは、LDACの立下がりエッジでDAC_INPUT_Aからロードされ、LDACの立上がりエッジでDAC_INPUT_Bレジスタからロードされます。

マルチプレクサ・チョッピング

AD4170-4にはマルチプレクサ・チョッピング機能が内蔵されています（MISCnレジスタのCHOP_ADCビットを用いてイネーブル）。チョップをイネーブルすると（2つのビットを01（2進数）に設定）、ADCのオフセットおよびオフセット・ドリフトを最小限に抑えることができます。チョップをイネーブルすると、アナログ入力ピンは連続的にスワッピングされます。そのため、これらのアナログ入力ピンが一方方向に接続された状態で、有効な変換が利用できるようになるまでフィルタのセトリング時間が可能となります。その後アナログ入力ピンが反転し、別の有効な変換が得られます。このようにしてその後の変換が平均化され、オフセットを最小限に抑えることができます。このアナログ入力ピンの連続スワッピングとその後の変換の平均化処理を行うことで、オフセット・ドリフトも最小限に抑えることができます。2つの変換が平均化されるので、実効値ノイズは $\sqrt{2}$ 倍だけ改善します。したがって、ピークtoピーク分解能は約0.5ビット分だけ向上します。

FIRフィルタではチョッピングを使用できない点に注意してください。チョッピングは、ODRおよびセトリング時間に影響する可能性があります。例えば、 sinc^3 フィルタでは、チョッピングをディスエーブルした場合に比べ、イネーブルした場合は、ODRは約

ADC回路情報

3分の1に低下しますが、セトリング時間は約2倍に増加します。ポスト・フィルタなどその他のフィルタでは、チョッピングがODRおよびセトリング時間に与える影響はわずかです。[デジタル・フィルタ](#)のセクションでは、様々なフィルタ・タイプについて、チョッピングをディセーブルした場合のセトリング時間を示しています。チョッピングをイネーブルした場合、最初の変換ではこのセトリング時間の2倍の時間が必要ですが、その後の変換は、そのフィルタに規定されたセトリング時間で行われます。また、チョッピングにより、 $\text{nf}_{\text{ADC}}/2$ の奇数倍の位置に1次のノッチが加わります。例えば、 sin^3 フィルタを用いODRが50SPSの場合、25Hz、75Hz、125Hzの位置にノッチが生じます。

AC励起

ホイートストン・ブリッジ・タイプのセンサーは一定のDC電圧で励起できますが、センサーのAC励起は、DC励起のアプリケーションに見られる、熱電対、オフセット、ドリフトの影響に関する多くの懸念事項に対応できます。AC励起では、ブリッジへの励起電圧の極性が交互に反転します。その結果、システム設計は複雑になりますが、DC誤差をなくすことができます。[図79](#)に、AD4170-4に基づくAC励起ブリッジ・アプリケーションの接続例を示します。

ブリッジへの励起電圧は、交互に切り替わる必要があります。[図79](#)に示したトランジスタが、この励起電圧の切替えを実行します。これらのトランジスタは、マッチングの良いディスクリートのバイポーラまたはMOSトランジスタを使用できます。あるいはMicrel Componentsから入手可能なMIC4427などの専用ブリッジ・ドライバ・チップを使用しても、このタスクを実行できます。

アナログ入力電圧とリファレンス電圧（外部リファレンスを用いる必要があります）は、交互に反転するので、AD4170-4は、この励起電圧の反転と同期する必要があります。この切替えに同期できるようにするため、AD4170-4は励起電圧の切替えに対するロジック制御信号を供給します。これらの信号は、互いにオーバーラップしていないCMOS出力 $\text{ACX1}/\overline{\text{ACX1}}$ （それぞれGPIO2とGPIO0に出力可能）および $\text{ACX2}/\overline{\text{ACX2}}$ （それぞれGPIO3およびGPIO1に出力可能）です。 $\text{ACX1}/\overline{\text{ACX1}}$ と $\text{ACX2}/\overline{\text{ACX2}}$ の非オーバーラップ時間は $2/\text{MCLK}$ で、これによりトランジスタを介して発生する短絡を防止します。AC励起をイネーブルするには、MISCnレジスタのCHOP_ADCビットを用います。ピンが機能に優先順位のある多

機能ピンである場合のGPIO機能に関する詳細は、[汎用入出力（GPIO0～GPIO3）](#)のセクションを参照してください。AD4170-4が4つのロジック信号を供給する4線式AC励起を、[図79](#)に示します。外部インバータを必要とする2線式AC励起も使用できます。GPIOピンを通じて他の機能を使用する必要がある場合は、これを実装すると便利です。

AC励起の場合に生じる問題の1つは、励起電圧が切り替わった後のアナログ入力信号に関するセトリング時間です。これは、ブリッジからAD4170-4への配線長が長いアプリケーションに、特にあてはまります。これが意味するのは、コンバータが完全にセトリングしていない信号を処理することになるため、誤差が生じる可能性がある、ということです。DELAYレジスタを用いると、フロント・エンド回路が一定のセトリング時間を確保できます。

また、AD4170-4は、AC励起スイッチング周波数をODRに対応してスケーリングすることもできます。これにより、システムが要求するレートよりも不必要に速いレートでブリッジがスイッチングするような状況を防止できます。

AD4170-4が励起電圧と同じ電圧であるリファレンス電圧を処理できるという事実は、リファレンス入力に抵抗分圧器を配置する必要性がなくなるため、AC励起では特に有用です。

AC励起は、チャンネル単位で適用できます。1つのシーケンスにおいて特定のチャンネルのAC励起がイネーブルされていない場合、GPIOピンは、次に優先順位の高いGPIO機能によって制御されます。確実に短絡状態にならないよう、GPIOピンを、GPIO_MODEレジスタを用いて出力としてプログラムし、GPIO_OUTPUT_DATAレジスタを用いてハイ／ローに設定し、この安全な状態を確保できます。シーケンスにおいて複数のチャンネルがイネーブルされている場合、チャンネルが変換されていないときにはロジック制御信号が確実に安全なレベルにあるようにする必要があります。例えば、次のチャンネルのAC励起はディセーブルされているようにします。そのため、上記のように、安全な状態を確保するためにGPIOピンを使うこともできます。

スタンバイ・モードおよびパワーダウン・モードでは、ACXピンの機能は無効化されます。トランジスタを安全な状態にするには、外付けのプルアップ抵抗とプルダウン抵抗が必要です。

ADC回路情報

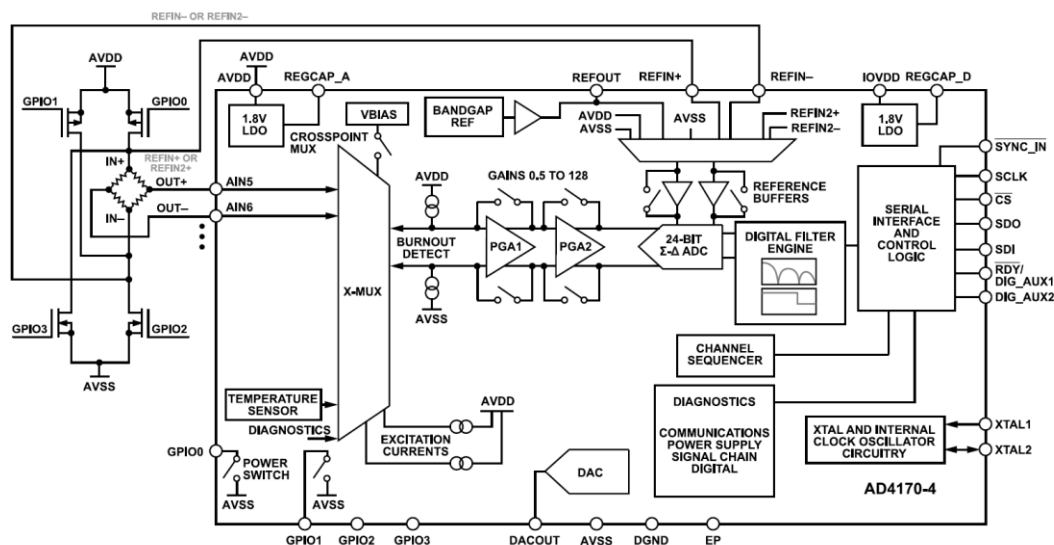


図79. 標準アプリケーション回路（重量計）

クロック

AD4170-4は、16MHzのクロックを内蔵しています。この内部クロックの許容誤差は $\pm 2.5\%$ です。AD4170-4のクロック源としては、内部クロックまたは外部クロックを使用してください。代わりに、水晶振動子を使用してメイン・クロックに供給することもできます。クロック源は、CLOCK_CTRLレジスタのCLKSELビットで選択します（表86を参照）。

内部クロックは、XTAL2ピンから出力することもできます。この機能は、アプリケーションで複数のADCを使用し、デバイスを同期する必要がある場合に便利です。1つのデバイスの内部クロックをシステム内の全てのADCのクロック源として使用できます。詳細については、ADCの同期のセクションを参照してください。

良好なAC仕様を実現するには、高精度で低ジッタのクロック、または水晶振動子が必要です。AD4170-4は、外部から供給されるクロックまたは外部水晶振動子を使うこともできます。外部クロックはXTAL2ピンに接続します。このクロック入力のロジック・レベルは、IOVDDピンに印加される電圧によって決まります。

水晶振動子はXTAL1ピンとXTAL2に接続します。推奨される水晶振動子は、表面実装パッケージが採用されたFA-20H（エプソントヨコム製の16MHz、10ppm、9pFの水晶振動子）です。図80に示すように、水晶振動子をXTAL1ピンとXTAL2ピンに接続するパターンに、2個のコンデンサを接続します。これらのコンデンサで回路の調整を行うことができます。これらのコンデンサはDGNDピンに接続します。コンデンサの値は、水晶振動子をXTAL1ピンおよびXTAL2ピンに接続しているパターンの長さや容量に依存します。したがって、これらのコンデンサの値は、PCBレイアウトと、採用した水晶振動子によって異なります。

水晶発振回路の性質により、最終的なPCBレイアウトと水晶振動子を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することを推奨します。

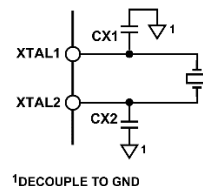


図80. 外付け水晶振動子の接続方法

AD4170-4には、1、2、4、8分周の内部分周器があり、CLOCK_CTRLレジスタのCLOCKDIVビットで選択できます。これらの分周器は、ADC用に選択された内部クロック源または外部クロック源を分周します。

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。レジスタの内容を保持するためLDOはアクティブ状態を維持します。デフォルトでは、スタンバイ・モードではその他の機能はすべて無効化されます。しかし、STANDBY_CTRLレジスタにより、スタンバイ・モードでもアクティブ状態を維持する機能を選択できます。励起電流、内部リファレンス、パワーダウン・スイッチ、DAC、プルアップ電流、バイアス電圧、クロック（内部発振器または外部水晶振動子）は、システムでイネーブルされている場合、STANDBY_CTRLレジスタの該当のビットをセットすることで、スタンバイ・モードでもアクティブ状態を維持できます。診断機能は、スタンバイ・モードでは無効化されます。

スタンバイ・モードを終了する際に、AD4170-4はパワーアップおよびセトリングに約160 MCLKサイクルを必要とします。MCLKは、印加されるクロック周波数（内部発振器または外部クロック／水晶振動子の周波数）ではなく、ADCが使用するメイン・クロックです。そのため、印加クロックが2、4、8分周されている場合は、スタンバイ・モードを終了するまでの時間が長くなります。外部のメイン・クロックを用いている場合は、スタンバイ・モードを終了するコマンドを発する前にそのクロックがアクティブであることを確認してください。ADCがパワーアップレセトリ

ADC回路情報

ングするまで、ADC_CTRLレジスタには再度の書込みはしないでください。

パワーダウン・モードでは、LDOを含む全てのブロックがパワーダウンします。全てのレジスタの内容が失われ、デジタル出力GPIO0～GPIO3がスリーステートになります。偶発的にパワーダウン・モードにならないよう、まずADCをスタンバイ・モードにする必要があります。外部メイン・クロックを使用している場合は、デバイスがパワーダウン・モードになるまでアクティブ状態を維持してください。パワーダウン・モードを終了するには、 \overline{CS} をローにした状態でSDIで63個の1と1個の0からなるパターンを3回繰り返す必要があります。AD4170-4は、パワーアップとセトリングに約1.4msの時間を必要とします。この時間が経過した後に、内蔵レジスタにアクセスできるようになります。

キャリブレーション

AD4170-4には、次に示すように、セットアップごとにオフセット誤差とゲイン誤差を排除するのに使用できる、3つのキャリブレーション・モードがあります。

- ▶ 内部ゼロスケール・キャリブレーション・モード
- ▶ システム・ゼロスケール・キャリブレーション・モード
- ▶ システム・フルスケール・キャリブレーション・モード

内部ゲイン誤差は、出荷時にキャリブレーションされています。このため、AD4170-4では、内部フルスケール・キャリブレーションはサポートされていません。キャリブレーション時は、1チャンネルのみをアクティブにできます。アナログ入力を変換する場合、内部のADC変換結果は、データ・レジスタに書き込まれる前にADCキャリブレーション・レジスタを使ってスケールリングされます。

OFFSETレジスタのデフォルト値は、0x000000、GAINレジスタの公称値は0x555555です。ADCゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}/\text{ゲイン} \sim 1.05 \times V_{REF}/\text{ゲイン}$ です。[スパンとオフセットの限界値](#)のセクションを参照してください。

次の式は、OFFSETレジスタおよびGAINレジスタの値がAD4170-4内でどのように用いられるかを示します。OFFSETレジスタでは2の補数が用いられている点に注意してください。ユニポーラ・モードの場合、ADCのゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - OFFSET \right) \times \frac{GAIN}{0x400000} \times 2 \quad (4)$$

バイポーラ・モードの場合、ADCのゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$Data = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - OFFSET \right) \times \frac{GAIN}{0x400000} \quad (5)$$

キャリブレーションを開始するには、ADC_CTRLレジスタのモード・ビットに適切な値を書き込みます。キャリブレーションが開始されると、RDYピン（デフォルトではSDOと共用されますがDIG_AUX1に出力できます）とステータス・レジスタのRDYBビ

ットがハイに遷移します。キャリブレーションが完了すると、対応するOFFSETレジスタまたはGAINレジスタの内容が更新され、ステータス・レジスタのRDYBビットがリセットされ、RDYピンがローに戻り、AD4170-4がアイドル・モードに復帰します。RDYピンがSDOと共用されている場合、このピンは \overline{CS} がハイのときはスリーステートになる点に注意してください。

内部オフセット・キャリブレーションの間、選択した正のアナログ入力ピンは切断され、選択した負のアナログ入力ピンに内部で接続されます。このため、選択された負のアナログ入力ピンの電圧が許容限界値を超えず、過度なノイズや干渉が生じないようにする必要があります。

システム・キャリブレーションでは、システム・ゼロスケール（オフセット）電圧またはシステム・フルスケール（ゲイン）電圧が選択された正および負のピンに印加されてから、キャリブレーション・モードが開始されると想定されています。この結果、ADCの外部誤差が除去されます。システム・ゼロスケール・キャリブレーションは、システム・フルスケール・キャリブレーションの前に実行する必要があります。

動作の観点からは、キャリブレーションは別のADC変換のように扱う必要があります。ステータス・レジスタのRDYBビットまたはRDYピンをモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを判断します。

内部／システム・オフセット・キャリブレーションおよびシステム・フルスケール・キャリブレーションには、選択したフィルタのセトリング時間が終了するのと同じ時間が必要です。

キャリブレーションは任意のODRで実行できます。ODRが低いほど、精度の高いキャリブレーション結果を得ることができ、全ての出力データ・レートに対して正確になります。内部ゲイン誤差は全てのゲインについて出荷時にキャリブレーションされています。そのため、GAINレジスタのデフォルト値がシステム・フルスケール・キャリブレーションまたはGAINレジスタへの直接書き込みによって上書きされなければ、AD4170-4は、PGAゲインが変更されたときに適切なゲイン係数を内部で自動的に適用します。システム・フルスケール・キャリブレーションが実行されたか、GAINレジスタに書き込みが行われた場合、リファレンス源または所定のチャンネルのゲインが変更されていれば、そのチャンネルに対して新たなキャリブレーションが必要です。

AD4170-4では、ユーザが内蔵キャリブレーション・レジスタにアクセスできるので、マイクロプロセッサがデバイスからキャリブレーション結果を読み出し、EEPROM（電氣的に消去およびプログラムが可能な読み出し専用メモリ）にあらかじめ保存されている値から固有のキャリブレーション係数を書き込むことができます。内部キャリブレーション時またはセルフ・キャリブレーション時以外は、OFFSETレジスタとGAINレジスタの読み出しまたは書き込みはいつでも行えます。キャリブレーション・レジスタの値は24ビット幅です。また、レジスタを使用してデバイスのスパンとオフセットを操作することもできます。

スパンとオフセットの限界値

システム・キャリブレーションを使用すると、外部回路のオフセット誤差やゲイン誤差を補償でき、また、デバイスの入力スパンとオフセットを調整できます。システム・キャリブレーションを実行する場合は、入力オフセットとスパンの実現可能な調整量は

ADC回路情報

制限されます。入力スパンは、正のフルスケール・コードに対応する入力電圧と負のフルスケール・コードに対応する入力電圧の差です。システム・キャリブレーションで実現可能な入力スパンの範囲の最小値は、 $0.8 \times V_{REF}/\text{ゲイン}$ で、最大値は $2.1 \times V_{REF}/\text{ゲイン}$ です。

入力スパンとオフセットの調整では、正のフルスケール・コード電圧 ($1.05 \times V_{REF}/\text{ゲイン}$) および負のフルスケール・コード電圧 ($-1.05 \times V_{REF}/\text{ゲイン}$) に関する限界値も考慮する必要があります。このため、システム・オフセット (ゼロスケール) キャリブレーションとゲイン (フルスケール) キャリブレーションの限界値を決定する際は、調整後のオフセットと調整後の正の最大スパン範囲の合計が $1.05 \times V_{REF}/\text{ゲイン}$ を超えないようにする必要があります。実現可能なオフセットとスパンの調整量は、設定がユニポーラかバイポーラかによっても異なります。いくつかの例を挙げて、わかりやすく説明します。

必要なスパンが $0.8 \times V_{REF}/\text{ゲイン}$ のユニポーラ・モードでデバイスを使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.25 \times V_{REF}/\text{ゲイン}$ です。必要なスパンが $V_{REF}/\text{ゲイン}$ のユニポーラ・モードでデバイスを使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをユニポーラ・モードで使用し、 $0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は $0.85 \times V_{REF}/\text{ゲイン}$ です。

必要なスパンが $\pm 0.4 \times V_{REF}/\text{ゲイン}$ のバイポーラ・モードでデバイスを使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-0.65 \times V_{REF}/\text{ゲイン} \sim +0.65 \times V_{REF}/\text{ゲイン}$ です。必要なスパンが $\pm V_{REF}/\text{ゲイン}$ のバイポーラ・モードでデバイスを使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-0.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをバイポーラ・モードで使用し、 $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ です。

デジタル・フィルタ

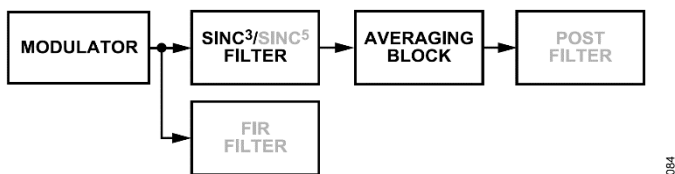
AD4170-4は、デジタル・フィルタに関して優れた柔軟性を発揮します。このデバイスには、FIRフィルタと共に、いくつかのsincフィルタ・オプションがあります。sincフィルタは、DC入力、低遅延が必要な設計、マルチプレクスのアプリケーションに適しています。これらのフィルタは、シーケンサを用いる場合に選択でき、50Hzと60Hzの同時除去ができるようにプログラムできます。

FILTERレジスタのFILTER_TYPEビットで、様々なsincフィルタのタイプを選択します。選択したsincフィルタ・オプションは、FILTER_FSレジスタの値と共に、ODR、セトリング時間、50Hzおよび60Hz除去に影響を与えます。以降のセクションでは、各sincフィルタ・タイプについて説明し、各フィルタ・タイプで使用できるODRを示します。フィルタ応答とセトリング時間、および50Hzと60Hzの除去についても説明します。

FIRフィルタはAC入力に適しています。FIRフィルタには、低通過帯域リップル、迅速なロールオフ、良好な阻止帯域減衰という特長があります。そのため、AC入力に最適な選択肢です。FIRフィルタは長いセトリング時間を伴います。そのため、FIRフィルタによるマルチプレクサ・チョッピング（MUX_CHOPPINGビットを使用）は、AD4170-4ではサポートしていません。FIRフィルタを用いる場合、1つのチャンネルのみをイネーブルできます。複数のチャンネルがイネーブルされている場合、AD4170-4は、シーケンスの最初にイネーブルされたチャンネルについてのみ動作します。FIRフィルタは、ADC_CTRLレジスタのMODEビットを使用して選択します。

sinc⁵ + 平均化フィルタ

AD4170-4のパワーアップ時には、デフォルトでsinc⁵ + 平均化フィルタが選択されます。セトリング時間は、ODRが低い場合にはおよそ1/ODRですが、ODRが高い場合には5/ODRに増加します。そのため、1つのチャンネルで変換を行う場合、または低ODR時にいくつかのチャンネルで変換を行う場合、変換時間はほぼ一定です。このフィルタは、ODRの全範囲にわたって優れたノイズ性能を発揮します。図81において、灰色で示しているブロックは使用しません。

図81. sinc⁵ + 平均化フィルタ

sinc⁵ + 平均化フィルタは、FILTERレジスタのFILTER_TYPEビットを使用してイネーブルします。このフィルタを用いる場合、平均化フィルタはsinc⁵フィルタの後に置かれます。sinc⁵フィルタは125kSPSの一定ODRで動作します。FILTER_FSレジスタに書込まれた値は、（平均化ブロックで）実行する平均処理の量を示します。平均化は(FILTER_FS[15:0]/4)です。FILTER_FSの値は、4～65532の範囲で、増加ステップ・サイズは4です（16ビット・ワードの2LSBを0に設定する必要があります）。そのため、FILTER_FSに許される値は、4、8、12、16、20・・・65532です。FILTER_FS = 4では、平均化は1となり、sinc⁵フィルタのみが用いられ、ODRは125kSPSとなります。FILTER_FSの値を増加させると、平均化ブロックが用いられます。

出力データ・レートおよびセトリング時間、sinc⁵ + 平均化フィルタ

1つのチャンネルでの連続変換時の出力データ・レートは、次のようになります。

$$f_{ADC} = f_{CLK} / (128 \times Avg) \quad (6)$$

ここで、

f_{ADC} はODR。

f_{CLK} は、メイン・クロック周波数/クロック分周、ここでクロック分周はCLOCK_CTRLレジスタのCLOCKDIVビットの値です。

$Avg = FILTER_FS[15:0]/4$ 。FILTER_FS[15:0]は、FILTER_FSレジスタのFILTER_FS[15:0]ビットの10進表示値です。

チャンネルをユーザが手動で選択した場合、最初の変換に追加遅延が発生します。必要な時間（セトリング時間）は、次のようになります。

$$t_{SETTLE} = ((4 + Avg) \times 128 + PT) / f_{CLK} \quad (7)$$

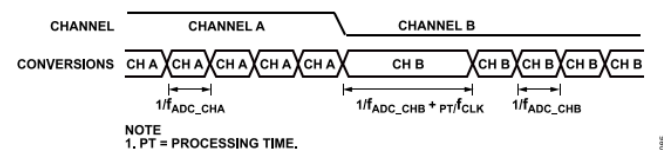
ここで、PT = 処理時間 = 96（FS = 4）、98（その他の全FS値）

表34に、FILTER_FS[15:0]の設定例および対応するODRとセトリング時間を示します。

表34. ODRおよび対応するセトリング時間の例（sinc⁵ + 平均化フィルタ、16MHzのクロック）

FILTER_FS[15:0]	First Notch (Hz)	ODR (SPS)	Settling Time (ms)
8332	60	60	16.7
10,000	50	50	20.038
4	125,000	125,000	0.046

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング時間の間に、チャンネル変更後の最初の変換結果を生成できます。このチャンネルでの後続の変換は $1/f_{ADC}$ で発生します。低ODRの場合、セトリング時間と $1/f_{ADC}$ の値は非常に近いものになります。

図82. sinc⁵ + 平均化フィルタ（FILTER_FS ≥ 20）

デバイスが1つのチャンネルで変換を実行していて、アナログ入力でステップ変化が発生した場合、ADCは変化を検出せず、変換結果の出力を継続します。ステップ変化が変換と同期されている場合は、FILTER_FS ≥ 20であれば、中間の変換結果が1つADCから出力されます（図83を参照）。FILTER_FS = 4の場合は、フィルタはsinc⁵フィルタとして機能します。そのため、4つの中間変換が存在します。ステップ変化が変換プロセスと同期している場合、FILTER_FS ≥ 20であれば最大2つの中間変換が存在し、FILTER_FS = 4であれば5つの中間変換が存在します。

デジタル・フィルタ

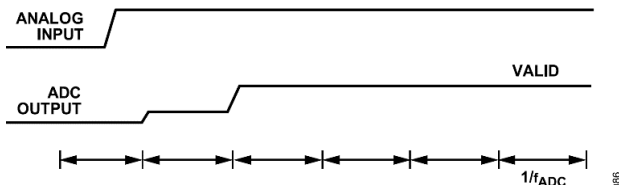


図83. アナログ入力での同期ステップ変化、 sinc^5 + 平均化フィルタ (FILTER_FS > 20)

FS = 8、12、16の場合の中間変換の数を表35に示します。

表35. アナログ入力でのステップ変化

FILTER_FS[15:0]	Intermediate Conversions Synchronous	Intermediate Conversions Asynchronous
16	1 to 2	2
12	2	2 to 3
8	2 to 3	3

シーケンサ

出力データ・レートおよびセトリング時間、 sinc^5 + 平均化フィルタのセクションの説明は、チャンネルを手動で切り替える場合や動作モードを変更する場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルされた全てのチャンネルを自動的にシーケンスします。この場合、シーケンスの最初のチャンネルの最初の変換は、表34に示した全セトリング時間を使用します。後続の全ての変換では、チャンネルの最初の変換に必要な時間はフィルタのセトリング時間です (PT = 0)。複数の変換結果が1つのチャンネルから読み出される場合 (REPEAT > 1)、選択されたチャンネルの2番目の変換およびそれ以降の変換に要する時間は、 $1/f_{\text{ADC}}$ です。

50Hzおよび60Hz除去、 sinc^5 + 平均化フィルタ

図84は、FS[15:0]を10,000にセットした場合の周波数応答を示しています。表34に対応するODRを示します。 sinc^5 フィルタは、最初のノッチを次の周波数に配置します。

$$f_{\text{NOTCH}} = f_{\text{CLK}}/128 \quad (8)$$

平均化ブロックは、ノッチを $f_{\text{NOTCH}}/\text{Avg}$ (Avg = Filter_FS/4) に配置します。また、ノッチはこの周波数の整数倍の位置にも配置されます。そのため、FS[15:0]が10,000に設定されている場合、ノッチは sinc^5 フィルタにより125,000Hzに配置され、平均化により50Hzと50Hzの整数倍の位置に配置されます。

50Hzのノッチは1次ノッチです。そのため、ノッチの幅は広くありません。これは、安定したメイン・クロックであれば、正確に50Hzでの除去が良好であることを意味します。ただし、50Hz \pm 0.5Hzの帯域では、除去比が大幅に低下します。50Hz \pm 0.5Hzでの除去比は、クロックが安定していると仮定して、39.9dB (最小値) です。そのため、最大限の50Hz除去が必要であれば、 sinc^5 + 平均化フィルタを用いる場合、優れたメイン・クロック源を使用することを推奨します。

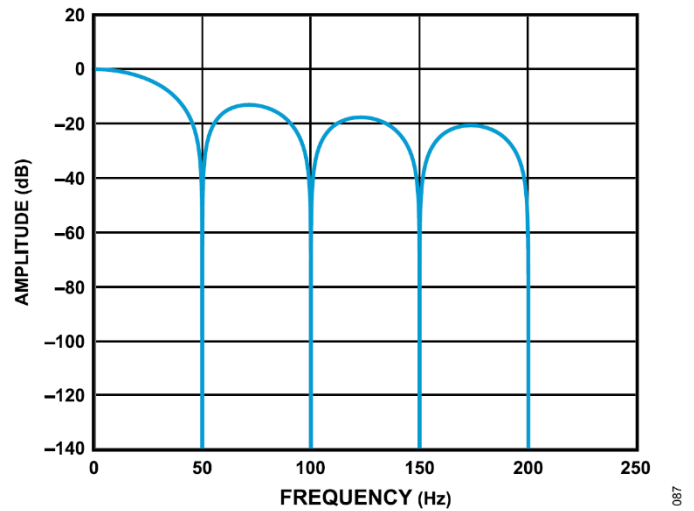


図84. 50Hzの除去

図85は、FILTER_FS[15:0]を8332にセットした場合のフィルタ応答を示しています。この場合、ノッチは60Hzと60Hzの整数倍の位置に配置されます。60Hz \pm 0.5Hzでの除去比は41.3dB (最小値) です。

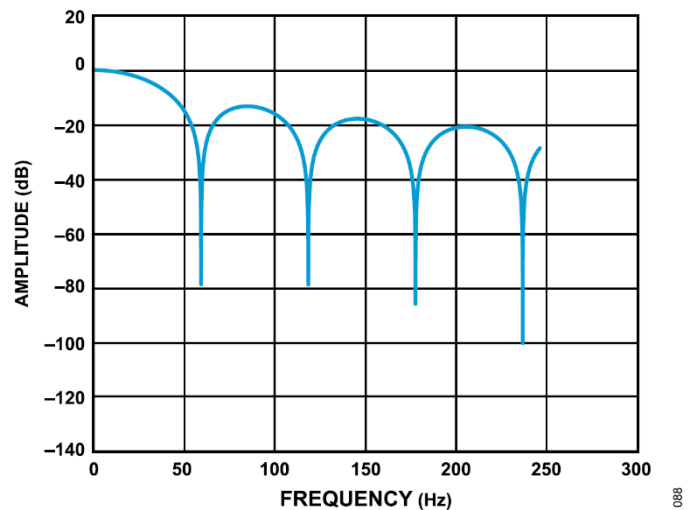


図85. 60Hzの除去

50Hz/60Hz同時除去は、FILTER_FS[15:0]を50,000に設定することで実現できます。ノッチは10Hzと10Hzの倍数で生じるため、50Hzと60Hzの同時除去が可能になります。50Hz \pm 0.5Hzおよび60Hz \pm 0.5Hzでの除去比は39.9dB (代表値) です。

デジタル・フィルタ

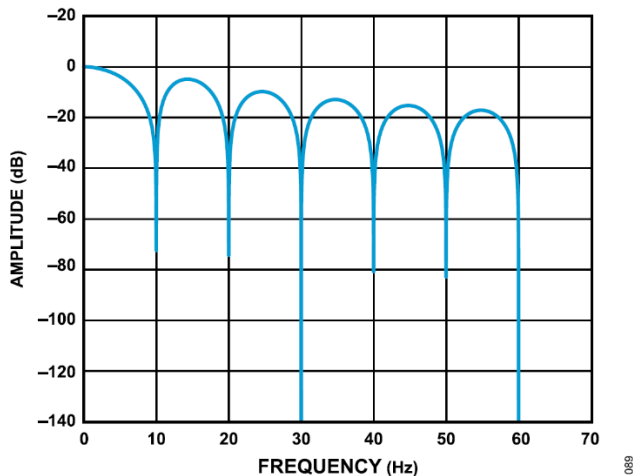
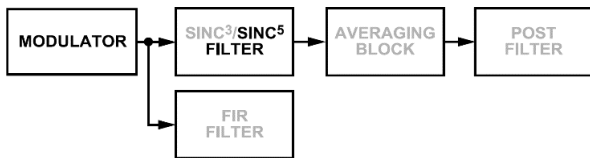


図86. 50Hzと60Hzの同時除去

sinc⁵フィルタ

このフィルタは、FILTERレジスタのFILTER_TYPEビットを使用して選択します。このフィルタは高ODR、つまり、1,953SPS～500,000SPSのODRに対応します。このフィルタは高いODRの場合に有用です。高次のsincフィルタはsinc³フィルタに比べ高周波数ノイズを抑え、S/N比の向上とピークtoピーク分解能の改善をもたらすためです。このフィルタは、優れたノイズ性能と中程度のセトリング時間を備えています。このフィルタ・オプションは50Hzおよび60Hz除去には対応していない点に注意してください。図87において、灰色で示しているブロックは使用しません。

図87. sinc⁵フィルタsinc⁵の出力データ・レートおよびセトリング時間

ODR（ADCで連続変換を実行しているときに1つのチャンネルで可能な変換レート）は次のようになります。

$$f_{\text{ADC}} = f_{\text{CLK}} / (32 \times \text{Filter_FS}[8:0]) \quad (9)$$

ここで、

f_{ADC} はODR。

f_{CLK} は、メイン・クロック周波数/クロック分周、ここでクロック分周はCLOCK_CTRLレジスタのCLOCKDIVビットの値です。Filter_FS[8:0]は、FILTERレジスタのFILTER_FS[8:0]ビットの10進表示値。FILTER_FS[8:0]は、1、2、4、8、12、16、20、24…256の値に設定できます。FILTER_FSの値が2より大きい場合は、16ビット・ワードの2LSBを0に設定する必要があります。

チャンネルをユーザが手動で選択した場合、または、動作モードの変更があった場合、最初の変換に追加遅延が発生します。sinc⁵フィルタを用いる場合に必要時間（セトリング時間）は次のようになります。

$$t_{\text{SETTLE}} = (5 \times 32 \times \text{Filter_FS}[8:0] + PT) / f_{\text{CLK}} \quad (10)$$

ここで、

PT = 以下に等しい処理時間。

Filter_FS[8:0] = 1の場合：98（これには、処理時間とCHANNEL_SETUPnレジスタのDELAYビットを1に設定した場合に相当する遅延が含まれます）。

Filter_FS[8:0] = 2の場合：114（これには、処理時間とCHANNEL_SETUPnレジスタのDELAYビットを1に設定した場合に相当する遅延が含まれます）。

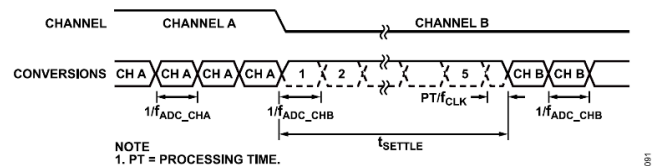
Filter_FS[8:0] > 2の場合：96（内部ロジックは処理時間を超える余分な遅延を追加しません）。

表36に、FILTER_FS[8:0]の設定および対応するODRとセトリング時間の例を示します。

表36. ODRおよび対応するセトリング時間の例（sinc⁵フィルタ、16MHzのクロック）

FILTER_FS[15:0]	ODR (SPS)	Settling Time (ms)
256	1953.125	2.566
4	125,000	0.046
2	250,000	0.027
1	500,000	0.016

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング時間全体を使用すれば、チャンネル変更後の最初の変換結果を生成できます（図88を参照）。このチャンネルでの後続の変換は $1/f_{\text{ADC}}$ で発生します。

図88. sinc⁵のチャンネル変更

1つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADCはアナログ入力の変化を検出しません。このため、プログラムされたODRで変換結果の出力を継続します。ただし、出力データにアナログ入力が正確に反映されるのは、ステップ変化後少なくとも5回の変換を行った後です。ADCが変換を処理しているときにステップ変化が発生した場合、ADCはステップ変化後に変換を6回実行して完全にセトリングされた結果を生成します。

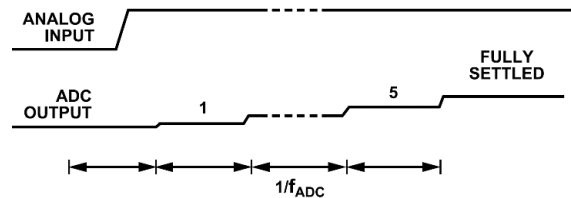


図89. アナログ入力での非同期ステップ変化

シーケンサ

sinc⁵の出力データ・レートおよびセトリング時間のセクションの説明は、デバイスに書き込みを行ってチャンネルを変更する場合など、チャンネルを手動で切り替える場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされた全てのチャンネル

デジタル・フィルタ

ルを自動的にシーケンスします。

この場合、シーケンスの最初のチャンネルの最初の変換は、表36に示した全セトリング時間を使用します。その後の全ての変換では、チャンネルの最初の変換に必要な時間は、FILTER_FS > 2の場合、フィルタのセトリング時間です (PT = 0)。

Filter_FS[8:0] = 1または2の場合は、CHANNEL_SETUPnレジスタのDELAYビットを1に設定した場合に相当する時間が、フィルタ・セトリング時間に加えて許容されます。そのため、変換時間はt_{SETTLE}に等しくなりますが、PTは64に減少します。

シーケンサを使用していてREPEATが1より大きい場合は、選択されたチャンネルの2番目の変換およびそれ以降の変換に要する時間は、1/f_{ADC}です。

sinc⁵の50Hzと60Hzの除去

sinc⁵フィルタは50Hzと60Hzの除去をサポートしません。このADCにおいては、このフィルタは、より高いODRでのみ用いることができるためです。

sinc³フィルタ

AD4170-4にはsinc³フィルタも使用できます。フィルタは、FILTERレジスタのFILTER_TYPEビットを使用して選択します。このフィルタは、優れたノイズ性能、中程度のセトリング時間、優れた50Hz/60Hz (±1Hz) 除去比を備えています。図90において、灰色で示しているブロックは使用しません。



図90. sinc³フィルタ

sinc³の出力データ・レートおよびセトリング時間

ODR (ADCで連続変換を実行しているときに1つのチャンネルで可能な変換レート) は次のようになります。

$$f_{\text{ADC}} = f_{\text{CLK}} / (32 \times \text{Filter_FS}[15:0]) \quad (11)$$

ここで、

f_{ADC} はODR。

f_{CLK} は、メイン・クロック周波数/クロック分周、ここでクロック分周はCLOCK_CTRLレジスタのCLOCKDIVビットの値です。

Filter_FS[15:0]は、FILTERレジスタのFILTER_FS[15:0]ビットの10進表示値。FILTER_FS[15:0]の値は4、8、12、16、20...65532のいずれかとすることができます (16ビット・ワードの2LSBを0に設定する必要があります)。

ODRは7.6SPS~125,000SPSに設定できます。

sinc³フィルタを用いた場合のセトリング時間は次のようになります。

$$t_{\text{SETTLE}} = (3 \times 32 \times \text{Filter_FS}[15:0] + \text{PT}) / f_{\text{CLK}} \quad (12)$$

ここでPT = 処理時間 = 92。

表37に、FILTER_FS[15:0]の設定および対応するODRとセトリング時間の例を示します。

表37. ODRおよび対応するセトリング時間の例 (sinc³フィルタ、16MHzのクロック)

FILTER_FS[15:0]	ODR (SPS)	Settling Time (ms)
8332	60	50
10,000	50	60.01
4	125,000	0.03

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング時間全体を使用すれば、チャンネル変更後の最初の変換結果を生成できます (図91を参照)。このチャンネルでの後続の変換は1/f_{ADC}で発生します。

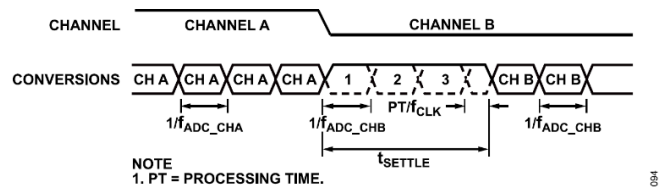


図91. sinc³のチャンネル変更

1つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADCはアナログ入力の変化を検出しません。このため、プログラムされたODRで変換結果の出力を継続します。ただし、出力データにアナログ入力が正確に反映されるのは、ステップ変化後少なくとも3回の変換を行った後です。ADCが変換を処理しているときにステップ変化が発生した場合、ADCはステップ変化後に変換を4回実行して完全にセトリングされた結果を生成します。

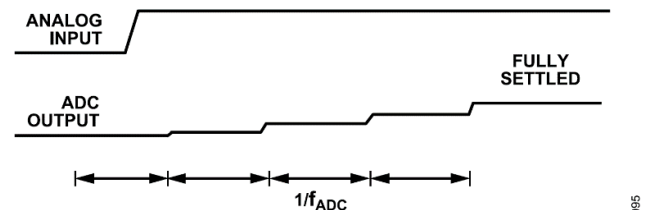


図92. アナログ入力での非同期ステップ変化

シーケンサ

sinc³の出力データ・レートおよびセトリング時間のセクションの説明は、チャンネルを手動で切り替える場合やモードを変更する場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされた全てのチャンネルを自動的にシーケンスします。この場合、シーケンスの最初のチャンネルの最初の変換は、表37に示した全セトリング時間を使用します。後続の全ての変換では、チャンネルの最初の変換に必要な時間はフィルタのセトリング時間です (PT = 0)。

シーケンサを使用していてREPEATが1より大きい場合は、選択されたチャンネルの2番目の変換およびそれ以降の変換に要する時間は、1/f_{ADC}です。

デジタル・フィルタ

sinc³の50Hzと60Hzの除去

図93に、ODRを50SPSに設定した場合のsinc³フィルタの周波数応答を示します。安定したメイン・クロックの場合、sinc³フィルタは50Hz ± 1Hzで95dB（最小値）の除去比を実現します。

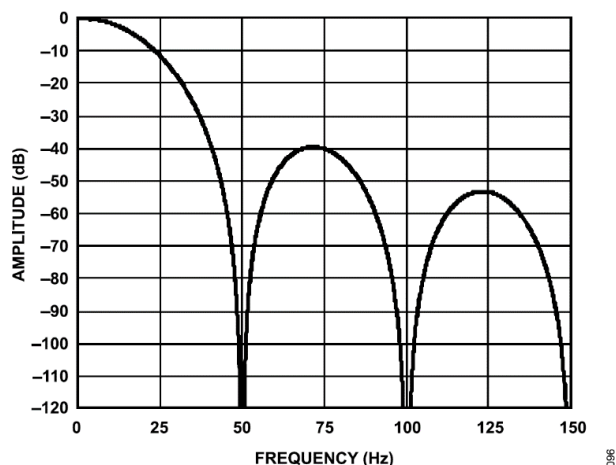


図93. sinc³フィルタの応答（50SPSのODR）

図94に、ODRを60SPSに設定した場合のsinc³フィルタの周波数応答を示します。安定したメイン・クロックの場合、sinc³フィルタの60Hz ± 1Hzでの除去比は95dB（最小値）です。

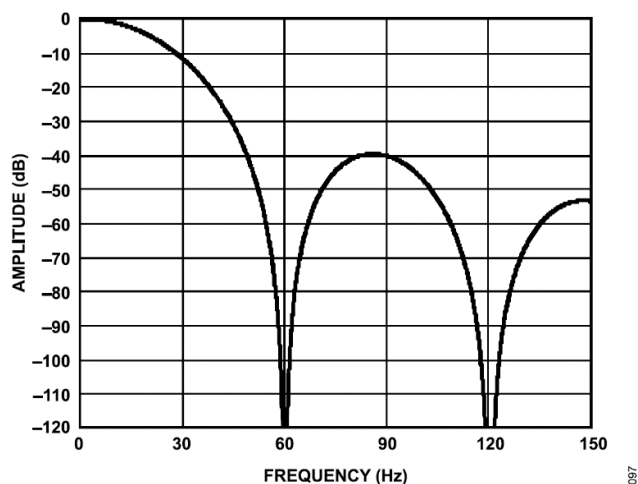


図94. sinc³フィルタの応答（60SPSのODR）

出力データ・レートが10SPSの場合、50Hzと60Hzの同時除去ができます。sinc³フィルタの50Hz ± 1Hzおよび60Hz ± 1Hzでの除去比は100dB（最小値）です（図95を参照）。

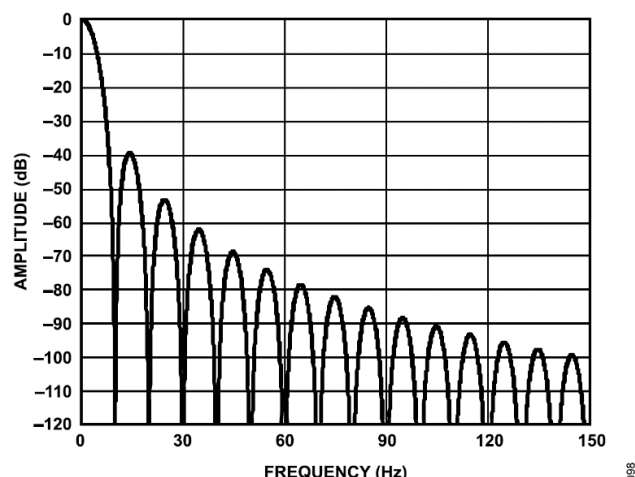


図95. sinc³フィルタの応答（10SPSのODR）

ポスト・フィルタ

40ms、50ms、60msのポスト・フィルタは50Hzと60Hzを同時に除去するので、セトリング時間と除去比のトレード・オフが可能です。これらのフィルタは、25SPSまで動作可能で、50Hz ± 1Hzおよび60Hz ± 1Hzにおける干渉信号を最大89dB除去できます。これらのフィルタは、sinc⁵ + 平均化フィルタの出力をポスト・フィルタ処理することで動作します。sinc³またはsinc⁵ + 平均化フィルタをポスト・フィルタの前段に使用することができる点に注意してください。ただし、どちらのオプションもノイズ性能は同様ですが、sinc⁵ + 平均化フィルタの方がセトリング時間が短いため、sinc⁵ + 平均化フィルタを推奨します。50Hzおよび60Hz除去を行うには、sincフィルタのODRは1200SPSに近い値であることが必要です（メイン・クロックに16MHzを用いる場合、FILTER_FS = 416）。その他のFILTER_FS値でもフィルタを使用できますが、50Hzおよび60Hzでのノッチはなくなります。16平均のポスト・フィルタ・オプションを用いた場合、セトリング時間は最初のフィルタ・ノッチの逆数に近い値となります。そのため、フィルタは、1/50Hzおよび1/60Hzに近いODRの場合に50Hzおよび60Hzを除去できます。FILTER_FSレジスタのFILTER_FSビットを用いると、ノッチの位置を変えることができます。16平均オプションの前にsinc⁵ + 平均化フィルタを用いることを推奨します。sinc³フィルタよりセトリング時間が短く、性能はどちらのオプションでも同じであるためです。ODRが1/50Hzまたは1/60Hzの場合、sinc⁵ + 平均化フィルタ自体も50Hzおよび60Hz除去をサポートする点に注意してください。使用するポスト・フィルタは、FILTER_TYPEレジスタのPOST_FILTER_SELビットを使用して選択します。図96において、灰色で示しているブロックは使用しません。

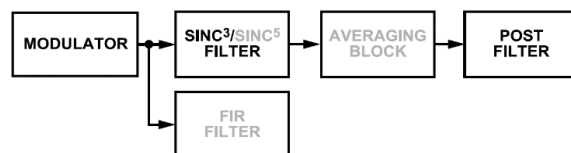


図96. ポスト・フィルタ

出力データ・レートおよび対応するセトリング時間と除去比を表38と表39に示します。

1つのチャンネルで連続変換を行っている場合、最初の変換にはt_{SETTLE}の時間が必要です。その後の変換は1/f_{ADC}で発生します。

デジタル・フィルタ

(手動またはシーケンサを使用して) 複数のチャンネルがイネーブルされている場合、イネーブルされた各チャンネルで最初の有効な変換結果を生成するには、セトリング時間が必要です。チャンネルがイネーブルされているときに複数の変換が行われている場合は、2番目の変換とその後の変換が $1/f_{ADC}$ で発生します。

FILTER_FSに許される値は4、8、12・・・1024のいずれかです(2LSBを0に設定する必要があります)。

表38. AD4170-4のポスト・フィルタ : ODR、セトリング時間 (t_{SETTLE})、除去比

Conversion Time (ms)	ODR (SPS)	f_{3dB} (Hz)	t_{SETTLE} (ms)	Simultaneous Rejection of 50 Hz \pm 1 Hz and 60 Hz \pm 1 Hz (dB) ¹
40	25.04	15.14	39.98	62
50	20.03	13.4	49.96	85
60	16.69	12.82	59.94	89

1 安定したメイン・クロックを使用。

表39. AD4170-4の16平均ポスト・フィルタ : ODR、セトリング時間 (t_{SETTLE})、除去比、 sinc^5 + 平均化フィルタ

FILTER_FS	ODR (SPS)	f_{3dB} (Hz)	t_{SETTLE} (ms)	Rejection of 50 Hz \pm 0.5 Hz and 60 Hz \pm 0.5 Hz ¹
520	60.1	26.57	16.68	40 (60 Hz only)
624	50.1	22.14	20.01	38 (50 Hz only)

1 安定したメイン・クロックを使用。

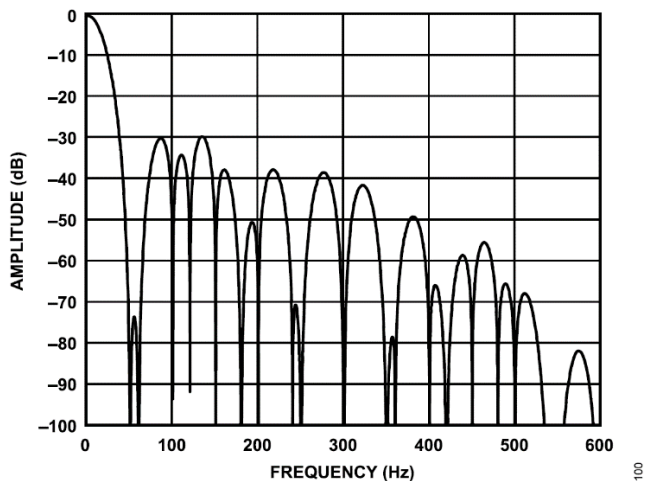


図97. DC～600Hz、20SPSのODR、50msの変換時間のポスト・フィルタ

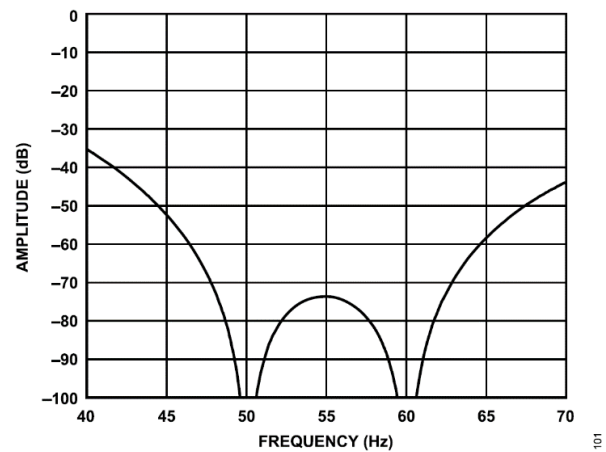


図98. 40Hz～70Hzの拡大図、20SPSのODR、50msの変換時間のポスト・フィルタ

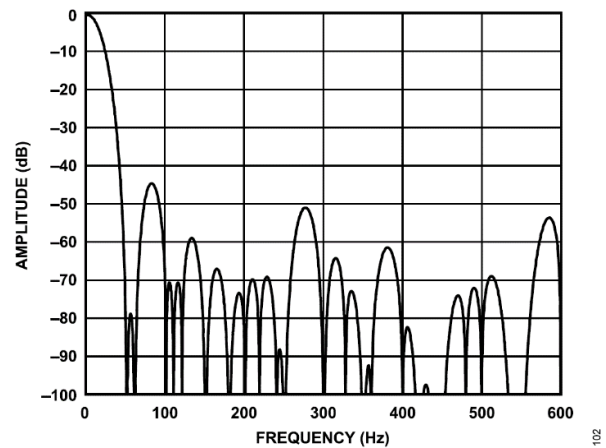


図99. DC～600Hz、16.667SPSのODR、60msの変換時間のポスト・フィルタ

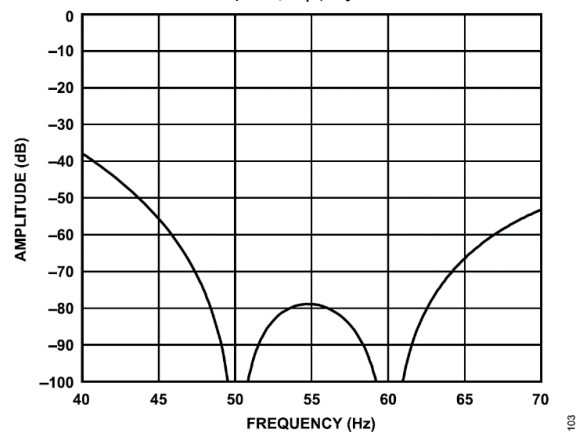


図100. 40Hz～70Hzの拡大図、20SPSのODR、60msの変換時間のポスト・フィルタ

FIRフィルタ

低通過帯域リップル、急峻なロールオフ、優れた阻止帯域減衰が必要なACアプリケーションには、FIRフィルタを推奨します。優れたAC性能を必要とするアプリケーションは、マルチプレクス・チャンネルではなく、シングル・チャンネルです。そのため、FIRフィルタは、シーケンサと併用することはできません。FIRフ

デジタル・フィルタ

フィルタを選択する場合、1つのチャンネルのみがイネーブルできます。複数のチャンネルがイネーブルされている場合、AD4170-4は、イネーブルされたチャンネルのうち最小番号のものを選択します。デフォルト・フィルタと共に、ユーザは独自のフィルタをプログラムできます。AD4170-4は、奇数個または偶数個の係数を持つ対称または反対称のFIRフィルタに対応しています。非対称係数を持つユーザ定義FIRフィルタにも対応します。FIRフィルタは、ADC_CTRLレジスタのMODEビットを使用してイネーブルします。FIRフィルタのタイプは、FIR_CONTROLレジスタのFIR_MODEビットを使用して選択します。FIRフィルタを使用する場合には、FILTERレジスタのFILTER_TYPEビットは無関係である点に注意してください。FILTER_FSビットでデシメーション係数を選択します。

デフォルトのFIRフィルタ

デフォルトのFIRフィルタの通過帯域リップルは低く、DC $\sim 0.4 \times \text{ODR}$ で $\pm 0.005\text{dB}$ 以内のリップルです。このフィルタは、 $0.499 \times \text{ODR}$ （ナイキスト）での完全な減衰により、最高のアンチエイリアス保護を得られます。阻止帯域減衰は、ナイキスト $\sim f_{\text{CHOP}}$ で105dBです。アンチエイリアシングと f_{CHOP} エイリアシングの詳細については、[アンチエイリアシング・フィルタ処理](#)のセクションを参照してください。

FIRフィルタは、群遅延が約 $34/\text{ODR}$ の非常に高次のデジタル・フィルタです。ODR（ADCで連続変換を実行しているときに1つのチャンネルで可能な変換レート）は次のようになります。

$$f_{\text{ADC}} = f_{\text{CLK}} / (32 \times \text{Filter_FS}[8:0]) \quad (13)$$

ここで、

f_{ADC} はODR。

f_{CLK} は、メイン・クロック周波数/クロック分周、ここでクロック分周はCLOCK_CTRLレジスタのCLOCKDIVビットの値です。

Filter_FS[8:0]はFILTERレジスタのFILTER_FS[8:0]ビットに相当する10進数です。FILTER_FS[8:0]の値は、4、8、16…のいずれかに設定できます。これは、4 ~ 128 の範囲で2のべき乗で増加します。

FIRフィルタのセトリング時間は次のようになります。

$$t_{\text{SETTLE}} = 68/f_{\text{ADC}} + \text{処理時間}/f_{\text{CLK}} \quad (14)$$

ここで、処理時間 = 317（FILTER_FS = 4の場合）で、FILTER_FS値が増加するごとに約2倍になります。そのため、FILTER_FS = 16の場合は、処理時間は約 $317 \times 4 = 1268$ となります。

表40に、FILTER_FS[8:0]の設定および対応するODRとセトリング時間の例を示します。

表40. ODRおよび対応するセトリング時間の例（FIRフィルタ、16MHzのクロックを使用）

FILTER_FS[8:0]	ODR (SPS)	Settling Time (ms)
64	7,812.5	8.99
16	31,250	2.25
4	125,000	0.5638

あるチャンネルで変換が始まると、変調器およびフィルタがリセットされます。AD4170-4は、 $(1/f_{\text{ADC}} + \text{処理時間})$ の時間で最初の変換を行います。その後の変換は $1/f_{\text{ADC}}$ で発生します。そのため、AD4170-4は、完全にはセトリングしていない変換を行います。STATUSレジスタのSETTLED_FIRビットは、完全にセトリングした変換が得られるとそれを通知します。

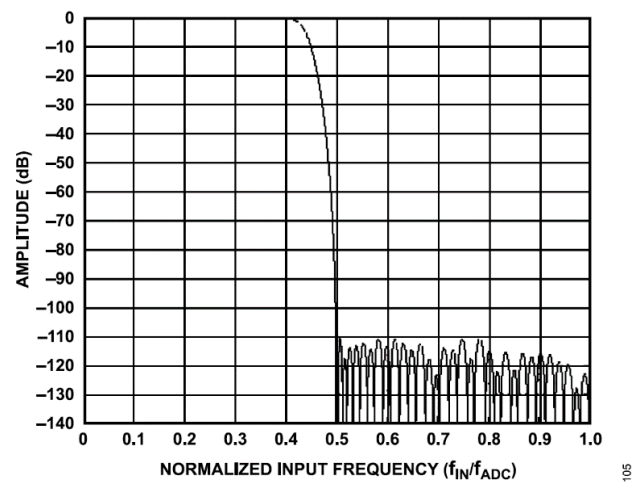


図101. FIRフィルタの周波数応答

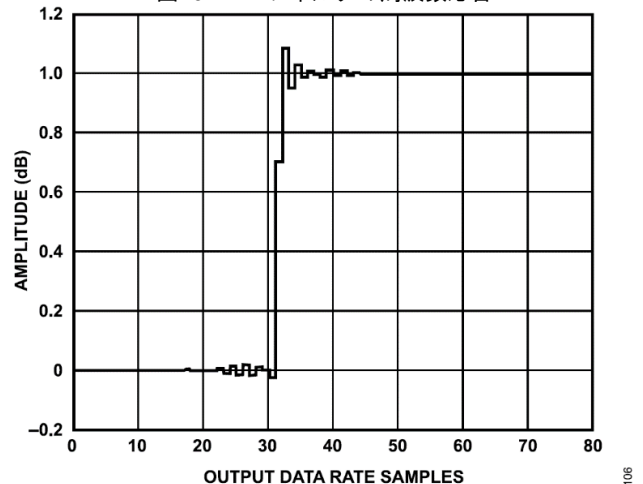


図102. FIRフィルタのステップ応答

ユーザプログラマブルFIRフィルタ

AD4170-4には以下に示す5つのプログラマブルFIRオプションがあります。

- ▶ 奇数個の対称係数のFIR。これは、奇数個の対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 2$ ）。
- ▶ 偶数個の対称係数のFIR。これは、偶数個の対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 1$ ）。

デジタル・フィルタ

- ▶ 奇数個の反対称係数のFIR。これは、奇数個の反対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 2$ ）。
- ▶ 偶数個の反対称係数のFIR。これは、偶数個の反対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 1$ ）。
- ▶ 非対称係数のFIR。これは、非対称係数を持つFIRを選択します（次数 = $\text{FIR_LENGTH} - 1$ ）。このFIRタイプの最大次数は、他のFIRタイプのサイズの約半分です。

FIRフィルタのタイプは、FIR_CONTROLレジスタのFIR_MODEビットを使用して選択します。ADCには最大2セットのFIR係数を保持できます。FIR_CONTROLレジスタのCOEFF_SETビットを用いると、使用する係数セットを選択できます。COEFF_SETビットが0に設定されている場合、0～FIR_LENGTH-1の係数アドレスを使用します。このビットが1に設定されている場合は、72～72 + FIR_LENGTH-1の係数アドレスを使用します。デフォルトのFIRフィルタを用いる場合、COEFF_SETビットは無効です。

FIR_LENGTHビットは、係数の数を設定するために用いられます。最大許容値は72です。

AD4170-4に係数をロードするには、以下の手順を実行します。

1. 係数を書き込むためのアドレスをCOEFF_ADDRESSを用いて選択します。
2. 24ビットの係数（2の補数）をCOEFF_WRITE_DATAレジスタに書き込みます。
3. FIRフィルタの係数の数をFIR_LENGTHビットを用いて設定します。

係数メモリに何らかの値を書き込むと、デフォルトの内部FIRフィルタの正しい動作が無効になる点に注意してください。デフォルトの内部FIRフィルタへのアクセスを回復するにはリセットが必要です。

AD4170-4から係数を読み出すには、以下の手順を実行します。

1. 係数を読み出すためのアドレスをCOEFF_ADDRESSを用いて選択します。
2. COEFF_WR_RD_STBレジスタのCOEFF_RD_STBビットを1に設定します。
3. 24ビットの係数（2の補数）をCOEFF_READ_DATAレジスタから読み出します。

変換が完了すると、COEFF_RD_STBは自動的に0にリセットされます。ODR（ADCで連続変換を実行しているときに1つのチャンネルで可能な変換レート）は次のようになります。

$$f_{\text{ADC}} = f_{\text{CLK}} / (32 \times \text{Filter_FS}[8:0]) \quad (15)$$

ここで、

f_{ADC} はODR。

f_{CLK} は、メイン・クロック周波数/クロック分周、ここでクロック分周はCLOCK_CTRLレジスタのCLOCKDIVビットの値です。

Filter_FS[8:0]は、FILTERレジスタのFILTER_FS[8:0]ビットの10進表示値。FILTER_FS[8:0]の値は、4、8、16…のいずれかに設定できます。これは、4～128の範囲で2のべき乗で増加します。

シーケンサ

FIRフィルタを使用する場合、1つのチャンネルのみがイネーブルできます。したがって、FIRフィルタ使用時はシーケンサは無関係になります。

FIRの50Hzと60Hzの除去

FIRフィルタは50Hzおよび60Hz除去には対応していません。

アンチエイリアシング・フィルタ処理

AD4170-4の変調器は、 f_{MOD} の立上がりエッジと立下がりエッジでサンプリングを行い、 f_{MOD} のレートでデジタル・フィルタにデータを出力します。変調器の周波数応答プロファイルの中には、 f_{MOD} の奇数倍の位置を中心とするゼロが存在しますが、これは f_{MOD} レートとこのレートの奇数倍の位置にある周波数からのフォールドバックがないことを意味します。 f_{MOD} レートの位置にある周波数からのフォールドバックがないという事実によって、AD4170-4の最初の非保護領域は $2 \times f_{\text{MOD}}$ へ移動します。一方で、変調器は f_{MOD} の偶数倍においてはノイズの影響を受けやすくなります。これらの領域では減衰がありません。

更に、AD4170-4は、変調器でチョップ・アンプと同様のチョッピング技術を使用してオフセット、オフセット・ドリフト、および1/fノイズを除去します。チョッピングのレートによっては、目的の帯域幅内に帯域外トーンがエイリアスとして出現することがあります。図103に、AD4170-4で用いられるチョップ周波数 $f_{\text{CHOP}} = f_{\text{MOD}}/8$ における帯域外トーンの除去を示します。

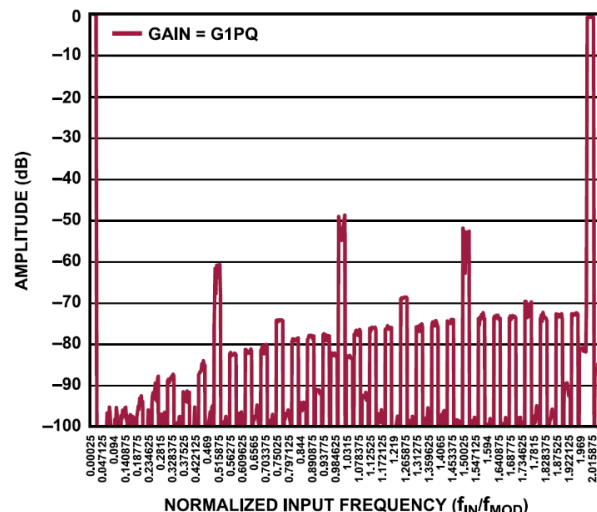


図103. 帯域外トーンの除去（ADCのみ）

PGAもチョッピングを使用します。図104に、PGAがイネーブルされている場合の帯域外トーンの除去を示します。

デジタル・フィルタ

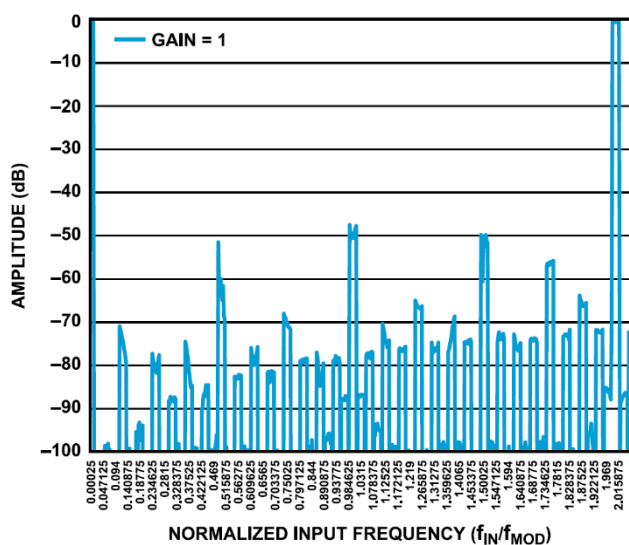


図104. 帯域外トーンの除去 (ADCおよびPGA)

帯域外トーンが目的の帯域幅内にエイリアスとして出現するのを防止するには、アンチエイリアシング・フィルタを用いる必要があります。フィルタはパッシブ（抵抗-コンデンサ）フィルタでも、アクティブ・フィルタでも構いません。用いるフィルタは、入力信号の帯域幅および動作環境に依存します。アクティブ・フィルタに適したアンプは[ADA4945-1](#)です。

デジタル・インターフェース

AD4170-4のデジタル・インターフェースを使用することで、ユーザ設定レジスタへのアクセス、ADC変換の開始、診断テストの実行、変換結果のリード・バックが可能になります。インターフェースは4線式 ($\overline{\text{CS}}$ 、SCLK、SDI、SDO) です。また、 $\overline{\text{CS}}$ をローにハードワイヤー接続しても動作できます。インターフェースは、ほとんどのデジタル信号プロセッサ (DSP) と同様に、QSPITMおよびMICROWIREインターフェース規格に対応しています。読出しと書込みのどちらのSPIトランザクションに対しても、データはSCLKの立上がりエッジでサンプリングされます。全てのSPIトランザクションについて、各バイトの最上位ビット (MSB) が最初にシフトされます。SDOラインは、デフォルトでデータ・レディ信号 ($\overline{\text{RDY}}$) としても機能します。AD4170-4デバイスからデータを読み出せる場合、SDOラインはローになります。あるいは、専用のデータ・レディ信号をDIG_AUX1に出力することもできます。AD4170-4への全ての通信は、その動作が読出しなのか書込みなのか、およびどのレジスタにアクセスするのかを示す命令フェーズで始まります。その後、データ・フェーズが続き、データが (SDIを用いて) ADCに書き込まれるか、あるいは、SDOを用いてADCから読み出されます。

AD4170-4のデジタル・インターフェースのロジック・レベルは、IOVDDの電圧によって設定され、その範囲は1.7V~5.25Vです。

AD4170-4の各ユーザ設定レジスタのアドレスと機能についての詳細な説明は、[内蔵レジスタ・マップ](#)のセクションを参照してください。

ADCの変換モードと変換へのアクセス方法

デフォルトでは、ADCはsinc⁵+平均化フィルタを用いて連続的に変換します (ADC_CTRLレジスタのMODEビットを000bに設定)。MODEビットをb000に設定すると、FIRフィルタを除く全てのフィルタに対する連続変換がサポートされます。イネーブルされている各チャンネルには、専用のデータ・レジスタがあります (ADC_CTRLレジスタのMULTI_DATA_REG_SELビットを0に設定)。DATA_PER_CHANNELnレジスタは、CHANNELnの変換結果を保持します。STATUSレジスタのRDYBビットは、イネーブルされた全てのチャンネルの変換が完了するたびに、ローになります。 $\overline{\text{CS}}$ がローの場合、デフォルトで $\overline{\text{RDY}}$ 信号がSDOに出力されるため、イネーブルされた全てのチャンネルの変換が完了するとSDOラインはローになります。 $\overline{\text{RDY}}$ は、代わりに、DIG_AUX1に出力することもできます。チャンネルごとにデータ・レジスタが使用される場合、STATUSビットが変換結果に自動的に付加されます。各データ・レジスタを読み出すには、次の動作がデータ・レジスタからの読出しであることを示す命令フェーズが必要です。 $\overline{\text{RDY}}$ は、イネーブルされたチャンネルからの変換結果が読み出されると、ハイに戻ります。

イネーブルされたチャンネルは、データ・レジスタを共用することもできます (ADC_CTRLのMULTI_DATA_REG_SELビットを1に設定)。STATUSレジスタのRDYBビットは、変換が完了するたびにローになります。 $\overline{\text{CS}}$ がローになるか、 $\overline{\text{RDY}}$ がDIG_AUX1に出力されると、 $\overline{\text{RDY}}$ 信号もローになります。変換の読出し時には、DATA_24Bレジスタを通じて24ビットの変換結果にアクセスできます。変換結果と共にSTATUSレジスタの内容を読み出すには、DATA_24B_STATUSレジスタを読み出します。また、AD4170-4は、変換結果の16MSBのみを読み出せる16ビット変換読出し機能もサポートしています。16ビットの変換結果を読み出すのに関連するレジスタはDATA_16Bで、変換結果と共にステータ

ス・ビットも読み出す場合のレジスタはDATA_16B_STATUSです。データ・レジスタから変換結果を読み出すと、 $\overline{\text{RDY}}$ がハイに移行します。

データ・レジスタが共用されている場合、または、必要に応じてチャンネルごとのデータ・レジスタが用いられている場合、ユーザはデータ・レジスタを読み出す回数を追加できます。ただし、レジスタが更新されることになっている場合は、次の変換の完了時に、データ・レジスタへのアクセスが行われていないようにする必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされると、ADCはイネーブルされたチャンネルを自動的にシーケンス処理します。チャンネルごとのデータ・レジスタが用いられている場合は、イネーブルされたチャンネルごとに1回の変換を行うようデバイスを設定する必要があります (CHANNEL_SETUPレジスタのREPEATビットを0に設定)。イネーブルされたチャンネルが1つのデータ・レジスタを共用している場合は、シーケンスにおいて1つのチャンネルが選択されるごとに、そのチャンネルで複数の変換を実行できます (同じくそのチャンネルのCHANNEL_SETUPレジスタのREPEATビットを使用)。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルは、イネーブルされた最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順に変換されます。該当のデータ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。

FIRフィルタを用いた連続変換 (デフォルトまたはユーザ設定による) は、MODEビットを001bに設定することでイネーブルされます。FIRフィルタが選択されている場合、1つのチャンネルのみを使用できる点に注意してください。複数のチャンネルがイネーブルされている場合、ADCは、イネーブルされたチャンネルのうち番号順が最小のものを選択します。

ADC_CTRLレジスタのMODEビットが100bに設定されている場合、シーケンスが1回実行され、その後ADCはスタンバイ・モードになります。1つのチャンネルのみがイネーブルされている場合は、シングル変換が実行されます。このオプションは、FIRフィルタを除く全てのフィルタで使用できます。

変換をリード・バックする場合に命令フェーズおよびデータ・フェーズを用いる他に、連続読出しおよび連続送信という2つのオプションがあり、変換のリード・バックを簡単に行うことができます。詳細については、[連続読出し](#)のセクションおよび[連続送信](#)のセクションを参照してください。

連続読出し

連続読出しは、ADCからのスループットを最大化できるように設計されています。シフト・レジスタがADCの変換データに簡単にアクセスできるようにするため、レジスタ・マップへのアクセスはできません。

連続読出しをイネーブルするには、ADC_CTRLレジスタのCONT_READビットを用い (01bに設定すると連続読出しがイネーブル)、SPIインターフェースを単純な (二重) シフト・レジスタに切り替えます。このシフト・レジスタは、同時に終了コマンドやソフトウェア・リセットをチェックしている間だけ、ADCの変換結果をシフト・アウトできます。ADCデータの読出し時に命令フェーズは不要です。連続読出しを使用できるのは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合のみです。

デジタル・インターフェース

このインターフェース・オプションは、ADCデータ・レジスタからの読出しアクセスに加え、オプションで付加されたステータス・レジスタやCRCのみをサポートします。このモードでは、変換データは24ビット幅です。 \overline{CS} は読出しの最後にトグルするか、恒久的にローに保持することができます。 \overline{CS} をハイにするとSDOがスリーステートになり、SPIの状態がリセットされます。ADCの読出し後に \overline{CS} がハイに設定されない場合、データのLSBがSDOを駆動し続けます（あるいは、DIG_AUX1の設定によっては \overline{RDY} に戻ります）。

連続読出しを使用する必要があるのは、ADCが連続変換モードでイネーブルされている場合のみです。ソフトウェア・リセットをトリガしないようにするために、連続読出しモード時には、SDIをローまたはハイに保持することが必要です。また、転送のアボートを避けるため、ホストは必要なスループット・レートでデータを読み出せることが必要です。進行中のデータ・リード・バックは、次のADC結果の用意ができるまでに完了しないと、アボートされます。

このモードではSCLKをゲートするために \overline{RDY} が用いられます。新しいADCデータ結果がデータ・レジスタに書き込まれると \overline{RDY} は0に設定され、ADCのデータ読出しが完了すると1に設定されます。AD4170-4は、最初の24SCLK（およびオプションのステータス・ビットとオプションのCRC）にのみ従います。そのため、ADCの各変換結果を読み出すことができるのは1回のみです。 \overline{RDY} が次にローになるまでは、それ以外のSCLKは無視されます。

連続読出しを終了するには、ADCのデータ読出しにおける最初の8SCLKの間に、ADCに0xA5を書き込みます。終了するコマンドを送信した後、変換結果の残りのビットを読み出すことができます。また、リセットを使用して連続読出しを終了することもできます。63個の1と1個の0からなるパターンでデバイスをリセットできます。ただし、レジスタはデフォルト値に設定されます。

連続読出しをイネーブルする前にCRCがイネーブルされている場合（ADC_CTRLレジスタのCONT_READ_STATUS_ENビットを使用）、0xA5のシード値が用いられます。

連続送信

連続送信モードでは、使用可能なデータは、適切な数のデータ・

クロック（DCLK）を伴って自動的に送信されます。ホストは、ADCデータを取得するのに \overline{RDY} からの割込みに応答する必要がないため、ホストのタイミングの負荷が軽減されます。データ・クロックは、デバイスの選択されたメイン・クロックから生成されます（CLOCK_CTRLレジスタのDCLK_DIVIDEビットを通じて1、2、4、8分周のオプションがあります）。連続送信モードを有効にするには、ADC_CONTROLレジスタのCONT_READビットを10bに設定します。連続送信を使用できるのは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合のみです。

連続読出しと同様、連続送信を終了するためにCONT_READビットに書き込むことを除き、レジスタ・マップへのアクセスはできません。連続送信を使用する必要があるのは、ADCが連続変換モードでイネーブルされている場合のみです。ソフトウェア・リセットをトリガしないようにするために、このモードの使用時には、SDIをローに保持することが必要です。SDOラインは専用のADCデータ出力になります。 \overline{RDY} 信号を出力するにはDIG_AUX1を用い、DIG_AUX2はデータ・クロック（DCLK）を出力するよう設定します。

このモードでは、CRCを含むか含まないかに応じて、32ビットまたは64ビットのデータ・フレームを用います（ADC_CTRLレジスタのCONT_READ_STATUS_ENビットを用いてイネーブル）。データ・フレームには、0x00のパディング・バイトを含めることができます（表41および表42を参照）。そのため、CRCがディセーブルの場合、32ビットのデータ・フレームのみが転送されます。

その他の動作モードに従い、新しいADC結果が出力されると \overline{RDY} （DIG_AUX1に出力）はローになり、ADCのデータ（+ステータス/CRC）転送の最後のビットでハイに戻ります。これにより連続送信フレームが終了します。選択した出力フォーマットに応じて、32個または64個のDCLKは、 \overline{RDY} がローになった後に出力されます。各ADCの結果は1回のみ送信されます。DCLKはデータ送信の間、ハイのアイドル状態になります。データ送信後に \overline{CS} がハイにならない場合、最後のスロットのLSBがSDOを駆動し続けます。送信時に \overline{CS} をハイにすると送信がアボートされる点に注意してください。 \overline{RDY} がローのときに \overline{CS} がハイになると送信は行われません。

表41. データ送信フォーマット（CRCをディセーブルした場合の32ビット・データ・フレーム、または64ビット・データ・フレームの前半の32ビット）

Byte 1	Byte 2	Byte 3	Byte 4
STATUS or 0x00	ADC_DATA[23:16]	ADC_DATA[15:8]	ADC_DATA[7:0]

表42. データ送信フォーマット（CRCをイネーブルした場合の64ビット・データ・フレームの後半の32ビット）

Byte 5	Byte 6	Byte 7	Byte 8
STATUS	0x00	0x00	CRC

デジタル・インターフェース

SPIフレーム同期

SPIトランザクション時、 $\overline{\text{CS}}$ ピンを使用してデータをフレーム化できます。 $\overline{\text{CS}}$ の立下がりエッジによってデジタル・インターフェースがイネーブルされ、SPIトランザクションが開始します。AD4170-4への書き込みモード時、SDIのデータは、SCLKの立上がりエッジでラッチされます。読出しトランザクションが始まると、SCLKの立下がりエッジでSDOのデータがシフト・アウトされます。各SPIトランザクションには、**命令フェーズ**のセクションおよび**データ・フェーズ**のセクションで詳細を説明するように、少なくとも1つの命令フェーズとデータ・フェーズがあります。全てのSPIトランザクションに対し、データは、レジスタ・バイト・レベルで、最上位ビット (MSB) ファーストで揃えられます。SPIトランザクション時に $\overline{\text{CS}}$ をハイにすると、データ転送が終了し、デジタル・インターフェースがディスエーブルされます。

AD4170-4の基本的なSPI書き込みフレームのステージを図105に、SPI読出しフレームのステージを図106に示します。 $\overline{\text{CS}}$ は恒久的にローに接続できます。プロセッサとAD4170-4の間でのSPIの同期を可能にするために、命令フェーズのMSBは常に0です。そのため、SDIがデータ転送中にアイドル・ハイになっている場合、AD4170-4はいずれのSCLKパルスも無視します。SDIの0は、命令フェーズの開始を示します。

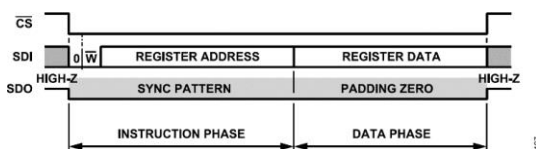


図105. 基本的なSPI書き込みフレーム (CRCエラー検出をディスエーブル)

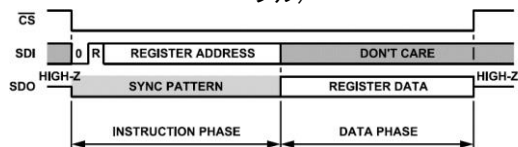


図106. 基本的なSPI読出しフレーム (CRCエラー検出をディスエーブル)

図2および図3に、SPIインターフェースを介したレジスタ読出し動作と書き込み動作の詳細なタイミング図を示します (タイミング仕様については、**タイミング特性**のセクションを参照してください)。

命令フェーズ

各レジスタ・アクセスは命令フェーズから始まります。図105と図106に、 $\overline{\text{CS}}$ がマイクロプロセッサにより制御される場合の基本的な読出し動作と書き込み動作を示します。 $\overline{\text{CS}}$ はローにハードワイヤ接続することもできます。

命令フェーズは、0とそれに続く読出し/書き込みビット (R/W)、およびそれに続く14ビットのレジスタ・アドレスで構成されています。R/Wをローに設定すると書き込み命令が始まり (図105を参照)、R/Wをハイに設定すると読出し命令が始まります (図106を参照)。レジスタ・アドレス・ワードはアクセス先のレジスタ・アドレスを指定します。レジスタ・アドレスはデフォルトで14ビット長 (14ビット・アドレス指定) です。14ビットのアドレス指定で、メモリ・マップ全体へのアクセスが可能です。アドレス指定メモリの位置がアドレス0x40より下位の場合、INTERFACE_CONFIG_BレジスタのADDR_MODEビットを用いて

アドレス指定を6ビットに変更できます (6ビット・アドレス指定)。6ビット・アドレス指定により、アドレス0x3F (10進数で63) までのメモリ場所にアクセスする場合に命令フェーズを短縮できます。これより上では14ビット・アドレス指定を選択する必要があります。同期が失われたかどうかをプロセッサが判定できるように、命令フェーズの間、同期パターンがSDOに出力されます。16ビット命令を使用する場合、このパターンは0x2645です。命令フェーズが8ビットであれば、同期パターンは、0x26です。パターンのMSBをマイクロプロセッサが確実にキャプチャされるとは限らないためというだけの理由で、マイクロプロセッサは、ビット[14:0] (16ビット命令) またはビット[6:0] (8ビット命令) をチェックする必要があります。この機能は、SEND_STATUSビットを用いて無効化できる点に注意してください。その場合、SDOには0が出力されます。

データ・フェーズ

データ・フェーズは命令フェーズの直後に置かれます (図106および図106を参照)。データ・フェーズには、選択したレジスタに応じて、1個のシングルバイト・レジスタ用、または1個のマルチバイト・レジスタ用のデータが含まれます。

アドレス指定されたレジスタの内容は、レジスタ・データの最後のビットをシフト・インするSCLKの立上がりエッジの直後に更新されます。シングルバイト・レジスタでは、この最後のビットは、データ・フェーズの8番目のSCLK立上がりエッジです。マルチバイト・レジスタのデータが更新されるタイミングの詳細については、**マルチバイト・レジスタ**のセクションを参照してください。

確実に更新が行われるよう、データはAD4170-4の設定レジスタにフル・バイトで書き込む必要があります。SPI書き込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、INTERFACE_STATUS_AレジスタのCLOCK_COUNT_ERRビットがセットされます。

CRCがイネーブルされている場合、AD4170-4のレジスタは、有効なCRCをデバイスが受信した場合にのみ更新されます。CRCが無効または供給されない場合、データ・レジスタは更新されません。CRC機能の詳細については、**チェックサム保護**のセクションを参照してください。

マルチバイト・レジスタ

AD4170-4の設定レジスタの一部は、隣接するアドレスに格納された複数バイトのデータで構成されています。これをマルチバイト・レジスタと呼びます。AD4170-4のマルチバイト・レジスタのリストは、**内蔵レジスタ・マップ**のセクションを参照してください。

AD4170-4のマルチバイト・レジスタに書き込みを行う場合、全てのバイトを1回のSPIトランザクションで転送する必要があります。マルチバイト・レジスタへのSPI書き込みトランザクションをバイトごとに行おうとした場合、デバイスのレジスタの内容は更新されず、INTERFACE_STATUS_AレジスタのPARTIAL_ACCESS_ERRビットがセットされます。AD4170-4のマルチバイト・レジスタへの書き込みトランザクションが有効になるのは、レジスタ・データの最後のビットをシフト・インする、データ・フェーズの最終SCLK立上がりエッジの後です。

マルチバイト・レジスタのアドレスは、常にINTERFACE_CONFIG_AレジスタのADDR_ASCENSIONビットに

デジタル・インターフェース

依存します。降順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであることが必要で、後続のバイトは次の下位アドレスのデータに対応します。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであることが必要で、後続のバイトは次の上位アドレスのデータに対応します。例えば、16ビットのADC_DATAレジスタは2バイト長で、その最下位バイトのアドレスは0x16、最上位バイトのアドレスは0x17です。

マルチバイト・レジスタは1回のSPIトランザクションで読み出すことができる他、バイトごとに個別にアドレス指定することも可能です。マルチバイト・レジスタへのSPI読出しトランザクションをバイトごとに行おうとした場合、INTERFACE_STATUS_AレジスタのPARTIAL_ACCESS_ERRビットがセットされます。

マルチバイト・レジスタ（2バイト）への書き込み／読出しトランザクションを図107（昇順アドレス指定）と図108（降順アドレス指定）に示します。INTERFACE_CONFIG_AレジスタのADDR_ASCENSIONビットを0に設定すると、バイトにアクセスするごとにアドレスがデクリメントします。ADDR_ASCENSIONを1に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトをシフト・インします。

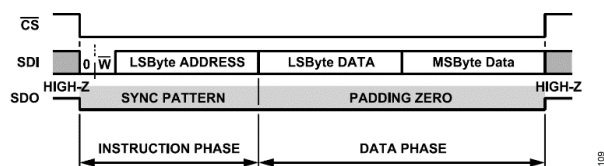


図107. 昇順アドレス指定でのマルチバイト・レジスタの書き込みアクセス

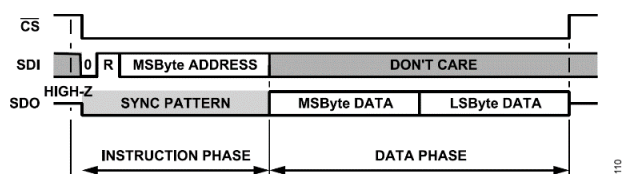


図108. 降順アドレス指定でのマルチバイト・レジスタの読出しアクセス

デバイスの識別

以下のレジスタには、AD4170-4に関する識別情報が格納されています：デバイスのベンダとしたアナログ・デバイセズを特定するVENDOR_IDレジスタ、デバイスが属するアナログ・デバイセズの製品カテゴリを特定するCHIP_TYPEレジスタ、デバイスを特定するためにCHIP_TYPEと共に用いられるPRODUCT_IDレジスタ、デバイスのリビジョンおよび性能グレードを記録するCHIP_GRADEレジスタ。SPI_REVISIONレジスタは、SPIインターフェースのリビジョンに関する情報を提供します。

AD4170-4は次のように指定されています。

- ▶ VENDOR_ID = 0x0456
- ▶ CHIP_TYPE = 0x07
- ▶ PRODUCT_ID = 0x0040

- ▶ CHIP_GRADE = 03
- ▶ SPI_REVISION = 0x83

デバイスのリセット

AD4170-4には、デバイスをリセットするためのオプションとして、ハードウェア・リセット、ソフトウェア・リセット、特定のシーケンスをSDIピンに書き込むことによるリセットの3つがあります。リセットは、内蔵レジスタ・マップにリストされている全てのユーザ設定レジスタの状態をデフォルト値に設定します（[内蔵レジスタ・マップ](#)のセクションを参照）。リセットが発生すると、STATUSレジスタのPOR_FLAG_Sビットがセットされます。

PORハードウェア・リセットはIOVDD/REGCAP_D電源をスレッシュホールド電圧未満に設定することで開始され、AD4170-4は電圧がこのスレッシュホールド電圧を超える値に復帰するまでリセット状態を維持します。電圧が十分に回復してからPORが終了するよう、スレッシュホールド電圧にはヒステリシスがあります。

ソフトウェア・リセットを行うには、INTERFACE_CONFIG_AレジスタのSW_RESETビットおよびRESET_SWビットの両方を1に設定する必要があります。リセットが生じると、これらのビットは自動的に0にリセットされます。

もう1つのリセット・オプションは、AD4170-4に特定のパターンを書き込むことです。これが必要となるのは、CSをローにハードウェア接続した状態でSPIが動作する場合です。リセットを始めるには、CSがローに保持されている間に63個の1と1個の0からなるパターンを3回AD4170-4に書き込みます。

連続読出しまたは連続送信ではソフトウェア・リセットはできない点に注意してください。1と0の特定のシーケンスを書き込むことによるリセットは、全ての動作モードで機能します。

AD4170-4では、リセットするために短い時間が必要です。デバイスの準備が整う前にデジタル・ホストがSPIトランザクションを実行しようとした場合、トランザクションは正常に行われず、INTERFACE_STATUS_AレジスタのNOT_READY_ERRビットがセットされます。このビットは、その場所に1を書き込むことでクリアできます。初期化の完了を確認するには、INTERFACE_STATUS_AレジスタのNOT_READY_ERRビットおよびDEVICE_STATUSレジスタのDEVICE_ERRビットを調べます。エラー・ビットのフラグがセットされた場合は、デバイス・リセットを実行してください。

IO駆動強度

シリアル・インターフェースはわずか1.7Vの電源電圧で動作できます。ただし、ある程度の寄生容量が基板に存在する場合、またはSCLKの周波数が高い場合、この低電圧ではデジタル出力の駆動強度が十分ではないことがあります。PIN_MUXINGレジスタのDIG_OUT_STRビットは全てのデジタル出力ピンの駆動強度を高めます。

SDO_RDYB_DLY

シリアル・インターフェースはデフォルトでSDOとRDYの共用ピンを使用します。データ読出し時には、このピンは読出し対象のレジスタからのデータを出力します。読出し完了後、一定のわずかな時間（[タイミング特性](#)のセクションのt7パラメータを参照）が経過したら、このピンはRDY信号の出力に戻ります。ただし、マイクロコントローラによってはこの時間は最後のデータ・ビット

デジタル・インターフェース

トを確実にサンプリングするには短すぎることもあり、PIN_MUXINGレジスタのSDO_RDYB_DLYビットを1に設定することで、 $\overline{\text{CS}}$ ピンがハイになるまで延長することができます。つまり、 $\overline{\text{CS}}$ を使って各読出し動作をフレーム化し、シリアル・インターフェースのトランザクションを完了する必要があります。

別々のSDOピンと $\overline{\text{RDY}}$ ピンが必要な場合、 $\overline{\text{RDY}}$ はDIG_AUX1ピンでも出力できる点に注意してください。この場合、SDOはデータ・レジスタのLSBの出力を継続します。

ADCの同期

AD4170-4にはいくつかの同期オプションがあり、ユーザは、1つのデバイスでの変換の開始を制御したり、マルチAD4170-4設計において複数デバイスを確実に同期したりできます。

標準同期

PIN_MUXINGレジスタのSYNC_CTRLビットを01bに設定すると、SYNC_INピンが同期入力として機能します。SYNC_IN入力を使うと、デバイスのどのセットアップ状態にも影響を与えずに変調器とデジタル・フィルタをリセットできます。シーケンサもリセットされます。この機能により、サンプリングの開始を制御できます。確実に同期させるには、SYNC_INを少なくとも2メイン・クロック・サイクルの間ローに維持する必要があります。複数のAD4170-4デバイスを共通のメイン・クロックで動作させると、アナログ入力が同時にサンプリングされるようにこれらのデバイスを同期させることができます。通常、各AD4170-4デバイスがキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後にこの同期は行われます。SYNC_IN入力の立下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD4170-4は一定の既知の状態になります。SYNC_INがローの間、AD4170-4はこの既知の状態に保たれます。このデバイスは、SYNC_IN入力がローからハイに遷移した後のメイン・クロックの立上がりエッジでリセット状態から抜け出します。このため、複数のデバイスを同期する場合、メイン・クロックの立下がりエッジでSYNC_IN入力をハイにして、メイン・クロックの立上がりエッジで全てのデバイスが確実にSYNC_INをハイとしてサンプリングできるようにします。メイン・クロックのエッジの前にSYNC_IN入力を十分な時間ハイにしないと、デバイス間で1メイン・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で1メイン・クロック・サイクル異なることがあります。SYNC_INは、標準同期モードでは、1つのチャンネルの変換開始コマンドとして使用することもできます。SYNC_INをハイにすることで変換が開始され、RDY出力の立下がりエッジで変換完了が通知されます。セトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、SYNC_INをローにして次の変換開始信号の準備をします。

代替同期

代替同期モード（PIN_MUXINGレジスタのSYNC_CTRLビットを10bに設定）では、AD4170-4の複数のチャンネルがイネーブルされている場合、SYNC_IN入力は変換開始コマンドとして機能します。SYNC_IN入力がローになると、ADCは現在のチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択し、SYNC_IN入力がハイになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されると、RDY出力がローになります。このため、SYNC_IN入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が開始されるタイミングを制御できます。代替同期モードは、複数のチャンネルをイネーブルする場合にのみ使用できます。1つのチャンネルのみをイネーブルする場合は、このモードの使用は推奨しません。

複数のAD4170-4デバイスの同期

AD4170-4は、1つのシステム内での複数のAD4170-4デバイスを同期できます。DIG_AUX1およびDIG_AUX2を用いることでデバイスを同期できます。デバイスは共通のメイン・クロックを共用する必要があります。メインADCとなるADCでは、PIN_MUXINGレジスタのDIG_AUX2_CTRLビットを用いて、DIG_AUX2をSTARTピンとして設定します。DIG_AUX1は、PIN_MUXINGレジスタのDIG_AUX1_CTRLビットを用いてSYNC_OUTピンとして設定します。メインADCに印加されたSTART信号から同期信号SYNC_OUTが生成され、SYNC_OUTは内部メイン・クロックと同期します。その後、SYNC_OUTが全ADCのSYNC_INピンに印加され、全ADCが同期して変換動作を行うようになります。

診断機能

AD4170-4には、数多くの診断機能が内蔵されています。以下に示す機能を使用して、次の点を確認してください。

- ▶ 外部リファレンス／アナログ入力が過電圧または低電圧になっていない
- ▶ 外部リファレンスが存在する（使用する場合）
- ▶ 励起電流が仕様の範囲内に収まっている（使用する場合）
- ▶ 有効なデータのみが内蔵レジスタに書き込まれている
- ▶ 電源レール／内部LDOが想定レベルになっている

デバイス・エラー

AD4170-4のパワーアップ時および初期化時にエラーが発生した場合、ERRORレジスタのDEVICE_ERRORフラグがセットされます。デバイスのリセットを推奨します。デバイスがパワーアップ時またはデバイス・リセット後に正しく初期化されると、DEVICE_ERRORビットはクリアされます。このビットは読出し動作ではクリアできません。

シグナル・チェーンのチェック

リファレンス電圧や電源電圧などの機能をADCへの入力として選択できます。このため、AD4170-4は、デバイスに接続された電圧をチェックできます。AD4170-4のボードにあるDACは、CHANNEL_MAPnレジスタのDACチャンネルを選択することで、ADCへの入力として選択することもできます。この機能を使用すれば、PGAをチェックできます。例えば、一定のアナログ入力の場合、PGAの設定が増加するに従って、アナログ入力範囲の割合は倍増します。これにより、PGAが正常に機能していることをチェックできます。

リファレンス検出

AD4170-4は、外部リファレンスをリファレンス源として選択した場合に、変換またはキャリブレーション用の有効なリファレンスが存在するかどうかを検出する内蔵回路を備えています。これは、リファレンスを外部から得るRTDやストレイン・ゲージなどのアプリケーションに有用な機能です。

この機能は、ERROR_ENレジスタのREF_DIFF_MIN_ERR_ENビットを1にセットすると有効になります。選択したREFINn+ピンとREFINn-ピン間の電圧が0.6Vを下回ると、AD4170-4は有効なリファレンスが存在しないことを検出します。この場合、ERRORレジスタのREF_DIFF_MIN_ERRビットが1にセットされます。STATUSレジスタのMAIN_ERR_Sビットもセットされます。REF_DIFF_MIN_ERRビットをクリアするには、このビットに1を書き込みます。

リファレンス過電圧／低電圧の検出

REFINn(+)入力ピンの絶対電圧もモニタできます。ERROR_ENレジスタのREF_OV_UV_ERR_ENビットで過電圧／低電圧リファレンスの診断ができます。REFINn(+)の電圧がAVDDを少なくとも65mV上回った場合に過電圧のフラグがセットされ、REFINn(+)の電圧がAVSSを少なくとも65mV下回った場合に低電圧のフラグがセットされます。過電圧または低電圧が検出された場合、エラー・レジスタのREF_OV_UV_ERRビットが1にセットされます。

REF_OV_UV_ERRビットをクリアするには、このビットに1を書き込みます。過電圧状態を示すビットをリセットするには、影響を受けるピンの絶対電圧がAVDD + 0.015Vに低下する必要があります。一方、低電圧状態を示すビットをリセットするにはピンの電圧がAVSS - 0.01Vに低下する必要があります。

変換エラー

AD4170-4では、変換プロセスをモニタすることもできます。この機能は、ERROR_ENレジスタのADC_CONV_ERR_ENビットを使用してイネーブルできます。この機能がイネーブルされている場合、エラーが発生するとADC_CONV_ERRビットがセットされます。ADCの結果が飽和（オーバーフローまたはアンダーフロー）している場合は、ADC_CONV_ERRフラグがセットされます。このフラグは、データ・レジスタの更新に併せて更新され、このビットに1を書き込むことでクリアできます。

アナログ入力過電圧／低電圧検出

過電圧／低電圧モニタは、内部マルチプレクサ出力ピンであるMUX+およびMUX-の絶対電圧をチェックします。MUX+とMUX-の過電圧および低電圧は個別にチェックできます。AINP_OV_UV_ERR_ENはMUX+の低電圧および過電圧のチェックをイネーブルします。MUX+の電圧がAVDDを少なくとも65mV上回った場合に過電圧が発生し、MUX+の電圧がAVSSを少なくとも65mV下回った場合に低電圧が発生します。同様に、MUX-の過電圧／低電圧チェックは、ERROR_ENレジスタのAINM_OV_UV_ERR_ENビットを使用してイネーブルします。エラー・ビットは、エラー・レジスタのAINP_OV_UV_ERRおよびAINM_OV_UV_ERRで、これらは過電圧／低電圧が検出されると1にセットされます。どちらのビットをクリアする場合も、そのビットに1を書き込みます。過電圧状態の場合、ビットがクリアされる前に、影響を受けたピンの絶対電圧がAVDD + 0.015Vに低下する必要があります。一方、低電圧状態の場合は、ビットがクリアされる前に、ピンの電圧がAVSS - 0.01Vに低下する必要があります。

励起電流コンプライアンス

指定された励起電流値を供給するには、内部励起電流にヘッドルームが必要です。ヘッドルームが不十分なために励起電流の大きさが必要な量より小さい場合、ERRORレジスタのIOUTn_COMP_ERRフラグが1にセットされます。このフラグは、ERROR_ENレジスタのIOUTn_COMP_ERR_ENビットを通じてイネーブルできます。エラー・フラグをクリアするには、該当のビットに1を書き込みます。

電源モニタ

ADCは、外部電圧の変換の他に、アナログ電源とデジタル電源の電圧をモニタできます。（AVDDからAVSS）または（IOVDDからDGND）の入力を選択すると、電圧（AVDDからAVSSまたはIOVDDからDGND）は内部で1/5に減衰され、その電圧がΣ-Δ変調器に入力されます。この機能は、電源電圧の変動をモニタできるため便利です。

診断機能

LDOモニタリング

AD4170-4には、いくつかのLDOチェック機能が内蔵されています。外部電源のように、アナログおよびデジタルLDOによって生成された電圧はADCへの入力として選択可能です。

ALDOやDLDOによって生成された電圧は、それぞれERROR_ENレジスタのALDO_PSM_ERR_ENビットおよびDLDO_PSM_ERR_ENビットをイネーブルすることでモニタすることもできます。イネーブルにすると、LDOの出力電圧が連続的にモニタされます。ALDO電圧が1.5V（代表値）を下回ると、ALDO_PSM_ERRフラグがアサートされます。DLDO電圧が1.6V（代表値）を下回ると、DLDO_PSM_ERRフラグがアサートされます。フラグをクリアするには、該当のビットに1を書き込みます。

SPI SCLKカウンタ

SPI SCLKカウンタは、各読出し／書き込み動作で使用されるSCLKパルスの数をカウントします。この機能を使用する場合、 \overline{CS} は全ての読出しおよび書き込み動作をフレームする必要があります。全ての読出しおよび書き込み動作は、8の倍数個のSCLKパルスです（16、32、40、48）。SCLKカウンタがSCLKパルスをカウントして、結果が8の整数倍でない場合はエラーのフラグがセットされ、INTERFACE_STATUS_AレジスタのCLOCK_COUNT_ERRビットがセットされます。

SCLKカウンタは常にイネーブルされています。CLOCK_COUNT_ERRビットをクリアするには、INTERFACE_STATUS_Aレジスタのこの場所に1を書き込みます。

SPI読出し／書き込みエラー

AD4170-4では、SCLKカウンタと一緒に読出しおよび書き込み動作をチェックして、有効なレジスタが確実にアドレス指定されるようにすることもできます。ユーザが無効なアドレスに書き込みまたは読出しを試みた場合、エラーのフラグがセットされ、INTERFACE_STATUS_AレジスタのADDRESS_INVALID_ERRビットがセットされます。

ユーザが読出し専用レジスタに書き込みを試みた場合、INTERFACE_STATUS_AレジスタのWR_TO_RD_ONLY_REG_ERRビットがセットされます。読出し／書き込み動作においてバイトの全数の転送が済んでいなければ、REGISTER_PARTIAL_ACCESS_ERRビットがセットされます。WR_TO_RD_ONLY_REG_ERRビットまたはREGISTER_PARTIAL_ACCESS_ERRビットをリセットするには、INTERFACE_STATUS_Aレジスタのこれらの場所に1を書き込む必要があります。これらの診断機能の全てが常に有効化されているわけではない点に注意してください。

ノット・レディ・エラー

特定の期間、内蔵レジスタにアクセスできなくなる場合があります。例えば、パワーアップ時に内蔵レジスタはデフォルト値に設定されます。ユーザはこの動作が完了するまで待ってから、レジスタに書き込む必要があります。これらのビジー期間にレジスタに書き込みを行うと、NOT_READY_ERRフラグがセットされ、ADCがビジーで書き込み動作は無視されることが通知されます。NOT_READY_ERRフラグは、INTERFACE_STATUS_Aレジスタの

このビットに1を書き込むことでクリアされます。この診断機能は無効にできません。 \overline{CS} がローにハードワイヤ接続されていれば、RDYをモニタしてADCがレディになったときにそれを検出することもできます。

チェックサム保護

CRCエラー検出

AD4170-4にはCRCオプションがあるため、デジタル・ホストとAD4170-4の間のSPIトランザクションでエラー検出が可能です。CRCエラー検出は、連続読出し動作および連続送信動作でもサポートされています。CRCはデフォルトではディスエーブルされています。

CRCエラー検出を用いることで、プロセッサとAD4170-4は、ビット転送エラーを高い信頼度で検出できます。CRCアルゴリズムでは、シード値と多項式除算を使用してCRCコードを生成します。プロセッサとAD4170-4の双方で個別にCRCコードを計算し、転送されたデータの有効性を判定します。

AD4170-4は次の多項式からなるCRC-8の手法を用います。

$$x^8 + x^2 + x + 1 \quad (16)$$

CRCエラー検出をイネーブルするには、INTERFACE_CONFIG_CレジスタのCRC_ENABLEビットとCRC_ENABLEBビットを用います。CRC_ENABLEの値が更新されるのは、同じレジスタ書き込み命令でCRC_ENABLEBがCRC_ENABLEの反転値に設定されている場合のみです。そのため、CRCをイネーブルするには、CRC_ENABLEビットを01bに設定すると共に、同じ書き込みトランザクションでCRC_ENABLE_Bビットを10bに設定する必要があります。

また、CRCをディスエーブルするには、CRC_ENABLEを00bに設定すると共に、同じ書き込みトランザクションでCRC_ENABLE_Bを11bに設定する必要があります。CRCをディスエーブルするトランザクションには、有効なCRCバイトが含まれている必要があります。2つの別々のフィールドに反転した値を書き込むことで、CRCが誤ってイネーブルされる可能性を低減できます。

図109と図110は、デジタル・ホストまたはAD4170-4がデータを検証するために、書き込み時または読出し時にCRCコードがどのように付加されるかを示しています。レジスタ書き込みの場合、デジタル・ホストはCRCバイトを生成する必要があります。レジスタ読出しの場合は、ホストはAD4170-4によってチェックされる正しいCRCバイトを送信する必要もあります。これにより、AD4170-4はホスト・プロセッサから正しい命令を受信したことを確認できます。同じ読出しトランザクションで、AD4170-4はデジタル・ホストが検証するためのCRCコードを供給します。

CRCエラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRCコードはレジスタ・データの全バイトの後ろに配置されます。

CRCエラー検出がイネーブルされている場合、AD4170-4は、SDIのレジスタ・データの最後で有効なCRCコードを受け取るまで、レジスタ書き込みトランザクションに応答してレジスタ内容を更新することはありません。CRCコードが無効であったり、デジタル・ホストがCRCコードを送信できなかった場合、AD4170-4はそのレジスタの内容を更新せず、INTERFACE_STATUS_AレジスタのCRC_ERRフラグをセットします。CRC_ERRフラグはこのビット

診断機能

トに1が書き込まれるとクリアされます（W1C）。また、クリアする書き込みを有効にするためには正しいCRCが必要です。

表43に、CRCコード計算で用いられるシード値を示します。

表43. CRCシード値

SPI Transaction		
Type	Pin	
Read	SDI	0xA5, instruction phase, padding
	SDO	0xA5, instruction phase, read data
Write	SDI	0xA5, instruction phase, write data
	SDO	0xA5, instruction phase, write data

SPIフレームのどのCRCコードも、シード値として10100101を使用します。これにより、0x000000のレジスタ値が0x00のCRCコードを生成しないようにできます。SDOとDGNDが短絡されると、CRCは0x00になります。そのため、フォルト状態を容易に検出できます。

図111に、最初のSPIトランザクションでCRCがイネーブルされ、読出しトランザクション時はAD4170-4によって、書き込みトランザクション時はホストによって、CRCコードが供給されている例を示します。この例では、AD4170-4は降順アドレス指定に設定されています（設定の書き込みは図111には示されていません）。この例は以下のシーケンスを示しています。

1. INTERFACE_CONFIG_Cレジスタに0x66のレジスタ書き込みを行い、CRCをイネーブルします。
2. \overline{CS} がハイのパルスを出力します。
3. 16ビットADCおよびステータス・レジスタ（アドレス0x1Aに最上位バイトがあるマルチバイト・レジスタ）のレジスタ読出しを行います。
4. INTERFACE_CONFIG_Cレジスタに0x27のレジスタ書き込みを行いCRCをディスエーブルしますが、CRCコードはまだ供給されています。
5. \overline{CS} をハイにします。

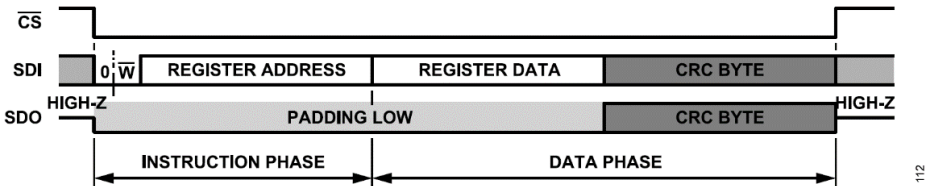


図109. 基本的なSPI書き込みフレーム（CRCエラー検出をイネーブル）

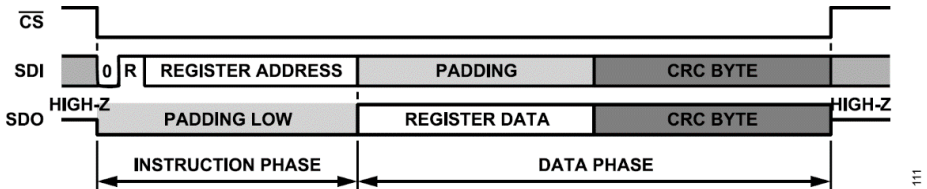


図110. 基本的なSPI読出しフレーム（CRCエラー検出をイネーブル）

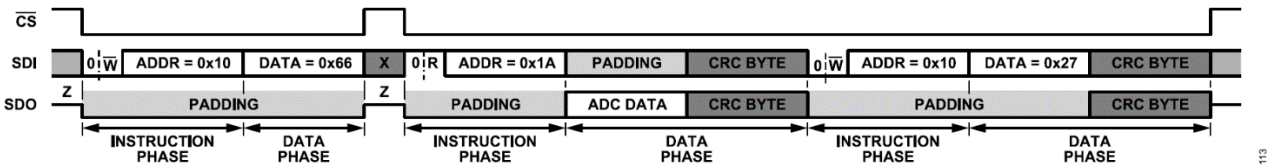


図111. CRCコードのSPIトランザクション例（降順アドレス指定）

診断機能

CRCの計算

8ビット幅のチェックサムは、次の多項式を使用して生成されます。

$x^8 + x^2 + x + 1$

チェックサムを生成するには、データを8ビット左にシフトし、8個のロジック0で終わる値を発生させます。多項式のMSBがデー

タの最も左にあるロジック1と隣り合うように、多項式の位置を合わせます。新規かつ短い数値を作るため、排他的論理和 (XOR) 関数をデータに適用します。再度、多項式のMSBが、新しい結果の最も左にあるロジック1と隣り合うように、多項式の値の位置決めをし、この手順を繰り返します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが8ビットのチェックサムになります。

多項式CRC計算の例-24ビット・ワード：0x654321（8ビット命令と16ビット・データ）

多項式ベースのチェックサムを使用した8ビット・チェックサムの生成例を以下に示します。

Initial value	011001010100001100100001	
	01100101010000110010000100000000	left shifted eight bits
$x^8 + x^2 + x + 1 = 100000111$		polynomial
100100100000110010000100000000	XOR result	
100000111	polynomial	
100011000110010000100000000	XOR result	
100000111	polynomial	
11111100100001000000000	XOR result	
100000111	polynomial value	
11111011100001000000000	XOR result	
100000111	polynomial value	
111100000000100000000	XOR result	
100000111	polynomial value	
111001110001000000000	XOR result	
100000111	polynomial value	
1100100100100000000	XOR result	
100000111	polynomial value	
100101010100000000	XOR result	
100000111	polynomial value	
101101100000000	XOR result	
100000111	polynomial value	
1101011000000	XOR result	
100000111	polynomial value	
101010110000	XOR result	
100000111	polynomial value	
1010001000	XOR result	
100000111	polynomial value	
10000110	checksum = 0x86	

診断機能

メモリ・マップ・チェックサム保護

このビットがセットされている場合、メモリ・マップでCRC計算が実行されます。この後、内蔵レジスタで定期的なCRCチェックが実行されます。レジスタの破損や更なるレジスタ書込みによりレジスタの内容が変更された場合は、MM_CRC_ERRビットがセットされます。

メモリ・マップCRC機能は、ERROR_ENレジスタのMM_CRC_ERR_ENビットを1にセットして有効にします。エラーが発生した場合、ERRORレジスタのMM_CRC_ERRビットが1にセットされます。フラグをクリアするには、ERRORレジスタのこの場所に1を書き込みます。

ROMチェックサム保護

ROM CRCは、デフォルトのFIR係数がROMから正しくロードされているかどうかをチェックします。この診断機能は、FIRフィルタについてのみ用いられます（ADCのモードは連続変換FIRです）。

ROM CRC機能は、ERROR_ENレジスタのROM_CRC_ERR_ENビットを1にセットして有効にします。エラーが発生した場合、ERRORレジスタのROM_CRC_ERRビットが1にセットされます。ROM_CRC_ERRビットを0にリセットするには、そのビットに1を書き込む必要があります。

バーンアウト電流

AD4170-4には、0.1 μ A、2 μ A、または10 μ Aにプログラム可能な2つの定電流ジェネレータが内蔵されています。一方のジェネレータは、AVDDからMUXPに電流をソースし、もう一方はMUXMからAVSSに電流をシンクします。これらの電流により、断線を検出できます。

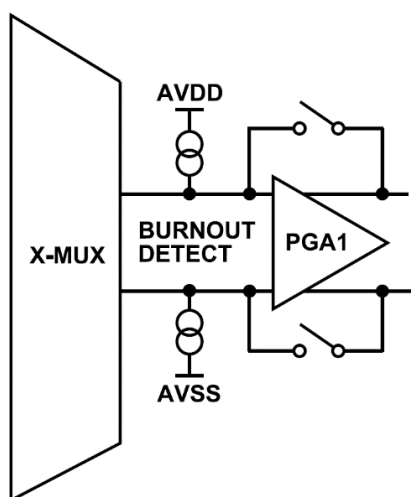


図112. バーンアウト電流

両方の電流がオンまたはオフになります。MISCnレジスタのBURNOUTビットにより、バーンアウト電流のイネーブル/ディスエーブルが振幅と共に設定されます。そのため、バーンアウト電流は、チャンネルごとにイネーブル/ディスエーブルできます。ただし、あるチャンネルについてイネーブルされている場合、電流はそのチャンネルが選択されているときのみアクティブになります。これらの電流を用いることで、外部トランスジューサが依然として動作可能であることを確認します。バーンアウト電流がオンになると、外部トランスジューサ回路にバーンアウト電流が流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。計測した電圧がほぼフルスケールの場合、その理由を確認する必要があります。計測値がほぼフルスケールに近い場合、フロント・エンド・センサーがオープン・サーキットになっている可能性があります。また、フロント・エンド・センサーに過負荷がかかりフルスケールで出力されたか、またはリファレンスが存在しない可能性があることを示している場合もあります。

変換値がフルスケールに近い場合は、判断を下す前にこれら3つの項目をチェックする必要があります。測定された電圧が0Vの場合は、トランスジューサの短絡が考えられます。通常の動作では、BURNOUTビットを0に設定してこれらのバーンアウト電流をオフにします。

プルアップ電流

バーンアウト電流がアクティブになるのはチャンネルが変換されている場合のみですが、AD4170-4には、100nAのプルアップ電流もあります。これらの電流がイネーブルされている場合、AINピンで連続的にアクティブのままとなります。これらの電流のイネーブル/ディスエーブルは、I_PULL_UPレジスタを通じてピンごとに行うことができます。AINピンがフロート状態の場合、プルアップ電流がイネーブルされているとAINピンはAVDDにプルアップされます。そのため、このピンが開放状態になっているとそれを検出できます。どちらのAINピンもフロート状態でプルアップ電流がイネーブルされている場合、どちらのピンもAVDDにプルアップされます。そのため、開放状態を直接検出できるわけではありません。しかし、AVSSを基準とする各AINピンの変換結果を用いると開放状態を検出できます。

温度センサー

AD4170-4には、チップ温度をモニタするのに便利な温度センサーが内蔵されています。これは、CHANNEL_MAPnレジスタのAINP[4:0]ビットとAINM[4:0]ビットを使用して選択します。感度は約477 μ V/Kです。温度計測の結果から5 $^{\circ}$ Cを差し引いてください。

温度センサーの精度は $\pm 2^{\circ}$ C（代表値）です。

グラウンディングとレイアウト

アナログ入力とリファレンス入力は差動です。そのため、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れた同相ノイズ除去能力により、これらの入力の同相ノイズは除去されます。AD4170-4のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、 $2 \times f_{\text{MOD}}$ の整数倍の周波数以外の広帯域電源ノイズを除去します（メイン・クロックが16MHzの場合 f_{MOD} は4MHz）。

また、アナログ入力とリファレンス入力がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD4170-4のノイズ干渉耐性は向上しています。ただし、AD4170-4の分解能は高く、コンバータのノイズ・レベルは非常に低いいため、グラウンディングとレイアウトについて注意が必要です。

ADCを実装するPCBは、アナログ部とデジタル部を分離し、これらを基板の特定の領域に限定して配置するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグランド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、全てのリターン電流用の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

チップにノイズが混入するため、デバイスの下にはデジタル・ラインを配置しないでください。AD4170-4の下にアナログ・グランド・プレーンを配置してノイズの混入を防止してください。

AD4170-4への電源ラインには可能な限り幅広のパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へノイズが放射されるのを防止します。また、クロック信号がアナログ入力の近くを流して通らないようにします。デジタル信号とアナログ信号は交差させないでください。基板の反対側のパターンは、互いに直角になるように配置します。これにより、基板上でフィードスルーの効果を削減できます。マイクロストリップ技術の使用が最善ですが、両面基板では常に使用できるとは限りません。この技法を使用する場合、基板の部品面はグランド・プレーン専用にして、信号はハンダ面に配線します。

高分解能ADCを使用する場合は、デカップリングが重要です。AD4170-4には、AVDDとIOVDDの2本の電源ピンがあります。AVDDピンはAVSSを基準とし、IOVDDピンはDGNDを基準としています。AVDDは、1 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列に接続してAVSSとデカップリングします。0.1 μ Fのコンデンサはデバイスのできるだけ近くに配置します。理想的にはデバイスに隣接させます。IOVDDは、1 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列に接続してDGNDとデカップリングします。全てのアナログ入力とAVSSをデカップリングする必要があります。外部リファレンスを使用する場合は、REFINn+ピンおよびREFINn+ピンとAVSSをデカップリングします。

AD4170-4は2つのLDOレギュレータも内蔵しており、それぞれAVDD電源とIOVDD電源を安定化します。REGCAP_Aピンには、AVSSに接続した1 μ Fと並列に0.1 μ Fのコンデンサを使用することを推奨します。同様に、REGCAP_Dピンには、DGNDに接続した1 μ Fと並列に0.1 μ Fのコンデンサを使用することを推奨します。

AD4170-4をバイポーラ電源動作で使用する場合は、AVSSに別のプレーンを使用する必要があります。

アプリケーション情報

AD4170-4は、高分解能のA/D変換機能を提供します。 $\Sigma\Delta$ アーキテクチャのA/D変換機能を備えているため、ノイズの多い環境に強く、センサー計測や産業およびプロセス制御のアプリケーションでの使用に最適です。

重量計（AC励起）

図113に、AC励起を用いる重量計アプリケーションに使用されたAD4170-4を示します。ロード・セルはブリッジ回路に配置され、OUT+端子とOUT-端子の間で差動出力電圧を生成します。励起電圧が5Vで感度が2mV/Vの場合、トランスジューサのフルスケール出力範囲は10mVになります。リファレンス入力範囲に電源電圧が含まれるため、ブリッジの励起電圧を使用してADCのリファレンス電圧を直接供給できます。

AC励起では、ロード・セルへの励起電圧はフェーズごとに異なります。フェーズ1では、GPIO0およびGPIO2で駆動されるトランジスタがACX1およびACX1を用いてオンになるのに対し、GPIO1およびGPIO3で駆動されるトランジスタはオフになります。フェーズ2では、GPIO0およびGPIO2で駆動されるトランジスタはオフになり、GPIO1およびGPIO3で駆動されるトランジスタがACX2およびACX2を用いてオンになります。このフェーズでは、ブリッジへの励起電圧は反転し、ADCへのアナログ入力信号およびリファレンス電圧も反転します。AD4170-4は、この2つのフェーズからの変換結果を平均し、オフセットや熱の影響があればそれを打ち消します。フロント・エンド回路に一定のセトリング時間が必要な場合、DELAYレジスタを用いると、各フェーズの開始時に一定のセトリング時間を追加できます。

AC励起をイネーブルするには、MISC_nレジスタのCHOP_ADCビットを10（2進数）に設定します。この設定により、4つの信号ACX1、ACX1、ACX2、ACX2がAD4170-4から供給されます。CHOP_ADCビットを11（2進数）に設定した場合は、AD4170-4はACX1およびACX2のみを供給します。したがって、ユーザは、外部インバータを用いてACX1およびACX2を生成する必要があります。CHOP_ADCビットが0に設定されると、AC励起はディスエーブルされます。シーケンサが使用されている場合は、AC励起のないチャンネルが選択されると必ずDCがブリッジを励起するよう、GPIOピンを設定します。

AD4170-4がスタンバイ・モードの場合、GPIOピンは機能し続けます。そのため、適宜スイッチの開閉を行うようこれらのピンを設定する必要があります。AD4170-4パワーダウン・モードの場合、GPIO出力は非アクティブ状態になります。そのため、これらのピンに外部プルアップ／プルダウン抵抗を接続して、外部電圧がAVSSに短絡しないようにする必要があります。リセット後のAC励起ピンは、ソフトウェアで設定されるまで不定となります。そのため、ピンに接続されたプルアップ／プルダウン抵抗は、ここでも励起電圧がスイッチを通じてAVSSに短絡されるのを防止します。

ロード・セルを読み出すための標準的な手順は次のとおりです。

1. ADCをリセットします。
2. CHANNEL_MAP0レジスタのアナログ入力をAIN5／AIN6に設定します。CHANNEL_SETUP0レジスタを通じてこのチャンネルにSetup 0を割り当てます。ゲインが128になるようにSetup 0を構成し、AFE0レジスタを通じてリファレンス源REFINを選択します。FILTER0レジスタを通じてフィルタ・タイプを選択し、FILTER_FS0レジスタを通じてODRを設定します。
3. MISC0レジスタのCHOP_ADCビットを10（2進数）に設定します。
4. RDYがローに移行するまで待ちます。変換値を読み出します。
5. ステップ4を繰り返します。

AD4170-4の内蔵診断機能により、回路の接続チェック、電源およびLDO電圧のモニタリング、全ての変換結果の誤差のチェックが、あらゆる読出し／書込み動作のモニタリングに加えて実行できます。重量計アプリケーションでは、パーンアウト電流を使用して回路の接続が検証されます。

アナログ入力の過電圧／低電圧モニタは、変換プロセスの一部としてAINPおよびAINMの過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADCへの入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、ユーザはLDO電圧をチェックできます。

最後に、CRCチェック、SCLKカウンタ、およびSPI読出し／書込みチェックにより、無効な読出し／書込み動作を検出できるため、インターフェースの信頼性が更に向上します。CRCチェックでは、プロセッサとADCの間でビットが転送されるときに、ビットが破損していないかを確認します。

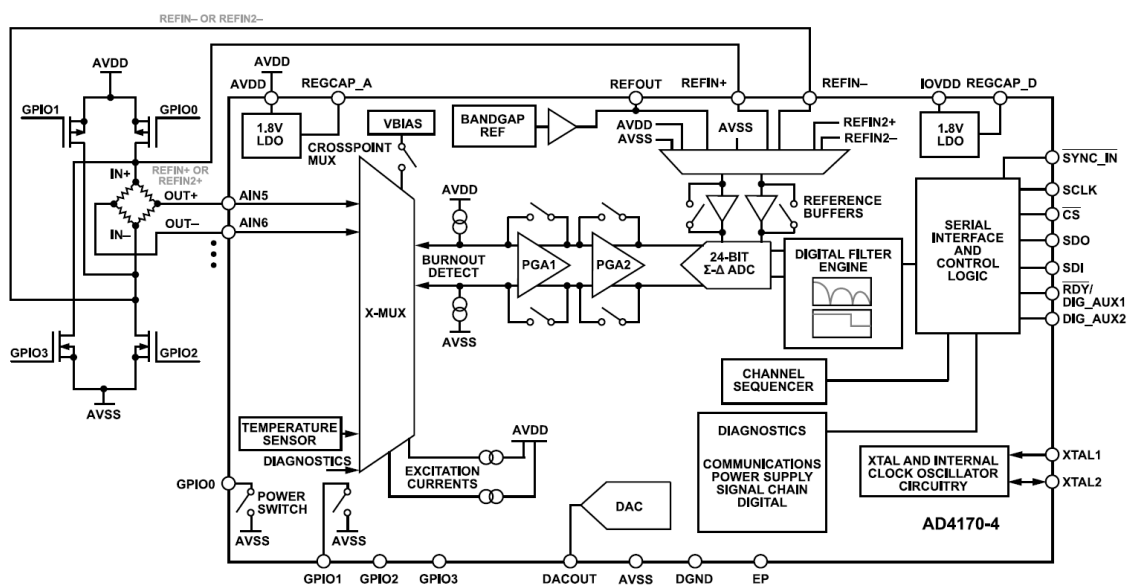


図113. 重量計 (AC励起)

重量計 (DC励起)

図114に、重量計アプリケーションに使用されたAD4170-4を示します。ロード・セルはブリッジ回路に配置され、OUT+端子とOUT-端子の間に差動出力電圧を生成します。励起電圧が5Vで感度が2mV/Vの場合、トランスジューサのフルスケール出力範囲は10mVになります。リファレンス入力範囲に電源電圧が含まれるため、ブリッジの励起電圧を使用してADCのリファレンス電圧を直接供給できます。

トランスジューサをベースにしたアプリケーションにおいてAD4170-4を使用するもう一つの利点は、システムの消費電力を最小限に抑えるためにブリッジ・パワーダウン・スイッチをフルに利用できることです。ブリッジ・パワーダウン・スイッチは、ブリッジの冷接点側に直列接続します。通常の動作では、スイッチが閉じて計測が行われます。消費電流を最小限に抑えるアプリケーションでは、AD4170-4をスタンバイ・モードにして、アプリケーションの消費電力を大幅に削減できます。更に、スタンバイ・モードの間にブリッジ・パワーダウン・スイッチを開くことができるため、フロント・エンド・トランスジューサでの不要な電力消費を防止できます。ブリッジ・パワーダウン・スイッチは、スタンバイ・モードの間に開いたり閉じたりできる点に注意してください(STANDBY_CTRLレジスタのSTB_PDSWnビットを1にセットするとスイッチはスタンバイ・モードでもアクティブなままとなります)。そのため、スタンバイ・モードの間にスイッチを閉じることでブリッジをパワーアップしてセトリングすることができます。これを行うのは、ADCコアがパワーアップされ変換が行われる前にフロント・エンド回路にセトリングするための一定の時間が必要となる可能性があるためです。

ロード・セルを読み出すための標準的な手順は次のとおりです。

1. ADCをリセットします。

2. CHANNEL_MAP0レジスタのアナログ入力をAIN5／AIN6に設定します。CHANNEL_SETUP0を通じてこのチャンネルにSetup 0を割り当てます。ゲインが128になるようにSetup 0を構成し、AFE0レジスタを通じてリファレンス源REFINを選択します。FILTER0レジスタを通じてフィルタ・タイプを選択し、FILTER_FS0レジスタを通じて出力データ・レートを設定します。
3. RDYがローに移行するまで待ちます。変換値を読み出します。
4. ステップ3を繰り返します。

AD4170-4の内蔵診断機能により、回路の接続チェック、電源電圧、リファレンス電圧、およびLDO電圧のモニタリング、全ての変換結果の誤差のチェックが、あらゆる読出し／書込み動作のモニタリングに加えて実行できます。重量計アプリケーションでは、リファレンス検出およびバーンアウト電流を使用して回路の接続が検証されます。外部リファレンスREFINが存在しない場合は、REF_DIFF_MIN_ERRフラグがセットされます。バーンアウト電流（MISC0レジスタで利用可能）は断線を検出します。

アナログ入力¹の過電圧／低電圧モニタは、変換プロセスの一部としてAINPおよびAINMの過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADCへの入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、ユーザはLDO電圧をチェックできます。

最後に、CRCチェック、SCLKカウンタ、およびSPI読出し／書込みチェックにより、無効な読出し／書込み動作を検出できるため、インターフェースの信頼性が更に向上します。CRCチェックでは、プロセッサとADCの間でビットが転送されるときに、ビットが破損していないかを確認します。

アプリケーション情報

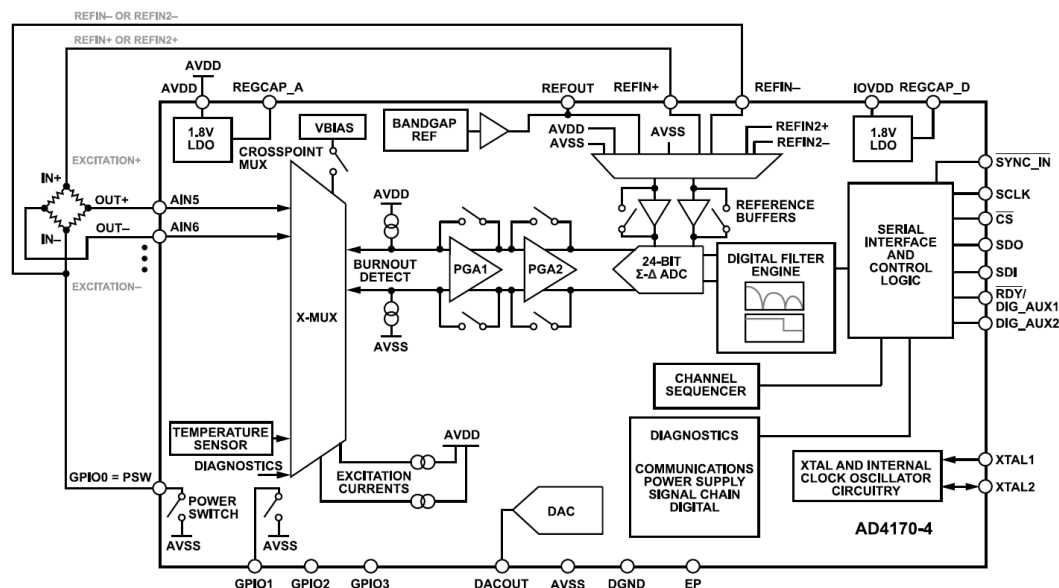


図114. 重量計 (DC励起)

RTDを使用した温度計測

3線式RTD構成を最適化するには、2個の整合された電流源が必要です。2対の整合された電流源を内蔵しているAD4170-4は、これらのアプリケーションに最適です。3線式構成の一例を図115に示します。この3線式構成において、電流源を1つしか使用しない場合 (GPIO3の出力)、RL1に励起電流が流れてAIN0とAIN1の間に電圧誤差が発生するため、リード抵抗に誤差が発生します。示されている方式では、2つ目のRTD電流源 (GPIO2から出力可能) が、RL1を流れる励起電流により発生する誤差を補償します。2つ目のRTD電流はRL2を通過します。RL1とRL2が等しく (通常、リードの材質と長さが同じ)、励起電流が一致する場合、RL2の両端の誤差電圧とRL1の両端の誤差電圧が等しくなり、AIN0とAIN1の間に誤差電圧は発生しなくなります。励起電流ペアAB (IOUT0およびIOUT1) またはペアCD (IOUT2およびIOUT3) を用いることで、AD4170-4での励起電流のミスマッチおよび励起電流ドリフト・マッチングを最小限に抑えることができます。詳細については励起電流のセクションを参照してください。RL3の両端に2倍の電圧が発生します。ただし、これはコモンモード電圧であるため、誤差は発生しません。AD4170-4のリファレンス電圧も、いずれかの整合した電流源を使用して生成されます。これは高精度の抵抗を使用して生成され、ADCの差動リファレンス・ピンに入力されます。この方式では、アナログ入力電圧スパンがリファレンス電圧に比例する状態が確保されます。励起電流の温度ドリフトに起因するアナログ入力電圧に含まれる全ての誤差が、リファレンス電圧の変動によって補償されます。

例えば、PT100は-200°C〜+600°Cの温度を計測します。抵抗は0°Cで100Ω (代表値)、600°Cで313.71Ω (代表値) です。500μAの励起電流を使用した場合、RTDの全温度範囲を使用したときにRTDの両端にかかる最大電圧は、次のようになります (励起電流の初期精度と励起電流の温度係数は無視)。

$$500 \mu\text{A} \times 313.71 \Omega = 156.86 \text{ mV} \quad (17)$$

ゲインが16にプログラムされている場合、この値はAD4170-4内で2.51Vに増幅されます。

リファレンス抵抗の両端に発生する電圧は2.51V以上にする必要があります。このため、リファレンス抵抗値は、次の値以上に設定してください。

$$2.51 \text{ V} / 500 \mu\text{A} = 5020 \Omega \quad (18)$$

このため、5.1kΩの抵抗を使用します。

$$5.11 \text{ k}\Omega \times \text{Excitation Current} = 5.11 \text{ k}\Omega \times 500 \mu\text{A} = 2.555 \text{ V} \quad (19)$$

もう一つの考慮事項として、出力のコンプライアンスがあります。励起電流が500μAの場合、出力のコンプライアンスは、 $\text{AVDD} - 1.45\text{V}$ に等しくなります。5Vのアナログ電源を用いる場合、AIN0の電圧は、 $(5 \text{ V} - 1.45\text{V}) = 3.55\text{V}$ 未満でなくてはなりません。AINピンの絶対電圧が100mVを上回っている場合、入力リーク電流は最小限に抑えられます。そのため、図115では、ヘッドルーム抵抗が示されています。ヘッドルーム抵抗が100Ωとすると、AIN1の電圧は、 $100\Omega \times 2 \times \text{励起電流} = 100 \times 2 \times \Omega \times 500\mu\text{A} = 0.1\text{V}$ となります。AIN0の最高電圧は、リファレンス抵抗の電圧とRTDの電圧、およびヘッドルーム抵抗の電圧を加えた電圧、つまり、以下の値に等しいため、出力のコンプライアンス仕様は、満たされます。

$$2.555 \text{ V} + 156.86 \text{ mV} + 0.1 \text{ V} = 2.812 \text{ V} \quad (20)$$

RTDを読み出すための標準的な手順は、次のとおりです。

1. ADCをリセットします。

アプリケーション情報

2. CHANNEL_MAP0レジスタのアナログ入力をAIN0/AIN1に設定します。CHANNEL_SETUP0を通じてこのチャンネルにSetup 0を割り当てます。ゲインが16になるようにSetup 0を構成し、AFE0レジスタを通じてリファレンス源REFINを選択します。FILTER0レジスタを通じてフィルタ・タイプを選択し、FILTER_FS0レジスタを通じて出力データ・レートを設定します。
3. 励起電流を500 μ Aにプログラムして、CURRENT_SOURCE0レジスタおよびCURRENT_SOURCE1レジスタを通じてGPIO2ピンとGPIO3ピンに電流を出力します。
4. $\overline{\text{RDY}}$ がローに移行するまで待ちます。変換値を読み出します。
5. ステップ4を繰り返します。

プロセッサで、PT100の直線化ルーチンを実装します。

AD4170-4の内蔵診断機能により、回路の接続チェック、電源、リファレンス、およびLDO電圧のモニタリング、全ての変換結果の誤差のチェックが、あらゆる読出し／書込み動作のモニタリングに加えて実行できます。RTDアプリケーションでは、回路の接続

はリファレンス検出およびバーンアウト電流を使用して検証されます。外部リファレンスREFINが存在しない場合は、REF_DIFF_MIN_ERRフラグがセットされます。バーンアウト電流を定期的にイネーブルすることで（MISC0レジスタで可能）、断線を検出できます。最大限のシステム性能を実現するため、変換結果をAIN0/AIN1から読み出す場合は、バーンアウト電流をオフにする必要があります。

アナログ入力の過電圧／低電圧モニタは、変換プロセスの一部としてAINPおよびAINMの過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADCへの入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、ユーザはLDO電圧をチェックできます。

最後に、CRCチェック、SCLKカウンタ、およびSPI読出し／書込みチェックにより、無効な読出し／書込み動作を検出できるため、インターフェースの信頼性が更に向上します。CRCチェックでは、プロセッサとADCの間でビットが転送されるときに、ビットが破損していないかを確認します。

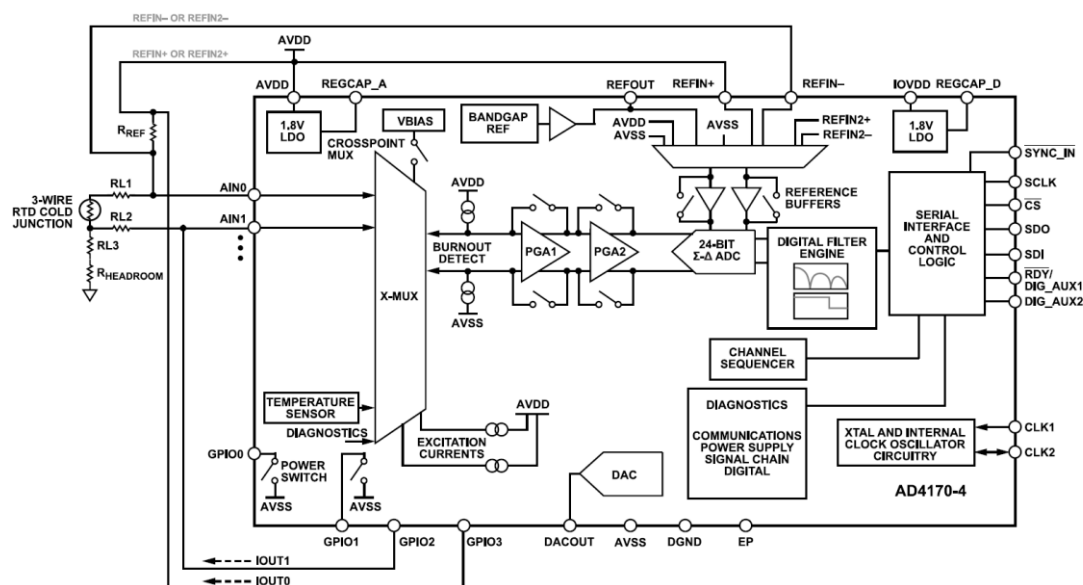


図115. 3線式RTDアプリケーション

内蔵レジスタ・マップ

表44. レジスタ・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASC ENSION	SDO_ENAB LE	RESERVED			RESET_SW	0x10	R/W		
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_IN ST	RESERVED			SHORT_IN STRUCTIO N	RESERVED			0x80	R/W		
0x02	DEVICE_CO NFIG	[7:0]	RESERVED								0x00	R/W		
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x07	R		
0x04	PRODUCT_I D_L	[7:0]	PRODUCT_ID[7:0]								0x40	R		
0x05	PRODUCT_I D_H	[7:0]	PRODUCT_ID[15:8]								0x00	R		
0x06	CHIP_GRAD E	[7:0]	GRADE				DEVICE_REVISION				0x03	R		
0x0A	SCRATCH_P AD	[7:0]	SCRATCH_VALUE								0x00	R/W		
0x0B	SPI_REVISIO N	[7:0]	SPI_TYPE		VERSION						0x83	R		
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R		
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R		
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_R EGISTER_ ACCESS	SEND_STA TUS	ACTIVE_INTERFACE_MO DE		CRC_ENABLEB		0x27	R/W		
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READ Y_ERR	RESERVED		CLOCK_CO UNT_ERR	CRC_ERR	WR_TO_R D_ONLY_R EG_ERR	REGISTER _PARTIAL _ACCESS_ ERR	ADDRESS INVALID_ ERR	0x00	R/W		
0x15	STATUS	[15:8]	RESERVED								0x0060			
0x14		[7:0]	MAIN_ERR _S	POR_FLAG _S	RDYB	SETTLED_ FIR	CH_ACTIVE							
0x17	DATA_16B	[15:8]	ADC_DATA[15:8]								0x0000			
0x16		[7:0]	ADC_DATA[7:0]											
0x1A	DATA_16B_S TATUS	[23:1 6]	ADC_DATA[15:8]								0x00006 0			
0x19		[15:8]	ADC_DATA[7:0]											
0x18		[7:0]	MAIN_ERR _S	POR_FLAG _S	RDYB	SETTLED_ FIR	CH_ACTIVE							
0x1E	DATA_24B	[23:1 6]	ADC_DATA[23:16]								0x00000 0			
0x1D		[15:8]	ADC_DATA[15:8]											
0x1C		[7:0]	ADC_DATA[7:0]											
0x23	DATA_24B_S TATUS	[31:2 4]	ADC_DATA[23:16]								0x00000 060			
0x22		[23:1 6]	ADC_DATA[15:8]											
0x21		[15:8]	ADC_DATA[7:0]											
0x20		[7:0]	MAIN_ERR _S	POR_FLAG _S	RDYB	SETTLED_ FIR	CH_ACTIVE							
0x28 to 0x64 by 4	DATA_PER_ CHANNELn	[23:1 6]	ADC_CH_DATA[23:16]								0x00000 0			
		[15:8]	ADC_CH_DATA[15:8]											

内蔵レジスタ・マップ

表44. レジスタ・マップ (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	ADC_CH_DATA[7:0]										
0x69	PIN_MUXING	[15:8]	RESERVED	CHAN_TO_GPIO	RESERVED						0x0004	R/W	
0x68		[7:0]	DIG_AUX2_CTRL		DIG_AUX1_CTRL		SYNC_CTRL		DIG_OUT_STR	SDO_RDYB_DLY			
0x6B	CLOCK_CTRL	[15:8]	RESERVED								0x0000	R/W	
0x6A		[7:0]	DCLK_DIVIDE		CLOCKDIV		RESERVED		CLOCKSEL				
0x6D	STANDBY_CTRL	[15:8]	RESERVED								STB_EN_CLOCK	0x0000	R/W
0x6C		[7:0]	STB_EN_IPULLUP	RESERVED	STB_EN_DAC	STB_PDSW1	STB_PDSW0	STB_EN_VBIAS	STB_EN_IEXC	STB_EN_REFERENCE			
0x6F	POWER_DWN_SW	[15:8]	RESERVED								0x0000	R/W	
0x6E		[7:0]	RESERVED							PDSW_1			PDSW_0
0x71	ADC_CTRL	[15:8]	RESERVED								0x0000	R/W	
0x70		[7:0]	MULTI_DATA_REG_SEL	CONT_READ_STATUS_EN	CONT_READ		MODE						
0x73	ERROR_EN	[15:8]	RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	IOUT3_COMP_ERR_EN	IOUT2_COMP_ERR_EN	IOUT1_COMP_ERR_EN	IOUT0_COMP_ERR_EN	0x0000	R/W	
0x72		[7:0]	REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN			
0x75	ERROR	[15:8]	DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	IOUT3_COMP_ERR	IOUT2_COMP_ERR	IOUT1_COMP_ERR	IOUT0_COMP_ERR	0x0000	R/W	
0x74		[7:0]	REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	ROM_CRC_ERR			
0x79	CHANNEL_EN	[15:8]	CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8	0x0001	R/W	
0x78		[7:0]	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0			
0x80 to 0xBC by 4	CHANNEL_SETUPn	[15:8]	REPEAT_N								0x0000	R/W	
		[7:0]	RESERVED	DELAY_N				RESERVED	SETUP_N				
0x82 to 0xBE by 4	CHANNEL_MAPn	[15:8]	RESERVED			AINP_N						0x0001	R/W
		[7:0]	RESERVED			AINM_N							
0xC0 to 0x122 by 14	MISCn	[15:8]	CHOP_JEXC		RESERVED				CHOP_ADC		0x0000	R/W	
		[7:0]	RESERVED							BURNOUT			
0xC2 to 0x124 by 14	AFEn	[15:8]	RESERVED				REF_BUF_M		REF_BUF_P		0x0050	R/W	
		[7:0]	RESERVED	REF_SELECT		BIPOLAR	PGA_GAIN						
0xC4 to 0x126 by 14	FILTERn	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	POST_FILTER_SEL				FILTER_TYPE						

内蔵レジスタ・マップ

表44. レジスタ・マップ (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0xC6 to 0x128 by 14	FILTER_FSn	[15:8]	FS[15:8]								0x0004	R/W	
		[7:0]	FS[7:0]										
0xC8 to 0x12A by 14	OFFSETn	[23:16]	OFFSET[23:16]								0x00000	R/W	
		[15:8]	OFFSET[15:8]										
		[7:0]	OFFSET[7:0]										
0xCB to 0x12D by 14	GAINn	[23:16]	GAIN[23:16]								0x55555	R/W	
		[15:8]	GAIN[15:8]										
		[7:0]	GAIN[7:0]										
0x131	REF_CONTR_OL	[15:8]	RESERVED								0x0001	R/W	
0x130		[7:0]	RESERVED										REF_EN
0x135	V_BIAS	[15:8]	RESERVED								VBIAS_IN8_EN	0x0000	R/W
0x134		[7:0]	VBIAS_IN7_EN	VBIAS_IN6_EN	VBIAS_IN5_EN	VBIAS_IN4_EN	VBIAS_IN3_EN	VBIAS_IN2_EN	VBIAS_IN1_EN	VBIAS_IN0_EN			
0x137	I_PULLUP	[15:8]	RESERVED								I_PULLUP_IN8_EN	0x0000	R/W
0x136		[7:0]	I_PULLUP_IN7_EN	I_PULLUP_IN6_EN	I_PULLUP_IN5_EN	I_PULLUP_IN4_EN	I_PULLUP_IN3_EN	I_PULLUP_IN2_EN	I_PULLUP_IN1_EN	I_PULLUP_IN0_EN			
0x138 to 0x13E by 2	CURRENT_SOURCEN	[15:8]	RESERVED				I_OUT_PIN				0x0000	R/W	
		[7:0]	RESERVED				I_OUT_VAL						
0x141	FIR_CONTR_OL	[15:8]	RESERVED	FIR_MODE			RESERVED	COEFF_SE_T	RESERVED		0x0001	R/W	
0x140		[7:0]	RESERVED	FIR_LENGTH									
0x146	COEFF_WRITE_DATA	[31:24]	RESERVED								0x0000000	R/W	
0x145		[23:16]	COEFF_WR_DATA[23:16]										
0x144		[15:8]	COEFF_WR_DATA[15:8]										
0x143		[7:0]	COEFF_WR_DATA[7:0]										
0x14A	COEFF_READ_DATA	[31:24]	RESERVED								0x0000000	R	
0x149		[23:16]	COEFF_RD_DATA[23:16]										
0x148		[15:8]	COEFF_RD_DATA[15:8]										
0x147		[7:0]	COEFF_RD_DATA[7:0]										
0x14C	COEFF_ADDRESS	[15:8]	RESERVED								0x0000	R/W	
0x14B		[7:0]	COEFF_ADDR										
0x14E	COEFF_WR_RD_STB	[15:8]	RESERVED								0x0000	R/W	
0x14D		[7:0]	RESERVED										COEFF_RD_STB

内蔵レジスタ・マップ

表44. レジスタ・マップ（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x151	DAC_SPAN	[15:8]	RESERVED								0x0000	R/W	
0x150		[7:0]	RESERVED										DAC_GAIN
0x153	DAC_ENABLER	[15:8]	RESERVED								0x0000	R/W	
0x152		[7:0]	RESERVED										DAC_EN
0x155	HW_TOGGLE_MASK	[15:8]	RESERVED								0x0000	R/W	
0x154		[7:0]	RESERVED										HW_TOGGLE_EN
0x157	HW_LDAC_MASK	[15:8]	RESERVED								0x0000	R/W	
0x156		[7:0]	RESERVED										HW_LDAC_EN
0x159	DAC_DATA	[15:8]	RESERVED					DAC_VALUE[11:8]				0x0000	R/W
0x158		[7:0]	DAC_VALUE[7:0]										
0x169	SW_TOGGLE_TRIGGERS	[15:8]	RESERVED								0x0000	R/W	
0x168		[7:0]	RESERVED										SW_TOGGLE
0x16B	SW_LDAC_TRIGGERS	[15:8]	RESERVED								0x0000	R/W	
0x16A		[7:0]	RESERVED										SW_LDAC_EN
0x16D	DAC_INPUT_A	[15:8]	RESERVED					DAC_INPUT_A[11:8]				0x0000	R/W
0x16C		[7:0]	DAC_INPUT_A[7:0]										
0x17D	DAC_INPUT_B	[15:8]	RESERVED					DAC_INPUT_B[11:8]				0x0000	R/W
0x17C		[7:0]	DAC_INPUT_B[7:0]										
0x191	GPIO_MODE	[15:8]	RESERVED								0x0000	R/W	
0x190		[7:0]	CH3_MODE		CH2_MODE			CH1_MODE		CH0_MODE			
0x193	GPIO_OUTPUT_DATA	[15:8]	RESERVED								0x0000	R/W	
0x192		[7:0]	RESERVED					CH3_OUTPUT	CH2_OUTPUT	CH1_OUTPUT			CH0_OUTPUT
0x195	INPUT_DATA	[15:8]	RESERVED								0x0000	R	
0x194		[7:0]	RESERVED					CH3_INPUT	CH2_INPUT	CH1_INPUT			CH0_INPUT

内蔵レジスタ・マップ

INTERFACE_CONFIG_Aレジスタ

アドレス：0x00、リセット：0x10

シリアル・インターフェースの動作はこのレジスタで設定されます。

表45.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE		RESERVED		RESET_SW

表46. INTERFACE_CONFIG_Aレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SW_RESET		2つのSW_RESETビットの1つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に1を書き込む必要があります。このレジスタを除く全てのレジスタがデフォルト値にリセットされます。このリセット動作により、SW_RESETビットおよびRESET_SWビットは0にリセットされます。	0x0	R/W
6	RESERVED		予約済み。	0x0	R
5	ADDR_ASCENSION	0 1	シーケンシャルなアドレス指定動作を決定。 マルチバイト・レジスタへのアクセス時、アクセスするアドレスはデータ・バイトごとに1ずつデクリメントします。 マルチバイト・レジスタへのアクセス時、アクセスするアドレスはデータ・バイトごとに1ずつインクリメントします。	0x0	R/W
4	SDO_ENABLE		SDOピン・イネーブル。	0x1	R
[3:1]	RESERVED		予約済み。	0x0	R
0	RESET_SW		2つのSW_RESETビットの2つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に1を書き込む必要があります。このレジスタを除く全てのレジスタがデフォルト値にリセットされます。このリセット動作により、SW_RESETビットおよびRESET_SWビットは0にリセットされます。	0x0	R/W

INTERFACE_CONFIG_Bレジスタ

アドレス：0x01、リセット：0x80

シリアル・インターフェースの動作はこのレジスタで設定されます。

表47.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SINGLE_INST		RESERVED		SHORT_INSTRUCTION		RESERVED	

表48. INTERFACE_CONFIG_Bレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SINGLE_INST	1	単一命令モード。 単一命令モードを選択。	0x1	R
[6:4]	RESERVED		予約済み。	0x0	R
3	SHORT_INSTRUCTION	0 1	命令フェーズのアドレスを6ビットまたは14ビットに設定。 14ビットのアドレス指定。 6ビットのアドレス指定。	0x0	R/W
[2:0]	RESERVED		予約済み。	0x0	R

内蔵レジスタ・マップ

DEVICE_CONFIGレジスタ

アドレス：0x02、リセット：0x00 このレジスタは読み出し専用です。

表49.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							

表50. DEVICE_CONFIGレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	RESERVED		予約済み。	0x0	R

CHIP_TYPEレジスタ

アドレス：0x03、リセット：0x07

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズ製品ファミリを特定するために用います。目的の製品を一意に特定するには製品IDと併用してください。

表51.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				CHIP_TYPE			

表52. CHIP_TYPEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	RESERVED		予約済み。	0x0	R
[3:0]	CHIP_TYPE		高精度ADC。	0x7	R

PRODUCT_ID_Lレジスタ

アドレス：0x04、リセット：0x40

このレジスタには、製品IDの下位バイトが格納されます。

表53.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRODUCT_ID[7:0]							

表54. PRODUCT_ID_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]		これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品IDをCHIP_TYPEレジスタと共に使用する必要があります。	0x40	R

PRODUCT_ID_Hレジスタ

アドレス：0x05、リセット：0x00

このレジスタには、製品IDの上位バイトが格納されます。

表55.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRODUCT_ID[15:8]							

内蔵レジスタ・マップ

表56. PRODUCT_ID_Hレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]		これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品IDをCHIP_TYPEと共に使用する必要があります。	0x0	R

CHIP_GRADEレジスタ

アドレス：0x06、リセット：0x03

このレジスタは、製品のバリエーションとデバイスのリビジョンを特定します。

表57.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GRADE				DEVICE_REVISION			

表58. CHIP_GRADEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	GRADE		デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION		デバイスのハードウェア・リビジョンです。	0x3	R

SCRATCH_PADレジスタ

アドレス：0x0A、リセット：0x00

このレジスタを使用して、プロセッサとAD4170-4の間での書込み動作や読出し動作をテストできます。

表59.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCRATCH_VALUE							

表60. SCRATCH_PADレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE		ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPI_REVISIONレジスタ

アドレス：0x0B、リセット：0x83 SPIインターフェースのリビジョンを示します。

表61.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI_TYPE		VERSION					

表62. SPI_REVISIONレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	SPI_TYPE		アナログ・デバイセズのSPIタイプ。	0x0	R
[5:0]	SPI VERSION		アナログ・デバイセズのSPIバージョン。	0x3	R

内蔵レジスタ・マップ

VENDOR_Lレジスタ

アドレス：0x0C、リセット：0x56

このレジスタには、Vendor IDの下位バイトが格納されます。

表63.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VID[7:0]							

表64. VENDOR_Lレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID[7:0]		アナログ・デバイセズのベンダID。	0x56	R

VENDOR_Hレジスタ

アドレス：0x0D、リセット：0x04

このレジスタには、Vendor IDの上位バイトが格納されます。

表65.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VID[15:8]							

表66. VENDOR_Hレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID[15:8]		アナログ・デバイセズのベンダID。	0x4	R

INTERFACE_CONFIG_Cレジスタ

アドレス：0x10、リセット：0x27

シリアル・インターフェースはこのレジスタで設定されます。

表67.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRC_ENABLE		STRICT_REGISTER_ACCESS	SEND_STATUS	ACTIVE_INTERFACE_MODE		CRC_ENABLEB	

表68. INTERFACE_CONFIG_Cレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	CRC_ENABLE	00 01	CRCイネーブル。これらのビットにより、シリアル・インターフェースでCRCをイネーブル／ディスエーブルできます。CRCをイネーブル／ディスエーブルするには、CRC_ENABLEBビットにもCRC_ENABLEビットの反転値を書き込む必要があります。リストにない設定は予約済みです。 CRCをディスエーブル。 CRCをイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	1	マルチバイト・レジスタは全て読出し／書込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読出し／書込みをする必要があります。 厳格モード。マルチバイト・レジスタは全バイトの読出し／書込みが必要です。	0x1	R
4	SEND_STATUS		すべての命令フェーズにおけるSDOへの同期パターンの送信をイネーブル。クリアされると、16ビット命令を用いている場合は0x2645という固定同期パターンが送信され、8ビット命令の場合は0x26というパターンが送信されます。セットされると、命令フェーズ中に同期パターンは送信されません。	0x0	R/W
[3:2]	ACTIVE_INTERFACE_MODE	1	これは、SPIインターフェースが動作している際のアクティブ・モードです。	0x1	R
[1:0]	CRC_ENABLEB		CRCイネーブルの反転値。ここには、CRC_ENABLE設定値の反転値を書き込む必要があります。	0x3	R/W

内蔵レジスタ・マップ

INTERFACE_STATUS_Aレジスタ

アドレス：0x11、リセット：0x00

このレジスタは、全ての読出し動作および書込み動作の状態を示します。エラーが発生すると該当のビットが「1」にセットされます。セットされたビットは、対応するビット位置に「1」を書き込むことによってクリアされます。

表69.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
NOT_READY_ERR	RESERVED		CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR

表70. INTERFACE_STATUS_Aレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	NOT_READY_ERR		デバイスのトランザクションに対する準備が未了。このエラー・ビットがセットされるのは、ユーザがデジタル初期化の完了前にSPIトランザクションを実行しようとした場合です。	0x0	R/W1C
[6:5]	RESERVED		予約済み。	0x0	R
4	CLOCK_COUNT_ERR		トランザクションで誤った数のクロック・パルスが検出されるとセットされます。このエラー・チェックのためのトランザクションをフレーム化するにはCSを用いる必要があります。	0x0	R/W1C
3	CRC_ERR		受信CRCが無効または受信CRCがない。これがセットされるのは、プロセッサがCRCを送信できなかった場合、またはAD4170-4がCRCを計算してチェックしその値が正しくなかった場合です。	0x0	R/W1C
2	WR_TO_RD_ONLY_REG_ERR		読出し専用レジスタへの書込みを試行。これがセットされるのは、読出し専用レジスタへの書込みが試行された場合です。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR		読出し／書込みが行われるバイト数が必要な数より少ない場合にセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R/W1C
0	ADDRESS_INVALID_ERR		存在しないレジスタ・アドレスへの読出し／書込みを試行。	0x0	R/W1C

STATUSレジスタ

アドレス：0x14／0x15（下位／上位バイト）、リセット：0x0060

STATUSレジスタには、ADCとシリアル・インターフェースのステータス情報が格納されています。

表71.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
MAIN_ERR_S	POR_FLAG_S	RDYB	SETTLED_FIR	CH_ACTIVE			

表72. STATUSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERRORレジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいは、レジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC変換データ・レディ・インジケータ。	0x1	R
4	SETTLED_FIR		FIRフィルタ出力がセトリングしたときにそれを通知します。このステータス・フラグは、FIRフィルタを使用している場合にのみ意味を持ちます。変換が開始されると、最初のいくつかの変換はセトリングしません。ひとたびフィルタがセトリングするとこのビットがセットされます。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

内蔵レジスタ・マップ

DATA_16Bレジスタ

アドレス：0x16／0x17（下位／上位バイト）、リセット：0x0000

イネーブルされている全てのチャンネルが1つのデータ・レジスタを用いている場合に、16ビットの変換結果はこのレジスタに格納されます。

表73.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				ADC_DATA[15:8]			
				ADC_DATA[7:0]]			

表74. DATA_16Bレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ADC_DATA[15:0]		16ビットADC変換結果。	0x0	R

DATA_16B_STATUSレジスタ

アドレス：0x18／0x19／0x1A（下位／中位／上位バイト）、リセット：0x000060

このレジスタは、16ビット変換結果と共にステータス・ビットを格納します。変換結果およびステータス・ビットは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合に、このレジスタから読み出せます。

表75.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				ADC_DATA[15:8]			
				ADC_DATA[7:0]]			
MAIN_ERR_S	POR_FLAG_S	RDYB	SETTLED_FIR	CH_ACTIVE			

表76. DATA_16B_STATUSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:8]	ADC_DATA[15:0]		16ビットADC変換データ（24ビット変換結果の16MSB）	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERRORレジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいは、レジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC変換データ・レディ・インジケータ。	0x1	R
4	SETTLED_FIR		FIRフィルタ出力がセトリングしたときにそれを通知します。このステータス・フラグは、FIRフィルタを使用している場合にのみ意味を持ちます。変換が開始されると、最初のいくつかの変換はセトリングしません。ひとたびフィルタがセトリングするとこのビットがセットされます。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

DATA_24Bレジスタ

アドレス：0x1C／0x1D／0x1E（下位／中位／上位バイト）、リセット：0x000000

イネーブルされている全てのチャンネルが1つのデータ・レジスタを用いている場合に、24ビットの変換結果はこのレジスタに格納されます。

表77.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				ADC_DATA[23:16]			
				ADC_DATA[15:8]			
				ADC_DATA[7:0]]			

表78. DATA_24Bレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	ADC_DATA[23:0]		24ビットADC変換結果。	0x0	R

内蔵レジスタ・マップ

DATA_24B_STATUSレジスタ

アドレス：0x20（下位バイト）～0x23（上位バイト）、リセット：0x00000060

このレジスタは、24ビット変換結果と共にステータス・ビットを格納します。変換結果およびステータス・ビットは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合に、このレジスタから読み出せます。

表79.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_DATA[23:16]							
ADC_DATA[15:8]							
ADC_DATA[7:0]							
MAIN_ERR_S	POR_FLAG_S	RDYB	SETTLED_FIR	CH_ACTIVE			

表80. DATA_24B_STATUSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	ADC_DATA[23:0]		24ビットADC結果。	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERRORレジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいは、レジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC変換データ・レディ・インジケータ。	0x1	R
4	SETTLED_FIR		FIRフィルタ出力がセトリングしたときにそれを通知します。このステータス・フラグは、FIRフィルタを使用している場合にのみ意味を持ちます。変換が開始されると、最初のいくつかの変換はセトリングしません。ひとたびフィルタがセトリングするとこのビットがセットされます。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

DATA_PER_CHANNELレジスタ

アドレス：0x28（チャンネル0の下位バイト）～0x64（チャンネル15の上位バイト）（4ずつインクリメント）、リセット：0x000000

チャンネルごとにデータ処理する機能が有効化されている場合、イネーブルされたチャンネルからの変換結果はDATA_PER_CHANNELレジスタで取得できます。DATA_PER_CHANNEL0にはチャンネル0からの変換結果が格納され、DATA_PER_CHANNEL15にはチャンネル15からの変換結果が格納されます。

表81.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_CH_DATA[23:16]							
ADC_CH_DATA[15:8]							
ADC_CH_DATA[7:0]							

表82. DATA_PER_CHANNELレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	ADC_CH_DATA		対応するチャンネルからの変換結果。	0x0	R

PIN_MUXINGレジスタ

アドレス：0x68／0x69（下位／上位バイト）、リセット：0x0004

このレジスタには同期オプションが格納されます。また、SDOピンの動作を設定できます。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表83.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED	CHAN_TO_GPIO	RESERVED					
DIG_AUX2_CTRL		DIG_AUX1_CTRL		SYNC_CTRL		DIG_OUT_STR	SDO_RDYB_DLY

内蔵レジスタ・マップ

表84. PIN_MUXINGレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。	0x0	R
14	CHAN_TO_GPIO	0 1	現在のチャンネル数のGPIOピンへの出力。このビットにより、現在のADCチャンネル数をGPIOピンに出力できます。これにより、ADCが複数チャンネルを通じてシーケンス動作を行っている間に、外部マルチプレクサを制御できます。GPIO3がMSBとして動作し、GPIO0がLSBとして動作することで、16通りのチャンネルをサポートします。GPIOピンの他の共用機能は、この機能のはたらきに影響する可能性があります。 0 アクティブ・チャンネル数がGPIOピンに出力されません。 1 アクティブ・チャンネル数がGPIOピンに出力されます。	0x0	R/W
[13:8]	RESERVED		予約済み。	0x0	R
[7:6]	DIG_AUX2_CTRL	00 01 10 11	DIG_AUX2ピンの機能設定。連続送信がイネーブルされている場合、DIG_AUX2はDCLKとして機能します。 00 DIG_AUX2ピンをディスエーブル。高インピーダンス。 01 DIG_AUX2ピンをDAC LDAC入力として設定。これにより、ハードウェアLDACの機能がDACチャンネルに対し有効化されていれば、DIG_AUX2はDACのアクティブ・ローのLCAC入力として設定されます。これは、DAC TOGGLE機能としても使用できます。 10 DIG_AUX2ピンをSTART入力として設定。これは、DIG_AUX1のSYNC_OUT機能と併用する必要があります。SYNC_OUTは、同期されたSTART信号を出力します。SYNC_OUTは、複数のAD4170-4デバイスのSYNC_INピンを駆動し、全部のデバイスを同期させます。メイン・クロックを1分周する場合は、STARTはMCLKの立下がりエッジで内部でサンプリングされ、次の立下がりエッジでSYNC_OUTピンに出力されます。メイン・クロックを2分周する場合は、この信号は3~4個の正のMCLKパルス後にSYNC_OUTに出力されます。MCLKを4分周する場合は、この遅延は5~8個のMCLKの立下がりエッジになります。MCLKを8分周する場合は、この遅延は9~16個のMCLKの立下がりエッジになります。 11 予約済み。	0x0	R/W
[5:4]	DIG_AUX1_CTRL	00 01 10 11	DIG_AUX1ピンの機能設定。連続送信がイネーブルされている場合、DIG_AUX1はRDYとして機能します。 00 DIG_AUX1ピンをディスエーブル。高インピーダンス。 01 DIG_AUX1ピンをADCデータ・レディ出力 (RDY) として設定。これにより、DIG_AUX1はアクティブ・ローのADCデータ・レディ・インジケータとして設定されます。SDOの共用RDY機能は無効化されます。 10 DIG_AUX1ピンをSYNC_OUT出力として設定。これは、DIG_AUX2のSTART機能と併用する必要があります。 11 予約済み。	0x0	R/W
[3:2]	SYNC_CTRL	00 01 10 11	SYNC_INピンをADC同期用に設定します。 00 SYNC_INピン・ディスエーブル。 01 SYNC_INがデフォルトの同期機能を持ちます。SYNC_INはアクティブ・ローの入力です。SYNC_INをローにすると、変調器、デジタル・フィルタ、制御ロジックがリセット状態に保持されます。これにはチャンネル・シーケンスの状態のリセットも含まれます。 10 SYNC_INが代替の同期機能を持ちます。代替同期機能が意味を持つのは、シーケンスにおいて複数のチャンネルがイネーブルされている場合のみです。SYNC_INをローの入力にすると、シーケンスをシーケンスの次のチャンネルに進ませないようにできます。シーケンスがシーケンスの次のチャンネルに進むのは、SYNC_INがハイになった場合のみです。これにより、シーケンスの状態をリセットせずにチャンネルのADCサンプリングの開始を外部制御できます。 11 予約済み。	0x1	R/W
1	DIG_OUT_STR	0 1	デジタル出力ドライバ強度。このビットを用いることで、デジタル出力の駆動強度を増加できます。これにより、IOVDDの値が低い場合にSPIタイミングを改善できます。 0 デフォルトの駆動強度。IOVDDの電圧が高い場合に推奨します。 1 増加した駆動強度。	0x0	R/W
0	SDO_RDYB_DLY	0 1	CSまたはSCLK立下がりエッジでインターエースをリセット。このビットは、共用のSDO/RDYピンが、レジスタ読出しの最後のSCLK後またはCSの立下がりエッジのどちらかでRDYピンとしての機能に戻るかを決定します。RDYがDIG_AUX1ピンに出力される場合は、無関係です。 0 最後のSCLK立下がりエッジでリセット。 1 CSの立下がりエッジでリセット。	0x0	R/W

内蔵レジスタ・マップ

CLOCK_CTRLレジスタ

アドレス：0x6A／0x6B（下位／上位バイト）、リセット：0x0000

メイン・クロック源および内部分周係数はこのレジスタで選択します。連続送信モードでのDCLKの周波数もこのレジスタで設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表85.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
DCLK_DIVIDE		CLOCKDIV		RESERVED		CLOCKSEL	

表86. CLOCK_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:6]	DCLK_DIVIDE	00 DCLKはメイン・クロックを1分周したものに等しくなります。 01 DCLKはメイン・クロックを2分周したものに等しくなります。 10 DCLKはメイン・クロックを4分周したものに等しくなります。 11 DCLKはメイン・クロックを8分周したものに等しくなります。	連続送信データ・クロック分周器。これらのビットにより、連続送信モードで使用するデータ・クロックの調整が可能です。データ・クロックは、選択したメイン・クロックとオプションの分周比に基づきます。	0x0	R/W
[5:4]	CLOCKDIV	00 1分周。 01 2分周。 10 4分周。 11 8分周。	メイン・クロック分周器。これらのビットにより、外部または内部のクロック周波数のプラグラマブル分周器が可能になります。	0x0	R/W
[3:2]	RESERVED		予約済み。	0x0	R
[1:0]	CLOCKSEL	00 内部発振器。 01 内部発振器。XTAL2ピンへ出力。 10 XTAL2ピンの外部クロック入力。 11 XTAL1ピンとXTAL2ピンの外部水晶振動子。	ADCクロックの選択。これらのビットはADCのクロック源の選択に使用します。内部発振器を選択すると、発振器がパワーアップします。	0x0	R/W

STANDBY_CTRLレジスタ

アドレス：0x6C／0x6D（下位／上位バイト）、リセット：0x0000

メイン・クロック、内部プルアップ、DAC、パワーダウン・スイッチ、VBIAS、励起電流、内部リファレンスなどの機能は、スタンバイ時にも有効化したままにできます。DAC出力は有効化したままにできますが、DACを更新してスタンバイ時に別の出力を生成することはできない点に注意してください。スタンバイ時に有効化したままにする機能は、このレジスタを用いて選択できます。このレジスタのビットが何らかの効果を持つためには、機能を各制御レジスタで個別に有効化する必要があります。

表87.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							STB_EN_CLOCK
STB_EN_IPULLUP	RESERVED	STB_EN_DAC	STB_PDSW1	STB_PDSW0	STB_EN_VBIAS	STB_EN_IEXC	STB_EN_REFEREN CE

内蔵レジスタ・マップ

表88. STANDBY_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R
8	STB_EN_CLOCK		セットされた場合、メイン・クロックはスタンバイ・モード時にアクティブなままとなります。外部水晶振動子を用いる場合でも、これは発振を続けます。	0x0	R/W
7	STB_EN_IPULLUP		セットされた場合、プルアップ電流はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
6	RESERVED		予約済み。	0x0	R
5	STB_EN_DAC		セットされた場合、DACはスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
4	STB_PDSW1		セットされた場合、PDSW1はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
3	STB_PDSW0		セットされた場合、PDSW0はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
2	STB_EN_VBIAS		セットされた場合、VBIASはスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
1	STB_EN_IEXC		セットされた場合、内部励起電流はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
0	STB_EN_REFERENCE		セットされた場合、内部リファレンスはスタンバイ・モード時にアクティブなままとなります。励起電流またはDACがスタンバイ・モード時にアクティブなままである場合、内部リファレンスを有効化したままにする必要があります。	0x0	R/W

POWER_DOWN_SWレジスタ

アドレス：0x6E／0x6F（下位／上位バイト）、リセット：0x0000

このレジスタを用いて、ローサイド・パワー・スイッチがイネーブル／ディスエーブルされます。2つのパワー・スイッチがGPIO0（PDSW0）とGPIO1（PDSW1）で使用できます。

表89.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED						PDSW_1	PDSW_0

表90. CLOCK_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:2]	RESERVED		予約済み。	0x0	R
1	PDSW_1	0 1	PDSW1ピンをイネーブル。 GPIO1とAVSSの間のPDSW1スイッチをディスエーブル。 GPIO1とAVSSの間のPDSW1スイッチをイネーブル。	0x0	R/W
0	PDSW_0	0 1	PDSW0ピンをイネーブル。 GPIO0とAVSSの間のPDSW0スイッチをディスエーブル。 GPIO0とAVSSの間のPDSW0スイッチをイネーブル。	0x0	R/W

ADC_CTRLレジスタ

アドレス：0x70／0x71（下位／上位バイト）、リセット：0x0000

動作モードはこのレジスタを用いて設定します。このレジスタに書込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表91.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
MULTI_DATA_REG_SEL	CONT_READ_STATUS_EN	CONT_READ		MODE			

表92. ADC_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R

内蔵レジスタ・マップ

表92. ADC_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	MULTI_DATA_REG_SEL	0 1	<p>データ・レジスタが1つか複数かを選択します。チャンネルは、共通のデータ・レジスタ（およびオプションのステータス・バイト）を共用するように設定することも、別々のデータ・レジスタをシリアル・インターフェースを介して個別にアドレス指定するように設定することもできます。複数チャンネルの場合のRDYの動作は、選択したオプションによって異なります。</p> <p>0 各チャンネルは固有のデータ・レジスタを備えています。イネーブルされた各チャンネルは、その結果を専用のデータ・レジスタに書き込みます。これらのレジスタはシリアル・インターフェースを介して個別にアドレス指定できます。この設定では、RDYがアサートされるのは、シーケンスでイネーブルされている全てのチャンネルがADC変換を完了した後です。そのため、ホストへの一回の割込みの後に、全てのデータ・レジスタからの結果を読み出すことができます。この機能が有効化されている場合、REPEAT機能は使用できません。</p> <p>1 チャンネルはデータ・レジスタを共用します。RDYは各チャンネルの後にアサートされます。イネーブルされた全てのADCチャンネルは、共通のデータ・レジスタを共用します。関連レジスタをアドレス指定することで変換結果と共にステータス・バイトを取得するオプションも可能です。この設定では、シーケンスでどのチャンネルがADC変換を完了した後でも、RDYがアサートされます。変換結果の読出しは、次の変換結果が読出し可能となる前に行う必要があります。新しい変換結果が読出し可能になると、データ・レジスタはその新しい結果に更新されるためです。</p>	0x0	R/W
6	CONT_READ_STATUS_EN	0 1	<p>連続読出し／送信でのステータス出力をイネーブル。このビットは、連続読出しまたは連続送信がイネーブルされている場合に、変換結果と共にステータス・バイトを出力するかどうかを定めます。連続読出しでは、ステータス・バイトは変換結果の直後に続きます。連続送信では、ステータス・バイトは送信される最初のバイトです。CRCがイネーブルされている場合は、これは2番目のスロットで繰り返されます。</p> <p>0 ステータス・バイトの出力なし。</p> <p>1 ステータス・バイトを出力。CSはデータ + ステータスの読出し全体でローに維持する必要があります。</p>	0x0	R/W
[5:4]	CONT_READ	00 01 10 11	<p>連続データ・レジスタ読出し／送信イネーブル。このビットは、ADCデータ・レジスタの連続読出しまたは連続送信をイネーブルします。ADCは連続変換モードになっている必要があります。</p> <p>00 連続読出し／送信をディスエーブル。</p> <p>01 連続読出しをイネーブル。これは、ADCデータ・レジスタの連続読出しをイネーブルします。ADCは連続変換モードになっている必要があります。連続読出しでは、SPIインターフェースを介してADCのデータ・レジスタの読出しのみを実行でき、データ・レジスタのアドレスを指定するための命令バイトは不要です。データ・レジスタの読出しに時間がかかりすぎる場合、その読出しは、次のADC変換結果がデータ・レジスタに書き込まれることになる直前にアボートされます。連続読出しを終了するには、RDYがローになった後の最初のデータ・バイトとして、SPIインターフェースにコマンド0xA5を書き込みます。あるいは、63個の1と1個の0からなるパターンを3回ADCに書き込むことで、いつでもシリアル・インターフェース・リセットを実行できます。INTERFACE_CONFIG_Aレジスタへの書き込みによるリセットは、連続読出しを終了するオプションではありません。</p> <p>10 連続送信をイネーブル。これは、ADCデータ・レジスタの連続送信をイネーブルします。ADCは連続変換モードになっている必要があります。このモードでは、新しい変換結果が出力できるようになると、DIG_AUX2ピンをデータ・クロックDCLKとして用いてADCのデータが自動的にSDOに送信されます。DIG_AUX1ピンはフレーム同期として自動的に使用されます。DIG_AUX1、DIG_AUX2のその他の機能は自動的に無効になります。データ・フレームは1つまたは2つの32ビット・スロットで構成されます。イネーブルされている場合、ADCステータス・レジスタおよびCRCバイトが含まれます。CRCは2番目のスロットを使用する必要があります。データ・クロックDCLKは、オプションの追加分周比と共にメイン・クロックから引き出されます。分周比は、次のADC結果の前に送信が終了するのに十分なDCLKを確保できるものであることが必要です。SPIシリアル・クロックSCLKは、このモードでのADCデータ送信には使用しません。SDOピンがADCデータの送信専用になるため、レジスタ読出し（連続送信終了コマンドを除く）はできません。連続送信を終了するには、このレジスタに書き込みを行い、CONT_READビットを0に設定します。あるいは、シリアル・インターフェース・リセット（63個の1と1個の0を3回ADCに書き込む）をいつでも実行できます。</p> <p>11 予約済み。</p>	0x0	R/W
[3:0]	MODE		ADCの動作モード。これらのビットはADCの動作モードを制御します。リストにない設定は予約済みです。	0x0	R/W

内蔵レジスタ・マップ

表92. ADC_CTRLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		0000	連続変換モード（デフォルト）。連続変換モードでは、ADCは連続して変換を行い、変換結果がデータ・レジスタに格納されます。 $\overline{\text{RDY}}$ は変換が完了すると、ローになります。ユーザは該当のレジスタを読み出すか、連続読出しあるいは連続送信のオプションを有効化することで、これらの変換結果を読み出すことができます。		
		0001	連続変換モードFIRフィルタ。ADCは、FIRフィルタを使用して1つのチャンネルで連続的に変換を行います。各変換が終了すると $\overline{\text{RDY}}$ はローになります。ユーザは該当のレジスタを読み出すか、連続読出しあるいは連続送信のオプションを有効化することで、これらの変換結果を読み出すことができます。FIRフィルタが選択されている場合、1つのチャンネルのみを使用できる点に注意してください。		
		0100	シングル変換モード。ADCは、sincベースのフィルタを用いて、イネーブルされたチャンネルごとにシングル変換を（場合によっては繰り返して）行います。変換が終了するとADCはスタンバイになります。		
		0101	スタンバイ・モード。デフォルトでは、LDOとシリアル・インターフェースを除くAD4170-4の全てのセクションは、パワーダウンされます。スタンバイ・モードでは、内蔵レジスタの内容は保持されます。スタンバイ・モードでは、内部リファレンス、バイアス電圧発生器、励起電流、内蔵発振器などの機能は有効化したままにできます。スタンバイ・モードでのこれらの機能の状態は、STANDBY_CTRLレジスタを用いて制御します。		
		0110	パワーダウン・モード。パワーダウン・モードでは、全ての回路がパワーダウンします。LDOへの電力供給も停止します。パワーダウン・モードでは、内蔵レジスタの内容は保持されません。このため、パワーダウン・モードの終了後には、全てのレジスタを再プログラムする必要があります。パワーダウン・モードに移行するには、デバイスは最初にスタンバイ・モードになることが必要です。パワーダウン・モードを終了するには、63個の1と1個の0を3回ADCに書き込むことでシリアル・インターフェースをリセットすることが必要です。		
		0111	アイドル・モード。アイドル・モードでは、変調器のクロックは引き続き機能しますが、ADCフィルタと変調器はリセット状態に保持されます。		
		1000	システム・ゼロスケール（オフセット）キャリブレーション。選択したチャンネルの入力ピンにシステム・ゼロスケール入力を接続します。 $\overline{\text{RDY}}$ は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数が、選択したチャンネルのオフセット・レジスタに格納されます。ゼロスケール・キャリブレーションを実行している場合は、1つのチャンネルのみを選択します。		
		1001	システム・フルスケール（ゲイン）キャリブレーション。選択したチャンネルの入力ピンにシステム・フルスケール入力を接続します。 $\overline{\text{RDY}}$ は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したフルスケール係数が、選択したチャンネルのゲイン・レジスタに格納されます。フルスケール・キャリブレーションを実行している場合は、1つのチャンネルのみを選択します。		
		1010	内部ゼロスケール（オフセット）キャリブレーション。内部短絡が自動的に入力へ接続されます。 $\overline{\text{RDY}}$ は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数は、選択したチャンネルのオフセット・レジスタに格納されます。ゼロスケール・キャリブレーションを実行する場合は、1つのチャンネルのみを選択します。		

ERROR_ENレジスタ

アドレス：0x72/0x73（下位/上位バイト）、リセット：0x0000

このレジスタの適切なビットを設定することで、全ての診断機能を有効化または無効化できます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

内蔵レジスタ・マップ

表93.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	IOUT3_COMP_ERR_EN	IOUT2_COMP_ERR_EN	IOUT1_COMP_ERR_EN	IOUT0_COMP_ERR_EN
REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN

表94. ERROR_ENレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	RESERVED		予約済み。	0x0	R
13	DLDO_PSM_ERR_EN		このビットがセットされている場合、デジタルLDO電圧が連続的にモニタされます。デジタルLDOから出力されている電圧が1.6V（代表値）未満の場合は、ERRORレジスタのDLDO_PSM_ERRビットがセットされます。	0x0	R/W
12	ALDO_PSM_ERR_EN		このビットがセットされている場合、アナログLDO電圧が連続的にモニタされます。アナログLDOから出力されている電圧が1.5V（代表値）未満の場合は、ERRORレジスタのALDO_PSM_ERRビットがセットされます。	0x0	R/W
11	IOUT3_COMP_ERR_EN		このビットがセットされている場合、励起電流IOUT3が連続的にモニタされます。電流の大きさが減少した場合、ERRORレジスタのIOUT3_COMP_ERRビットがセットされます。	0x0	R/W
10	IOUT2_COMP_ERR_EN		このビットがセットされている場合、励起電流IOUT2が連続的にモニタされます。電流の大きさが減少した場合、ERRORレジスタのIOUT2_COMP_ERRビットがセットされます。	0x0	R/W
9	IOUT1_COMP_ERR_EN		このビットがセットされている場合、励起電流IOUT1が連続的にモニタされます。電流の大きさが減少した場合、ERRORレジスタのIOUT1_COMP_ERRビットがセットされます。	0x0	R/W
8	IOUT0_COMP_ERR_EN		このビットがセットされている場合、励起電流IOUT0が連続的にモニタされます。電流の大きさが減少した場合、ERRORレジスタのIOUT0_COMP_ERRビットがセットされます。	0x0	R/W
7	REF_DIFF_MIN_ERR_EN		このビットがセットされている場合、選択されているリファレンス源の差動電圧がモニタされます。電圧が仕様規定された値未満になると、ERRORレジスタのREF_DIFF_MIN_ERRビットがセットされます。	0x0	R/W
6	REF_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルのREFINn+ピンの過電圧／低電圧モニタがイネーブルされます。	0x0	R/W
5	AINM_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルのAINMピンの過電圧／低電圧モニタがイネーブルされます。	0x0	R/W
4	AINP_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルのAINPピンの過電圧／低電圧モニタがイネーブルされます。	0x0	R/W
3	ADC_CONV_ERR_EN		このビットがセットされている場合、変換がモニタされ、アナログ入力オーバーレンジまたはアンダーレンジになるとADC_CONV_ERRビットがセットされます。	0x0	R/W
2	SPI_ERR_EN		SPIエラーをイネーブル。このビットは、SPIインターフェース・エラー（INTERFACE_STATUS_Aレジスタ）もERRORレジスタのSPI_ERRビットをアサートするかどうかを制御します。	0x0	R/W
1	MM_CRC_ERR_EN		このビットがセットされている場合、メモリ・マップでCRC計算が実行されます。この後、内蔵レジスタで定期的なCRCチェックが実行されます。レジスタの破損や更なるレジスタ書き込みによりレジスタの内容が変更された場合は、MM_CRC_ERRビットがセットされます。	0x0	R/W
0	ROM_CRC_ERR_EN		FIR_MODEのみの機能。このビットがセットされている場合、ROMからロードされた係数についてCRC計算が実行されます。RAMにロードされた係数がROMに保存されている値と一致しない場合、ROM_CRC_ERRビットがセットされます。ユーザプログラマブル係数を使用している場合は、この機能は無効です。	0x0	R/W

ERRORレジスタ

アドレス：0x74／0x75（下位／上位バイト）、リセット：0x0000

内蔵レジスタ・マップ

AD4170-4は、過電圧および低電圧のチェックやSPIインターフェースのチェックなどの診断機能を備えています。ERRORレジスタには、様々な診断機能のフラグが含まれています。これらの機能は、ERROR_ENレジスタを使用して有効化や無効化が行われます。エラーが検出されるとエラー・ステータス・フラグが1にセットされます。エラー状態がそれ以上存在しなくなると、このレジスタの関連ビットに1を書き込むことでエラー・ステータス・フラグをクリアできます。

表95.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	IOUT3_COMP_ERR	IOUT2_COMP_ERR	IOUT1_COMP_ERR	IOUT0_COMP_ERR
REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	ROM_CRC_ERR

表96. ERRORレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	DEVICE_ERROR		デバイス初期化ステータス・ビット。このビットがセットされた場合、デバイス・リセットを推奨します。このビットはクリアできません。	0x0	R
14	RESERVED		予約済み。	0x0	R
13	DLDO_PSM_ERR		デジタルLDOステータス・ビット。	0x0	R/W1C
12	ALDO_PSM_ERR		アナログLDOステータス・ビット。	0x0	R/W1C
11	IOUT3_COMP_ERR		IOUT3用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
10	IOUT2_COMP_ERR		IOUT2用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
9	IOUT1_COMP_ERR		IOUT1用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
8	IOUT0_COMP_ERR		IOUT0用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
7	REF_DIFF_MIN_ERR		リファレンス差動電圧過小ステータス・ビット。	0x0	R/W1C
6	REF_OV_UV_ERR		REFIN過電圧／低電圧ステータス・ビット。	0x0	R/W1C
5	AINM_OV_UV_ERR		AINM過電圧／低電圧ステータス・ビット。	0x0	R/W1C
4	AINP_OV_UV_ERR		AINP過電圧または低電圧ステータス・ビット。	0x0	R/W1C
3	ADC_CONV_ERR		アナログ入力オーバーレンジ／アンダーレンジ・ステータス・ビット。	0x0	R/W1C
2	SPI_ERR		SPIインターフェース・エラー・ステータス・ビット。	0x0	R/W1C
1	MM_CRC_ERR		メモリ・マップCRCエラー・ステータス・ビット。	0x0	R/W1C
0	ROM_CRC_ERR		ROMエラーCRCステータス・ビット。	0x0	R/W1C

CHANNEL_ENレジスタ

アドレス：0x78／0x79（下位／上位バイト）、リセット：0x0001

チャンネルは、CHANNEL_ENレジスタでイネーブルされます。1つのチャンネルのみがイネーブルされている場合、チャンネルを通じたシーケンス処理はありません。複数のチャンネルがイネーブルされている場合、AD4170-4は、イネーブルされている全てのチャンネルを（イネーブルされたチャンネルのうちで最小番号のものから最大番号のものに向かって）自動的にシーケンス処理し、チャンネルに関連するセットアップ条件を自動的に適用し、イネーブルされた各チャンネルから変換結果を生成します（変換数はCHANNEL_SETUP_nレジスタで設定）。シーケンサを用いる場合、チャンネル0はイネーブルされるチャンネルの1つに必ずなっていないわけではありません。特定のADCモード（FIRフィルタおよびキャリブレーションを用いる変換）は、単一のチャンネルでのみ実行されます。どのチャンネルもイネーブルされていない場合、AD4170-4はチャンネル0を内部で選択します。

このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表97.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8
CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0

表98. CHANNEL_ENレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_15		シーケンサのチャンネル15をイネーブル。	0x0	R/W
14	CH_14		シーケンサのチャンネル14をイネーブル。	0x0	R/W
13	CH_13		シーケンサのチャンネル13をイネーブル。	0x0	R/W

内蔵レジスタ・マップ

表98. CHANNEL_ENレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
12	CH_12		シーケンサのチャンネル12をイネーブル。	0x0	R/W
11	CH_11		シーケンサのチャンネル11をイネーブル。	0x0	R/W
10	CH_10		シーケンサのチャンネル10をイネーブル。	0x0	R/W
9	CH_9		シーケンサのチャンネル9をイネーブル。	0x0	R/W
8	CH_8		シーケンサのチャンネル8をイネーブル。	0x0	R/W
7	CH_7		シーケンサのチャンネル7をイネーブル。	0x0	R/W
6	CH_6		シーケンサのチャンネル6をイネーブル。	0x0	R/W
5	CH_5		シーケンサのチャンネル5をイネーブル。	0x0	R/W
4	CH_4		シーケンサのチャンネル4をイネーブル。	0x0	R/W
3	CH_3		シーケンサのチャンネル3をイネーブル。	0x0	R/W
2	CH_2		シーケンサのチャンネル2をイネーブル。	0x0	R/W
1	CH_1		シーケンサのチャンネル1をイネーブル。	0x0	R/W
0	CH_0		シーケンサのチャンネル0をイネーブル。複数のチャンネルをイネーブルする場合、チャンネル0は常に用いなくてはならない点に注意してください。	0x1	R/W

CHANNEL_SETUPレジスタ

アドレス：0x80（CHANNEL_SETUP0の下位バイト）～0xBC（CHANNEL_SETUP15の上位バイト）（4ずつインクリメント）、リセット：0x0000

AD4170-4は、CHANNEL_SETUP0～CHANNEL_SETUP15の16個のチャンネル・セットアップ・レジスタを備えています。ユーザは各レジスタを介してセットアップを選択できます。セットアップは、ユーザが定義した8個の異なるオプションから選択できます。ADCは、変換時にイネーブルされた全てのチャンネルを自動的に循環します。REPEAT機能は、チャンネルが選択されるごとにそのチャンネルで実行される変換の数を示します。これにより、必要に応じて、シーケンス内で複数のチャンネルを複数回サンプリングできます。チャンネルが選択されるたびに遅延が追加されるため、フロント・エンド回路はADCが変換を始める前にセトリングできます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表99.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
REPEAT							
RESERVED	DELAY			RESERVED	SETUP		

表100. CHANNEL_SETUPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	REPEAT		このチャンネルを反復する回数。この設定により、シーケンスの次のチャンネルに移行する前に、所定のチャンネルで複数の変換を行うことができます。REPEATが「0」に設定されている場合は、そのチャンネルで実行される変換は1回のみです。この機能は、チャンネルごとにデータ・レジスタを用いる（全チャンネルがDATAレジスタを共用する必要がある）場合には使用できない点に注意してください（全チャンネルが1個のデータ・レジスタを共用する必要があります）。REPEAT機能はFIRフィルタを用いる場合も機能しません。	0x0	R/W
7	RESERVED		予約済み。	0x0	R
[6:4]	DELAY	000 001 010 011 100 101	チャンネル・スイッチ後に追加する遅延。これらのビットで、ADCがチャンネルを選択した後にプログラマブルな遅延を追加できます。この遅延は、ADCがそのチャンネルでサンプリングを始める前に生じます。これは、外部フロント・エンド回路に一定のセトリング時間が必要な場合に役に立ちます。指定する遅延は、変調器のクロック周波数 f_{MOD} （ $MCLK/4$ ）を基準にします。ここで、MCLKは（メイン・クロック/クロック分周比）で、CLOCK_CTRLレジスタを用いて設定されます。 遅延なし。 $16 * f_{MOD}$ の遅延。 $256 * f_{MOD}$ の遅延。 $1024 * f_{MOD}$ の遅延。 $2048 * f_{MOD}$ の遅延。 $4096 * f_{MOD}$ の遅延。	0x0	R/W

内蔵レジスタ・マップ

表100. CHANNEL_SETUPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		110	8192 * f _{MOD} の遅延。		
		111	16384 * f _{MOD} の遅延。		
3	RESERVED		予約済み。	0x0	R
[2:0]	SETUP		セットアップの選択。これらのビットは、このチャンネル用のADCの設定に使用するセットアップ（8個のセットアップのいずれか）を特定します。セットアップは、AFE、FILTER、FILTER_FS、MISC、オフセット・レジスタ、ゲイン・レジスタで構成されます。全てのチャンネルで同じセットアップを使用できます。この場合、全てのアクティブ・チャンネルのこれらのビットに同じ3ビット値を書き込む必要があります。あるいは、最大8つのチャンネルを異なる構成にすることもできます。	0x0	R/W

CHANNEL_MAPレジスタ

アドレス：0x82（CHANNEL_MAP0の下位バイト）～0xBE（CHANNEL_MAP15の上位バイト）（4ずつインクリメント）、リセット：0x0001

AD4170-4は、CHANNEL_MAP0～CHANNEL_MAP15の16個のチャンネル・レジスタを備えています。各レジスタを介してチャンネルを設定できます（AINP入力およびAINM入力）。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表101.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	RESERVED					AINP_N	
	RESERVED					AINM_N	

表102. CHANNEL_MAPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予約済み。	0x0	R
[12:8]	AINP_N		このチャンネルのマルチプレクサの正入力。	0x0	R/W
		00000	AIN0。		
		00001	AIN1。		
		00010	AIN2。		
		00011	AIN3。		
		00100	AIN4。		
		00101	AIN5。		
		00110	AIN6。		
		00111	AIN7。		
		01000	AIN8。		
		01001	予約済み。		
		01010	予約済み。		
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	TEMP_SENSOR+。		
		10010	(AVDD-AVSS)/5+。		
		10011	(IOVDD-DGND)/5+。		
		10100	DAC。		
		10101	ALDO。		
		10110	DLDO。		
		10111	AVSS。		
		11000	DGND。		

内蔵レジスタ・マップ

表102. CHANNEL_MAPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		11001	REFIN+。		
		11010	REFIN-。		
		11011	REFIN2+。		
		11100	REFIN2-。		
		11101	REFOUT。		
		11110	予約済み。		
		11111	予約済み。		
[7:5]	RESERVED		予約済み。	0x0	R
[4:0]	AINM_N		このチャンネルのマルチプレクサの負入力。	0x1	R/W
		00000	AIN0。		
		00001	AIN1。		
		00010	AIN2。		
		00011	AIN3。		
		00100	AIN4。		
		00101	AIN5。		
		00110	AIN6。		
		00111	AIN7。		
		01000	AIN8。		
		01001	予約済み。		
		01010	予約済み。		
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	TEMP_SENSOR-。		
		10010	(AVDD-AVSS)/5-。		
		10011	(IOVDD-DGND)/5-。		
		10100	DAC- (GND)。		
		10101	ALDO。		
		10110	DLDO。		
		10111	AVSS。		
		11000	DGND。		
		11001	REFIN+。		
		11010	REFIN-。		
		11011	REFIN2+。		
		11100	REFIN2-。		
		11101	REFOUT。		
		11110	予約済み。		
		11111	予約済み。		

MISCELLANEOUS (MISC) レジスタ

アドレス : 0xC0 (MISC0の下位バイト) ~0x122 (MISC7の上位バイト) (14ずつインクリメント)、リセット : 0x0000

AD4170-4には、MISC0~MISC7の8個の各種設定レジスタがあります。各種設定レジスタはそれぞれ1つのセットアップに関連付けられており、MISCnはセットアップnに関連付けられています。励起電流のチョッピング、マルチプレクサのチョッピング、およびAC励起は、これらのレジスタで設定します。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

内蔵レジスタ・マップ

表103.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHOP_IEXC		RESERVED				CHOP_ADC	
RESERVED						BURNOUT	

表104. MISCレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	CHOP_IEXC	00 01 10 11	<p>励起電流のチョッピング制御。これにより、3線式RTDなどの励起電流の良好なマッチングが必要なアプリケーションのための励起電流ペアのチョッピングができます。チョッピングする励起電流ペアは同じ値であることが必要です。そのため、ペアABのどちらの電流も同じ大きさで、ペアCDのどちらの電流も同じ値であることが必要です。</p> <p>00 励起電流のチョッピングなし。励起電流にはスワップやチョッピングが行われません。</p> <p>01 IOUT0とIOUT1（ペアAB）の励起電流のチョッピング。IOUT0およびIOUT1の励起電流の出力ピンの選択は定期的にスワップされ、変換はフェーズごとに行われて2つの変換が平均化されます。</p> <p>10 IOUT2とIOUT3（ペアCD）の励起電流のチョッピング。IOUT2およびIOUT3の励起電流の出力ピンの選択は定期的にスワップされ、変換はフェーズごとに行われて2つの変換が平均化されます。</p> <p>11 励起電流の両ペア（ペアABおよびペアCD）のチョッピング。（IOUT0, IOUT1）および（IOUT2, IOUT3）の励起電流の出力ピンの選択は定期的にスワップされ、変換はフェーズごとに行われて2つの変換が平均化されます。</p>	0x0	R/W
[13:10]	RESERVED		予約済み。	0x0	R
[9:8]	CHOP_ADC	00 01 10 11	<p>チョッピング。これによりチョッピング機能が有効になり、オフセット誤差を減らせます。チョッピングが有効になると一般にチャンネル・セトリング時間が増加します。これは、内部変換をチョッピングの両極性に対し行う必要があるためです。</p> <p>00 チョッピングなし。チョッピングは行われません。</p> <p>01 内部マルチプレクサをチョッピング。内部マルチプレクサは正と負のアナログ入力を定期的にスワップし、ADCはこれらの選択ごとに内部変換を実行して2つの変換を平均化します。これによりオフセットおよびオフセット・ドリフトが最小限に抑えられます。</p> <p>10 4個の汎用出力を使用するAC励起。</p> <p>11 2個の汎用出力を使用するAC励起。</p>	0x0	R/W
[7:2]	RESERVED		予約済み。	0x0	R
[1:0]	BURNOUT	00 01 10 11	<p>バーニアアウト電流値。これらの電流は、MUXPおよびMUXMで出力されます。そのため、電流が1つのチャンネルでイネーブルされている場合でも、電流がアクティブになるのは、そのチャンネルが選択されている場合のみです。</p> <p>00 オフ。</p> <p>01 $\pm 100\text{nA}$。</p> <p>10 $\pm 2\mu\text{A}$。</p> <p>11 $\pm 10\mu\text{A}$。</p>	0x0	R/W

AFEレジスタ

アドレス：0xC2（AFE0の下位バイト）～0x124（AFE7の上位バイト）（14ずつインクリメント）、リセット：0x0050

AD4170-4には、AFE0～AFE7の8個のAFEレジスタがあります。AFEレジスタはそれぞれ1つのセットアップに関連付けられており、AFEnはセットアップnに関連付けられています。AFEレジスタでは、PGAゲイン、リファレンス源、極性、リファレンス・バッファが設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表105.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				REF_BUF_M		REF_BUF_P	
RESERVED	REF_SELECT		BIPOLAR	PGA_GAIN			

内蔵レジスタ・マップ

表106. AFEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R
[11:10]	REF_BUF_M		REFINn Buffer-をイネーブル。	0x0	R/W
		00	プリチャージ・バッファ。		
		01	フル・バッファ。		
		10	バイパス。		
		11	予約済み。		
[9:8]	REF_BUF_P		REFINn Buffer+をイネーブル。	0x0	R/W
		00	プリチャージ・バッファ。		
		01	フル・バッファ。		
		10	バイパス。		
		11	予約済み。		
7	RESERVED		予約済み。	0x0	R
[6:5]	REF_SELECT		ADCリファレンスの選択。	0x2	R/W
		00	REFIN+、REFIN-。		
		01	REFIN2+、REFIN2-。		
		10	REFOUT、AVSS。2.5VのREFOUTはREF_CONTROLレジスタで別にイネーブルする必要があります。		
		11	AVDD、AVSS。		
4	BIPOLAR		バイポーラまたはユニポーラのADCスパンの選択。	0x1	R/W
		0	ユニポーラ。公称スパンは0V~V _{REF} /PGA_GAINです。ADCデータのエンコーディングはストレート・バイナリで、0Vの差動は0x000000になり、+のフルスケールは0xFFFFFになります。		
		1	バイポーラ。公称スパンは-V _{REF} /PGA_GAIN~+V _{REF} /PGA_GAINです。ADCデータのエンコーディングは2の補数で、0Vの差動は0x000000、+のフルスケールは0x7FFFFF、-のフルスケールは0x800000になります。		
[3:0]	PGA_GAIN		PGAゲインの選択。リストにない設定は予約済みです。	0x0	R/W
		0000	PGAゲイン = 1。		
		0001	PGAゲイン = 2。		
		0010	PGAゲイン = 4。		
		0011	PGAゲイン = 8。		
		0100	PGAゲイン = 16。		
		0101	PGAゲイン = 32。		
		0110	PGAゲイン = 64。		
		0111	PGAゲイン = 128。		
		1000	PGAゲイン = 0.5。		
		1001	PGAゲイン = 1プリチャージ・バッファ。		

FILTERレジスタ

アドレス：0xC4 (FILTER0の下位バイト) ~ 0x126 (FILTER7の上位バイト) (14ずつインクリメント)、リセット：0x0000

AD4170-4には、FILTER0~FILTER7の8個のフィルタ・レジスタがあります。フィルタ・レジスタはそれぞれ1つのセットアップに関連付けられており、FILTERnはセットアップnに関連付けられています。FILTERレジスタでは、フィルタのタイプが選択されます。このレジスタは連続変換モードのFIRを用いる場合には無関係となります。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表107.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
POST_FILTER_SEL				FILTER_TYPE			

内蔵レジスタ・マップ

表108. FILTERレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:4]	POST_FILTER_SEL	0000 0001 0010 0011 0101	ポスト・フィルタ。ポスト・フィルタにより、良好な除去比を実現しながらも妥当なセトリング時間を持つ、50Hzおよび60Hzの同時除去が可能です。リストにない設定は予約済みです。 ポスト・フィルタなし。 セトリング時間が40msの50Hz/60Hz同時除去を行うポスト・フィルタ。このポスト・フィルタは、前段の $\text{sinc}^3/\text{sinc}^5$ + 平均化フィルタの出力レートが1200Hz (FS = 416 (クロック分周比を1に設定しADCチョッピングをディスイーブルした16MHzクロック)) に設定されている場合に、約40msのセトリングで50Hzと60Hzの除去を行います。 セトリング時間が50msの50Hz/60Hz同時除去を行うポスト・フィルタ。このポスト・フィルタは、前段の $\text{sinc}^3/\text{sinc}^5$ + 平均化フィルタの出力レートが1200Hz (FS = 416 (クロック分周比を1に設定しADCチョッピングをディスイーブルした16MHzクロック)) に設定されている場合に、約50msのセトリングで50Hzと60Hzの除去を行います。 セトリング時間が60msの50Hz/60Hz同時除去を行うポスト・フィルタ。このポスト・フィルタは、前段の $\text{sinc}^3/\text{sinc}^5$ + 平均化フィルタの出力レートが1200Hz (FS = 416 (クロック分周比を1に設定しADCチョッピングをディスイーブルした16MHzクロック)) に設定されている場合に、約60msのセトリングで50Hzと60Hzの除去を行います。 16回の平均化を行うポスト・フィルタ。 sinc フィルタ (sinc^3 または sinc^5 + 平均化) の後に平均化ブロックが続きます。 sinc フィルタは4~1024のFILTER_FS値が使用できます。	0x0	R/W
[3:0]	FILTER_TYPE	0000 0100 0110	sinc ベースのフィルタのフィルタ・モード。これは、使用するデジタル・フィルタのタイプを決定します。許容されるFILTER_FS値には、フィルタ・タイプとポスト・フィルタ処理を行うかどうかに応じた制限があります。CONVERT_FIR動作モードを使用する場合は、このレジスタ設定は無関係となります。リストにない設定は予約済みです。 sinc^5 + 平均化。このデジタル・フィルタ・オプションは、固定の sinc^5 フィルタとその後段に量がプログラマブルな平均化フィルタを用います。許容されるFILTER_FS値は、4、8、12~65532の範囲の4の倍数です。 sinc^5 。このデジタル・フィルタ・オプションはプログラマブルな sinc^5 フィルタを用います。許容されるFILTER_FS値は、1、2、4~256の範囲の4の倍数です。 sinc^3 。このデジタル・フィルタ・オプションはプログラマブルな sinc^3 フィルタを用います。許容されるFILTER_FS値は、4、8、12~65532の範囲の4の倍数です。	0x0	R/W

FILTER_FSレジスタ

アドレス：0xC6 (FILTER_FS0の下位バイト) ~ 0x128 (FILTER_FS7の上位バイト) (14ずつインクリメント)、リセット：0x0004

AD4170-4には、FILTER_FS0~FILTER_FS7の8個のFILTER_FSレジスタがあります。FILTER_FSレジスタはそれぞれ1つのセットアップに関連付けられており、FILTER_FS n はセットアップ n に関連付けられています。出力データ・レートはこのレジスタを用いて設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表109.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				FS[15:8]			
				FS[7:0]			

内蔵レジスタ・マップ

表110. FILTER_FSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	FS		デジタル・フィルタ用のフィルタ選択ワード。これにより、ADCの変換速度とノイズ性能を決定するデジタル・フィルタが設定されます。FIRフィルタを用いる場合、許容されるFS値は4、8、16、32、64、128です。sinc ³ およびsinc ⁵ + 平均化フィルタの場合は、許容されるFS値は4、8、12～65532の範囲の4の倍数です。sinc ⁵ フィルタの場合、許容されるFS値は、1、2、4～256の範囲の4の倍数です。	0x4	R/W

オフセット・レジスタ

アドレス：0xC8（OFFSET0の下位バイト）～0x12A（OFFSET7の上位バイト）（14ずつインクリメント）、リセット：0x000000

AD4170-4には、OFFSET0～OFFSET7の8個のオフセット・レジスタがあります。オフセット・レジスタはそれぞれ1つのセットアップに関連付けられており、OFFSETnはセットアップnに関連付けられます。OFFSETレジスタは24ビット・レジスタで、ADCのオフセット・キャリブレーション係数を保持し、パワーオン・リセット値は0x0000000です。これらのレジスタは、リード/ライト・レジスタです。これらのレジスタは、関連するGAINレジスタと組み合わせて使用し、レジスタ・ペアを形成します。ユーザによって内部またはシステム・ゼロスケール・キャリブレーションが開始された場合、パワーオン・リセット値は自動的に上書きされます。オフセット・レジスタに書き込む場合は、ADCをスタンバイ・モードまたはアイドル・モードにすることを推奨します。

表111.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				OFFSET[23:16]			
				OFFSET[15:8]			
				OFFSET[7:0]			

表112. オフセット・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET		ADCのオフセット係数。	0x0	R/W

ゲイン・レジスタ

アドレス：0xCB（GAIN0の下位バイト）～0x12D（GAIN7の上位バイト）（14ずつインクリメント）、リセット：0x555555

AD4170-4には、GAIN0～GAIN7の8個のゲイン・レジスタがあります。ゲイン・レジスタはそれぞれ1つのセットアップに関連付けられており、GAINnはセットアップnに関連付けられます。ゲイン・レジスタは24ビット・レジスタで、ADCのフルスケール・キャリブレーション係数を保持します。ゲイン誤差は全てのゲインについてメーカーでキャリブレーションされていますが、ゲイン・レジスタには0x555555のデフォルト値があります。パワーオン時およびリセット後には、ゲイン・レジスタにはこの値が格納されます。ゲイン・レジスタはリード/ライト・レジスタです。ただし、レジスタに書き込む場合、ADCをスタンバイ・モードまたはアイドル・モードにすることを推奨します。ユーザによってシステム・フルスケール・キャリブレーションが開始された場合、またはレジスタに書き込みが行われた場合は、デフォルト値が自動的に上書きされます。

表113.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				GAIN[23:16]			
				GAIN[15:8]			
				GAIN[7:0]			

表114. ゲイン・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN		ADCのゲイン係数。	0x555555	R/W

REF_CONTROLレジスタ

アドレス：0x130/0x131（下位/上位バイト）、リセット：0x0001

2.5Vの内部リファレンスはこのレジスタでイネーブル/ディスエーブルされます。DAC、内部温度センサー、または励起電流を用いる場合には、内部リファレンスをイネーブルする必要がある点に注意してください。チャンネルが変換を行うためにREF_SELECTビットを用いて内部リファレンスを選択した場合にも、これをイネーブルする必要があります。

内蔵レジスタ・マップ

表115.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							REF_EN

表116. REF_CONTROLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	REF_EN	0 1	内部リファレンスのイネーブル。 内部リファレンスをディスエーブル。 内部リファレンスをイネーブルしREFOUTピンに出力。	0x1	R/W

V_BIASレジスタ

アドレス：0x134／0x135（下位／上位バイト）、リセット：0x0000

(AVDD + AVSS)/2に等しい内部バイアス電圧は、このチャンネルを用いてイネーブル／ディスエーブルされます。

表117.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							VBIAS_IN8_EN
VBIAS_IN7_EN	VBIAS_IN6_EN	VBIAS_IN5_EN	VBIAS_IN4_EN	VBIAS_IN3_EN	VBIAS_IN2_EN	VBIAS_IN1_EN	VBIAS_IN0_EN

表118. V_BIASレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R/W
8	VBIAS_IN8_EN		AIN8の電圧バイアスをイネーブル。	0x0	R/W
7	VBIAS_IN7_EN		AIN7の電圧バイアスをイネーブル。	0x0	R/W
6	VBIAS_IN6_EN		AIN6の電圧バイアスをイネーブル。	0x0	R/W
5	VBIAS_IN5_EN		AIN5の電圧バイアスをイネーブル。	0x0	R/W
4	VBIAS_IN4_EN		AIN4の電圧バイアスをイネーブル。	0x0	R/W
3	VBIAS_IN3_EN		AIN3の電圧バイアスをイネーブル。	0x0	R/W
2	VBIAS_IN2_EN		AIN2の電圧バイアスをイネーブル。	0x0	R/W
1	VBIAS_IN1_EN		AIN1の電圧バイアスをイネーブル。	0x0	R/W
0	VBIAS_IN0_EN		AIN0の電圧バイアスをイネーブル。	0x0	R/W

I_PULL_UPレジスタ

アドレス：0x136／0x137（下位／上位バイト）、リセット：0x0000

このレジスタを用いて約100nAのプルアップ電流をアナログ入力ピンでイネーブル／ディスエーブルできます。

表119.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							I_PULLUP_IN8_EN
I_PULLUP_IN7_EN	I_PULLUP_IN6_EN	I_PULLUP_IN5_EN	I_PULLUP_IN4_EN	I_PULLUP_IN3_EN	I_PULLUP_IN2_EN	I_PULLUP_IN1_EN	I_PULLUP_IN0_EN

表120. I_PULL-UPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R/W
8	I_PULLUP_IN8_EN		AIN8のプルアップ電流をイネーブル。	0x0	R/W
7	I_PULLUP_IN7_EN		AIN7のプルアップ電流をイネーブル。	0x0	R/W

内蔵レジスタ・マップ

表120. I_PULL-UPレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
6	I_PULLUP_IN6_EN		AIN6のプルアップ電流をイネーブル。	0x0	R/W
5	I_PULLUP_IN5_EN		AIN5のプルアップ電流をイネーブル。	0x0	R/W
4	I_PULLUP_IN4_EN		AIN4のプルアップ電流をイネーブル。	0x0	R/W
3	I_PULLUP_IN3_EN		AIN3のプルアップ電流をイネーブル。	0x0	R/W
2	I_PULLUP_IN2_EN		AIN2のプルアップ電流をイネーブル。	0x0	R/W
1	I_PULLUP_IN1_EN		AIN1のプルアップ電流をイネーブル。	0x0	R/W
0	I_PULLUP_IN0_EN		AIN0のプルアップ電流をイネーブル。	0x0	R/W

CURRENT_SOURCEレジスタ

アドレス：0x138（CURRENT_SOURCE0の下位バイト）～0x13E（CURRENT_SOURCE3の上位バイト）（2ずつインクリメント）、リセット：0x0000

AD4170-4には、個別にプログラムできる4つの励起電流（IOUT0～IOUT3）があります。このレジスタを用いて、電流源がイネーブルされ電流を出力するピンが選択されます。2つのマッチした励起電流が必要な場合、IOUT0とIOUT1（ペアAB）を共に使用し、IOUT2とIOUT3（ペアCD）を共に使用する必要があります。

表121.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				I_OUT_PIN			
RESERVED					I_OUT_VAL		

表122. CURRENT_SOURCEnレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予約済み。	0x0	R
[12:8]	I_OUT_PIN	00000	IOUTはAIN0に出力。	0x0	R/W
		00001	IOUTはAIN1に出力。		
		00010	IOUTはAIN2に出力。		
		00011	IOUTはAIN3に出力。		
		00100	IOUTはAIN4に出力。		
		00101	IOUTはAIN5に出力。		
		00110	IOUTはAIN6に出力。		
		00111	IOUTはAIN7に出力。		
		01000	IOUTはAIN8に出力。		
		01001	予約済み。		
		01010	予約済み。		
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	IOUTはGPIO0に出力。		
		10010	IOUTはGPIO1に出力。		
		10011	IOUTはGPIO2に出力。		
		10100	IOUTはGPIO3に出力。		
		10101 to 11111	予約済み。		
[7:3]	RESERVED		予約済み。	0x0	R
[2:0]	I_OUT_VAL		電流源の値。励起電流を使用している場合は、内部リファレンスをイネーブルする必要があります。内部リファレンスは、REF_CONTROLレジスタを介してイネーブルできます。	0x0	R/W

内蔵レジスタ・マップ

表122. CURRENT_SOURCEnレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		000	0μA。		
		001	10μA。		
		010	50μA。		
		011	100μA。		
		100	250μA。		
		101	500μA。		
		110	1000μA。		
		111	1500μA。		

FIR_CONTROLレジスタ

アドレス：0x140／0x141（下位／上位バイト）、リセット：0x0001

連続変換モードのFIRを使用する場合、使用するFIRフィルタ（デフォルト・フィルタまたはユーザ設定によるフィルタ）はこのレジスタで選択します。

表123.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED	FIR_MODE			RESERVED	COEFF_SET		RESERVED
RESERVED	FIR_LENGTH						

表124. FIR_CONTROLレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。	0x0	R/W
[14:12]	FIR_MODE	000 001 010 011 100 101 110 111	FIRタイプの選択。 FIRはデフォルト。デフォルトのFIRフィルタを選択し、プログラムされたFIR_LengthおよびFIR係数値は無視します。その他のFIRフィルタを選択すると、デフォルトの内部FIRフィルタが正しく動作できなくなります。デフォルトの内部FIRフィルタへのアクセスを回復するにはリセットが必要です。 001 FIRは奇数個の対称係数でプログラマブル。これは、奇数個の対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 2$ ）。 010 FIRは偶数個の対称係数でプログラマブル。これは、偶数個の対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 1$ ）。 100 FIRは奇数個の反対称係数でプログラマブル。これは、奇数個の反対称係数を持つFIRを選択します（次数 = $2 \times \text{FIR_LENGTH} - 2$ ）。 101 FIRは非対称係数でプログラマブル。これは、非対称係数を持つFIRを選択します（次数 = $\text{FIR_LENGTH} - 1$ ）。このFIRタイプの最大次数は、他のFIRタイプのサイズの約半分です。 110 予約済み。 111 予約済み。	0x0	R/W
11	RESERVED		予約済み。	0x0	R
10	COEFF_SET		FIR係数のどのセットを使用するかを選択します。最大2セットのFIR係数をプログラムできるため、異なるフィルタ応答の間の切替えが容易にできます。このビットは、ADCがその後の変換でどのセットのプログラマブルFIR係数を使用するかを選択します。0 = 係数アドレス0～FIR_LENGTH - 1を使用。1 = 係数アドレス72～72 + FIR_LENGTH - 1を使用。デフォルトの内部FIRを使用する場合は、このビットは無関係になります。	0x0	R/W
[9:7]	RESERVED		予約済み。	0x0	R
[6:0]	FIR_LENGTH		プログラムされた係数の数。係数の個数は4～72であることが必要です。ほとんどのFIRタイプの場合、実際のFIR次数は、およそ $2 \times \text{FIR_LENGTH}$ です。デフォルトの内部FIRを使用する場合は、この値は無関係になります。	0x1	R/W

内蔵レジスタ・マップ

COEFF_WRITE_DATAレジスタ

アドレス：0x143（下位バイト）～0x146（上位バイト）、リセット：0x00000000

ユーザが生成した係数はこのレジスタを介してAD4170-4に書き込まれます。

表125.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
COEFF_WR_DATA[23:16]							
COEFF_WR_DATA[15:8]							
COEFF_WR_DATA[7:0]							

表126. COEFF_WRITE_DATAレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:24]	RESERVED		予約済み。	0x0	R
[23:0]	COEFF_WR_DATA		アドレス指定された係数へのデータ書き込み。このレジスタに書き込むとアドレス指定された場所の係数メモリに値がロードされます。	0x0	R/W

COEFF_READ_DATAレジスタ

アドレス：0x147（下位バイト）～0x14A（上位バイト）、リセット：0x00000000

AD4170-4に書き込まれた係数はこのレジスタを用いてリード・バックできます。

表127.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
COEFF_RD_DATA[23:16]							
COEFF_RD_DATA[15:8]							
COEFF_RD_DATA[7:0]							

表128. COEFF_READ_DATAレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:24]	RESERVED		予約済み。	0x0	R
[23:0]	COEFF_RD_DATA		アドレス指定された係数のデータ読出し。	0x0	R

COEFF_ADDRESSレジスタ

アドレス：0x14B／0x14C（下位／上位バイト）、リセット：0x0000

FRI係数の書き込み先または読出し先のアドレスは、COEFF_ADDRESSレジスタを用いて設定されます。

表129.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
COEFF_ADDR							

内蔵レジスタ・マップ

表130. COEFF_ADDRESSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:0]	COEFF_ADDR		FIR係数の読出し／書き込みを行うためのアドレス。最大2セットのFIR係数をプログラムできます。	0x0	R/W

COEFF_WR_RD_STBレジスタ

アドレス：0x14D／0x14E（下位／上位バイト）、リセット：0x0000

表131.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							COEFF_RD_STB

表132. COEFF_WR_RD_STBレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	COEFF_RD_STB		係数アドレスの読出しビット。アドレス指定された係数をCOEFF_READ_DATAレジスタに読み出すためには、このビットに1を設定する必要があります。読出しが完了するとこのビットは自動的に0に設定されます。	0x0	R/W

DAC_SPANレジスタ

アドレス：0x150／0x151（下位／上位バイト）、リセット：0x0000

DACの出力スパンは、DAC_SPANレジスタを用いて選択します。

表133.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							DAC_GAIN

表134. DAC_SPANレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	DAC_GAIN	0 1	DACゲインを選択します。このビットは、DAC出力バッファのゲインを選択します。DACの出力範囲は0V～REFOUTです（AVSSを基準）。 DACの出力範囲は0V～2×REFOUTです（AVSSを基準）。DAC出力にはAVDDより下に250mVのヘッドルームが必要である点に注意してください。そのため、AVDD < 5.25Vの場合、DACからの最大出力は(AVDD - 0.25 V)に制限されます。	0x0	R/W

DAC_ENABLEレジスタ

アドレス：0x152／0x153（下位／上位バイト）、リセット：0x0000

DACは、EDAC_ENABLEレジスタを用いてイネーブルおよびディスエーブルされます。

表135.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							DAC_EN

内蔵レジスタ・マップ

表136. DAC_ENABLEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	DAC_EN	0 1	DACイネーブル。 DACをディスエーブル。 DACをイネーブル。	0x0	R/W

HW_TOGGLE_MASKレジスタ

アドレス：0x154／0x155（下位／上位バイト）、リセット：0x0000

DACはDAC_INPUT_AまたはDAC_INPUT_Bを用いて更新できます。DIG_AUX2ピンは、レジスタからDACへのデータの書き込みを制御するために使用できます。12ビットのDAC値はDIG_AUX2の立下がりエッジでDAC_INPUT_Aからロードされ、DAC_INPUT_Bからの値はDIG_AUX2の立上がりエッジでロードされます。

DACに対しHW_TOGGLE_EN機能とLDAC機能の両方がイネーブルされている場合は、HW_TOGGLE_EN機能がLDAC機能に優先します。

表137.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							HW_TOGGLE_EN

表138. HW_TOGGLE_MASKレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	HW_TOGGLE_EN		DIG_AUX2ピンを使用したDACハードウェア・トグル。DIG_AUX2ピンがDACと共に機能するためには、個別に設定される必要があります（DIG_AUX2_CTRLビットを使用）。	0x0	R/W

HW_LDAC_MASKレジスタ

アドレス：0x156／0x157（下位／上位バイト）、リセット：0x0000

DIG_AUX2ピンは、DAC_INPUT_AレジスタからDACへのデータの転送を制御するために使用できます。12ビットの値がDIG_AUX2の立下がりエッジでレジスタから転送されます。

表139.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							HW_LDAC_EN

表140. HW_LDAC_MASKレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	HW_LDAC_EN		DIG_AUX2ピンを使用したDACハードウェアLDAC。DIG_AUX2ピンがDACと共に機能するためには、個別に設定される必要があります（DIG_AUX2_CTRLビットを使用）。	0x0	R/W

DAC_DATAレジスタ

アドレス：0x158／0x159（下位／上位バイト）、リセット：0x0000

データは、DAC_DATAレジスタを用いてDACに直接書き込むことができます。この場合、LDAC機能は不要です。

内蔵レジスタ・マップ

表141.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				DAC_VALUE[11:8]			
DAC_VALUE[7:0]							

表142. DAC_DATAレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R
[11:0]	DAC_VALUE		DACレジスタ・データ。	0x0	R/W

SW_TOGGLE_TRIGGERSレジスタ

アドレス：0x168／0x169（下位／上位バイト）、リセット：0x0000

DACは、SW_TOGGLE_TRIGGERSレジスタを用いてDAC_INPUT_AレジスタまたはDAC_INPUT_Bレジスタからのデジタル値で更新できます。

表143.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							SW_TOGGLE

表144. SW_TOGGLE_TRIGGERSレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	SW_TOGGLE		DAC SWのTOGGLE。SW_TOGGLEが0に設定されている場合、DAC_INPUT_Aの12ビット値がDACにロードされます。SW_TOGGLEが1に設定されている場合、DAC_INPUT_Aの12ビット値がDACにロードされます。	0x0	R/W

SW_LDACレジスタ

アドレス：0x16A／0x16B（下位／上位バイト）、リセット：0x0000

DACは、SW_LDACレジスタを用いてDAC_INPUT_Aレジスタからの新しい値で更新できます。

表145.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							SW_LDAC_EN

表146. SW_LDACレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	SW_LDAC_EN		DAC SWのLDAC。SW_LDAC_ENビットが1に設定されている場合、DACは、DAC_INPUT_Aレジスタからの新しい内容で更新されます。LDAC動作が終了するとこのビットは自動的に0に設定されます。	0x0	R/W

DAC_INPUT_Aレジスタ

アドレス：0x16C／0x16D（下位／上位バイト）、リセット：0x0000

DACのデジタル値は、DAC_INPUT_Aレジスタを用いて入力できます。

表147.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				DAC_INPUT_A[11:8]			
DAC_INPUT_A[7:0]							

内蔵レジスタ・マップ

表148. DAC_INPUT_Aレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R
[11:0]	DAC_INPUT_A		入力レジスタAのデータ。この値は、LDACまたは立下がりエッジのTOGGLEイベントによってDACレジスタにロードされます。	0x0	R/W

DAC_INPUT_Bレジスタ

アドレス：0x17C／0x17D（下位／上位バイト）、リセット：0x0000

TOGGLE機能が有効化されている場合、DACのデジタル入力、DAC_INPUT_Bレジスタを用いて入力できます。

表149.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				DAC_INPUT_B[11:8]			
DAC_INPUT_B[7:0]							

表150. DAC_INPUT_Bレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R
[11:0]	DAC_INPUT_B		入力レジスタBのデータ。この値は、立上がりエッジのTOGGLEイベントによってDACレジスタにロードされます。	0x0	R/W

GPIO_MODEレジスタ

アドレス：0x190／0x191（下位／上位バイト）、リセット：0x0000

GPIOピンは、GPIO_MODEレジスタを用いて入力または出力に設定します。これらのピンには、GPIO、パワー・スイッチ、AC励起、リファレンス、励起電流、CHANNEL_TO_GPIO機能といった、複数の機能がある点に注意してください。機能には優先度があります。詳細については、[汎用入出力（GPIO0～GPIO3）](#)のセクションを参照してください。

表151.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
CH3_MODE		CH2_MODE		CH1_MODE		CH0_MODE	
CH3_MODE		CH2_MODE		CH1_MODE		CH3_MODE0	

表152. GPIO_MODEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:6]	CH3_MODE	00 01 10 11	GPIO3のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W
[5:4]	CH2_MODE	00 01 10 11	GPIO2のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W
[3:2]	CH1_MODE	00 01 10 11	GPIO1のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W

内蔵レジスタ・マップ

表152. GPIO_MODEレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[1:0]	CH0_MODE	00 01 10 11	GPIO0のモード ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W

GPIO_OUTPUT_DATAレジスタ

アドレス：0x192／0x193（下位／上位バイト）、リセット：0x0000

GPIOピンが出力に設定される場合、ピンの値はGPIO_OUTPUT_DATAレジスタに設定されます。

表153.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED				CH3_OUTPUT	CH2_OUTPUT	CH1_OUTPUT	CH0_OUTPUT

表154. GPIO_OUTPUT_DATAレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	RESERVED		予約済み。	0x0	R
3	CH3_INPUT		GPIO3ピンの出力状態。	0x0	R
2	CH2_INPUT		GPIO2ピンの出力状態。	0x0	R
1	CH1_INPUT		GPIO1ピンの出力状態。	0x0	R
0	CH0_INPUT		GPIO0ピンの出力状態。	0x0	R

GPIO_INPUT_DATAレジスタ

アドレス：0x194／0x195（下位／上位バイト）、リセット：0x0000

GPIOピンが入力に設定される場合、ピンの値はGPIO_INPUT_DATAレジスタに表示されます。

表155.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED				CH3_INPUT	CH2_INPUT	CH1_INPUT	CH0_INPUT

表156. GPIO_INPUT_DATAレジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	RESERVED		予約済み。	0x0	R
3	CH3_INPUT		GPIO3の入力状態。	0x0	R
2	CH2_INPUT		GPIO2の入力状態。	0x0	R
1	CH1_INPUT		GPIO1の入力状態。	0x0	R
0	CH0_INPUT		GPIO0の入力状態。	0x0	R

外形寸法

Package Drawing (Option)	Package Type	Package Description
CP-32-34	LFCSP	32-Lead Lead Frame Chip Scale Package

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年5月10日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4170-4BCPZ	-40°C to +105°C	LFCSP: LEADFRM CHIP SCALE	Reel, 1500	CP-32-34
AD4170-4BCPZ-RL7	-40°C to +105°C	LFCSP: LEADFRM CHIP SCALE		CP-32-34

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-AD4170-4ARDZ	Evaluation Board
EVAL-SDP-CK1Z	Evaluation Controller Board

¹ Z = RoHS 準拠製品。



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 26 頁、図 5 2 の説明文

【誤】

図 52. 異なる MCLK 周波数に対する差動 AIN 電流と MCLK 周波数の関係 ($V_{IN} = 0.8 \times$
フルスケール、 $V_{CM} = (AVDD + AVSS)/2$)

【正】

図 52. 異なるゲイン設定での MCLK 周波数に対する差動 AIN 電流の関係 ($V_{IN} = 0.8 \times$
フルスケール、 $V_{CM} = (AVDD + AVSS)/2$)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 48 頁、汎用入出力 (GPIO0~GPIO3) の項、上から 4 行目以降

【誤】

「これらのピンは、GPIO_OUTPUT_DATA レジスタの GPIO_OUTPUT_DATA ビットを使用してハイにプルアップまたはローにプルダウンできます（表 154 を参照）。つまり、ピンの値は GPIO_DATn ビットの設定によって決まります。これらのピンのロジック・レベルは、IOVDD ではなく、AVDD によって決まります。GPIO_OUTPUT_DATA レジスタを読み出すと、ピンの実際の値が GPIO_OUTPUT_DATA ビットに反映されます。この機能は短絡を検出するときに有用です。」

【正】

「これらのピンは、GPIO_OUTPUT_DATA レジスタの CHn OUTPUT (n=0~3) ビットを使用してハイまたはローに設定できます（表 154 を参照）。つまり、ピンの値は CHn OUTPUT ビットの設定によって決まります。これらのピンのロジック・レベルは、IOVDD ではなく、AVDD によって決まります。GPIO_OUTPUT_DATA レジスタを読み出すと、ピンの実際の値が CHn OUTPUT ビットに反映されます。この機能は短絡を検出するときに有用です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 49 頁、右の段、上から 10 行目

【誤】

「これが意味するのは、コンバータが完全にセトリングしていない信号を処理することになるため、誤差が生じる可能性がある、ということです。DELAY レジスタを用いると、フロント・エンド回路が一定のセトリング時間を確保できます。」

【正】

「これが意味するのは、コンバータが完全にセトリングしていない信号を処理することになるため、誤差が生じる可能性がある、ということです。DELAY ビット (表 100 参照)を用いると、フロント・エンド回路が一定のセトリング時間を確保できます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 64 頁、左の段、「データ・フェーズ」の項、最初の行

【誤】

「・・・ (図 106 および図 106 を参照) 。」

【正】

「・・・ (図 105 および図 106 を参照) 。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 64 頁、右の段、下からの 8 行目

【誤】

「・・・AIN1 の電圧は、 $100\Omega \times 2 \times$ 励起電流 $= \underline{100\ 2 \times \Omega} \times 500\mu\text{A} = 0.1\text{V}$ となります。」

【正】

「・・・AIN1 の電圧は、 $100\Omega \times 2 \times$ 励起電流 $= \underline{100 \times 2 \Omega} \times 500\mu\text{A} = 0.1\text{V}$ となります。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 10 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 10 日

製品名： AD4170-8

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 74 頁、左の段、「重量計 (AC 励起)」の項、下から 12 行目

【誤】

「フロント・エンド回路に一定のセトリング時間が必要な場合、DELAY レジスタを用いると、各フェーズの開始時に一定のセトリング時間を追加できます」

【正】

「フロント・エンド回路に一定のセトリング時間が必要な場合、DELAY ビット (表 100 参照)を用いると、各フェーズの開始時に一定のセトリング時間を追加できます」