

特長

- セルフスタート2次側制御をサポート
- Direct Flux Limit™により、飽和させないことを保証
- 遅延調整を使用したアクティブ・クランプ・ドライブ
- 内蔵ブリッジ整流器により、別個のゲート・ドライバ・バイアス電源が不要
- 広い入力電源電圧範囲: 8V以上(外付け部品によってのみ制限される)
- 高速起動用リニア・レギュレータ・コントローラ
- 高速ゲート・ドライバ
- ヒステリシスを調整可能な高精度UVLO
- 過電流保護
- 過温度保護
- 調整可能な起動周波数およびソフトスタート
- 小型16ピンMSOPパッケージ

アプリケーション

- 絶縁型バッテリ・チャージャ
- 絶縁型48Vテレコム・システム
- サーバおよび組込みコンピュータ
- 車載機器および重機

概要

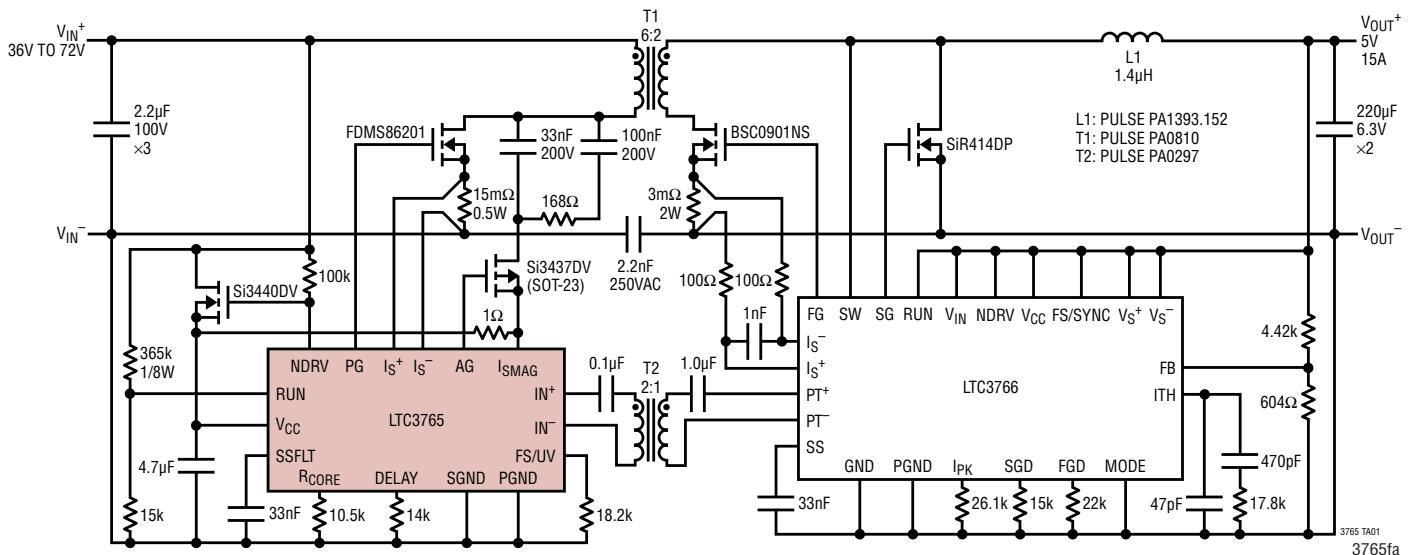
LTC®3765は、セルフスタート2次側制御フォワード・コンバータに使用するための起動コントローラおよびゲート・ドライバです。2次側同期整流式フォワード・コントローラ LTC3766と組み合わせると、最少のディスクリート部品で絶縁型電源を構成できます。独自の回路を使用し、小型パルス・トランスを介して絶縁バリアを越えてゲート・ドライバ信号とバイアス電力を多重化します。LTC3765は、このパルス・トランスからゲート・ドライバのバイアス電力を引き出すブリッジ整流器を内蔵しているので、別個のバイアス電源が不要です。高精度な低電圧ロックアウト回路とリニア・レギュレータ・コントローラにより、十分に制御された高速起動が保証されます。

LTC3765は、外付けPMOSをドライバするためのアクティブ・クランプ出力のほかに、効率を最適化するための調整可能な遅延を備えています。アクティブ・クランプ・アーキテクチャにより、メイン・パワースイッチの電圧ストレスが低減され、可能な最大効率が得られます。過電流保護とDirect Flux Limitにより、過渡応答特性を劣化させることなく、トランジストの飽和を確実に防止します。

LT、LT、LTC、LTM、PolyPhase、Linear Technology およびリニアのロゴはリニアテクノロジー社の登録商標です。Direct Flux Limitはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7200014、6144194を含む米国特許により保護されています。その他特許出願中。

標準的応用例

36V～72V入力、5V/15A出力、アクティブ・クランプ絶縁型フォワード・コンバータ

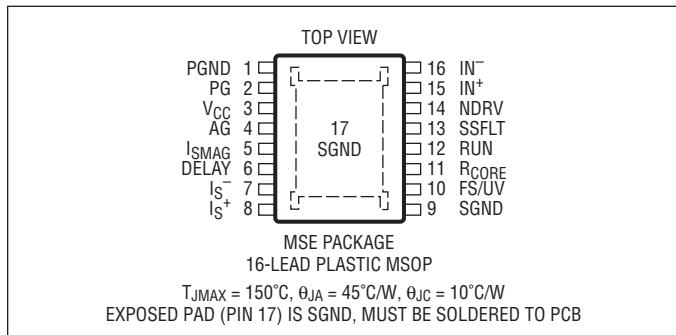


絶対最大定格

(Note 1)

V_{CC} 、NDRV電圧	-0.3V ~ 15V
(NDRV- V_{CC})電圧	-0.3V ~ 6V
IN^+ 、 IN^- 、SSFLT電圧	-0.3V ~ 15V
IS_{MAG} 電圧	-5V ~ 18V
RUN電圧	-0.3V ~ 12V
DELAY、 R_{CORE} 、FS/UV、 I_S^+ 、 I_S^- 電圧	-0.3V ~ 6V
動作接合部温度範囲 (Note 2, Note 3)	
LTC3765E, LTC3765I	-40°C ~ 125°C
LTC3765H	-40°C ~ 150°C
LTC3765MP	-55°C ~ 150°C
保存温度範囲	-65°C ~ 150°C
リード温度(半田付け、10秒)	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC3765EMSE#PBF	LTC3765EMSE#TRPBF	3765	16-Lead Plastic MSOP	-40°C to 125°C
LTC3765IMSE#PBF	LTC3765IMSE#TRPBF	3765	16-Lead Plastic MSOP	-40°C to 125°C
LTC3765HMSE#PBF	LTC3765HMSE#TRPBF	3765	16-Lead Plastic MSOP	-40°C to 150°C
LTC3765MPMSE#PBF	LTC3765MPMSE#TRPBF	3765	16-Lead Plastic MSOP	-55°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/>をご覧ください。

電気的特性

●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値 (Note 2)。注記がない限り、 $V_{CC} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC} Supply						
V_{CCOP}	Operating Voltage Range		7.7	14.5		V
V_{CCUV}	V_{CC} Undervoltage Lockout	V_{CC} Rising V_{CC} Falling Hysteresis	● 7.1 ● 6.7 400	7.4 7.0 7.3	7.7 7.3	V mV
V_{CCLR}	Linear Regulator Output Voltage	(Note 4)	8.0	8.5	9.0	V
$t_r(V_{CC})$	Rise Time of V_{CC}			35		μs
I_{CP}	NDRV Charge Pump Output Current	$V_{CC} = 5\text{V}$, $V_{NDRV} = 8\text{V}$		35		μA
I_{CC}	DC Supply Current	$V_{RUN} = 1.5\text{V}$ (Note 5)		1.7		mA
V_{RF}	Rectifier Total Forward Drop	$I_{CC} = 25\text{mA}$ (Note 6)		1		V
Run Control/Undervoltage Lockout (RUN)						
V_{RUN}	RUN Pin Threshold	V_{RUN} Rising V_{RUN} Falling	● 1.22 ● 1.17	1.25 1.20	1.28 1.23	V
I_{HYST}	RUN Pin Hysteresis Current	$V_{RUN} = 1\text{V}$	● 4.0	5.0	6.0	μA
I_{RUN}	RUN Pin Leakage Current	$V_{RUN} = 1.5\text{V}$		-10	0	nA

3765fa

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値(Note 2)。注記がない限り、 $V_{CC} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Gate Drivers (PG, AG, DELAY)							
V_{OHPG}	PG High Output Voltage	$I_{PG} = -100\text{mA}$		11		V	
I_{PUPG}	PG Peak Pull-Up Current			2.5		A	
R_{PDPG}	PG Pull-Down Resistance	$I_{PG} = 100\text{mA}$		1.3		Ω	
t_{rPG}	PG Rise Time	20% to 80%, $C_{PG} = 4.7\text{nF}$		20		ns	
t_{fPG}	PG Fall Time	20% to 80%, $C_{PG} = 4.7\text{nF}$		20		ns	
R_{PUAG}	AG Pull-Up Resistance	$I_{AG} = -10\text{mA}$		12		Ω	
R_{PDAG}	AG Pull-Down Resistance	$I_{AG} = 10\text{mA}$		9		Ω	
t_{DAG}	AG Turn-On Delay Time			180		ns	
t_{DPG}	PG Turn-On Delay Time	$R_{DELAY} = 0\Omega$ $R_{DELAY} = 10\text{k}\Omega$ $R_{DELAY} = 50\text{k}\Omega$	120 390	40 460	160 530	ns ns	
Oscillator (FS/UV) and Soft-Start (SSFLT)							
f_{osc}	Oscillator Frequency	$R_{FS} = 75\text{k}\Omega$ $R_{FS} = 10\text{k}\Omega$		75 430		kHz kHz	
DC_{MAX}	Oscillator Maximum Duty Cycle	$V_{SSFLT} = 3.5\text{V}$		70		%	
V_{FSUVH}	FS/UV Output High	$V_{RUN} = 1\text{V}$		5		V	
I_{FSUV}	FS/UV Pull-Up Current	$V_{RUN} = 1\text{V}$, $V_{FS/UV} = 1.5\text{V}$		50		μA	
$I_{SS(C)}$	Soft-Start Charge Current	$V_{RUN} = 1.3\text{V}$, $V_{SSFLT} = 1\text{V}$ $V_{RUN} = 3.75\text{V}$, $V_{SSFLT} = 1\text{V}$		-4 -1.6		μA μA	
$I_{SS(D)}$	Soft-Start Discharge Current	Timing Out After Fault, $V_{SSFLT} = 2\text{V}$		1.25		μA	
V_{FLTH}	Fault Output High	$V_{CC} = 6.7\text{V}$		5.75	6.5	V	
V_{FLTD}	Fault Detection Voltage			5	5.5	V	
Overcurrent (I_S^+, I_S^-) and Direct Flux Limit (I_{SMAG}, R_{CORE})							
V_{IS}	Overcurrent Threshold	$V_{ISTH} = V_{IS^+} - V_{IS^-}$	●	130	150	170	mV
V_{ISMAG^-}	I_{SMAG} Limit Negative Threshold	Relative to SGND or V_{CC}		-1.15	-1	-0.85	V
V_{ISMAG^+}	I_{SMAG} Limit Positive Threshold	Relative to SGND or V_{CC}		0.85	1	1.15	V
M_{ISMAG}	I_{SMAG} Replicated Slope	$R_{CORE} = 50\text{k}\Omega$, $V_{RUN} = 1.25\text{V}$ $R_{CORE} = 50\text{k}\Omega$, $V_{RUN} = 6.25\text{V}$ $R_{CORE} = 10\text{k}\Omega$, $V_{RUN} = 1.25\text{V}$ $R_{CORE} = 10\text{k}\Omega$, $V_{RUN} = 6.25\text{V}$		75 375 335 1700			$\text{mV}/\mu\text{s}$ $\text{mV}/\mu\text{s}$ $\text{mV}/\mu\text{s}$ $\text{mV}/\mu\text{s}$

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: LTC3765は、 $T_J \approx T_A$ となるようなパルス負荷条件でテストされる。LTC3765Eは $0^\circ\text{C} \sim 85^\circ\text{C}$ の接合部温度範囲で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの関連で確認されている。LTC3765Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で保証されており、LTC3765Hは $-40^\circ\text{C} \sim 150^\circ\text{C}$ の動作接合部温度範囲でテストされ、保証されている。高い接合部温度は、動作寿命に悪影響を及ぼす。接合部温度が 125°C を超えると、動作寿命は短くなる。接合部温度(T_J)は、周囲温度(T_A)および電力損失(P_D)から次の式に従って計算される。

$$T_J = T_A + (P_D \cdot 45^\circ\text{C}/\text{W})$$

これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。

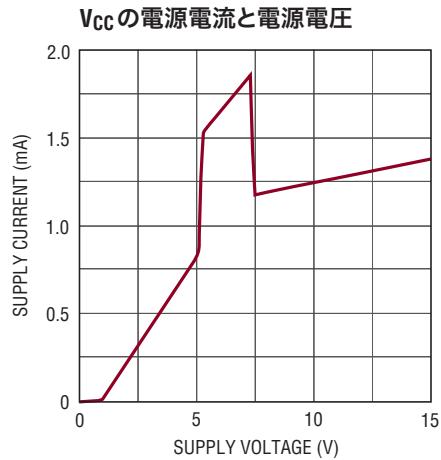
Note 3: このデバイスには短時間の過負荷状態の間デバイスを保護するための過温度保護機能が備わっている。この保護がアクティブなとき、最大定格接合部温が超えられる。規定された絶対最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう、またはデバイスを永久的に損傷するおそれがある。

Note 4: リニア・レギュレータの出力電圧は、Vishay Siliconix Si3440DV N チャネル MOSFET 外部バス・デバイスによって測定される。

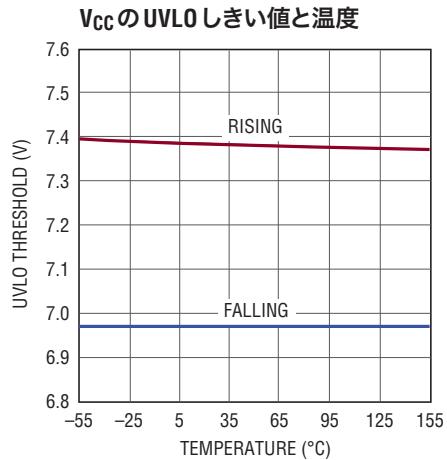
Note 5: I_{CC} は、NDRV および V_{CC} に流れ込む電流の和である。

Note 6: 整流器の順方向電圧降下は、整流器ダイオードと同期整流式スイッチの降下の和である。

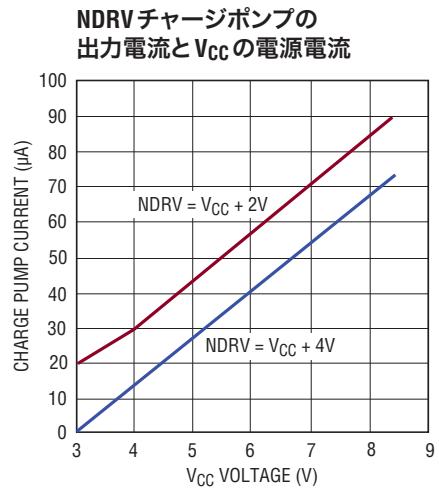
標準的性能特性



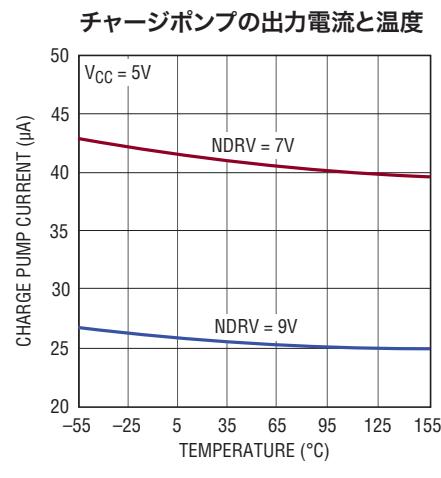
3765 G01



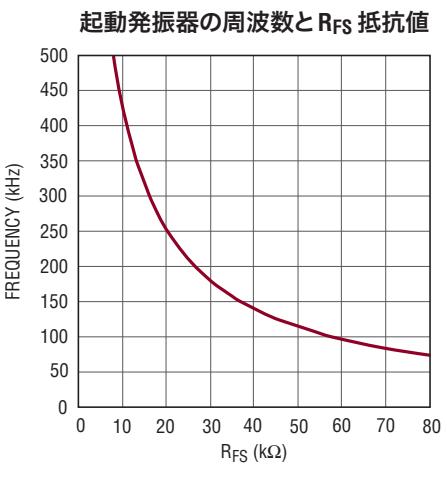
3765 G02



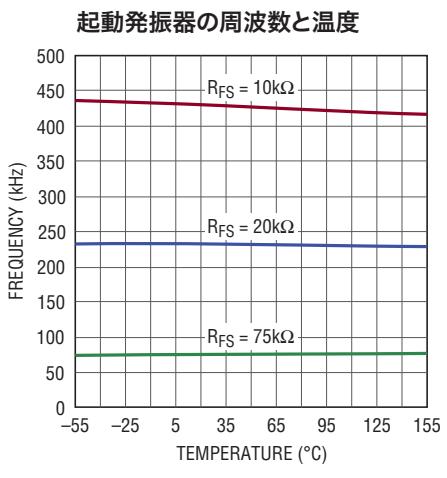
3765 G03



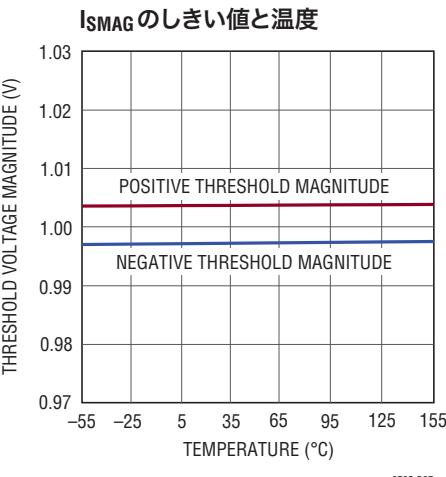
3765 G04



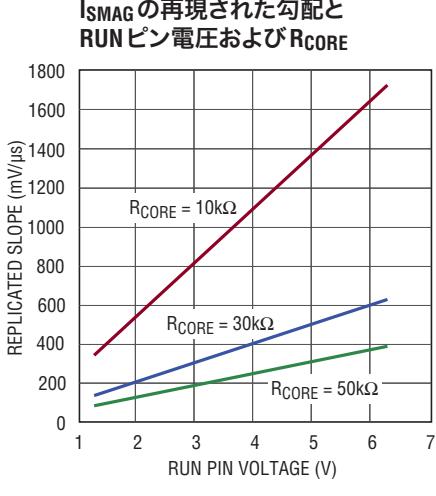
3765 G05



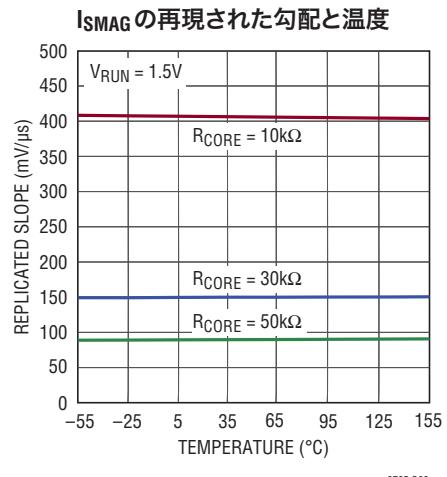
3765 G06



3765 G07



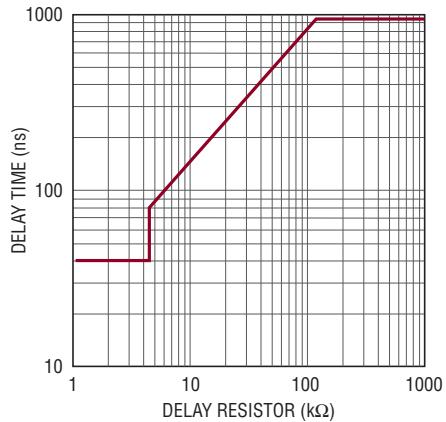
3765 G08



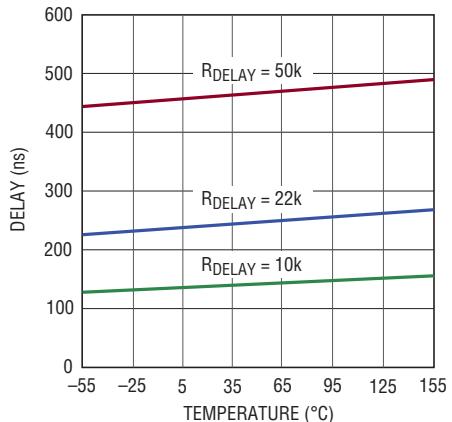
3765 G09

標準的性能特性

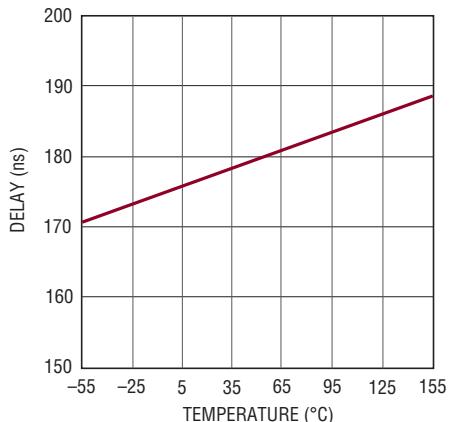
PGの立ち上がり遅延時間と
DELAYピン抵抗



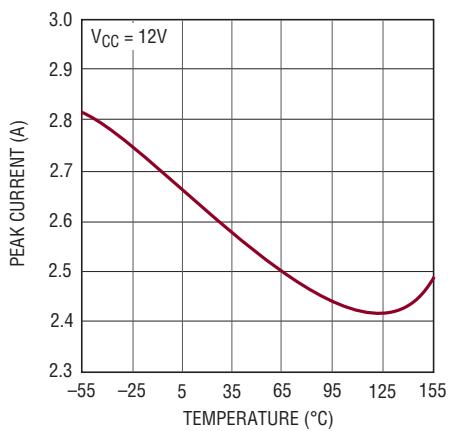
PGの立ち上がり遅延時間と温度



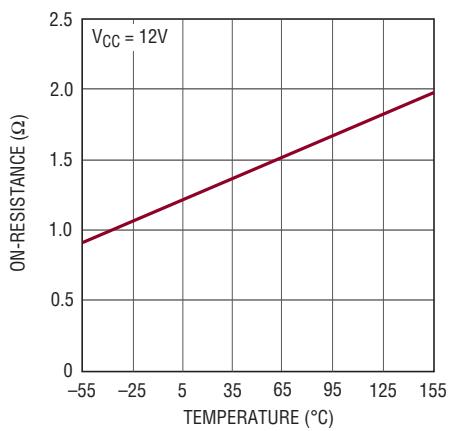
AGの立ち下がり遅延時間と温度



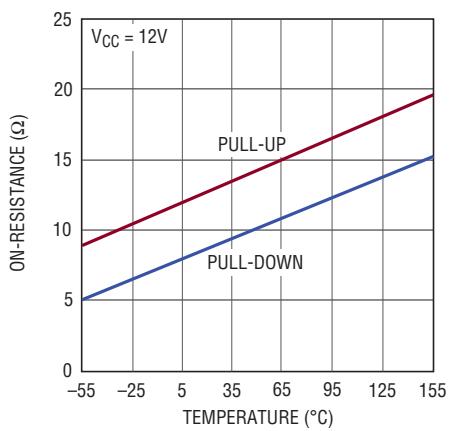
PGのピーク・プルアップ電流と
温度



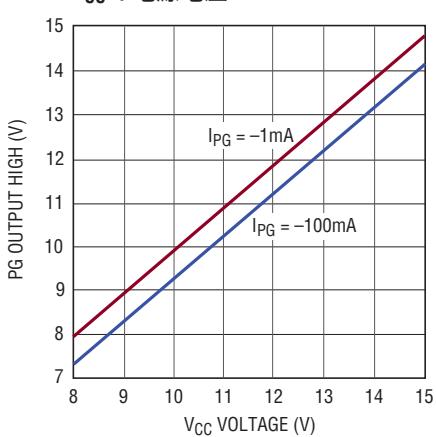
PGのプルダウン抵抗と温度



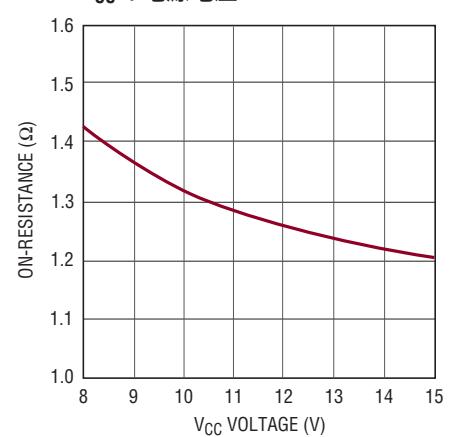
AGのオン抵抗と温度



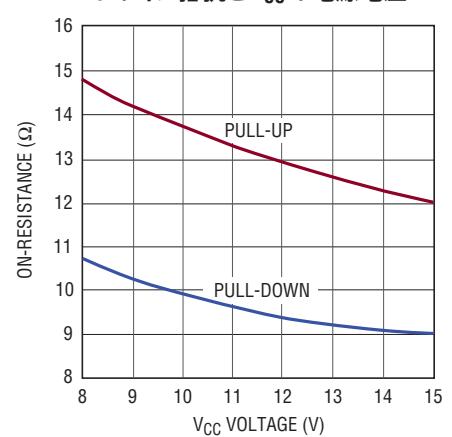
PGの高出力電圧と
V_{CC}の電源電圧



PGのプルダウン抵抗と
V_{CC}の電源電圧



AGのオン抵抗とV_{CC}の電源電圧



ピン機能

PGND(ピン1): 電源グランド。高電流ゲート・ドライバのグランド・リターン。

PG(ピン2): 1次側ゲート。1次側スイッチNMOS用ゲート・ドライブ。

V_{CC}(ピン3): 主電源ピン。セラミック・バイパス・コンデンサは、このピンとグランドの間に接続してください。

AG(ピン4): アクティブ・ゲート。アクティブ・クランプPMOS用ゲート・ドライブ。このドライブ出力はPG出力と「同相」です。PMOSのゲートに容量性レベルシフト回路を介して接続します。

I_{S MAG}(ピン5): 励磁電流検出ピン。電流検出抵抗に、アクティブ・クランプPMOSのソースと直列に接続します。このピンは、メイン・トランスの励磁電流を制限し、アクティブ・クランプがオンのときにコアの飽和を防ぎます。

DELAY(ピン6): 1次側ゲート立ち上がり遅延調整。このピンからグランドに接続された抵抗により、AG立ち上がりからPG立ち上がりまでのむだ時間が設定されます。これは、効率の最適化のために重要な設定です。

I_{S-}、I_{S+}(ピン7、ピン8): 過電流コンパレータへの入力。電流検出抵抗の両端に、1次側NMOSのソースと直列に接続します。

FS/UV(ピン10): 発振器周波数設定と低電圧インジケータ。グランドに接続された抵抗により、起動中のスイッチング周波数が設定されます。RUNピンが“L”的とき、またはV_{CC}電源が低電圧のとき、または過温度保護がアクティブのとき、50μA電流源は、インジケータとして、このピンをV_{CC}と5Vのうち小さい方に引き下げます。

R_{CORE}(ピン11): トランス・コアの飽和制限。トランス・コアのパラメータに比例する、R_{CORE}からグランドに接続された抵抗は、1次側NMOSがオンのとき、励磁電流の勾配を内部的に複製します。この勾配は、I_{S MAG}ピンおよびRUNピンの電圧とともに、NMOSのオン時間を制限し、飽和を防ぎます。「アプリケーション情報」を参照してください。

RUN(ピン12): 実行制御と低電圧ロックアウト(UVLO)。入力電圧V_{IN}をモニタリングするために、抵抗分割器に接続します。これは、Direct Flux Limitが正しく動作するために必要です。コンバータの動作は、V_{RUN} > 1.25Vの場合にイネーブルされます。ヒステリシスは50mVに固定されており、抵抗分割器と組み合わせた5μAのヒステリシス電流が追加され、合計UVLOヒステリシス電圧を構成します。

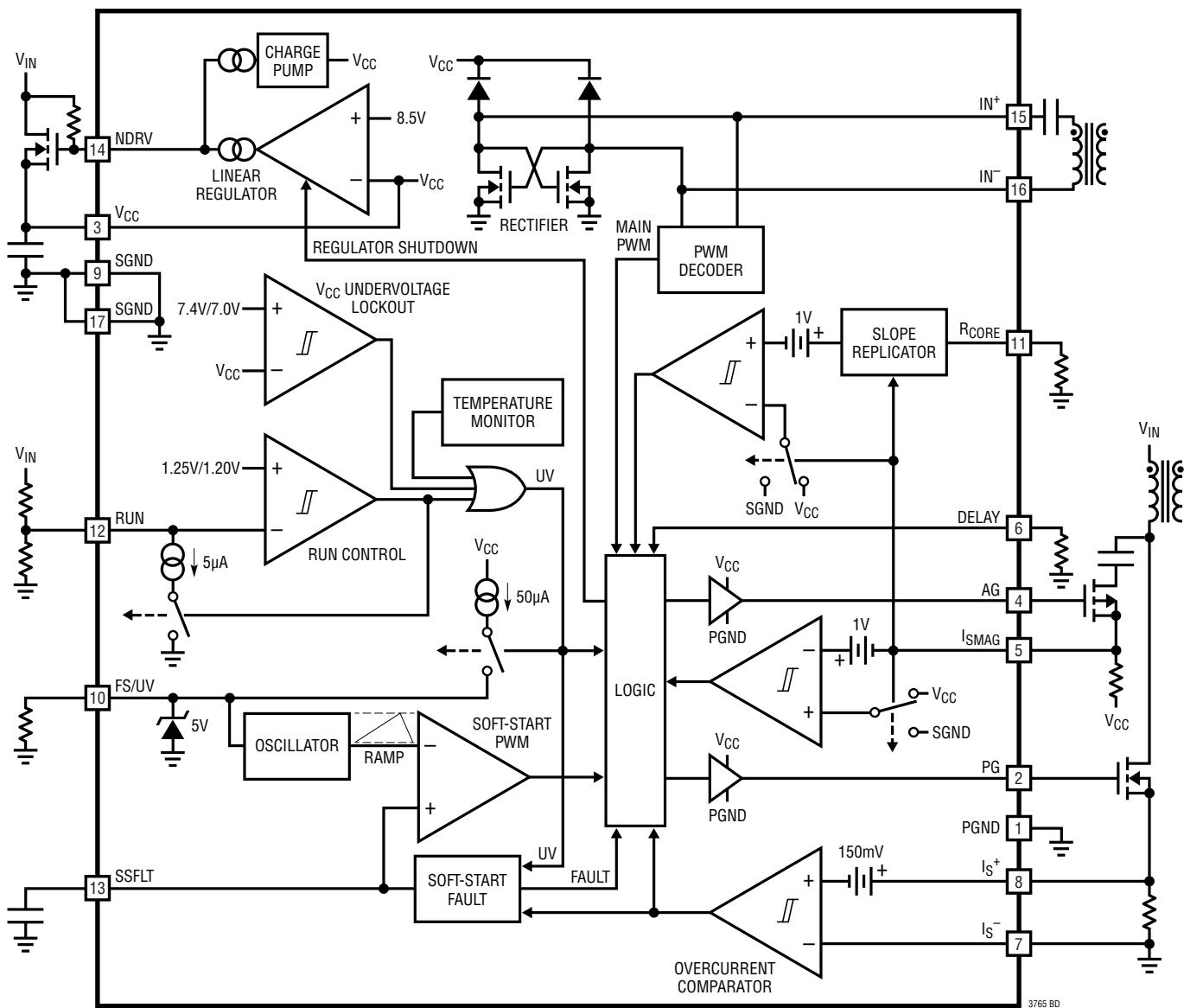
SSFLT(ピン13): ソフトスタートとフォールト・インジケータの組み合わせグランドに接続したコンデンサにより、1次側起動時のデューティ・サイクルのランプアップ・レートが設定されます。フォールトを表示するため、SSFLTピンは一時的に6Vより上に引き上げられます。

NDRV(ピン14): 外部リニア・レギュレータのドライブ。NMOSのゲートに接続し、メイン入力電圧V_{IN}へのプルアップ抵抗を接続します。入力電圧の低いアプリケーションでは、内部チャージポンプがこのピンをV_{IN}より上にドライブします。

IN⁺、IN⁻(ピン15、ピン16): パルス・トランスからの入力。DC復元コンデンサを介して、パルス・トランスの出力巻線に接続します。パルス・トランスの入力巻線は、LTC3766によってドライブされます。初期の開ループ起動を実行後、LTC3765はこれらのピンでパルス・エンコードPWM情報を検出およびデコードしてから、PGおよびAGスイッチングの制御をLTC3766の2次側コントローラに受け渡します。さらに、IN⁺/IN⁻ピンの内部ブリッジ整流器は、パルス・トランスからDC電力を抽出し、V_{CC}ピンに送ります。

SGND(ピン9、露出パッドのピン17): 信号グランド。パッケージの露出パッド・メタルは、プリント回路基板への良好な熱的接点を提供します。定格の熱性能を発揮するには、グランド・プレーンに半田付けする必要があります。

ブロック図



LTC3765

タイミング図

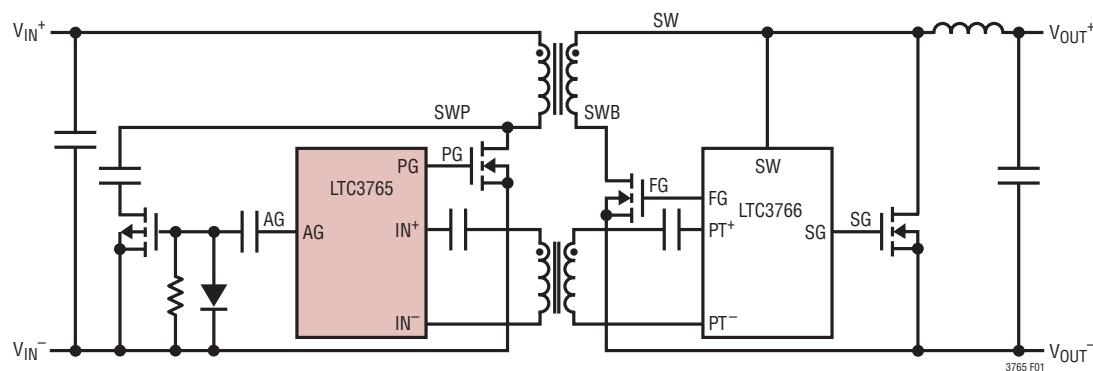
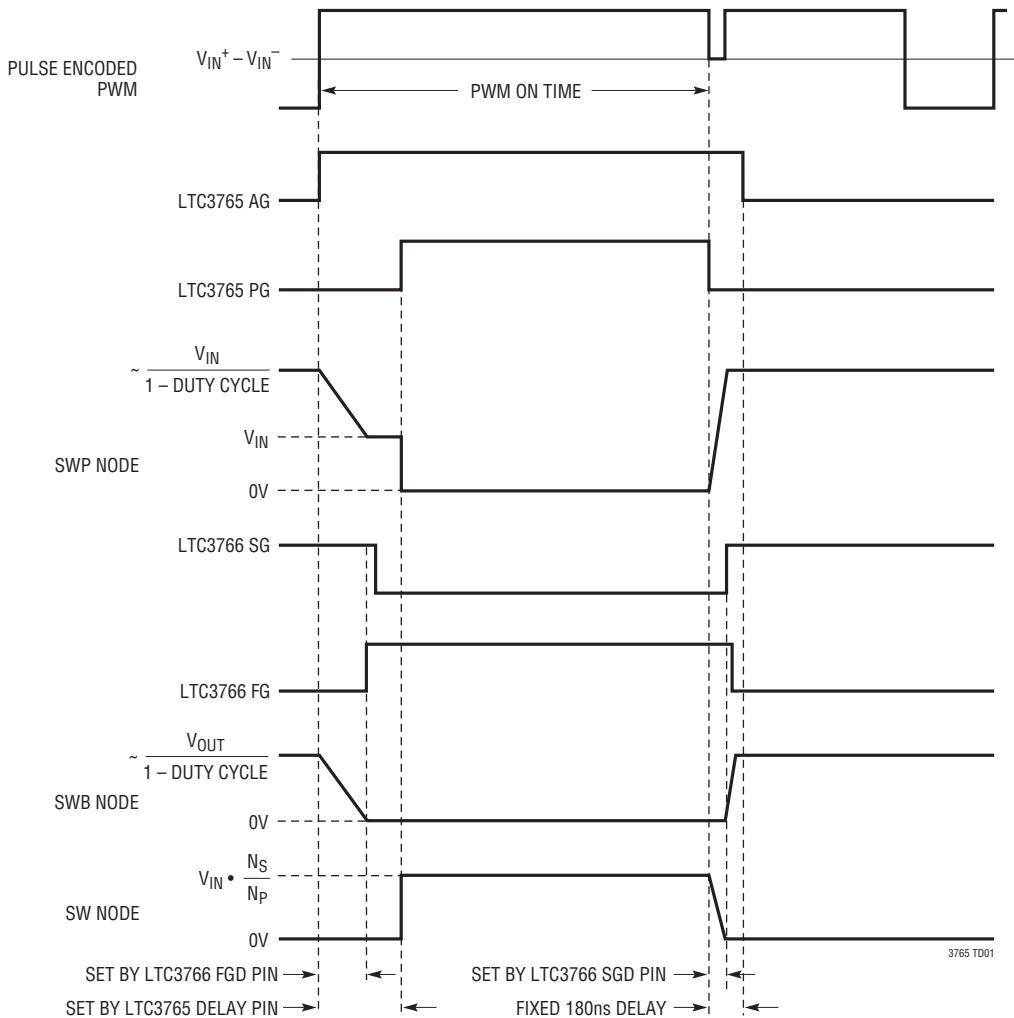


図1. タイミング図の参考回路図

動作

LTC3765は、アクティブ・クランプ・リセットを伴うシングルスイッチ・フォワード・コンバータに使用するための、フォワード・コンバータ起動コントローラおよびゲート・ドライバです。パルス・トランスを介してLTC3766の2次側同期整流式フォワード・コントローラに接続することで、2次側のレギュレーション、入出力間のガルバニック絶縁、同期整流を伴う高効率なフォワード・コンバータが構成されます。LTC3765とLTC3766のバイアス電圧は、バイアス電源を追加する必要のない独自のセルフスタート・アーキテクチャによって生成されます。

リニア・レギュレータ

LTC3765は、従来のトリクル・チャージャに付随していた長い起動時間を解消する、外部直列パス・リニア・レギュレータ・コントローラを備えています。NDRVピンは、外部NMOSトランジスタのゲートを安定化し、十分に制御された35μsのランプ時間をかけて、V_{CC}電源を8.5Vのレギュレーション・ポイントまでランプアップします。外部NMOSトランジスタのしきい値によってV_{CC}電圧が制限されるよう、入力電源電圧が低いアプリケーションでは、内部チャージポンプがNDRVをV_{IN}より高い電圧まで昇圧することで、外部NMOSの十分な導通を可能にします。

セルフスタート起動

電力が最初に印加され、RUNピンとV_{CC}がそれぞれの起動要件を満たしたとき、LTC3765はその内部発振器を使用して開ループ動作を開始します。SSFLTピンの電圧の上昇レートによる制御でデューティ・サイクルを0%から70%まで徐々に上げながらゲート・ドライバをスイッチングすることで、2次側に電力が供給されます。メイン・トランスの補助巻線から給電されるピーク充電回路により、LTC3766はデューティ・サイクルが小さくても動作を開始できます。LTC3766の電圧がその起動要件を満たすのに十分になると、図2に示すように、デューティ・サイクル情報を、パルス・トランスを介して提供します。LTC3765はこの信号を検出して、ゲート・ドライバの制御をLTC3766に移します。LTC3765はリニア・レギュレータをオフにするとともに、内蔵の整流器を介して、この信号からの電力の抽出もします。

ゲート・ドライブのエンコード

LTC3766の2次側フォワード・コントローラは、パルス・エンコードされた信号を、小さなパルス・トランスと直列DC復元コンデンサを介して、LTC3765のIN⁺ピンおよびIN⁻ピンに送信します。2つの部品間の通信ロックを確立するための短い起動シーケンスの後、LTC3765はクロックおよびデューティ・サイクル情報を信号から抽出し、これを使用してPGおよびAGゲート・ドライバの出力を制御します。

図2は、LTC3766が、79%のデューティ・サイクルで、パルス・トランスを補完モードでドライブする様子を示しています。正のサイクル中の適切な時点で、LTC3766は、PGの「オン」時間の終わりを示す短い(150ns)ゼロ電圧パルスをパルス・トランスに印加します。

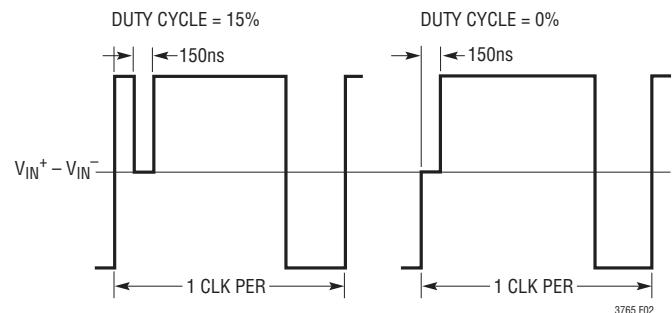


図2. ゲート・ドライブのマルチプレクス方式

ゲート・ドライバおよび遅延調整

アクティブ・クランプ・ゲート・ドライバ(AG)と1次側スイッチ・ゲート・ドライバ(PG)は、「同相」であり、DELAYピンによって設定されるプログラム可能なオーバーラップ時間を持ちます。アクティブ・クランプ・フォワード・コンバータのトポロジーでは、アクティブ・クランプPMOSのターンオフと1次側スイッチNMOSのターンオンの間の遅延時間は、効率を最適化するために重要です。アクティブ・クランプがオンのとき、1次側NMOSのドレイン、すなわち1次側スイッチ・ノード(SWP)は、メイン・トランスによって約V_{IN}/(1-デューティ・サイクル)の電圧にドライブされます。アクティブ・クランプがオフになると、トランスの励磁インダクタンスの電流により、この電圧はV_{IN}まで直線的にランプダウンします。1次側スイッチの遷移による電力損失は、この電圧が最小のときに1次側スイッチをオンにすることで最小限に抑えられます。

動作

1次側スイッチのターンオフとアクティブ・クランプのターンオンの間の遅延時間は、実質上それほど重要ではありません。1次側スイッチをオンにすることによる電力損失と比べて、アクティブ・クランプをスイッチングすることによる電力損失は極めて小さいものです。このような差が生じるのは、アクティブ・クランプがスイッチングする電流が少ないと、ゼロ電圧スイッチングを促進するシステムの自然共振との両方の結果です。

1次側スイッチがオフになると、メイン・トランスの漏れインダクタンスは、トランスを介して反映されるインダクタのピーク・リップル電流とともにバイアスされます。この電流は、アクティブ・クランプ PMOS にかかる電圧を、急速に 0V にドライブします。PMOS をこの遷移の後にオンにすると、スイッチングによる電力損失が最小限に抑えられます。LTC3765 のアクティブ・クランプ・ターンオン遅延は、内部的に 180ns に固定されています。

V_{IN} の低電圧ロックアウト

LTC3765 の RUN ピンは、高精度なしきい値とプログラム可能なヒステリシスを備えています。そのため、RUN ピンは、入力電源電圧に対する高精度な電圧モニタとして使用できます。 V_{IN} から RUN ピンへの外部抵抗分割器により、 V_{IN} が低すぎるとときには動作が確実にディスエーブルされます。

さらに、RUN ピンがそのしきい値を下回る場合、5 μ A 電流が RUN ピンにより引き込まれます。この電流は、外部抵抗分割器と組み合わせて、ヒステリシスを内部最小値 4% より大きくなります。

ソフトスタート

SSFLT ピンは、セルフスタート・アプリケーションのためのプログラム可能なソフトスタート・ランプと、フォールト・インジケータとを組み合わせます。 V_{CC} と RUN ピン電圧のいずれかがそれぞれのしきい値を下回った場合、SSFLT ピンは内部的に接地されます。これらの電圧の両方がそれぞれのしきい値を上回っているとき、SSFLT ピンは解放され、電流が SSFLT ピンから外部コンデンサに流れます。コンデンサが 1V から 3V に充電されると、FSUV からグランドに接続された抵抗によって設定されたスイッチング周波数により、ゲート・ドライバのデューティ・サイクルが 0% から 70% に直線的に増加します。ソフトスタート・ピンが 3V に達する前に、LTC3766 がパルスの送信を開始してデューティ・サイクルを制御し始めるようにしてください。ただし、電圧が 3.5V に達すると、リニア・レギュレータ・バス・デバイスにおける過度の電力損失を避けるため、リニア・レギュ

レータはオフになります。リニア・レギュレータがオフになることで、電源はすぐに V_{CC} 下降時の UVLO のしきい値よりも下に降下し、LTC3765 はフォールト状態となり再起動します。

Direct Flux Limit

アクティブ・クランプ・フォワード・コンバータでは、負荷過渡中やプリバイアスされた出力まで起動するときにコアを飽和させないよう、トランスの磁束密度に正確な限界値を確立することが重要です。アクティブ・クランプ手法により定常状態動作中は適切なリセット電圧が得られますが、負荷ステップによって生じるデューティ・サイクルの急激な増加により、トランスの磁束が蓄積あるいは「歩行」し、飽和に至る可能性があります。これは、アクティブ・クランプ・コンデンサのリセット電圧がデューティ・サイクルの高速な変化に追いつけないために起こります。この影響は、入力電圧が低い場合に特に顕著です。出力インダクタの電流をランプアップするために使用可能な電圧が低いため、電圧ループがデューティ・サイクルのさらなる増加を必要とするからです。

従来、トランス・コアの飽和を防止するには、コンバータの最大デューティ・サイクルの制限と、およびデューティ・サイクルの変化速度を制限するためのループの低速化との両方が行われていました。最大デューティ・サイクルの制限は、デューティ・サイクルの最大値がクランプされることで、コンバータが低入力電圧における負荷ステップについての飽和を防ぐ助けとなります。ただし、最大デューティ・サイクルのクランプが無効である高い入力電圧では、トランスが飽和しやすくなることもあります。ループ内のデューティ・サイクル変化速度を、アクティブ・クランプ・コンデンサがデューティ・サイクルの変化を十分追跡できる程度にまで制限すると、コンバータ全体の過渡応答が大幅に劣化します。さらに、この手法では、すべての動作条件においてトランスの飽和を防止できる保証はありません。これらの従来の手法のいずれも、デューティ・サイクルが急速に 0% から 75% に増加する、プリバイアスされた出力までの起動時には、トランスが飽和するのを防ぐことができません。

LTC3765 と LTC3766 は、トランス・コアでの磁束の蓄積をモニタして直接制限する、新しい独自のシステムを導入しています。リセット・サイクル中、アクティブ・クランプ PMOS がオンのとき、PMOS のソースに直列に接続された検出抵抗によって、励磁電流が直接測定され、制限されます。PMOS がオフになり、メイン NMOS スイッチがオンになると、LTC3765 は、RUN ピンで検出された入力電圧、および RCORE ピンからグランドに接

動作

統された抵抗によって特定のコア向けにカスタマイズされたトランス・コアのパラメータに基づいて、励磁電流の内部的な概算値を高精度で生成します。次に、励磁電流はオン時間の間、この高精度の内部的な概算値により制限されます。従来の方法とは異なり、Direct Flux Limitは磁束の蓄積を直接測定およびモニタし、プリバイアスされた出力まで起動する場合においても、過渡応答を損なうことなく、トランスが飽和しないことを保証します。

その他の保護機能

LTC3765は他にも、永続的な異常条件が発生した場合に回路を保護する機能を備えています。過電流モニタおよび過温度モニタにより、異常条件下においても信頼できる動作が確保されます。

過電流モニタは、1次側NMOSのソースと直列に接続された外部検出抵抗とともに実装されます。電流検出ピン、 I_{S^+} および I_{S^-} 間の電圧差が150mVを超えた場合、1次側NMOSは即座にオフにされ、フォールトが開始します。

内部の過温度モニタは、20°Cのヒステリシスで165°Cに設定されています。これは、故障や異常条件が発生した場合にDC/DCコンバータの温度を制限する助けとなります。内部温度がこの水準を超えた場合、即座にスイッチングが停止し、フォールトがフラグされます。

フォールト・インジケータ

過電流トリップ、過温度トリップ、LTC3766との通信損失、 V_{CC} がそのUVLOのしきい値未満に下降、RUNピンがそのしきい値未満に下降のうち、いずれかの条件が発生した場合、フォールト状態が開始されます。SSFLTピンは、これらのフォールトを表示し、フォールトを多相システムにおいて伝達し、またオプションとして、フォールト時にロックアウトするために使用されます。

フォールトが発生したとき、スイッチングは即座に停止し、SSFLTピンがインジケータとして急速に5.75Vより上に引き上げられます。LTC3766は、スイッチングが停止したことを検知して、自身もフォールト状態となり、再起動します。フォールトが解消し次第、SSFLTピンの電圧がゆっくりと放電され、その間にLTC3766が再起動の準備をします。SSFLT電圧が0.7Vに達すると、ピンは一時的に接地され、ソフトスタート・シーケンスが再び開始します。オプションとして、5.6Vツエナー・ダイオードをSSFLTからグランドの間に挿入することで、フォールトを「ロックアウト」できます。この場合、SSFLTピンが外部的に接地されるか、ダイオード・クランプが除去されるか、あるいは入力電源電圧が低落するまでは、再起動できなくなります。

PolyPhase®アプリケーションでは、LTC3765のSSFLTピンは、すべて互いに接続してください。これにより、LTC3765のすべての相で同時に開ループ起動が開始されるようになるだけでなく、フォールト条件を伝達する手段が得られます。1つのLTC3765がフォールトを検出すると、接続されたSSFLTノードを6Vより上に引き上げます。電圧が5Vを超えると、他のLTC3765がこれを検出し、共通SSFLTピンが放電するまでスイッチングを停止します。

アプリケーション情報

RUNピン抵抗の選択

RUNピンの電圧がそのしきい値である1.25Vを超えると、通常動作がイネーブルされます。図3に示すように、RUNピンは通常、V_{IN}電源上の高精度な低電圧ロックアウト(UVLO)として外部抵抗分割器と一緒に使用されます。R1として選択された値と組み合わせたときに、UVLOヒステリシスが内部最小値4%より大きくなるしきい値に満たない場合、RUNピンは5µAの電流を引き込みます。この方法で使用された場合、R1とR2の値は、目的とする上昇時および下降時のUVLOのしきい値から、次の式によって計算できます。

$$R1 = \frac{V_{IN(RISING)} - 1.042 \cdot V_{IN(FALLING)}}{5\mu A}$$

$$R2 = \frac{1.2 \cdot R1}{V_{IN(FALLING)} - 1.2}$$

高スルーノードからRUNピンにカッピングされるノイズをフィルタで除去するため、1nFコンデンサをR2と並列に接続することを推奨します。RUNピンの絶対最大電圧は12Vであることに注意してください。これにより、V_{IN}の最大電圧の予測値とV_{IN}下降時のUVLOのしきい値の関係は、次を満たす必要があります。

$$V_{IN(MAX)} < 10 \cdot V_{IN(FALLING)}$$

動作/停止制御は、小さなNMOSをRUNピンに接続しても実現できます(図3を参照)。NMOSをオンにすると、RUNピンが接地され、LTC3765が動作しなくなります。

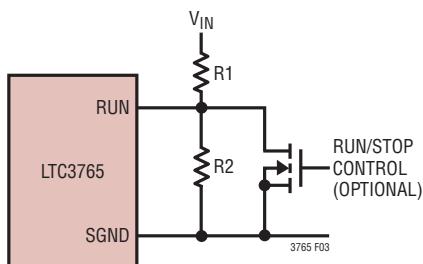


図3. V_{IN} UVLOの抵抗電圧分割器
およびオプションの動作/停止制御

RUNピンは、Direct Flux Limitに向けて入力電圧を検出するためにも使用されます。Direct Flux Limitが正しく動作するには、V_{IN}からの抵抗分割器がRUNピンに接続されている必要があります。

リニア・レギュレータ

リニア・レギュレータは、外部NMOSを使ってV_{CC}ピンに接続されたコンデンサを急速に充電するため、従来のトリクル・チャージャに付随していた長い起動時間が解消されます。リニア・レギュレータの標準的な構成を図4に示します。

NDRVピンは、V_{CC}の電圧を安定化するため、R_{NDRV}を流れる電流を最大1mAシンクします。したがって、R_{NDRV}の最小値は、次の式で計算できます。

$$R_{NDRV} > \frac{V_{IN(MAX)} - (8.5V + V_{TH})}{1mA}$$

ここで、V_{TH}は、外部NMOSのしきい値である電圧です。

R_{NDRV}抵抗の最大値は、内部リニア・レギュレータ回路に給電するために必要な、NDRVによって引き込まれる10µAバイアス電流によって制限されます。V_{CC}電源がMOSFETのしきい値の関数である最小電圧より大きいとき、内部チャージポンプがNDRVバイアス電流をすべて供給します。しかし、V_{CC}電源がこの最小電圧よりも低いときは、チャージポンプはアクティブでないため、NDRV抵抗がこの電流を供給する必要があります。そのため、チャージポンプ起動のためのR_{NDRV}の最大値は、次の式で計算できます。

$$R_{NDRV} < \frac{V_{IN(MIN)} - 1.6V_{TH} - 1.2V}{20\mu A}$$

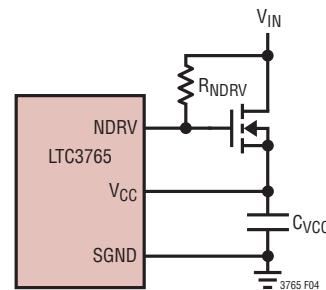


図4. 標準的なリニア・レギュレータの構成

アプリケーション情報

この2つの式から、広い範囲のR_{NDRV}値が得られます。多くのアプリケーションにおいて、100k抵抗でこれらの要件を満たすことができます。

V_{CC}の0Vから8.5Vへの充電速度は、V_{CC}ピンに接続されたコンデンサのサイズにかかわらず約35μsとなるよう、LTC3765により制御されます。このコンデンサの充電電流は、次の式で概算できます。

$$I_{C1} = \frac{8.5V}{35\mu s} C_1$$

外部NMOSの選択においては、上記の式のコンデンサ充電電流I_{C1}がNMOSの安全動作領域(SOA)を超えないようにしてください。

C1には、過度に大きな値を設定する必要はありませんので、そうした値を設定しないでください。通常は、1μF～10μFの範囲の値が有効です。高電圧での起動過渡への耐性を向上するには、可能な場合、標準のしきい値である3VのNMOSを使用してください。ただし、低電圧での起動が要求されるアプリケーションではロジック・レベルNMOSを使用できます。NMOSが絶えずオンとなるのは短い起動時間中だけであるため、小さなSOT-23パッケージを使用可能です。

V_{CC}への給電に使用可能な8.5V～14.5V電源がシステムに存在する場合、リニア・レギュレータは必要ないため、NDRVをV_{CC}に接続してリニア・レギュレータを無効にしてください。LTC3766がスイッチングの開始時にV_{CC}をオーバードライブさせるように構成されている場合、外部電源は直列ダイオードを介してV_{CC}ピンに接続してください。

低入力電圧での起動

低電圧(V_{IN} < 10V)での起動が要求される場合、R_{NDRV}の最小値はさらに制約を受けます。このアプリケーションでは、チャージポンプを起動するには、前述のR_{NDRV}の最大値の式を満たす必要があります。さらに、チャージポンプ電流は

R_{NDRV}を流れて、NDRV電圧をV_{IN}より上に昇圧し、外部MOSFETの十分な導通を可能にします。そのため、R_{NDRV}は、限られたチャージポンプ電流がNDRV電圧をそのレベルまで昇圧するのに十分な大きさである必要があります。低電圧での起動には、しきい値が低いロジック・レベルMOSFETが好みです。これは、MOSFETが要求するNDRV電圧がV_{IN}よりは高いながらも低めの値であるからだけでなく、NDRVとV_{CC}との差が小さくなり、MOSFETのしきい値とほぼ同じになつくると、チャージポンプ電流が増加するためです。与えられたしきい値の電圧にまつわるR_{NDRV}の選択においては、前述のR_{NDRV}の最大値の式を満たす必要があることにも留意しながら、次の関係を満たすようにしてください。

$$R_{NDRV} > \left(\frac{V_{TH(MAX)}}{5 - V_{TH(MAX)}} \right) \cdot 100k$$

この式において、V_{TH}は、外部MOSFETの最大しきい値の電圧です。次の表1は、一般的な入力電圧範囲におけるR_{NDRV}の標準的な値を示しています。

表1. R_{NDRV}の標準的な値

V _{IN} の範囲	V _{TH(MAX)}	R _{NDRV} の範囲	標準的なR _{NDRV}
8V～36V	2V	70k～180k	125k
36V～72V	4V	60k～1.4M	150k

過電流制限の設定

LTC3765の過電流制限は、基本的にコンバータ保護のための安全策です。トランスの1次側巻線と1次側スイッチを直列に流れる電流は、スイッチのソースとグランド間に接続された抵抗(R_{SENSE})により検出されます。この抵抗にかかる電圧は、I_S⁺およびI_S⁻ピンにより検出されます。I_S⁺とI_S⁻との差が150mVを超えた場合、LTC3765は即座に1次側NMOSをオフにし、SSFLTが接地されていない場合、フォールトとなります。過電流コンパレータは、ノイズにより誤ってトリップするのを防ぐため、PGが“H”になってから約200nsの間、ブランクにされます。

アプリケーション情報

過電流トリップ電流 I_{TRIP} には、1次側NMOSの最大定格パルス・ドレイン電流より小さく、かつ全負荷時ピーク・インダクタ電流と起動時に出力コンデンサを充電するために必要な電流(トランスを介して反映される)の和よりも大きい値を選択します。検出抵抗値 R_{SENSE} は、150mVトリップのしきい値と1次側トリップ電流から、次の式で計算できます。

$$R_{SENSE} = \frac{150\text{mV}}{I_{TRIP}}$$

R_{SENSE} 抵抗については、起動時に全負荷となるときによく発生するコンバータの最大動作電流に対して十分な余裕を持つことを確認してください。

全負荷時のセルフスタート・アプリケーションでは、ソフトスタート・コンデンサ(C_{SS})によって決定されるデューティ・サイクルが直線的に増加することにより、出力コンデンサの値とは無関係の固定のレートで出力電圧がランプします。出力容量が大きい場合、それに比例して出力電圧のランプ・レートを維持するのに大きな充電電流が必要になります。通常、他の出力容量はシステム内に分散していて明確には分からないため、検出抵抗とソフトスタート・コンデンサの選択においては、起動時に過電流コンパレータがトリップしないだけの十分な余裕を持つようにしてください。出力コンデンサの充電に使用できる電流の上限値は、次に示す式で計算できます。

$$I_{CHG} < \frac{150\text{mV}}{R_{SENSE} \cdot N_S/N_P} - 1.4I_{LOAD(MAX)}$$

ここで、 N_S/N_P はトランスの巻数比で、係数 1.4 はインダクタの標準的なリップル電流である 40% を表しています。起動時に過電流コンパレータがトリップしないよう、ソフトスタート・コンデンサの選択においては、上記の式で計算された充電電流の一部のみが出力コンデンサの充電に使用可能となるようにしてください。通常、最大充電電流の 10% を使用することで、

十分な余裕が得られます。これにより、ソフトスタート・コンデンサ値の下限値が決まり、次の式で計算できます。

$$C_{SS} > 600 \cdot 10^{-9} \cdot V_{IN(MAX)} \cdot N_S/N_P \left(\frac{C_{OUT}}{0.1 \cdot I_{CHG}} \right)$$

ここで、 C_{OUT} は出力コンデンサの値、 $V_{IN(MAX)}$ は最大入力電圧です。ソフトスタート・コンデンサの値は、10nF～1μFの範囲にしてください。10nFより小さい値を使用しないでください。ソフトスタート・コンデンサは、出力電圧の立ち上がりと LTC3766 のバイアス電源の立ち上がりの相対的なタイミングも決定します。選択された値は、出力電圧がレギュレーション・ポイントに近づく前にバイアス電源が確実に立ち上がるかどうか、次の「セルフスタート起動」セクションの式によって検証してください。

ノイズのピックアップを防ぐため、 I_S^+ および I_S^- のトレースの配線に注意を払う必要があります。トレースは、検出抵抗でケルビン検出し、PCB の内部層で互いにすぐ近くになるよう配線してください。1次側NMOSのドレインやアクティブ・クランプPMOSのドレインなど、高電圧、高スルーレートのノードの近くには配線しないでください。

PCB レイアウトや I_S^+ ピンおよび I_S^- ピンに向かうトレースのシールドに応じて、図5に示すようにわずかにフィルタリングを加える必要がある場合があります。通常、 $R_{FL} = 100\Omega$ 、 $C_{FL} = 200\text{pF} \sim 1\text{nF}$ の値を使用することで、過電流応答時間を大きく損なうことなく、ノイズ・ピックアップには十分となるフィルタリングを実現します。

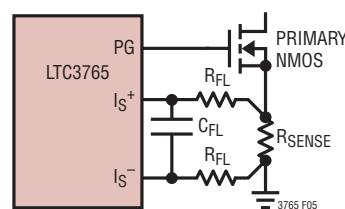


図5. 過電流検出フィルタリング

アプリケーション情報

セルフスタート起動

LTC3765は、起動時、2次側のLTC3766に電力を供給するため、開ループモードでスイッチングを開始します。LTC3766が適切なバイアス電圧を得て、起動に必要なその他の条件を満たすと、IN⁺/IN⁻ピンに接続されたパルス・トランスを介して、デューティ・サイクル情報と電力の送信を開始します。

LTC3765の起動スイッチング周波数は、FSUVからグランドに接続された抵抗によって設定されます。内部発振器が使用されるのは起動時だけなので、周波数の正確性は重要ではありませんが、周波数を過度に低く設定しないでください。周波数が低すぎる場合、トランスとインダクタで高電流が発生することがあります。LTC3765からLTC3766へのデューティ・サイクルの受け渡しによる遷移の影響を最小限に抑えるため、この周波数は、LTC3766とほぼ同じ周波数に設定してください。周波数設定抵抗(R_{FS})の値は、次の式を使用して選択できます。

$$R_{FS} = \frac{6.2 \cdot 10^9}{f_{SW}} - 4.5k$$

表2は、一般的なスイッチング周波数に対応する標準的な5%抵抗値R_{FS}を示しています。

表2. 一般的な周波数に対応する標準的なR_{FS}抵抗値

周波数	R _{FS} の値
150kHz	36k
200kHz	27k
250kHz	20k
275kHz	18k
350kHz	13k

内部発振器は、SSFLTピンの電圧と比較されるランプを生成し、デューティ・サイクルを生成します。内部発振器は、SSFLTが約1Vに達するまでスイッチングを阻止するためのオフセットを備えています。V_{CC}が低電圧の場合、またはRUNピンが

そのしきい値未満の場合、SSFLTピンが内部的に接地されるため、ドライバはスイッチングしません。

起動条件が満たされると、SSFLTピンが解放され、ピンから電流がソースされて、SSFLTからグランドに接続された外部コンデンサが充電されます。最初は60μAの電流がピンからソースされますが、この電流はPGがスイッチングを開始すると約4μAに減少します。この60μAの初期電流は、スイッチングが開始する1Vまで外部コンデンサを充電することで発生する遅延を低減します。

開ループ起動中、任意のデューティ・サイクル・ランプ・レートについて、出力電圧は、低ラインのときよりも高ラインのときの方が短時間で上昇します。そのため、特に無負荷時、LTC3766がスイッチングを開始するまでに、出力の過電圧状態が発生する可能性があります。このような状態を回避するため、4μAのソフトスタート電流は、抵抗分割器を介してV_{IN}をモニタしているRUNピンの電圧により変調されます。RUNピンの電圧が1.3Vから3.75Vに上昇すると、ソフトスタート電流が4μAから1.6μAに低下します。

外部ソフトスタート・コンデンサが徐々に1Vから3Vへと充電されるにつれ、デューティ・サイクルは0%から70%へと直線的に増加します。SSFLT電圧が3Vを超えると、デューティ・サイクルは約70%でクランプされ、十分なアクティブ・クランプ・リセット時間が得られます。SSFLT電圧が3.5Vに達したときにデューティ・サイクル情報がIN⁺ピンおよびIN⁻ピンで受信されていないと、その電圧が保持され、リニア・レギュレータがオフになります。PGゲート・ドライバおよびAGゲート・ドライバは70%のデューティ・サイクルでスイッチングを続け、V_{CC}電源は下降時の低電圧ロックアウトのしきい値に達するまで低下します。この時点で、LTC3765はフォールト状態となり、リニア・レギュレータをオンにし、再起動試行のためにSSFLTコンデンサを徐々にリセットします。

アプリケーション情報

多くのアプリケーションは、この開ループのデューティ・サイクル・ランプによってLTC3766の電源が初期バイアスされます。したがって、LTC3765が提供できる最大デューティ・サイクルによって、LTC3766が起動するために適切なバイアスを得ているかどうかが決まります。最大デューティ・サイクルは標準で70%ですが、DELAYピンの設定(tDPG)によって最大オン時間が短縮されます。このため、起動時の最大デューティ・サイクルは70%-(tDPG・fSW・100%)になります。この最大デューティ・サイクルとLTC3766をバイアスするに必要なデューティ・サイクルの間に十分なマージンを確保してください。

アプリケーションによれば、LTC3766は、メイン・トランスの補助巻線によるピーク充電回路からバイアスされます。この構成を図6に示します。LTC3765の開ループ起動はピーク充電回路と出力電圧の両方に電力を供給するため、ソフトスタート・コンデンサ値の第一の設計制約は、LTC3766が制御するのに十分なバイアスを得る前には出力を過電圧状態にしないようにすることです。目安としては、ソフトスタート・コンデンサの選択において、出力電圧がそのレギュレーション・ポイントの半分まで上昇する前に、LTC3766が十分な電源電圧を持つようにすることです。

図6のピーク充電回路では、C_{PK}の値は、LTC3766をバイアスするに必要な容量に基づいて選択します。次に、補助巻線の巻数比N_A/N_Pの選択については、LTC3766に要求されるV_{CC}より約30%大きい最小V_{IN}でピーク充電電圧が得られるようにします。

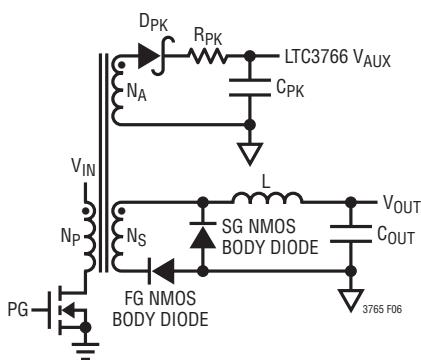


図6. LTC3766をバイアスするためのピーク充電回路
(セルフスタート・アプリケーションによる)

1次側ソフトスタート・コンデンサ(C_{SS})の下限値は、前述の「過電流制限の設定」セクションで計算し、過電流コンパレータが起動時に全負荷となるときにトリップしないことを確認しました。この値は、通常、10nF～1μFの範囲にしてください。C_{SS}に過度に小さい値を選択すると、無負荷時に出力電圧の充電が早すぎたり、起動時に全負荷となる場合に過電流トリップを起こしたりする可能性があります。過度に大きい値を選択すると、起動時に余計な遅延を生じさせ、その間、リニア・レギュレータが電流を供給して1次側NMOSをスイッチすることになります。リニア・レギュレータのパス・デバイスの過度の電力損失を防ぐため、起動時間は極端に長くしないようにしてください。ほとんどのアプリケーションにおいて、33nFが妥当な出発点です。

ソフトスタート・コンデンサの値は、ピーク充電回路がLTC3766に適切なバイアスを供給するのにかかる時間と、出力電圧がそのレギュレーション値の半分まで上昇するのにかかる時間を比較することによって検証してください。LTC3766がバイアスを受け取り、制御し始めるまでの時間は、次の式で概算できます。

$$t_{BIAS} \approx 10^3 \cdot \sqrt{R_{EQ} \cdot C_{PK} \cdot C_{SS}} + 150\mu s$$

ここで、R_{EQ}は、R_{PK}とダイオードD_{PK}の直列抵抗の合計値です。次に、出力電圧がそのレギュレーション値の半分に到達するまでの時間は、次の式で概算できます。ここで、V_{OUT}は、最終的な安定化出力電圧です。

$$t_{OUT} \approx 10^4 \cdot \left(\frac{C_{SS}^2 (V_{OUT}/2)^2 L \cdot C_{OUT} \cdot f_{SW}}{(V_{IN(MIN)} \cdot N_S / N_P)^2} \right)^{1/3}$$

アプリケーション情報

上記の式は、負荷電流がないことを前提としています。これは、出力電圧立ち上がりのワーストケース条件です。 t_{OUT} が t_{BIAS} より小さい場合、ソフトスタート・コンデンサの値を大きくする必要があります。これらの式は概算であり、実際の時間は回路パラメータにより多少異なることに注意してください。

ゲート・ドライバ

アクティブ・クランプ・ゲート・ドライバ(AG)と1次側スイッチ・ゲート・ドライバ(PG)は、「同相」であり、DELAYピンによって設定されるプログラム可能なオーバーラップ時間を持ちます。従来、アクティブ・クランプ・ドライバでは、アクティブ・クランプPMOSゲートをおおよそ V_D から $-V_{CC} + V_D$ へドライブするために、AGドライバは図7aの回路に示すようにレベルシフトされる必要があります。ここで、 V_D は、ショットキ・ダイオードDAGの順方向電圧降下です。ショットキ・バリア・ダイオードの代わりにシリコン・ダイオードを使用できますが、ダイオードの順方向電圧はアクティブ・クランプPMOSの使用可能ゲート・ドライブから減算されます。これは、特に、最小の V_{CC} UVLO下降時のしきい値で重要です。

抵抗 R_{AG} は、ドライブされていないときにアクティブ・クランプPMOSがオフになっているようにします。アクティブ・クランプのレベルシフト回路の構成要素は、いくつかの制約の下で選択できます。 R_{AG} と C_{AG} で構成される時定数は、コントローラのスイッチング時間よりも十分に長い設計にしてください。 C_{AG} に $0.1\mu F$ コンデンサ、 R_{AG} に $10k$ 抵抗を使用した場合、時定数は $1ms$ となります。この場合、LTC3766で有効な $75kHz \sim 500kHz$ の周波数範囲で十分な余裕が提供されます。

別 の 方法 と し て 、 図 7b に 示 す よう に 、 アクティ ブ・クランプPMOSソースは、 V_{CC} 電源バイアス・コンデンサに戻すことができます。この構成では、 C_{AG} 、 D_{AG} 、 R_{AG} で構成されるレベルシフト回路が必要なくなります。AG出力は、 V_{CC} とグランド間のPMOSのゲートをドライブします。

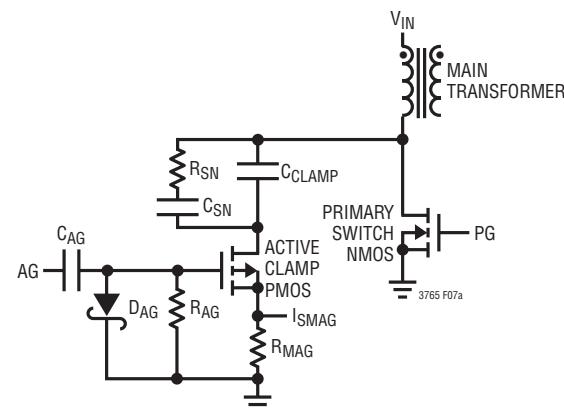


図7a. 一般的なAGおよびPGドライバの構成

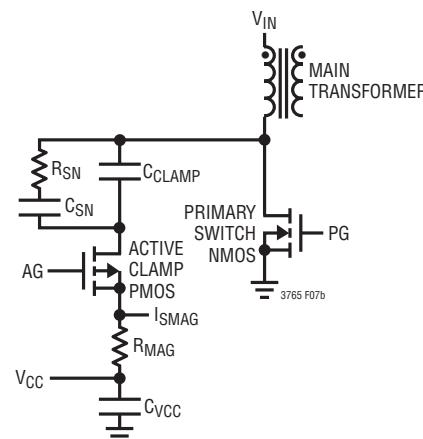


図7b. 代替的なAGおよびPGドライバの構成

図7aの構成とは異なり、メイン・トランスの漏れ電流スパイクと励磁電流は、 V_{CC} バイパス・コンデンサに戻ります。電源の過度のリップルを防ぐため V_{CC} コンデンサを増加させ、 V_{CC} の配線には低インピーダンスのプレーンを使用してください。

アプリケーション情報

励磁電流によるV_{CC}コンデンサ(C_{VCC})のリップルは、次の式で概算できます。

$$\Delta V_{CC} = \frac{V_{OUT}(N_p/N_s)}{6.8 \cdot C_{VCC} \cdot L_{MAG} \cdot f_{SW}^2} \left(1 - \frac{V_{OUT}(N_p/N_s)}{V_{IN(MAX)}} \right)$$

一般的に、4.7μFコンデンサは、アクティブ・クランプ電流がV_{CC}に戻る場合、ほとんどのアプリケーション回路で良い選択です。

Direct Flux Limit

アクティブ・クランプ・フォワード・コンバータでは、負荷過渡中やプリバイアスされた出力まで起動するときにコアを飽和させないよう、トランスの磁束密度に正確な限界値を確立することが重要です。アクティブ・クランプ手法により定常動作中は適切なリセット電圧が得られますが、プリバイアスされた出力または負荷ステップによって生じるデューティ・サイクルの急速な増加により、トランスの磁束が蓄積あるいは「歩行」し、飽和に至る可能性があります。これは、アクティブ・クランプ・コンデンサのリセット電圧がデューティ・サイクルの高速な変化に追いつけないために起こります。この影響は、入力電圧が低い場合に特に顕著です。出力インダクタの電流をランプアップするために使用可能な電圧が低いため、電圧ループがデューティ・サイクルのさらなる増加を必要とするからです。

LTC3765とLTC3766は、トランス・コアでの磁束の蓄積をモニタして直接制限する、新しい独自のシステムを導入しています。リセット・サイクル中、アクティブ・クランプPMOSがオンのとき、PMOSのソースに接続された抵抗(R_{MAG})によって励磁電流が検出されます。この抵抗にかかる電圧は、ISMAGピンによつて検出されます。前掲の図7aおよび7bに示した、アクティブ・

クランプ・ドライバの通常の構成と代替的な構成の両方がサポートされています。通常の構成においては、ISMAGピンの電圧が-1Vより低い場合、アクティブ・クランプPMOSはオフにされます。同様に、図7bの代替的な構成では、ISMAGピンの電圧が(V_{CC}-1V)より低い場合、アクティブ・クランプPMOSはオフにされます。そのため、ISMAGピンは、負方向へのコアの飽和を防ぐため、励磁電流を直接モニタして制限します。

励磁電流検出抵抗の値は、トランス飽和電流(I_{SAT})を制限するように選択します。

$$R_{MAG} = \frac{1V}{I_{SAT}}$$

ここで、飽和電流は、最大磁束密度(B_{MAX})、コアの面積(単位:cm²)(A_C)、1次側の巻数(N_P)、および励磁インダクタンス(L_{MAG(TYP)})から、次の式で計算されます。

$$I_{SAT} = \frac{B_{MAX} \cdot A_C \cdot N_p}{10^8 \cdot L_{MAG(TYP)}}$$

フェライト・コアでよく使用される2,000ガウスの動作磁束密度用に設計されたトランスの場合、全温度範囲で飽和から十分な隔たりを保つには、B_{MAX}を2,700ガウスに設定します。「標準的応用例」で使用されているパルスPA08xxシリーズの電力トランスの場合、A_C=0.59cm²です。パルスPA09xxシリーズの電力トランスの場合、A_C=0.81cm²です。

この式の励磁インダクタンス(L_{MAG})には必ず標準値を使用してください。LMAGに最小値(一般にトランスのデータシートに規定)を使用すると、磁束振幅を人為的に制限することになります。一般に、最小値に1.25を掛けることによって、標準値を見積もることができます。

アプリケーション情報

NMOSがオンのとき、励磁電流と反映されたインダクタ電流の両方がNMOSを流れます。通常、インダクタ電流は励磁電流よりもかなり大きいため、励磁電流を直接測定するのは困難です。そのため、NMOSがオンのとき、LTC3765はトランス・コアのパラメータ、前のリセット・サイクル終了時のISMAGピンの電圧、およびRUNピンで検出された入力電圧に基づいて励磁電流を内部的に複製します。**Direct Flux Limit**が正しく動作するには、 V_{IN} からグランドに接続された抵抗分割器にRUNピンが接続されている必要があります。

リセット・サイクルの終了時に、ISMAGピンの電圧がサンプリングされ、内部的に保持されます。この電圧は、励磁電流の高精度な測定値です。NMOSがオンになると、RUNピン電圧をRCORE抵抗で割った値に比例する内部ランプにより、内部複製励磁電流が増加します。この内部電圧が1V(図7bの代替的AG構成の場合は $V_{CC} + 1V$)を超えた場合、コアの飽和を防ぐためNMOSがオフにされます。

Direct Flux LimitによってNMOSがオフにされたとき、2次側のスイッチ・ノードが降下します。LTC3766は、このような降下が早すぎるスイッチ・ノードを検出し、フォワード・ゲートをオフにして、トランス・コアをリセットできるようにします。このスイッチ・ノードの動作は、1次側のシャットダウンと見分けがつかないため、スイッチ・ノードの降下が19サイクル連続で早すぎた場合、LTC3766は1次側シャットダウンが発生したと判断し、フォールトとなります。

RCOREは、RUNピンの分割器ネットワークおよびトランス・コア・パラメータに基づいて選択します。

$$R_{CORE} = \frac{R2}{R1+R2} \left(\frac{B_{MAX} \cdot A_C \cdot N_p}{0.030} \right) - 2k\Omega$$

ここで、R1とR2は、RUNピンにおける分割器ネットワークを構成しており、R1は V_{IN} からRUNピンまで、R2はRUNピンからグランドまでです。 B_{MAX} は2,000ガウスで動作するよう設計されているトランスにおいて通常2,700ガウス、 A_C はコアの面積(単位: cm^2)、 N_p はトランス1次側巻線の巻数です。

励磁電流の内部的な概算値は線形であり、トランスの磁束密度が飽和からの隔たりを十分に保っている場合に高精度です。磁束密度が飽和に近づくにつれ、トランスの励磁インダクタンスが低下し、励磁電流が急激に増加します。個別のコアの特性に応じて、上記の式の B_{MAX} をさらに低くする必要があることがあります。

共振リセットのアプリケーションでは、アクティブ・クランプの代わりに单一のリセット・コンデンサが使用されます。この構成では、トランス・コアは各サイクルでリセットされるので飽和にくくなりますが、特定の条件による過渡中においては依然としてトランスが飽和する可能性があります。Direct Flux Limitも、このアプリケーションで飽和を防ぐための構成することができます。RMAG検出抵抗を共振リセット・キャパシタのグランド側と直列に接続し、上記のRCOREの式を使用して共振リセット形フォワード・コンバータでの飽和を防ぎます。Direct Flux Limitは、ISMAGをグランドに接続してRCOREピンを浮かせることでディスエーブルできます。ただし、Direct Flux Limitをディスエーブルするとアプリケーション回路がトランスの飽和を招きやすくなるため、推奨しません。

アクティブ・クランプ・コンデンサ

アクティブ・クランプ・コンデンサCCLAMPは、多くのサイクルにわたり、トランスの平均リセット電圧を格納します。クランプ・コンデンサの電圧はトランス・コアのリセット電流によって生成され、他のパラメータにかかわらず、その本質に沿って最適なリセット電圧に調整されます。全負荷時のコンデンサの電圧については、次の式により概算値が求められます。

$$V_{CL} = \frac{V_{IN}^2}{V_{IN} - 1.15(V_{OUT} \cdot N_p / N_s)}$$

N_p/N_s は、メイン・トランスの巻数比です。係数1.15は、標準的な損失および遅延を表しています。PGおよびAGが“L”的とき、クランプ・コンデンサの下側が接地され、リセット電圧 V_{CL} を図1のSWPノードに配置します。PGおよびAGが“H”的とき、コンデンサの上側が接地され、コンデンサの下側の

アプリケーション情報

電圧が $-V_{CL}$ となります。そのため、コンデンサが示す電圧は、PGおよびAG MOSFETのドレインが示す電圧でもあります。

図8に示すように、 V_{CL} 電圧は、コンバータが50%で動作しているときに最小となります。そのため、決められた範囲の V_{IN} における最大クランプ電圧($V_{CL(MAX)}$)は、最小と最大のどちらの入力電圧でコンバータが50%のデューティ・サイクルから最も離れて動作するかによって、最小または最大 V_{IN} のいずれかで発生します。最大 V_{CL} 電圧は、 V_{IN} の最大値と最小値をこの式に代入し、いずれか大きい方を選択することで求められます。オーバーシュートのための余地を残すため、電圧定格がこの最大 V_{CL} 電圧より50%以上大きいコンデンサを選択します。通常、高品質な(X7R)セラミック・コンデンサは、C_{CLAMP}として良い選択です。また、コンデンサの電圧係数を考慮するよう注意してください。多くのセラミック・コンデンサは、その定格電圧において50%もの値を失います。

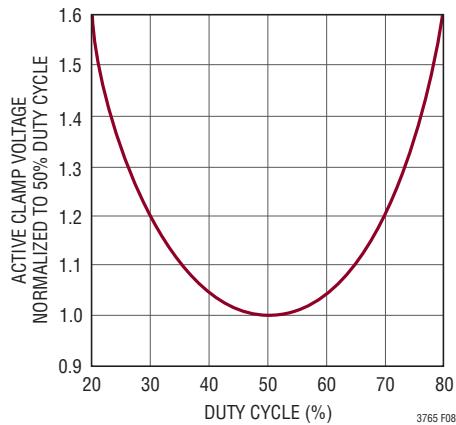


図8. アクティブ・クランプ・コンデンサの電圧とデューティ・サイクル

電圧定格に加えて、C_{CLAMP}のもう1つの設計制約は、メイン・トランジストの励磁インダクタンスとクランプ・コンデンサとの共振により発生します。励磁インダクタンスL_{MAG}とC_{CLAMP}は高Q共振システムを形成し、コンデンサ電圧の正弦波リップルを招きます。この共振に伴う問題を防ぐには、常にRCスナバを使用します。図7aおよび7bに示すように、クランプ・コンデンサと並列に接続します。次の式に基づいて、クランプ・コ

ンデンサおよびスナバ部品の値を選択します。ここで、f_{SW}は、LTC3766のFSピンによって設定される周波数です。

$$C_{CLAMP} = \frac{1}{2L_{MAG}} \cdot \left(\frac{4}{2\pi f_{SW}} \right)^2$$

$$C_{SN} = 6C_{CLAMP}$$

$$R_{SN} = \frac{1}{1 - \left(\frac{V_{OUT}}{V_{IN(MIN)}} \cdot \frac{N_p}{N_s} \right)} \sqrt{\frac{L_{MAG}}{C_{CLAMP}}}$$

上記の関係を確実に維持するため、C_{SN}とC_{CLAMP}の両方の電圧係数の効果を考慮するよう注意してください。RCスナバは、アクティブ・クランプの共振を減衰させるだけでなく、1次側MOSFETで見られるピーク電圧ストレスを最小限に抑え、このLC共振の閉ループ過渡応答に対する影響を低減します。

ゲート・ドライブ遅延の設定

アクティブ・クランプ・ゲート・ドライバ(AG)と1次側スイッチ・ゲート・ドライバ(PG)は「同相」でスイッチングし、DELAYピンによって設定されるプログラム可能なオーバーラップ時間を持ちます。PG立ち下がりからAG立ち下がりへの遅延(t_{DAG})は、このエッジのタイミングの効率への影響がわずかであるため、180nsに固定されています。AG立ち上がりからPG立ち上がりへの遅延(t_{DPG})は効率を最適化するのに重要であり、LTC3766のフォワード・ゲート遅延および同期ゲート遅延と併せて設定する必要があります。特定のアプリケーションにおいて最適な遅延時間を決定する手順については、LTC3766のデータシートを参照してください。1次側ゲート遅延時間は、次の式に従って、DELAYピンからグランドに接続された抵抗によって設定されます。

$$R_{DELAY} = (t_{DPG} - 45\text{ns}) \cdot \frac{1\text{k}\Omega}{9.5\text{ns}}$$

たとえば共振リセットを使用するフォワード・コンバータなど、アクティブ・クランプが要求されないシステムにおいては、この遅延は遅延ピンを接地することにより最小値に設定できます。

アプリケーション情報

最大デューティ・サイクル

AG立ち上がりとPG立ち上がりの間の遅延時間において、電力は入力電源から出力電源に転送されません。ほとんどのフォワード・コンバータ・システムでは、最大オン時間は遅延により人為的に制限されており、そのことが最適な遅延時間と実現可能な最大のデューティ・サイクルとの間のトレードオフのもととなります。LTC3765とLTC3766は、要求されるデューティ・サイクルが最大デューティ・サイクルに近づくにつれて、PG立ち上がり遅延およびFG立ち上がり遅延が低減されるという、独自のシステムを採用しています。これにより、一般的なフォワード・コンバータよりも幅広い種類の入力電圧範囲に対応できます。

高いデューティ・サイクルで設計するときは、部品の選択に注意してください。1次側スイッチのドレイン電圧は $V_{IN}/(1-D)$ に等しいということを思い出してください。ここで、Dはデューティ・サイクルです。この電圧は、デューティ・サイクルが100%に近づくにつれて劇的に上昇します。LTC3766は、1次側スイッチに過度の電圧ストレスをかけることなくトランス・コアをリセットするため、最大デューティ・サイクルを79%に制限します。

パルス・トランス

LTC3766 PT⁺/PT⁻の出力をLTC3765 IN⁺/IN⁻入力に接続するパルス・トランスは、図9に示すように、2次側コントローラと1次側ゲート・ドライバ間の通信リンクとして機能します。

パルス・トランスの巻数比とボルト秒仕様を決定するには、LTC3766のデータシートを参照してください。確実に適切な動作を行うには、IN⁺およびIN⁻ピンの信号の振幅が4V～15Vの範囲にあるべき、ということに留意してください。

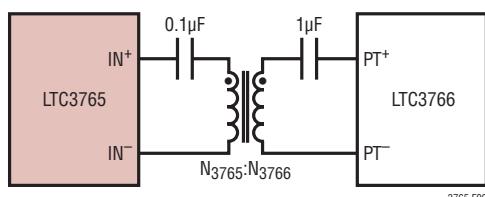


図9. パルス・トランスの接続

さらに、IN⁺/IN⁻ピンの信号からV_{CC}バイアスを引き出すときは、IN⁺/IN⁻電圧に関してさらに制約が必要となります。内蔵整流器の電圧はIN⁺およびIN⁻ピンとV_{CC}の間で約1V低下します。したがって、V_{CC}電源を下降時のUVLOしきい値より高い電圧に保つために、IN⁺およびIN⁻ピンの信号は最低でも9Vであることが必要です。

図9のパルス・トランスと直列に接続された1μFコンデンサおよび0.1μFコンデンサは、信号のDCレベルをブロックおよび復元するためのものです。これらの値は、ほとんどのLTC3765/LTC3766アプリケーションに対応します。

バイパスと接地

LTC3765では、高速スイッチング(ナノ秒単位)が行われ、大きなAC電流(アンペア単位)が流れるので、電源V_{CC}を適正にバイパスする必要があります。部品配置やPCBトレース配線での注意を怠ると、過度なリングやアンダーシュート/オーバーシュートを生じる可能性があります。

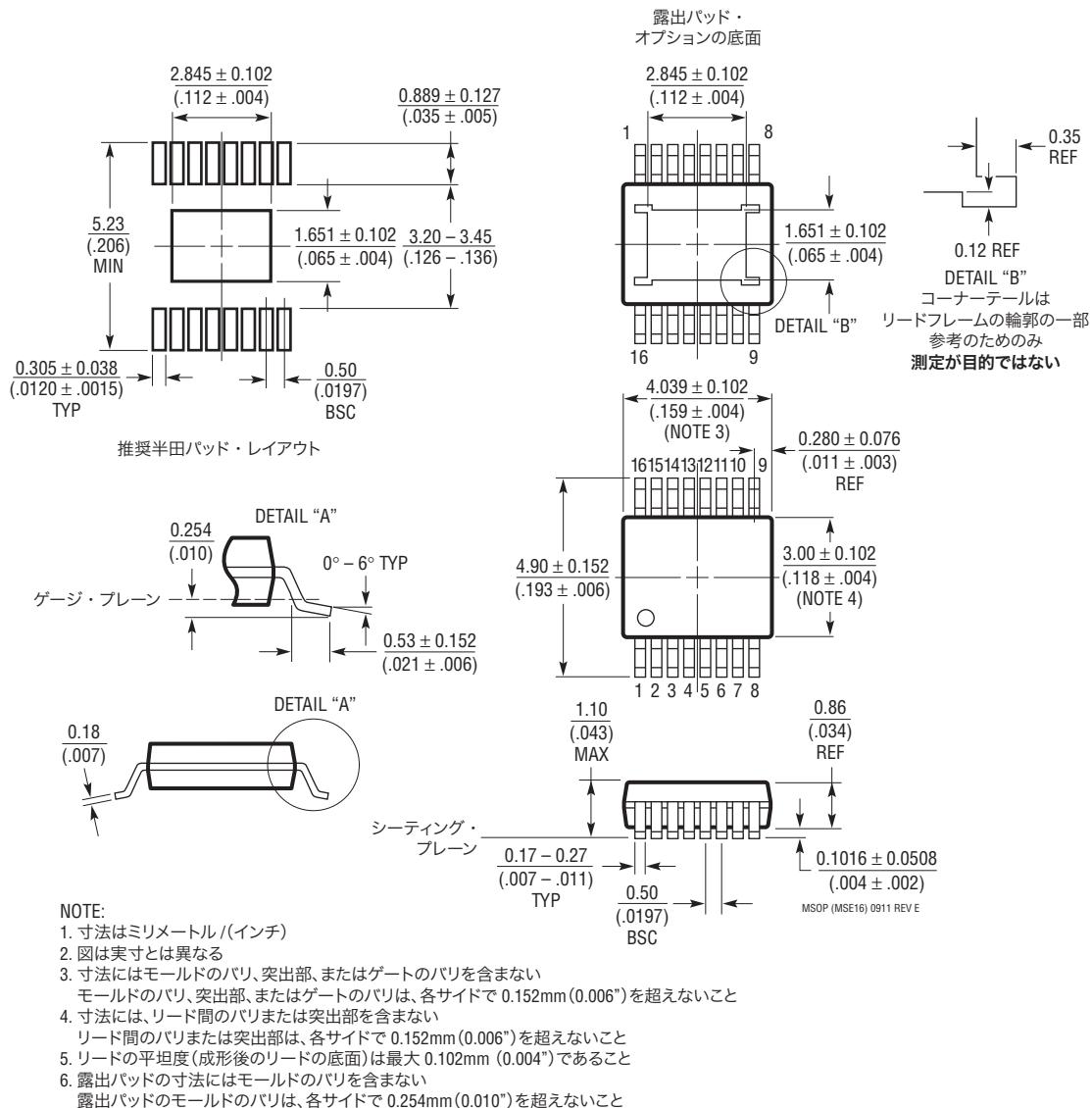
LTC3765から最適な性能を得るには、次のようにします。

- A. 低インダクタンス、低インピーダンスのグランド・プレーンを使用し、あらゆるグランド降下や浮遊容量を低減します。LTC3765は2Aを上回るピーク電流を切り替えるので、いくらかのグランド降下が生じると信号品質が劣化する、という点に注意してください。
- B. V_{CC}ピンとグランド・プレーンの間に、バイパス・コンデンサをできるだけ近づけて接続します。
- C. 電源/グランド配線の設計は、慎重さをもってします。大きな負荷のスイッチング電流の入力箇所および出力箇所を把握します。信号ピンと出力電力段のグランド・リターン・パスは分離させておきます。
- D. ドライバ出力ピンと負荷の間の銅トレースは、短くかつ広幅にします。
- E. LTC3765パッケージの裏面の露出パッドは、グランド・プレーンに半田付けします。露出パッドは内部的にSGNDピンに電気的に接続されていますが、定格熱性能は、露出パッドが低インピーダンスのグランド・プレーンに半田付けされたときにのみ達成されます。

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/design-tools/packaging/>をご覧ください。

MSEパッケージ 16ピン・プラスチックMSOP、露出ダイ・パッド (Reference LTC DWG # 05-08-1667 Rev E)



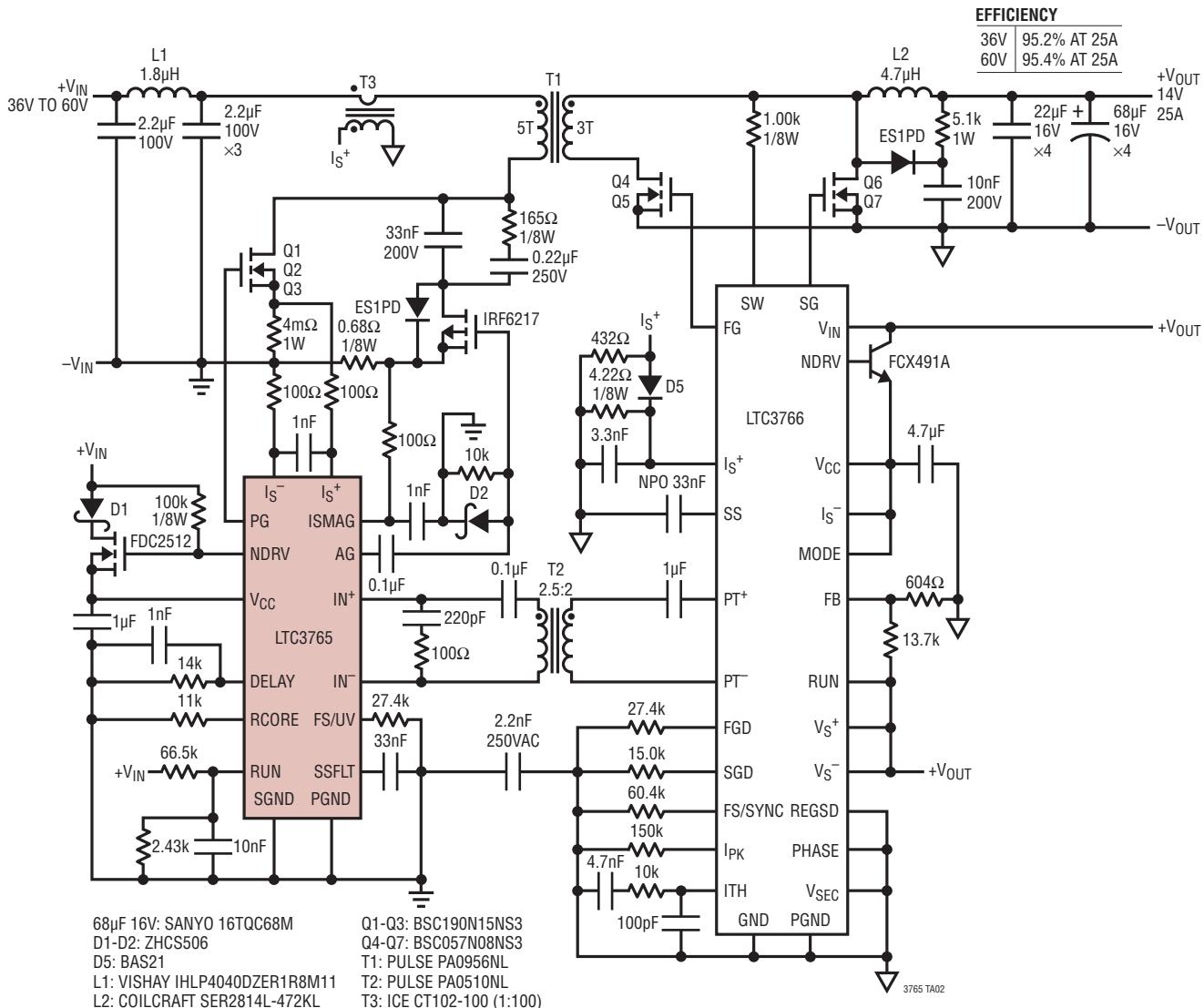
改訂履歴

REV	日付	概要	ページ番号
A	1/12	但し書きからThinSOTとNo RSENSEを削除 Fault Output Highの条件を $V_{CC} = 6.7V$ (V_{CC} UVLO Min Falling)に変更 PGの立ち上がり遅延の標準的性能特性のグラフを更新 電気的特性の表と一致させるために、6Vを5.75Vに変更 開ループ起動の最大デューティ・サイクルを説明する文章を追加 Direct Flux Limitの式で使用する励磁インダクタンスの値を明確にするために文章を追加 V_{CC} がLTC3766によってバイアスされる時の内蔵整流器のIN+/IN-から V_{CC} までの電圧降下を示すために文章を追加 16ピンMSEパッケージの更新	1 3 5 11 16 18 21 22

LTC3765

標準的應用例

36V～60V入力、14V/25A出力、絶縁型350Wバス・コンバータ



関連製品

製品番号	説明	注釈
LTC3766	2次側同期整流式フォワード・コントローラ	Direct Flux Limit、多相対応、LTC3765と連係動作
LTC3705/LTC3726	絶縁型同期整流式オプト不要2スイッチ・フォワード・コントローラ・チップセット	中出力24Vおよび48V入力アプリケーションに最適
LT1952/LT1952-1	絶縁型同期整流式フォワード・コントローラ	中出力24Vおよび48V入力アプリケーションに最適
LTC3723-1/LTC3723-2	同期整流式プッシュプルおよびフルブリッジ・コントローラ	内蔵MOSFETドライバを備えた高効率ソース
LTC3721-1/LTC3721-2	非同期整流式プッシュプルおよびフルブリッジ・コントローラ	外部部品および内蔵MOSFETドライバの数を最小化
LTC3722/LTC2722-2	同期整流式絶縁型フルブリッジ・コントローラ	高出力24Vおよび48V入力アプリケーションに最適