

デジタル・フィルタ内蔵の、 24ビット、1Msps、疑似差動単極性 逐次比較レジスタ (SAR) A/D コンバータ

特長

- 欠落コードのない24ビットを保証
- INL: ± 0.5 ppm (標準)
- リアルタイムで平均化処理を行うデジタル・フィルタを内蔵
- 低消費電力: 21mW (1Msps)
- SNR: 標準 98dB (1Msps)
- ダイナミック・レンジ: 標準 140dB (15.25sps)
- THD: 標準 -116dB ($f_{IN} = 2$ kHz)
- 50Hz/60Hzを除去
- 85°Cまでの動作を保証
- 2.5V単電源
- 疑似差動単極性入力電圧範囲: $0V \sim V_{REF}$
- デイジーチェーン・モードを備えた1.8V~5VのSPI互換シリアルI/O
- 16ピンMSOPおよび4mm×3mm DFNパッケージ

アプリケーション

- 地震学
- エネルギー探査
- 医療用画像処理
- 高速データ収集
- 産業用プロセス制御
- ATE(自動試験装置)

概要

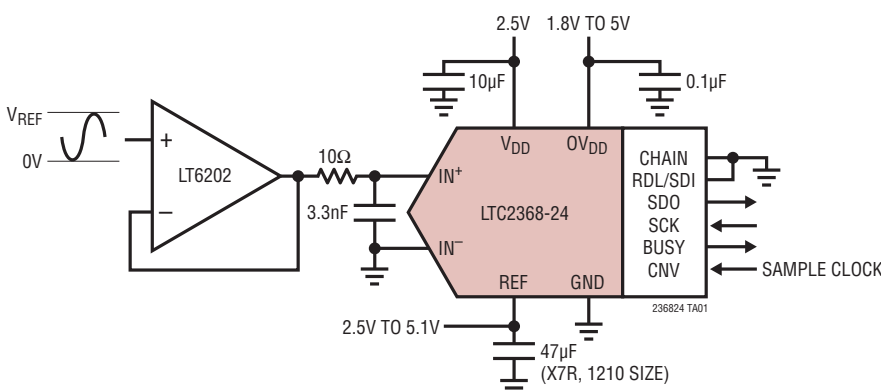
LTC[®]2368-24は、デジタル平均化フィルタを内蔵した、低ノイズ、低消費電力の高速24ビット逐次比較レジスタ(SAR)A/Dコンバータです。LTC2368-24は2.5V電源で動作し、2.5V~5.1Vの範囲の V_{REF} に対して疑似差動単極性入力範囲が $0V \sim V_{REF}$ です。LTC2368-24は、消費電力がわずか21mW(標準値)で、 ± 4.5 ppmのINL(最大)、欠落コードのない24ビットの分解能を実現します。

LTC2368-24は、1~65536件の変換結果をリアルタイムで平均化できる使いやすいデジタル平均化フィルタを内蔵しており、ダイナミック・レンジが98dB(1Msps)から140dB(15.25sps)に劇的に改善されます。別のプログラミング・インタフェースや設定レジスタは必要ありません。

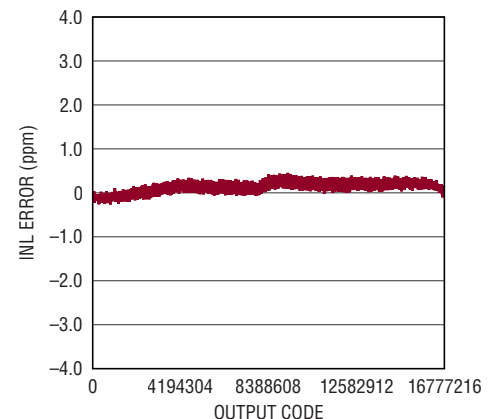
SPI互換の高速シリアル・インタフェースは、1.8V、2.5V、3.3Vおよび5Vのロジックをサポートし、デイジーチェーン・モードも備えています。LTC2368-24は、変換と変換の間は消費電力が自動的に低下するため、サンプリング・レートが低いときの電力損失が減少します。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673、8810443、および出願中の特許を含む米国特許によって保護されています。

標準的応用例



積分非直線性と出力コード

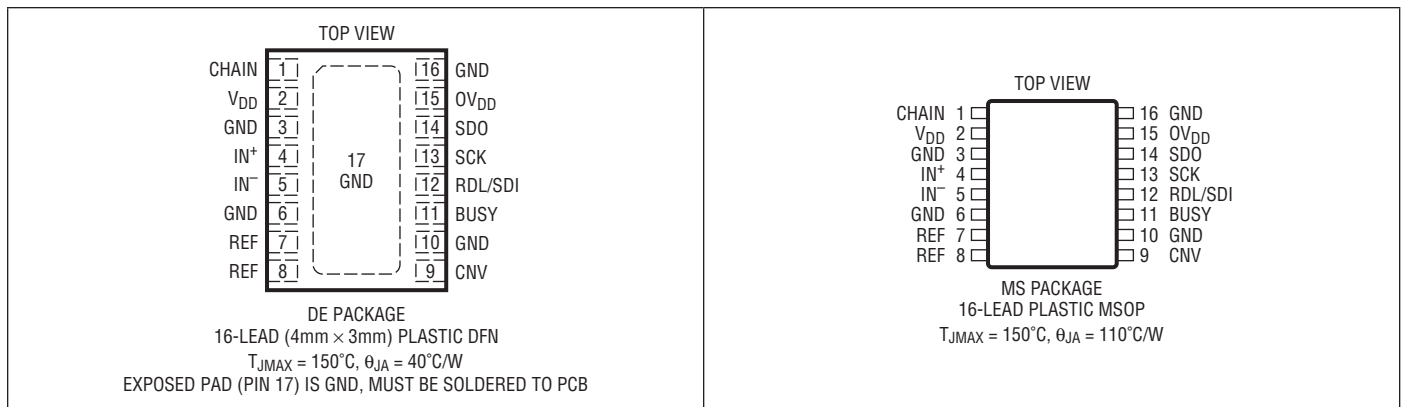


LTC2368-24

絶対最大定格 (Note 1, 2)

電源電圧 (V_{DD})	2.8V	デジタル出力電圧	
電源電圧 (OV_{DD})	6V	(Note 3)	($GND - 0.3V$) ~ ($OV_{DD} + 0.3V$)
リファレンス入力 (REF)	6V	電力損失	500mW
アナログ入力電圧 (Note 3)		動作温度範囲	
IN^+ , IN^-	($GND - 0.3V$) ~ ($REF + 0.3V$)	LTC2368C	0°C ~ 70°C
デジタル入力電圧		LTC2368I	-40°C ~ 85°C
(Note 3)	($GND - 0.3V$) ~ ($OV_{DD} + 0.3V$)	保存温度範囲	-65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2368CMS-24#PBF	LTC2368CMS-24#TRPBF	236824	16-Lead Plastic MSOP	0°C to 70°C
LTC2368IMS-24#PBF	LTC2368IMS-24#TRPBF	236824	16-Lead Plastic MSOP	-40°C to 85°C
LTC2368CDE-24#PBF	LTC2368CDE-24#TRPBF	23684	16-Lead (4mmx3mm) Plastic DFN	0°C to 70°C
LTC2368IDE-24#PBF	LTC2368IDE-24#TRPBF	23684	16-Lead (4mmx3mm) Plastic DFN	-40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、接尾辞#TRMPBFが付いた指定販売チャネルから500リール単位でご購入いただけます。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件		最小値	標準値	最大値	単位
V_{IN}^+	Absolute Input Range (IN^+)	(Note 5)	●	-0.1		$V_{REF} + 0.1$	V
V_{IN}^-	Absolute Input Range (IN^-)	(Note 5)	●	-0.1		0.1	V
$V_{IN}^+ - V_{IN}^-$	Input Differential Voltage Range	$V_{IN} = V_{IN}^+ - V_{IN}^-$	●	0		V_{REF}	V
I_{IN}	Analog Input Leakage Current				0.01		μA
C_{IN}	Analog Input Capacitance	Sample Mode Hold Mode			45 5		pF pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 500\text{kHz}$			83		dB

コンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件		最小値	標準値	最大値	単位
	Resolution		●	24			Bits
	No Missing Codes		●	24			Bits
N	Number of Averages		●	1		65536	
	Transition Noise	N = 1 N = 16 N = 1024 N = 16384	● ● ● ●		68.5 16.8 2.24 0.87		LSBRMS LSBRMS LSBRMS LSBRMS
INL	Integral Linearity Error	(Note 6)	●	-4.5	± 0.5	4.5	ppm
DNL	Differential Linearity Error	(Note 7)	●	-0.9	± 0.4	0.9	LSB
ZSE	Zero-Scale Error	(Note 8)	●	-20	0	20	ppm
	Zero-Scale Error Drift				± 0.7		ppb/ $^\circ\text{C}$
FSE	Full-Scale Error	(Note 8)	●	-100	± 10	100	ppm
	Full-Scale Error Drift				± 0.05		ppm/ $^\circ\text{C}$

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $A_{IN} = -1\text{dBFS}$ での値。(Note 4、9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
DR	Dynamic Range	$IN^+ = IN^- = \text{GND}$, $V_{REF} = 5\text{V}$, N = 1 $IN^+ = IN^- = \text{GND}$, $V_{REF} = 5\text{V}$, N = 16 $IN^+ = IN^- = \text{GND}$, $V_{REF} = 5\text{V}$, N = 1024 $IN^+ = IN^- = \text{GND}$, $V_{REF} = 5\text{V}$, N = 16384 $IN^+ = IN^- = \text{GND}$, $V_{REF} = 5\text{V}$, N = 65536			98 110 128 138 140		dB dB dB dB dB
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	●	95.5	98		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$, N = 16, $A_{IN} = -20\text{dBFS}$ $f_{IN} = 50\text{Hz}$, $V_{REF} = 5\text{V}$, N = 1024, $A_{IN} = -20\text{dBFS}$	● ●	95.5 90	98 92.3		dB dB dB dB
THD	Total Harmonic Distortion	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$, N = 16, $A_{IN} = -20\text{dBFS}$ $f_{IN} = 50\text{Hz}$, $V_{REF} = 5\text{V}$, N = 1024, $A_{IN} = -20\text{dBFS}$	● ●		-116 -116	-103 -103	dB dB dB dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	●	103	116		dB
	-3dB Input Linear Bandwidth				34		MHz

LTC2368-24

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $A_{IN} = -1\text{dBFS}$ での値。(Note 4、9)

記号	パラメータ	条件	最小値	標準値	最大値	単位
	Aperture Delay			500		ps
	Aperture Jitter			4		psRMS
	Transient Response	Full-Scale Step		312		ns

リファレンス入力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{REF}	Reference Voltage	(Note 5)	●	2.5	5.1	V
I_{REF}	Reference Input Current	(Note 10)	●	0.45	0.6	mA

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{IH}	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$		V
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$	V
I_{IN}	Digital Input Current	$V_{IN} = 0V \text{ to } OV_{DD}$	●	-10	10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	$OV_{DD} - 0.2$		V
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.2	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V \text{ to } OV_{DD}$	●	-10	10	μA
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$		10		mA

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{DD}	Supply Voltage		●	2.375	2.625	V
OV_{DD}	Supply Voltage		●	1.71	5.25	V
I_{VDD}	Supply Current		●	8.4	10	mA
I_{OVDD}	Supply Current	($C_L = 20\text{pF}$)	●	0.4		mA
I_{PD}	Power Down Mode	Conversion Done ($I_{VDD} + I_{OVDD} + I_{REF}$)	●	1	90	μA
P_D	Power Dissipation		●	21	25	mW
	Power Down Mode	Conversion Done ($I_{VDD} + I_{OVDD} + I_{REF}$)	●	2.5	225	μW

A/Dコンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{SAMPL}	Maximum Sampling Frequency		●		1	Msps
f_{ODR}	Output Data Rate		●		1	Msps
t_{CONV}	Conversion Time		●	615	675	ns

236824f

A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

記号	パラメータ	条件	最小値	標準値	最大値	単位
t_{ACQ}	Acquisition Time	$t_{ACQ} = t_{CYC} - t_{CONV} - t_{BUSYLH}$ (Note 7)	●	312		ns
t_{CYC}	Time Between Conversions		●	1		μs
t_{CNVH}	CNV High Time		●	20		ns
t_{CNVL}	Minimum Low Time for CNV	(Note 11)	●	20		ns
t_{BUSYLH}	CNV \uparrow to BUSY \uparrow Delay	$C_L = 20\text{pF}$	●		13	ns
t_{QUIET}	SCK Quiet Time from CNV \uparrow	(Note 7)	●	10		ns
t_{SCK}	SCK Period	(Notes 11, 12)	●	10		ns
t_{SCKH}	SCK High Time		●	4		ns
t_{SCKL}	SCK Low Time		●	4		ns
$t_{SSDISCK}$	SDI Setup Time From SCK \uparrow	(Note 11)	●	4		ns
$t_{HSDISCK}$	SDI Hold Time From SCK \uparrow	(Note 11)	●	1		ns
t_{SCKCH}	SCK Period in Chain Mode	$t_{SCKCH} = t_{SSDISCK} + t_{SDO}$ (Note 11)	●	13.5		ns
t_{DSDO}	SDO Data Valid Delay from SCK \uparrow	$C_L = 20\text{pF}, OV_{DD} = 5.25\text{V}$ $C_L = 20\text{pF}, OV_{DD} = 2.5\text{V}$ $C_L = 20\text{pF}, OV_{DD} = 1.71\text{V}$	● ● ●		7.5 8 9.5	ns ns ns
t_{HSDO}	SDO Data Remains Valid Delay from SCK \uparrow	$C_L = 20\text{pF}$ (Note 7)	●	1		ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY \downarrow	$C_L = 20\text{pF}$ (Note 7)	●		5	ns
t_{EN}	Bus Enable Time After RDL \downarrow	(Note 11)	●		16	ns
t_{DIS}	Bus Relinquish Time After RDL \uparrow	(Note 11)	●		13	ns

Note 1: 「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値はグラウンドを基準にしている。

Note 3: これらのピンの電圧がグラウンドより低くなるか、REFまたは OV_{DD} より高くなると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、REFピンまたは OV_{DD} ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: $V_{DD} = 2.5\text{V}$, $OV_{DD} = 2.5\text{V}$, REF = 5V, $f_{SAMPL} = 1\text{MHz}$, N = 1。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 設計によって保証されているが、テストされない。

Note 8: ゼロ・スケール誤差は、出力コードが0000 0000 0000 0000 0000 0000と0000 0000 0000 0000 0000 0001の間を行ったり来たりするとき、0.5LSBから測定したオフセット電圧である。フルスケール誤差は、最終コード遷移時の理想値からの偏差であり、オフセット誤差の影響を含む。

Note 9: 注記がない限り、dB表示の全ての規格値は、5Vのリファレンス電圧でフルスケール5Vの入力を基準にしている。

Note 10: $f_{SAMPL} = 1\text{MHz}$ 。I_{REF}はサンプル・レートに比例して変化する。

Note 11: パラメータは $OV_{DD} = 1.71\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、および $OV_{DD} = 5.25\text{V}$ でテストされ、保証されている。

Note 12: 立ち上がりで捕捉する場合、最大10nsの t_{SCK} により最大100MHzのシフトクロック周波数が可能である。

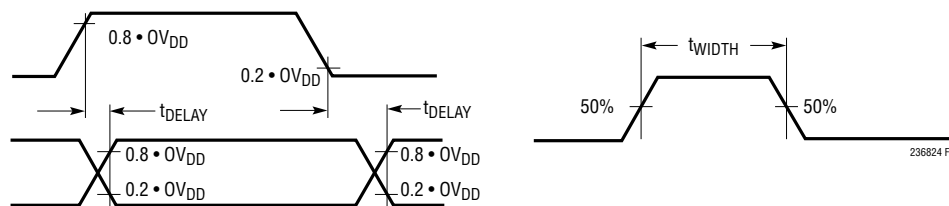
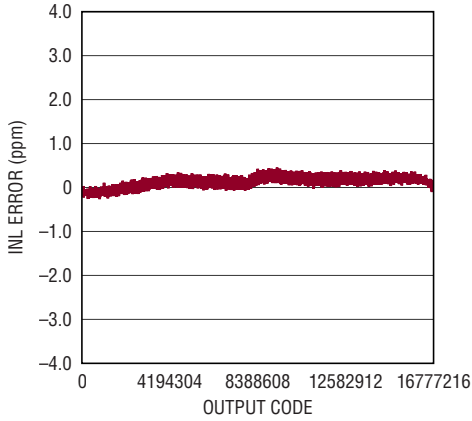


図1. タイミング仕様の電圧レベル

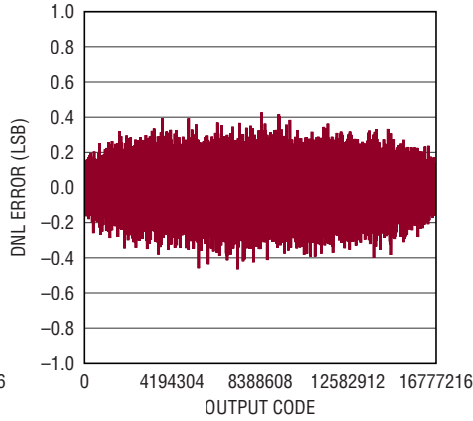
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 1\text{Mps}$ 、 $N = 1$ 。

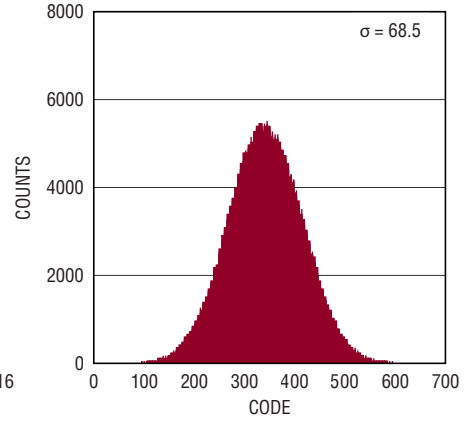
積分非直線性と出力コード



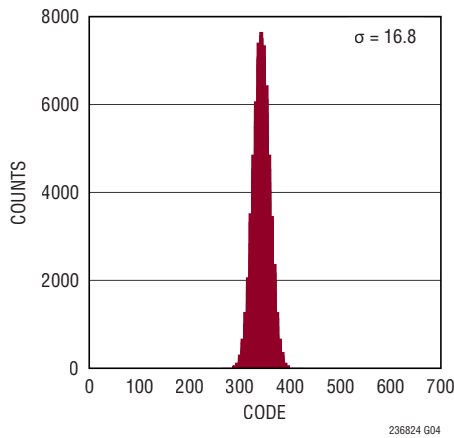
微分非直線性と出力コード



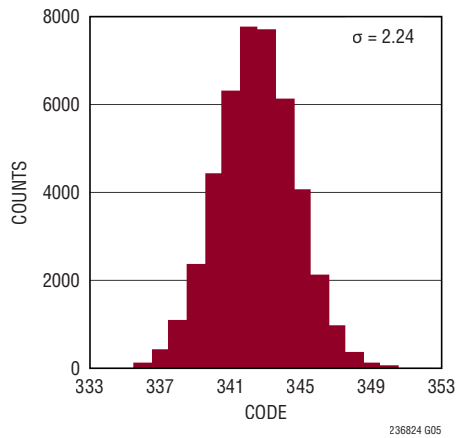
DCヒストグラム
(ゼロスケール付近)、 $N = 1$



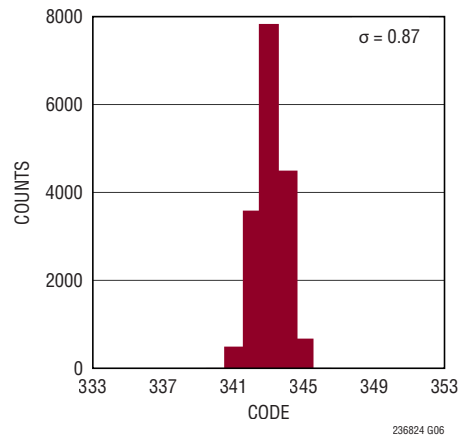
DCヒストグラム
(ゼロスケール付近)、 $N = 16$



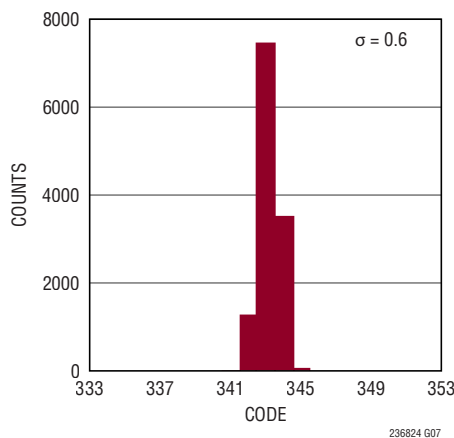
DCヒストグラム
(ゼロスケール付近)、 $N = 1024$



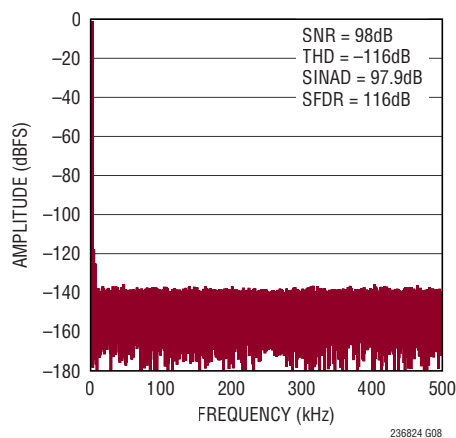
DCヒストグラム
(ゼロスケール付近)、 $N = 16384$



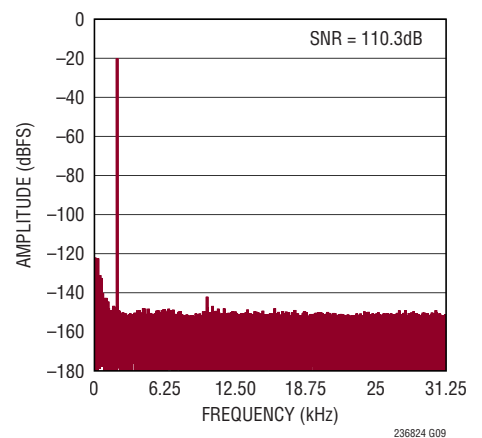
DCヒストグラム
(ゼロスケール付近)、 $N = 65536$



128kポイントのFFT $f_{SAMPL} = 1\text{Mps}$ 、 $f_{IN} = 2\text{kHz}$



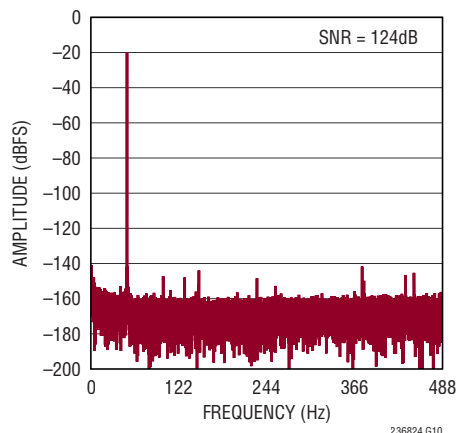
128kポイントのFFT $f_{SAMPL} = 1\text{Mps}$ 、 $f_{IN} = 2\text{kHz}$ 、 $N = 16$



標準的性能特性

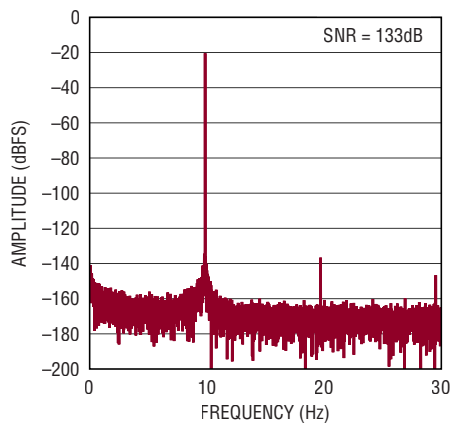
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{\text{SMPL}} = 1\text{Msps}$ 、 $N = 1$ 。

32kポイントのFFT $f_{\text{SMPL}} = 1\text{Msps}$ 、 $f_{\text{IN}} = 50\text{Hz}$ 、 $N = 1024$



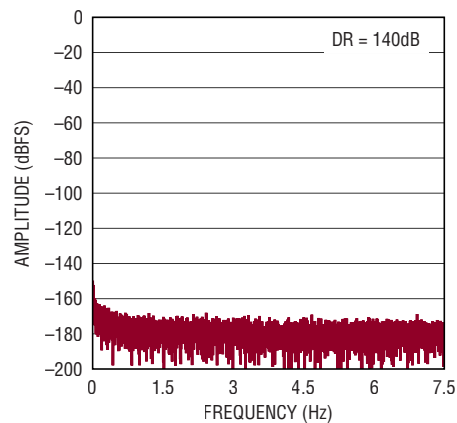
236824 G10

32kポイントのFFT $f_{\text{SMPL}} = 1\text{Msps}$ 、 $f_{\text{IN}} = 10\text{Hz}$ 、 $N = 16384$



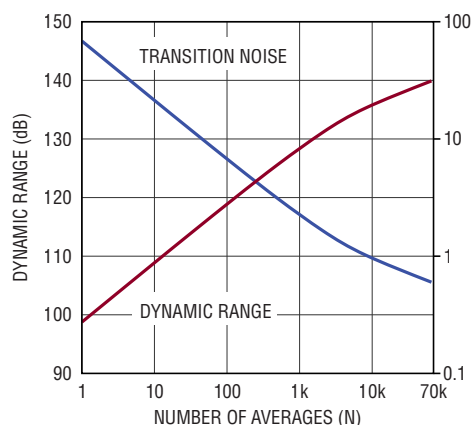
236824 G11

8kポイントのFFT $f_{\text{SMPL}} = 1\text{Msps}$ 、 $\text{IN}^+ = \text{GND}$ 付近、 $\text{IN}^- = \text{GND}$ 、 $N = 65536$



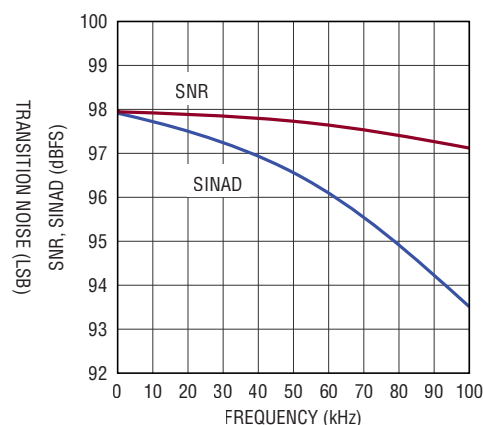
236824 G12

ダイナミックレンジおよび遷移ノイズと平均化回数(N)



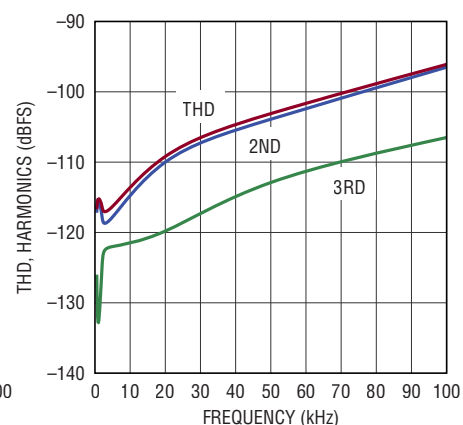
236824 G13

SNRおよびSINADと入力周波数



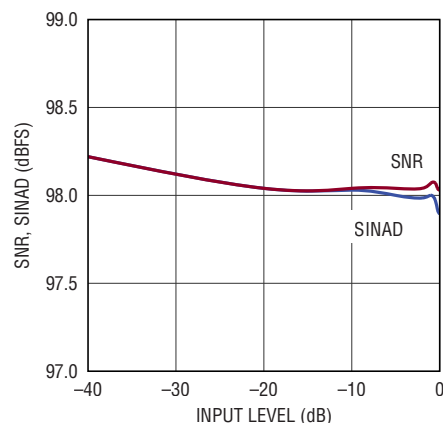
236824 G14

THDおよび高調波と入力周波数



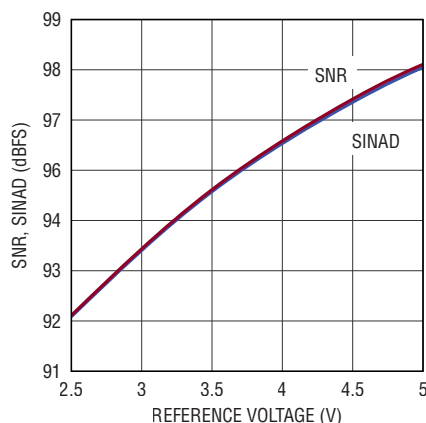
236824 G15

SNRおよびSINADと入力レベル、 $f_{\text{IN}} = 2\text{kHz}$



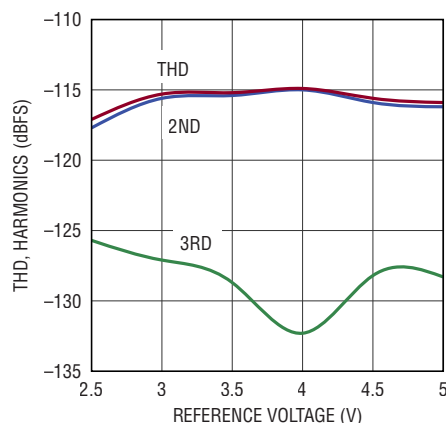
236824 G16

SNRおよびSINADとリファレンス電圧 ($f_{\text{IN}} = 2\text{kHz}$)



236824 G17

THDおよび高調波とリファレンス電圧 ($f_{\text{IN}} = 2\text{kHz}$)



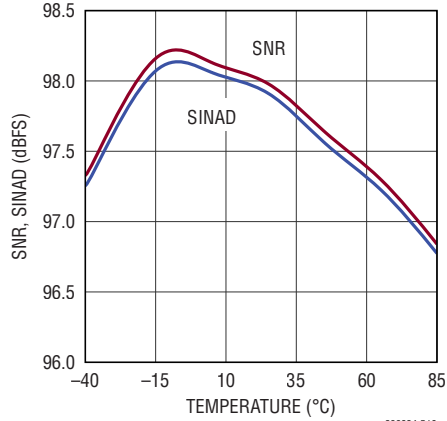
236824 G18

LTC2368-24

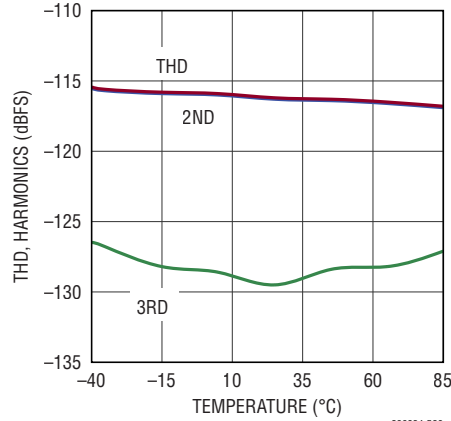
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{\text{SAMPL}} = 1\text{MSPS}$ 、 $N = 1$ 。

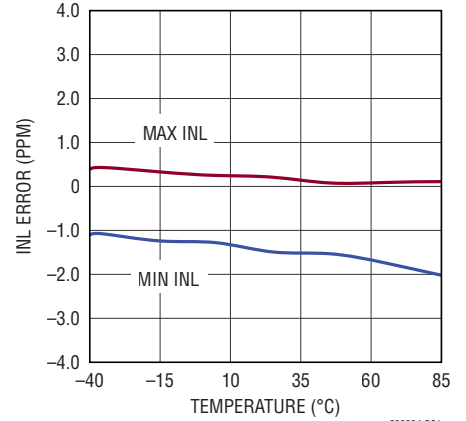
SNR および SINAD と温度、 $f_{\text{IN}} = 2\text{kHz}$



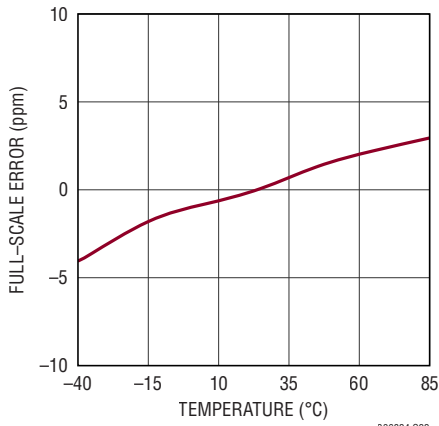
THD および高調波と温度、 $f_{\text{IN}} = 2\text{kHz}$



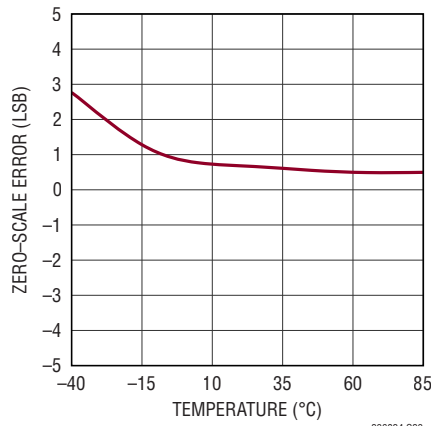
INL と温度



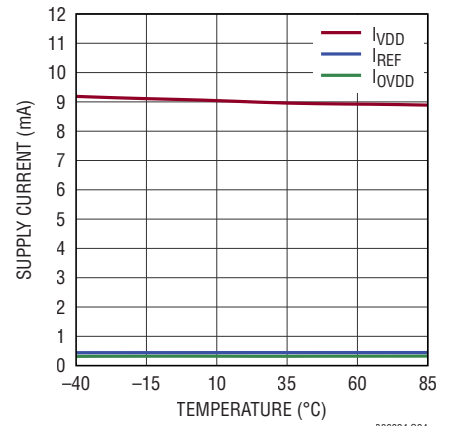
フルスケール誤差と温度



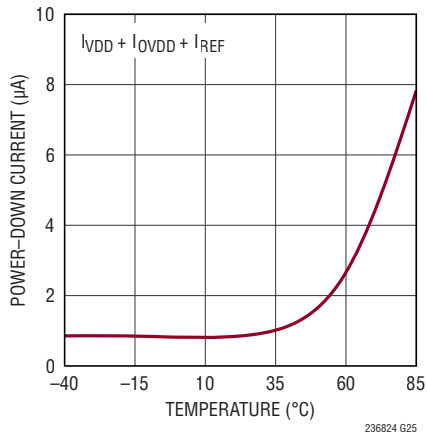
ゼロスケール誤差と温度



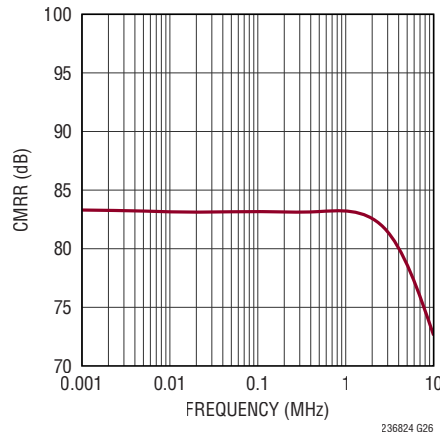
電源電流と温度



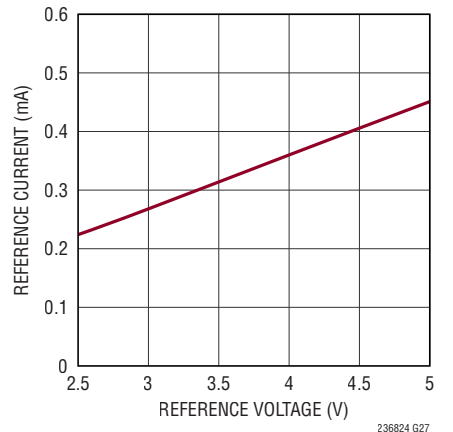
パワーダウン時電流と温度



CMRR と入力周波数



リファレンス電流とリファレンス電圧



ピン機能

CHAIN (ピン1) : チェーン・モード・セクタ・ピン。“L”のとき、LTC2368-24は通常モードで動作し、RDL/SDI入力ピンはSDOをイネーブルまたはディスエーブルする役割を果たします。“H”のとき、LTC2368-24はチェーン・モードで動作し、RDL/SDIピンはSDI (デジタイゼーションのシリアル・データ入力)として機能します。ロジック・レベルは OV_{DD} によって決まります。

V_{DD} (ピン2) : 2.5V電源。 V_{DD} の範囲は2.375V～2.625Vです。 V_{DD} ピンは10 μ Fのセラミック・コンデンサを使ってGNDにバイパスします。

GND (ピン3、6、10、16) : グランド・ピン。

IN^+ (ピン4) : アナログ入力。 IN^+ は、 IN^+ - IN^- 間の範囲が0V～ V_{REF} の場合、 IN^- に対して差動で動作します。

IN^- (ピン5) : アナログ・グランド検出ピン。 IN^- の入力範囲はGNDを基準にして ± 100 mVであり、このピンはグランド・プレーンまたはデバイスから離れた場所のグランド検出箇所に接続する必要があります。

REF (ピン7、8) : リファレンス入力。REFの範囲は2.5V～5.1Vです。このピンはGNDピンを基準にしており、47 μ Fのセラミック・コンデンサ(X7R、1210サイズ、10V定格)を使ってこのピンの近くでデカップリングします。

CNV (ピン9) : 変換入力。この入力の立ち上がりエッジでデバイスが起動し、新しい変換が開始されます。ロジック・レベルは OV_{DD} によって決まります。

BUSY (ピン11) : BUSYのインジケータ。新しい変換の開始時に“H”になり、変換が終了すると“L”に戻ります。ロジック・レベルは OV_{DD} によって決まります。

RDL/SDI (ピン12) : バスをイネーブルする入力/シリアル・データ入力ピン。このピンには2つの機能があり、製品が通常モード(CHAINピンが“L”)またはチェーン・モード(CHAINピンが“H”)のどちらで動作しているかにより機能が変わります。通常モード時、RDL/SDIは、シリアル・データI/Oバス用のバス・イネーブル入力ピンとして機能し、通常モードでRDL/SDIが“L”のときはA/DコンバータのSDOピンからデータが読み出されます。通常モードでRDL/SDIが“H”のときはSDOが高インピーダンスになり、SCKはディスエーブルされます。チェーン・モード時、RDL/SDIはシリアル・データ入力ピンとして機能し、デジタイゼーション内の別のA/Dコンバータからのデータが入力されます。ロジック・レベルは OV_{DD} によって決まります。

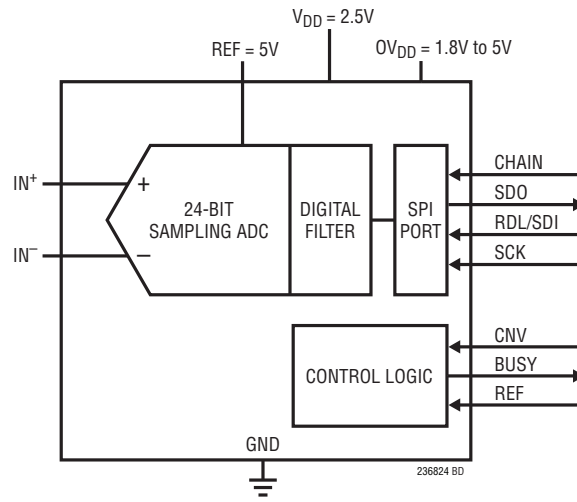
SCK (ピン13) : シリアル・データ・クロック入力。SDOがイネーブルされていると、変換結果または別のA/Dコンバータからのデジタイゼーション・データが、このクロックの立ち上がりエッジで、MSBを先頭にしてシフトアウトされます。ロジック・レベルは OV_{DD} によって決まります。

SDO (ピン14) : シリアル・データ出力。変換結果またはデジタイゼーション・データは、SCKの各立ち上がりエッジでMSBを先頭にしてこのピンから出力されます。出力データはストレート・バイナリ形式です。ロジック・レベルは OV_{DD} によって決まります。

OV_{DD} (ピン15) : I/Oインタフェースのデジタル電源。 OV_{DD} の範囲は1.71V～5.25Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します(1.8V、2.5V、3.3V、または5V)。 OV_{DD} ピンは、0.1 μ Fのコンデンサを使ってGNDにバイパスします。

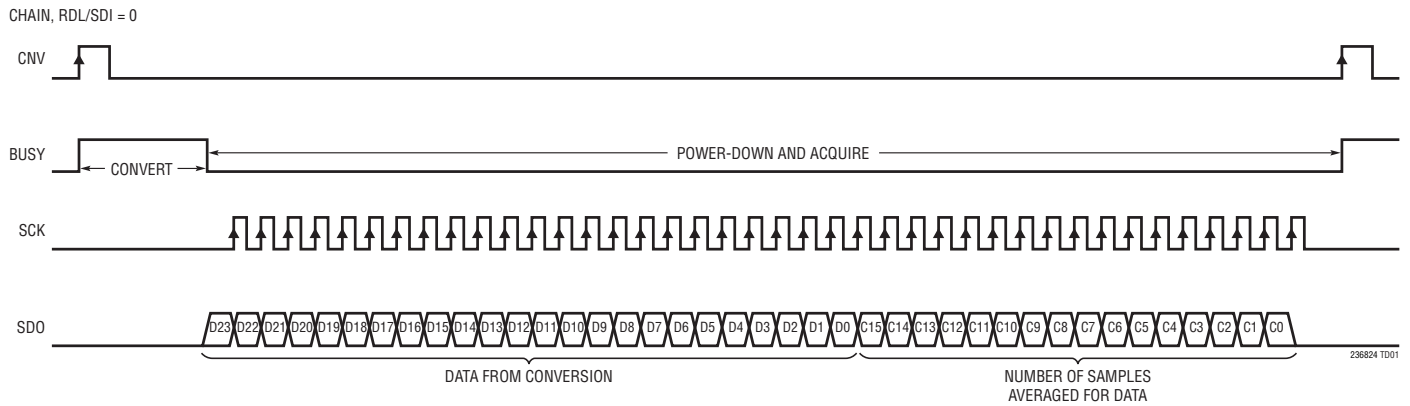
GND (露出パッド・ピン17、DFNパッケージのみ) : グランド・ピン。露出パッドはグランド・プレーンに直接半田付けする必要があります。

機能ブロック図



タイミング図

シリアル・インタフェースを使用した変換のタイミング



アプリケーション情報

概要

LTC2368-24は、デジタル平均化フィルタを内蔵した、低ノイズ、低消費電力の高速24ビット逐次比較レジスタ(SAR) A/Dコンバータです。LTC2368-24は2.5V電源で動作し、2.5V～5.1Vの範囲の V_{REF} に対して疑似差動単極性入力範囲が $0V \sim V_{REF}$ です。LTC2368-24は、消費電力がわずか21mW(標準値)で、 $\pm 4.5\text{ppm}$ のINL(最大)、欠落コードのない24ビットの分解能を実現します。

LTC2368-24は、1～65536件の変換結果をリアルタイムで平均化できる使いやすいデジタル平均化フィルタを内蔵しており、ダイナミック・レンジが98dB(1Msps)から140dB(15.25sps)に劇的に改善されます。別のプログラミング・インタフェースや設定レジスタは必要ありません。

SPI互換の高速シリアル・インタフェースは、1.8V、2.5V、3.3Vおよび5Vのロジックをサポートし、デジチーチェーン・モードも備えています。LTC2368-24は、変換と変換の間は消費電力が自動的に低下するため、サンプリング・レートが低いときの電力損失が減少します。

コンバータの動作

LTC2368-24は2つの段階で動作します。収集段階では、電荷再配分コンデンサD/Aコンバータ(CDAC)が IN^+ ピンと IN^- ピンに接続され、差動アナログ入力電圧がサンプリングされます。CNVピンの立ち上がりエッジにより変換が開始されます。変換段階では、24ビットのCDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプリング入力とリファレンス電圧のバイナリ加重した分数(例： $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/16777216$)を効率的に比較します。変換の最後には、CDACの出力はサンプリングされたアナログ入力に近づきます。その後、A/Dコンバータの制御ロジックからデジタル・フィルタに24ビット・デジタル出力コードが送られ、さらに処理されます。

伝達関数

LTC2368-24はREFのフルスケール電圧を 2^{24} レベルにデジタル化するため、REF = 5Vでは1LSBの大きさが $0.3\mu\text{V}$ になります。理想的な伝達関数を図2に示します。出力データはストレート・バイナリ形式です。

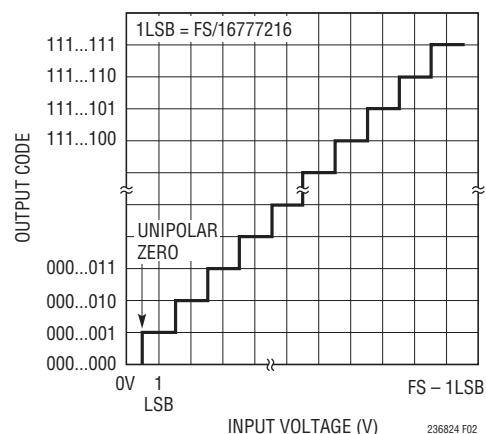


図2. LTC2368-24の伝達関数

アナログ入力

LTC2368-24のアナログ入力は、2つの入力に共通する不要な信号を低減するために、疑似差動信号になっています。アナログ入力は図3に示す等価回路でモデル化できます。入力のダイオードはESD保護機能を果たします。収集段階の各入力には、直列に接続されたサンプリング・スイッチのオン抵抗 40Ω (R_{ON})とサンプリングCDACの容量約 45pF (C_{IN})があります。両方の入力に共通する不要な信号は、A/Dコンバータの同相除去特性によって減少します。収集の間に C_{IN} コンデンサを充電するとき、入力に電流スパイクが流れます。変換時にアナログ入力に流れるのはわずかな漏れ電流だけです。

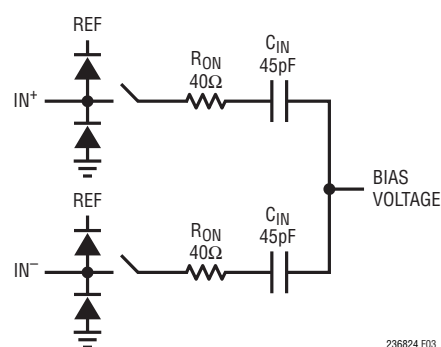


図3. LTC2368-24の疑似差動単極性アナログ入力の等価回路

アプリケーション情報

入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2368-24の高インピーダンス入力を直接駆動できます。高インピーダンスのソースは、収集時のセトリング時間を最小限に抑えるためと、A/Dコンバータの直線性を最適化するために、バッファリングする必要があります。最良の性能を得るには、バッファ・アンプを使用してLTC2368-24のアナログ入力を駆動する必要があります。このアンプは出力インピーダンスが低いので、収集段階ではアナログ信号の整定が高速になります。このアンプは、信号源とA/Dコンバータの入力電流を分離する役割も果たします。

ノイズと歪み

バッファ・アンプと信号源のノイズと歪みはA/Dコンバータのノイズと歪みに加わるため、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に適切なフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図4に示す簡単な1ポールのRCローパス・フィルタ(LPF1)で十分です。

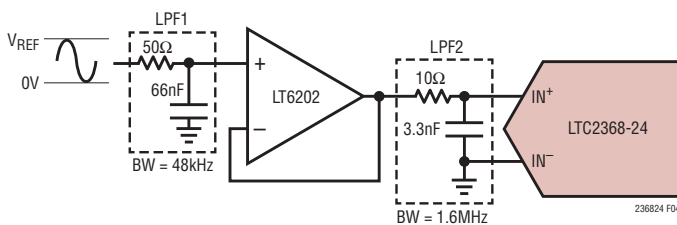


図4. 入力シグナルチェーン

バッファとA/Dコンバータの入力の間には結合フィルタ・ネットワーク(LPF2)を使って、サンプリングのトランジェントによるバッファへの影響を最小限に抑えます。アナログ入力のRC時定数が大きいと、アナログ入力のセトリング時間は長くなります。したがって、通常、LPF2にはLPF1より広い帯域幅が必要です。このフィルタは、バッファに起因するノイズを最小限に抑えるのにも役立ちます。ノイズ密度の低いバッファ・アンプを選択して、SNRの劣化を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NP0タイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

入力電流

LTC2368-24にアンプを結合する上で最大の課題の1つは、各収集段階の開始時にA/Dコンバータの入力に流れる電流スパイクへの対処です。A/Dコンバータの入力は駆動回路のスイッチト・キャパシタ負荷としてモデル化できます。駆動回路の性能を決定する要素として、A/Dコンバータの入力に直付けした小さなフィルタ・コンデンサ C_{FILT} を使ったスイッチト・キャパシタの電流スパイクの減衰や、残りの外乱から回復するのに十分な帯域幅を持つドライバ・アンプが挙げられます。DC性能に対して最適化されたアンプには、A/Dコンバータの最大変換レートで十分に回復するだけの帯域幅がない場合があるため、非直線性などの誤差を生じる可能性があります。結合フィルタ回路は3つの大きなカテゴリーに分類できます。

完全なセトリング – この場合の特長は、フィルタの時定数と、サンプリング期間よりかなり短い全セトリング時間です。収集が開始されると、結合フィルタが外乱を受けます。標準的な1次RCフィルタでは、外乱は指数関数的に減衰する初期ステップのように見えます。アンプは外乱に対して独自に応答するため、リングングを生じる可能性があります。入力が(LTC2368-24の精度の範囲内に)完全に落ち着くと、外乱は誤差に影響しなくなります。

部分的なセトリング – この場合は、収集の開始によって結合フィルタの外乱が生じ、次いで、公称入力電圧に向けてセトリングを開始します。ただし、入力が最終値にセトリングする前に収集が終了し、変換が開始されます。通常、これにより利得誤差が生じますが、セトリングがリニアな限り、歪みは生成されません。結合フィルタの応答は、アンプの出力インピーダンスやその他のパラメータの影響を受けます。高速なスイッチト・キャパシタの電流スパイクに対するリニアなセトリング応答は、必ずしも高精度狭帯域アンプを想定したものではありません。結合フィルタは、電流スパイクの高周波エネルギーがアンプに達する前に、そのエネルギーを減衰させるのに役立ちます。

完全な平均化 – A/Dコンバータの入力の結合フィルタ・コンデンサ(C_{FILT})がA/Dコンバータのサンプリング・コンデンサ(45pF)より容量が大幅に大きいと、サンプリング・グリッチが大きく減衰します。駆動アンプには実質的に非常に少ない平均サンプリング電流しか流れません。1Mspsでの等価入力抵抗は約22k(図5参照)で、ほとんどの高精度アンプにとって安全な抵抗負荷です。ただし、結合フィルタのDC抵抗とA/Dコンバータの等価(スイッチト・キャパシタ)入力抵抗の間に抵抗性の分圧が生じることにより、利得誤差が生成される可能性があります。

アプリケーション情報

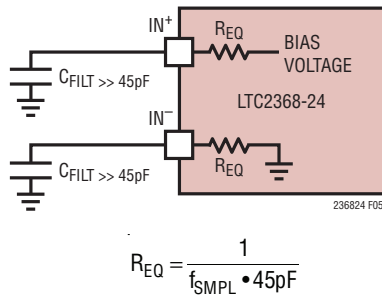


図5. 1MspsにおけるLTC2368-24の疑似差動単極性アナログ入力の等価回路

入力漏れ電流は信号源インピーダンスによって余計な入力電圧誤差に変換されるため、入力駆動回路を設計するときは、LTC2368-24の入力漏れ電流も考慮する必要があります。一般に、同相と差動のどちらの入力漏れ電流も、全動作温度範囲にわたってきわめて小さな値になります。図6に、標準的なデバイスの温度に対する入力漏れ電流を示します。

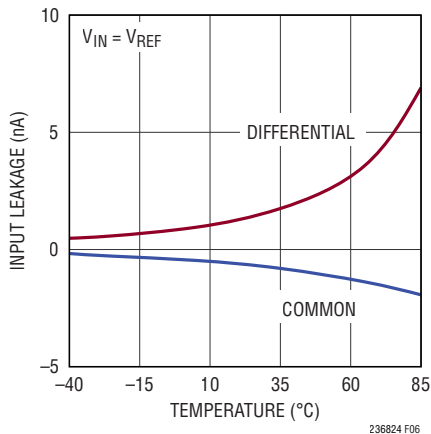


図6. 同相入力と差動入力の漏れ電流と温度の関係

R_{S1} と R_{S2} を図7に示す入力駆動回路のソース・インピーダンスとし、 I_{L1} と I_{L2} をA/Dコンバータのアナログ入力から流れ出す漏れ電流とします。漏れ電流による電圧誤差(V_E)は次式のように表すことができます。

$$V_E = \frac{R_{S1} + R_{S2}}{2} \cdot (I_{L1} - I_{L2}) + (R_{S1} - R_{S2}) \cdot \frac{I_{L1} + I_{L2}}{2}$$

一般に、同相入力の漏れ電流($(I_{L1} + I_{L2})/2$)は、全動作温度範囲と同相入力電圧範囲にわたってきわめて小さな値になります(図6)。したがって、ソース・インピーダンス R_{S1} および R_{S2} にある程度のばらつき(5%未満)があっても、ごくわずかな誤差にしかなりません。図6のように、差動入力の漏れ電流($I_{L1} - I_{L2}$)は温度とともに増加し、 $V_{IN} = V_{REF}$ のときに最大になります。差動入力の漏れ電流も一般に非常に小さく、その非線形成分はさらに小さくなります。A/Dコンバータの直線性に影響を与えるのは非線形成分だけです。

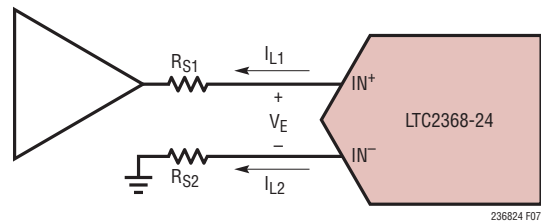


図7. 信号源のインピーダンスとLTC2368-24の入力の漏れ電流

最適な性能を得るには、ソース・インピーダンス(R_{S1} および R_{S2})を許容誤差が1%で $5\Omega \sim 50\Omega$ の範囲にすることを推奨します。この範囲のソース・インピーダンスでは、 R_{S1} と R_{S2} の電圧係数と温度係数は一般に重要ではありません。保証されたAC性能とDC性能は 10Ω のソース・インピーダンスでテストされたものですが、これらの性能は、入力のセトリングが不完全であるためにソース・インピーダンスが増加することにより徐々に低下します。

ローサイド電流の検出

図8に示す代表的なローサイド電流検出アプリケーションでは、回路ブロックの接地端子と直列に入れられた検出抵抗 R_{SENSE} で得られた電圧 V_{SENSE} が増幅されバッファリングされた後、A/Dコンバータの入力に印加されます。 V_{SENSE} は本質的にグラウンドに対して単極性であるため、LTC2368-24の疑似差動単極性入力範囲は、ローサイド電流検出アプリケーションに最適です。

アプリケーション情報

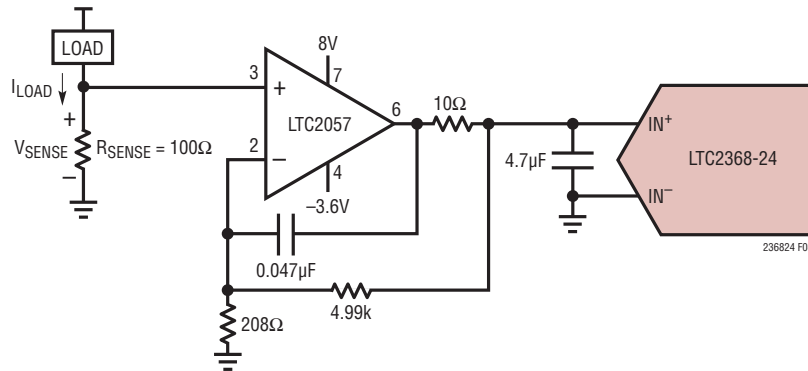


図8. ローサイド電流の検出

LTC2057は、LTC2368-24のわずかなオフセットとオフセットのドリフトを補完する高精度ゼロドリフト・アンプです。図のLTC2057の回路は、 V_{SENSE} に対する利得が25の非反転増幅構成となっています。LTC2368-24に内蔵のデジタル平均化フィルタを使用することで、低ノイズを実現しています。

DC精度

この非常に低レベルの歪みはLTC2368-24の優れたINLによってもたらされる直接の結果であり、この特性はDCアプリケーションに活用できます。図4のドライバ・アンプ(LT6202)はAC仕様が優れているという特徴を持っていますが、DC仕様はLTC2368-24のDC仕様に適合しないことに注意してください。たとえば、このアンプのオフセットは、特定の条件下では $500\mu\text{V}$ を上回ります。対照的に、LTC2368-24の保証最大オフセット誤差は $130\mu\text{V}$ （標準的なドリフトは $\pm 0.007\text{ppm}/^\circ\text{C}$ ）であり、保証最大フルスケール誤差は 150ppm （標準的なドリフトは $\pm 0.05\text{ppm}/^\circ\text{C}$ ）です。較正されたシステムで広い温度範囲にわたって精度を維持するには低ドリフトが重要です。オフセットとオフセットのドリフトが低く抑えられたアンプの例が、図8のLTC2057です。

アンプは、分解能が24ビットの高精度シグナルチェーンを実現するように、非常に注意深く選択する必要があります。利得が-1になるように構成されたアンプに対して 1ppm の直線性を保証するには、 126dB 以上の大信号開ループ利得を必要とする場合があります。ただし、アンプの利得特性が(ほとんど)リニアなことが分かれば、これより低い利得でも構いません。ユニティゲインのバッファとして構成されるアンプの場合、アンプのオフセットと信号レベルの関係を考慮する必要があります。たとえば、 1ppm の直線性を保証するには、 5V の振幅に対してオフセットが $5\mu\text{V}$ より小さい値まで変動することが分かっている場合がある場合があります。ただし、オフ

セットと信号レベルの関係が(ほとんど)リニアなことが分かれば、これより大きなオフセット変動が許容可能です。単位利得のバッファ・アンプが最高の性能を得るには、一般に、電源レールに対してかなりの余裕を必要とします。アンプの入力端子の振幅を最小限に抑えるように構成された反転アンプの回路は、単位利得のバッファ・アンプより少ない余裕で、より良好に動作することが可能です。DC精度を保証するには、反転アンプの帰還ネットワークの直線性と熱特性を十分に考慮する必要があります。

A/Dコンバータのリファレンス

LTC2368-24はその入力範囲を定めるのに外部リファレンスを必要とします。このA/Dコンバータのデータシートで規定されている性能を完全に実現するには、低ノイズ、低温度ドリフトのリファレンスが不可欠です。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-5は、小型、低消費電力、高精度であるため、LTC2368-24と組み合わせて使用するのに特に適しています。LTC6655-5の初期精度は 0.025% （最大）、温度係数は $2\text{ppm}/^\circ\text{C}$ （最大）で、高精度アプリケーションに適しています。

LTC6655-5のバイパス・コンデンサを選択する際には、コンデンサの電圧定格、温度定格、パッケージ・サイズを慎重に検討する必要があります。電圧定格と温度定格が大きい、物理的に大きなコンデンサは、実効容量が大きくなり、LTC6655-5のノイズの除去が良好になる傾向があるため、結果として高いSNRを実現します。そこで、LTC6655-5をREFピンの近くに配置した $47\mu\text{F}$ のセラミック・コンデンサ(X7R、1210サイズ、 10V 定格)でバイパスすることを推奨します。

アプリケーション情報

LTC2368-24のREFピンは、各変換サイクルの間47 μ Fのバイパス・コンデンサから電荷(Q_{CONV})が流れます。リファレンスはこの電荷をDC電流($I_{REF} = Q_{CONV}/t_{CYC}$)で補充します。REFピンのDC電流(I_{REF})はサンプリング・レートと出力コードに依存します。LTC2368-24を使って信号を一定の割合で連続的にサンプリングする場合、LTC6655-5は全コード範囲にわたってリファレンス電圧の偏差を0.5ppm未満に保ちます。

アイドル時には、LTC2368-24のREFピンには微小な漏れ電流(1 μ A未満)が流れるだけです。図9に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REF} は短時間で約0 μ Aから最大1mA(1MSPS時)になります。このDC電流のステップによりリファレンスのトランジェント応答がトリガされます。リファレンスの出力電圧のどのような偏差も出力コードの精度に影響を与えるため、このトランジェント応答を考慮する必要があります。リファレンスのトランジェント応答が重要なアプリケーションにも、高速でセトリングするLTC6655-5リファレンスを推奨します。

パワー・マネージメントが特に重視されるアプリケーションでは、REFピンの電圧が2V未満に低下しても良いように、外部リファレンスをパワーダウンすることができます。このような場合は、REFピンの電圧が2Vを超えるレベルに復帰した後、次の変換が開始される前にA/Dコンバータの内部デジタルI/Oレジスタをクリアすることを推奨します。そのためには、CNVの最初の立ち上がりエッジの前に少なくとも20回の立ち上がりエッジをSCKピンに印加します。

リファレンスのノイズ

A/Dコンバータのダイナミック・レンジは、変換結果の平均化回数(N)が2倍になるごとに約3dBずつ大きくなっていきます。また、SNRも同様にNの関数として高くなっていきます。ただし、フルスケールに近い大きな入力信号の場合は、リファレンス・ノイズがあるとNを大きくしてもSNRが高くなりません。これは、REFピンのノイズが入力信号の基本周波

数を中心にして変調してしまうためです。したがって、特に入力振幅がフルスケールに近いような場合は、ノイズの小さいリファレンスを使用することがきわめて重要です。入力信号が小さい場合は、このセクションの前の部分で説明したようにダイナミック・レンジが改善されます。

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使用されます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトル成分を調べることができます。LTC2368-24では、AC歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

ダイナミック・レンジ

ダイナミック・レンジは、 IN^+ をGNDの近くでDC電圧に接続し IN^- をGNDに短絡させた状態で測定した、RMS値の合計に対するフルスケール入力のRMS値の比です。平均化を行わない(N = 1)の場合のLTC2368-24のダイナミック・レンジは98dBですが、測定を行うにつれて変換結果の平均化回数(N)が2倍になるごとにダイナミック・レンジが3dBずつ改善されていきます。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図10は、LTC2368-24が2kHzの入力、1MHzのサンプリング・レートで98dBの標準SINADを達成していることを示しています。

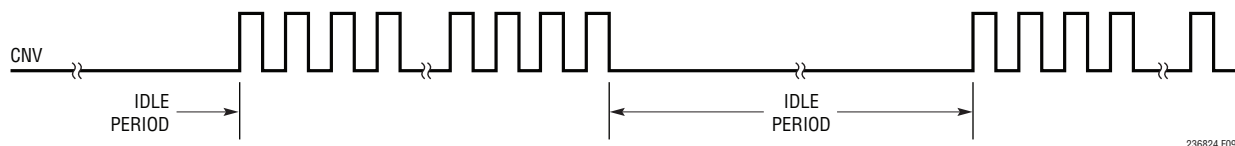


図9. 集中的なサンプリングを示すCNVの波形

236824 F09

アプリケーション情報

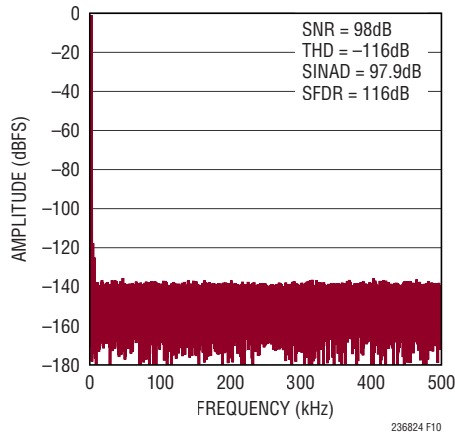


図 10. LTC2368-24の128kポイントのFFTのグラフ
($f_{IN} = 2\text{kHz}$ 、 $f_{SAMPL} = 1\text{MHz}$)

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、最初の5つの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。図10は、LTC2368-24が2kHzの入力、1MHzのサンプリング・レートで98dBの標準SNRを達成していることを示しています。

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分($f_{SAMPL}/2$)の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

電源に関する検討事項

LTC2368-24は2つの電源ピンを備えています。2.5V電源(V_{DD})とデジタル入力/出力インタフェースの電源(OV_{DD})です。柔軟な OV_{DD} 電源により、LTC2368-24は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する任意のデジタル・ロジックと通信することができます。

電源シーケンシング

LTC2368-24には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2368-24は、最初の起動時、または電源電圧が1Vより低くなったとき必ずLTC2368-24をリセットするパワーオン・リセット(POR)回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはA/Dコンバータを再度初期化します。再初期化の期間が確実に終了するよう、PORイベントの200 μs 後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。また、PORイベント後、次の変換の開始の前にA/Dコンバータの内部デジタルI/Oレジスタをクリアすることを推奨します。そのためには、CNVの最初の立ち上がりエッジの前に少なくとも20回の立ち上がりエッジをSCKピンに印加します。

タイミングと制御

CNVのタイミング

LTC2368-24の変換はCNVによって制御されます。CNVの立ち上がりエッジで変換が開始され、LTC2368-24が起動します。いったん変換が開始されると、その変換が完了するまでは再起動できません。最適な性能を得るには、CNVを低ジッタのきれいな信号で駆動します。A/Dコンバータの状態はBUSY出力で示され、変換の進行中はBUSY出力が“H”に保たれます。デジタル化された結果に誤差が生じないようにするには、CNVでの追加の遷移を、変換開始後40ns以内か、変換完了後に行うようにします。変換が完了すると、LTC2368-24はパワーダウンして入力信号の収集を開始します。

アプリケーション情報

内部変換クロック

LTC2368-24には、675nsの最大変換時間を達成するように調整されている内部クロックがあります。最小データ収集時間は312nsであり、外部調整なしに、最大1Mspsのサンプリング・レートが保証されています。

自動パワーダウン

LTC2368-24は変換完了後に自動的にパワーダウンし、CNVの立ち上がりエッジで新しい変換が開始されるとパワーアップします。パワーダウン中に、最後の変換で得られたデータをクロックに同期して出力できます。パワーダウン中の電力損失を最小限に抑えるには、SDOをディスエーブルし、SCKをオフにします。自動パワーダウン機能により、サンプリング・レートが低くなりLTC2368-24の電力損失が減少します。電力が消費されるのは変換中だけであるため、LTC2368-24では、サンプリング・レートが低いほど変換サイクル(t_{CYC})中に低消費電力状態に保たれる時間が長くなり、図11のようにサンプリング・レートに比例して平均電力損失が減少します。

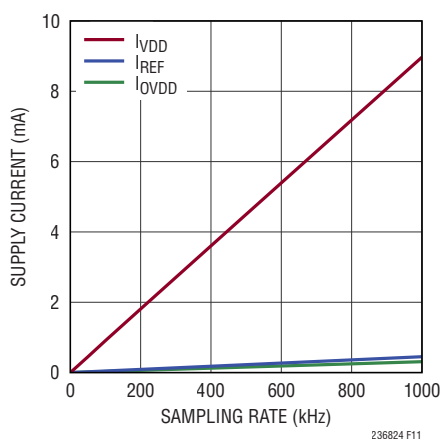


図11. LTC2368-24の電源電流とサンプリング・レートの関係

デジタル・インタフェース

LTC2368-24は、最大1Mspsの出力データ・レートをサポートする、使いやすいシリアル・デジタルインタフェースを採用しています。このインタフェースに制御されるデジタル平均化フィルタを使用することで、測定のダイナミック・レンジを改善できます。柔軟な OV_{DD} 電源により、LTC2368-24は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する任意のデジタル・ロジックと通信することができます。LTC2368-24のデジタル・インタフェースは、LTC2378-20ファミリに対し下位互換性があります。

デジタル平均化フィルタ(SINC¹ デシメーション・フィルタ)

逐次比較レジスタ(SAR) A/Dコンバータを使用した多くのアプリケーションでは、ノイズに起因する測定の不安定性を低減するためにデジタル平均化の手法が使用されます。通常、FPGAやDSPでは、複数のA/D変換の結果の平均を計算する必要があります。LTC2368-24は、他の付加的なハードウェアなしにこの平均化処理を行えるデジタル平均化フィルタを内蔵しているため、アプリケーション・ソリューションを簡素化できるだけでなく、多くの固有の利点があります。デジタル平均化フィルタを使用すると、最小で $N = 1$ 個から最大で $N = 65536$ 個までの一連の変換結果を平均化できます。

このセクションで説明するデジタル平均化フィルタは、SINC¹ デジタル・デシメーション・フィルタとも呼ばれます。SINC¹ デジタル・デシメーション・フィルタは、等価タップ数 N のFIRフィルタです。

ブロック図

図12は、変換結果レジスタ、デジタル信号処理(DSP)ブロック、I/Oレジスタを含むデジタル平均化フィルタのブロック図です。

変換結果レジスタは、CNVの立ち上がりエッジで捕捉された最新のサンプルから得られた24ビットの変換結果を保持します。DSPブロックは平均化処理を行い、ユーザがシリアル・インタフェースを介して読み込めるように変換結果の平均値をI/Oレジスタに書き込みます。

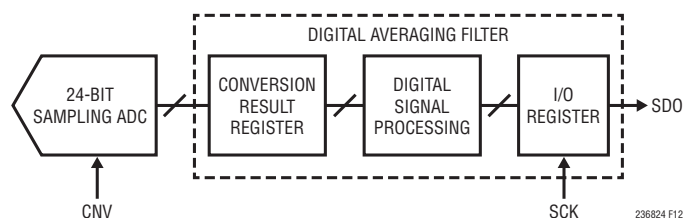


図12. デジタル平均化フィルタを含むブロック図

アプリケーション情報

従来の逐次比較レジスタ(SAR)と同様な動作

LTC2368-24は、図13のように従来の遅延のない逐次比較レジスタ(SAR)型と同様に動作できます。各変換結果は、次の変換が開始される前にシリアル・インタフェースを介して読み出されます。I/Oレジスタの内容が変換結果レジスタの内容に追従しており、1つの変換に対応する結果が両方のレジスタに含まれていることに注目してください。LTC2368-24をこの形で使用する場合、デジタル平均化フィルタはユーザにとってトランスペアレントに動作するため、プログラミングは一切必要なく、単に各サイクルで各変換結果を読み出すだけで済みます。R_iは、変換番号*i*に対応する24ビットの変換結果を示します。各変換サイクルで印加するSCKを、(図13の場合のように24回でなく)20回に減らせば20ビット精度の結果が得られるため、LTC2368-24はLTC2378-20に対し下位互換性があります。

デジタル平均化フィルタを使用した測定ノイズの低減

デジタル平均化の手法は、ノイズに起因する測定の不安定性を低減する目的でしばしば使用されます。LTC2368-24はデジタル平均化フィルタを内蔵しているため、他の付加的なハードウェアやソフトウェアがなくても容易に平均化処理を行えます。

4回の変換結果の平均化

開始された4回の変換ごとに1つの出力結果を読み出す場合を、図14に示します。図のように、I/Oレジスタから読み出される出力結果は直近の4回の変換結果の平均になります。デジタル平均化フィルタは、出力結果が読み出されるまで自動的に変換結果を平均化します。出力結果が読み出されると、デジタル平均化フィルタがリセットされ、次の変換結果を求めるための新しい平均化処理が開始されます。

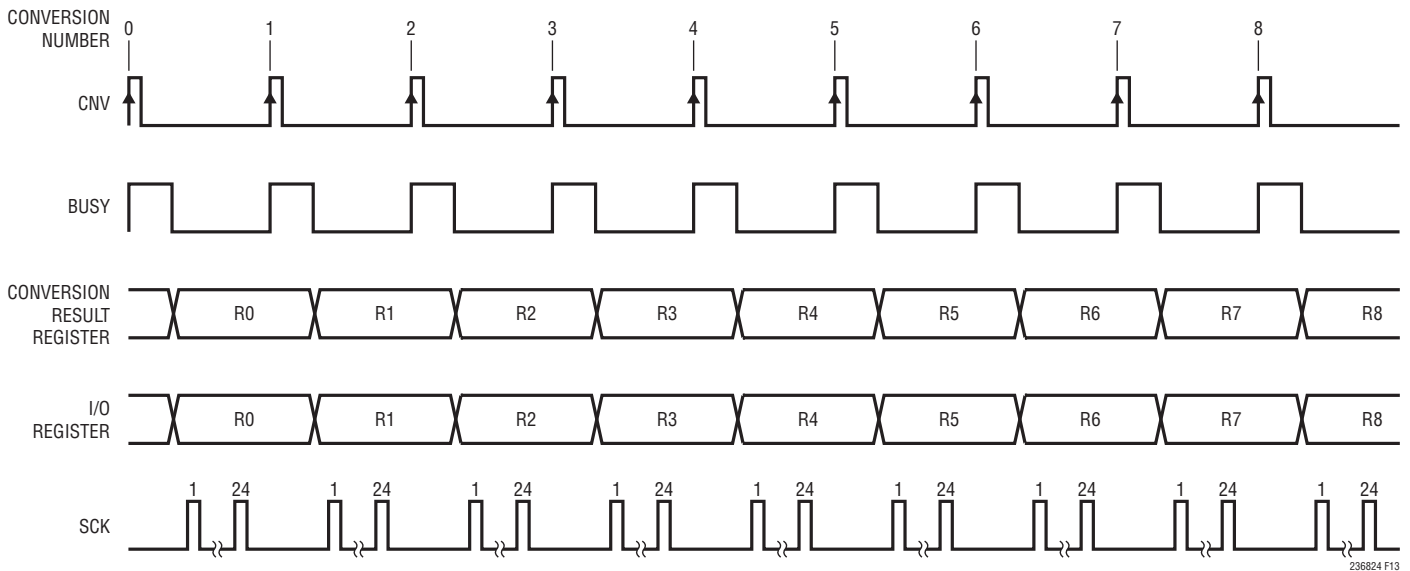


図13. 従来の逐次比較レジスタ(SAR)の動作タイミング

アプリケーション情報

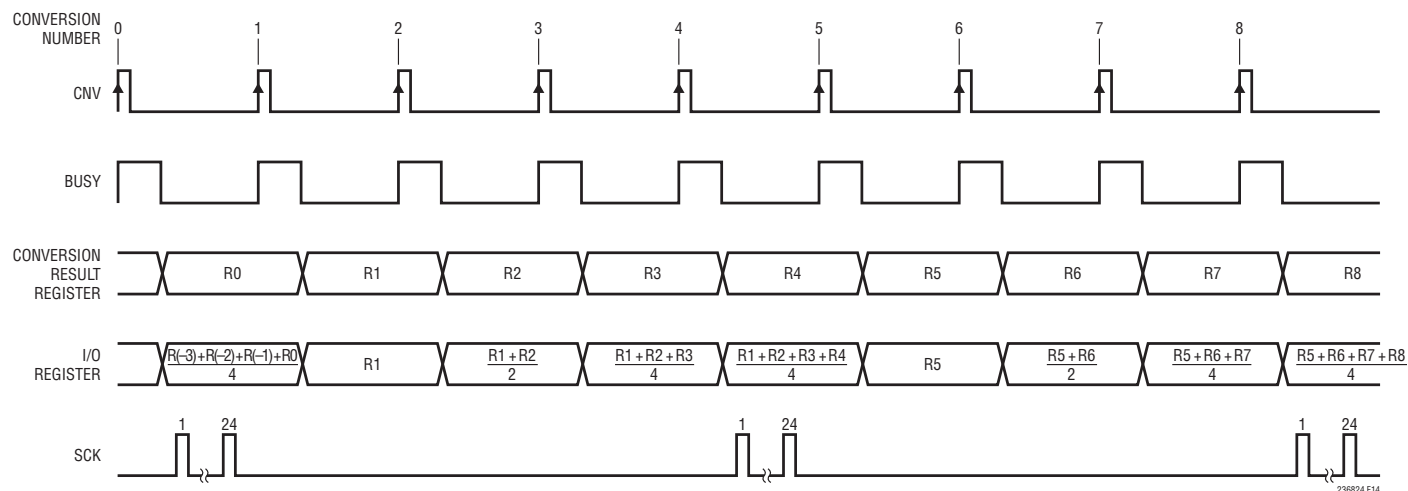


図14. 4回の変換結果の平均化

この例では、変換番号0、4、8の後に出力結果を読み出しています。デジタル平均化フィルタは、変換番号0の後にリセットされ、変換番号1で新しい平均化処理を開始しています。変換番号4の後、出力結果 $(R1 + R2 + R3 + R4)/4$ が読み出され、再びデジタル平均化フィルタがリセットされます。デジタル平均化フィルタは、新たに変換が実行されるたびに自動的に変換結果を平均化するため、プログラミングを行わなくても、上限である65536回までの任意の回数の変換結果を平均化できます。

3回の変換結果の平均化

2の累乗でない回数Nの変換結果を平均化した場合、出力結果は重み付け係数Mを使用した比率N/Mで調整されます。MはNより大きい最小の2の累乗値です(詳しくは、後の「重み付け係数」のセクションを参照)。3回の変換結果だけを平均化する例を図15に示します。読み出された出力結果が $N/M = 3/4$ で調整されています。

低データ・レートでのデジタル平均化フィルタの使用

図13、14、15の例は、LTC2368-24の最も一般的な使用方法であり、単に各変換結果を個別に読み込むか、N回の変換結果の平均値を読み込んでいます。いずれの場合も、連続する前後の2つのA/D変換(BUSY)期間中に結果を読み込むため、高速なシリアル・シフト・クロックが必要です。

分散読み出し

分散読み出しを行うと、比較的低速なシリアル・シフト・クロックを使用できます。分散読み出しを行うには、複数の変換結果が平均化される必要があります。

2つのBUSY立ち下がりエッジの間の1回の変換サイクル中に印加されたSCKパルスが1回以上20回未満($0 < SCK < 20$)である場合(図16を参照)、I/Oレジスタはデジタル平均化フィルタの出力で更新されず、内容が保持されます。このため、複数回の変換サイクルにわたる出力結果をI/Oレジスタから読み出すことができ、シリアル・インタフェースの速度要件が緩和されます。

アプリケーション情報

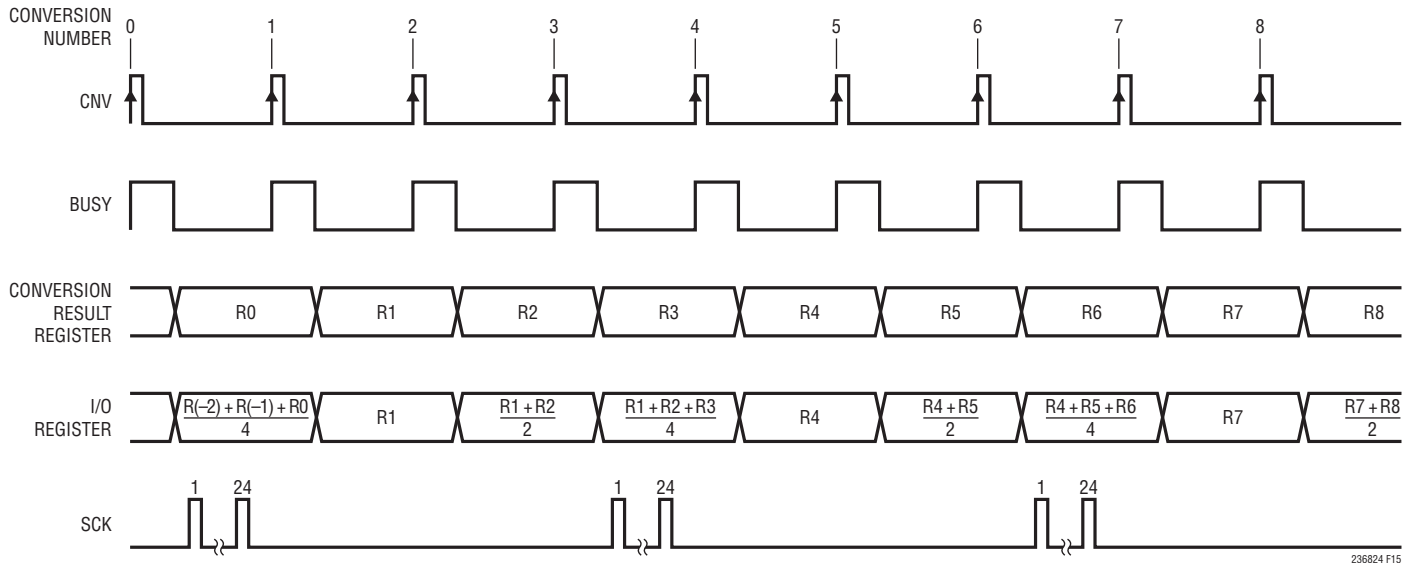


図 15. 3回の変換結果の平均化

読み出しは最初のSCKパルスの立ち上がりエッジで開始されますが、次の読み出しが開始される前に終了している必要があります。デジタル平均化フィルタは読み出しの開始時にリセットされ、新しい平均化処理が開始されます。デジタル平均化フィルタのリセット後は、それ以降新たな読み出しが開始されるまでに完了した複数回の変換が自動的に平均化されます。つまり、デジタル平均化フィルタは、ある読み出しが開始されてから次の読み出しが開始されるまでの期間内に完了した変換について、結果の平均を計算します。

2つのBUSYの立ち下がりエッジの間の1回の変換サイクル中に0回または19回を超えるSCKパルス(立ち上がりエッジ)を印加した場合は、読み出しが完了し、デジタル平均化フィルタの出力から得られた新しい平均値でI/Oレジスタが更新されます。

分散読み出しを使用した4回の変換の平均化

図 16は、4回の変換サイクルごとに読み出しが開始され、3回の変換サイクルでI/Oレジスタが読み出される場合を示します。この方法では、シリアル・インタフェースの速度を、本来必要な速度の1/3にすることができます。SCKの最初の立ち上がりエッジで1回目の読み出しが開始され、3回の変換サイク

ルにわたって8ビットのデータが3つ読み出されます。変換番号4と5のBUSYの立ち下がりエッジの間はSCKパルスが印加されていないため、変換番号5の終了時に読み出しが終了します。変換番号5の後に、2回目の読み出しが開始され、I/Oレジスタから $(R2 + R3 + R4 + R5) / 4$ が読み出されます。1回目と2回目の読み出し開始の間に完了したのは変換番号2、3、4、5であるからです。

分散読み出しを使用した25回の変換の平均化

図 17の例では、25回の変換サイクルごとに読み出しが開始され、各変換サイクルで1回のSCKパルスを使用してI/Oレジスタから出力結果を読み出しています。SCKの最初の立ち上がりエッジで読み出しが開始され、次の23回の変換サイクルで1ビットが読み出されます。変換番号25と26のBUSYの立ち下がりエッジの間はSCKパルスが印加されていないため、変換番号26の終了時に読み出しが終了します。変換番号26の後、2回目の読み出しが開始され、 $(R2 + R3 + \dots + R25 + R26) / 32$ がI/Oレジスタから読み出されます。各変換期間内に印加されるSCKパルス数が0より大きく20未満であり、I/Oレジスタの内容は更新されないため、連続的に分散読み出しを行います。

アプリケーション情報

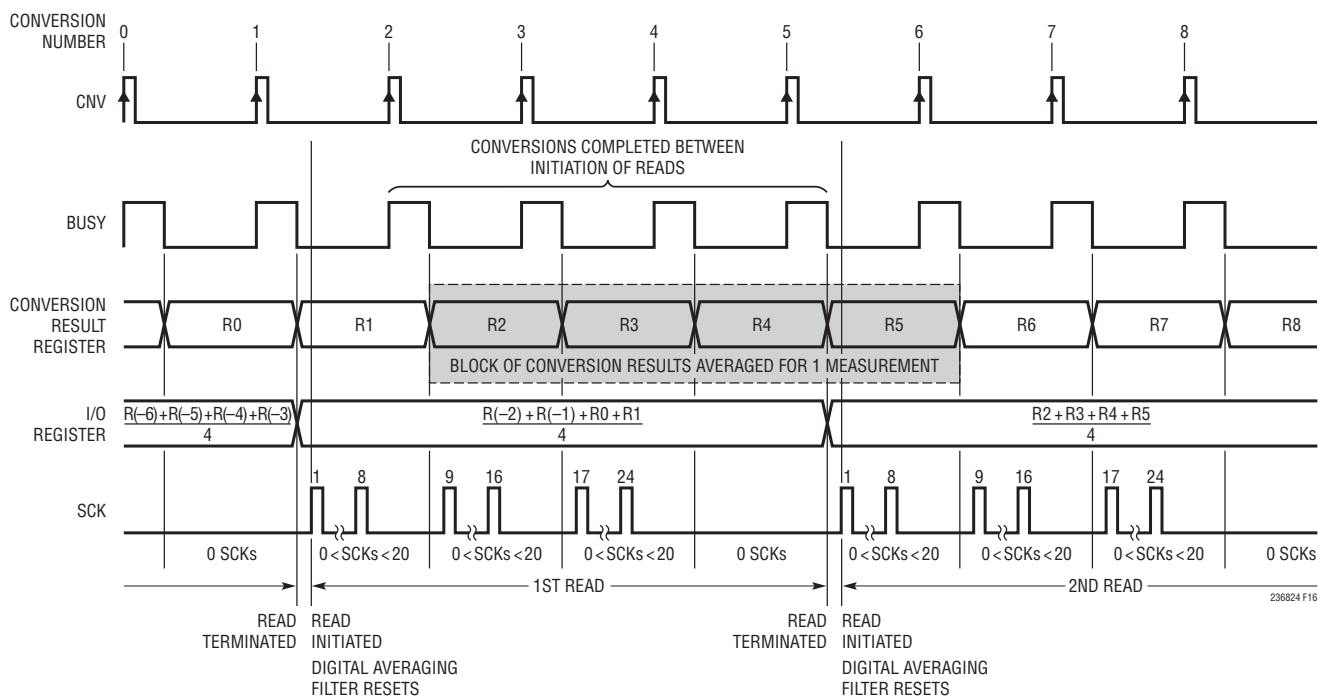


図 16. 4回の変換結果の平均化とデータの分散読み出し

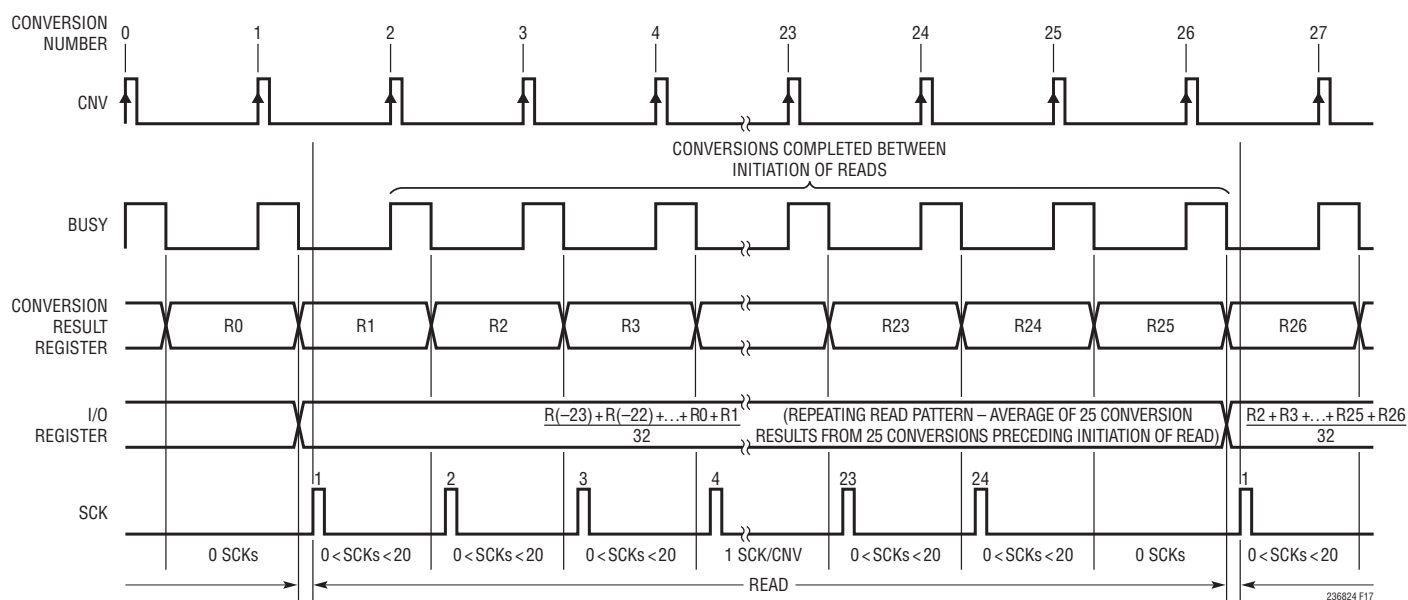


図 17. 25回の変換結果の平均化とデータの分散読み出し

アプリケーション情報

最小シフト・クロック周波数

読み出し中の各変換サイクルに少なくとも1つのSCKパルスが必要であることから、使用可能な最小SCKパルスの下限 $f_{SCK} = f_{SMPL}$ が決まります。

ノイズと平均化

A/Dコンバータのノイズは、サンプル間の相関性がありません。このため、1つの測定値を得るために平均化するA/D変換結果の数がNであれば、A/Dコンバータのノイズは \sqrt{N} だけ小さくなります。入力バッファ・アンプやリファレンスなど他のノイズ発生源に起因するノイズは、サンプル間で相関している場合もあるため、平均化により低減できても少ししか低減できない可能性があります。

重み付け係数

変換結果を平均化する際にNが2の累乗である場合は、結果として得られる出力コードが直近のN個のサンプルの等加重平均になります。Nが2の累乗でない場合は、表1に従って重み付け係数Mが選択されます。具体的な例として、i番目のアナログ・サンプルの24ビットの変換結果を R_i とした場合、Nで平均化した変換結果の出力コードDは、次の式で定義されます。

$$D = \sum_{i=1}^N \frac{R_i}{M}$$

1～65536の任意の平均化回数Nに対応する重み付け係数および結果として得られるデータ・スループットを表1に示します。N = 65536のときにMが最大値65536になることに注意してください。N > 65536の場合、デジタル平均化フィルタはN/M > 1になるように引き続き変換結果を蓄積していきます。この場合、A/Dコンバータのコアで得られた変換結果の平均がゼロでなければ、出力結果は最終的に正または負のフルスケールで飽和します。

表1. さまざまなNの値と重み付け係数およびスループットの関係

N	M	データ・スループット
1	1	1Msps
2	2	500ksps
3 - 4	4	333.3ksps - 250ksps
5 - 8	8	200ksps - 125ksps
9 - 16	16	111.1ksps - 62.5ksps
17 - 32	32	58.8ksps - 31.3ksps
33 - 64	64	30.3ksps - 15.6ksps
65 - 128	128	15.4ksps - 7.8ksps
129 - 256	256	7.8ksps - 3.9ksps
257 - 512	512	3.9ksps - 2ksps
513 - 1024	1024	2ksps - 1ksps
1025 - 2048	2048	1ksps - 500sps
2049 - 4096	4096	488sps - 244sps
4097 - 8192	8192	244sps - 122sps
8193 - 16384	16384	122sps - 61sps
16385 - 32768	32768	61sps - 30.5sps
32769 - 65536	65536	30.5sps - 15.3sps

N/M < 1の場合、出力結果がフルスケールになるためには、保証されている指定入力差動電圧範囲を超えた値でアナログ入力を駆動する必要があります。保証された仕様値を超えた値でLTC2368-24を使用することは、望ましくない動作が発生したり間違った結果が得られる可能性があるため、このような使用方法は避けることを強く推奨します。正しい動作を行わせるためには、アナログ入力電圧が仕様値の0V～V_{REF}を超えないようにすることを推奨します。また、N/M < 1の場合は出力結果がN/Mで飽和しないことに注意してください。

アプリケーション情報

50Hz/60Hzの除去

サンプリング・レート f_{SMPL} と除去すべき周波数 f_{REJECT} に応じた適切な平均化回数 N を選択すると、特定の入力周波数を除去できます。次の場合、

$$T_{\text{AVG}} = \frac{1}{f_{\text{SMPL}}} \cdot N = \frac{1}{f_{\text{REJECT}}}$$

D は、周波数 f_{REJECT} の正弦波の1サイクル全体の平均値であり、その特定の周波数およびその整数倍の周波数(ただし $f_{\text{SMPL}} - f_{\text{REJECT}}$ 以下)に対する利得はゼロになります(図18を参照)。前式を N について解くと、次の式が得られます。

$$N = \frac{f_{\text{SMPL}}}{f_{\text{REJECT}}}$$

この式を使用して、50Hzと60Hzおよびその他の周波数を除去するための値 N を求めることができます。次のように、特定の周波数を除去する場合に N と f_{SMPL} は入れ換えることができます。

$f_{\text{SMPL}} = 1\text{Msps}$ で50Hzを除去するには、

$$\begin{aligned} N &= \frac{1,000,000\text{sps}}{50\text{Hz}} \\ &= 20,000 \end{aligned}$$

$N = 1024$ で50Hzと60Hzの両方(どちらも10Hzの倍数)を除去するには、

$$\begin{aligned} f_{\text{SMPL}} &= 1024 \cdot 10\text{Hz} \\ &= 10.24\text{kspss} \end{aligned}$$

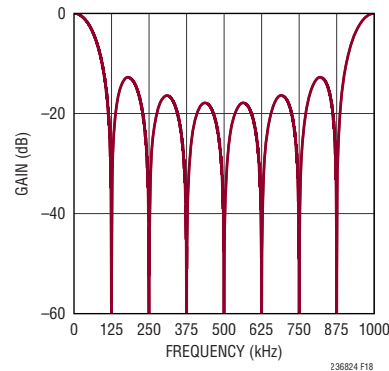


図18. $f_{\text{SMPL}} = 1\text{Msps}$ 、 $N = 8$ の SINC^1 フィルタ

図18に示す SINC^1 フィルタの例では、 $f_{\text{SMPL}} = 1\text{Msps}$ 、 $N = 8$ であり、 $f_{\text{REJECT}} = 125\text{kHz}$ になります。ただし、平均化を行うことで、DCより高い f_{REJECT} や f_{REJECT} の倍数以外の入力周波数も、程度は違っても減衰されることに注意してください。

カウント

図19のように、24ビットの出力コードの他に16ビット・ワード $C[15:0]$ が付加され、全体では40ビットの出力ワードとなっています。 $C[15:0]$ は、出力結果を得るために平均化したサンプル数から1を引いた値のストレート・バイナリ値です(MSBが先頭)。たとえば、 N 個のサンプルを平均化して出力結果を得ている場合は $C[15:0]$ が $N - 1$ になります。したがって、 N が1の場合(平均化しない場合)は必ず $C[15:0]$ が0になり、 $N=16384$ の場合は $C[15:0]=16383\dots$ などとなります。また、平均化したサンプル数が65536より大きい場合は、 $C[15:0]$ が65535で飽和します。

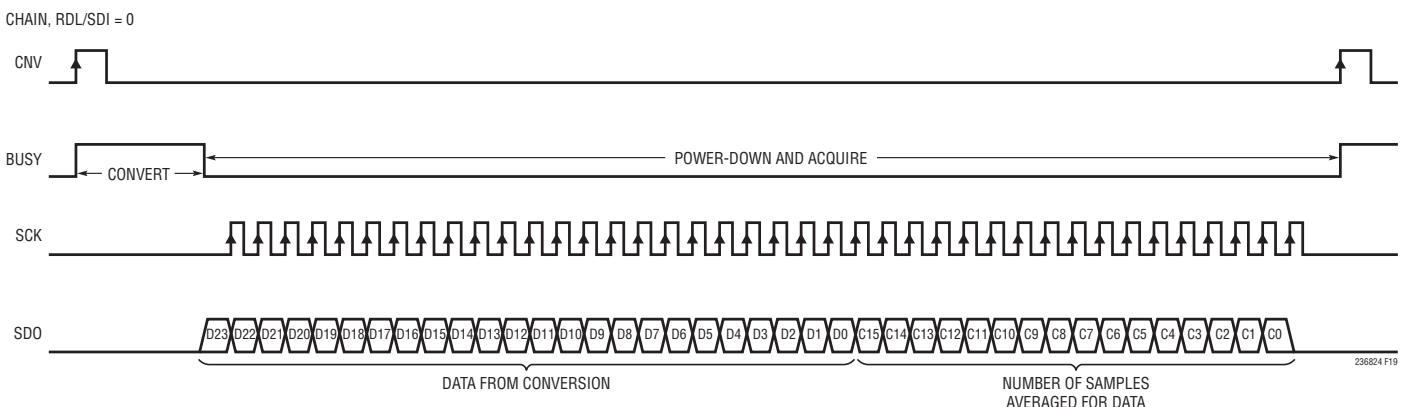


図19. シリアル出力コードの構成

タイミング図

通常モード、単一デバイス

CHAIN = 0 のとき、LTC2368-24 は通常モードで動作します。通常モードでは、RDL/SDI はシリアル・データ出力ピン SDO をイネーブルまたはディスエーブルします。RDL/SDI が“H” の場合、SDO は高インピーダンス状態になり、SCK は無視されます。RDL/SDI が“L” の場合は、SDO が駆動されます。

CHAIN と RDL/SDI が接地されている状態で通常モードで動作している単一の LTC2368-24 を図 20 に示します。RDL/SDI を接地すると、SDO はイネーブルされ、BUSY の立ち下がりエッジの $t_{DSDOBUSYL}$ 後に、出力結果の MSB (D23) が使用可能な状態になります。出力結果の後、カウント情報がシフトされ出力されます。

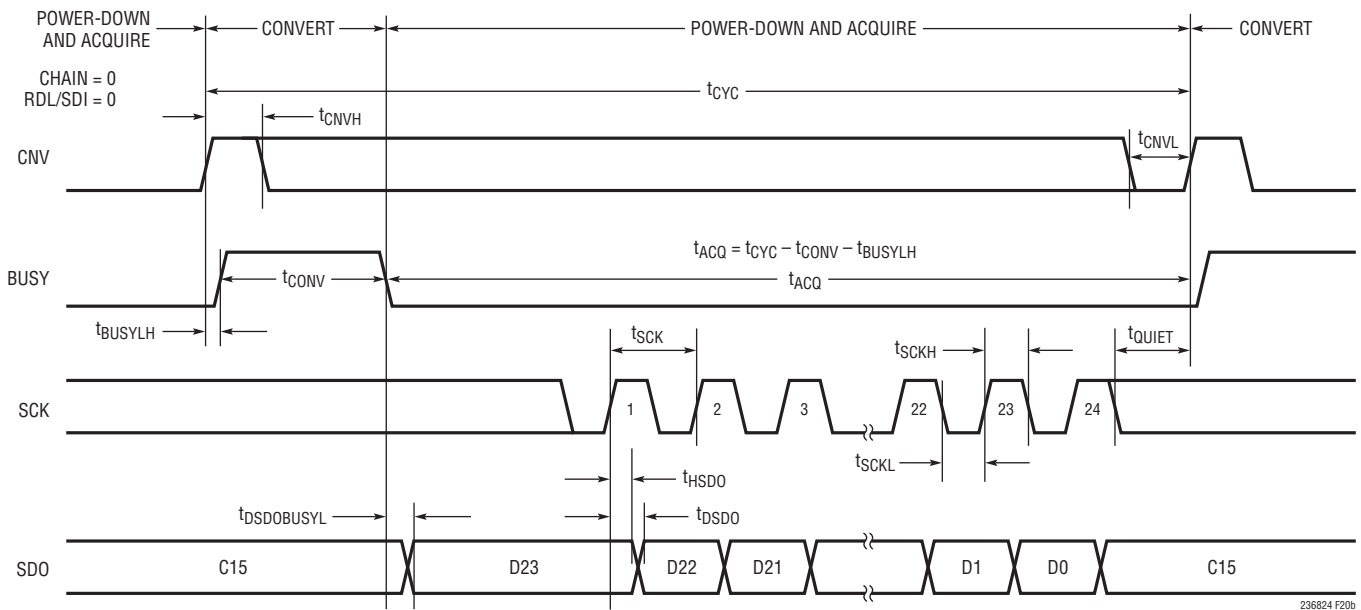
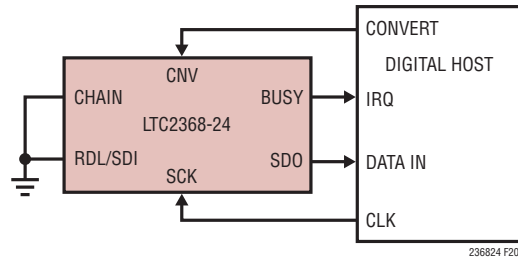


図 20. 1 個の LTC2368-24 を通常モードで使用

タイミング図

通常モード、複数デバイス

CNV、SCKおよびSDOを共有し、通常モード(CHAIN = 0)で動作している複数のLTC2368-24デバイスを図21に示します。CNV、SCKおよびSDOを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。

SDOを共有しているため、バスの競合を防ぐには、各A/DコンバータのRDL/SDI入力を使って、一度に1個のLTC2368-24だけがSDOを駆動できるようにする必要があります。図21に示すように、RDL/SDI入力はアイドル状態では“H”であり、個別に“L”にして変換と変換の間に各デバイスからデータを読み出します。RDL/SDIを“L”にすると、選択されたデバイスのMSBがSDOに出力されます。出力結果の後、カウント情報がシフトされ出力されます。

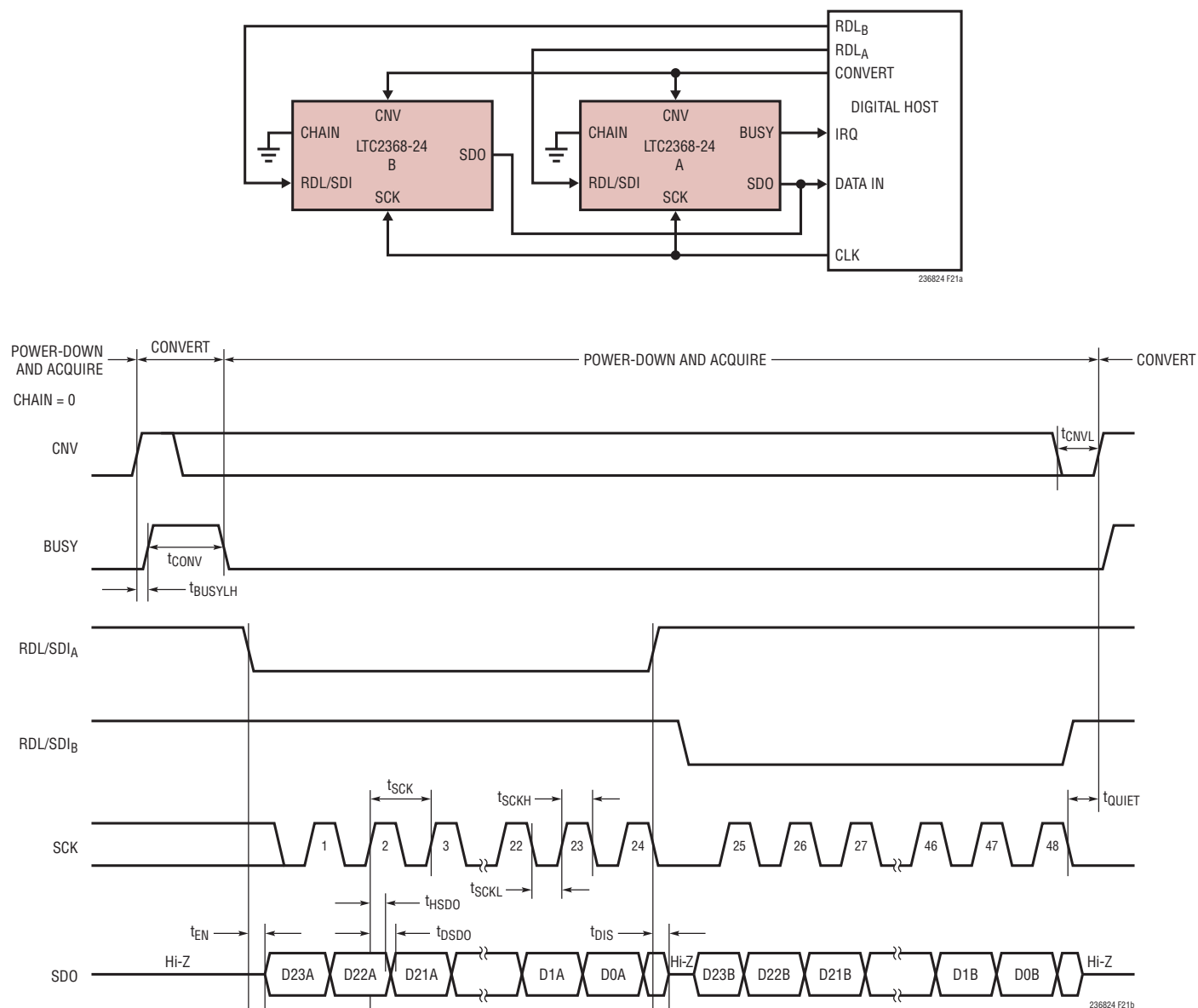


図21. 複数のデバイスがCNV、SCKおよびSDOを共有する通常モード

タイミング図

チェーン・モード、複数デバイス

CHAIN = OV_{DD} のとき、LTC2368-24はチェーン・モードで動作します。チェーン・モードでは、SDOは常にイネーブルされており、RDL/SDIはシリアル・データ入力ピン(SDI)として機能し、別のA/Dコンバータからのデジタイズチェーン・データ出力を入力することができます。

これは、多数のコンバータにインタフェースするのに必要なライン数がハードウェアの制約によって制限されるアプリケーションに便利です。デジタイズチェーン接続された2個のデバイスの例を図22に示します。SCKの40サイクル後に、コンバータBのSDOにコンバータAのMSBが出力されます。コンバータAのMSBは、最初のSCKの立ち上がりエッジで、クロックに同期してコンバータBのRDL/SDIピンに入力されます。チェーン・モード時は、デジタル平均化フィルタの機能は維持されます。

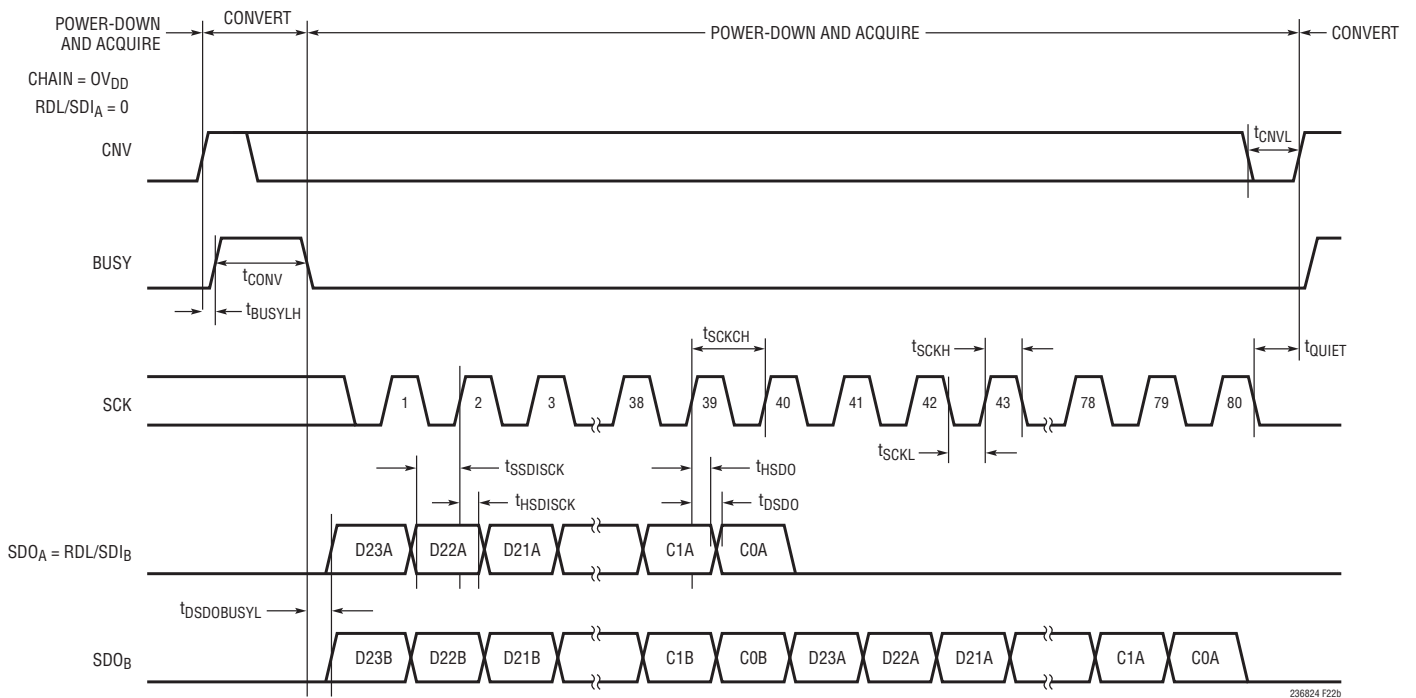
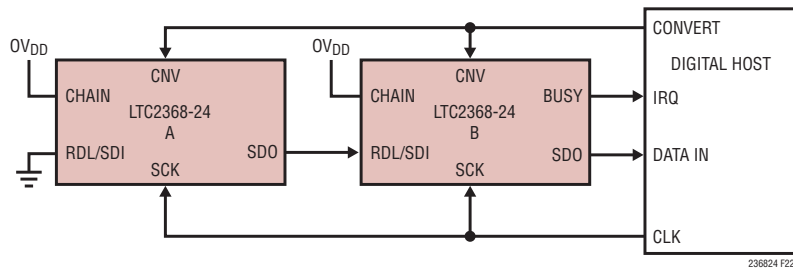


図22. チェーン・モードのタイミング図

基板のレイアウト

LTC2368-24から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、A/Dコンバータの下に配線したりしないように注意します。

電源のバイパス・コンデンサは、できる限り電源ピンの近くに配置してください。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通

帰線を使用することが不可欠です。そのためには、切れ目のない単一のグラウンド・プレーンを推奨します。できれば、グラウンドを使用してアナログ入力のトレースを遮蔽してください。

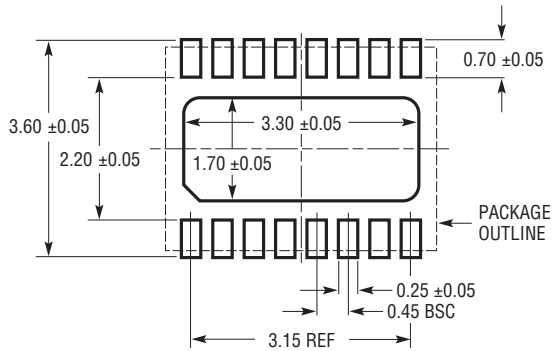
リファレンスの設計

図面やPCBレイアウトなど、このコンバータのリファレンスの設計に関する詳細は、LTC2368-24 評価キット [DC2289](#) を参照してください。

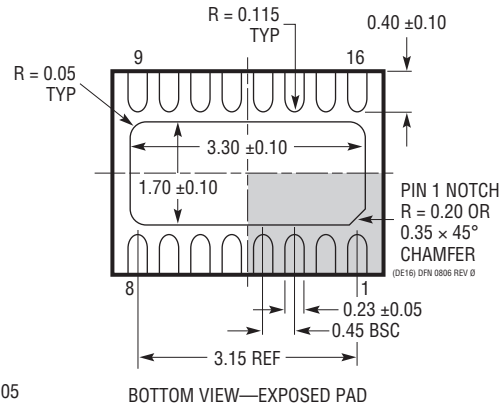
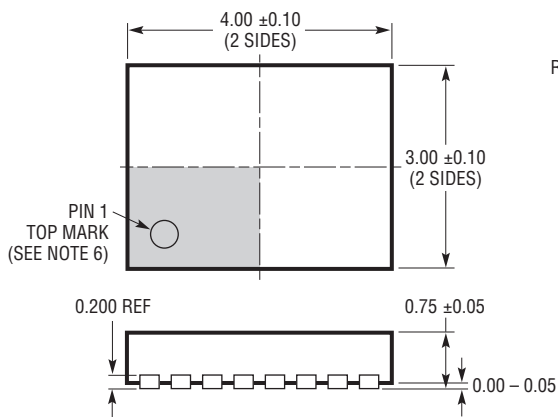
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2368-24#packaging> を参照してください。

DE Package 16-Lead Plastic DFN (4mm × 3mm) (Reference LTC DWG # 05-08-1732 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



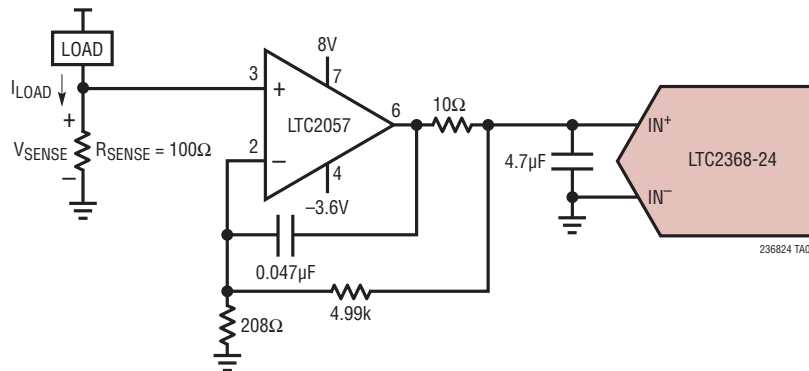
注記:

1. 図はJEDECパッケージ外形MO-229のバージョンの バリエーション(WGED-3)として提案
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まないモールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

LTC2368-24

標準的応用例

LTC2368-24を使用したローサイド電流検出アプリケーション



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2380-24	24ビット、1.5Msps/2Msps シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、デジタル・フィルタ、SNR:100dB、入力範囲: ±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC2378-20/LTC2377-20/ LTC2376-20	INL が ±0.5ppm の 20ビット、1Msps/500ksps/250ksps、シリアル、低消費電力 A/D コンバータ	2.5V 電源、±5V 完全差動入力、SNR:104dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR:101.2dB、入力範囲: ±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR:96.2dB、入力範囲: ±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2369-18/LTC2368-18/ LTC2367-18/LTC2364-18	18ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	2.5V 電源、疑似差動ユニポーラ入力、SNR:96.5dB、入力範囲: 0V ~ 5V、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、低消費電力 A/D コンバータ	2.5V 電源、疑似差動ユニポーラ入力、SNR:94dB、入力範囲: 0V ~ 5V、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
D/A コンバータ		
LTC2757	18ビット、シングル・パラレル電流出力 SoftSpan™ D/A コンバータ	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、7mm×7mm LQFP-48 パッケージ
LTC2641	16ビット/14ビット/12ビット、シングル・シリアル電圧出力 D/A コンバータ	INL/DNL: ±1LSB、MSOP-8 パッケージ、0V ~ 5V 出力
LTC2630	12ビット/10ビット/8ビットのシングル電圧出力 D/A コンバータ	6ピン SC70 パッケージ、内部リファレンス、INL: ±1LSB (12ビット)
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ: 0.25ppm、MSOP-8 パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ: 2.1ppm、MSOP-8 パッケージ
アンプ		
LT6203/LT6202	デュアル/シングル 100MHz、レール・トゥ・レール入出力、低ノイズ、低消費電力アンプ	1.9nV/√Hz、3mA の電源電流 (最大)、利得帯域幅: 100MHz
LT6237/LT6236	デュアル/シングル・レール・トゥ・レール出力 A/D コンバータ・ドライバ	215MHz の GBW、1.1nV/√Hz、3.5mA の電源電流
LTC2057	レール・トゥ・レール出力ゼロドリフト・オペアンプ	オフセット電圧: 4μV (最大)、オフセット電圧ドリフト: 0.015μV/°C

236824f