

モノリシック、高電圧絶縁型 フライバック・コンバータ

特長

- 入力電圧範囲: 4.5V ~ 100V
- 420mA、150Vのパワー・スイッチを内蔵
- バウンダリ・モード動作
- トランスの3次巻線やオプトアイソレータを必要としないレギュレーション
- 1次側巻線帰還によりロード・レギュレーションを改善
- 出力電圧を2本の外付け抵抗で設定
- 内部バイアス電源とパワー・スイッチ・ドライバ用のBIASピン
- 外付け起動抵抗が不要
- 16ピンMSOPパッケージ

アプリケーション

- テレコム用絶縁型電源
- 絶縁型補助電源/ハウスキーピング用電源
- 産業用、車載および医療用絶縁型電源

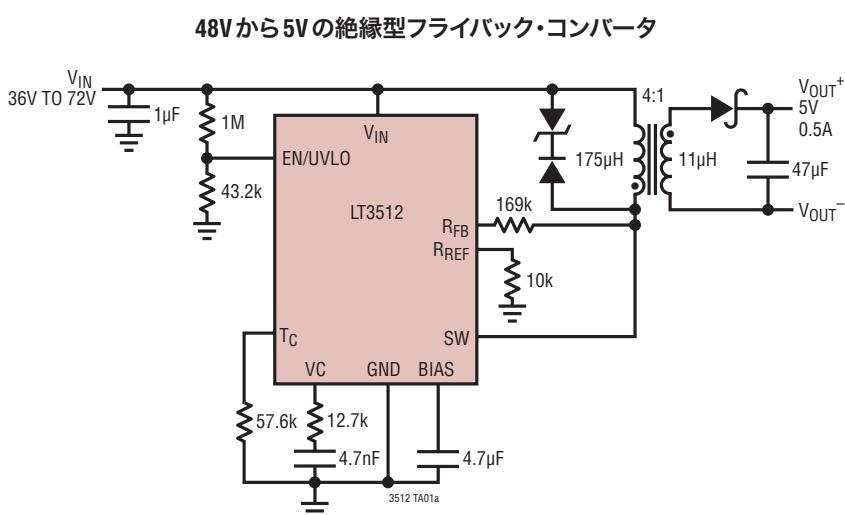
概要

LT3512は絶縁型フライバック・トポロジー向けに特に設計された、高電圧モノリシック・スイッチング・レギュレータです。出力電圧を1次側フライバック波形から直接検出するので、レギュレーションを行うのに3次巻線やオプトアイソレータは不要です。このデバイスは420mA、150Vのパワー・スイッチ、高電圧回路、および制御回路を、4本のピンを取り去った高電圧16ピンMSOPパッケージに搭載しています。

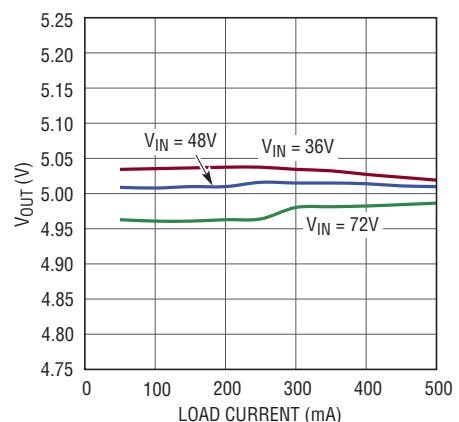
LT3512は4.5V ~ 100Vの入力電圧で動作し、最大4.5Wの絶縁された出力電力を供給します。出力電圧は、2本の外付け抵抗とトランスの巻数比で容易に設定されます。いくつかのアプリケーションで既製トランスを使用できます。高い集積度とバウンダリ・モード動作の使用により、従来難題だった絶縁電力供給に対する、高精度に安定化されたシンプルでクリーンなソリューションを提供します。

LT、**LT**、**LTC**、**LTM**、**Burst Mode**、**Linear Technology**およびリニアのロゴはリニアテクノロジー社の登録商標です。**No RSENSE**はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。5438499、7471522を含む米国特許によって保護されています。

標準的応用例



出力負荷および
ライン・レギュレーション



3512 TA01b

絶対最大定格

(Note 1)

SW (Note 4)	150V
V _{IN} 、EN/UVLO、R _{FB}	100V
V _{IN} から R _{FB}	±6V
BIAS	20VとV _{IN} の小さい方
R _{REF} 、T _C 、VC	6V
動作接合部温度範囲 (Note 2)	

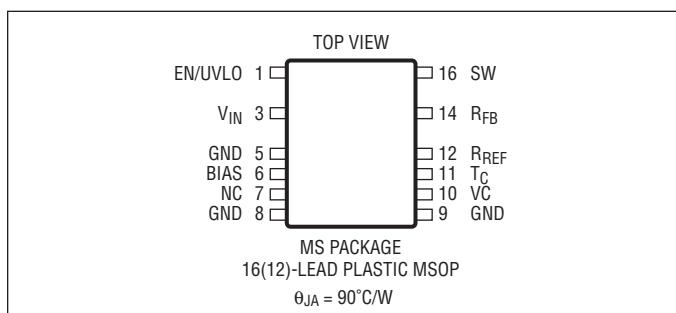
LT3512E、LT3512I -40°C ~ 125°C

LT3512H -40°C ~ 150°C

LT3512MP -55°C ~ 150°C

保存温度範囲 -65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LT3512EMS#PBF	LT3512EMS#TRPBF	3512	16-Lead Plastic MSOP	-40°C to 125°C
LT3512IMS#PBF	LT3512IMS#TRPBF	3512	16-Lead Plastic MSOP	-40°C to 125°C
LT3512HMS#PBF	LT3512HMS#TRPBF	3512	16-Lead Plastic MSOP	-40°C to 150°C
LT3512MPMS#PBF	LT3512MPMS#TRPBF	3512	16-Lead Plastic MSOP	-55°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、V_{IN} = 24V。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range	V _{IN} = BIAS	● 6 4.5		100 15	V V
Quiescent Current	Not Switching V _{EN/UVLO} = 0.2V		3.5 0	4.5	mA μA
EN/UVLO Pin Threshold	EN/UVLO Pin Voltage Rising	● 1.15	1.21	1.27	V
EN/UVLO Pin Current	V _{EN/UVLO} = 1.1V V _{EN/UVLO} = 1.4V		2.0 0	2.6 3.3	μA μA
Maximum Switching Frequency			650		kHz
Minimum Switching Frequency			40		kHz
Maximum Current Limit		420	600	800	mA
Minimum Current Limit		80	120	150	mA
Switch V _{CESAT}	I _{SW} = 200mA		0.5		V
R _{REF} Voltage		● 1.18 1.17	1.20	1.215 1.23	V V
R _{REF} Voltage Line Regulation	6V < V _{IN} < 100V		0.01	0.03	%/V
R _{REF} Pin Bias Current	(Note 3)	● 80	400		nA
Error Amplifier Voltage Gain			150		V/V
Error Amplifier Transconductance	ΔI = 2μA		140		μmhos

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 24\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
T_C Current into R_{REF}	$R_{TC} = 53.6\text{k}\Omega$			9.5	μA
BIAS Pin Voltage	Internally Regulated	3	3.1	3.2	V

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: LT3512Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3512Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度で性能仕様に適合することが保証されている。LT3512Hは $-40^\circ\text{C} \sim 150^\circ\text{C}$ の全動作接合部温度

範囲で保証されている。LT3512MPは $-55^\circ\text{C} \sim 150^\circ\text{C}$ の全動作接合部温度範囲で性能仕様に適合することが保証されている。高い接合部温度は動作寿命に悪影響を及ぼす。接合部温度が 125°C を超えると、動作寿命が短くなる。

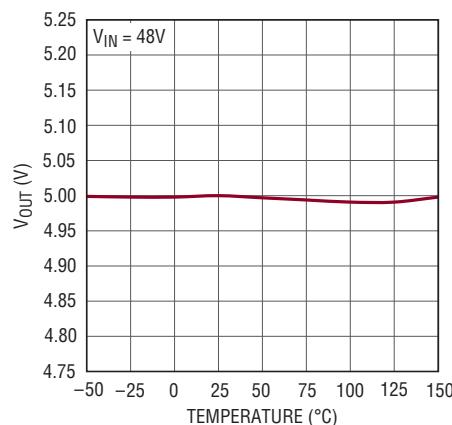
Note 3: 電流は R_{REF} ピンから流れ出す。

Note 4: SWピンの過渡電圧定格は最大150Vである。図5に示すように、SWピンの動作波形はフライバック波形のペデタルを100V以下に保つ必要がある。

標準的性能特性

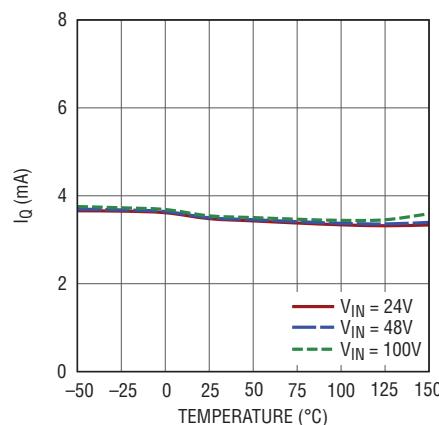
注記がない限り $T_A = 25^\circ\text{C}$ 。

出力電圧



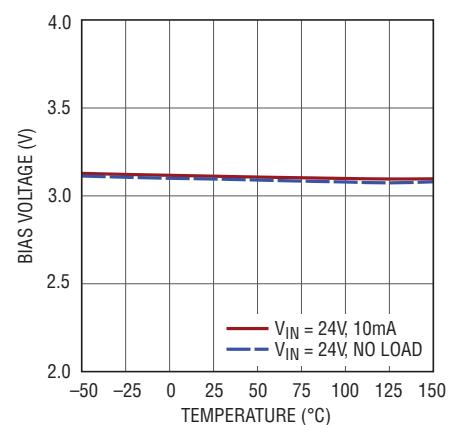
3512 G01

消費電流



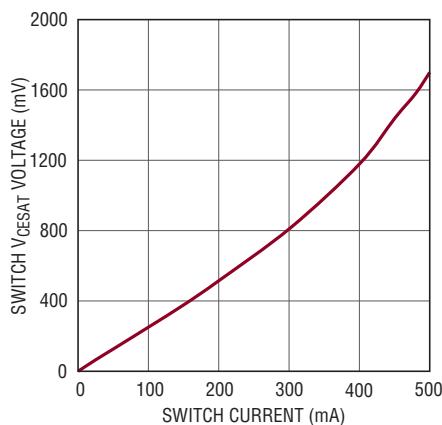
3512 G02

BIAS ピンの電圧



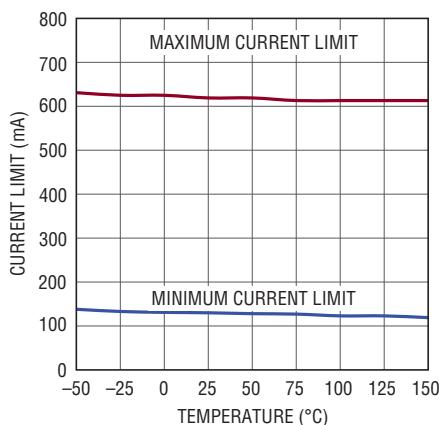
3512 G03

スイッチの V_{CESAT}



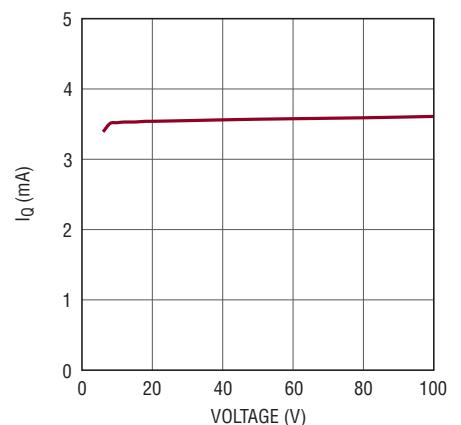
3512 G04

スイッチ電流制限



3512 G05

消費電流と V_{IN}

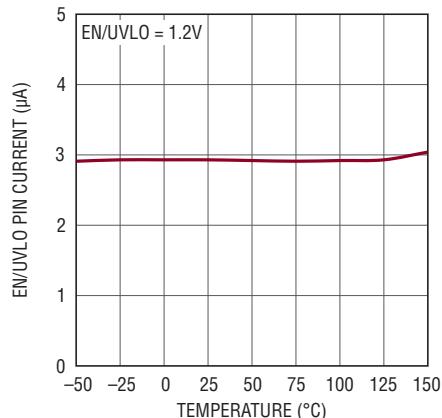


3512 G06

標準的性能特性

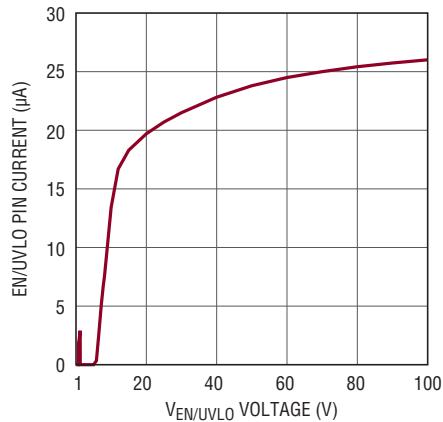
注記がない限り $T_A = 25^\circ\text{C}$ 。

**EN/UVLO ピンの
(ヒステリシス)電流と温度**



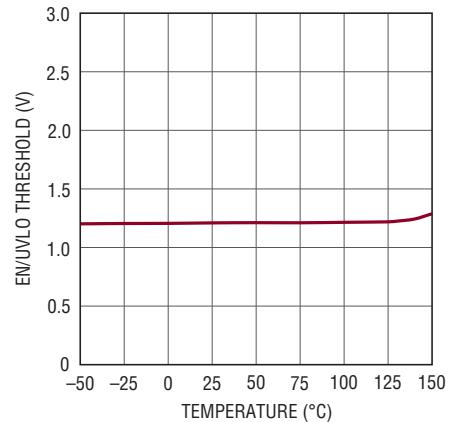
3512 G07

EN/UVLO ピンの電流と $V_{EN/UVLO}$



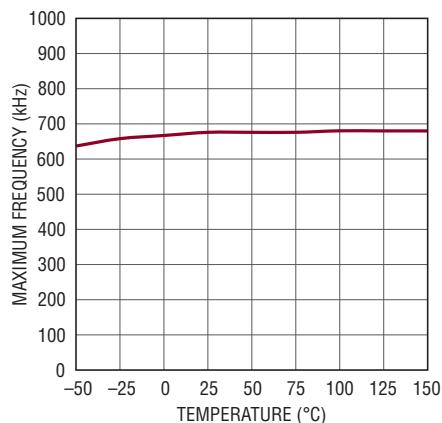
3512 G08

**EN/UVLO のスレッショルドと
温度**



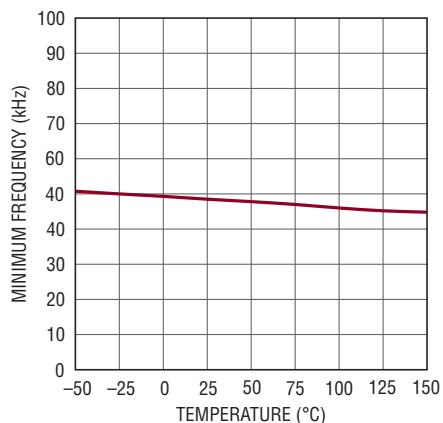
3512 G09

最大周波数と温度



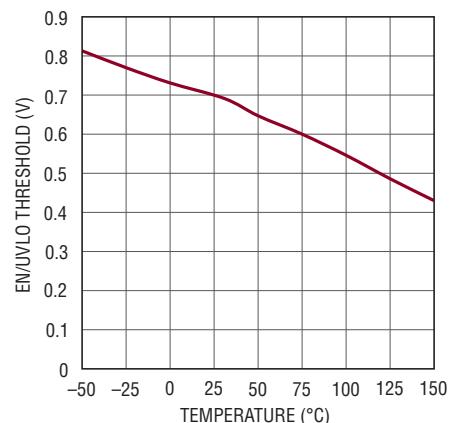
3512 G10

最小周波数と温度



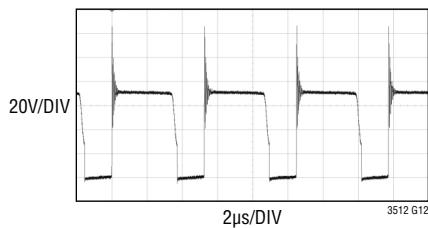
3512 G11

**EN/UVLO シャットダウン・
スレッショルドと温度**



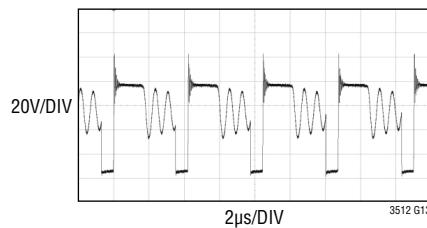
3512 G14

バウンダリ・モードの波形



3512 G12

軽負荷時不連続モードの波形



3512 G13

3512fb

ピン機能

EN/UVLO (ピン1) : イネーブル/低電圧ロックアウト。EN/UVLOピンはLT3512の起動に使用します。このピンを0Vに引き下げる、LT3512がシャットダウンします。このピンは1.21Vの高精度スレッショルドを備えており、電源からグランドに接続した抵抗分割器を使って、低電圧ロックアウト(UVLO)スレッショルドを設定するのに使用することができます。ピンの2.6 μ Aの電流ヒステリシスにより、低電圧ロックアウト(UVLO)ヒステリシスを設定することができます。EN/UVLOはV_{IN}に直接接続することができます。このピンをオープン状態のままになると、デバイスはパワーアップしません。

V_{IN} (ピン3) : 入力電源ピン。このピンは内部起動回路に電流を供給し、DCMコンパレータおよび帰還回路の基準電圧として機能します。このピンはコンデンサでローカルにバイパスする必要があります。

GND (ピン5、8、9) : グランド・ピン。3つのピンはすべてローカル・グランド・プレーンに直接接続します。

BIAS (ピン6) : バイアス電圧。このピンはLT3512のスイッチ・ドライバおよび内部回路に電流を供給します。3次巻線が使用されておらずV_{IN}が20Vより低いときは、このピンをV_{IN}に接続することもできます。BIASとV_{IN}が相互接続されている場合、デバイスは4.5Vまで下がっても動作可能です。3次巻線が使用されている場合には、適正に動作させるためにBIAS電圧を入力電圧より低く、3.3Vより高くします。BIASは、ピンの近くに配置した4.7 μ Fのコンデンサでバイパスする必要があります。

VC (ピン10) : 内部エラーアンプの補償ピン。このピンからグランドに直列RCを接続してスイッチング・レギュレータを補償します。このピンからグランドに100pFのコンデンサを追加すると、ノイズの除去に役立ちます。

T_C (ピン11) : 出力電圧の温度補償。グランドとの間に抵抗を接続し、絶対温度に比例した電流を発生してR_{REF}ノードにソースします。

$$I_{TC} = 0.55V/R_{TC}$$

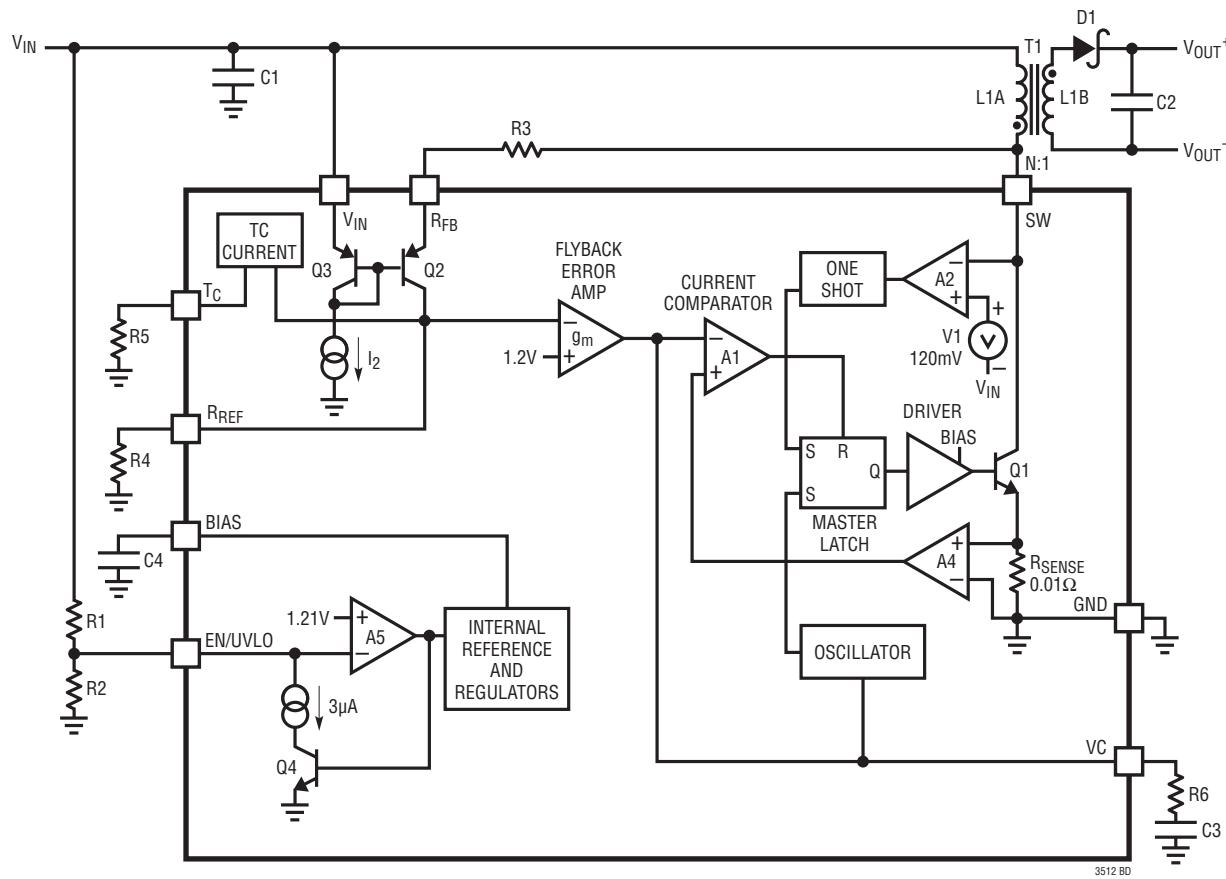
R_{REF} (ピン12) : グランド基準の外付けリファレンス抵抗の入力ピン。このピンの抵抗は10kにします。非絶縁型アプリケーションでは、V_{OUT}からこのピンに従来の抵抗分割器を接続することができます。

R_{FB} (ピン14) : 外付け帰還抵抗の入力ピン。このピンはトランジスタの1次側(V_{SW})に接続します。R_{REF}抵抗に対するこの抵抗の比に内部バンドギャップ・リファレンスを掛けた値が(1ではないトランジスタの巻数比の影響を加えた)出力電圧を決定します。非絶縁型アプリケーションでは、このピンをV_{IN}に接続します。

SW (ピン16) : スイッチ・ピン。内部パワー・スイッチのコレクタ。EMIと電圧スパイクを最小限に抑えるため、このピンのトレイス面積を最小限に抑えます。

LT3512

ブロック図



動作

LT3512は、特に絶縁型フライバック・トポロジー用に設計された、電流モードのスイッチング・レギュレータICです。絶縁型トポロジーの主な課題は、トランスの絶縁された2次側からの出力電圧に関する情報を1次側へどのように伝達するかです。従来、オプトアイソレータや追加のトランス巻線での情報をトランスを介して伝達していました。オプトアイソレータ回路は出力電力を浪費し、追加部品によってコストおよび電源の物理的サイズが増大します。また、オプトアイソレータは、制限されたダイナミック応答、非直線性、ユニットごとのばらつき、経時劣化などのため問題を生じることがあります。追加のトランス巻線を採用した回路にも短所があります。追加の巻線を使用するとトランスの物理的サイズとコストが増大し、多くの場合ダイナミック応答が劣ります。

LT3512では、1次側のフライバック・パルスにより、絶縁された出力電圧についての情報を与えられます。この方法では、レギュレーションのためのオプトアイソレータも追加のトランス巻線も不要です。2つの抵抗によって出力電圧が設定されます。このデバイスはバウンダリ・モードで動作するので、2次側電流がほとんどゼロのときのスイッチ・ピンからの出力電圧を計算します。

システムの全体像を「ブロック図」に示します。これらのブロックの多くは従来のスイッチング・レギュレータに見られるものと同様で、内部バイアス・レギュレータ、発振器、ロジック、電流アンプ、電流コンパレータ、ドライバ、出力スイッチなどです。目新しい部分は特殊なフライバック・エラーアンプと温度補償回路です。さらに、ロジック・システムにはバウンダリ・モード動作のための追加ロジックが含まれています。

LT3512は、連続導通モードと不連続導通モードの境界でデバイスが動作するバウンダリ・モード制御機能を備えています。VCピンは通常の電流モード動作と全く同様に電流レベルを制御しますが、デバイスは発振器の周期の開始点でスイッチをオンせずに、2次側の巻線電流がゼロになるときにスイッチをオンします。

バウンダリ・モード動作

バウンダリ・モードは、可変周波数、電流モードのスイッチング方式で動作します。スイッチがオンし、VCピンによって制御される電流制限値に達するまでインダクタ電流が増加します。スイッチがオフすると、SWピンの電圧は、出力電圧をトランスの2次対1次の巻数比で割った電圧に入力電圧を足した電圧まで上昇します。ダイオードを流れる2次側電流がゼロまで減少すると、SWピンの電圧が V_{IN} を下回ります。不連続導通モード(DCM)コンパレータがこの事象を検出し、スイッチを再度オンします。

バウンダリ・モードではサイクルごとに2次側の電流をゼロに戻すので、寄生抵抗の電圧降下によるロード・レギュレーションの誤差は生じません。また、バウンダリ・モードでは連続導通モードに比べて小型のトランスを使用することができ、低調波発振が生じません。

LT3512は、出力電流が小さいときにスイッチのターンオンを遅らせるので、不連続モードで動作します。従来のフライバック・コンバータとは異なり、出力電圧の情報を更新するためにスイッチがオンする必要があります。VCピンの電圧が0.6Vより低いと、電流コンパレータのレベルはその最小値まで減少し、内部発振器の周波数が低下します。内部発振器の周波数の低下に伴い、デバイスはDCM(不連続導通モード)での動作を開始します。フライバック・エラーアンプの最小スイッチ・オフ時間を許容しながら出力電流を低減することができます。VCが0Vのときの内部発振器の標準的な最小周波数は40kHzです。

アプリケーション情報

擬似 DC 理論

「ブロック図」の R_{REF} (R_4) と R_{FB} (R_3) は、出力電圧の設定に使用される外付け抵抗です。LT3512は、帰還情報をフライバック・パルスから得る特殊なエラーアンプを採用していることを除き、従来の電流モード・スイッチャと同様の動作をします。

動作は次のとおりです。出力スイッチ Q_1 がオフすると、コレクタ電圧が V_{IN} レールを上回ります。このフライバック・パルスの振幅(つまり、それと V_{IN} の間の差)は次式で与えられます。

$$V_{FLBK} = (V_{OUT} + V_F + I_{SEC} \cdot ESR) \cdot N_{PS}$$

V_F = D1 の順方向電圧

I_{SEC} = トランジスタの2次側電流

ESR = 2次側回路の全インピーダンス

N_{PS} = トランジスタの1次対2次の実効巻数比

R_{FB} と Q_2 はフライバック電圧を電流に変換します。この電流の大半は抵抗 R_{REF} を通って流れ、グランド基準の電圧を生じます。この結果得られる電圧がフライバック・エラーアンプへの入力になります。フライバック・エラーアンプは、2次側の巻線電流がゼロのとき電圧の情報をサンプリングします。バンドギャップ電圧(1.20V)がフライバック・エラーアンプのリファレンスとして機能します。

ループ全体の利得が比較的高いので、 R_{REF} の電圧はバンドギャップ・リファレンス電圧 V_{BG} にほぼ等しくなります。したがって、 V_{FLBK} と V_{BG} の関係はほぼ次のようにになります。

$$\left(\frac{V_{FLBK}}{R_{FB}}\right) = \frac{V_{BG}}{R_{REF}} \text{ または } V_{FLBK} = V_{BG} \left(\frac{R_{FB}}{R_{REF}}\right)$$

V_{BG} = 内部バンドギャップ・リファレンス

上式と前に得られた V_{FLBK} の結果を組み合わせると、次式が得られます。

$$V_{OUT} = V_{BG} \left(\frac{R_{FB}}{R_{REF}}\right) \left(\frac{1}{N_{PS}}\right) - V_F - I_{SEC} (ESR)$$

この式は V_{OUT} を内部リファレンス、設定抵抗、トランジスタの巻数比、およびダイオードの順方向電圧降下の項で表しています。さらに、これにはゼロではない2次側の出力インピーダンス(ESR)の影響が含まれています。バウンダリ制御モードでは、このインピーダンスの項の影響が最小になります。

温度補償

V_{OUT} の式の最初の項には温度依存性はありませんが、ダイオードの順方向電圧降下には大きな負の温度係数があります。これを補償するために、正の温度係数の電流源が R_{REF} ピンに接続されています。 T_C ピンからグランドに接続された抵抗によって補償電流が設定されます。

温度係数のキャンセル方法を次式に示します。

$$\frac{\delta V_F}{\delta T} = -\frac{R_{FB}}{R_{TC}} \cdot \frac{1}{N_{PS}} \cdot \frac{\delta V_{TC}}{\delta T} \quad \text{or,}$$
$$R_{TC} = -\frac{R_{FB}}{N_{PS}} \cdot \frac{1}{\delta V_F / \delta T} \cdot \frac{\delta V_{TC}}{\delta T} \approx \frac{R_{FB}}{N_{PS}}$$

$(\delta V_F / \delta T)$ = ダイオードの順方向電圧の温度係数

$(\delta V_{TC} / \delta T) = 2mV$

$V_{TC} = 0.55V$

この結果得られた R_{TC} の値を実験によって検証し、必要に応じて調整して全温度範囲にわたって最適なレギュレーションを達成します。

温度補償電流の追加により、出力電圧の式は以下のように修正されます。

$$V_{OUT} = V_{BG} \left(\frac{R_{FB}}{R_{REF}}\right) \left(\frac{1}{N_{PS}}\right) - V_F -$$
$$-\left(\frac{V_{TC}}{R_{TC}}\right) \cdot \frac{R_{FB}}{N_{PS}} - I_{SEC} (ESR)$$

出力電力

フライバック・コンバータは、降圧や昇圧に比べて、入力電流と出力電流の間に複雑な関係があります。昇圧は入力電圧に関係なく最大入力電流が比較的一定であり、降圧は入力電圧に関係なく最大出力電流が比較的一定です。これは2つの電流の振る舞いが連続しており切り替わらないからです。フライバック・コンバータでは入力電流と出力電流の両方が不連続なので、非絶縁型昇降圧コンバータに似たものになります。デューティ・サイクルが入力電流と出力電流に影響を与えるので、出力電力を予測するのは困難です。さらに、出力電流を増加させるため、スイッチ電圧が高くなることを代償に巻数比を変えることができます。

アプリケーション情報

図1～図4のグラフは、3.3V、5V、12V、および24Vの出力電圧に対して可能な標準最大出力電力を示しています。この最大出力電力曲線は、オフ時間の間のスイッチの電圧が100Vのときの計算によって得られた出力電力です。漏れ電圧スペイクに対して50Vのマージンが見込まれています。与えられた入力でこの電力レベルを実現するには、スイッチに100Vを印加する巻数比の値を計算する必要があり、半端な値の比になることがあります。以下の曲線は、一般的な巻数比の値と与えられた入力電圧での出力電力の大きさの例です。設計の一例は、最小入力電圧が36V、最大入力電圧が72Vの5V出力のコンバータです。4:1の巻数比がこの設計例に適合し、出力は72Vで3.0Wに近い値となりますが、36Vでは2.5Wまで減少します。

以下の式により出力電力が計算されます。

$$\text{電力} = \eta \cdot V_{IN} \cdot D \cdot I_{PEAK} \cdot 0.5$$

$$\text{効率} = \eta = \text{約} 83\%$$

$$\text{デューティ・サイクル} = D = \frac{(V_{OUT} + V_F) \cdot N_{PS}}{(V_{OUT} + V_F) \cdot N_{PS} + V_{IN}}$$

$$\text{ピーク・スイッチ電流} = I_{PEAK} = 0.44A$$

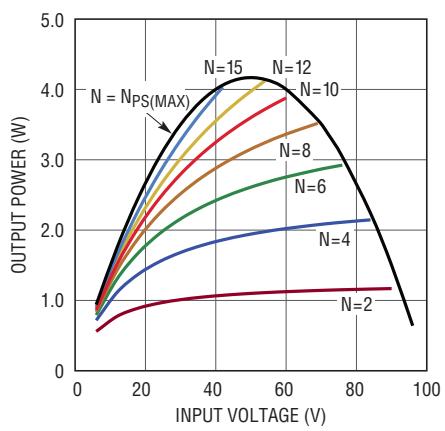


図1. 3.3V出力での出力電力

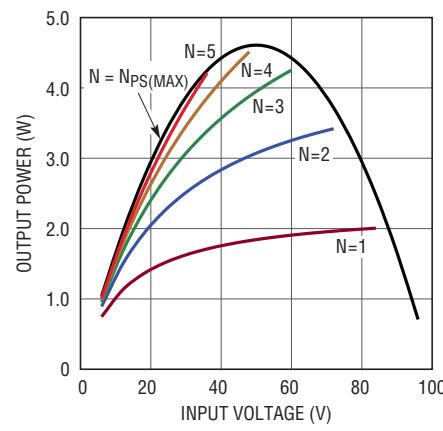


図3. 12V出力での出力電力

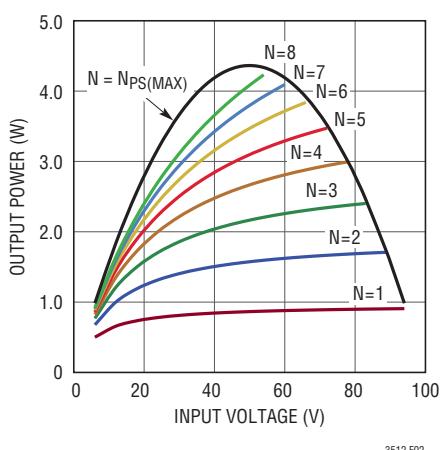


図2. 5V出力での出力電力

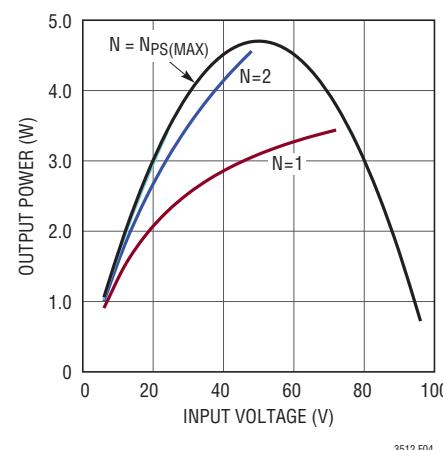


図4. 24V出力での出力電力

LT3512

アプリケーション情報

表1. 予め設計されたトランス

トランスの 製品番号	L _{PRI} (μH)	漏れインダク タンス(μH)	N _P :N _S :N _B	絶縁電圧(V)	飽和電流(mA)	メーカー	ターゲット・アプリケーション
750311559	175	1.5	4:1:1	1500	800	Würth Elektronik	48V～5V、0.5A 24V～5V、0.38A 12V～5V、0.2A 48V～3.3V、0.59A 24V～3.3V、0.48A 12V～3.3V、0.29A
750311573	200	2	6:1:2	1500	800	Würth Elektronik	24V～5V、0.45A 12V～5V、0.23A 48V～3.3V、0.7A 24V～3.3V、0.59A 12V～3.3V、0.33A
750311662	151	2	1:1:0.2	1500	800	Würth Elektronik	48V～24V、0.11A
750311661	150	1.85	2:1:0.66	1500	1.1A	Würth Elektronik	48V～15V、0.2A 48V～12V、0.22A 24V～15V、0.15A 12V～15V、0.075A
750311839	200	3	2:1:1	1500	800	Würth Elektronik	48V～±15V、0.1A 48V～±12V、0.11A 24V～±15V、0.075A
750311964	100	0.7	1:5:5	1500	900	Würth Elektronik	12V～±70V、0.007A 12V～±100V、0.005A 12V～±150V、0.004A
750311966	120	0.45	1:5:0.5	1500	900	Würth Elektronik	12V～+120V & -12V、0.005A
750311692	80	2	1:5:5	1500	1.0A	Würth Elektronik	12V ± 70V、0.007A
10396-T025	200	2.0	4:1:1.2	1500	800	Sumida	48V～5V、0.5A 24V～5V、0.38A 12V～5V、0.2A 48V～3.3V、0.59A 24V～3.3V、0.48A 12V～3.3V、0.29A
10396-T027	200	2.0	6:1:2	1500	800	Sumida	24V～5V、0.45A 12V～5V、0.23A 48V～3.3V、0.7A 24V～3.3V、0.59A 12V～3.3V、0.33A
01355-T058	125	2.0	1:1:0.2	1500	800	Sumida	48V～24V、0.11A
10396-T023	200	2.0	2:1:0.33	1500	800	Sumida	48V～15V、0.2A 48V～12V、0.22A 24V～15V、0.15A 12V～15V、0.075A
10396-T029	200	2.5	2:1:1	1500	800	Sumida	48V～±15V、0.1A 48V～±12V、0.11A 24V～±15V、0.075A
01355-T061	100	2	1:5:5	1500	800	Sumida	12V～±70V、0.007A 12V～±100V、0.005A 12V～±150V、0.004A

3512fb

アプリケーション情報

トランス設計の検討事項

LT3512をうまく使用できるかはトランスの適切な仕様と設計に依存します。高周波数用絶縁型電源トランスの設計に関する従来のガイドラインに加えて、以下の情報を注意深く検討してください。

リニアテクノロジーは、LT3512と一緒に使用するために予め設計されたフライバック・トランスを製造するため、主要な磁気部品メーカー数社と協力してきました。これらのトランスの詳細を表1に示します。

巻数比

出力電圧を設定するのに R_{FB}/R_{REF} の抵抗比を使用すると、与えられたアプリケーションに適したトランスの巻数比を比較的自由に選択できることに注意してください。対照的に、小さな整数の単純な比(1:1, 2:1, 3:2など)を使うと、全巻数と相互インダクタンスをもっと自由に設定できます。

一般に、トランスの巻数は利用可能な出力電力が最大になるように選択します。低い出力電圧(3.3Vや5V)では、1次巻数を2次巻数の複数倍にして、 $N:1$ の巻数比を使用し、トランスの電流利得(および出力電力)を最大にすることができます。ただし、SWピンには、最大入力電源電圧と、出力電圧に巻数比を乗じた電圧の和に等しい電圧が現れることに注意してください。さらに、漏れインダクタンスは、この反映された電圧の上に電圧スパイク($V_{LEAKAGE}$)を生じます。この全体の大きさは、内部パワー・スイッチの破損を防ぐため、SWピンの絶対最大定格より下に保つ必要があります。これらの条件を総合することによって、与えられたアプリケーションの巻数比(N)の上限が決まります。次式を満たすように十分小さな巻数比を選択します。

$$N < \frac{150V - V_{IN(MAX)} - V_{LEAKAGE}}{V_{OUT} + V_F}$$

$N:1$ の値が大きくなると、追加の電流を供給するため、また精确に出力電圧を測定するのに十分長いオフ時間を確保するのに十分大きなインダクタンスを与えるために、物理的サイズが大きなトランスが必要です。 $N:1$ の値が大きい場合、追加

の電流を供給するために物理的サイズが大きなトランスを選択します。さらに、出力電圧を測定するのに十分長いオフ時間を確保するのに十分大きなインダクタンスを選択します。

出力電力レベルが低い場合、トランスのサイズを絶対的に最小にするために、1:1または1:Nのトランスを選択します。1:Nのトランスは磁化インダクタンス(およびサイズ)を最小にしますが、同時に利用可能な出力電力を制限します。1:Nの巻数比を大きくすると、内部パワー・スイッチのブレーカダウン電圧を超えることなく非常に高い出力電圧が可能になります。

絶縁型帰還方式では巻数比が重要な要素の1つです。トランスのメーカーが $\pm 1\%$ 以内の巻数比の精度を保証していることを確認してください。

飽和電流

トランスの巻線の電流は定格飽和電流を超えてはなりません。コアが飽和すると注入されたエネルギーは、2次側に伝達されないのでコア内で消費されます。飽和電流の情報はトランスのメーカーから得られます。表1には、LT3512と一緒に使用するために設計されたトランスの飽和電流が示されています。

1次側インダクタンスの要件

LT3512は、スイッチ・ピンに反映された出力電圧から出力電圧の情報を得ます。2次巻線に電流が流れると、1次側の出力電圧に反映されます。サンプリング回路は、反映された出力電圧をセトリングさせてサンプリングするに最小400nsを必要とします。適切なサンプリングを行うためには、2次巻線に最小400nsの間電流を流す必要があります。以下の式から1次側磁化インダクタンスの最小値が与えられます。

$$L_{PRI} \geq \frac{t_{OFF(MIN)} \cdot N_{PS} \cdot (V_{OUT} + V_F)}{I_{PEAK(MIN)}}$$

$$t_{OFF(MIN)} = 400\text{ns}$$

$$I_{PEAK(MIN)} = 100\text{mA}$$

サンプリング時間に関する1次側インダクタンス要件の他に、LT3512には、スイッチのオン時間を100nsより短くするという

アプリケーション情報

内部回路の制約があります。その時間内にインダクタ電流が所期の電流リミットを超えると、電流制御ループがその制御能力を失って出力が発振する可能性があります。1次側励磁インダクタンスを選択するときは、最大入力電圧に基づいて以下の式にも従う必要があります。

$$L_{PRI} \geq \frac{t_{ON(MIN)} \cdot V_{IN(MAX)}}{I_{PEAK(MIN)}}$$

$$t_{ON(MIN)} = 100\text{ns}$$

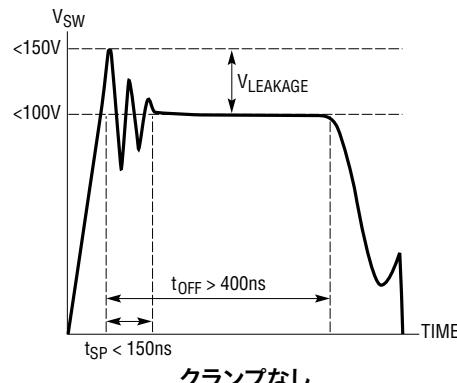
$$I_{PEAK(MIN)} = 100\text{mA}$$

漏れインダクタンスとクランプ回路

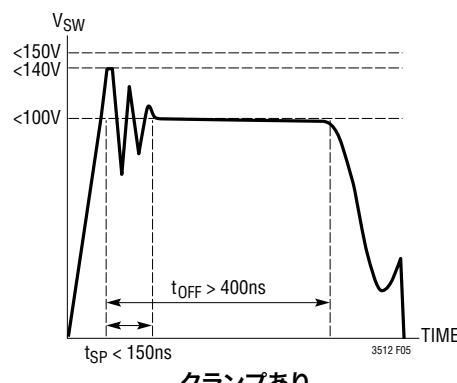
トランジストの漏れインダクタンスは1次側または2次側のどちらでも、出力スイッチがオフした後に1次側に電圧スパイクを発生させます。これは負荷電流が大きくなるほど顕著になり、より大きな蓄積エネルギーを消費しなければなりません。アプリケーションを設計する際には、漏れ電圧スパイクの影響に対して十分なマージンを確保します。ほとんどの場合、1次側に反映された出力電圧と V_{IN} の和は100V以下に保ちます。これにより、ライン条件および負荷条件にわたって漏れスパイクに対する少なくとも50Vのマージンが与えられます。巻数が不十分なトランジストや過度の漏れインダクタンスに対しては、さらに大きな電圧マージンが必要です。この点について図5に示します。トランジストの漏れインダクタンスを最小限に抑えます。

ほとんどのアプリケーションには、クランプ回路を推奨します。内部パワー・スイッチを保護可能な回路には、RCD（抵抗-コンデンサ-ダイオード）クランプとDZ（ダイオード-ツエナー）クランプの2種類があります。クランプ回路は、漏れインダクタンスに蓄積されたエネルギーを消費します。LT3512にはDZクランプを推奨します。DZクランプは設計しやすく、クランプ電圧が高く、電力レベルが低いので、好ましいソリューションです。さらに、DZクランプは明確に定まった一定のクランプ電圧を保証します。スイッチ波形へのクランプの効果を図5に、DZクランプの接続を図6に示します。

ダイオードとツエナー・ダイオードの両方を選択するときは十分な注意を払う必要があります。一般にショットキー・ダイオードが最適ですが、PNダイオードによっては（それが漏れインダクタンスによるスパイクを制限するのに十分速くオンするならば）使うことができます。逆電圧定格が最大入力電圧より高いダイオードを選択します。ツエナー・ダイオードのブレークダウン電圧は、電力損失とスイッチ電圧の保護のバランスがとれ



クランプなし



クランプあり

図5.SWピンのフライバック波形の最大電圧

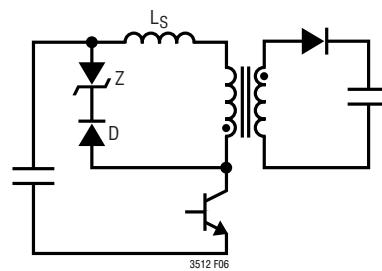


図6.DZ クランプ

るよう選択します。最善の妥協は、最も高いブレークダウン電圧を選択することです。次式を使って適切な選択をします。

$$V_{ZENER(\text{MAX})} \leq 150V - V_{IN(\text{MAX})}$$

最大入力電圧が72Vのアプリケーションでは、 $V_{ZENER(\text{MAX})}$ が（78Vの最大値より低い）72Vの68Vの V_{ZENER} を選択します。

アプリケーション情報

クランプの電力損失によってツェナー・ダイオードの電力定格が決まります。クランプの電力損失は、最大負荷と最小入力電圧のときに最大になります。スイッチ電流は、漏れインダクタンスに蓄積されたエネルギーとともに、この時点で最大になります。最大のV_{ZENER}を選択した場合、0.5Wのツェナーがほとんどのアプリケーションの要件を満たします。V_{ZENER}に小さな値を選択すると、次式に示すように、過度の電力損失を生じます。

$$\text{DZ Power Loss} = \frac{1}{2} \cdot L_{\ell} \cdot I_{PK(VIN(MIN))}^2 \cdot f_{SW} \cdot \left(1 + \frac{N_{PS} \cdot (V_{OUT} + V_F)}{V_{ZENER} - N_{PS} \cdot (V_{OUT} + V_F)} \right)$$

L_{ℓ} = Leakage Inductance

$$I_{PK(VIN(MIN))} = \frac{V_{OUT} \cdot I_{OUT} \cdot 2}{\eta \cdot V_{IN(MIN)} \cdot D_{VIN(MIN)}}$$

$$f_{SW} = \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{L_{PRI} \cdot I_{PK(VIN(MIN))} + \frac{L_{PRI} \cdot I_{PK(VIN(MIN))}}{N_{PS} \cdot (V_{OUT} + V_F)}}$$

推奨するダイオードおよびツェナー・ダイオードのいくつかを、表2および表3に示します。

表2. 推奨するツェナー・ダイオード

部品	V _{ZENER} (V)	電力(W)	ケース	メーカー
MMSZ5266BT1G	68	0.5	SOD-123	On Semi
MMSZ5270BT1G	91	0.5	SOD-123	
CMHZ5266B	68	0.5	SOD-123	Central Semiconductor
CMHZ5267B	75	0.5	SOD-123	
BZX84J-68	68	0.5	SOD323F	NXP
BZX100A	100	0.5	SOD323F	

表3. 推奨するダイオード

部品	I (A)	V _{REVERSE} (V)	メーカー
DFLS1200	1.0	200	Diodes Inc.
DFLS1150	1.0	150	

漏れインダクタンスのブランディング

パワー・スイッチがオフすると、フライバック・パルスが発生します。ただし、トランスの1次側の電圧波形が出力電圧に近くな

るまでには、ある有限の時間が経過します。SWノードの立ち上がり時間とトランスの漏れインダクタンスによって遅延が生じます。漏れインダクタンスは、トランスの1次側に非常に高速の電圧スパイクも生じます。漏れスパイクの振幅は、パワー・スイッチの電流が最大のときに最も大きくなります。スイッチのターンオフとサンプリングの開始の間に内部固定遅延を設けて、前述の現象に対する耐性をもたらせます。LT3512では、内部ブランディングが150nsに設定されています。場合によっては、漏れインダクタンスによるスパイクが内部ブランディングより長く続くことがあります、出力のレギュレーションに大きく影響することはありません。

2次側漏れインダクタンス

1次側漏れインダクタンスに加えて、2次側漏れインダクタンスがアプリケーションの設計に重要な影響を与えます。2次側漏れインダクタンスは、トランスの2次側に誘導性分割器を形成します。誘導性分割器は1次側換算のフライバック・パルスの大きさを実効的に減らします。フライバック・パルスが小さくなると、安定化出力電圧が高くなります。2次側漏れインダクタンスの誘導性分割器の影響は負荷に依存しません。2次側漏れインダクタンスが(製造時のばらつきも含めて)相互インダクタンスの一定の割合である限り、R_{FB}/R_{REF}比を調整してこの影響に対応することができます。

巻線抵抗の影響

1次側と2次側のどちらの抵抗成分も全体の効率(P_{OUT}/P_{IN})を低下させます。LT3512のバウンダリ・モード動作により、十分な出力電圧レギュレーションが巻線抵抗に関係なく維持されます。

バイファイラ巻き

バイファイラ巻きや同様の巻線手法は、漏れインダクタンスの問題を最小限に抑えるのに有効です。ただし、これは1次側-2次側間の静電容量も増やして1次側-2次側間のブレーカダウン電圧を制限するので、バイファイラ巻きが常に実用的であるとは限らないことに注意してください。リニアテクノロジーのアプリケーション・グループがトランスの選択や設計をお手伝いします。

アプリケーション情報

アプリケーション設計の検討事項

反復設計手順

LT3512は、絶縁された出力電圧を安定化するのに独自のサンプリング手法を使用しています。この絶縁手法を使用するには、帰還抵抗と温度補償抵抗を選択するシンプルな反復手順が必要です。帰還抵抗と温度補償抵抗の値は、選択されたアプリケーション、トランスおよび出力ダイオードに大きく依存します。

反復手順を通して抵抗値が定まるごとに、この値が選択されたトランスと出力ダイオードとともに一定の出力電圧を生成します。トランスの巻数比が $\pm 1\%$ 以内に保証されていなければならない点に注意してください。このデータシートに記載されたトランスのメーカーでは、この規格に従ったトランスの製造が可能です。

R_{FB}とR_{REF}の抵抗値の選択

以下のセクションにR_{FB}およびR_{REF}の値を設定する式を示します。この式は目安にすぎません。「設計手順」で概説した手順に従い、反復設計手順を使ってR_{FB}、R_{REF}およびR_{TC}の正確な値を設定します。

「動作」のセクションで導き出した、「温度補償」のセクションのV_{OUT}の式を整理すると、R_{FB}が以下のように表されます。

$$R_{FB} = \frac{R_{REF} \cdot N_{PS} [(V_{OUT} + V_F) + V_{TC}]}{V_{BG}}$$

ここで、

V_{OUT} = 出力電圧

V_F = スイッチング・ダイオードの順方向電圧

N_{PS} = 1次対2次の実効巻数比

V_{TC} = 0.55V

この式は以下を仮定しています。

$$R_{TC} = \frac{R_{FB}}{N_{PS}}$$

式はダイオードとV_{TC}の温度係数が等しいと仮定していますが、これは十分な1次近似です。

厳密にいえば、上式はR_{FB}を絶対値としてではなくR_{REF}の比として定義しています。したがって、次の問題は、何がR_{REF}の適切な値かということになります。「R_{REF}は約10kにする」が答えです。LT3512はR_{REF}のこの値を使って調整され、仕様が規定されています。R_{REF}のインピーダンスが10kから大きく変化すると、追加の誤差が生じます。ただし、数パーセントのR_{REF}のばらつきは許容できます。したがって、公称R_{FB}/R_{REF}比を実現するのに、標準の1%抵抗値を選択すれば問題ありません。

低電圧ロックアウト(UVLO)

V_{IN}ピンからEN/UVLOピンに抵抗分割器を接続することによって低電圧ロックアウト(UVLO)が実現されます。この構成

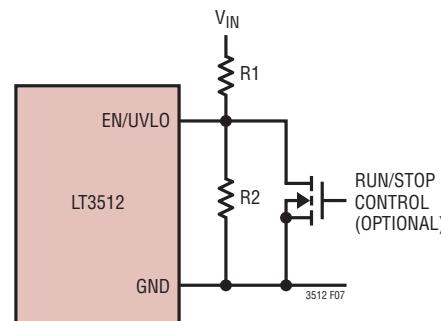


図7. 低電圧ロックアウト(UVLO)

を図7に示します。EN/UVLOピンのスレッショルドは1.21Vに設定されています。また、EN/UVLOピンの電圧が1.21Vより低いと、このピンに2.6 μAが流れます。この電流はR1の値に基づいてユーザーが設定可能なヒステリシスを与えます。実効UVLOスレッショルドは以下のようになります。

$$V_{IN(UVLO,RISING)} = \frac{1.2V \cdot (R1+R2)}{R2} + 2.6\mu A \cdot R1$$

$$V_{IN(UVLO,FALLING)} = \frac{1.2V \cdot (R1+R2)}{R2}$$

図7は、UVLO機能を使って外部シャットダウン制御を行う回路も示しています。NMOSをオンするとEN/UVLOピンが接地され、LT3512がシャットダウン状態になって消費電流が1μA未満になります。

アプリケーション情報

最小負荷の要件

LT3512はフライバック・パルスを使って出力電圧の情報を得ます。スイッチがオフして2次巻線に電流が流れると、フライバック・パルスが発生します。出力電圧を安定化させるため、LT3512はフライバック・パルスをサンプリングする必要があります。LT3512は、軽負荷状態のときも最小量のエネルギーを供給して出力電圧の正確な情報を得ます。最小量のエネルギーを供給するには、個々のアプリケーションに応じて20mA～25mAの最小負荷が必要になります。各アプリケーションの最小負荷要件を検証してください。予め最小負荷を与えることが許容できない場合、ツエナー・ブレーカダウン電圧が出力電圧より20%高いツエナー・ダイオードを最小負荷として使用できます。出力電圧が5Vの場合には、6Vのツエナー・ダイオードを(カソードを出力に接続して)使用します。

BIASピンに関する検討事項

BIASピンはLT3512の内部回路に電力を供給します。BIASピンを安定化するために3つの異なる構成があります。1つの構成では、内部LDOを介してVIN電源からBIASピンを内部でドライブします。2つ目の構成では、VIN電源をBIASピンに直接接続し、内部LDOを迂回して、VIN電源がBIASピンを直接ドライブします。この構成では、デバイスは最小4.5V、最大15Vで動作することができます。3つ目の構成では、外部電源または3次巻線がBIASピンをドライブします。入力電源より低い電源が存在するときは、このオプションを使用します。内部LDOをディスエーブルするには、3.3Vより高い電源でBIASピンをドライブします。電源電圧を低くすると、内部回路の電源効率が向上します。

3次巻線によるBIASピンのオーバードライブ

LT3512はオプトカプラや3次巻線を必要とせずに優れた出力電圧の安定化を実現しますが、入力電圧が高い(>20V)アプリケーションの中には、新たな巻線(多くの場合3次巻線と呼ばれる)を追加してシステム全体の効率を向上できるものがあります。3次巻線は出力が3.3V～12Vの電圧になるように設計します。48V入力の標準的なアプリケーションでは、BIASピンをオーバードライブすると、効率が4%～5%向上します。

ループ補償

LT3512は、抵抗とコンデンサのネットワークをVCピンに使って補償します。標準的な補償値は $R_C = 15k$ および $C_C = 4.7nF$ の近辺です(他の可能な値については「標準的応用例」のセクションの各種回路を参照)。安定性と許容可能な過渡応答を実現するには、 R_C と C_C の両方を選択することが重

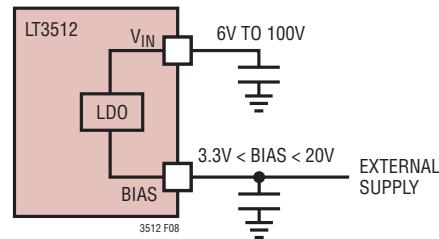
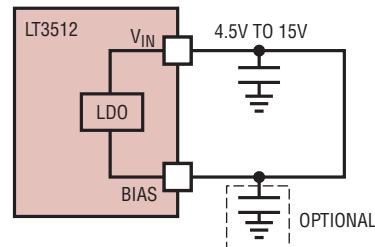
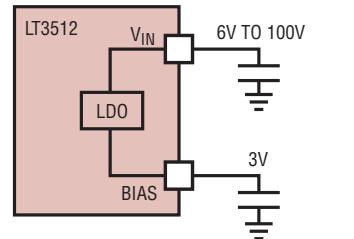


図8.BIASピンの構成

要です。たとえば、 R_C が大きすぎると、高周波ノイズとジッタの影響を受けやすくなります。これに対して、 R_C が小さすぎると、過渡性能が影響を受けます。 C_C の値に関してはこれと逆になります。 C_C が大きすぎると過渡応答が影響を受け、 C_C が小さすぎると不安定になります。 R_C および C_C の実際の値は、アプリケーションとトランジスタの選択によって異なります。基板レベルの評価と過渡応答性能で個々の選択を検証してください。

設計手順/設計例

LT3512のアプリケーションを設計するための目安として、以下の設計手順を使用します。独自のサンプリング・アーキテクチャは適切な抵抗値を選択するための反復手順を必要とすることに注意してください。

この設計例では、200mAの負荷電流と36V～72Vの入力範囲で15V出力を設計します。

$$V_{IN\ (MIN)} = 36V, V_{IN\ (NOM)} = 48V, V_{IN\ (MAX)} = 72V, \\ V_{OUT} = 15V \text{ および } I_{OUT} = 200mA$$

アプリケーション情報

ステップ1:トランスの巻数比を選択します。

$$N_{PS} < \frac{V_{SW(MAX)} - V_{IN(MAX)} - V_{LEAKAGE}}{V_{OUT} + V_F}$$

$V_{SW(MAX)}$ = 内部スイッチの最大定格 = 150V

$V_{LEAKAGE}$ = トランスの漏れスパイクのマージン = 40V

V_F = 出力ダイオードの順方向電圧 = 約 0.5V と仮定

例:

$$N_{PS} < \frac{150V - 72V - 40V}{15V + 0.5V}$$

$$N_{PS} < 2.45$$

$$N_{PS} = 2$$

「出力電力」のセクションで説明したように、出力電力を決定するときは巻数比の選択が重要です。この時点で、効率を向上させるため、トランスに3次巻線を追加してLT3512のBIASピンをドライブすることができます。効率を最大にするには、3次巻線の電圧を3.3V～6Vに安定化させる巻数比を選択します。

BIAS巻線を5Vでドライブする3次巻線の巻数比を選択します。
(オプション)

例:

$$\frac{N_{THIRD}}{N_S} = \frac{V_{THIRD}}{V_{OUT}} = \frac{5V}{15V} = 0.33$$

トランスの巻数比を次のように選択します。NPRIMARY :
NSECONDARY : NTHIRD = 2:1:0.33

ステップ2:最小 V_{IN} での最大出力電力を計算します。

$$P_{OUT}(V_{IN(MIN)}) = \eta \cdot V_{IN(MIN)} \cdot I_{IN} = \eta \cdot V_{IN(MIN)} \cdot D \cdot I_{PEAK} \cdot 0.5$$

$$D = \frac{(V_{OUT} + V_F) \cdot N_{PS}}{(V_{OUT} + V_F) \cdot N_{PS} + V_{IN(MIN)}}$$

η = 効率 = 約 83%

I_{PEAK} = ピーク・スイッチ電流 = 0.44A

例:

$$D = 0.46$$

$$P_{OUT}(V_{IN(MIN)}) = 3W$$

$$I_{OUT}(V_{IN(MIN)}) = P_{OUT}(V_{IN(MIN)}) / V_{OUT} = 0.2A$$

選択した巻数比は200mAの出力電流要件を満たします。出力電流が小さすぎると、最小入力電圧が高めに調整される可能性があります。スイッチ電圧要件と漏れインダクタンスによる電圧スパイクのマージンが与えられると、この例の巻数比の値が最大に設定されます。

ステップ3:1次側インダクタンス、スイッチング周波数、および飽和電流を決定します。

最小オフ時間の要件を満たすため、トランスの1次側インダクタンスは最小値より大きい値に設定する必要があります。

$$L_{PRI} \geq \frac{t_{OFF(MIN)} \cdot N_{PS} \cdot (V_{OUT} + V_F)}{I_{PEAK(MIN)}}$$

$$t_{OFF(MIN)} = 400ns$$

$$I_{PEAK(MIN)} = 100mA$$

$$L_{PRI} \geq \frac{t_{ON(MIN)} \cdot V_{IN(MAX)}}{I_{PEAK(MIN)}}$$

$$t_{ON(MIN)} = 100ns$$

$$I_{PEAK(MIN)} = 100mA$$

例:

$$L_{PRI} \geq \frac{400ns \cdot 2 \cdot (15 + 0.5)}{0.1}$$

$$L_{PRI} \geq 124\mu H$$

$$L_{PRI} \geq \frac{100ns \cdot 72}{0.1}$$

$$L_{PRI} \geq 72\mu H$$

アプリケーション情報

さらに、1次側インダクタンスはスイッチング周波数も決定します。

$$f_{SW} = \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{\frac{L_{PRI} \cdot I_{PEAK}}{V_{IN}} + \frac{L_{PRI} \cdot I_{PEAK}}{N_{PS} \cdot (V_{OUT} + V_F)}}$$

$$I_{PEAK} = \frac{V_{OUT} \cdot I_{OUT} \cdot 2}{\eta \cdot V_{IN} \cdot D}$$

例：

48Vの公称 V_{IN} でのスイッチング周波数を計算することにします。

$$D = \frac{(15+0.5) \cdot 2}{(15+0.5) \cdot 2 + 48} = 0.39$$

$$I_{PEAK} = \frac{15V \cdot 0.2A \cdot 2}{0.83 \cdot 48V \cdot 0.39} = 0.39A$$

$L_{PRI} = 200\mu H$ を選択することにします。ほとんどのトランジスタでは、1次側インダクタンスの許容誤差が $\pm 20\%$ に規定されていることに注意してください。

$$f_{SW} = 240\text{kHz}$$

最後に、トランジスタはライン条件および負荷条件に対して適切な飽和電流レベルに定格が定められている必要があります。与えられた例では、スイッチ電流のワーストケースの条件は最小 V_{IN} および最大負荷のときに生じます。

$$I_{PEAK} = \frac{V_{OUT} \cdot I_{OUT} \cdot 2}{\eta \cdot V_{IN} \cdot D}$$

$$I_{PEAK} = \frac{15V \cdot 0.2A \cdot 2}{0.83 \cdot 36V \cdot 0.46} = 0.44A$$

飽和電流が定常状態の動作条件、起動条件および過渡条件を満たしていることを確認します。これらの条件を満たすには、定常状態の計算値より 50% 以上大きな飽和電流を選択します。この例では、700mA ~ 800mA の範囲の飽和電流を選択しています。

予め設計されたフライバック・トランジスタのリストを表 1 に示します。このアプリケーションでは、Sumida の 10396-T023 トランジスタを使用します。

ステップ 4: 適切な出力ダイオードを選択します。

出力ダイオードの 2 つの主要な選択基準は、順方向電流定格と逆電圧定格です。最大負荷要件は、出力ダイオードの平均電流の 1 次推定値として使えます。さらに良い推定値は RMS 電流です。

$$I_{RMS} = I_{PEAK(VIN(MIN))} \cdot N_{PS} \cdot \sqrt{\frac{1 - D_{VIN(MIN)}}{3}}$$

例：

$$I_{RMS} = 0.44 \cdot 2 \cdot \sqrt{\frac{1 - 0.46}{3}} = 0.37A$$

次に、最大 V_{IN} を使って逆電圧要件を計算します。

$$V_{REVERSE} = V_{OUT} + \frac{V_{IN(MAX)}}{N_{PS}}$$

例：

$$V_{REVERSE} = 15V + \frac{72V}{2} = 51V$$

Diodes 社の 60V/1.0A ダイオード (DFLS160) を使用します。

ステップ 5: 出力コンデンサを選択します。

出力コンデンサは出力電圧リップルが最小になるように選択し、大容量のコンデンサの場合は、サイズとコストのトレードオフをバランスさせます。公称 V_{IN} では以下の式を使用します。

$$C = \frac{I_{OUT} \cdot D}{\Delta V_{OUT} \cdot f_{SW}}$$

例：

リップル・レベルが 50mV 以下になるように設計します。

$$C = \frac{0.2A \cdot 0.39}{0.05V \cdot 240\text{kHz}} = 6.5\mu F$$

22μF/25V の出力コンデンサを選択します。セラミック・コンデンサは印加電圧によって容量が減少することに注意してください。容量は、最大電圧定格のときに想定される容量の 40% まで減少する可能性があります。

アプリケーション情報

ステップ6: クランプ回路を設計します。

クランプ回路は、漏れインダクタンスによるスパイクからスイッチを保護します。DZクランプがクランプ回路に適しています。ツェナーとダイオードを選択する必要があります。

ツェナーの最大値は最大 V_{IN} に従って設定します。

$$V_{ZENER\ (MAX)} \leq 150V - V_{IN\ (MAX)}$$

例:

$$V_{ZENER\ (MAX)} \leq 150V - 72V$$

$$V_{ZENER\ (MAX)} \leq 78V$$

また、前に説明したように、クランプ回路の電力損失はクランプ電圧に反比例します。クランプ電圧が高くなると、電力損失が小さくなります。

最大電圧が72Vの68Vツェナーが最適な保護を行い、電力損失を最小限に抑えます。0.5Wのツェナーが、LT3512を含むほとんどのクランプ・アプリケーションの要件を満たします。電力損失は、「漏れインダクタンスとクランプ回路」のセクションに示されている式を使って計算できます。

選択するツェナーはOn Semiconductorの68V/0.5Wツェナー(MMSZ5266BT1G)です。

高速で逆ブレークダウン電圧が十分なダイオードを選択します。

$$V_{REVERSE} > V_{SW\ (MAX)}$$

$$V_{SW\ (MAX)} = V_{IN\ (MAX)} + V_{ZENER\ (MAX)}$$

例:

$$V_{REVERSE} > 140V$$

ダイオードは、スイッチの0.45Aと算出されたピーク・スイッチ電流を処理する必要があります。Diodes社の200V/1.0Aダイオード(DFLS1200)を選択します。

ステップ7: 補償。

補償は、設計手順の最後の方で最適化します。VCノードからグランドに抵抗とコンデンサを接続します。15kの抵抗と4.7nFのコンデンサを使用します。

ステップ8: R_{FB} 抵抗と R_{TC} 抵抗を選択します。

次式を使って R_{FB} と R_{TC} の出発点の値を選択します。 R_{REF} を10kに設定します。

$$R_{FB} = \frac{(V_{OUT} + V_f + 0.55V) \cdot N_{PS} \cdot R_{REF}}{1.2V}$$

$$R_{REF} = 10k$$

$$R_{TC} = \frac{R_{FB}}{N_{PS}}$$

例:

$$R_{FB} = \frac{(15 + 0.5 + 0.55V) \cdot 2 \cdot 10k}{1.2V} = 267k$$

$$R_{TC} = \frac{267k}{2} = 133k$$

ステップ9: 出力電圧に基づいて R_{FB} を調整します。

実際に部品を接続したアプリケーションを起動して、安定化された出力電圧を測定します。測定された出力電圧に基づいて R_{FB} を再調整します。

$$R_{FB\ (NEW)} = \frac{V_{OUT}}{V_{OUT\ (MEAS)}} \cdot R_{FB\ (OLD)}$$

例:

$$R_{FB\ (NEW)} = \frac{15V}{16.7V} \cdot 267k = 237k$$

ステップ10: R_{TC} を取り去って、全温度範囲で出力電圧を測定します。

炉のような温度が管理された環境で出力電圧を測定し、出力の温度係数を求めます。全動作温度範囲で、一定の負荷電流および入力電圧での出力電圧を測定します。この手順により、全温度範囲でライン・レギュレーションとロード・レギュレーションが最適化されます。

V_{OUT} の温度係数を計算します。

$$\frac{\Delta V_{OUT}}{\Delta Temp} = \frac{V_{OUT\ (HOT)} - V_{OUT\ (COLD)}}{T_{HOT}^{\circ C} - T_{COLD}^{\circ C}}$$

アプリケーション情報

例：

200mAと48V入力で測定されたV_{OUT}

$$\frac{\Delta V_{OUT}}{\Delta Temp} = \frac{15.42V - 15.02V}{125^{\circ}C - (-50^{\circ}C)} = 2.26mV/^{\circ}C$$

ステップ11：R_{TC}の新しい値を計算します。

$$R_{TC(NEW)} = \frac{R_{FB}}{N_{PS}} \cdot \frac{1.85mV/^{\circ}C}{\frac{\Delta V_{OUT}}{\Delta Temp}}$$

例：

$$R_{TC(NEW)} = \frac{237k}{2} \cdot \frac{1.85}{2.26} = 97.6k$$

ステップ12：R_{TC}に新しい値を設定してV_{OUT}を測定し、R_{TC}の変更によるR_{FB}の再調整を行います。

$$R_{FB(NEW)} = \frac{V_{OUT}}{V_{OUT(MEAS)}} \cdot R_{FB(OLD)}$$

例：

$$R_{FB(NEW)} = \frac{15V}{14.7V} \cdot 237k = 243k$$

ステップ13：全温度範囲でR_{FB}およびR_{TC}の新しい値を検証します。

R_{TC}を接続し、全温度範囲で出力電圧を測定します。

ステップ14：補償を最適化します。

R_{FB}およびR_{TC}の値が定まったので、補償を最適化します。補償は、出力の負荷ステップの過渡応答に対して最適化します。全負荷範囲で過渡応答をチェックします。

例：

アプリケーションの最適な補償は次のようにになります。

$$R_C = 18.7k, C_C = 4.7nF$$

ステップ15：最小負荷を確保します。

最大入力電圧での最小負荷要件をチェックします。コンバータが出力で消費されるよりも大きなエネルギーを供給することによって出力電圧が上昇し始める時点での最小負荷になります。

例：

入力電圧が72Vのときの最小負荷は

11mAです。

ステップ16：EN/UVLO抵抗の値。

必要なヒステリシスの大きさを決定します。

$$\text{電圧ヒステリシス} = 2.6\mu A \cdot R1$$

例：

2Vのヒステリシスを選択します。

$$R1 = \frac{2V}{2.6\mu A} = 768k$$

UVLOのスレッショルドを決定します。

$$V_{IN(UVLO,FALLING)} = \frac{1.2V \cdot (R1 + R2)}{R2}$$

$$R2 = \frac{1.2V \cdot R1}{V_{IN(UVLO,FALLING)} - 1.2V}$$

UVLOの下降時スレッショルドを30Vに設定します。

$$R2 = \frac{1.2V \cdot 768k}{30V - 1.2V} = 32.4k$$

$$V_{IN(UVLO,FALLING)} = \frac{1.2V \cdot (R1 + R2)}{R2}$$

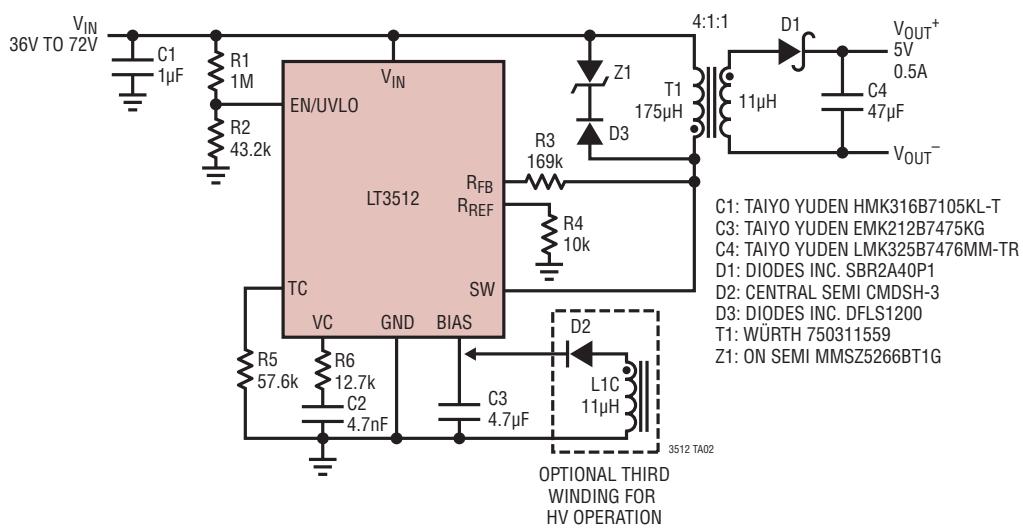
$$= \frac{1.2V \cdot (768k + 32.4k)}{32.4k} = 30V$$

$$V_{IN(UVLO,RISING)} = V_{IN(UVLO,FALLING)} + 2.6\mu A \cdot R1 = 30V + 2.6\mu A \cdot 768k = 32V$$

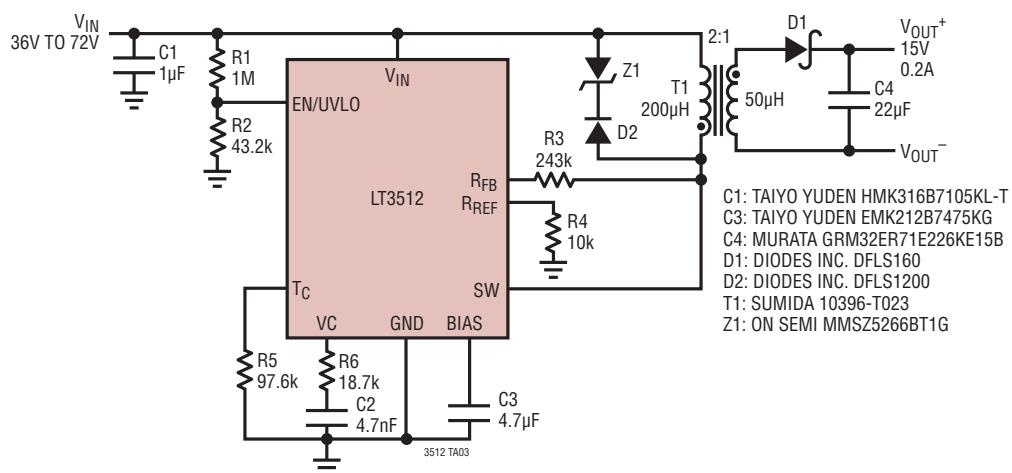
LT3512

標準的応用例

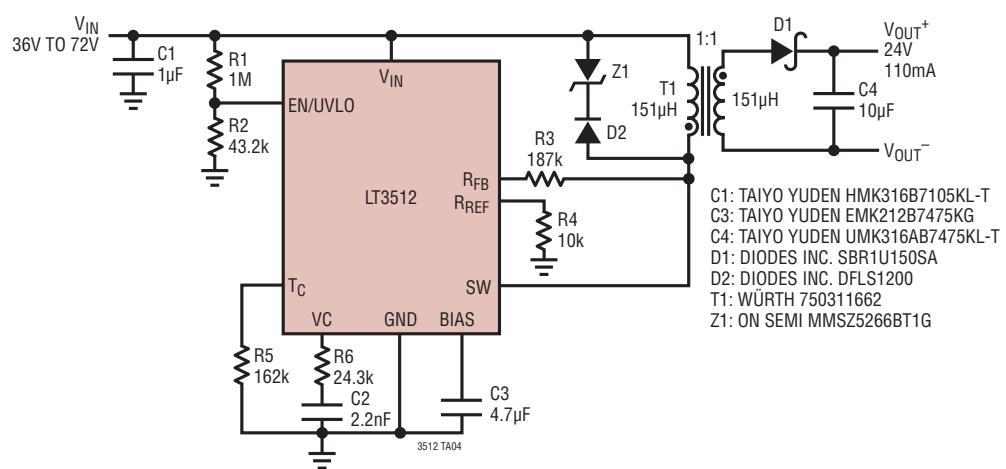
48Vから5Vの絶縁型フライバック・コンバータ



48Vから15Vの絶縁型フライバック・コンバータ

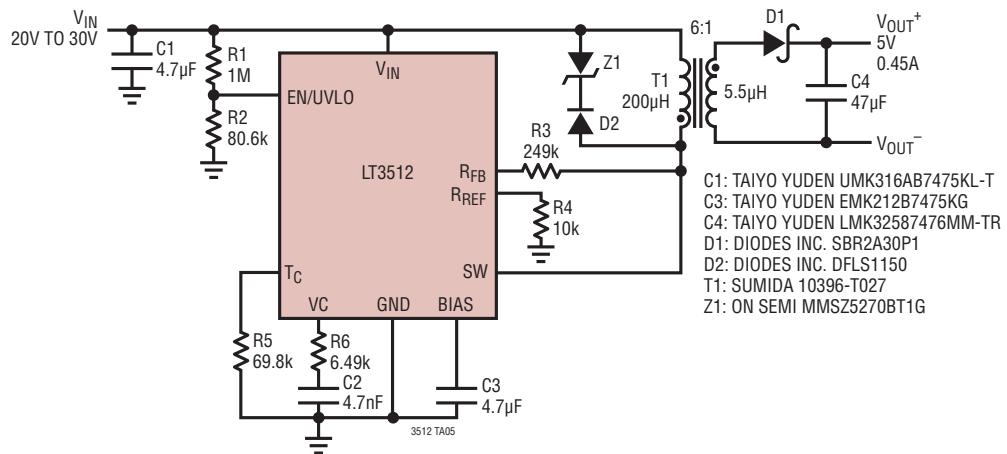


48Vから24Vの絶縁型フライバック・コンバータ

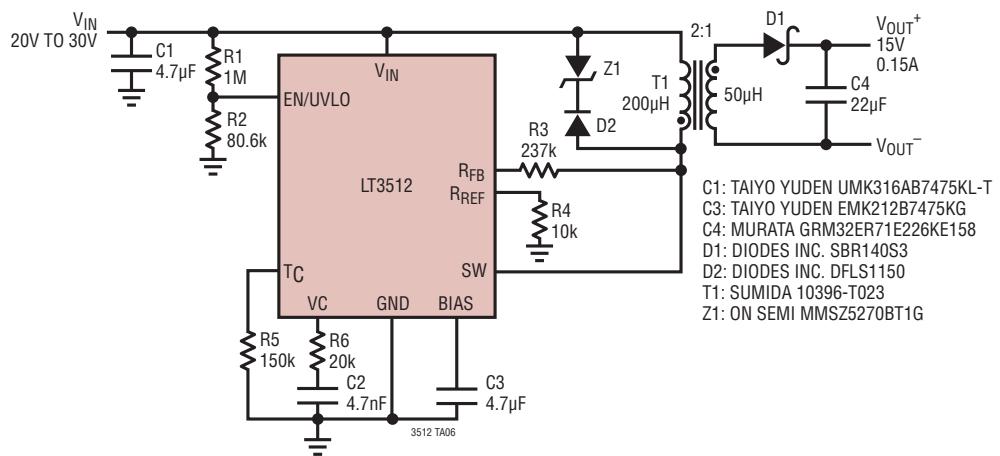


標準的応用例

24Vから5Vの絶縁型フライバック・コンバータ



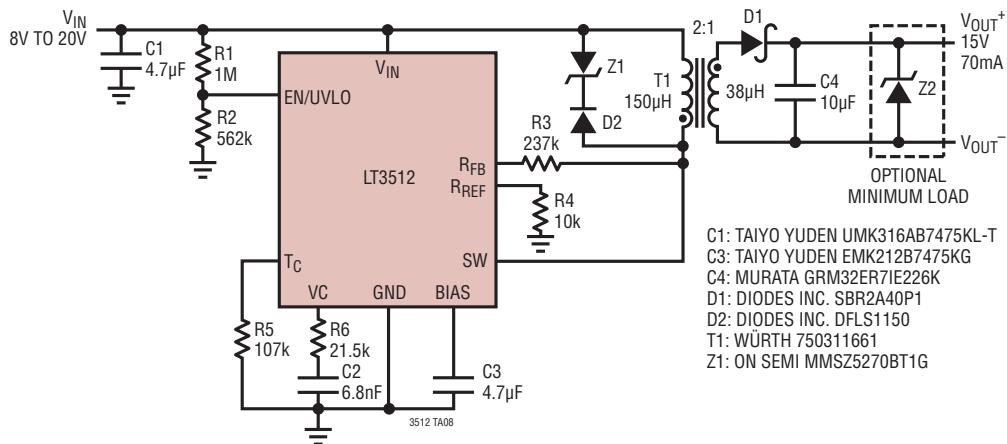
24Vから15Vの絶縁型フライバック・コンバータ



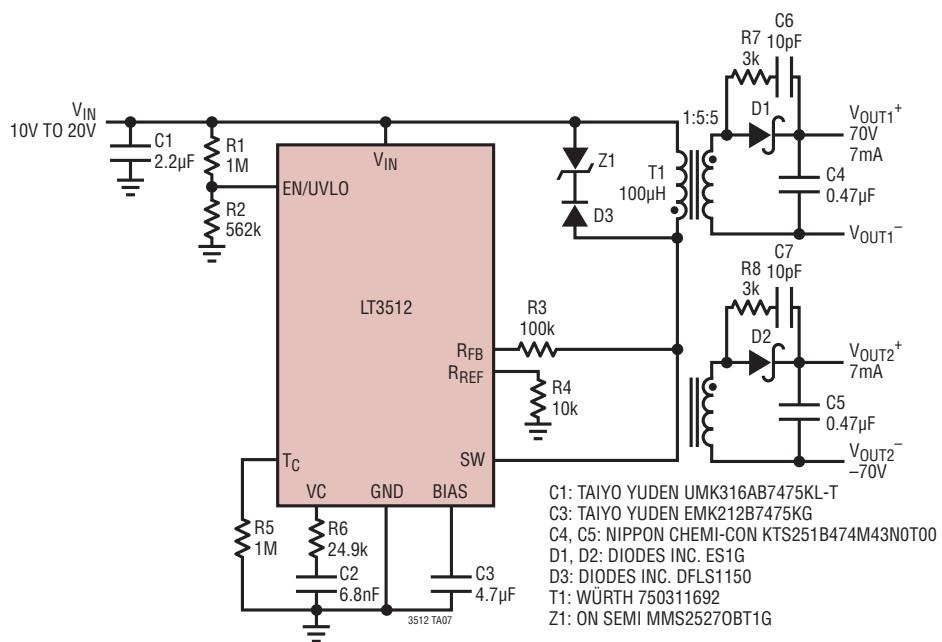
LT3512

標準的応用例

12Vから15Vの絶縁型フライバック・コンバータ

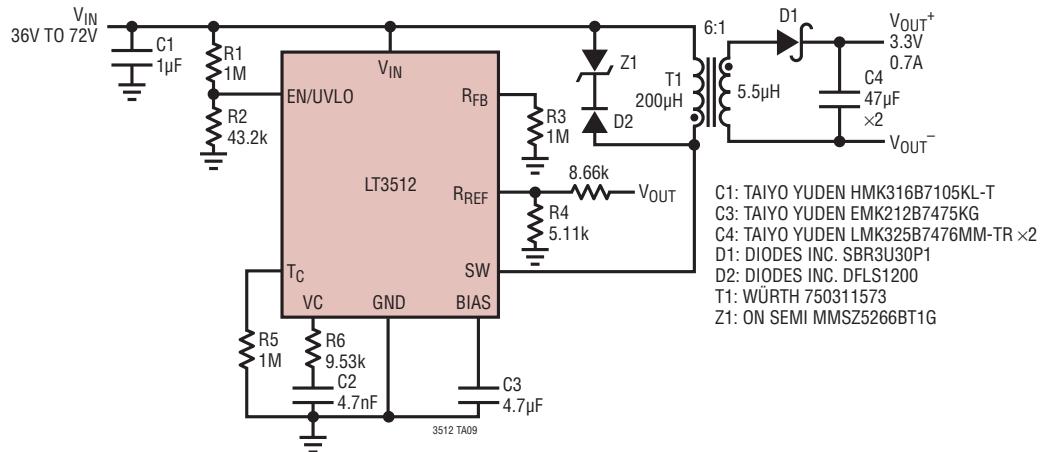


12Vから±70Vの絶縁型フライバック・コンバータ

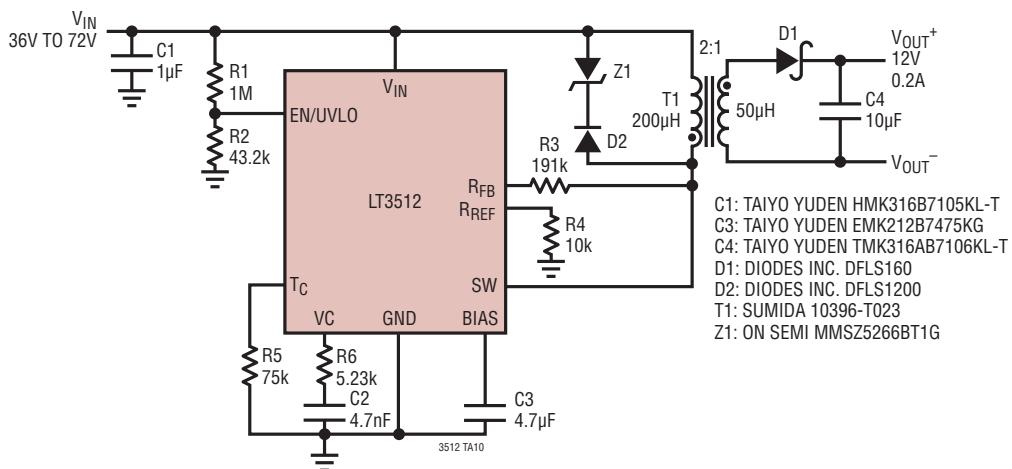


標準的応用例

48Vから3.3Vの非絶縁型フライバック・コンバータ



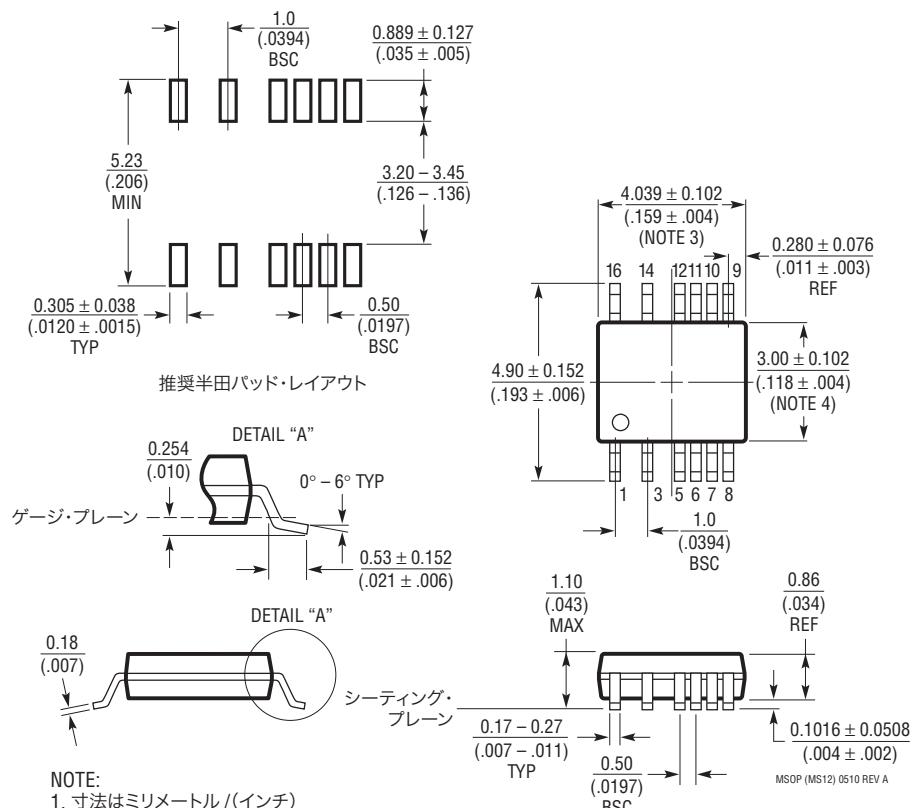
48Vから12Vの絶縁型フライバック・コンバータ



パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

**MSパッケージ
バリエーション: MS16 (12)
16ピン・プラスチック MSOP (4本のピンを除去)
(Reference LTC DWG # 05-08-1847 Rev A)**



NOTE:

- 寸法はミリメートル / (インチ)
- 図は実寸とは異なる
- 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
モールドのバリ、突出部、またはゲートのバリは各サイドで 0.152mm (.006") を超えないこと
- 寸法には、リード間のバリまたは突出部を含まない
リード間のバリまたは突出部は各サイドで 0.152mm (.006") を超えないこと
- リードの平坦度(成形後のリードの底面)は最大 0.102mm (.004") であること

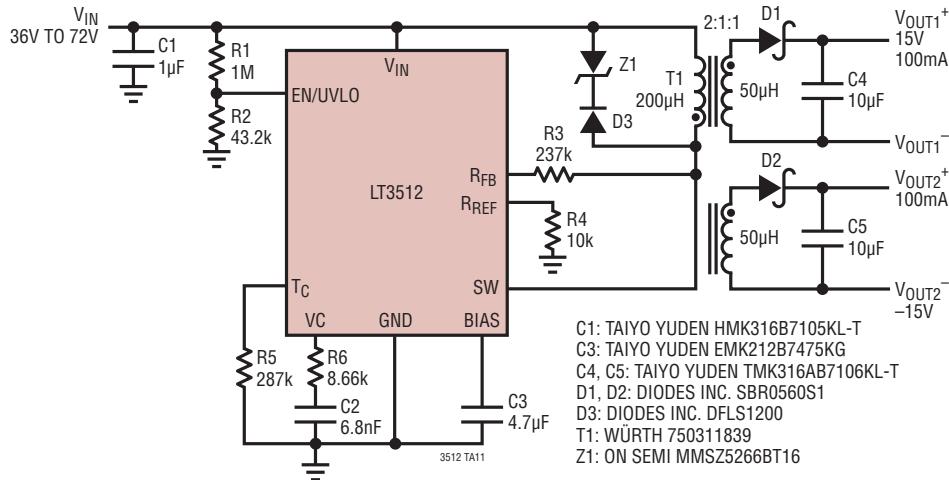
改訂履歴

REV	日付	説明	ページ番号
A	9/11	MPグレードを追加し、データシート全体に反映	1～26
B	11/11	絶対最大定格の改訂 標準的応用例の図 TA07とTA08の小修正	2 22, 23

LT3512

標準的応用例

48Vから±15Vの絶縁型フライバック・コンバータ



関連製品

製品番号	説明	注釈
LT3511	モノリシック、高電圧、絶縁型フライバック・コンバータ	4.5V ≤ V _{IN} ≤ 100V、240mA/150V のパワー・スイッチを内蔵、高電圧ピン間にスペースを設けたMSOP-16パッケージ
LT3748	100V絶縁型フライバック・コントローラ	5V ≤ V _{IN} ≤ 100V、オプトアイソレータや3次巻線が不要、ゲート・ドライブ内蔵、高電圧ピン間にスペースを設けたMSOP-16パッケージ
LT3958	高入力電圧の昇圧、フライバック、SEPICおよび反転コンバータ	5V ≤ V _{IN} ≤ 80V、3.3A/84V パワー・スイッチを内蔵、高電圧ピン間にスペースを設けた5mm×6mm QFN-36パッケージ
LT3957	昇圧、フライバック、SEPICおよび反転コンバータ	3V ≤ V _{IN} ≤ 40V、5A/40V パワー・スイッチを内蔵、高電圧ピン間にスペースを設けた5mm×6mm QFN-36パッケージ
LT3956	定電流/定電圧の昇圧、降圧、昇降圧、SEPICまたはフライバック・コンバータ	4.5V ≤ V _{IN} ≤ 80V、3.3A/84V パワー・スイッチを内蔵、True Color PWM調光、高電圧ピン間にスペースを設けた5mm×6mm QFN-36パッケージ
LT3575	60V/2.5Aスイッチを内蔵した絶縁型フライバック・スイッチング・レギュレータ	3V ≤ V _{IN} ≤ 40V、オプトアイソレータや3次巻線が不要、出力電力:最大14W、TSSOP-16Eパッケージ
LT3573	60V/1.25Aスイッチを内蔵した絶縁型フライバック・スイッチング・レギュレータ	3V ≤ V _{IN} ≤ 40V、オプトアイソレータや3次巻線が不要、出力電力:最大7W、MSOP-16Eパッケージ
LT3574	60V/0.65Aスイッチを内蔵した絶縁型フライバック・スイッチング・レギュレータ	3V ≤ V _{IN} ≤ 40V、オプトアイソレータや3次巻線が不要、出力電力:最大3W、MSOP-16パッケージ
LT3757	昇圧、フライバック、SEPICおよび反転コントローラ	2.9V ≤ V _{IN} ≤ 40V、設定可能な動作周波数:100kHz～1MHz、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LT3758	昇圧、フライバック、SEPICおよび反転コントローラ	5.5V ≤ V _{IN} ≤ 100V、設定可能な動作周波数:100kHz～1MHz、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LTC1871/LTC1871-1/ LTC1871-7	No RSENSE™、低消費電流のフライバック、昇圧およびSEPICコントローラ	2.5V ≤ V _{IN} ≤ 36V、軽負荷時のBurst Mode®動作、MSOP-10パッケージ

3512fb

26

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp

LT 1111 REV B • PRINTED IN JAPAN

LINEAR TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2011