

## 特長

- 利得帯域幅積: 10GHz
- SFDR: 100MHz、2V<sub>p-p</sub> で 85dB
- 入力ノイズ密度: 1.1nV/ $\sqrt{\text{Hz}}$
- チャンネル・セパレーション: 100MHz で 95dB
- 入力範囲にグランドが含まれる
- 外付け抵抗で利得を設定 (最小 1V/V)
- 差動スルーレート: 3300V/ $\mu\text{s}$
- 電源電流 (1アンプあたり): 52mA
- 電源電圧範囲: 2.7V ~ 5.25V
- 完全差動入出力
- 調整可能な出力同相電圧
- 低消費電力シャットダウン
- 小型 20ピン 4mm×3mm×0.75mm LGA パッケージ

## アプリケーション

- 広帯域 I/Q アンプ
- デュアル差動 A/D コンバータ・ドライバ
- 高速データ収集カード
- 自動テスト装置
- 時間領域反射測定
- 通信レシーバ

## 概要

LTC<sup>®</sup>6419 は、超高速、低歪みのデュアル差動アンプです。その入力同相範囲にはグランドが含まれているため、グランドを基準にしたシングルエンドまたは差動入力信号が、DC 結合、レベルシフト、および変換されて、A/D コンバータを差動で駆動することができます。

利得抵抗および帰還抵抗が外付けであるため、利得および周波数応答を、各アプリケーションに合わせて正確に調整することができます。例えば、特定の時間領域アプリケーションでは望ましい、オーバーシュートが発生しない構成で、アンプを外部から補償することができます。

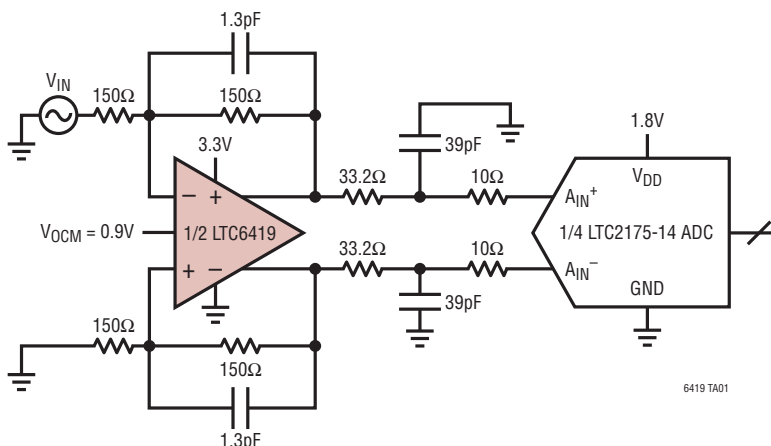
LTC6419 は、差動利得 1 で安定します。これにより、利得が不要なアプリケーションで、低出力ノイズを実現することができます。各アンプには 52mA の電源電流が流れ、電流消費量を 1アンプあたり 100 $\mu\text{A}$  に抑える独立したシャットダウン・ピンがあります。

LTC6419 は 4mm×3mm の小型 20ピン LGA パッケージで供給され、-40°C ~ 125°C の温度範囲で動作します。

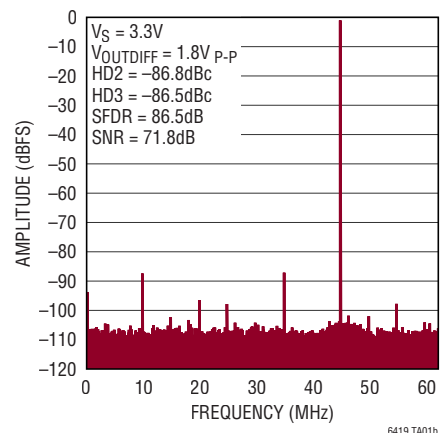
LT、LT、LTC、LTM、Linear Technology および Linear のロゴは、リニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例

グランドを基準にしたシングルエンド入力から  
LTC2175-14 A/D コンバータへの DC 結合されたインタフェース



1/4 LTC2175-14 A/D コンバータを  
駆動する 1/2 LTC6419、 $f_{\text{IN}} = 45\text{MHz}$ 、-1dBFS、  
 $f_{\text{S}} = 125\text{MHz}$ 、32768 ポイントの FFT



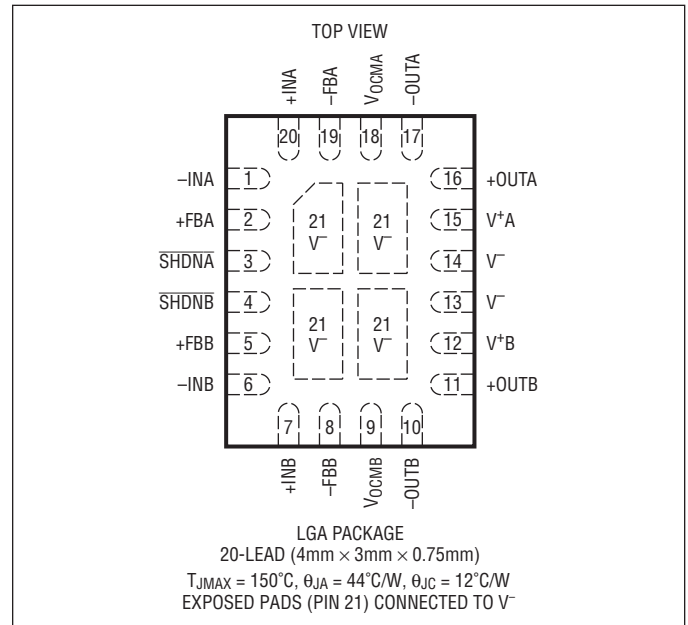
# LTC6419

## 絶対最大定格

### (Note 1)

全電源電圧 ( $V^+A - V^-$ )、( $V^+B - V^-$ ) .....	5.5V
入力電流 (+INA、-INA、+INB、-INB、 VOCMA、VOCMB、SHDNA、SHDNB) (Note 2) .....	$\pm 10\text{mA}$
出力電流 (Note 13) .....	$50\text{mARMS}$
出力短絡時間 (Note 3) .....	温度により制限
温度範囲 (Note 4、5)	
LTC6419I .....	$-40^\circ\text{C} \sim 85^\circ\text{C}$
LTC6419H .....	$-40^\circ\text{C} \sim 125^\circ\text{C}$
最大接合部温度 .....	$150^\circ\text{C}$
保存温度範囲 .....	$-65^\circ\text{C} \sim 150^\circ\text{C}$
最大リフロー (パッケージ本体) 温度 .....	$260^\circ\text{C}$

## ピン配置



## 発注情報

<http://www.linear-tech.co.jp/product/LTC6419#orderinfo>

製品番号	製品マーキング*	仕上げコード	パッド仕上げ	パッケージ** タイプ	MSL レーティング	温度範囲
LTC6419IV#PBF	6419	e4	Au (RoHS)	LGA	3	$-40^\circ\text{C}$ to $85^\circ\text{C}$
LTC6419HV#PBF	6419					$-40^\circ\text{C}$ to $125^\circ\text{C}$

• さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。  
\* 温度グレードは出荷時のコンテナのラベルで識別されます。

• 端子仕上げの製品マーキングの参照先: [www.linear-tech.co.jp/leadfree](http://www.linear-tech.co.jp/leadfree)

• LGA/BGAの推奨のPCBアセンブリ手順および製造手順の参照先: [www.linear-tech.co.jp/module/pcbassembly](http://www.linear-tech.co.jp/module/pcbassembly)

• LGA/BGAパッケージおよびトレイの図面の参照先: [www.linear-tech.co.jp/packaging](http://www.linear-tech.co.jp/packaging)

末尾がPBFの製品番号はRoHSおよびWEEEに準拠している。\*\*LTC6419パッケージの寸法は、標準の4mm×3mm×0.75mm QFNパッケージと同じである。

## 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  $V^+ = V^+A = V^+B = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_{ICM} = V_{OCMA} = V_{OCMB} = 1.25\text{V}$ 、 $V_{SHDNA} = V_{SHDNB} = \text{開放}$ 。  $V_S$  は ( $V^+ - V^-$ ) として定義されている。  $V_{OUTCM}$  は、( $V_{+OUT} + V_{-OUT}$ )/2 として定義されている。  $V_{ICM}$  は、( $V_{+IN} + V_{-IN}$ )/2 として定義されている。  $V_{OUTDIFF}$  は、( $V_{+OUT} - V_{-OUT}$ ) として定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{OSDIFF}$	Differential Offset Voltage (Input Referred)	$V_S = 3\text{V}$		$\pm 300$	$\pm 1000$	$\mu\text{V}$	
		$V_S = 3\text{V}$	●		$\pm 1200$	$\mu\text{V}$	
		$V_S = 5\text{V}$		$\pm 300$	$\pm 1100$	$\mu\text{V}$	
		$V_S = 5\text{V}$	●		$\pm 1400$	$\mu\text{V}$	
$\frac{\Delta V_{OSDIFF}}{\Delta T}$	Differential Offset Voltage Drift (Input Referred)	$V_S = 3\text{V}$	●	2		$\mu\text{V}/^\circ\text{C}$	
		$V_S = 5\text{V}$	●	2		$\mu\text{V}/^\circ\text{C}$	
$I_B$	Input Bias Current (Note 6)	$V_S = 3\text{V}$	●	-140	-62	0	$\mu\text{A}$
		$V_S = 5\text{V}$	●	-160	-70	0	$\mu\text{A}$
$I_{OS}$	Input Offset Current (Note 6)	$V_S = 3\text{V}$	●	$\pm 2$	$\pm 10$	$\mu\text{A}$	
		$V_S = 5\text{V}$	●	$\pm 2$	$\pm 10$	$\mu\text{A}$	
$R_{IN}$	Input Resistance	Common Mode		165		$\text{k}\Omega$	
			Differential Mode		860		$\Omega$

6419f

**電気的特性** ● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  $V^+ = V^+A = V^+B = 5\text{V}$ 、  $V^- = 0\text{V}$ 、  $V_{\text{CM}} = V_{\text{ICM}} = V_{\text{OCMA}} = V_{\text{OCMB}} = 1.25\text{V}$ 、  $V_{\text{SHDNA}} = V_{\text{SHDNB}} = \text{開放}$ 。  $V_S$  は  $(V^+ - V^-)$  として定義されている。  $V_{\text{OUTCM}}$  は、  $(V_{+OUT} + V_{-OUT})/2$  として定義されている。  $V_{\text{ICM}}$  は、  $(V_{+IN} + V_{-IN})/2$  として定義されている。  $V_{\text{OUTDIFF}}$  は、  $(V_{+OUT} - V_{-OUT})$  として定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$C_{\text{IN}}$	Input Capacitance	Differential Mode		0.5		pF
$e_n$	Differential Input Noise Voltage Density	$f = 1\text{MHz}$ , Not Including $R_I/R_F$ Noise		1.1		$\text{nV}/\sqrt{\text{Hz}}$
$i_n$	Input Noise Current Density	$f = 1\text{MHz}$ , Not Including $R_I/R_F$ Noise		8.8		$\text{pA}/\sqrt{\text{Hz}}$
$e_{\text{nVOCM}}$	Common Mode Noise Voltage Density	$f = 10\text{MHz}$		12		$\text{nV}/\sqrt{\text{Hz}}$
$V_{\text{ICMR}}$ (Note 7)	Input Signal Common Mode Range	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	0 0	1.5 3.5	V V
$\text{CMRRI}$ (Note 8)	Input Common Mode Rejection Ratio (Input Referred) $\Delta V_{\text{ICM}}/\Delta V_{\text{OSDIFF}}$	$V_S = 3\text{V}$ , $V_{\text{ICM}}$ from 0V to 1.5V $V_S = 5\text{V}$ , $V_{\text{ICM}}$ from 0V to 3.5V	● ●	75 75	90 90	dB dB
$\text{CMRRIO}$ (Note 8)	Output Common Mode Rejection Ratio (Input Referred) $\Delta V_{\text{OCM}}/\Delta V_{\text{OSDIFF}}$	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	55 60	80 85	dB dB
$\text{PSRR}$ (Note 9)	Differential Power Supply Rejection ( $\Delta V_S/\Delta V_{\text{OSDIFF}}$ )	$V_S = 2.7\text{V}$ to 5.25V	●	60	85	dB
$\text{PSRRCM}$ (Note 9)	Output Common Mode Power Supply Rejection ( $\Delta V_S/\Delta V_{\text{OSCM}}$ )	$V_S = 2.7\text{V}$ to 5.25V	●	55	70	dB
$V_S$	Supply Voltage Range (Note 10)		●	2.7	5.25	V
$G_{\text{CM}}$	Common Mode Gain ( $\Delta V_{\text{OUTCM}}/\Delta V_{\text{OCM}}$ )	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	1 1		V/V V/V
$\Delta G_{\text{CM}}$	Common Mode Gain Error, $100 \times (G_{\text{CM}} - 1)$	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	$\pm 0.1$ $\pm 0.1$	$\pm 0.3$ $\pm 0.3$	% %
$\text{BAL}$	Output Balance ( $\Delta V_{\text{OUTCM}}/\Delta V_{\text{OUTDIFF}}$ )	$\Delta V_{\text{OUTDIFF}} = 2\text{V}$ Single-Ended Input Differential Input	● ●	-65 -70	-50 -50	dB dB
$V_{\text{OSCM}}$	Common Mode Offset Voltage ( $V_{\text{OUTCM}} - V_{\text{OCM}}$ )	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	$\pm 1$ $\pm 1$	$\pm 5$ $\pm 6$	mV mV
$\frac{\Delta V_{\text{OSCM}}}{\Delta T}$	Common Mode Offset Voltage Drift		●	4		$\mu\text{V}/^\circ\text{C}$
$V_{\text{OUTCMR}}$ (Note 7)	Output Signal Common Mode Range (Voltage Range for the $V_{\text{OCMA}}/V_{\text{OCMB}}$ Pins)	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	0.5 0.5	1.5 3.5	V V
$R_{\text{INVOCM}}$	Input Resistance, $V_{\text{OCMA}}/V_{\text{OCMB}}$ Pins		●	30	40 50	k $\Omega$
$V_{\text{OCM}}$	Self-Biased Voltage at the $V_{\text{OCMA}}/V_{\text{OCMB}}$ Pins	$V_S = 3\text{V}$ , $V_{\text{OCMA}} = V_{\text{OCMB}} = \text{Open}$ $V_S = 5\text{V}$ , $V_{\text{OCMA}} = V_{\text{OCMB}} = \text{Open}$	● ●	0.85 0.9	1.25 1.6	V V
$V_{\text{OUT}}$	Output Voltage, High, Either Output Pin	$V_S = 3\text{V}$ , $I_L = 0$ $V_S = 3\text{V}$ , $I_L = -20\text{mA}$ $V_S = 5\text{V}$ , $I_L = 0$ $V_S = 5\text{V}$ , $I_L = -20\text{mA}$	● ● ● ●	1.85 1.8 3.85 3.8	2 1.95 4 3.95	V V V V
	Output Voltage, Low, Either Output Pin	$V_S = 3\text{V}$ , $5\text{V}$ ; $I_L = 0$ $V_S = 3\text{V}$ , $5\text{V}$ ; $I_L = 20\text{mA}$	● ●	0.06 0.2	0.15 0.4	V V
$I_{\text{SC}}$	Output Short-Circuit Current, Either Output Pin (Note 11)	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	$\pm 50$ $\pm 70$	$\pm 70$ $\pm 95$	mA mA
$A_{\text{VOL}}$	Large-Signal Open Loop Voltage Gain			65		dB
$I_S$	Supply Current (Per Amplifier)		●	52	56 58	mA mA
$I_{\text{SHDN}}$	Supply Current in Shutdown (Per Amplifier)	$V_{\text{SHDNA}} = V_{\text{SHDNB}} \leq 0.6\text{V}$	●	100	500	$\mu\text{A}$
$R_{\text{SHDN}}$	$\text{SHDNA}/\text{SHDNB}$ Pull-Up Resistor	$V_{\text{SHDNA}} = V_{\text{SHDNB}} = 0\text{V}$ to 0.5V	●	115	150 185	k $\Omega$
$V_{\text{IL}}$	$\text{SHDNA}/\text{SHDNB}$ Input Logic Low		●		0.6	V
$V_{\text{IH}}$	$\text{SHDNA}/\text{SHDNB}$ Input Logic High		●	1.4		V
$t_{\text{ON}}$	Turn-On Time			160		ns

6419f

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = V^+A = V^+B = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_{ICM} = V_{OCMA} = V_{OCMB} = 1.25\text{V}$ 、 $V_{SHDNA} = V_{SHDNB} = \text{開放}$ 。 $V_S$ は $(V^+ - V^-)$ として定義されている。 $V_{OUTCM}$ は、 $(V_{+OUT} + V_{-OUT})/2$ として定義されている。 $V_{ICM}$ は、 $(V_{+IN} + V_{-IN})/2$ として定義されている。 $V_{OUTDIFF}$ は、 $(V_{+OUT} + V_{-OUT})$ として定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{OFF}$	Turn-Off Time			80		ns
SR	Slew Rate	Differential Output, $V_{OUTDIFF} = 4V_{P-P}$ +OUTA/+OUTB Rising (-OUTA/-OUTB Falling) +OUTA/+OUTB Falling (-OUTA/-OUTB Rising)		3300 1720 1580		V/ $\mu\text{s}$ V/ $\mu\text{s}$ V/ $\mu\text{s}$
GBW	Gain-Bandwidth Product	$R_I = 25\ \Omega$ , $R_F = 10\text{k}\ \Omega$ , $f_{TEST} = 100\text{MHz}$	9.5 8	10		GHz GHz
$f_{-3dB}$	-3dB Frequency	$R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ , $C_F = 1.3\text{pF}$		1.4		GHz
$f_{0.1dB}$	Frequency for 0.1dB Flatness	$R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ , $C_F = 1.3\text{pF}$		320		MHz
FPBW	Full Power Bandwidth	$V_{OUTDIFF} = 2V_{P-P}$		550		MHz
	Channel Separation (Note 12)	$f = 100\text{MHz}$		95		dB
HD2 HD3	25MHz Distortion	Differential Input, $V_{OUTDIFF} = 2V_{P-P}$ , $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ 2nd Harmonic 3rd Harmonic		-82 -106		dBc dBc
	100MHz Distortion	Differential Input, $V_{OUTDIFF} = 2V_{P-P}$ , $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ 2nd Harmonic 3rd Harmonic		-85 -85		dBc dBc
HD2 HD3	25MHz Distortion	Single-Ended Input, $V_{OUTDIFF} = 2V_{P-P}$ , $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ 2nd Harmonic 3rd Harmonic		-96 -105		dBc dBc
	100MHz Distortion	Single-Ended Input, $V_{OUTDIFF} = 2V_{P-P}$ , $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ 2nd Harmonic 3rd Harmonic		-83 -85		dBc dBc
IMD3	3rd Order IMD at 25MHz $f_1 = 24.9\text{MHz}$ , $f_2 = 25.1\text{MHz}$	$V_{OUTDIFF} = 1V_{P-P}$ per Tone, $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$		-103		dBc
	3rd Order IMD at 100MHz $f_1 = 99.9\text{MHz}$ , $f_2 = 100.1\text{MHz}$	$V_{OUTDIFF} = 1V_{P-P}$ per Tone, $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$		-87		dBc
	3rd Order IMD at 140MHz $f_1 = 139.9\text{MHz}$ , $f_2 = 140.1\text{MHz}$	$V_{OUTDIFF} = 1V_{P-P}$ per Tone, $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$		-77		dBc
$t_s$	Settling Time	$V_{OUTDIFF} = 2V_{P-P}$ Step, $R_I = R_F = 150\ \Omega$ , $R_{LOAD} = 400\ \Omega$ 1% Settling		1.9		ns

**Note 1:**「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** 入力ピン(+INA、-INA、+INB、-INB、VOCMA、VOCMB、SHDNA、SHDNB)は正負両方の電源に対してステアリング・ダイオードで保護されている。入力電圧がいずれか一方の電源電圧を超える場合は、入力電流を10mA未満に制限する必要がある。さらに、入力(+INA/-INAまたは+INB/-INB)は一对の逆並列接続ダイオードで保護されている。差動入力電圧が1.4Vを超える場合は、入力電流を10mA未満に制限する必要がある。

**Note 3:** 出力が無期限に短絡される場合は、接合部温度を絶対最大定格より低く抑えるためにヒートシンクが必要になることがある。

**Note 4:** LTC6419Iは、 $-40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で機能が保証されている。LTC6419Hは、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度範囲で機能が保証されている。

**Note 5:** LTC6419Iは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6419Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

**Note 6:** 入力バイアス電流は、入力ピン(-INA/+INAまたは-INB/+INB)に流れる入力電流の平均値として定義される。入力オフセット電流は、入力電流の差として定義される( $I_{OS} = I_{B^+} - I_{B^-}$ )。

**Note 7:** 入力同相範囲は、 $V_{ICM} = 1.25\text{V}$ および「電気的特性」の表の制限値の両方でテストし、差動オフセット( $V_{OSDIFF}$ )および同相オフセット( $V_{OSCM}$ )が $V_{ICM} = 1.25\text{V}$ の場合からそれぞれ $\pm 1\text{mV}$ および $\pm 2\text{mV}$ を超えていないことを確認することによってテストされる。

出力同相範囲の電圧範囲は次のようにテストされる。 $V_{OCM}$ ピンに電圧を印加し、 $V_{OCM} = 1.25\text{V}$ と「電気的特性」の表に記載の制限値の両方でテストして、その同相オフセット( $V_{OSCM}$ )が $V_{OCM} = 1.25\text{V}$ の場合の同相オフセットより $\pm 6\text{mV}$ を超えていないことを確認する。

## 電气的特性

**Note 8:** 入力 CMRR は、ピン (+INA/-INA または +INB/-INB) での入力同相電圧の変化と差動入力換算オフセット電圧の変化の比として定義される。出力 CMRR は、 $V_{OCMA}$  ピンまたは  $V_{OCMB}$  ピンの電圧の変化と差動入力換算オフセット電圧の変化の比として定義される。この規格は 2つの出力とそれぞれの入力の間の帰還比の整合に大きく依存し、実際のアンプ性能を測定するのは困難である(「アプリケーション情報」のセクションの「抵抗対の不整合による影響」を参照)。帰還部品の整合に依存しない実際のアンプ性能を示すより優れた指標については、PSRR の規格を参照してください。

**Note 9:** 差動電源電圧除去比 (PSRR) は、電源電圧の変化と差動入力換算オフセット電圧の変化の比として定義される。同相電源電圧除去比 (PSRR<sub>CM</sub>) は、電源電圧の変化と出力同相オフセット電圧の変化の比として定義される。

**Note 10:** 電源電圧範囲は電源電圧除去比のテストによって保証される。

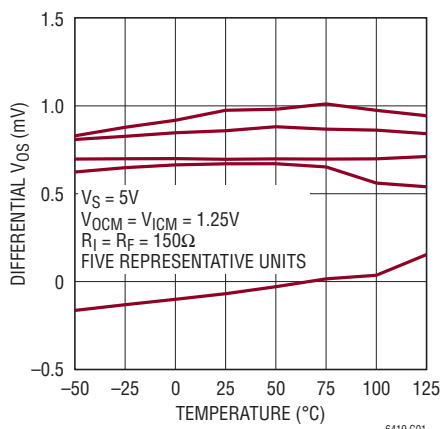
**Note 11:** 出力を短絡した状態で長時間動作させると、接合部温度が 150°C の制限値を超える可能性がある。

**Note 12:** チャネル・セパレーション(クロストークの逆)は、1つの入力で信号を駆動しながら、他の入力を終端することによって測定される。チャネル・セパレーションは、駆動されたチャネルで得られた出力信号と、駆動されていないチャネルとの比である。

**Note 13:** LTC6419 は 50mA を超えるピーク出力電流を生成できる。デバイス内部の電流密度制限により、出力によって供給される連続 RMS 電流(ソース電流またはシンク電流)をデバイスの動作寿命の間 50mA 未満(絶対最大定格)に制限し続けることが必要。接合部温度を絶対最大定格以下に抑えるために、適切なヒートシンクが必要な場合がある。

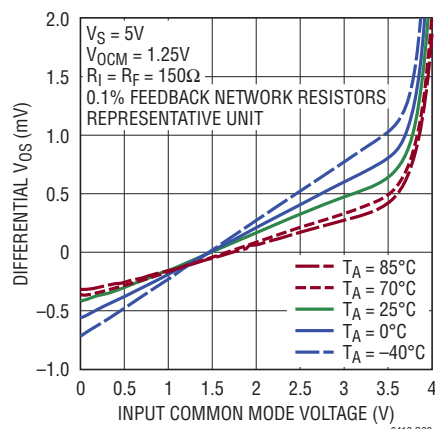
## 標準的性能特性

差動入力オフセット電圧と温度



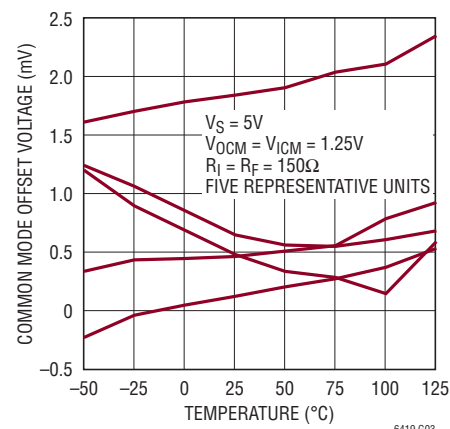
6419 G01

差動入力オフセット電圧と入力同相電圧



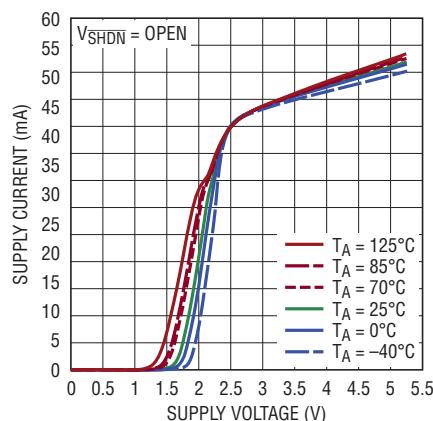
6419 G02

同相オフセット電圧と温度



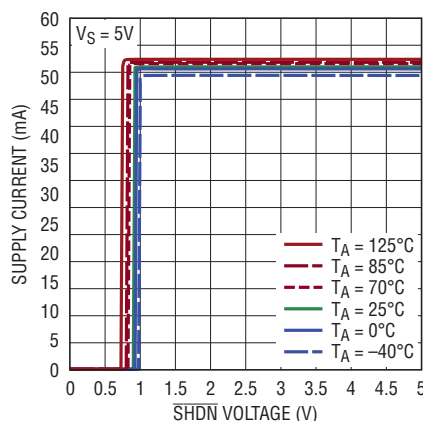
6419 G03

電源電流(1アンプ当たり)と電源電圧



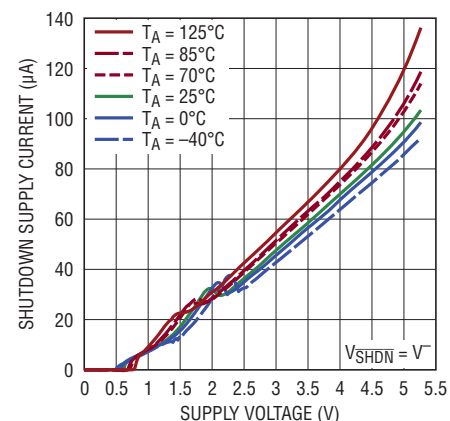
6419 G04

電源電流(1アンプ当たり)とSHDN電圧



6419 G05

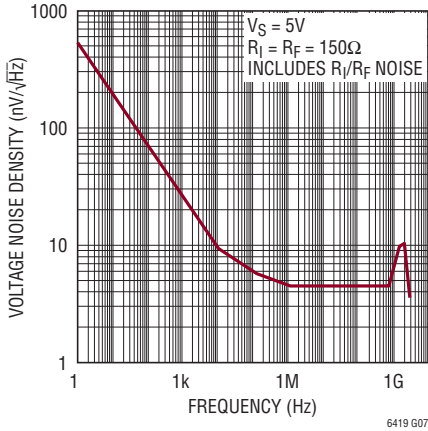
シャットダウン電源電流(1アンプ当たり)と電源電圧



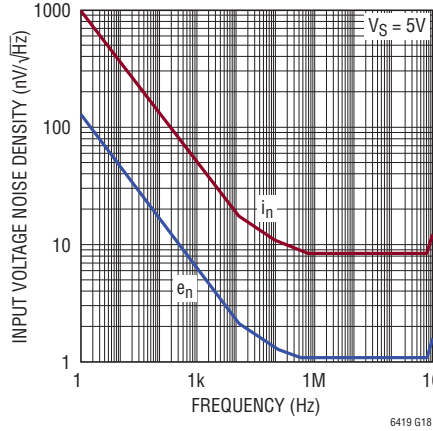
6419 G06

## 標準的性能特性

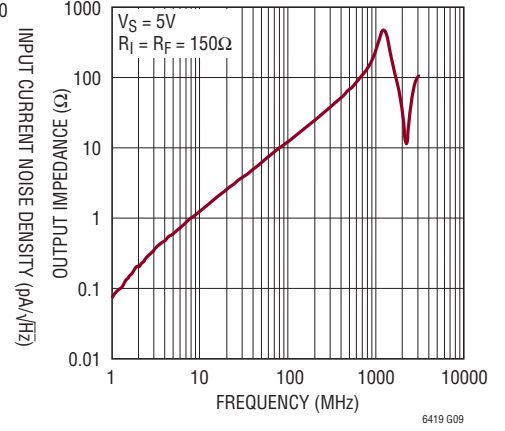
差動出力電圧ノイズと周波数



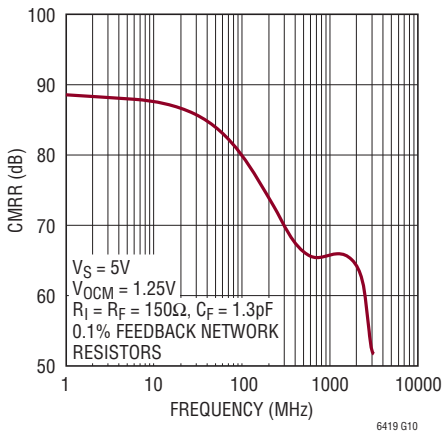
入力ノイズ密度と周波数



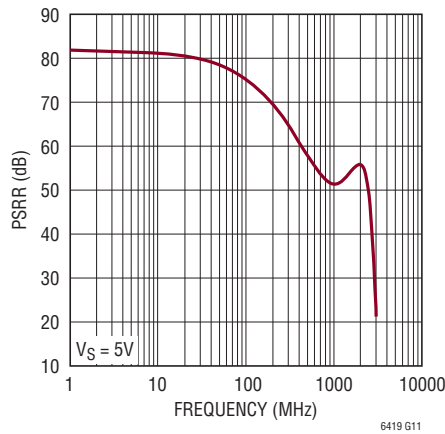
差動出力インピーダンスと周波数



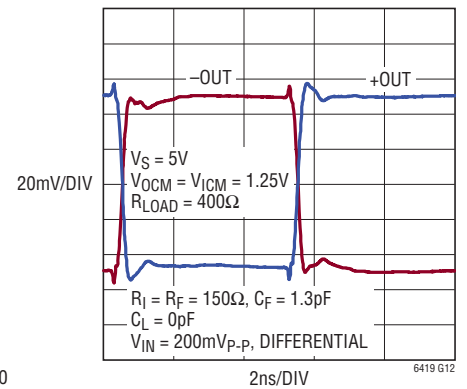
CMRRと周波数



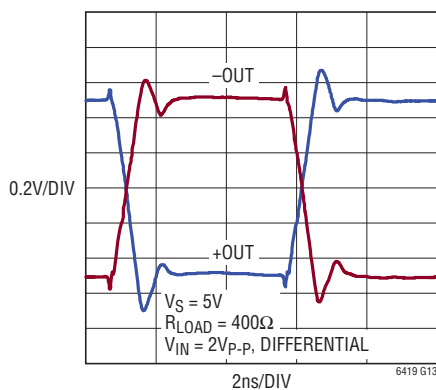
差動PSRRと周波数



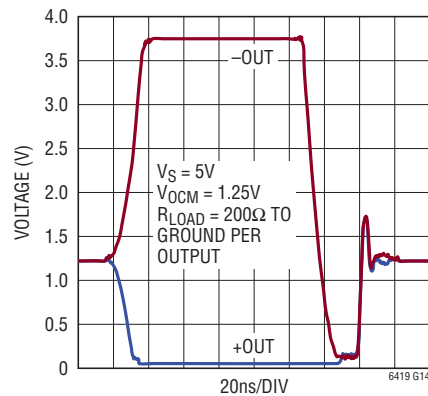
小信号ステップ応答



大信号ステップ応答

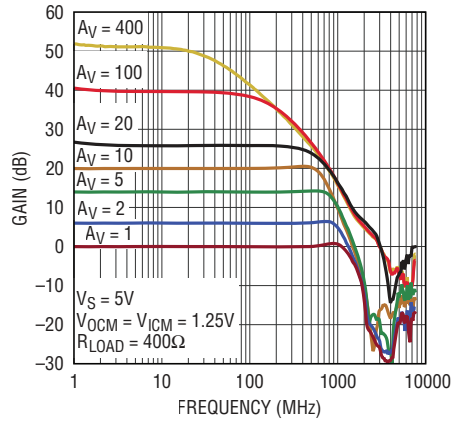


オーバードライブされた出力の過渡応答



標準的性能特性

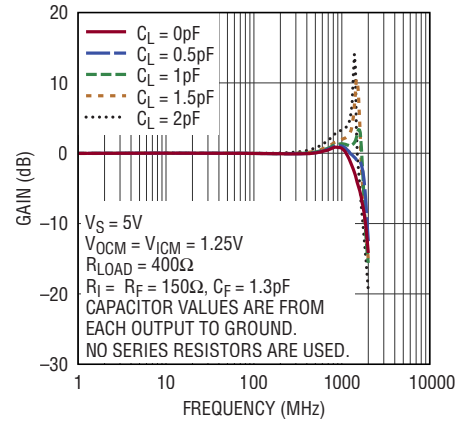
周波数応答と閉ループ利得



$A_V$ (V/V)	$R_I$ ( $\Omega$ )	$R_F$ ( $\Omega$ )	$C_F$ (pF)
1	150	150	1.3
2	100	200	1
5	50	250	0.8
10	50	500	0.4
20	25	500	0.4
100	25	2.5k	0
400	25	10k	0

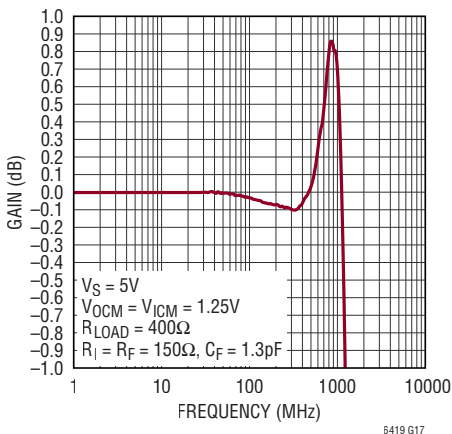
6419 G15

周波数応答と負荷容量



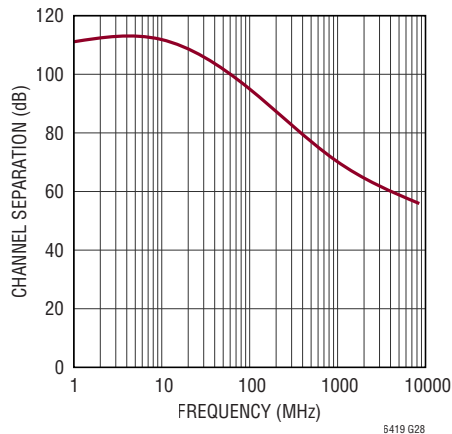
6419 G16

利得0.1dBの平坦性



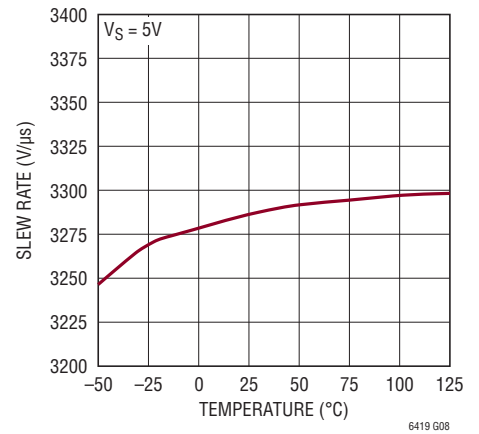
6419 G17

チャンネル・セパレーションと周波数



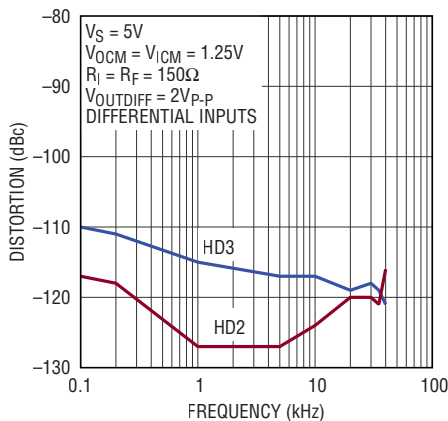
6419 G28

スループットと温度



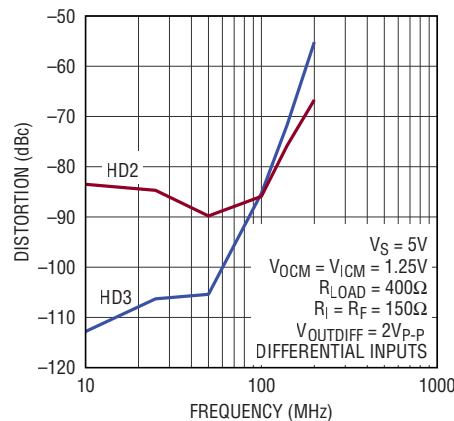
6419 G08

低周波数の高調波歪み



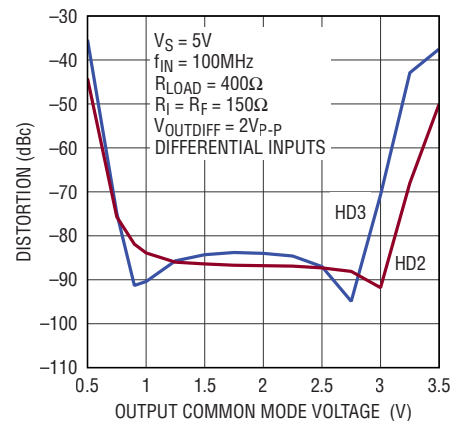
6419 G30

高調波歪みと周波数



6419 G19

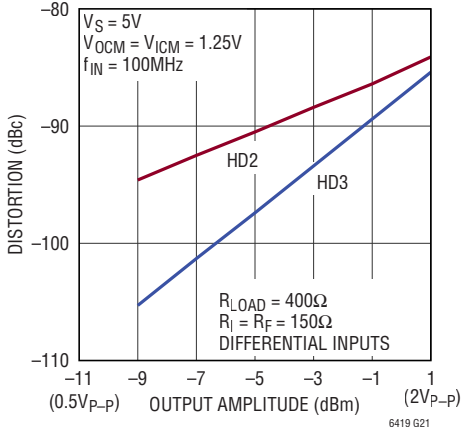
高調波歪みと出力同相電圧



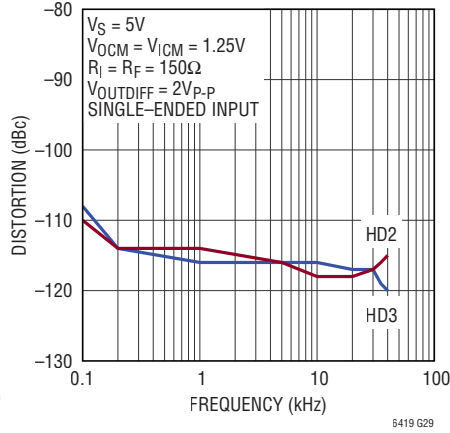
6419 G20

## 標準的性能特性

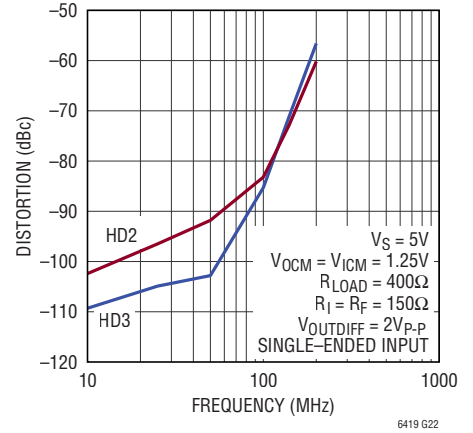
高調波歪みと出力振幅



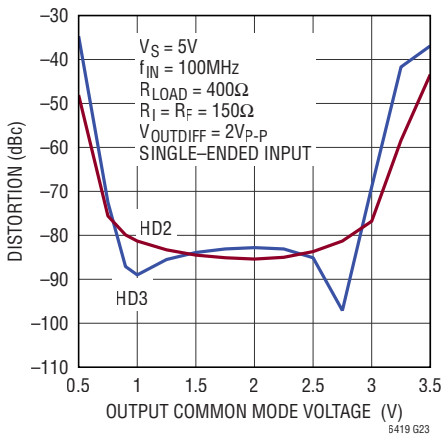
低周波数の高調波歪み



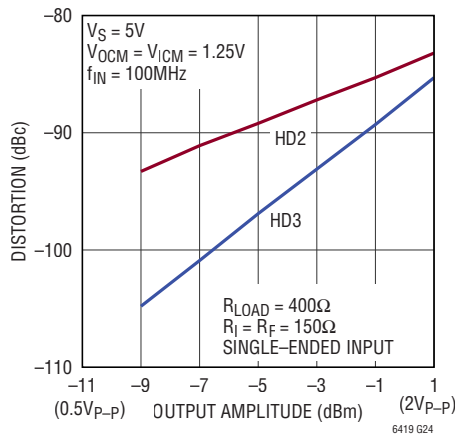
高調波歪みと周波数



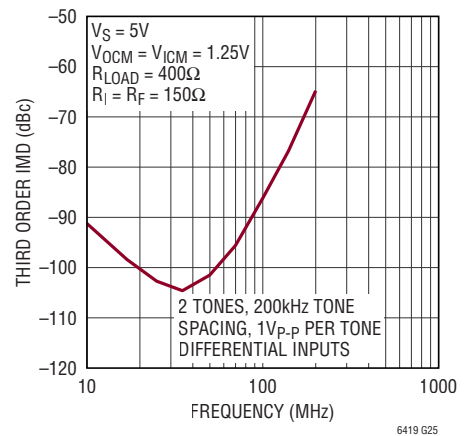
高調波歪みと出力同相電圧



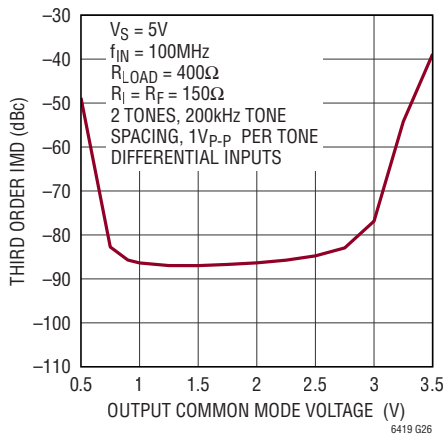
高調波歪みと出力振幅



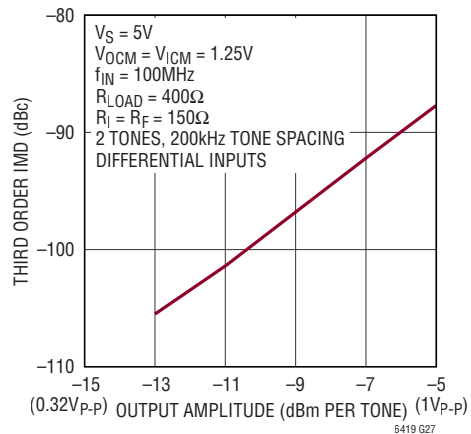
相互変調歪みと周波数



相互変調歪みと出力同相電圧



相互変調歪みと出力振幅



## ピン機能

**-INA、+INA、-INB、+INB (ピン1、20、6、7)** : それぞれチャンネルAおよびBの差動入力ピン。

**+FBA、-FBA、+FBB、-FBB (ピン2、19、5、8)** : 帰還ピン。これらのピンは、パッケージのピン配置上で、入力ピンに隣接して配置されていますが、内部で出力ピンに接続されています。これらのピンは、帰還部品の接続に簡単に使用することができます。

**SHDNA、SHDNB (ピン3、4)** : これらのピンをフロート状態にするか $V^+$ に直接接続すると、各アンプは通常の(アクティブな)動作モードに入ります。これらのピンを $V^-$ に接続すると各アンプはディスエーブルされ、流れる電源電流は約 $100\mu\text{A}$ になります。各アンプは、独立したSHDNピンを備えています。

**VOCMA、VOCMB (ピン18、9)** : 出力同相リファレンス電圧。このピンの電圧は、各アンプの出力同相電圧のレベルを設定します。フロートのままにすると、内部の抵抗分割器によってデフォルトの電圧である $1.25\text{V}$ が発生します( $5\text{V}$ 電源の場合)。

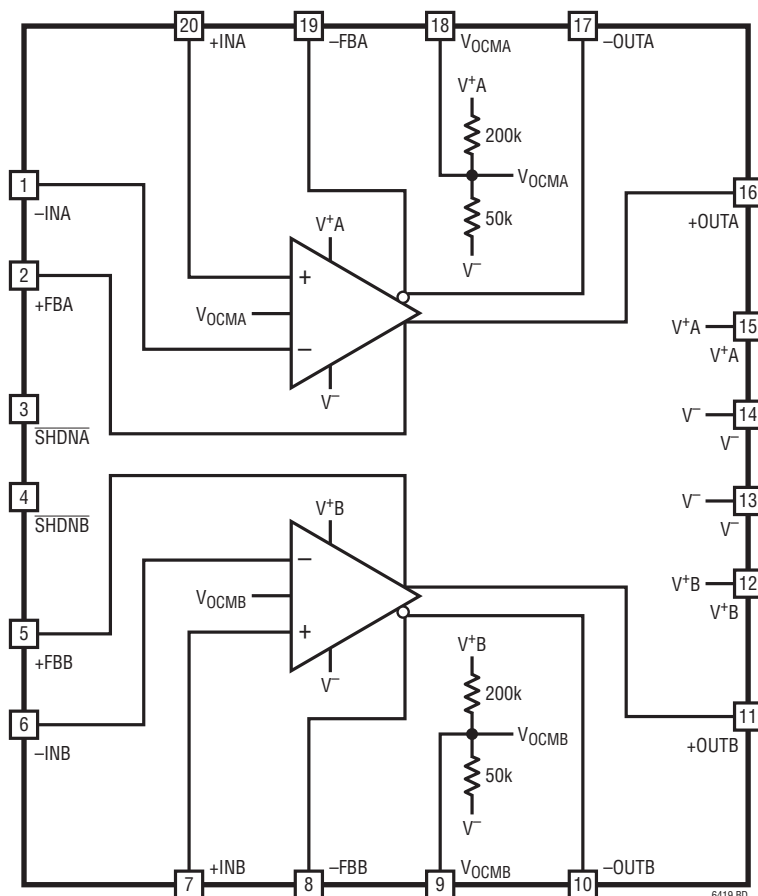
**+OUTA、-OUTA、+OUTB、-OUTB (ピン16、17、11、10)** : それぞれチャンネルAおよびBの差動出力ピン。

**$V^+A$ 、 $V^+B$  (ピン15、12)** : 正電源ピン。各アンプは、独立した $V^+$ 電源を備えています。ただし、両方のアンプは、サブストレートを共有しているため、同じ $V^-$ 電源を共有する必要があります。

**$V^-$  (ピン13、14、21)** : 負電源ピン。全てのピンおよび露出パッドは同じ電圧に接続する必要があります。

**露出パッド (ピン21)** : 底面の4つのパッドは全て $V^-$ に接続してください。分割電源を使用する場合、このパッドはグランドには絶対に接続しないでください。

## ブロック図



6419 BD

## アプリケーション情報

### 機能の説明

LTC6419は小型、広帯域、高速、低ノイズ、低歪みの完全差動デュアル・アンプで、出力の位相バランスを正確に調整します。このアンプは、低電圧、単電源の差動入力アナログ・デジタル変換器(A/Dコンバータ)を駆動するのに最適化されています。LTC6419は、入力同相範囲がグランドを含んでいるため、グランドを基準にするシングルエンド信号をDC結合して、ユーザーが供給する出力同相電圧を基準にする差動信号に変換するのに最適となっています。そのため、そのような差動A/Dコンバータを駆動するのに最適です。このアンプの平衡差動特性により、偶数次高調波歪みを取り除かれ、(電源ノイズのような)同相ノイズの影響を受けにくくなります。LTC6419は、シングルエンド入力および差動出力、または差動入力および差動出力を使用して動作できます。

LTC6419の出力には、グランド電位付近からV<sup>+</sup>より1V低い電位までの振幅能力があります。出力できるソース電流またはシンク電流は、最大で約70mAです。負荷容量は、各出力から10Ω以上の直列抵抗でデカップリングする必要があります。

### 入力ピンの保護

LTC6419の入力段は、+INAと-INAの間、および+INBと-INBの間に背面接続された2対の直列ダイオードによって、1.4Vを超える差動入力電圧から保護されます。さらに、入力ピン、ならびにV<sub>OCMA</sub>ピン、V<sub>OCMB</sub>ピン、SHDNAピン、およびSHDNBピンには、いずれかの電源に接続されたクランプ・ダイオードがあります。これらのピンがいずれか一方の電源電圧を超える電圧まで駆動されると、デバイスの損傷を防ぐために電流は10mAに制限されます。

### SHDNピン

SHDNA/SHDNBピンは、内部に150kのプルアップ抵抗があるCMOSロジック入力です。このピンを“L”にすると、LTC6419は消費電力が低下します。このピンを未接続のままにしておくか“H”にすると、デバイスは通常のアクティブ動作状態になります。LTC6419が不用意にシャットダウンしないように、このピンに流れる漏れ電流を制御するようある程度の注意が必要です。シャットダウン状態とアクティブ状態の間のオン時間およびオフ時間は、標準では200ns未満です。アンプの各チャンネルには、それぞれ独立したSHDNピンがあることに注意してください。

### 一般的なアンプのアプリケーション

図1では、V<sub>INP</sub>およびV<sub>INM</sub>から得られるV<sub>OUTDIFF</sub>に対する利得は次式で表されます。

$$V_{OUTDIFF} = V_{+OUT} - V_{-OUT} \approx \frac{R_F}{R_I} \cdot (V_{INP} - V_{INM}) \quad (1)$$

式(1)では、差動出力電圧(V<sub>+OUT</sub> - V<sub>-OUT</sub>)が入力と出力の同相電圧、つまり同相ピンの電圧とはまったく無関係であることに注意してください。このためLTC6419は、シングルエンド信号の前置増幅、レベルシフト、差動出力信号への変換を行って、差動入力のA/Dコンバータを駆動するのに最適です。

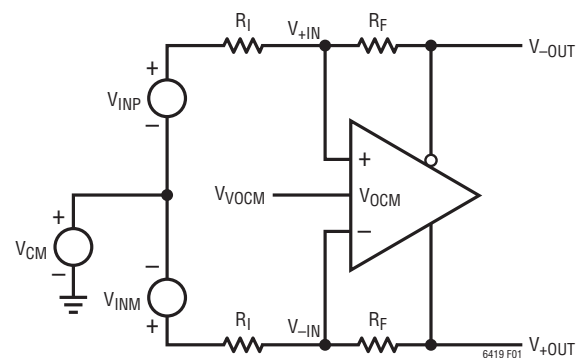


図1. 同相電圧範囲用の回路

### 出力同相電圧とV<sub>OCM</sub>ピン

出力同相電圧は2つの出力の平均として定義されます。

$$V_{OUTCM} = V_{OCM} = \frac{V_{+OUT} + V_{-OUT}}{2}$$

この式が示すように、出力同相電圧は入力同相電圧とは無関係であり、同相帰還ループが内蔵されているために、むしろV<sub>OCM</sub>ピンの電圧によって決まります。

V<sub>OCM</sub>ピンを開放のままにすると、内部の抵抗分割器によってデフォルトの電圧である1.25Vが発生します(5V電源の場合)。V<sub>OCM</sub>ピンは必要に応じて別の電圧にオーバードライブすることができます。例えば、A/Dコンバータを駆動するときに、同相電圧を設定するためのリファレンスがA/Dコンバータから得られる場合は、V<sub>OCM</sub>ピンによって示される40kの入力抵抗を駆動する能力がA/Dコンバータにある限り、リファレンスをV<sub>OCM</sub>ピンに直接接続することができます。V<sub>OCM</sub>ピンに入力できる電圧の有効な範囲(V<sub>OUTCMR</sub>)は、「電気的特性」の表に規定されています。

## アプリケーション情報

### 入力同相電圧範囲

LTC6419の入力同相電圧 ( $V_{ICM}$ ) は、2つの入力ピン  $V_{+IN}$  と  $V_{-IN}$  の電圧の平均として定義されます。  $V_{ICM}$  に使用できる有効な範囲は、「電気的特性」の表 ( $V_{ICMR}$ ) で規定されています。ただし、利得設定用抵抗および帰還抵抗の外付け抵抗分割器動作により、処理できる信号の有効な範囲はさらに広がります。オペアンプ入力での入力同相電圧範囲は、回路構成(利得)、 $V_{OCM}$ 、および  $V_{CM}$  により異なります(図1を参照)。完全な差動入力アプリケーションの場合、つまり  $V_{INP} = -V_{INM}$  である場合、同相入力電圧はおよそ次のようになります。

$$V_{ICM} = \frac{V_{+IN} + V_{-IN}}{2} \approx V_{OCM} \cdot \frac{R_I}{R_I + R_F} + V_{CM} \cdot \frac{R_F}{R_I + R_F}$$

シングルエンド入力の場合は、入力同相電圧に対する入力信号成分があります。(  $V_{INM}$  を0に設定して)  $V_{INP}$  のみを入力すると、入力同相電圧はおよそ次のようになります。

$$V_{ICM} = \frac{V_{+IN} + V_{-IN}}{2} \approx V_{OCM} \cdot \frac{R_I}{R_I + R_F} + V_{CM} \cdot \frac{R_F}{R_I + R_F} + \frac{V_{INP}}{2} \cdot \frac{R_F}{R_I + R_F} \quad (2)$$

この意味は、例えば入力信号 ( $V_{INP}$ ) が正弦波の場合は、その正弦波信号が減衰した信号もオペアンプの入力に現れるということです。

### 入力インピーダンスと負荷の影響

図1の  $V_{INP}$  入力または  $V_{INM}$  入力に対する低周波数での入力インピーダンスは、入力の駆動方法によって異なります。完全な差動入力信号源の場合 ( $V_{INP} = -V_{INM}$ )、一方の入力から見た入力インピーダンスは単純に次のようになります。

$$R_{INP} = R_{INM} = R_I$$

シングルエンド入力の場合は、入力での信号の不均衡により、均衡のとれた差動の場合よりも入力インピーダンスが実際に増加します。入力インピーダンスはどちらの入力の場合も次式で表されます。

$$R_{INP} = R_{INM} = \frac{R_I}{1 - \frac{1}{2} \cdot \frac{R_F}{R_I + R_F}}$$

出力インピーダンスが0ではない入力信号源は、帰還回路網の対の間で帰還の不均衡を生じることもあります。最良の性能を発揮するには、入力信号源の出力インピーダンスを補償することを推奨します。信号源によって入力インピーダンスの整合が要求される場合は、次式に当てはまるように終端抵抗  $R_T$  を選択してください(図2を参照)。

$$R_T = \frac{R_{INM} \cdot R_S}{R_{INM} - R_S}$$

図2によると、上の式で示すように、差動アンプへの入力インピーダンス ( $R_{INM}$ ) は、シングルエンドの信号源の場合を反映しています。また、 $R_2$  は次式に従って選択します。

$$R_2 = R_T \parallel R_S = \frac{R_T \cdot R_S}{R_T + R_S}$$

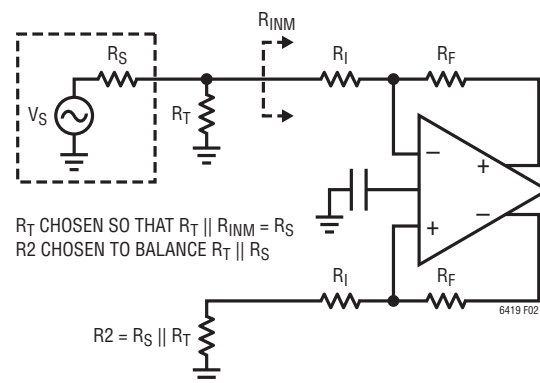


図2. 信号源インピーダンスの最適な補償

## アプリケーション情報

### 抵抗対の不整合による影響

実際の抵抗が完全には整合しないことを考慮に入れた回路図を図3に示します。開ループ利得が無限であると仮定すると、差動出力の関係は次式によって表されます。

$$V_{\text{OUTDIFF}} = V_{+\text{OUT}} - V_{-\text{OUT}} \approx V_{\text{INDIFF}} \cdot \frac{R_F}{R_I} + V_{\text{CM}} \cdot \frac{\Delta\beta}{\beta_{\text{AVG}}} - V_{\text{OCM}} \cdot \frac{\Delta\beta}{\beta_{\text{AVG}}}$$

ここで、 $R_F$ は $R_{F1}$ と $R_{F2}$ の平均、 $R_I$ は $R_{I1}$ と $R_{I2}$ の平均です。

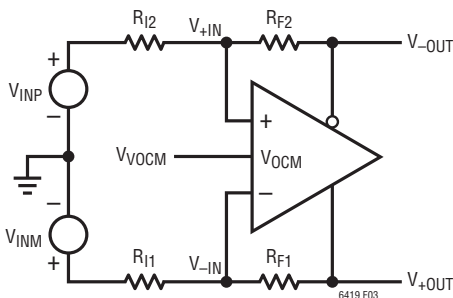


図3. 帰還抵抗対に不整合がある実際のアプリケーション

$\beta_{\text{AVG}}$ は、出力からそれぞれの入力への平均帰還率として次のように定義されます。

$$\beta_{\text{AVG}} = \frac{1}{2} \cdot \left( \frac{R_{I1}}{R_{I1} + R_{F1}} + \frac{R_{I2}}{R_{I2} + R_{F2}} \right)$$

$\Delta\beta$ は帰還率の差として定義されます。

$$\Delta\beta = \frac{R_{I2}}{R_{I2} + R_{F2}} - \frac{R_{I1}}{R_{I1} + R_{F1}}$$

ここで、 $V_{\text{CM}}$ および $V_{\text{INDIFF}}$ は、それぞれ2つの入力電圧 $V_{\text{INP}}$ および $V_{\text{INM}}$ の平均および差として定義されます。

$$V_{\text{CM}} = \frac{V_{\text{INP}} + V_{\text{INM}}}{2}$$

$$V_{\text{INDIFF}} = V_{\text{INP}} - V_{\text{INM}}$$

帰還率に不整合( $\Delta\beta$ )があると、同相から差動への変換が行われます。差動入力を0に設定( $V_{\text{INDIFF}} = 0$ )すると、同相から差動への変換の程度は次式によって得られます。

$$V_{\text{OUTDIFF}} = V_{+\text{OUT}} - V_{-\text{OUT}} \approx (V_{\text{CM}} - V_{\text{OCM}}) \cdot \frac{\Delta\beta}{\beta_{\text{AVG}}} \quad (3)$$

一般に、帰還対の不整合は2つの信号およびノイズが同相から差動に変換される原因の1つです。誤差0.1%以下の抵抗を使用すれば、ほとんどの問題は軽減され、ワーストケースで約54dBの同相電圧除去比が得られます。入力信号源と $V_{\text{OCM}}$ ピンの両方のリファレンスとして、低インピーダンスのグランド・プレーンを使用する必要があります。

帰還率の不整合が歪みにどのように影響するかが問題になることがあります。誤差1%以下の抵抗を使用した場合、帰還率の不整合が歪みに与える影響は無視できます。ただし、入力同相電圧と出力同相電圧との間に電圧差がある単電源のレベルシフト・アプリケーションでは、抵抗の不整合によってアンプの見かけのオフセット電圧が規定値より悪くなる可能性があります。

帰還率の不整合に起因する見かけの入力換算オフセット電圧は、式(3)から次のように求められます。

$$V_{\text{OSDIFF}}(\text{APPARENT}) \approx (V_{\text{CM}} - V_{\text{OCM}}) \cdot \Delta\beta$$

誤差0.1%の抵抗を使用した5V単電源アプリケーションでLTC6419を使用した場合で、入力同相電圧をグランド電位にして、 $V_{\text{OCM}}$ ピンを1.25Vでバイアスすると、ワーストケースの不整合によって見かけのオフセット電圧1.25mVが発生することがあります。

### ノイズとノイズ・フィギュア

LTC6419の差動入力換算の電圧ノイズ密度および電流ノイズ密度は、それぞれ $1.1\text{nV}/\sqrt{\text{Hz}}$ および $8.8\text{pA}/\sqrt{\text{Hz}}$ です。アンプで発生するノイズの他に、周辺の帰還抵抗もノイズの発生源になります。簡素化されたノイズのモデルを図4に示します。アンプと帰還部品の双方から発生する出力ノイズは次式によって求められます。

$$e_{\text{no}} = \sqrt{\left[ e_{\text{ni}} \cdot \left( 1 + \frac{R_F}{R_I} \right) \right]^2 + 2 \cdot (i_n \cdot R_F)^2 + 2 \cdot \left( e_{\text{nRI}} \cdot \frac{R_F}{R_I} \right)^2 + 2 \cdot e_{\text{nRF}}^2}$$

アプリケーション情報

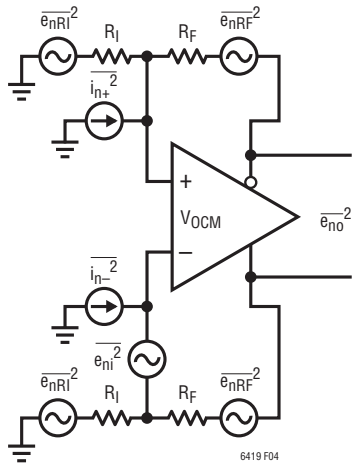


図4. 簡略ノイズ・モデル

アンプ周辺の回路が十分に均衡がとれている場合、上に示す差動出力ノイズの式にはアンプの同相ノイズ ( $e_{nVOCM}$ ) が現れません。この式のグラフと、LTC6419の帰還部品によって発生するノイズのグラフを図5に示します。

LTC6419の入力換算電圧ノイズは、75Ωの抵抗によって発生するノイズと等価です。これより値が大きい抵抗で帰還回路網が構成されている場合、出力ノイズの中心となるのは抵抗ノイズとアンプの電流ノイズです。75Ωより小さい値の抵抗で構成される帰還回路網の場合、出力ノイズの中心となるのは電圧ノイズです(図5を参照)。

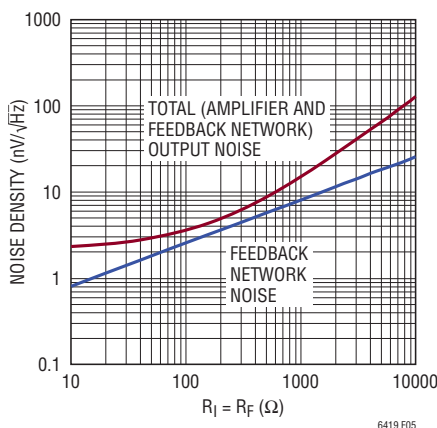


図5. LTC6419の出力ノイズと発生源が帰還回路網単独の場合のノイズ

抵抗値を低くするとノイズは必ず小さくなりますが、出力の帰還回路網によって負荷が重くなるために歪みが大きくなるというマイナス面があります。抵抗値を高くすると出力ノイズが大きくなりますが、出力の負荷が軽くなるので通常は歪み特性が改善されます。この理由から、差動利得を1にしてLTC6419を構成した場合は、150Ω以上の帰還抵抗を使用することを推奨します。

ノイズフィギュア(NF)を計算するには、ソース抵抗およびそれによって生成されるノイズも考慮する必要があります。図6に、ソース抵抗( $R_S$ )を含んでいるアンプのノイズ・モデルを示します。計算を一般化するために終端抵抗( $R_T$ )が含まれており、そのノイズの影響が考慮されます。

ここで、合計出力ノイズ電力( $R_S$ のノイズの影響は除く)が次のように計算されます。

$$e_{no}^2 = \left[ e_{ni} \cdot \left( 1 + \frac{R_F}{R_1 + \left( \frac{R_T || R_S}{2} \right)} \right) \right]^2 + 2 \cdot (i_n \cdot R_F)^2 + 2 \cdot \left( e_{nRI} \cdot \frac{R_F}{R_1 + \left( \frac{R_T || R_S}{2} \right)} \right)^2 + 2 \cdot e_{nRF}^2 + \left[ e_{nRT} \cdot \frac{R_F}{R_1} \cdot \left( \frac{2R_1 || R_S}{R_T + (2R_1 || R_S)} \right) \right]^2$$

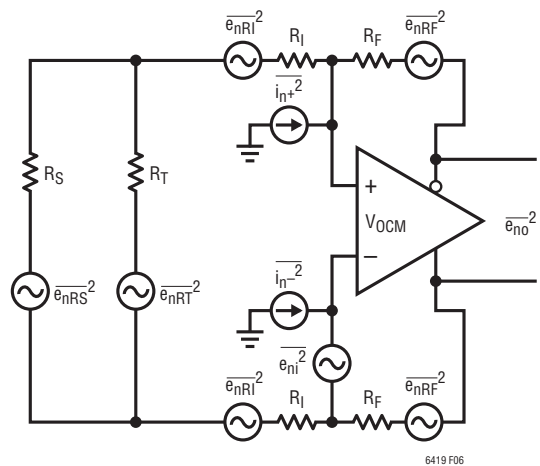


図6. ソース抵抗および終端抵抗を含むさらに一般的なノイズ・モデル

## アプリケーション情報

一方、 $R_S$ のノイズに起因する出力ノイズ電力は、次式で与えられます。

$$e_{no}^2(RS) = \left[ e_{nRS} \cdot \frac{R_F}{R_I} \cdot \left( \frac{2R_I \parallel R_T}{R_S + (2R_I \parallel R_T)} \right) \right]^2$$

最後にノイズフィギュアが、次のように得られます。

$$NF = 10 \log \left( 1 + \frac{e_{no}^2}{e_{no}^2(RS)} \right)$$

図7は、1V/V、2V/V、および5V/Vの閉ループ利得 ( $A_V = R_F/R_I$ ) で構成されたLTC6419の、ソース抵抗のノイズの影響を除いて測定された合計出力ノイズ ( $e_{no}$ )、およびノイズフィギュア (NF) を示しています。左側の列の回路は、終端抵抗およびトランスを使用して50Ωのソース抵抗に整合し、右側の列の回路は、そのような整合を行っていません。簡単のために、DCブロッキング・コンデンサおよびバイパス・コンデンサは、ノイズの結果に影響を与えないため、回路に示されていません。

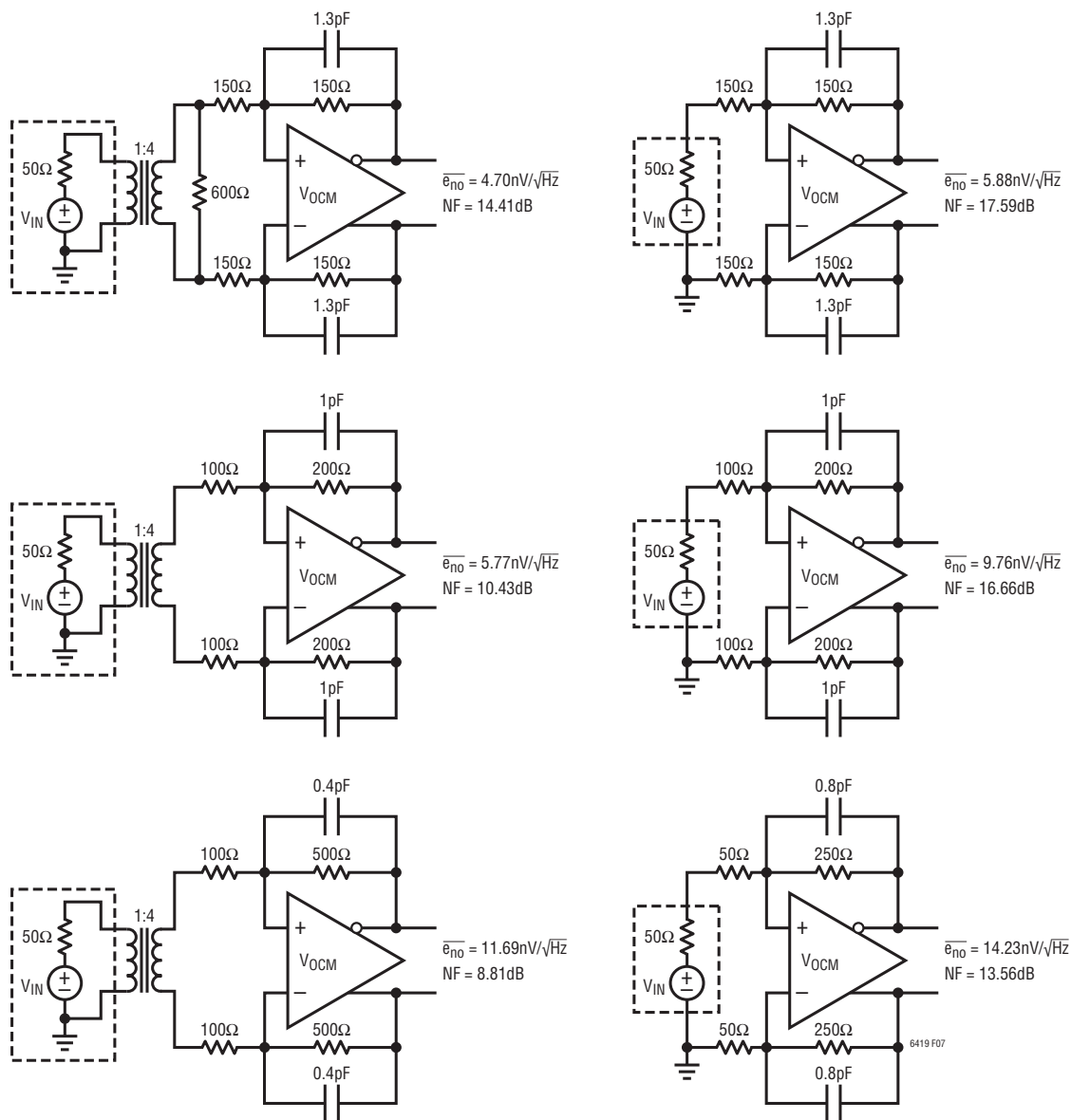


図7. ソース・インピーダンスを整合する場合と整合しない場合について、異なる閉ループ利得で測定されたLTC6419の出力ノイズおよびノイズフィギュア

## アプリケーション情報

### 利得帯域幅積と $f_{-3dB}$

利得帯域幅積(GBW)および $-3dB$ 周波数( $f_{-3dB}$ )は、LTC6419の速度を表す2つの異なる測定基準として両方とも「電気的特性」に規定されています。GBWは、特定の周波数( $f_{TEST}$ )でアンプの利得を測定し、「利得 $\times f_{TEST}$ 」を計算することによって求められます。利得を測定するには、帰還ループが $f_{TEST}$ で使用可能なLTC6419の利得を制限しないように、十分小さい帰還率(すなわち、 $\beta = R_I / (R_I + R_F)$ )を選択し、測定された利得が確実にアンプの開ループ利得になるようにします。この条件を満たしている限り、GBWはアンプの内部設計と補償のみに依存するパラメータで、アンプ固有の速度性能を規定するのに適した測定基準です。

他方、 $f_{-3dB}$ はさまざまなアプリケーションでより実用的な目的のあるパラメータで、定義によると利得が低周波数での値より $3dB$ 低くなる周波数です。 $f_{-3dB}$ の値はアンプの速度と帰還率に依存します。LTC6419は差動信号利得が1の場合(その場合は $R_I = R_F$ つまり $\beta = 1/2$ )に安定するよう設計されているので、「電気的特性」の表に示すように、最大の $f_{-3dB}$ はこの利得設定で得られ、実測されます。

大半のアンプでは、クロスオーバー周波数より低いほとんどの周波数領域で、開ループ利得の応答が従来の単一ポール減衰を示し、GBWと $f_{-3dB}$ は互いに近い値になります。しかし、LTC6419では、GBWが $f_{-3dB}$ より大幅に大きくなるように意図的に補償されています。これは、(標準で入力信号周波数が存在する、 $100MHz$ などの)低い周波数領域では、アンプの利得が大きくなり、したがって帰還ループ利得が大きくなることを意味します。これには、アンプをさらに線形化して該当の周波数領域での歪み特性を改善するという重要な利点があります。

このデータシートの「標準的性能特性」セクションにある「周波数応答と閉ループ利得」のグラフを参照すると、閉ループ利得( $A_V$ )が1の場合(ここで、 $R_I = R_F = 150\Omega$ )、 $f_{-3dB}$ が約 $1.4GHz$ であることがわかります。ただし、 $A_V = 400$ の場合(ここで、 $R_I = 25\Omega$ および $R_F = 10k\Omega$ )、 $100MHz$ で利得は、 $10GHz$ のGBW値を意味する $40dB = 100V/V$ に近づきます。

### 帰還コンデンサ

LTC6419が低い差動利得で構成される場合、通常は、帰還コンデンサ( $C_F$ )を各帰還抵抗( $R_F$ )と並列に使用すると効果的です。 $C_F$ を使用してポール-ゼロの対(ゼロ周波数が通常はポール周波数よりも小さくなる)を実現し、正の位相をアンプの周囲の帰還ループの利得に追加します。従って、適切に選択された場合、 $C_F$ を追加することによって位相マージンが増加し、帰還ループの安定応答が改善されます。例えば、 $R_I = R_F = 150\Omega$ の場合、ほとんどの一般的なアプリケーションには、 $R_F$ の両端で $C_F = 1.3pF$ を使用することが推奨されます。この値は、周波数応答に対する閉ループ利得のピークを妥当なレベル( $1dB$ 未満)に抑えながら、LTC6419の $f_{-3dB}$ を最大化するように選択されました。 $0.1dB$ の利得の平坦性での最高の周波数( $f_{0.1dB}$ )も得られます。

ただし、 $C_F$ のその他の値も使用することができ、他の特定のアプリケーションに合わせて調整することができます。通常は $C_F$ の値を大きくすると周波数と時間領域の両方でアンプのピーキング(オーバーシュート)が減りますが、閉ループ帯域幅( $f_{-3dB}$ )も減少します。例えば、閉ループ利得( $A_V$ )が5の場合、(このデータシートの「周波数応答と閉ループ利得」のグラフで既に示されているように)  $C_F = 0.8pF$ によって最大の $f_{-3dB}$ が得られます。 $C_F = 1.2pF$ を使用した場合、アンプは時間領域内でオーバーシュートを示さず、特定のアプリケーションでは望ましくなります。このセクションで説明された回路は、両方ともこのデータシートの「標準的応用例」のセクションに示されています。

### 基板のレイアウトとバイパス・コンデンサ

単電源アプリケーションでは、高品質の $0.1\mu F$ または $1000pF$ のセラミック・バイパス・コンデンサを各 $V^+$ ピンとそれに最も近い $V^-$ ピンの間に短い配線で直接配置することを推奨します。 $V^-$ ピン(露出パッドを含む)は配線を極力短くして低インピーダンスのグランド・プレーンに直接接続してください。

両(分割)電源の場合、 $V^+$ ピンとグランドの間、および $V^-$ ピンとグランドの間に、やはり最短の配線長で高品質の $0.1\mu F$ または $1000pF$ のセラミック・バイパス・コンデンサを追加して使用することを推奨します。

## アプリケーション情報

重い差動負荷 (<200Ω) を駆動する場合は、最適な性能を得るためにバイパス容量を追加することが必要な場合があります。寸法の小さい(例えば0603)表面実装型セラミック・コンデンサは、リード付きコンデンサよりもはるかに自己共振周波数が高く、高速アプリケーションで最高の性能を発揮することを覚えておいてください。

安定性応答の低下を防ぐには、プリント回路基板の接続配線を可能な限り短くすることにより、入力ピン(+INA/-INA および +INB/-INB) での浮遊容量を徹底的に小さくすることを推奨します。これが特に当てはまるのは、帰還抵抗回路網で  $R_I = R_F$  の回路に 500Ω より大きい抵抗値を使用する場合です。

出力では、LTC6419 の差動特性を常に念頭においてください。各チャネルの両方の出力に存在する負荷インピーダンス(浮遊インピーダンスまたは意図的なインピーダンス)をできるだけ均衡させ対称にすることが非常に重要であるからです。このことは、偶数次高調波歪みの発生を最小限に抑えて同相信号および同相ノイズを最大限に除去する LTC6419 のバランスのとれた動作を維持するのに役立ちます。

$V_{OCMA}$  ピンおよび  $V_{OCMB}$  ピンは、0.01μF 以上の高品質セラミック・コンデンサを使用してグランド・プレーンにバイパスしてください。こうすると、インピーダンスの不整合により、これらのピンの同相信号および同相ノイズが誤って差動信号および差動ノイズに変換されるのをデバイスの外部と内部の両方で防ぐことができます。

### A/D コンバータの駆動

グランドを基準にする入力、差動出力、および調整可能な出力同相電圧により、LTC6419 は、差動入力 A/D コンバータとインタフェースをとる場合に最適となっています。これらの A/D コンバータは、通常は単電源電圧から供給され、中間電源電圧に近い最適な同相入力範囲を備えています。LTC6419 は、シングルエンドから差動への変換および同相レベル・シフトを行うことにより、これらの A/D コンバータとインタフェースをとります。

A/D コンバータのサンプリング過程では、A/D コンバータのサンプリング・コンデンサのスイッチングに起因する過渡現象が発生します。これにより、アンプとサンプリング・コンデンサの間を電荷が移動するときに、アンプの出力が瞬間的に短絡します。入力信号の有効な表現を得るには、収集期間が終了する前にアンプがこの負荷トランジェントから回復して安定状態に戻る必要があります。LTC6419 は、それらの周期的負荷インパルスから素早くセトリングします。ドライバの出力と A/D コンバータの入力の間に接続された RC 回路網は、A/D コンバータのサンプリング時過渡電圧を減結合します(図8を参照)。この容量はサンプリング過程に大量の電荷を供給する役割を果たし、LTC6419 の出力に取り付けた2本の抵抗は、A/D コンバータから注入された電荷を抑制して減衰させるために使用されます。RC フィルタには、広帯域出力ノイズの帯域を制限するという付加的な利点もあります。一般に、時定数を長くすると SNR は改善されますが、セトリング時間が長くなります。デカップリング回路網の抵抗を 10Ω 以上にする必要があります。これらの抵抗は、LTC6419 の出力を負荷容量から減結合する役割も果たしています。抵抗値が大きすぎるとセトリング時間が不十分になります。抵抗値が小さすぎるとサンプリング過程の負荷トランジェントを十分に抑制できず、セトリングに要する時間が長くなります。このため 16 ビット・アプリケーションでは、通常は最小で 11 種類の RC 時定数が必要になります。歪みを最小限に抑えるには、COG 積層セラミック・コンデンサなど、誘電吸収の小さいコンデンサを選択してください。

## アプリケーション情報

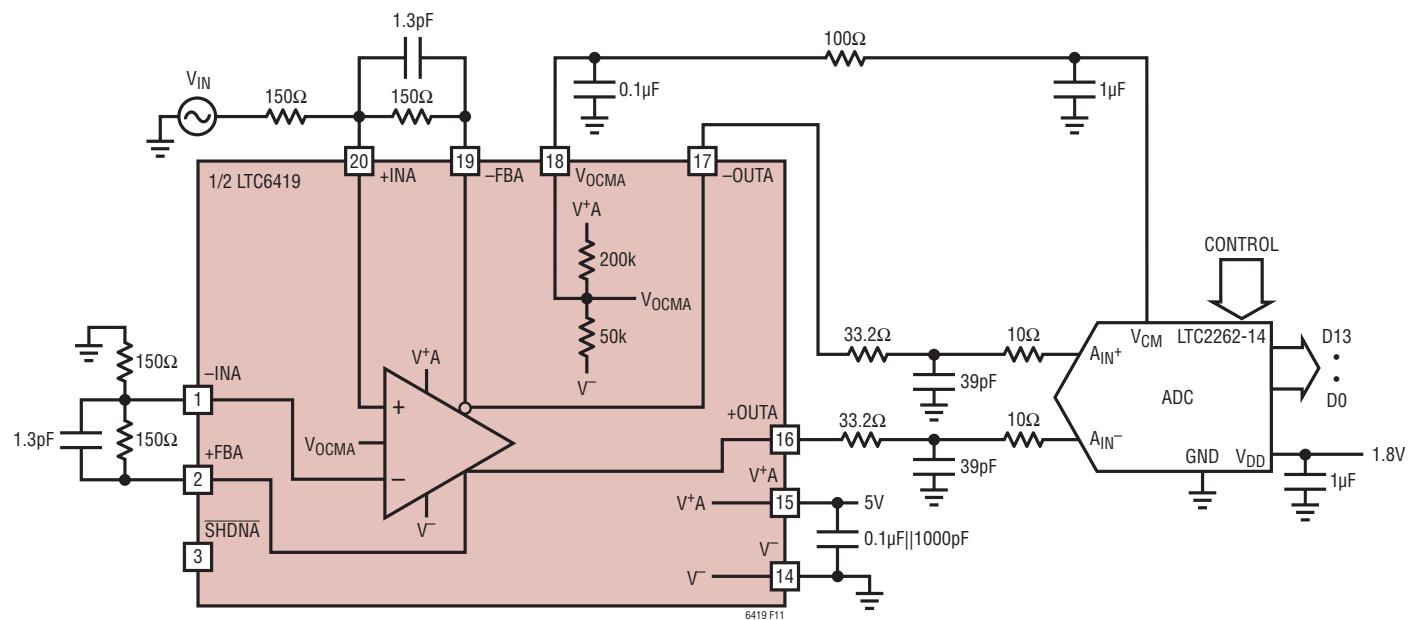


図8. A/Dコンバータの駆動

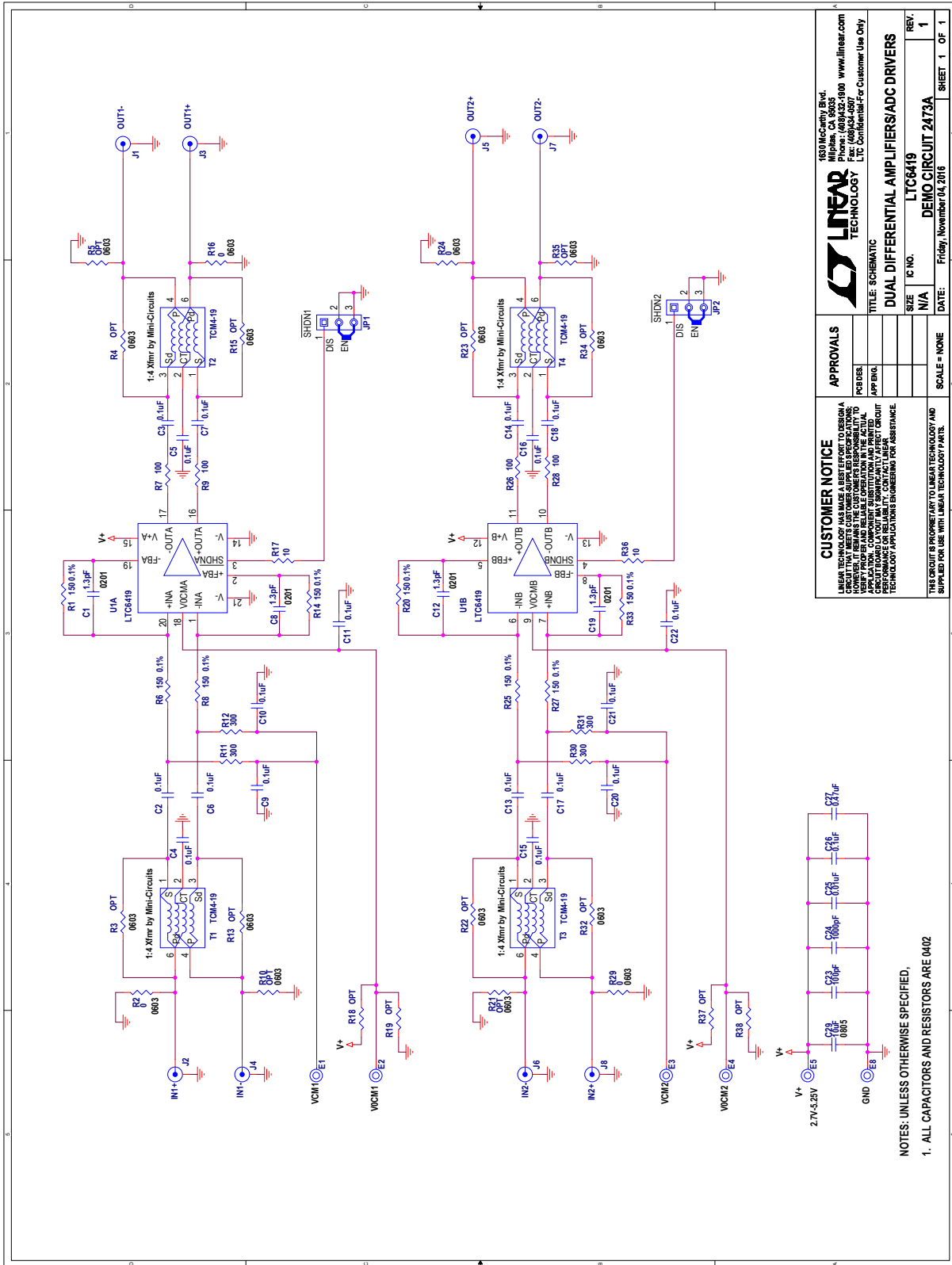


図9. LTC6419デモ・ボードの回路図

アプリケーション情報

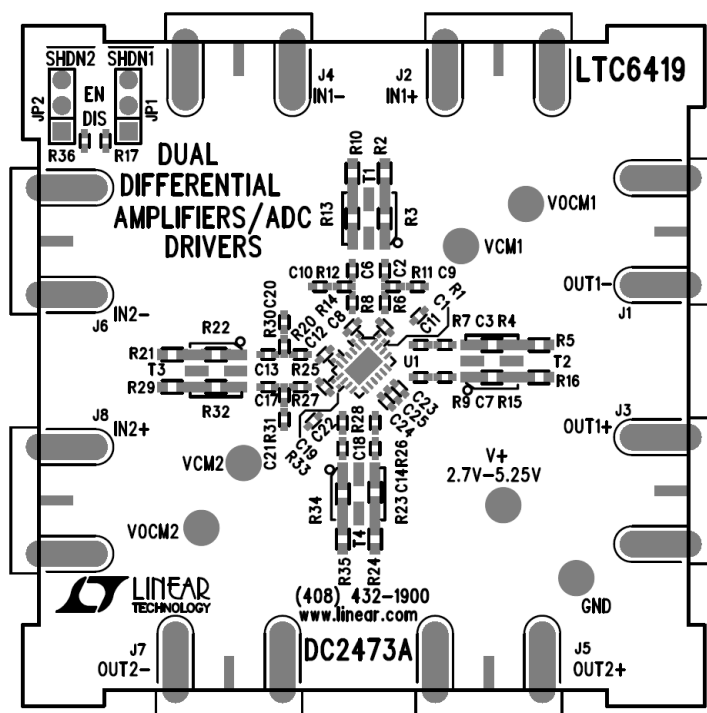
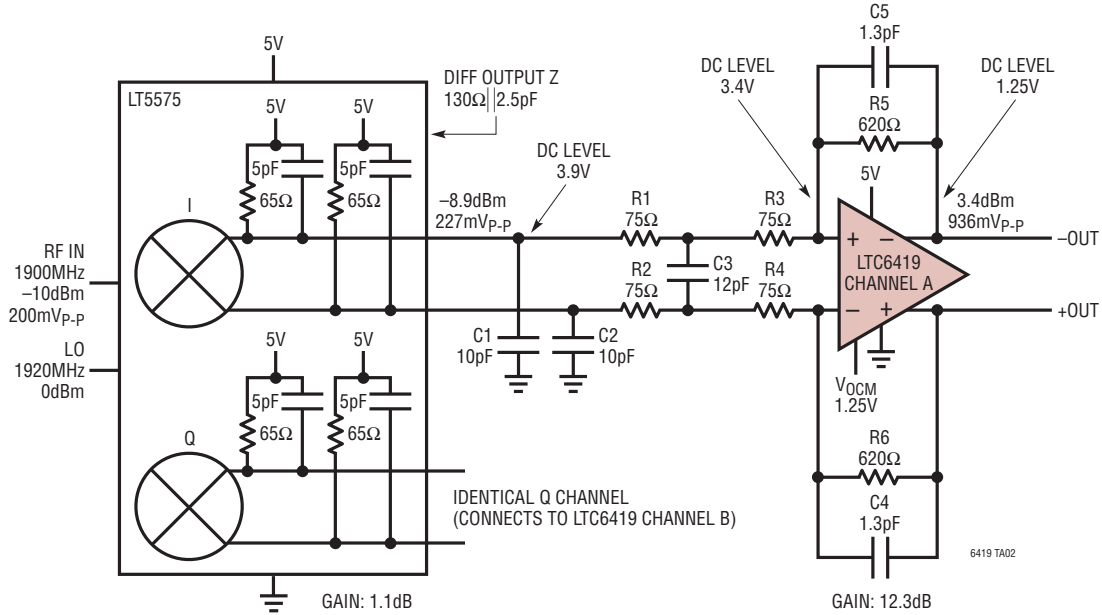


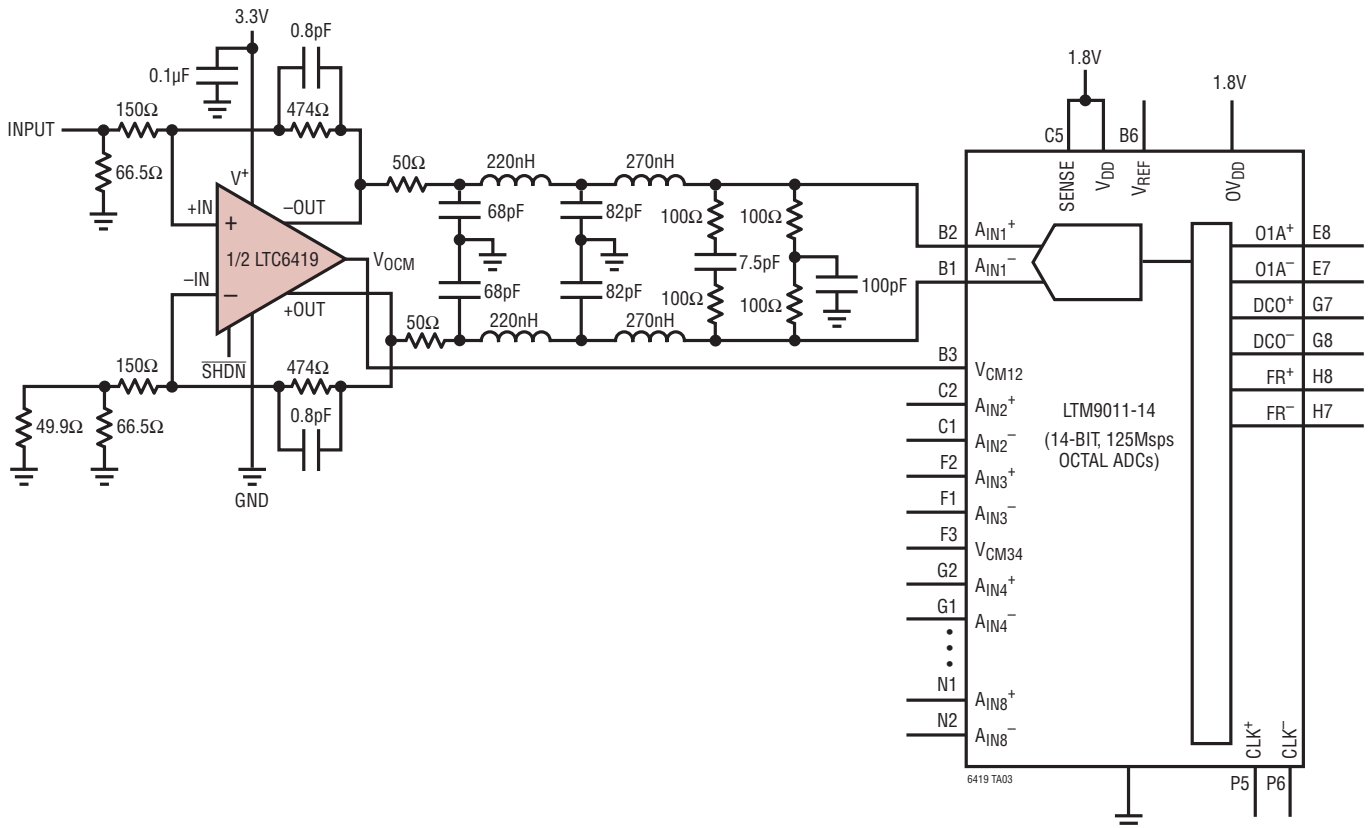
図10. LTC6419デモ基板のレイアウト

## 標準的応用例

DC 結合およびレベルシフトを行う I/Q 変調器の後置アンプ



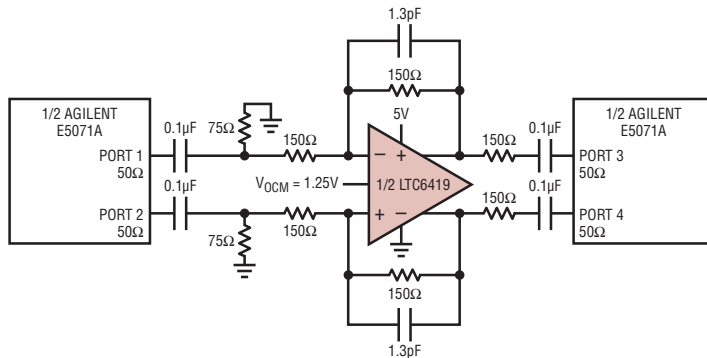
LTC6419 と 50MHz ローパス・フィルタを使用したシングルエンドから差動への変換 (1チャンネルだけ示されている)



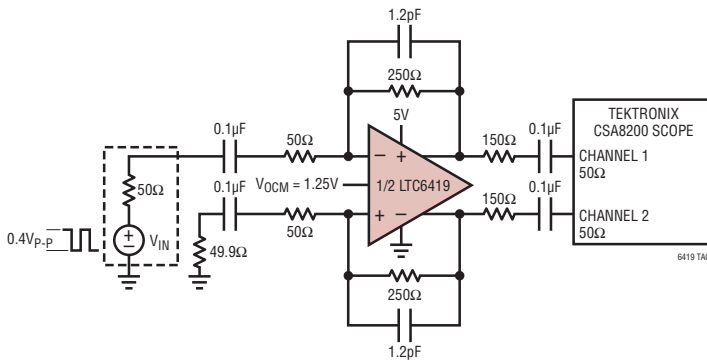
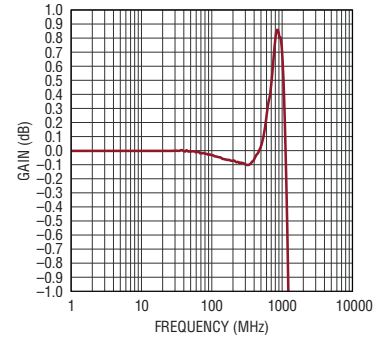


## 標準的応用例

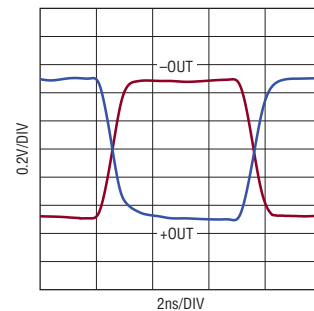
最大の利得平坦性およびオーバーシュートのない時間領域応答を実現するために外部で補償されたLTC6419



利得 0.1dB の平坦性



オーバーシュートのないステップ応答



## 関連製品

製品番号	説明	注釈
LTC6409	10GHz GBW、 $1.1\text{nV}/\sqrt{\text{Hz}}$ 差動アンプ/ADCドライバ	SFDR: 100MHzで88dB、 $I_S = 52\text{mA}$ 、5V電源、ACまたはDC結合入力
LTC6400-8/LTC6400-14/ LTC6400-20/LTC6400-26	1.8GHz、低ノイズ、低歪み、差動ADCドライバ	IM3: 240MHz $1\text{V}_{\text{P-P}}$ で1トーン当たり-71dBc、 $I_S = 90\text{mA}$ 、 $A_V = 8\text{dB}/14\text{dB}/20\text{dB}/26\text{dB}$
LTC6401-8/LTC6401-14/ LTC6401-20/LTC6401-26	1.3GHz、低ノイズ、低歪み、差動ADCドライバ	IM3: 140MHz $1\text{V}_{\text{P-P}}$ で1トーン当たり-74dBc、 $I_S = 50\text{mA}$ 、 $A_V = 8\text{dB}/14\text{dB}/20\text{dB}/26\text{dB}$
LTC6420-20	1.8GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	LTC6400-20のデュアルバージョン、 $A_V = 20\text{dB}$
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	LTC6401-20のデュアルバージョン、 $A_V = 20\text{dB}$
LTC6406/LTC6405	3GHz/2.7GHz、低ノイズ、レール・トゥ・レール入力の差動アンプ/ドライバ	歪み: 50MHzで-70dBc/-65dBc、 $I_S = 18\text{mA}$ 、ノイズ: $1.6\text{nV}/\sqrt{\text{Hz}}$ 、3V/5V電源
LTC6430-15/LTC6430-20	15dB/20dB利得ブロックIFアンプ - 差動	OIP3: 240MHzで50dBm、帯域幅: 20MHz ~ 1700MHz、NF: 3.3dB/2.6dB
LTC6417	1.6GHz、低ノイズ、優れた直線性を備えた差動バッファ/ADCドライバ	OIP3: 300MHzで41dBm、50Ωの差動出力を駆動可能
LTC6416	2GHz、低ノイズ、差動16ビットADCバッファ	IM3: 300MHz $1\text{V}_{\text{P-P}}$ で1トーン当たり-72.5dBc、3.6V電源で150mW
LTC2209	16ビット、160MspsのA/Dコンバータ	SFDR: 100dB、 $V_{\text{DD}} = 3.3\text{V}$ 、 $V_{\text{CM}} = 1.25\text{V}$
LTC2262-14	14ビット、150Msps超低消費電力1.8VA/Dコンバータ	SFDR: 88dB、149mW、 $V_{\text{DD}} = 1.8\text{V}$ 、 $V_{\text{CM}} = 0.9\text{V}$
LTC2268-14/LTC2175-14/ LTM9011-14	デュアル/クワッド/オクタール14ビット、125Msps超低消費電力1.8VA/Dコンバータ	SFDR: 88dB、1チャンネル当たり140mW、 $V_{\text{DD}} = 1.8\text{V}$ 、 $V_{\text{CM}} = 0.9\text{V}$

6419f