

## 特長

- 利得帯域幅積: 10GHz
- SFDR: 88dB (100MHz, 2V<sub>P-P</sub>)
- 入力ノイズ密度: 1.1nV/√Hz
- 入力範囲にグラウンドを含む
- 利得を外付け抵抗で設定: 最小1V/V
- 差動スルーレート: 3300V/μs
- 消費電流: 52mA
- 電源電圧範囲: 2.7V~5.25V
- 完全差動入力および出力
- 調整可能な出力同相電圧
- 低消費電力のシャットダウン
- 小型10ピン3mm×2mm×0.75mm QFNパッケージ

## アプリケーション

- 差動パイプラインADCドライバ
- 高速データ収集カード
- 自動テスト装置
- 時間領域反射率測定
- 通信レシーバ

## 概要

LTC<sup>®</sup>6409は、非常に高速で低歪みの差動アンプです。入力同相範囲がグラウンドを含むので、グラウンド基準の入力信号をDC結合し、レベルシフトし、変換することによってADCを差動でドライブできます。

利得抵抗と帰還抵抗が外付けなので、各アプリケーションに応じて正確な利得および周波数応答を調整できます。たとえば、時間領域のアプリケーションで求められることがあるオーバーシュートのない構成で、このアンプを外部補償することができます。

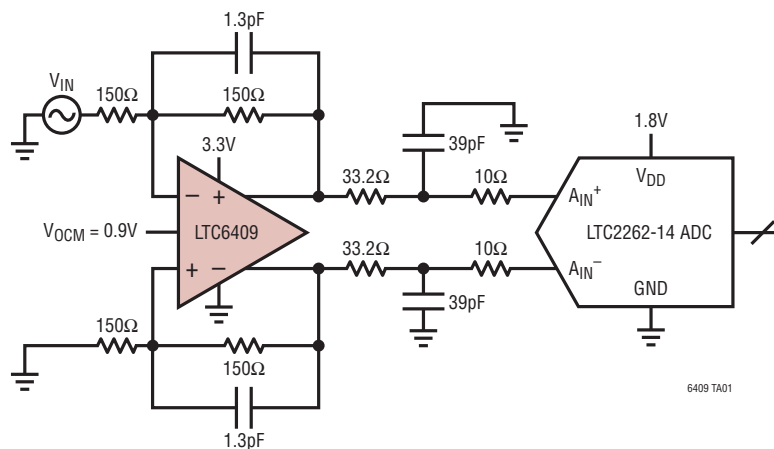
LTC6409は差動利得1で安定するので、利得が求められていないアプリケーションにおいて、出力ノイズを低く抑えることができます。消費電流は52mAで、消費電流をさらに100μAまで低減するハードウェア・シャットダウン機能を備えています。

LTC6409は3mm×2mmの小型10ピン・リードレスQFNパッケージで供給され、-40°C~125°Cの温度範囲で動作します。

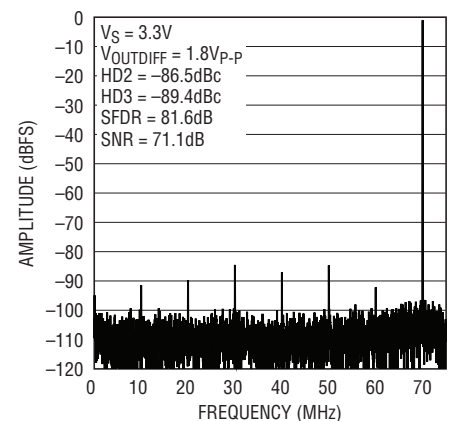
LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例

グラウンド基準のシングルエンド入力から  
LTC2262-14 ADCへのDC結合インタフェース



LTC2262-14 ADCをドライブするLTC6409  
f<sub>IN</sub> = 70MHz、-1dBFS、  
f<sub>S</sub> = 150MHz、4096ポイントFFT

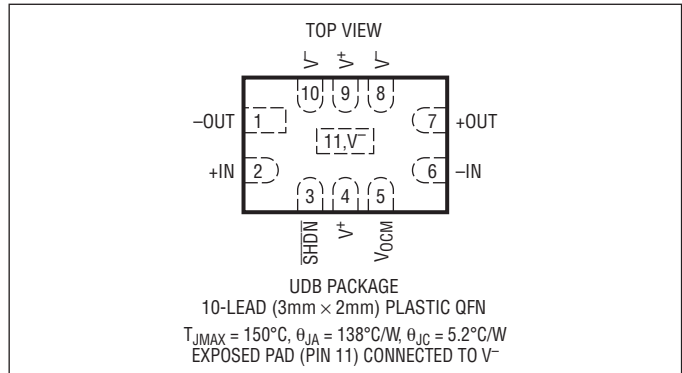


# LTC6409

## 絶対最大定格 (Note 1)

全電源電圧 ( $V^+ - V^-$ ) .....	5.5V
入力電流 ( $+IN$ 、 $-IN$ 、 $V_{OCM}$ 、 $\overline{SHDN}$ ) (Note 2) .....	$\pm 10\text{mA}$
出力短絡時間 (Note 3) .....	無期限
動作温度範囲 (Note 4) .....	$-40^\circ\text{C} \sim 125^\circ\text{C}$
規定温度範囲 (Note 5) .....	$-40^\circ\text{C} \sim 125^\circ\text{C}$
最大接合部温度 .....	$150^\circ\text{C}$
保存温度範囲 .....	$-65^\circ\text{C} \sim 150^\circ\text{C}$

## ピン配置



## 発注情報

### 鉛フリー仕様

テープアンドリール(ミニ)	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6409CUDB#TRMPBF	LTC6409CUDB#TRPBF	LFPF	10-Lead (3mm x 2mm) Plastic QFN	0°C to 70°C
LTC6409IUDB#TRMPBF	LTC6409IUDB#TRPBF	LFPF	10-Lead (3mm x 2mm) Plastic QFN	-40°C to 85°C
LTC6409HUIDB#TRMPBF	LTC6409HUIDB#TRPBF	LFPF	10-Lead (3mm x 2mm) Plastic QFN	-40°C to 125°C

TRM=500個 \*温度グレードは出荷時のコンテナのラベルで識別されます。

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。  
鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = V_{OCM} = V_{ICM} = 1.25\text{V}$ 、 $V_{SHDN}$ はオープン。  
 $V_S$ は $(V^+ - V^-)$ と定義されている。 $V_{OUTCM}$ は $(V_{+OUT} + V_{-OUT})/2$ と定義されている。 $V_{ICM}$ は $(V_{+IN} + V_{-IN})/2$ と定義されている。 $V_{OUTDIFF}$ は $(V_{+OUT} - V_{-OUT})$ と定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{OSDIFF}$	Differential Offset Voltage (Input Referred)	$V_S = 3\text{V}$		±300	±1000	$\mu\text{V}$	
		$V_S = 3\text{V}$	●		±1200	$\mu\text{V}$	
		$V_S = 5\text{V}$		±300	±1100	$\mu\text{V}$	
		$V_S = 5\text{V}$	●		±1400	$\mu\text{V}$	
$\frac{\Delta V_{OSDIFF}}{\Delta T}$	Differential Offset Voltage Drift (Input Referred)	$V_S = 3\text{V}$	●	2		$\mu\text{V}/^\circ\text{C}$	
		$V_S = 5\text{V}$	●	2		$\mu\text{V}/^\circ\text{C}$	
$I_B$	Input Bias Current (Note 6)	$V_S = 3\text{V}$	●	-140	-62	0	$\mu\text{A}$
		$V_S = 5\text{V}$	●	-160	-70	0	$\mu\text{A}$
$I_{OS}$	Input Offset Current (Note 6)	$V_S = 3\text{V}$	●	±2	±10	$\mu\text{A}$	
		$V_S = 5\text{V}$	●	±2	±10	$\mu\text{A}$	
$R_{IN}$	Input Resistance	Common Mode		165		k $\Omega$	
		Differential Mode		860		$\Omega$	
$C_{IN}$	Input Capacitance	Differential Mode		0.5		pF	
$e_n$	Differential Input Noise Voltage Density	$f = 1\text{MHz}$ , Not Including $R_I/R_F$ Noise		1.1		nV/ $\sqrt{\text{Hz}}$	
$i_n$	Input Noise Current Density	$f = 1\text{MHz}$ , Not Including $R_I/R_F$ Noise		8.8		pA/ $\sqrt{\text{Hz}}$	
NF	Noise Figure at 100MHz	Shunt-Terminated to 50 $\Omega$ , $R_S = 50\Omega$ , $R_I = 25\Omega$ , $R_F = 10\text{k}\Omega$		6.9		dB	

6409f

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OCM}} = V_{\text{ICM}} = 1.25\text{V}$ 、 $V_{\text{SHDN}}$ はオープン。 $V_S$ は $(V^+ - V^-)$ と定義されている。 $V_{\text{OUTCM}}$ は $(V_{\text{+OUT}} + V_{\text{-OUT}})/2$ と定義されている。 $V_{\text{ICM}}$ は $(V_{\text{+IN}} + V_{\text{-IN}})/2$ と定義されている。 $V_{\text{OUTDIFF}}$ は $(V_{\text{+OUT}} - V_{\text{-OUT}})$ と定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$e_{\text{nVOCM}}$	Common Mode Noise Voltage Density	$f = 10\text{MHz}$		12		$\text{nV}/\sqrt{\text{Hz}}$
$V_{\text{ICMR}}$ (Note 7)	Input Signal Common Mode Range	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	0 0	1.5 3.5	V V
$\text{CMRRI}$ (Note 8)	Input Common Mode Rejection Ratio (Input Referred) $\Delta V_{\text{ICM}}/\Delta V_{\text{OSDIFF}}$	$V_S = 3\text{V}$ , $V_{\text{ICM}}$ from 0V to 1.5V $V_S = 5\text{V}$ , $V_{\text{ICM}}$ from 0V to 3.5V	● ●	75 75	90 90	dB dB
$\text{CMRRI0}$ (Note 8)	Output Common Mode Rejection Ratio (Input Referred) $\Delta V_{\text{OCM}}/\Delta V_{\text{OSDIFF}}$	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	55 60	80 85	dB dB
$\text{PSRR}$ (Note 9)	Differential Power Supply Rejection ( $\Delta V_S/\Delta V_{\text{OSDIFF}}$ )	$V_S = 2.7\text{V}$ to 5.25V	●	60	85	dB
$\text{PSRRCM}$ (Note 9)	Output Common Mode Power Supply Rejection ( $\Delta V_S/\Delta V_{\text{OSCM}}$ )	$V_S = 2.7\text{V}$ to 5.25V	●	55	70	dB
$V_S$	Supply Voltage Range (Note 10)		●	2.7	5.25	V
$G_{\text{CM}}$	Common Mode Gain ( $\Delta V_{\text{OUTCM}}/\Delta V_{\text{OCM}}$ )	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	1 1		V/V V/V
$\Delta G_{\text{CM}}$	Common Mode Gain Error, $100 \times (G_{\text{CM}} - 1)$	$V_S = 3\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 1.5V $V_S = 5\text{V}$ , $V_{\text{OCM}}$ from 0.5V to 3.5V	● ●	$\pm 0.1$ $\pm 0.1$	$\pm 0.3$ $\pm 0.3$	% %
BAL	Output Balance ( $\Delta V_{\text{OUTCM}}/\Delta V_{\text{OUTDIFF}}$ )	$\Delta V_{\text{OUTDIFF}} = 2\text{V}$ Single-Ended Input Differential Input	● ●	-65 -70	-50 -50	dB dB
$V_{\text{OSCM}}$	Common Mode Offset Voltage ( $V_{\text{OUTCM}} - V_{\text{OCM}}$ )	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	$\pm 1$ $\pm 1$	$\pm 5$ $\pm 6$	mV mV
$\frac{\Delta V_{\text{OSCM}}}{\Delta T}$	Common Mode Offset Voltage Drift		●	4		$\mu\text{V}/^\circ\text{C}$
$V_{\text{OUTCMR}}$ (Note 7)	Output Signal Common Mode Range (Voltage Range for the $V_{\text{OCM}}$ Pin)	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	0.5 0.5	1.5 3.5	V V
$R_{\text{INVOCM}}$	Input Resistance, $V_{\text{OCM}}$ Pin		●	30	40 50	$\text{K}\Omega$
$V_{\text{OCM}}$	Self-Biased Voltage at the $V_{\text{OCM}}$ Pin	$V_S = 3\text{V}$ , $V_{\text{OCM}} = \text{Open}$ $V_S = 5\text{V}$ , $V_{\text{OCM}} = \text{Open}$	●	0.85 0.9	1.25 1.6	V V
$V_{\text{OUT}}$	Output Voltage, High, Either Output Pin	$V_S = 3\text{V}$ , $I_L = 0$ $V_S = 3\text{V}$ , $I_L = -20\text{mA}$ $V_S = 5\text{V}$ , $I_L = 0$ $V_S = 5\text{V}$ , $I_L = -20\text{mA}$	● ● ● ●	1.85 1.8 3.85 3.8	2 1.95 4 3.95	V V V V
	Output Voltage, Low, Either Output Pin	$V_S = 3\text{V}$ , 5V; $I_L = 0$ $V_S = 3\text{V}$ , 5V; $I_L = 20\text{mA}$	● ●	0.06 0.2	0.15 0.4	V V
$I_{\text{SC}}$	Output Short-Circuit Current, Either Output Pin (Note 11)	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	$\pm 50$ $\pm 70$	$\pm 70$ $\pm 95$	mA mA
$A_{\text{VOL}}$	Large-Signal Open Loop Voltage Gain			65		dB
$I_S$	Supply Current		●	52	56 58	mA mA
$I_{\text{SHDN}}$	Supply Current in Shutdown	$V_{\text{SHDN}} \leq 0.6\text{V}$	●	100	500	$\mu\text{A}$
$R_{\text{SHDN}}$	SHDN Pull-Up Resistor	$V_{\text{SHDN}} = 0\text{V}$ to 0.5V	●	115	150 185	$\text{K}\Omega$
$V_{\text{IL}}$	SHDN Input Logic Low		●		0.6	V
$V_{\text{IH}}$	SHDN Input Logic High		●	1.4		V
$t_{\text{ON}}$	Turn-On Time			160		ns
$t_{\text{OFF}}$	Turn-Off Time			80		ns

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 5\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{\text{CM}} = V_{\text{OCM}} = V_{\text{ICM}} = 1.25\text{V}$ ,  $V_{\text{SHDN}}$ はオープン。 $V_S$ は $(V^+ - V^-)$ と定義されている。 $V_{\text{OUTCM}}$ は $(V_{\text{+OUT}} + V_{\text{-OUT}})/2$ と定義されている。 $V_{\text{ICM}}$ は $(V_{\text{+IN}} + V_{\text{-IN}})/2$ と定義されている。 $V_{\text{OUTDIFF}}$ は $(V_{\text{+OUT}} - V_{\text{-OUT}})$ と定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SR	Slew Rate	Differential Output, $V_{\text{OUTDIFF}} = 4V_{\text{P-P}}$ +OUT Rising (-OUT Falling) +OUT Falling (-OUT Rising)		3300		V/ $\mu\text{s}$
				1720		V/ $\mu\text{s}$
				1580		V/ $\mu\text{s}$
GBW	Gain-Bandwidth Product	$R_I = 25\Omega$ , $R_F = 10\text{k}\Omega$ , $f_{\text{TEST}} = 100\text{MHz}$	9.5 ● 8	10		GHz GHz
$f_{-3\text{dB}}$	-3dB Frequency	$R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ , $C_F = 1.3\text{pF}$		2		GHz
$f_{0.1\text{dB}}$	Frequency for 0.1dB Flatness	$R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ , $C_F = 1.3\text{pF}$		600		MHz
FPBW	Full Power Bandwidth	$V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$		550		MHz
HD2 HD3	25MHz Distortion	Differential Input, $V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ , $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ 2nd Harmonic 3rd Harmonic		-104 -106		dBc dBc
	100MHz Distortion	Differential Input, $V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ , $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ 2nd Harmonic 3rd Harmonic		-93 -88		dBc dBc
HD2 HD3	25MHz Distortion	Single-Ended Input, $V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ , $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ 2nd Harmonic 3rd Harmonic		-101 -103		dBc dBc
	100MHz Distortion	Single-Ended Input, $V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ , $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ 2nd Harmonic 3rd Harmonic		-88 -93		dBc dBc
IMD3	3rd Order IMD at 25MHz $f_1 = 24.9\text{MHz}$ , $f_2 = 25.1\text{MHz}$	$V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ Envelope, $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$		-110		dBc
	3rd Order IMD at 100MHz $f_1 = 99.9\text{MHz}$ , $f_2 = 100.1\text{MHz}$	$V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ Envelope, $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$		-98		dBc
	3rd Order IMD at 140MHz $f_1 = 139.9\text{MHz}$ , $f_2 = 140.1\text{MHz}$	$V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ Envelope, $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$		-88		dBc
OIP3	Equivalent OIP3 at 25MHz (Note 12)			59		dBm
	Equivalent OIP3 at 100MHz (Note 12)			53		dBm
	Equivalent OIP3 at 140MHz (Note 12)			48		dBm
$t_S$	Settling Time	$V_{\text{OUTDIFF}} = 2V_{\text{P-P}}$ Step, $R_I = R_F = 150\Omega$ , $R_{\text{LOAD}} = 400\Omega$ 1% Settling		1.9		ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 入力ピン(+IN, -IN,  $V_{\text{OCM}}$ , SHDN)は両方の電源へのステアリング・ダイオードによって保護されている。入力がいずれかの電源電圧を超える場合は、入力電流は10mA以下に制限しなければならない。さらに、入力+INおよび-INは1組のバック・トゥ・バック・ダイオードで保護されている。差動入力電圧が1.4Vを超える場合、入力電流は10mA以下に制限しなければならない。

**Note 3:** 出力電流が高い場合は、接合部温度を絶対最大定格値よりも低く抑えるために、ヒートシンクが必要になることがある。

**Note 4:** LTC6409C/LTC6409Iは $-40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で動作することが保証されている。LTC6409Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度範囲で動作することが保証されている。

**Note 5:** LTC6409Cは $0^\circ\text{C} \sim 70^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6409Cは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合するように設計され、特性が評価されており、性能仕様に適合すると予想されるが、これらの温度ではテストされないし、QAサンプリングもおこなわれない。LTC6409Iは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6409Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

**Note 6:** 入力バイアス電流は、入力ピン(-INと+IN)に流れ込む入力電流の平均として定義されている。入力オフセット電流は、入力電流の差( $I_{\text{OS}} = I_{\text{B}^+} - I_{\text{B}^-}$ )として定義されている。

## 電気的特性

**Note 7:** 入力同相範囲は、 $V_{ICM} = 1.25V$ と「電気的特性」の表に記載された限界条件の両方でテストし、限界条件における差動オフセット ( $V_{OSDIFF}$ ) および同相オフセット ( $V_{OSCM}$ ) と  $V_{ICM} = 1.25V$  における値との差が、それぞれ  $\pm 1mV$  および  $\pm 2mV$  以内であることを確認することによってテストされる。

出力同相電圧範囲は、 $V_{OCM}$  ピンに電圧を印加し、 $V_{OCM} = 1.25V$  と「電気的特性」の表に記載された限界条件の両方でテストし、限界条件における同相オフセット ( $V_{OSCM}$ ) と  $V_{OCM} = 1.25V$  における値との差が  $\pm 6mV$  以内であることを確認することによってテストされる。

**Note 8:** 入力CMRRは、入力換算差動オフセット電圧の変化に対する、ピン+INまたはピン-INの入力同相電圧の変化の比率として定義されている。出力CMRRは、入力換算差動オフセット電圧の変化に対する、 $V_{OCM}$  ピンの電圧の変化の比率として定義されている。この仕様は2つの出力とそれぞれの対応する入力間の帰還率の整合に強く依存するので、実際のアンプの性能を測定するのは難しい (このデータシートの「アプリケーション情報」セクションにおける「抵抗ペアの不整合の影響」を参照)。帰還部品の整合に依存しない実際のアンプの性能の指標については、PSRRの仕様を参照。

**Note 9:** 差動電源除去比 (PSRR) は、入力換算差動オフセット電圧の変化に対する、電源電圧の変化の比率として定義されている。同相電源除去比 (PSRR<sub>CM</sub>) は、出力同相オフセット電圧の変化に対する、電源電圧の変化の比率として定義されている。

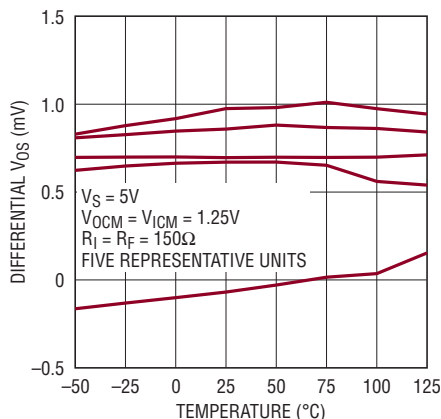
**Note 10:** 電源電圧範囲は電源除去比テストによって保証されている。

**Note 11:** 出力が短絡状態で長時間動作すると、接合部温度が  $150^{\circ}C$  の限界値を超えることがある。

**Note 12:** IMD3の測定値から等価OIP3をどのようにして計算するかについては、このデータシートの「アプリケーション情報」セクションの「直線性を表すいろいろな指標の関係」を参照。

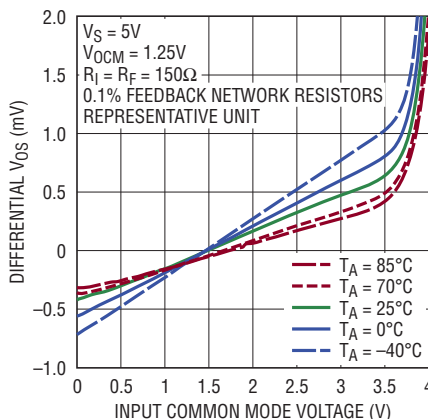
## 標準的性能特性

差動入力オフセット電圧と温度



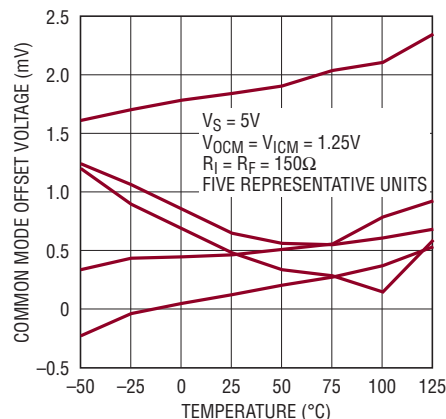
6409 G01

差動入力オフセット電圧と  
入力同相電圧



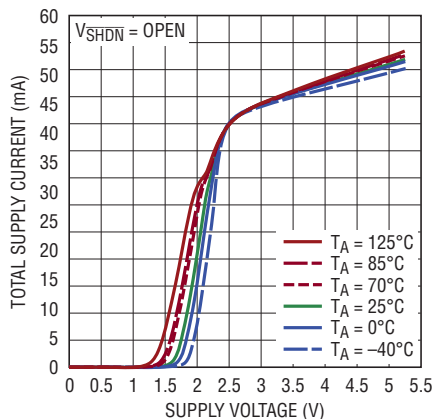
6409 G02

同相オフセット電圧と温度



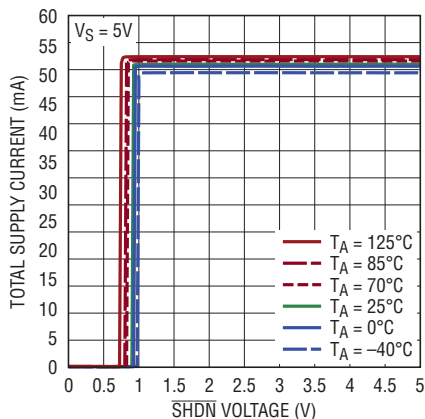
6409 G03

消費電流と電源電圧



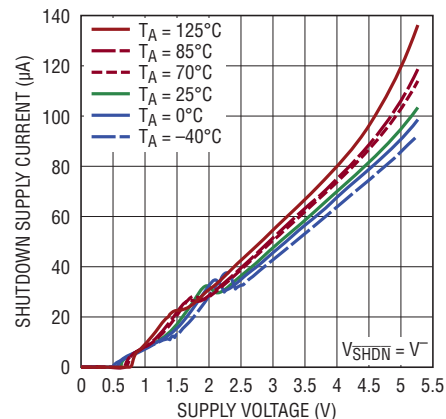
6409 G04

消費電流とSHDN電圧



6409 G05

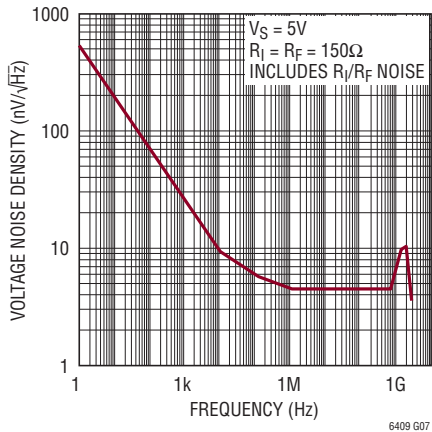
シャットダウン時の  
消費電流と電源電圧



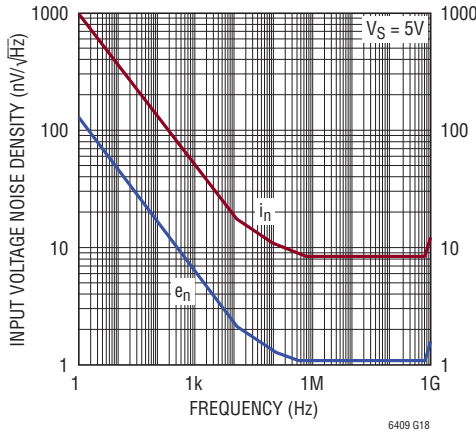
6409 G06

## 標準的性能特性

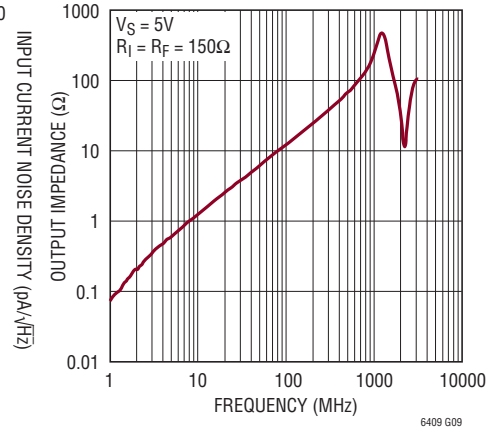
差動出力電圧ノイズと周波数



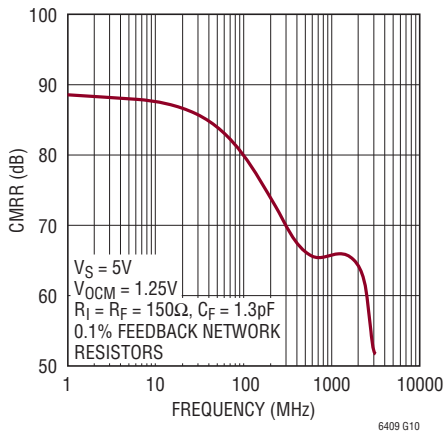
入力ノイズ密度と周波数



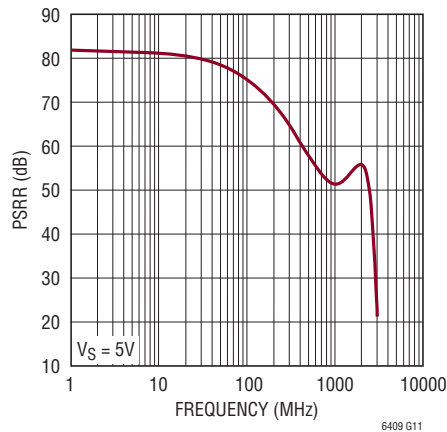
差動出力インピーダンスと周波数



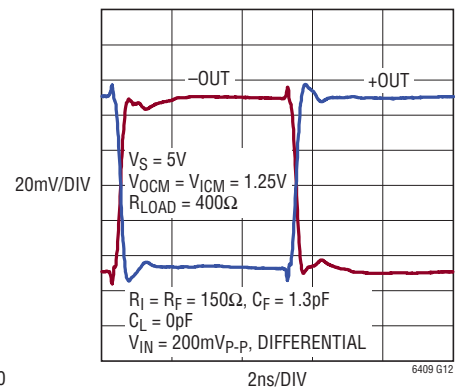
CMRRと周波数



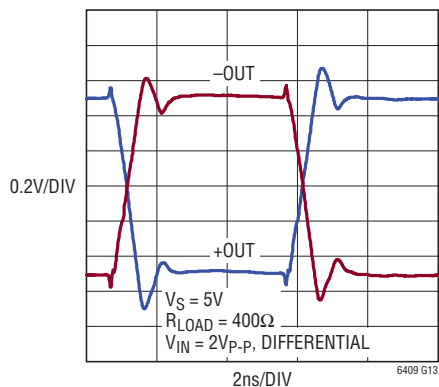
差動PSRRと周波数



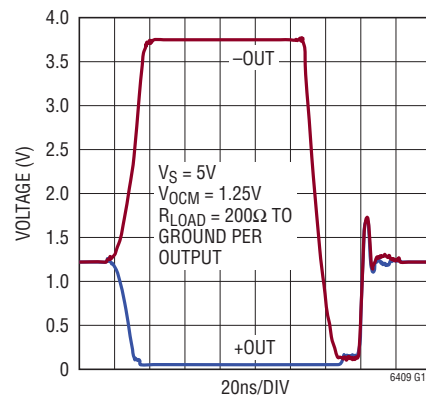
小信号のステップ応答



大信号のステップ応答

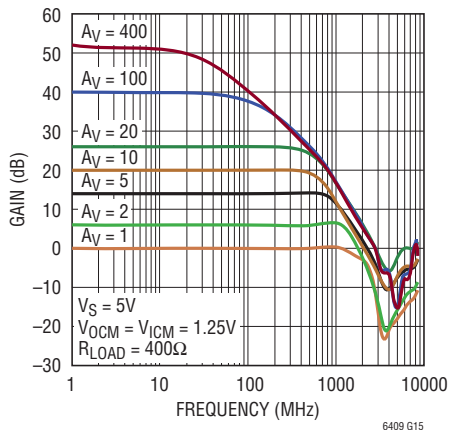


オーバードライブされた出力の過渡応答

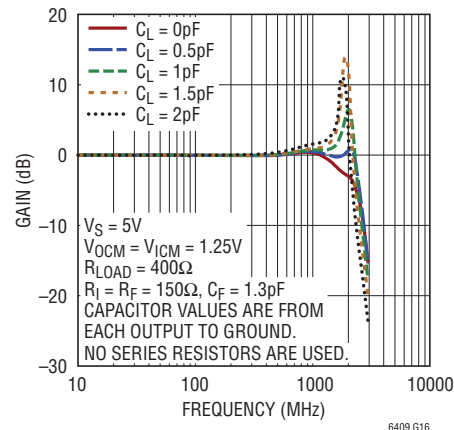


標準的性能特性

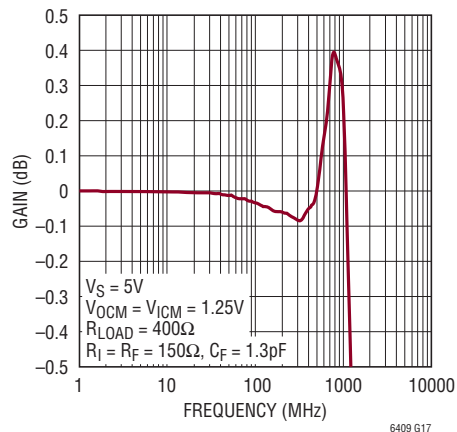
周波数応答と閉ループ利得



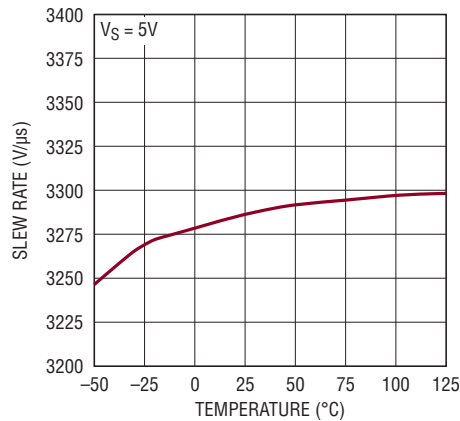
周波数応答と負荷容量



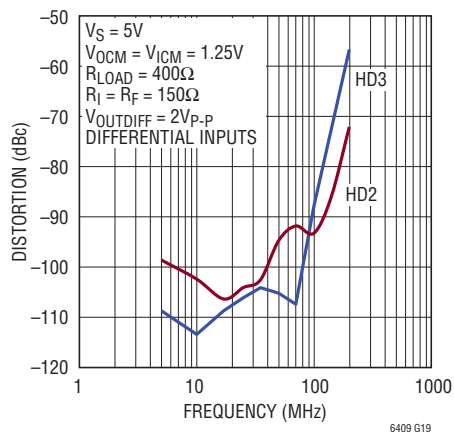
0.1dB利得平坦性



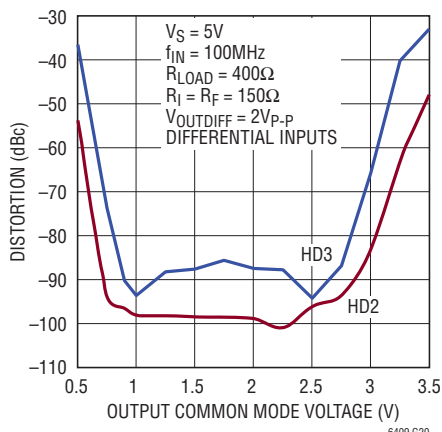
スルーレートと温度



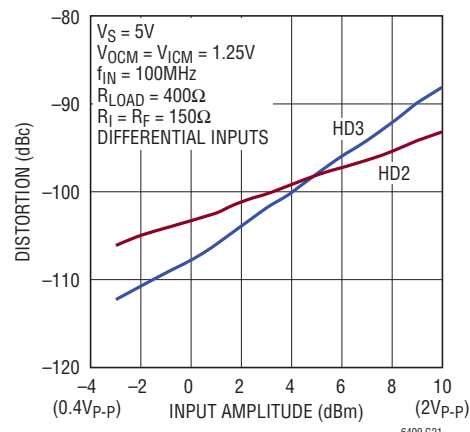
高調波歪みと周波数



高調波歪みと出力同相電圧

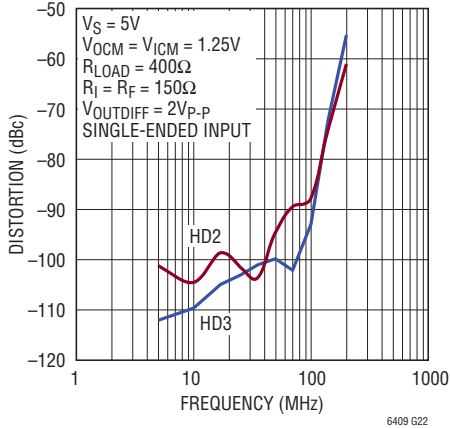


高調波歪みと入力振幅

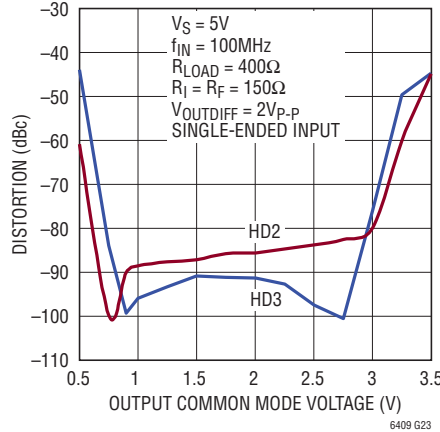


## 標準的性能特性

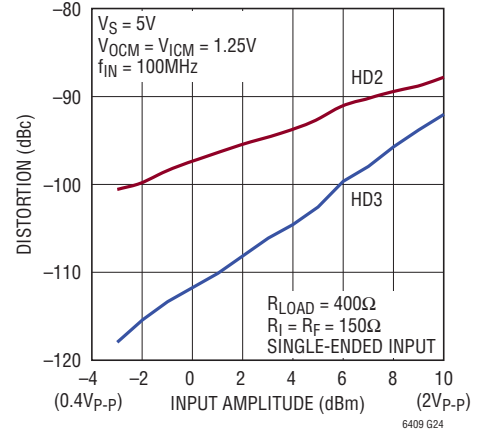
高調波歪みと周波数



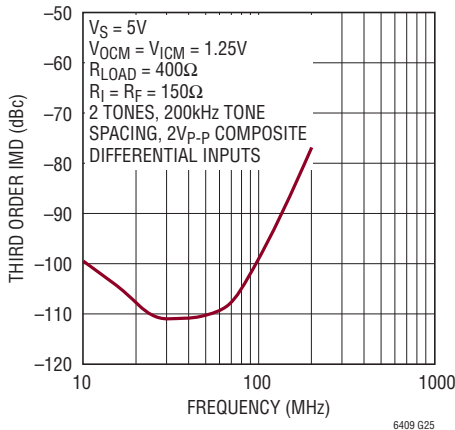
高調波歪みと出力同相電圧



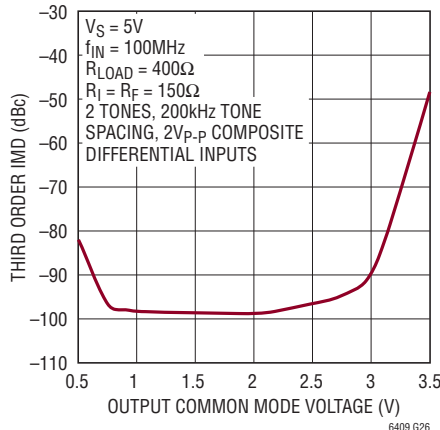
高調波歪みと入力振幅



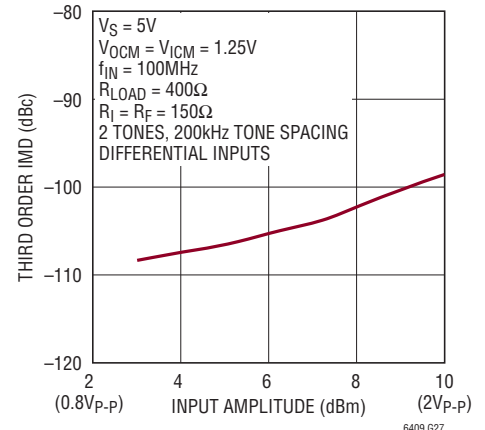
混変調歪みと周波数



混変調歪みと出力同相電圧



混変調歪みと入力振幅



## ピン機能

**+IN、-IN (ピン2,6):** 非反転入力ピンと反転入力ピン。

**SHDN (ピン3):** SHDNピンがフロート状態になっているか、あるいは $V^+$ に直接接続されているときは、LTC6409はアクティブとなり通常モードで動作します。SHDNピンを $V^-$ ピンに接続すると、LTC6409はディスエーブルされ、消費電流は約100 $\mu A$ になります。

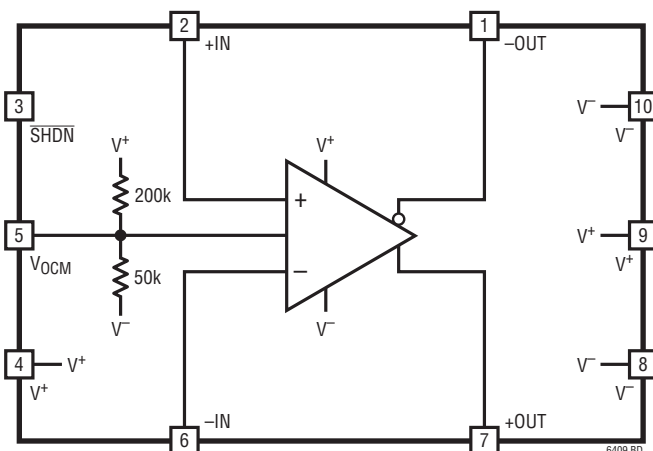
**$V^+$ 、 $V^-$  (ピン4,9とピン8,10):** 正電源ピンと負電源ピン。ピン4とピン9を同一の電圧に、またピン8とピン10を同一の電圧に接続する必要があります。

**$V_{OCM}$  (ピン5):** 出力同相基準電圧。このピンに印加される電圧に応じて出力同相電圧レベルが設定されます。このピンをフロート状態にした場合には、5V電源では内部の抵抗分割器によって1.25Vがデフォルト値として与えられます。

**+OUT、-OUT (ピン7,1):** 差動出力ピン。

**露出パッド (ピン11):** 底面のパッドは $V^-$ に接続してください。両電源を用いる場合には、このパッドを接地してはなりません。

## ブロック図



## アプリケーション情報

## 機能の概要

LTC6409は小型、広帯域、高速、低ノイズ、低歪みで、正確な出力位相バランスを有する完全差動アンプです。このアンプは低電圧単一電源差動入力A/Dコンバータ（ADC）をドライブするのに最適化されています。LTC6409は入力同相範囲にグラウンド電位を含むので、グラウンド基準のシングルエンド信号をDC結合し、外部から与えられる出力同相電圧を基準にした差動信号に変換するのに最適です。これは、上記のような差動ADCをドライブするのに最適です。また、このアンプのバランスの取れた差動特性により、偶数次の高調波歪みがキャンセルされ、（電源ノイズのような）同相ノイズの影響を受けにくくなっています。LTC6409は、シングルエンド入力から差動出力へのアンプとしても、また、差動入力から差動出力へのアンプとしても動作可能です。

LTC6409の出力はグラウンド電位近くから $V^+$ より1V低い電圧までの範囲で振幅可能です。この出力は最大で約70mAの電流をソースまたはシンクすることができます。負荷容量は少なくとも $10\Omega$ の直列抵抗を使ってそれぞれの出力ピンからデカップリングする必要があります。

## 入力ピンの保護

1.4Vを超える大きな差動入力電圧に対してLTC6409の入力段を保護するために、2対のダイオードが背中合わせに+INと-INとの間に直列に接続されています。さらに、入力ピンには、 $V_{OCM}$ ピンやSHDNピンと同様に、どちらかの電源に入力をクランプするためのダイオードが接続されています。これにより、

入力ピンにどちらかの電源電圧を超える大きな電圧が入力された場合でも、入力電流は10mAに制限され、デバイスが損傷を受けるのを防ぎます。

## SHDNピン

SHDNピンは150kの内部プルアップ抵抗が接続されたCMOSロジック入力構成となっています。このピンを“L”にドライブするとLTC6409はパワーダウンします。このピンを未接続のままにするか、“L”にドライブすると、LTC6409はアクティブとなり通常の動作をします。このピンにリーク電流があるとLTC6409が意図せずにシャットダウンすることがあるので、このピンのリーク電流に対しては注意が必要です。シャットダウン状態とアクティブ状態の間のターンオン時間とターンオフ時間は標準で200ns未満です。

## アンプの一般的なアプリケーション

図1において、 $V_{INP}$ と $V_{INM}$ に対する $V_{OUTDIFF}$ の利得は次の式のようになります。

$$V_{OUTDIFF} = V_{+OUT} - V_{-OUT} \approx \frac{R_F}{R_I} \cdot (V_{INP} - V_{INM}) \quad (1)$$

式(1)は差動出力電圧( $V_{+OUT} - V_{-OUT}$ )が入力および出力の同相電圧成分あるいは同相ピンの電圧の影響を受けないことを示しています。このような特長を備えたLTC6409は、ブリアンプやレベルシフト、あるいはシングルエンド入力信号を差動出力信号に変換して差動入力ADCをドライブするなどのアプリケーションに最適です。

## アプリケーション情報

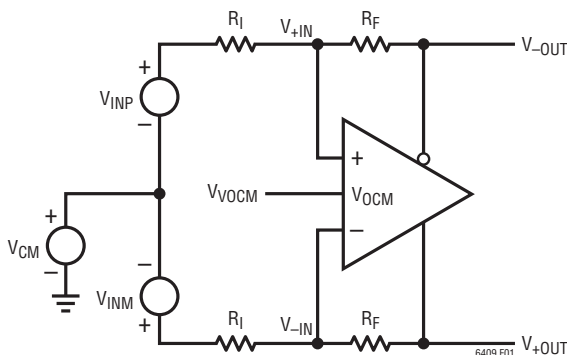


図1. 同相範囲回路

出力同相電圧とV<sub>OCM</sub>ピン

出力同相電圧は2つの出力の平均値として定義されます。すなわち次の式のようにになります。

$$V_{OUTCM} = V_{OCM} = \frac{V_{+OUT} + V_{-OUT}}{2}$$

この式が示しているように、出力同相電圧は、入力同相電圧とは関係なく、内部同相帰還ループを介して、V<sub>OCM</sub>ピンに印加される電圧によって決まります。

V<sub>OCM</sub>ピンをオープン状態にした場合は、5V電源では内部抵抗分割器によって1.25Vのデフォルト値が発生します。必要に応じて、上記電圧に他の電圧を重ねてV<sub>OCM</sub>ピンに印加することが可能です。例えばADCをドライブするとき、同相電圧を設定するためのリファレンス電圧がADCから得られる場合には、このリファレンス電圧をV<sub>OCM</sub>ピンに直接接続することができます。ただし、この場合、ADCがV<sub>OCM</sub>ピンの40kの入力抵抗をドライブできる能力を有していることが必要です。V<sub>OCM</sub>ピンに対して印加される電圧の有効範囲(V<sub>OUTCMR</sub>)は「電気的特性」の表に記載されています。

## 入力同相電圧範囲

LTC6409の入力同相電圧(V<sub>ICM</sub>)は2つの入力ピンV<sub>+IN</sub>、V<sub>-IN</sub>の電圧の平均値として定義されています。V<sub>ICM</sub>に使用可能な有効電圧範囲は、「電気的特性」の表に記載されています(V<sub>ICMR</sub>)。ただし、利得抵抗と帰還抵抗が外付け抵抗分割器として機能するので、処理可能な信号の有効範囲はさらに広がります。オペアンプにおける入力同相範囲は、回路構成(利得)、V<sub>OCM</sub>、およびV<sub>CM</sub>に依存します(図1を参照)。完全

差動入力のアプリケーションでV<sub>INP</sub> = -V<sub>INM</sub>の場合には、同相入力に近似的に次の式で与えられます。

$$V_{ICM} = \frac{V_{+IN} + V_{-IN}}{2} \approx V_{OCM} \cdot \frac{R_I}{R_I + R_F} + V_{CM} \cdot \frac{R_F}{R_I + R_F}$$

シングルエンド入力構成では、入力同相電圧に入力信号成分が存在することになります。すなわち、V<sub>INP</sub>のみに電圧を印加する場合(V<sub>INM</sub>はゼロに設定)には、入力同相電圧は近似的に次の式で与えられます。

$$V_{ICM} = \frac{V_{+IN} + V_{-IN}}{2} \approx V_{OCM} \cdot \frac{R_I}{R_I + R_F} + V_{CM} \cdot \frac{R_F}{R_I + R_F} + \frac{V_{INP}}{2} \cdot \frac{R_F}{R_I + R_F} \quad (2)$$

この式から、例えば、入力信号(V<sub>INP</sub>)が正弦波の場合、この入力正弦波信号の減衰値がオペアンプの入力に現れることがわかります。

## 入力インピーダンスと負荷の影響

図1のV<sub>INP</sub>入力またはV<sub>INM</sub>入力を見込む低周波入力インピーダンスは、これらの入力をどのようにドライブするかによって違ってきます。完全差動入力源(V<sub>INP</sub> = -V<sub>INM</sub>)によって入力がドライブされる場合には、どちらの入力で見たと入力インピーダンスも単に次のようになります。

$$R_{INP} = R_{INM} = R_I$$

シングルエンド入力の場合には、入力での信号のバランスがとれていないため、バランスのとれた差動入力に比べて入力インピーダンスが実際には増大します。どちらの入力ピンを見込む入力インピーダンスも次の式のようにになります。

$$R_{INP} = R_{INM} = \frac{R_I}{1 - \frac{1}{2} \cdot \frac{R_F}{R_I + R_F}}$$

出力インピーダンスがゼロでない入力信号源によって、帰還ネットワーク・ペアの間に帰還の不均衡が生じることもあります。最高の性能を得るため、入力信号源の出力インピーダンスを補償することを推奨します。入力信号源が入力インピーダンスの整合を必要とする場合には、終端抵抗R<sub>T</sub>を次の式を満たすように選択します。

## アプリケーション情報

$$R_T = \frac{R_{INM} \cdot R_S}{R_{INM} - R_S}$$

図2において、差動アンプを見込む入力インピーダンス ( $R_{INM}$ ) は上記のシングルエンド入力源の場合を反映します。一方、図2の  $R_2$  は次のように選択します。

$$R_2 = R_T \parallel R_S = \frac{R_T \cdot R_S}{R_T + R_S}$$

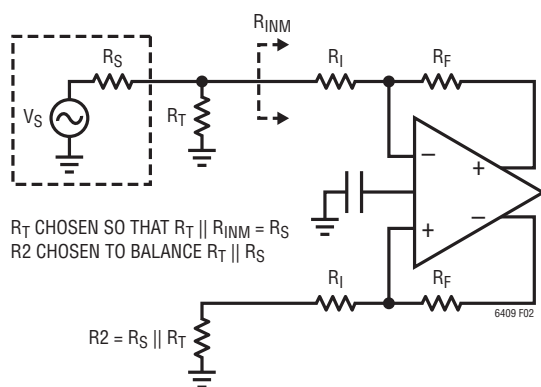


図2. 信号源インピーダンスの最適な補償

## 抵抗ペアの不整合の影響

実際の抵抗は完全には整合しないことを考慮に入れた回路図を図3に示します。開ループ利得が無大であると仮定すると、差動出力は次の式ようになります。

$$V_{OUTDIFF} = V_{+OUT} - V_{-OUT} \approx V_{INDIFF} \cdot \frac{R_F}{R_I} +$$

$$V_{CM} \cdot \frac{\Delta\beta}{\beta_{AVG}} - V_{OCM} \cdot \frac{\Delta\beta}{\beta_{AVG}}$$

ここで、 $R_F$  は  $R_{F1}$  と  $R_{F2}$  の平均値、 $R_I$  は  $R_{I1}$  と  $R_{I2}$  の平均値です。

$\beta_{AVG}$  は出力から各入力への帰還率の平均値として定義されています。

$$\beta_{AVG} = \frac{1}{2} \cdot \left( \frac{R_{I1}}{R_{I1} + R_{F1}} + \frac{R_{I2}}{R_{I2} + R_{F2}} \right)$$

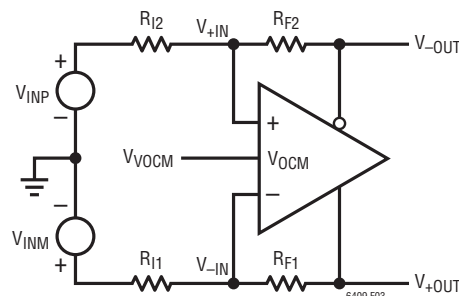


図3. 帰還抵抗ペアが整合していない実際のアプリケーション

$\Delta\beta$  は帰還率の差であり、次のように定義されています。

$$\Delta\beta = \frac{R_{I2}}{R_{I2} + R_{F2}} - \frac{R_{I1}}{R_{I1} + R_{F1}}$$

ここで、 $V_{CM}$  は2つの入力電圧  $V_{INP}$  と  $V_{INM}$  の平均、 $V_{INDIFF}$  はこれら2つの入力電圧の差として定義され、次の式で与えられます。

$$V_{CM} = \frac{V_{INP} + V_{INM}}{2}$$

$$V_{INDIFF} = V_{INP} - V_{INM}$$

帰還率の不整合があると ( $\Delta\beta$ )、同相から差動への変換が生じます。差動入力をゼロに設定すると ( $V_{INDIFF} = 0$ )、同相から差動への変換の度合いが次式によって与えられます。

$$V_{OUTDIFF} = V_{+OUT} - V_{-OUT} \approx (V_{CM} - V_{OCM}) \cdot \frac{\Delta\beta}{\beta_{AVG}} \quad (3)$$

一般に、帰還ペアの不整合は、信号とノイズの両方において同相から差動へ変換される原因となります。0.1% またはそれより精度の高い抵抗を用いることで、ほとんどの問題を軽減できます。この場合、最悪でもおよそ54dBの同相除去比を達成できます。入力信号源と  $V_{OCM}$  ピンの両方の基準電位として、低インピーダンスのグランド・プレーンを使います。

帰還率の不整合が歪みにどのような影響を与えるかも、設計上の関心事です。1% またはそれより精度の高い抵抗を用いた場合には、帰還率の不整合が歪みに与える影響は無視できるほどに小さなものです。しかし、単一電源のレベルシフトのアプリケーションにおいては、入力同相電圧と出力同相電圧との間に電圧差が存在するため、抵抗の不整合が、アンプの見かけ上の電圧オフセットを仕様値よりも悪くすることがあります。

## アプリケーション情報

帰還率の不整合によって発生する見かけ上の入力換算オフセットは、式(3)から次のように求まります。

$$V_{OSDIFF}(APPARENT) \approx (V_{CM} - V_{OCM}) \cdot \Delta\beta$$

単一5V電源のアプリケーションにLTC6409を用いた場合、0.1%精度の抵抗を用い、同相入力を接地し、 $V_{OCM}$ ピンを1.25Vにバイアスしたとき、最悪の場合、帰還率の不整合によって、1.25mVの見かけ上のオフセット電圧が発生する可能性があります。

### ノイズおよびノイズフィギュア

LTC6409の電圧ノイズ密度と電流ノイズ密度は、差動入力換算値で、それぞれ1.1nV/√Hz、8.8pA/√Hzです。アンプ自体が発生するノイズに加えて、周囲の帰還抵抗もノイズを発生させます。簡略化されたノイズ・モデルを図4に示します。アンプと帰還部品の間によって発生する出力ノイズは次の式で表されます。

$$e_{no} = \sqrt{\left[ e_{ni} \cdot \left( 1 + \frac{R_F}{R_I} \right) \right]^2 + 2 \cdot (i_n \cdot R_F)^2 + 2 \cdot \left( e_{nRI} \cdot \frac{R_F}{R_I} \right)^2 + 2 \cdot e_{nRF}^2}$$

アンプの周囲の回路のバランスが十分に取れている場合には、同相ノイズ( $e_{nVOCM}$ )はアンプの差動出力ノイズを示す上記の式には現れません。上記の式によるノイズとLTC6409の帰還部品によって生じるノイズをプロットすると、図5のようになります。

LTC6409の入力換算電圧ノイズを等価ノイズ抵抗で表すと75Ωとなります。帰還ネットワークが抵抗から成り、その抵抗値が上記の値75Ωよりも大きい場合には、出力ノイズは抵抗ノイズであって、アンプのノイズは電流ノイズが主となります。一方、帰還ネットワークが抵抗から成り、その抵抗値が上記の値75Ωよりも小さい場合には、出力ノイズは電圧ノイズが主となります(図5)。

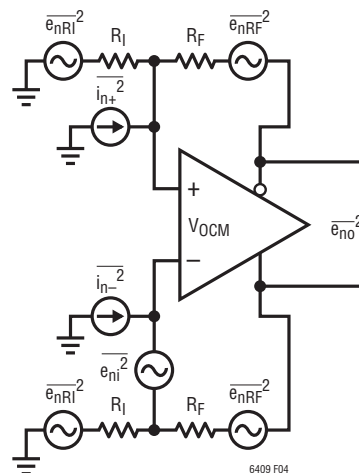


図4. 簡略化されたノイズ・モデル

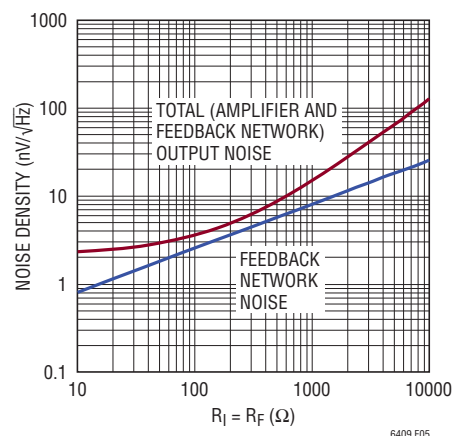


図5. LTC6409の出力ノイズと帰還ネットワークのみによるノイズ

抵抗値を小さくすると必ずノイズは小さくなりますが、その一方で抵抗値を下げることは帰還ネットワークの出力に対する負荷を増大させるため、歪みが大きくなります。逆に抵抗値を大きくすると出力ノイズは増加しますが、出力への負荷が軽くなって歪みが小さくなるのが一般です。この理由により、LTC6409を差動利得が1となるように構成するときは、少なくとも150Ω以上の帰還抵抗を用いることを推奨します。

## アプリケーション情報

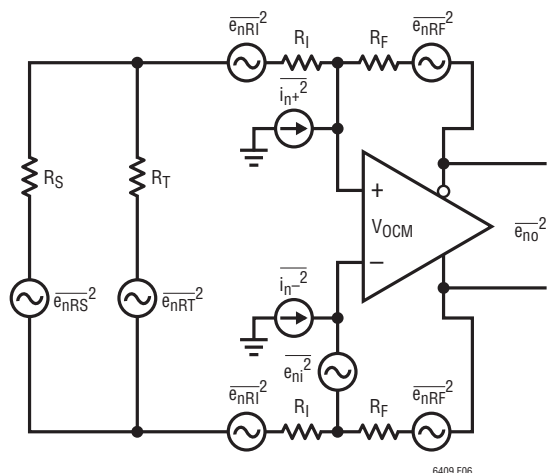


図6. ソースと終端抵抗を含むさらに一般的なノイズ・モデル

ノイズフィギュア (NF) を計算する場合、ソース抵抗とそれによって発生するノイズの寄与も考慮する必要があります。図6にソース抵抗 ( $R_S$ ) を含めたアンプのノイズ・モデルを示します。計算を一般化するには、終端抵抗 ( $R_T$ ) も計算に含め、そのノイズへの寄与も考慮に入れます。

結局、 $R_S$  のノイズへの寄与を除いた総出力ノイズ電力は次の式で計算できます。

$$e_{no}^2 = \left[ e_{ni} \cdot \left( 1 + \frac{R_F}{R_I + \left( \frac{R_T \parallel R_S}{2} \right)} \right) \right]^2 + 2 \cdot (i_n \cdot R_F)^2 + 2 \cdot \left( e_{nRI} \cdot \frac{R_F}{R_I + \left( \frac{R_T \parallel R_S}{2} \right)} \right)^2 + 2 \cdot e_{nRF}^2 + \left[ e_{nRT} \cdot \frac{R_F}{R_I} \cdot \left( \frac{2R_I \parallel R_S}{R_T + (2R_I \parallel R_S)} \right) \right]^2$$

一方、 $R_S$  による出力ノイズ電力は次のようになります。

$$e_{no}^2 (RS) = \left[ e_{nRS} \cdot \frac{R_F}{R_I} \cdot \left( \frac{2R_I \parallel R_T}{R_S + (2R_I \parallel R_T)} \right) \right]^2$$

従って、最終的に、ノイズフィギュアは次のように計算できます。

$$NF = 10 \log \left( 1 + \frac{e_{no}^2}{e_{no}^2 (RS)} \right)$$

ソース抵抗のノイズへの寄与を除いた総出力ノイズ ( $e_{no}$ ) の測定値と、閉ループ利得 ( $A_V = R_F/R_I$ ) を 1V/V、2V/V、5V/V としたときの LTC6409 のノイズフィギュア (NF) がどのようになるかを図7に示します。図7の左側の回路は終端抵抗を用い、50Ω のソース抵抗に整合させるためにトランスを用いていますが、右側の回路では整合のためのトランスは使用していません。簡略化のため、DC ブロック・コンデンサとバイパス・コンデンサは図には示していませんが、これらはノイズには寄与しません。

## 直線性を表すいろいろな指標の相互関係

直線性は多くのアンプのアプリケーションにおいて重要な検討項目です。このセクションでは、完全差動アンプの混変調歪みと、RF ブロックで一般に用いられる他の直線性の指標との関係について説明します。

インターセプトポイントは、RF 通信の分野においてシグナルチェーン内のデバイス (例えばアンプやミキサなど) の混変調歪みの指標として長く使用されてきた重要な設計基準です。インターセプトポイントは、ノイズフィギュアと同様に、シグナルチェーンの個々のインターセプトポイントを前後に結合してレシーバチェーンの全体的な性能を求めることができるので、システムレベルの計算が簡素化されます。従来、これらのシステムでは、主にシングルエンドの RF アンプを、50Ω の環境で動作するように設計された利得ブロックとして使用しています。これはレシーバチェーンの他の部分でも同様です。インターセプトポイントは dBm 単位で表されるので、これは関連するインピーダンスが 50Ω であることを意味します。

ただし、LTC6409 を出力インピーダンスが小さな差動帰還アンプとして用いる場合には、RF アンプの場合とは異なり、50Ω の抵抗負荷は不要です。この差異は LTC6409 のインターセプトポイントを評価するときに重要です。実際、LTC6409 の出力負荷が (各出力において) ADC の入力インピーダンスに非常に近い値の 200Ω ~ 1kΩ であるときに、LTC6409 の歪み特性は最適となります。

## アプリケーション情報

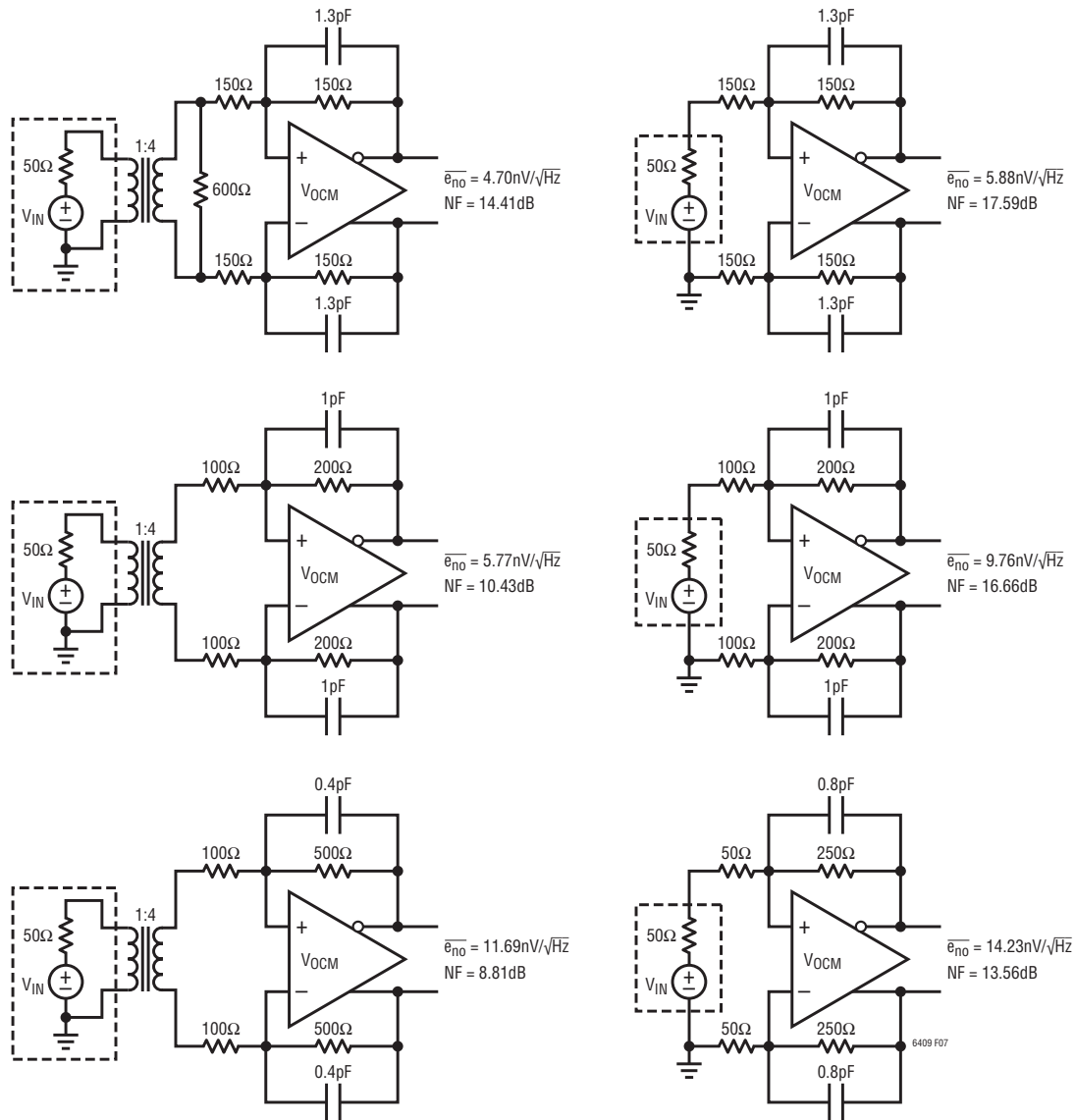


図7. いろいろな閉ループ利得に対する、ソースインピーダンスの整合を行った場合と行わない場合のLTC6409の出力ノイズ測定値とノイズフィギュア

従って、もし、ADCの入力を50Ω終端とした場合には、システムの性能が実際には劣化する可能性があります。

3次混変調歪み(IMD3)の定義を図8に示します。IMD3と出力/入力3次インターセプトポイント(OIP3/IIP3)との関係を図式的に表現すると図9のようになります。この図と方程式(4)とから、混変調歪みに対するインターセプトポイントが定義できます。

$$OIP3 = P_0 + \frac{|IMD3|}{2} \quad (4)$$

$P_0$ は図9に示されているようにIMD3の測定を行っている2トーンのそれぞれの出力電力であって、dBm単位で次のように計算できます。

$$P_0 = 10 \log \left( \frac{V_{PDIFF}^2}{2 \cdot R_L \cdot 10^{-3}} \right) \quad (5)$$

ここで、 $R_L$ は差動負荷抵抗、 $V_{PDIFF}$ はシングル・トーンの差動ピーク電圧です。通常、混変調歪みの仕様は、アンプの出力の差動ピーク値が $2V_{P-P}$ であるベンチマーク合成信号に対して規定されます。つまり、各シングル・トーンは $1V_{P-P}$ であり、

アプリケーション情報

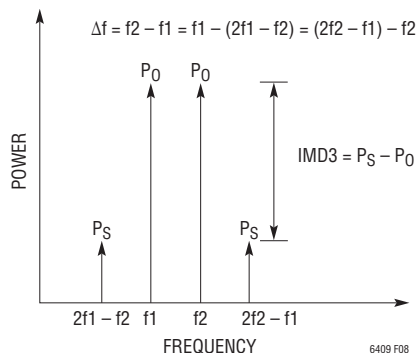


図8. IMD3の定義

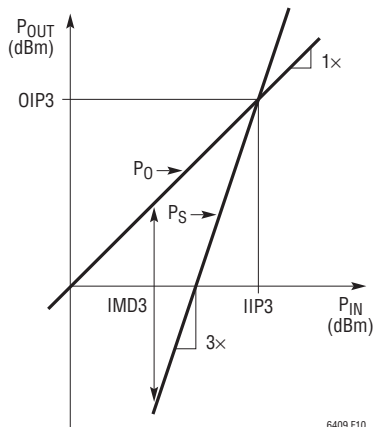


図9. グラフで表したIMD3とOIP3の関係

$V_{PDIFF} = 0.5V$ となります。関連したインピーダンスとして $R_L = 50\Omega$ を使うと、 $P_O$ の計算値はほぼ4dBmとなります。

式(5)からわかるように、インピーダンスが高くなると、同じレベルの混変調歪み特性でインターセプトポイントが低くなりま

す。従って、インターセプトポイントに関しては、LTC6409の出力側から見たインピーダンスを考慮することが重要です。

共通のインピーダンス・レベルを仮定すると、異なるタイプのアンプ間で直線性の仕様を容易に比較することができます。このため、LTC6409のインターセプトポイントは $50\Omega$ に正規化した値で表してあります。これが「電気的特性」の表においてOIP3がIMD3の絶対値の1/2よりも4dBm大きくなっている理由です。

LTC6409の評価用ボード(図12のDC1591A)の上半分を用いてIMD3とOIP3の測定を行う場合、アンプの差動出力で見られる電力が評価用ボードのシングルエンド出力に現れる電力に適切に変換されることを確認してください。図10は評価用ボードの上半分を等価回路として表現したものです。DCブロック・コンデンサとバイパス・コンデンサはここでの解析には関係しないので、この図では省略してあります。伝送ラインのトランス(主にインピーダンスの整合のために使用される)は理想的な4:1のインピーダンス変換部と-1dBのブロック部によってモデル化してあります。つまり、トランスを理想的なトランス部分と挿入損失部分の2つに分けて表現してあります。100Ωの抵抗をLTC6409のそれぞれの出力ピンに接続すると、結果として200Ωの差動抵抗となり、反射 $R_L$ に対してインピーダンス整合を達成できます。

すでに述べたように、IMD3は、LTC6409の出力が $2V_{p-p}$ の差動ピーク(すなわち10dBm)のときに(それぞれの出力ピン単独で $1V_{p-p}$ (すなわち4dBm)に相当)、測定されます。LTC6409の出力(図10におけるAの位置)から出力トランスの入力(図10のBの位置)との間で1/2(つまり、-6dB)だけ電圧が減衰します。この減衰は、Bの位置で見た $R_L \cdot 4 = 200\Omega$ の差動抵抗と、LTC6409の出力に接続された2つの100Ωのマッチング

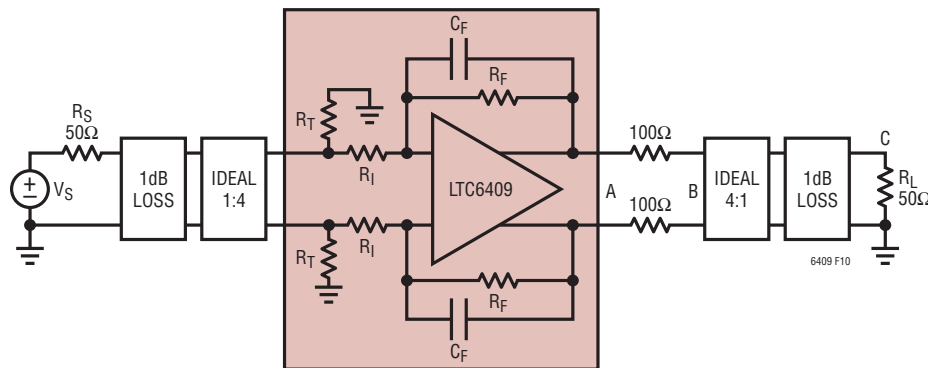


図10. LTC6409評価用ボードの上半分の等価回路図

## アプリケーション情報

抵抗によって形成される200Ωとの間の抵抗分割器によって起こるものです。従って、Bの位置における差動電力は $10^{-6} = 4\text{dBm}$ となります。トランスの変換比が4:1で挿入損失が約1dBであるため、Cの位置での電力(負荷 $R_L$ への電力)は $4^{-6-1} = -3\text{dBm}$ となります。このことから、評価用ボードの出力における電力が $-3\text{dBm}$ のとき、すなわちLTC6409の出力において $2V_{p-p}$ の差動ピーク(すなわち $10\text{dBm}$ )が得られるときにIMD3の測定を行えばよいことがわかります。

### GBWと $f_{-3\text{dB}}$ の関係

利得帯域幅積(GBW)と $-3\text{dB}$ 周波数( $f_{-3\text{dB}}$ )の仕様は、いずれもLTC6409の速度に関する2つの異なる指標として「電気的特性」の表に記載されています。GBWは、アンプの利得を特定の周波数( $f_{\text{TEST}}$ )で測定し、利得と $f_{\text{TEST}}$ の積を計算することによって求めることができます。利得を測定するには、 $f_{\text{TEST}}$ におけるLTC6409の実現可能な利得が帰還ループによって制限されないように十分に小さい帰還率(すなわち $\beta = R_I / (R_I + R_F)$ )を選び、測定値として、アンプの開ループ利得が得られるようにすることが必要です。この条件が満たされている限り、GBWはアンプの内部設計と補償のみに依存するパラメータであり、アンプ本来の速度能力を表すのに適切な指標です。

一方、 $f_{-3\text{dB}}$ は、いろいろなアプリケーションにおいて実用上大事なパラメータであり、低周波数で得られる利得に比べて利得が3dB小さくなる周波数を指します。 $f_{-3\text{dB}}$ の値は、帰還率とアンプの速度の両方に依存します。LTC6409は差動信号利得が1( $R_I = R_F$ すなわち $\beta = 1/2$ )で安定して動作するように設計されているので、「電気的特性」の表に示されているように、この利得を設定した場合に、最も大きな $f_{-3\text{dB}}$ の値が得られ、測定されます。

ほとんどのアンプでは、開ループ利得応答はクロスオーバー周波数より低い周波数の大部分において通常の単極ロールオフ特性を示し、GBWと $f_{-3\text{dB}}$ は近い値となりますが、LTC6409では意図的にGBWが $f_{-3\text{dB}}$ の値より大幅に大きくなるように補償しています。このことは、低い周波数(例えば入力周波数が標準で $100\text{MHz}$ の場合)では、アンプの利得、さらに、それに従って帰還ループ利得が、より大きな値になることを意味しま

す。これは、これらの周波数においてアンプの直線性をより良くして歪み特性を改善するという重要な利点を備えています。

このデータシートの「標準的性能特性」のセクションの「周波数応答と閉ループ利得」のグラフから、閉ループ利得( $A_V$ )が1のとき( $R_I = R_F = 150\Omega$ )、 $f_{-3\text{dB}}$ がおおよそ $2\text{GHz}$ であることがわかります。一方、 $A_V = 400$ ( $R_I = 25\Omega$ ,  $R_F = 10\text{k}\Omega$ )では、 $100\text{MHz}$ での利得はほぼ $40\text{dB} = 100\text{V/V}$ であり、GBWの値は $10\text{GHz}$ です。

### 帰還コンデンサ

LTC6409を低差動利得で用いるときには、多くの場合、各帰還抵抗( $R_F$ )に対して並列に帰還コンデンサ( $C_F$ )を接続するのが有利です。このように $C_F$ を用いると、ポールとゼロのペア(通常はゼロ周波数がポール周波数よりも小さくなる)が生成され、アンプの周りの帰還ループ利得に対して正の位相が加えられます。従って、適切に設定すれば、 $C_F$ の追加によって位相マージンが増大し、帰還ループの安定応答が改善されます。例えば、 $R_I = R_F = 150\Omega$ では、ほとんどの一般的なアプリケーションに対して、 $C_F = 1.3\text{pF}$ をそれぞれの $R_F$ に並列に接続することを推奨します。この値を選択すると、閉ループ利得対周波数応答のピーキングを妥当なレベル以下( $< 1\text{dB}$ )に保ちながらLTC6409の $f_{-3\text{dB}}$ の値を最大にできます。また、 $0.1\text{dB}$ 利得平坦性の周波数( $f_{0.1\text{dB}}$ )が最大となります。

もちろん、 $C_F$ の値は上記に限定されるわけではなく、アプリケーションに合わせていろいろな値を用いることが可能です。一般に、 $C_F$ の値を大きくすると、周波数領域と時間領域の両方でアンプのピーキング(オーバーシュート)が減少しますが、同時に閉ループ帯域幅( $f_{-3\text{dB}}$ )も減少してしまいます。例えば、閉ループ利得( $A_V$ )が5のとき、 $C_F = 0.8\text{pF}$ とすると最大の $f_{-3\text{dB}}$ が得られます(このデータシートの「周波数応答と閉ループ利得」のグラフを参照)。一方、 $C_F = 1.2\text{pF}$ を用いると、時間領域においてオーバーシュートを示さないアンプ特性が得られ、これはアプリケーションによっては望まれる性質です。このセクションで検討した2つの回路はいずれもこのデータシートの「標準的応用例」に示されています。

## アプリケーション情報

### 基板レイアウトとバイパス・コンデンサ

単一電源のアプリケーションでは、高品質の $0.1\mu\text{F}||1000\text{pF}$ のセラミック・バイパス・コンデンサを各 $V^+$ ピンとこれに最も近い $V^-$ ピンの間に短い配線で直接接続することを推奨します。 $V^-$ ピン(露出パッドを含む)は、低インピーダンスのグランド・プレーンに最短の配線で直接接続します。

デュアル電源(両電源)では、さらに、高品質の $0.1\mu\text{F}||1000\text{pF}$ のセラミック・バイパス・コンデンサを使って各 $V^+$ ピンをグランドにバイパスし、また同様に各 $V^-$ ピンもグランドにバイパスすることを推奨します。この場合も最短の配線で接続します。

大きな差動負荷( $< 200\Omega$ )をドライブする場合には、最適な特性を得るために、追加のバイパス容量が必要になることがあります。なお、サイズの小さな(例えば、0603)表面実装型セラミック・コンデンサの自己共振周波数は、リード付きコンデンサと比較してはるかに高く、高速アプリケーションで最良の性能を発揮することに注意してください。

安定応答の劣化を防ぐため、入力ピン+IN、-INの浮遊容量が最小となるようにプリント回路の接続配線を可能な限り短くすることを強く推奨します。このことは、帰還抵抗ネットワークの回路に $500\Omega$ 以上の抵抗を用いて $R_1 = R_F$ とする場合に特に重要です。

一方、出力では、LTC6409の差動特性上、両方の出力から見た負荷インピーダンスは(それが意図的なものであってもあるいは浮遊インピーダンスであっても)可能な限り2つの出力ピンの間でバランスがとれており対称であることが重要であることを忘れないでください。このようにすることは、LTC6409がバランスの取れた動作を維持するのに役立ち、偶数次高調波の発生を最小に抑え、また同相信号と同相ノイズの除去性能を最大限に向上させます。

$V_{OCM}$ ピンは少なくとも $0.01\mu\text{F}$ の高品質セラミック・コンデンサを用いてグランド・プレーンにバイパスします。これにより、外部の、あるいはデバイス内部のインピーダンス不整合によって、 $V_{OCM}$ ピンの同相信号や同相ノイズが意図せず差動信号や差動ノイズに変換されるのを防ぐことができます。

### ADCのドライブ

LTC6409はグランド基準入力、差動出力、調整可能な出力同相電圧を備えているので、差動入力ADCへのインタフェースに最適です。このようなADCは通常、単一電源で動作し、この電源電圧の midpoint 近くが同相入力範囲の最適値となっています。LTC6409はシングルエンドから差動への変換と同時に同相レベルシフトを行うことによって、このようなADCにインタフェースします。

ADCのサンプリング動作においては、ADCのサンプリング・コンデンサのスイッチングの際に過渡状態が発生します。このとき、電荷がアンプとサンプリング・コンデンサとの間で転送される際に、アンプの出力が一時的に短絡状態となります。アンプは、信号収集期間が終了する前に、この負荷の過渡的な変動から回復してセトリングし、入力信号の正しい値を表すことができる状態になる必要があります。LTC6409は、このような周期的な負荷インパルスから急速に回復してセトリングすることができます。ドライバの出力とADCの入力との間のRCネットワーク(図11参照)がADCのサンプリング過渡をデカップリングします。この容量がサンプリングの間に電荷の大半を供給するのに役立ち、またLTC6409の出力ピンに接続された2つの抵抗がADCから注入される電荷を制動し減衰させます。このRCフィルタは、広帯域出力ノイズの帯域を制限するという利点も備えています。一般的に、RCフィルタの時定数を大きくするほどSNRを改善できますが、その一方でセトリング時間が長くなります。デカップリングRCネットワーク内の抵抗は少なくとも $10\Omega$ 以上とすることが必要です。これらの抵抗は、負荷容量からLTC6409の出力をデカップルする役割も持っています。抵抗値が大きすぎると、セトリング時間が不十分になります。逆に抵抗値が小さすぎると、サンプリング動作における負荷の過渡の変動を十分に減衰できず、セトリングに必要な時間が長くなります。16ビット・アプリケーションでは、通常、RC時定数の少なくとも11倍が必要となります。歪みを最小にするには、コンデンサには誘電吸収が小さなもの(例えばC0G多層セラミック・コンデンサ)を選択してください。

## アプリケーション情報

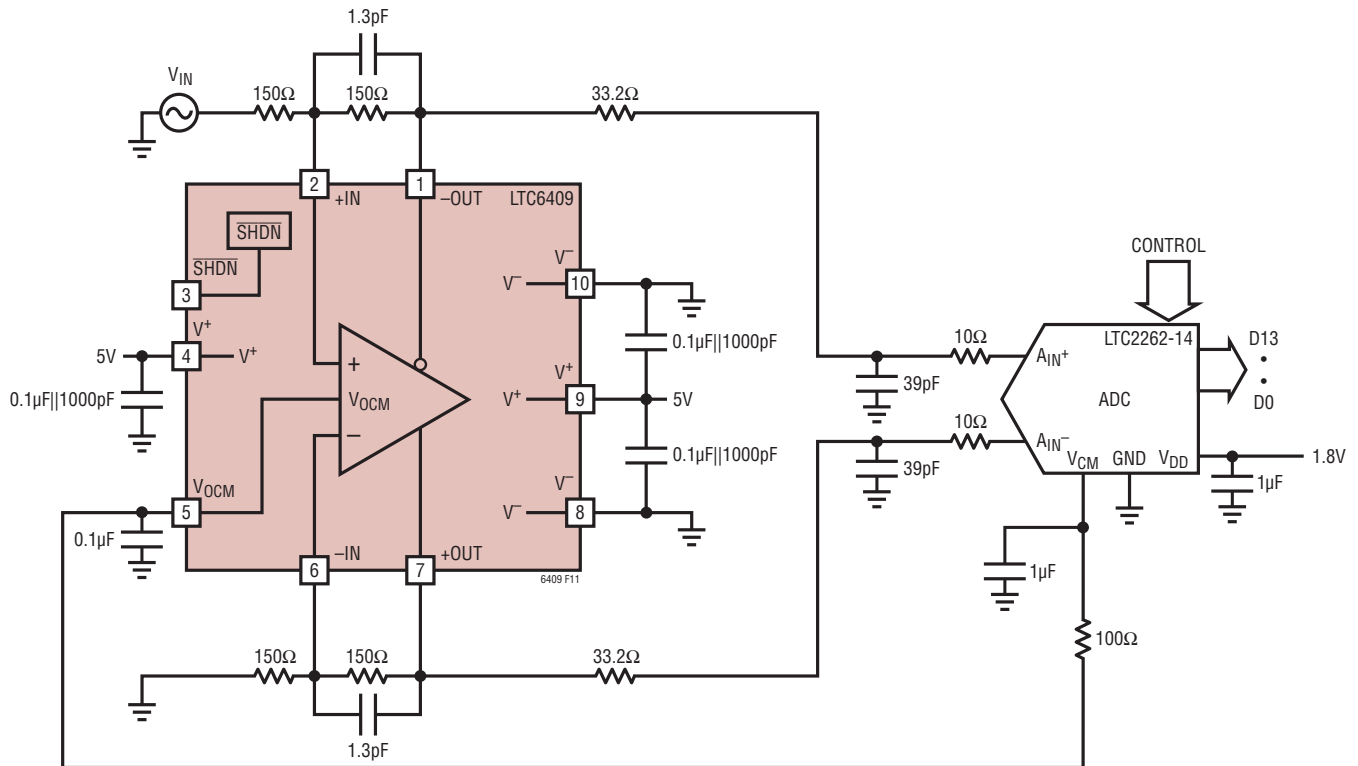


図11. ADCのドライブ



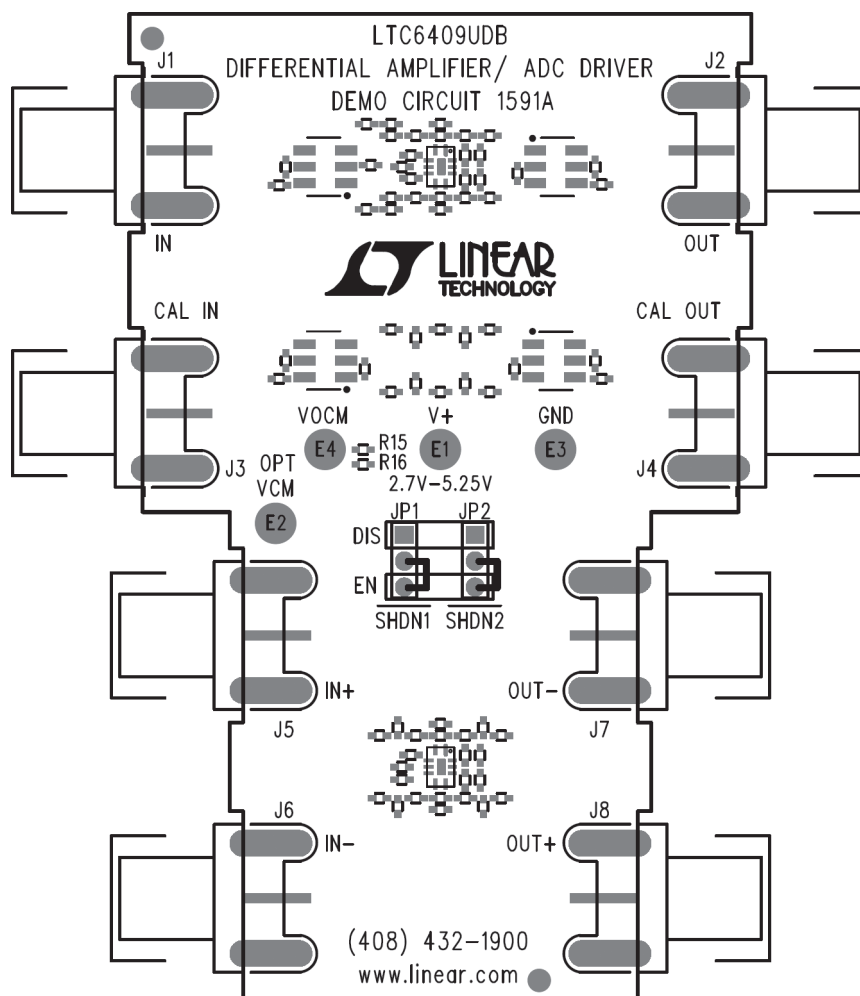
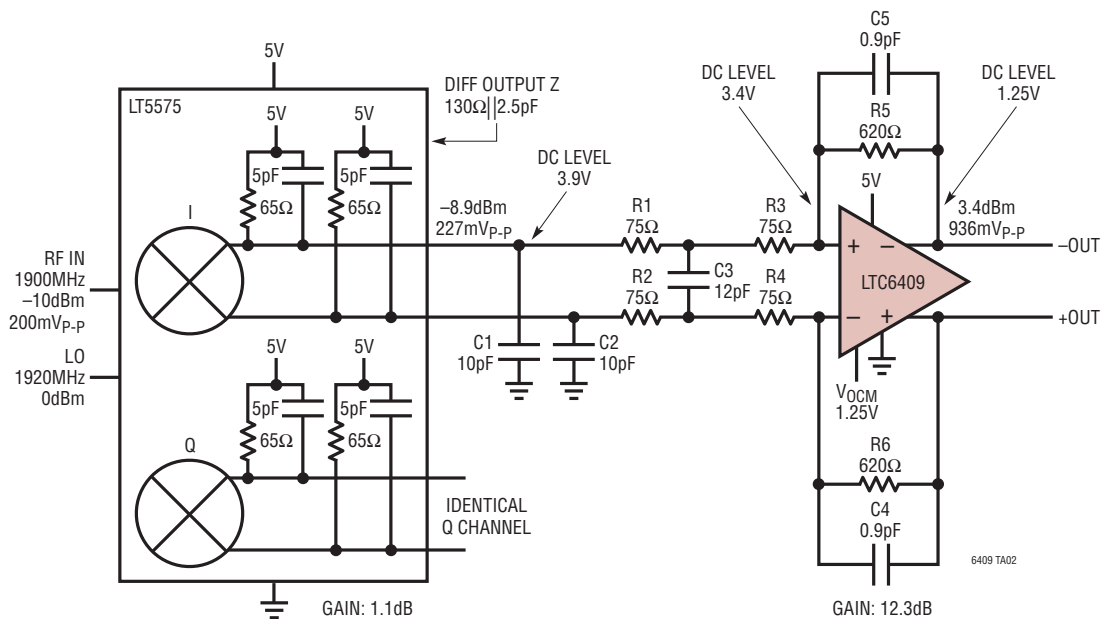


図13. 評価用ボードDC1591Aのレイアウト

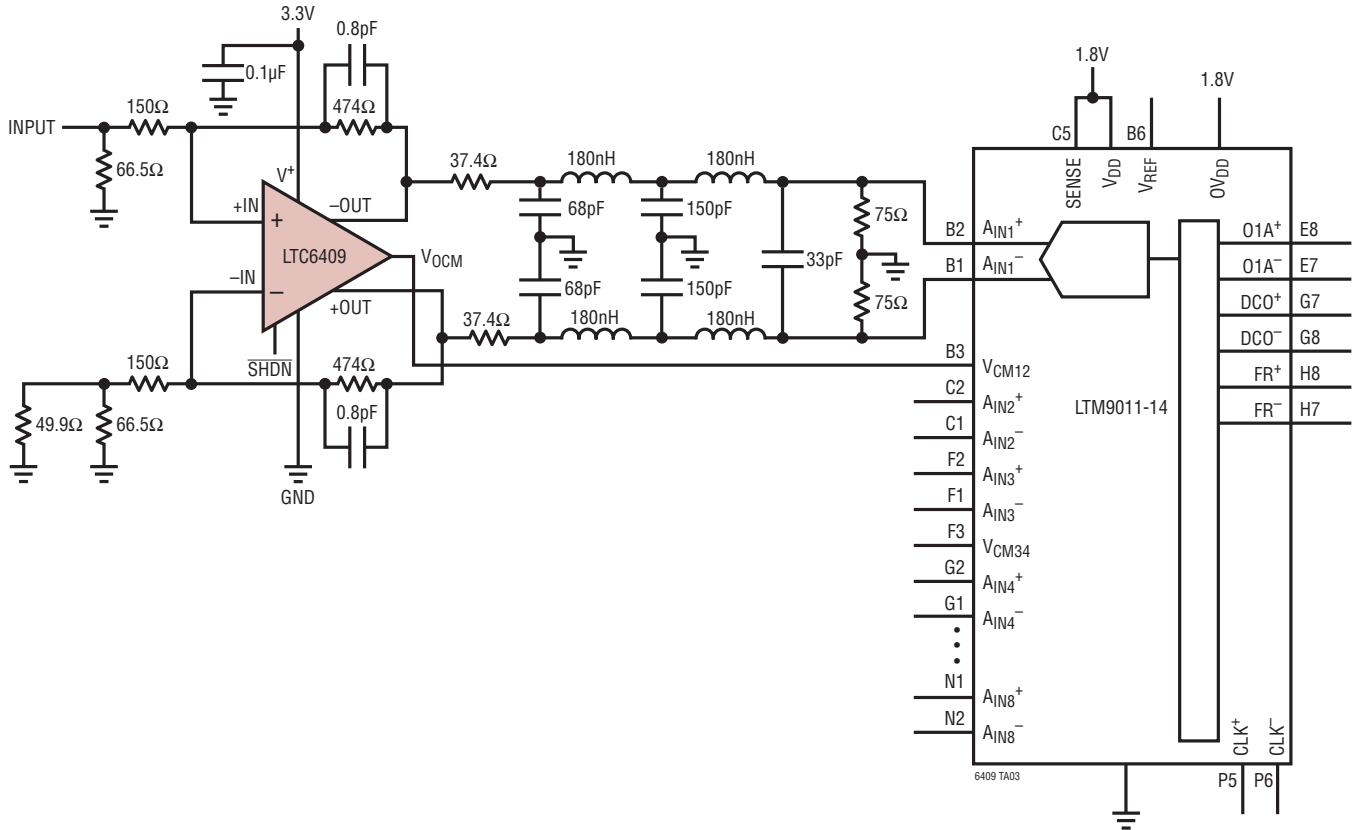
標準的応用例

I/Q復調器のDC結合レベルシフト



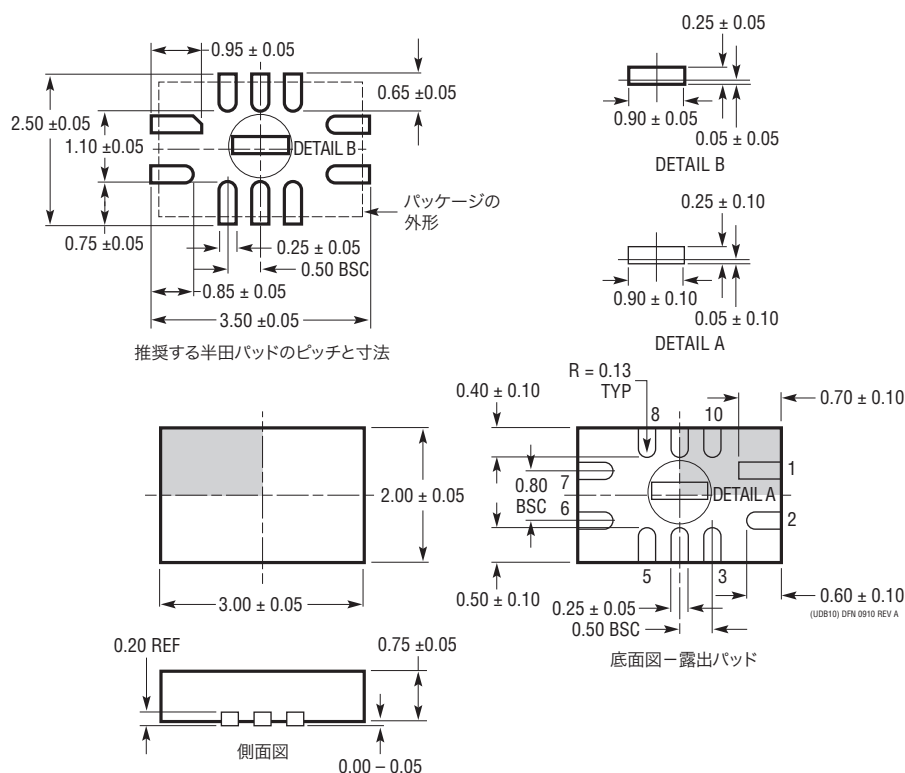
## 標準的応用例

LTC6409と50MHzローパス・フィルタを用いたシングルエンド信号から差動信号への変換(1チャンネル分のみを表示)



## パッケージ

UDBパッケージ  
 10ピン・プラスチックQFN (3mm×2mm)  
 (Reference LTC DWG # 05-08-1848 Rev A)

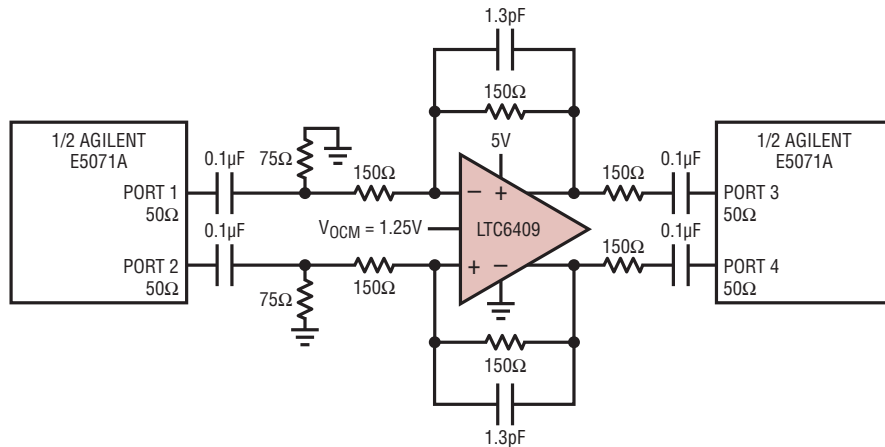


1. 図はJEDECパッケージ外形とは異なる
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

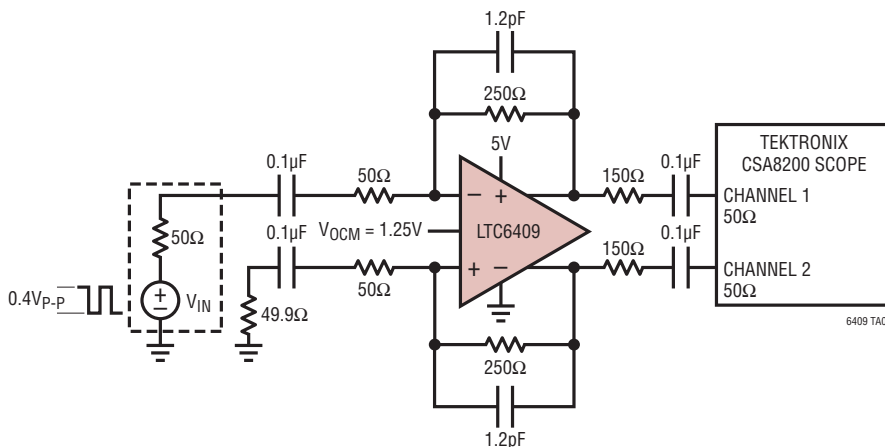
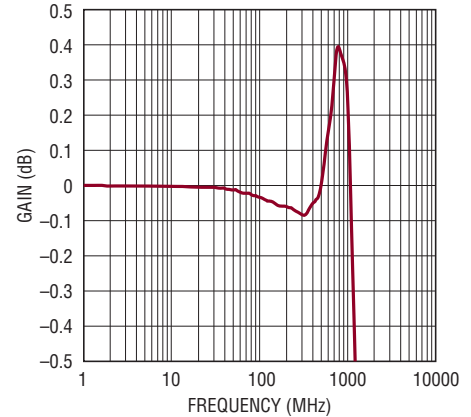
# LTC6409

## 標準的応用例

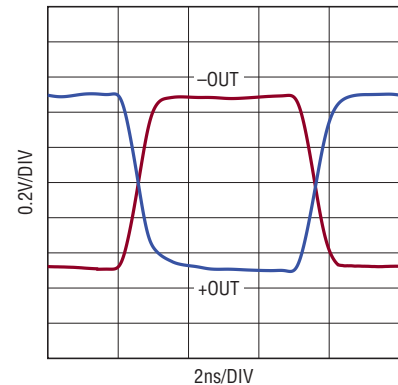
最大利得平坦性とオーバーシュートのない時間領域応答を実現するためのLTC6409の外部補償



0.1dB利得平坦性



オーバーシュートのない  
ステップ応答



## 関連製品

製品番号	説明	注釈
LTC6400-8/LTC6400-14/ LTC6400-20/LTC6400-26	1.8GHz、低ノイズ、低歪み、差動ADCドライバ	240MHz、2V <sub>p-p</sub> の合成出力でのIM3: -71dBc、I <sub>S</sub> : 90mA、 A <sub>V</sub> : 8dB/14dB/20dB/26dB
LTC6401-8/LTC6401-14/ LTC6401-20/LTC6401-26	1.3GHz、低ノイズ、低歪み、差動ADCドライバ	140MHz、2V <sub>p-p</sub> の合成出力でのIM3: -74dBc、I <sub>S</sub> : 50mA、 A <sub>V</sub> : 8dB/14dB/20dB/26dB
LTC6406/LTC6405	3GHz/2.7GHz、低ノイズ、 レール・トゥ・レール入力差動アンプ/ドライバ	50MHzでの歪み: -70dBc/-65dBc、I <sub>S</sub> : 18mA、 ノイズ: 1.6nV/√Hz、3V/5V電源
LTC6416	2GHz、低ノイズ、差動16ビットADCバッファ	300MHz、2V <sub>p-p</sub> の合成出力でのIM3: -72.5dBc、 低消費電力: 3.6V電源で150mW
LTC2209	16ビット、160Msps ADC	SFDR: 100dB、V <sub>DD</sub> : 3.3V、V <sub>CM</sub> : 1.25V
LTC2262-14	14ビット、150Msps、超低消費電力1.8V ADC	SFDR: 88dB、低消費電力: 149mW、V <sub>DD</sub> : 1.8V、V <sub>CM</sub> : 0.9V

6409f