

## 实现UXGA解决方案的双通道AD9884A设计准则

作者: Del Jones

### 简介

借助AD9884A, 利用一种双芯片“乒乓”配置可以实现超过140 MHz的像素时钟速率。双芯片解决方案与交替像素采样解决方案的不同之处在于, 前者可以维持全速刷新率。

双通道AD9884A设计有多种实现方式。本应用笔记旨在让用户了解在实现这种乒乓配置时需要考虑的因素。相关变量包括布局和路由限制、时钟选择、图形控制要求和最高速率要求等。

### 模拟输入布局和路由

在设计模拟输入(R、G、B和HSYNC)的布局和路由时, 需要考虑多种因素。R、G和B输入的走线长度应尽量相等, 同时使线路保持直线(无之字形)以维持相等的传播延迟。AD9884A各个模拟输入的分支应尽量短。RGB输入上的75 Ω端子应尽量靠近分支结点。最后, 每个R、G和B分支都需要自己的耦合电容。图1显示了这些考虑因素。

### 时钟源选择

有三种方法可以提供数据时钟。可以利用一个外部时钟源来给AD9884A和数据锁存器件(图形控制器)提供时钟。这种方法要求采用外部PLL电路, 而且有着特殊的高速时钟布局及路由考虑。

另一种方法是用芯片1中的PLL来驱动芯片2。这种方法要求针对外部时钟操作来配置芯片2, 用芯片1的DATAACK的负向沿来对RGB数据采样。这种方法采用的是最直接的HSYNC路由方式。HSYNC可以直接路由至芯片1, 然后再路由至第二个器件。(尽管第二器件并不使用HSYNC来产生时钟, 但仍然需要用它来为箝位等其他功能提供时序参考。)这种方法的问题在于, 难以为芯片2设置正确的时钟相位, 因为HSYNC与芯片1的数据时钟输出之间增加了传播延迟。同时也可能给芯片2带来持续的时钟相位困难, 因为芯片1的数据时钟传播延迟会随时间和温度而变化。

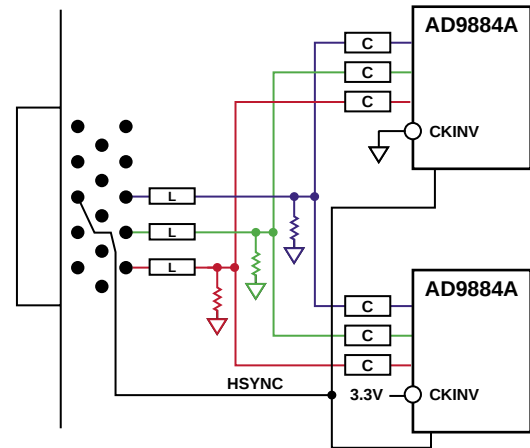


图1. 模拟输入路由

提供时钟信号的推荐方法是两个芯片中都使用PLL。这种方法要求特别注意HSYNC输入布局, 如图1所示。如果小心地使分支保持相同的长度(避免之字形), 则两个芯片采样时钟与数字输出之间的偏斜可以忽略不计。

### 采样时钟反相

所有上述三种方法都要求芯片2以与芯片1呈180°反相方式对RGB数据采样。推荐实现方法是采用CKINV输入(引脚27)。这种方法要求芯片2将其CKINV输入拉高, 以便利用芯片1的相反边沿来读入RGB数据。如图1所示, 这种方法允许两个芯片的时钟速率等于有效数据速率的一半。芯片1在采样沿上采集奇数数据, 芯片2则在采样沿上采集偶数数据(与芯片1呈180°反相)。这种方法的另一个好处是, 能够通过调节内部流水线延迟, 来对齐两个芯片之间的数据。

实现芯片2时钟反相的另一种方法是采用相位调节控制。芯片2的初始相位设置将与芯片1的初始相位设置偏移180°(16个步进)。利用这种方法时，芯片2输出的数据会偏移1/2像素时钟。使用单个数据采集时钟时，这种方法会减少设置和保持时钟裕量。

另一种方法是在外部反转时钟，但这要求采用外部PLL。

如果采集器件对每个数据端口(奇数和偶数数据)都采用独立的采集时钟，则与数据采集相关的时序问题可以忽略不计。

## 时钟相位调节

尽管内部时钟延迟应该是相同的，但每个芯片的相位都需要单独调节。两个芯片之间的相差可能源于HSYNC输入或RGB输入中的布局走线长度偏差，也可能来自正常的内部芯片偏差。

由于每个芯片均半速运行，因此相对于全速时钟，相位调节步长会增加一倍。结果导致可用相位调节步数减少一半(16步而非32步)，因为现在相位调节范围需要覆盖两个全速像素而不是一个。

## 器件间差异调节

双通道ADC应用对两个ADC之间的差异十分敏感，这些差异可能源于增益、失调和线性度。

## 增益和失调

双通道AD9884A应用对两个芯片之间的增益和失调误差非常敏感。奇数像素与偶数像素之间的任何差异都是高度可见的。因此，每个芯片都要求进行精确的增益和失调调节。

## 线性度/扰动

双通道ADC应用同时还对两个器件之间的线性度差异非常敏感。如果应用要求十分严格，则可以使用扰动机制来尽量减少可能出现的垂直“条带”现象。扰动法要求每隔一个数据帧切换偶数和奇数器件。例如，在第1帧期间，器件1处理奇数像素，器件2处理偶数像素。在第2帧期间，器件1处理偶数像素，而器件2则处理奇数像素。借助扰动，眼睛实际上会“中和”线性度差异以及失调和增益差异的影响。

## 器件寻址

每个AD9884A都需要一个不同的串行总线地址。

## 数据模式选择

就像任何AD9884A设计一样，必须考虑输出数据模式。对于双通道AD9884A设计，有三种工作模式。每个器件都可以采用单通道模式，也可以采用双通道(解复用输出)模式。第三种方法是在使用一个芯片时，使芯片1采用双通道模式，然后在使用两个芯片时，使其采用单通道模式。

## 单通道模式

单通道模式要求具有48条数据输出走线，如果采用只有48条数据输入线路的单个图形控制器，则推荐使用该模式。在该模式下，当频率不超过100 MHz时，采用单芯片模式；当频率超过100 MHz时，则采用乒乓模式。数据切换使最高工作速度限制为200 MHz。

## 双通道模式

这种模式要求具有96条数据输出走线以及两个图形控制器或者一个具有96路数据输入的控制器。在该模式下，当频率不超过140 MHz时，采用单芯片模式；当频率超过140 MHz时，则采用双芯片模式。该模式具有最高的工作频率，即280 MHz。

## 芯片1双通道、芯片2单通道

该模式要求具有64条数据输出走线以及一个有第三个24位数据端口的图形控制器。在该模式下，当频率不超过140 MHz时，采用单芯片、双通道模式；当频率超过140 MHz时，则采用单通道、双芯片模式。数据切换使最高工作速度限制为200 MHz。由于最高工作频率在单通道模式下并不起色，因此不建议使用这种模式，因为它更加复杂。

对于全部三种模式，用户必须决定数据的采集方式。时序存在多种可能性，在此无法一一列举。有关更多信息，请参阅AD9884A数据手册中的时序图。

## 参考设计

已有多家领先的图形控制器公司开始提供采用AD9884A的乒乓参考设计。若要索取这些设计、获得一般设计帮助或者了解更多信息，请通过电子邮件联系ADI公司：flatpanel\_apps@analog.com。