



高速ADC USB FIFO評価用キット

HSC-ADC-EVALB

特長

デジタル・データを取り込むためのバッファ・メモリ・ボード、高速ADC評価用ボードとともに使用し評価を簡素化

FIFOの深さ：133 MSPS で 32 kB（アップグレード可能）

ADC Analyzer™による性能測定

リアルタイム FFT 解析および時間領域解析

S/N 比、SINAD、SFDR、高調波の解析

シンプルな USB ポート・インターフェース（2.0）

シリアル・ポート・インターフェース（SPI）付き ADC に対応

レギュレータ回路内蔵、電源不要

6 V、2 A のスイッチング電源内蔵

Windows 98 (2nd Ed)、Windows 2000、Windows ME、Windows XP と互換

必要な装置

アナログ信号源と折り返し防止（アンチエイリアシング）フィルタ

低ジッタのクロック源

高速ADC評価用ボードとADCデータシート

Windows 98 (2nd Ed)、Windows 2000、Windows ME、Windows XP のいずれかで動作する PC

最新バージョンのADC Analyzer

USB 2.0（USB 1.1 互換）ポートを推奨

製品概要

高速ADC FIFO 評価用キットは、最新バージョンのADC Analyzer（ソフトウェア）と、アナログ・デバイセズの高速 A/D コンバータ（ADC）評価用ボードからデジタル・データ・ブロックを取り込むバッファ・メモリ・ボードで構成されています。FIFO ボードは USB ポート経由で PC に接続し、ADC Analyzer によって高速ADCの性能を迅速に評価します。アナログ入力のFFTとエンコード・レートを表示して、S/N 比、SINAD、SFDR、高調波情報を解析することができます。

評価用キットのセットアップは容易です。その他の必要な装置としては、アナログ・デバイセズの高速ADC評価用ボード、信号源、クロック源などがあります。キットを接続して電源を投入すると、PC上で直ちに評価が可能になります。

HSC-ADC-EVALB-DCZ は、シングルチャンネルまたはマルチチャンネルのADCおよびデジタル出力が逆多重化（デマルチプレクス）されたコンバータと、ともに使用できます。

製品のハイライト

1. セットアップが容易。内蔵電源と信号源を2種類の評価用ボードに接続します。次にPCに接続すると、直ちに性能評価を開始できます。

機能ブロック図

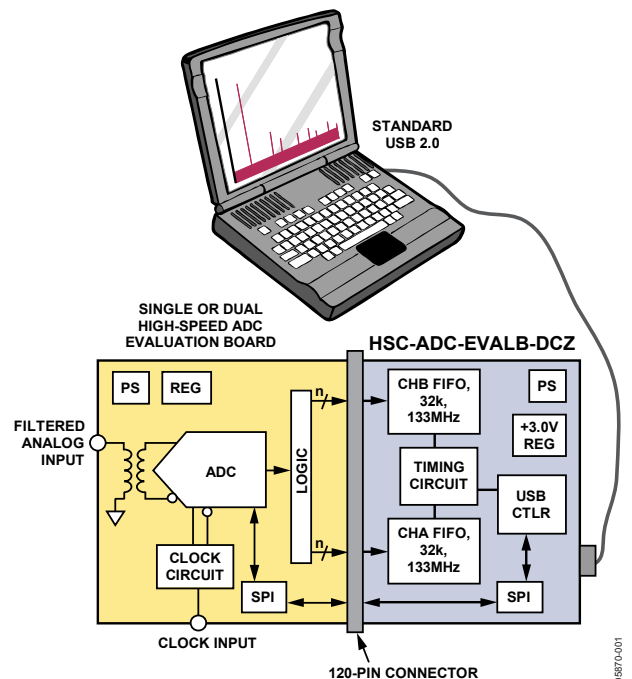


図 1.

2. **ADIsimADC™**。ADC Analyzerは、アナログ・デバイセズ独自のビヘイビアル・モデリング技術による仮想ADC評価機能に対応します。この技術を使うと、ハードウェア評価用ボードの有無にかかわらず、複数のADC間の比較を迅速に行うことができます。詳細については、アプリケーション・ノートAN-737 (www.analog.com/ADIsimADC) をご覧ください。
3. **PC への USB ポート接続**。PC へのインターフェースには、USB 2.0（1.1 互換）接続を使います。USB ケーブルはキットに付属しています。
4. **32 kB の FIFO**。FIFO には、処理のために ADC からのデータを保存します。アップグレード（容量の拡張）を容易にするため、ピン互換のFIFOファミリーが使用されています。
5. **各チャンネルの最大エンコード・レートは133 MSPSです**。最大133 MSPSのエンコード・レートを持つシングルチャンネルADCをFIFOボードと組み合わせ使用することができます。最大266 MSPSのクロック・レートを持つFIFOボードでは、マルチチャンネルADCでデマルチプレクス出力を備えたADCと組み合わせ使用することもできます。
6. **シリアル・ポート・インターフェース（SPI）付きのADCに対応**。ADCによっては、SPIを介して変換データを転送する機能セットを内蔵するものがあります。FIFOボードは、コンピュータへはUSB接続を使ってこれらの機能に対応するため、ケーブルの追加は不要です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006–2007 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....1

必要な装置.....1

製品概要.....1

製品のハイライト.....1

機能ブロック図.....1

改訂履歴.....2

クイック・スタート・ガイド：FIFO 評価用ボード.....3

 条件.....3

 クイック・スタートの手順.....3

クイック・スタート・ガイド：ADIsimADC による仮想評価.....4

 条件.....4

 クイック・スタートの手順.....4

FIFO 4.1 データ・キャプチャ・ボードの特長.....5

 FIFO 4.1 が対応する ADC 評価用ボード.....6

動作原理.....7

 クロックの説明.....7

 SPI の説明.....7

 インターリーブ・データのクロッキング.....8

 HSC-ADC-FPGA-8Z への接続.....8

 HSC-ADC-AD922xFFA または HSC-ADC-AD9283FFA アダプ
 タ・ボードへの 接続.....8

 HSC-ADC-DEMUX アダプタ・ボードへの接続.....8

 2 列コネクタによる ADC 評価用ボードの接続.....8

 FIFO メモリのアップグレード.....9

ジャンパ.....10

 デフォルト設定.....10

評価用ボード.....12

 電源.....12

 接続とセットアップ.....12

FIFO 回路図と PC ボード・レイアウト.....13

 ピンの定義／配置.....13

 回路図.....14

 PC ボード・レイアウト.....21

オーダー情報.....23

 部品表.....23

 オーダー・ガイド.....25

 ESD に関する注意.....25

改訂履歴

7/07—Rev. 0 to Rev. A

Deleted HSC-ADC-EVALB-SC..... Universal

Changes to Table 1.....8

Added the Connecting to the HSC-ADC-AD922xFFA or

 HSC-ADC-AD9283FFA Adapter Boards Section.....8

Changes to the Connecting to the

 HSC-ADC-DEMUX Adapter Board Section.....8

Added the Connecting ADC Evaluation Boards

 with Double Row Connectors Section.....8

Added Figure 4 and Figure 5.....8

Added Figure 7.....12

Changes to Schematics.....13

Changes to Bill of Materials.....22

Changes to Ordering Guide.....24

2/06—Revision 0: Initial Version

クイック・スタート・ガイド：FIFO評価用ボード

条件

- FIFO 評価用ボード、ADC Analyzer、USB ケーブル
- 高速 ADC 評価用ボードと ADC データシート
- ADC 評価用ボードの電源
- アナログ信号源と適切なフィルタリング
- ADC 評価に使用可能な低ジッタ・クロック源（rms ジッタが 1 ピコ秒未満）
- Windows® 98 (2nd Ed)、Windows 2000、Windows ME、Windows XP のいずれかで動作する PC
- USB 2.0（USB 1.1互換）ポート付きのPCを推奨

クイック・スタートの手順

スタート手順全体では、Windows オペレーティング・システムの管理者権限が必要です。次の各ステップを完了させた後に、通常のユーザー・モードに戻ることが推奨されます。

1. FIFO 評価用キットに添付されている CD から ADC Analyzer をインストールします。ADC Analyzer はウェブから最新バージョンをダウンロードすることもできます。ソフトウェアの最新アップデートについては、アナログ・デバイセズのウェブサイト www.analog.com/hsc-FIFO を調べてください。
2. FIFO 評価用ボードを ADC 評価用ボードに接続します。アダプタが必要な場合には、ADC 評価用ボードと FIFO ボードとの間にアダプタを接続してください。評価用ボードは、実装されている IDT 社の FIFO チップに最も近い 120 ピン・コネクタの下側 2 列に接続します。SPI インターフェース付きの ADC を使用する場合は、3 番目の列を接続できるように、2 個の 4 ピン・コーナー・キーを取り除きます。
3. 付属の USB ケーブルを FIFO 評価用ボードとコンピュータの使用可能な USB ポートに接続します。
4. 必要なジャンパ変更については表 4 を参照してください。ほとんどの評価用ボードはデフォルト設定で使用できます。
5. 最初の 4 つのステップを検証してから、ADC 評価用ボードに適切な電源を接続します。FIFO 評価用ボードに付属の電源コンセントに接続するスイッチング電源は、最大で 6 V、2 A の出力を提供します。電源コネクタを定格 100 V AC～240 V AC、47 Hz～63 Hz の電源コンセントに接続してください。逆側には、J301 で PCB に接続する内径 2.1 mm のジャックが付いています。ADC 評価用ボードの電源やその他の条件の詳細については、ADC データシート（www.analog.com）の説明をご覧ください。
6. コンピュータと FIFO ボードにケーブルを接続し、電源を印加すると、USB ドライバのインストールが始まります。FIFO ドライバを全部インストールするには、次の新しいハードウェア・シーケンスを 2 回完了する必要があります。最初は、**Found New Hardware Wizard** が開き、**This wizard helps you install software for...Pre-FIFO 4.1** というテキスト・メッセージが表示されます。推奨されたインストールをクリックし、次の画面に進みます。ハードウェア・インストールの警告ウィンドウが表示されます。**Continue Anyway** をクリックします。Pre-FIFO 4.1 のインストールは、次に開くウィンドウで終了します。**Finish** をクリックします。**Found New Hardware Wizard** ダイアログ・ボックスがもう一度開かれますが、今度は **This wizard helps you install software for...Analog Devices FIFO 4.1** というテキスト・メッセージが表示されます。推奨されたインストールをクリックし、次の画面に進みます。再び、ハードウェア・インストールの警告ウィンドウが表示されます。**Continue Anyway** をクリックします。さらに、次の 2 つのウィンドウで **Finish** をクリックします。これでインストールが完了します。
7. (オプション) デバイス・マネージャで、**Analog Devices FIFO 4.1** が USB ハードウェアの下にリストされていることを確認します。
8. 評価用ボードへの電源をオンにし、ボード・レベルで電圧レベルをチェックします。
9. 適切なアナログ入力（バンドパス・フィルタでフィルタリング済み）と低ジッタ・クロック信号を接続します。評価用ボードの電源をオンした後で、アナログ入力とクロックを接続するように注意してください。
10. ADC Analyzer を起動します。
11. ADC 評価用ボード用の既存のコンフィギュレーション・ファイルを選択するか、新しいものを作成します。
12. ADC Analyzer で **Time Data**（メニューの下左端のボタン）をクリックします。アナログ入力の再構成が表示されます。予期した信号が現れない場合、または平坦な赤色のラインしか表示されない場合には、ADC Analyzer データシート（www.analog.com/hsc-FIFO）を参照して詳細を確認してください。

クイック・スタート・ガイド：ADIsimADCを使った仮想評価

条件

- ADC Analyzer（バージョン 4.8.2 以降）の完全なインストール。
- 所望の A/D コンバータの ADIsimADC 製品モデル・ファイルをダウンロードします（モデル・ファイルは、ソフトウェアと一緒にインストールされませんが、ADIsimADC 仮想評価用ボードのウェブサイトから無償でダウンロードできます）。

ADIsimADC を用いて ADC を仮想的に評価するにはハードウェアは不要です。しかし、これらの結果を実際の評価用ボードを用いた結果と比べたい場合は、以下の「クイック・スタートの手順」に示すように、2つの表示を簡単に切り替えることができます。

クイック・スタートの手順

1. www.analog.com/ADIsimADC にアクセスし、対象となる ADC モデル・ファイルをローカル・ドライブにダウンロードします。デフォルトでの格納場所は `c:\program files\adc_analyzer\models` となります。
2. ADC Analyzer を起動します（『ADC Analyzer User Manual』を参照）。
3. メニューから、バッファ・メモリとして **Config > Buffer > Model** をクリックします。実際には、ADC とデータ・キャプチャ・ハードウェアの代わりにこのモデルが機能します。
4. モデルを選択してから、**Model**（**Stop** ボタンの隣）をクリックして、モデリングするコンバータを選択および設定します。作業スペースに表示されるダイアログ・ボックスでは、モデルの動作を選択および設定することができます。

5. **ADC Modeling** ダイアログ・ボックスで、**Device** タブをクリックしてから、... (**Browse**) をクリックします。これはダイアログ・ウィンドウのオープン・ボックスの隣にあるボタンです。これによってファイル・ブラウザが開かれ、デフォルト・ディレクトリ (`c:\program files\adc_analyzer\models`) にあるすべてのモデルが表示されます。モデル・ファイルが見つからない場合は、画面の指示に従うか、ステップ 1 を繰り返して使用可能なモデルをインストールします。モデルをデフォルトの位置以外に保存した場合は、ブラウザを用いてその位置まで移動し、対象となるファイルを選択します。
6. メニューから、**Config > FFT** をクリックします。**FFT 設定** ダイアログ・ボックスで、**Encode Frequency** にシミュレーションされる被テスト・デバイスの有効なレートが設定されていることを確認します。設定された値が低すぎたり高すぎたりすると、モデルは動作しません。
7. モデルが選択されると、**ADC Modeling** ダイアログ・ボックスの **Device** タブにモデルについての情報が表示されます。正しいモデルが選択されていることを確認してから、**Input** タブをクリックします。これによって、モデルへの入力設定されます。入力信号は **Sine Wave** または **Two Tone** のどちらかをクリックします。
8. **Time Data**（プルダウン・メニューの下左端のボタン）をクリックします。アナログ入力の再構成が表示されます。以上で、このモデルを標準的な評価用ボードのように使用することができます。
9. このモデルは、標準的な評価用ボードのテスト時には見られない付加機能にも対応します。モデリング機能を使用するとき、入力アナログ信号の振幅または入力アナログ信号の周波数をスワイプすることができます。詳細については、『ADC Analyzer User Manual』（www.analog.com/hsc-FIFO）をご覧ください。

FIFO 4.1データ・キャプチャ・ボードの特長

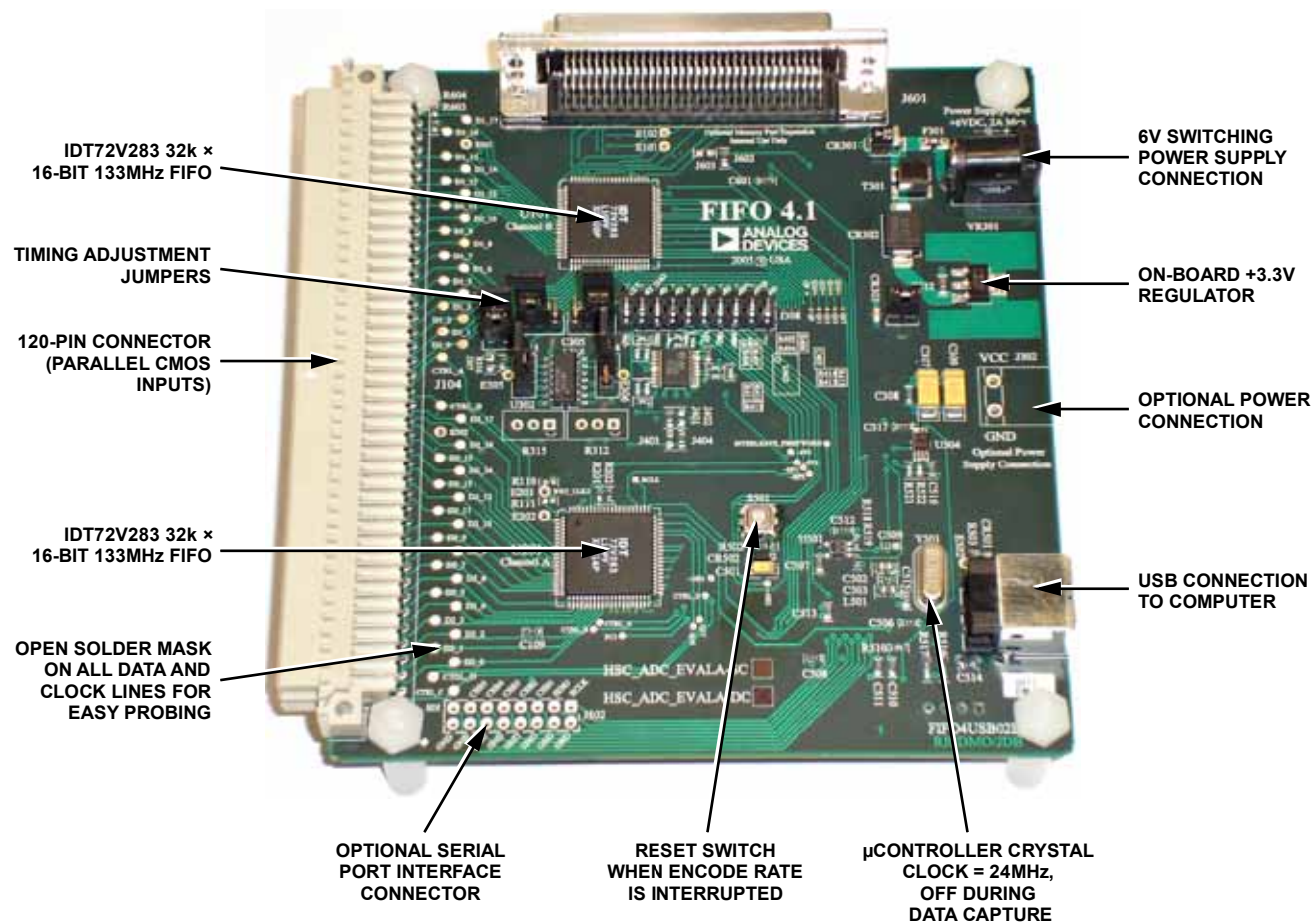


図 2. FIFO 部品 (上面図)

05570-002

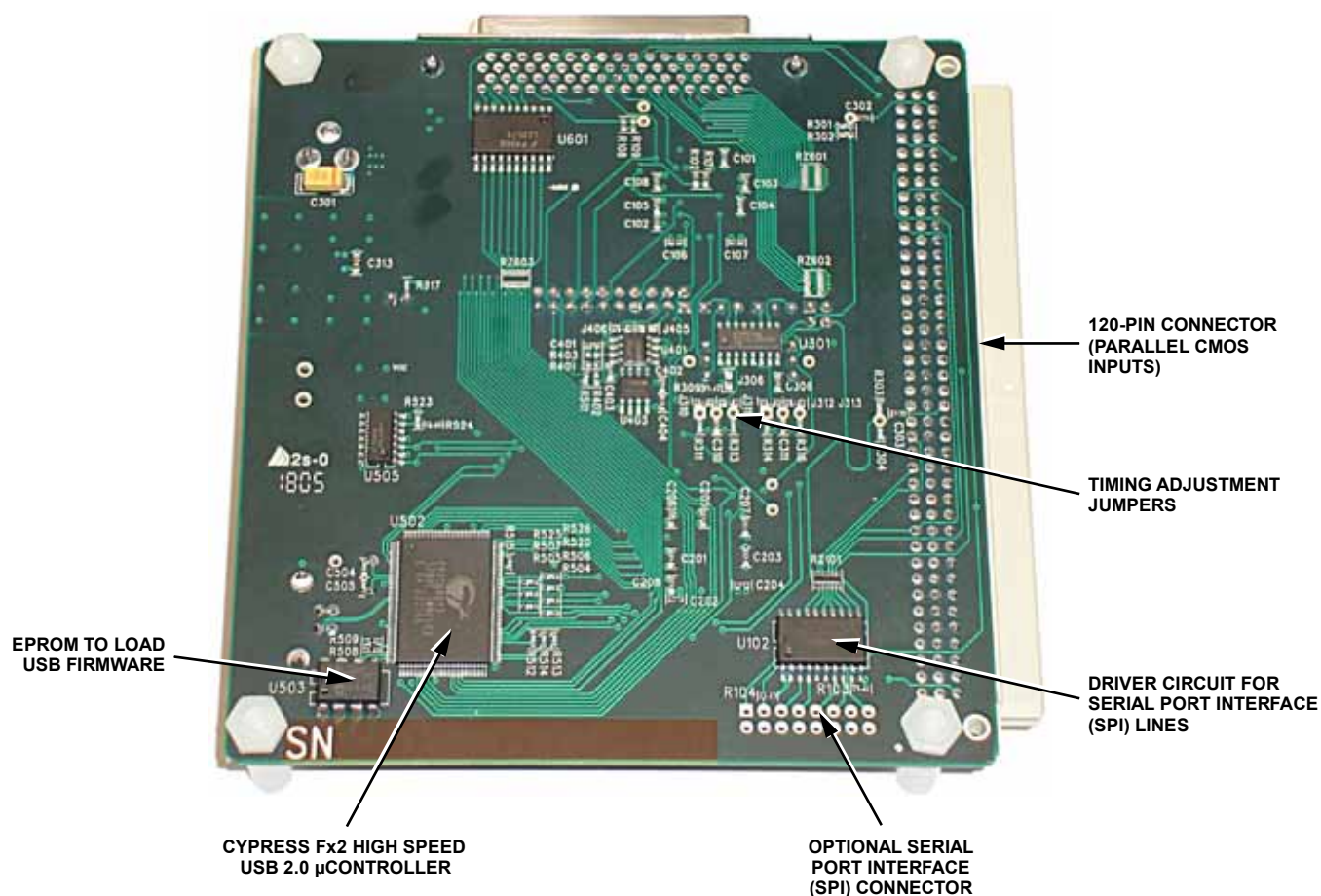


図 3. FIFO 部品 (底面図)

FIFO 4.1 が対応する ADC 評価用ボード

高速 ADC FIFO 評価用キットで使用できる評価用ボードの一覧については、www.analog.com/fifo をご覧ください。評価用ボードによっては、ADC 評価用ボードの出力コネクタと FIFO の入力コネクタとの間にアダプタが必要となることがあります。アダプタが必要な場合は、アダプタの製品番号、使用している ADC、および連絡先を明記の上、highspeed.converters@analog.com まで電子メールでご連絡ください。

動作原理

FIFO 評価用ボードは、複数の回路に区別することができます。各回路は ADC からのデジタル・データの収集に重要な役割を果たしており、PC がそのデータをアップロードして処理できるようにします。評価用キットは、IDT 社の IDT72V283 FIFO チップをベースにしています。この評価システムは HSC-ADC-EVALB-DCZ を使用して、最大 133 MSPS の速度でデジタル・データを収集でき、最大 32 kB のデータを格納できます。HSC-ADC-EVALB-DCZ は 2 個の FIFO チップを持っており、シングルチャンネルとマルチチャンネル ADC あるいは 133MSPS 以上のサンプリング速度を持った ADC からデマルチプレクスされたデータの評価ができます。ADC Analyzer との通信用に USB 2.0 マイクロコントローラが導入されているため、USB 2.0 (USB 1.1 と互換) インターフェースを備えている比較的新しいコンピュータと簡単に接続できます。

FIFO チップへの書き込み処理あるいはそのデータの読出し処理には、複数のステップが必要です。まず、ADC Analyzer が FIFO チップへの書き込み処理を開始します。FIFO チップは、マスター・リセット信号 (MRS) を用いてリセットされます。この時 USB マイクロコントローラの処理が中断され、USB 発振器がオフになるので、ADC 入力にノイズが混入することはありません。FIFO チップが完全にいっぱいになると、FIFO チップから USB マイクロコントローラにフル・フラグが送られ、休止中の USB マイクロコントローラが処理を再開します。ADC Analyzer は、約 30 ms 後に読出し処理を開始します。

読出し処理中は、FIFO 1 (U201) または FIFO 2 (U101) からのデータの取得を信号 OEA と OEB が制御します。2つの FIFO チップのデータ出力は同じ 16 ビット・データ・バスを駆動するため、USB マイクロコントローラが OEA と OEB 信号を使って正しい FIFO チップからデータを読み取るように調整します。アプリケーションの観点からみると、ADC Analyzer が USB マイクロコントローラにコマンドを送り、正しい FIFO チップからの読出しを開始する (シングル出力の ADC の場合) か、またはデュアル・モードないしデマルチプレクス・モードでは 2つの FIFO チップからの読出しを開始します。

クロックの説明

バッファ・メモリの各チャンネルには、データ・キャプチャ用のクロック信号が必要です。このクロック信号は、通常 ADC 評価用ボードから提供され、データとともにコネクタ J104 (チャンネル A とチャンネル B の 37 番ピン) を介して送信されます。2つのチャンネルにシングル・クロックしか使用しない場合は、ジャンパ J303 によって接続できます。

LVDS (低電圧差動信号) レシーバの出力にあるジャンパ J304 と J305 によって、LVDS レシーバは出力クロックを反転させることができます。デフォルトでは、クロック出力は LVDS レシーバによって反転されます。

各データ・チャンネルからのシングルエンドのクロック信号はバッファ処理され、LVDS レシーバ U301 の 2つのゲートで差動 CMOS 信号に変換されます。これにより、各チャンネルのクロック源として CMOS、TTL、または ECL を使用することができます。

クロック信号は、0.1 μ F コンデンサで AC 結合されます。ポテンショメータの R312、R315 で、LVDS ゲートのしきい値 (スレショルドレベル) の微調整ができます。しきい値の微調整が重要なアプリケーションでは、これらのポテンショメータをより大きい抵抗値に置き換えて調整範囲を広げることができます。抵抗 R301、R302、R303、R304、R311、R313、R314、R316 は、各差動ゲートへの静的な入力を約 1.5 V の DC 電圧に設定します。

組立時には、ポテンショメータをバイパスさせるためにハンダ・ジャンパ J310~J313 が設定されています。ポテンショメータを使用して微調整するには、ハンダ・ジャンパを除去して R312 と R315 を実装する必要があります。

設計に採用されている XOR ゲート・アレイ U302 により、FIFO メモリ・チップのクロック・バスにゲート遅延を追加できます。これらは通常の条件では不要ですので、組立時にジャンパ J314 と J315 でバイパスされています。ジャンパ J306 と J307 により、XOR ゲートでクロック信号を反転できます。デフォルト設定の場合、XOR ゲートによってクロックは反転されません。

これらのクロック経路で、各 FIFO メモリ・チップ (U101 と U201) に対する WRT_CLK1 と WRT_CLK2 信号が決まります。これらのタイミング・オプションで、有効なデータを取り込むためのセットアップ時間およびホールド時間条件を満たすクロック信号を選択できます。

クロック・ジェネレータは、S1 または S3、あるいはその両方に直接印加できます。このクロック・ジェネレータは、ADC にクロックを供給するものと同じでなければなりません。これらのクロック経路は AC 結合されるため、サイン波の信号発生器を使用できます。DC バイアスは、R301/R302 および R303/R304 で調整できます。

DS90LV048A 差動ライン・レシーバを使って、FIFO 評価用ボードに外部から印加されるクロック信号レベルを矩形波にすることができます。このクロック・レシーバの出力は、IDT72V283 FIFO の書き込みクロックとして直接駆動するか、あるいは最初に上記 XOR ゲート・タイミング回路を通してから駆動します。

SPI の説明

Cypress 社の IC (U502) は HSC の SPI 規格に対応しているため、SPI アクセス可能なレジスタ・マップを持つ ADC をプログラミングできます。U102 は、3 番目または最上位の列にある 120 ピン・コネクタ (J104) を介して 4 線式 SPI (SCLK、SDI、SDO、CSB) を駆動するバッファです (なお、CSB1 はデフォルトで使用される CSB ラインです)。J502 は、Cypress IC に直接接続された SPI 信号を監視する補助 SPI コネクタです。これらの機能の詳細については、ユーザ・マニュアル『*Interfacing to High Speed ADCs via SPI*』 (www.analog.com/hsc-FIFO) を参照してください。

Cypress IC をベースにして設計された SPI インターフェースは、最大 5 個の異なる SPI 対応デバイスと通信することができます。CLK ラインとデータラインは、すべての SPI デバイスに共通です。通信する正しいデバイスを選択するには、5 本のアクティブ・ローのチップ・セレクト・ピンのうちいずれかを使用します。この機能を制御するには、ソフトウェアで SPI チャンネルを選択します。

インターリーブ・データのクロッキング

超高速データ・レートを備えた ADC は、シングルバッファ・メモリ・チャンネル（～133 MSPS）の能力を上回る場合があります。こうしたコンバータでは、データ・キャプチャに必要なレートに低下させるために、データが2つのチャンネルにデマルチプレクスされている場合がよくあります。このようなアプリケーションの場合、ADC Analyzer は2つのチャンネルからのデータをインターリーブして、単一のチャンネルとして処理する必要があります。チャンネル A から最初のサンプル、チャンネル B から2番目のサンプルというように順番に処理を行ったり、またはこれとは逆の順番で処理するようにソフトウェアを設定できます。バッファ・メモリに含まれる同期回路は、FIFO メモリ・チップ（1 番ピン、U101、U201）への書き込みイネーブル信号（WENA、WENB）の間で小さな遅延を強制的に発生させて、データが1つの FIFO に取り込まれてからもう1つの FIFO に入るようにします。WENA を受信する FIFO と WENB を受信する FIFO は、ジャンパ J401 と J402 の設定によって決まります。

HSC-ADC-FPGA-8Z への接続

シリアル LVDS 出力を持つ ADC では、別のボード（つまり、HSC-ADC-FPGA-8Z）を ADC 評価用ボードと FIFO データ・キャプチャ・カードの間に接続する必要があります。このボードは、FIFO データ・キャプチャ・カードがデータを受け入れられるように、シリアル・データをパラレル CMOS に変換します。このボードの詳細については、HSC-ADC-FPGA データシート（www.analog.com/hsc-FIFO）を参照してください。

HSC-ADC-AD922xFFA または HSC-ADC-AD9283FFA アダプタ・ボードへの接続

以前の ADC 評価用ボード（AD9203、AD9220、AD9226、AD9283 など）にはさまざまなピン配置があるため、ADC 評価用ボードと FIFO データ・キャプチャ・カードの間に別のボード（つまり、HSC-ADC-AD922xFFA または HSC-ADC-AD9283FFA アダプタ・ボード）を接続する必要があります。このボードを使うと、ADC 評価用ボードの出力を FIFO ボード上の正しい位置に接続し直してくれます。

HSC-ADC-AD922xFFA または HSC-ADC-AD9283FFA アダプタ・ボードを接続するときは、ADC 評価用ボードにメス側コネクタを接続してから、FIFO ボードにオス側コネクタを接続します。次に、図 4 に示すように、HSC-ADC-AD922xFFA または HSC-ADC-AD9283FFA アダプタ・ボードを FIFO ボード・コネクタのデータライン（A 列と B 列）に接続します。このボードの詳細については、highspeed.converters@analog.com まで電子メールでご連絡ください。

HSC-ADC-DEMUX アダプタ・ボードへの接続

AD9480 および AD9430ADC はパラレルの LVDS 出力を備えており、これらの ADC 評価用ボードと FIFO データ・キャプチャ・カードの間に別のボードを接続する必要があります。このボードは、FIFO データ・キャプチャ・カードの2つのチャンネルを使用して、パラレル LVDS をパラレル CMOS に変換します。このボードの詳細については、highspeed.converters@analog.com まで電子メールでご連絡ください。

2 列コネクタによる ADC 評価用ボードの接続

HSC-ADC-EVALA-SC/HSC-ADC-EVALA-DC（FIFO 4）は、HSC-ADC-EVALB-DCZ（FIFO 4.1）の直前のバージョンであり、80 ピン、2 列入力のコネクタしかありませんでした。FIFO 4.1 は 120 ピンの 3 列入力コネクタを備えているため、SPI 付きの新しい ADC との接続が可能です。図 4 と図 5 には、旧バージョンの ADC 評価用ボードに FIFO 4.1 を接続する例を2つ示します。



図 4. シングルチャンネル ADC



図 5. デュアルチャンネル ADC

FIFO メモリのアップグレード

FIFO 評価用ボードに搭載されている 2 個の 32 KB FIFO は、133 MHz のクロック信号に対応できます。Integrated Device Technology (IDT) はピン互換の FIFO アップグレードを用意しています。IDT の製品番号マトリックスについては、表 1 を参照してください。

表 1. IDT 製品番号マトリックス¹

製品番号	FIFO の深さ	FIFO の速度
IDT72V283L7-5PF (Default)	32 kB	133 MHz
IDT72V293L7-5PF	64 kB	133 MHz
IDT72V2103L7-5PF	132 kB	133 MHz
IDT72V2113L7-5PF	256 kB	133 MHz
IDT72V283L6PF	32 kB	166 MHz
IDT72V293L6PF	64 kB	166 MHz
IDT72V2103L6PF	132 kB	166 MHz
IDT72V2113L6PF	256 kB	166 MHz

¹ 詳細については、IDT のウェブサイトをご覧ください。

ジャンパ

ジャンパの設定には、表 2 と表 3 の情報をご利用ください。FIFO 評価用ボードでは、チャンネル A は下部の IDT FIFO チップに対応し、チャンネル B は上部の IDT FIFO チップ（Analog Devices のロゴに最も近いもの）に対応しています。

表 2. ジャンパ位置の説明

位置	説明
In	Jumper in place (2-pin header)
Out	Jumper removed (2-pin header)
Position 1 or Position 3	Denotes the position of a 3-pin header. Position 1 is marked on the board.

表 3. ハンダ・ジャンパ位置の説明

位置	説明
In	Solder pads should be connected with a 0 Ω resistor
Out	Solder pads should not be connected with a 0 Ω resistor

表 4. ジャンパ設定

ジャンパ	シングル・チャンネル設定（上側） ¹	シングル・チャンネル設定（下側）	デマルチプレクスの設定	デュアル・チャンネルの設定	説明
J303	In	In	Out	Out	Position 2 to Position 4, ties write clocks together
J304	In	In	In	In	Position 1 to Position 2, POS3: inverts clock out of DS90 (U301)
J305	In	In	In	In	Position 2 to Position 3, POS3: inverts clock out of DS90 (U301)
J306	Out	Out	Out	Out	No invert to encode clock from XOR (U302), 0 Ω resistor
J307	Out	Out	Out	Out	No invert to encode clock from XOR (U302), 0 Ω resistor
J310 to J313	In	In	In	In	All solder jumpers are shorted with 0 Ω resistors, (bypass level shifting to input of DS90)
J314	In	In	In	In	Position 1 to Position 2, one XOR gate timing delay for top FIFO (U101)
J315	In	In	In	In	Position 1 to Position 2, one XOR gate timing delay for bottom FIFO (U201)
J316	In	In	In	In	Power connected using switching power supply
J401	In	In	In	In	Controls if the top FIFO (U101) receives a write enable before or after bottom FIFO, 0 Ω resistor
J402	Out	Out	Out	Out	Controls if the top FIFO (U101) receives a write enable before or after bottom FIFO, 0 Ω resistor
J403	Out	Out	Out	Out	Controls if the bottom FIFO (U201) receives a write enable before or after the top FIFO, 0 Ω resistor
J404	In	In	In	In	Controls if the bottom FIFO (U201) receives a write enable before or after the top FIFO, 0 Ω resistor
J405	Out	Out	In	Out	When this jumper is in, WRT_CLK1 is used to create write enable signals for FIFOs, 0 Ω resistor (significant only for interleave mode)
J406	In	In	In	In	WRT_CLK2 is used to create write enable signals for FIFOs, 0 Ω resistor (significant only for interleave mode)

デフォルト設定

表 4 は、シングルチャンネル、マルチチャンネル、およびインターリーブ ADC で使用する場合、データ・キャプチャ・ボードを設定するためのジャンパ設定を示します。ADC 設定は、シングルチャンネル ADC の逆側（上部）FIFO (U101) の設定として、それぞれ別の列に表示されています。評価用ボードによっては、タイミングを正しく調整するために、これらの設定を変更しなければなりません。詳細については、「動作原理」の「クロックの説明」を参照してください。

さまざまな設定に合わせてジャンパ設定を簡単に行う方法は、ほかにもあります。まず、ADC Analyzer の **Help** メニューを開きます。メニューから **About HSC_ADC_EVALB** を選択して、アプリケーションに合った適切な設定を決定します。次に、**Setup Default Jumper Wizard** をクリックし、該当するアプリケーションに適用する設定を選択します。そのアプリケーション用に FIFO ボードの絵が表示され、正しいジャンパの設定例が視覚的に示されます。

J503 | In | In | In | In | Connect enable empty flag of top FIFO (U101) to USB

ジャンパ	シングル・チャンネル設定（上側） ⁱ	シングル・チャンネル設定（下側）	デマルチプレクスの設定	デュアル・チャンネルの設定	説明
J504	Out	Out	Out	Out	MCU, 0 Ω resistor
J505	In	In	In	In	N/A
J506	Out	Out	Out	Out	Connect enable full flag of top FIFO (U101) to USB
J602	Out	Out	Out	Out	MCU, 0 Ω resistor
J603	In	In	In	In	N/A

ⁱ ジャンパによっては、物理的なジャンパの代わりに 0 Ω 抵抗を使用できます。これは表 4 のジャンパ説明の欄に示されています。

評価用ボード

FIFO は、2 チャンネルの ADC のデジタル・パラレル CMOS 出力を受け入れるために必要となるすべてのサポート回路を提供します。さまざまなジャンパを適切に接続することにより、各種の機能と設定を選択できます（表 4 を参照）。これを ADC 評価用ボードと組み合わせて使用する場合、コンバータの最適性能を実現するには、アナログ入力とクロックに使用する信号源にはきわめて低い位相ノイズ（rms ジッタが 1 ピコ秒未満）が要求されます。仕様のノイズ性能を得るためには、高調波を除去し、かつアナログ入力での総またはブロードバンド・ノイズを小さくするために入力信号を適切にフィルタリングすることも必要です。

詳細な回路図とレイアウト図については、図 8～図 18 を参照してください。

電源

この FIFO ボードには電源コンセントに接続するスイッチング電源が付属しており、6 V、2 A の最大出力が得られます。電源を 47～63 Hz、定格 100～240 V AC の電源コンセントに接続してください。もう片方は内径 2.1 mm のジャックとなっており、PC ボードの J301 に接続します。PC ボード上では、6 V 電源はヒューズ

を通りコンディショニングされた後、ボード上の各セクションに適切なバイアスを供給する低ドロップアウトの 3.3 V リニア・レギュレータに接続されます。

評価用ボードを非デフォルト状態で動作させるときは、J316 を除去し、スイッチング電源を切断することができます。これにより、ボードを個別にバイアスできるようになります。ボードに個別の電源を接続する場合は、P302 を使用してください。少なくとも 1 A の電流能力を持つ 3.3 V 電源が必要です。

接続とセットアップ

FIFO ボードには、2 チェンネルの 16 ビット・パラレル CMOS 入力を受け入れる 120 ピン（それぞれ 40 ピンの 3 列）コネクタが付いています（図 6 を参照）。80 ピン（それぞれ 40 ピンの 2 列）コネクタしかない ADC 評価用ボードの場合は、データをいずれの FIFO チャンネルにも正しく伝達するために、FIFO の 3 列コネクタの下位 2 列を接続することをお勧めします。最上位（つまり 3 番目）の列は、この機能に対応する隣接の ADC 評価用ボードに SPI 信号を伝達するために使用されます。

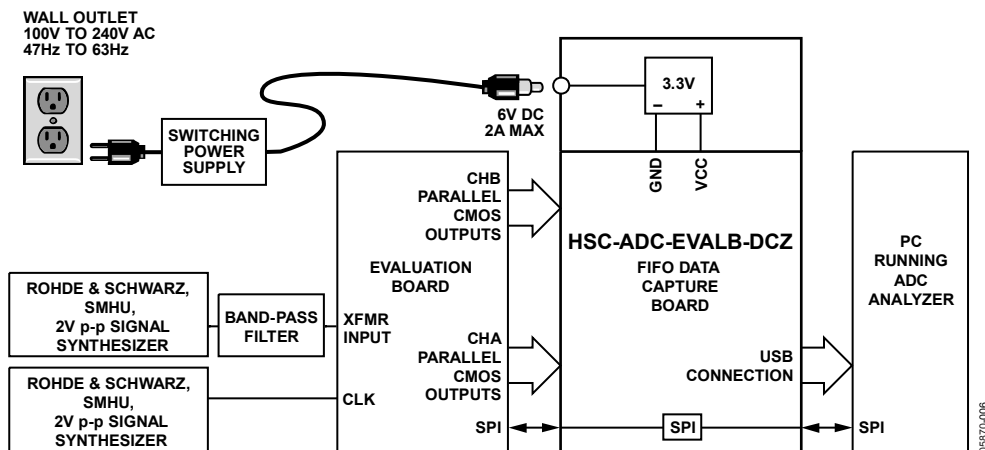


図 6. クワッド ADC 評価用ボードと FIFO データ・キャプチャ・ボードを使用したセットアップ例

FIFO回路図とPCボード・レイアウト

ピンの定義／配置

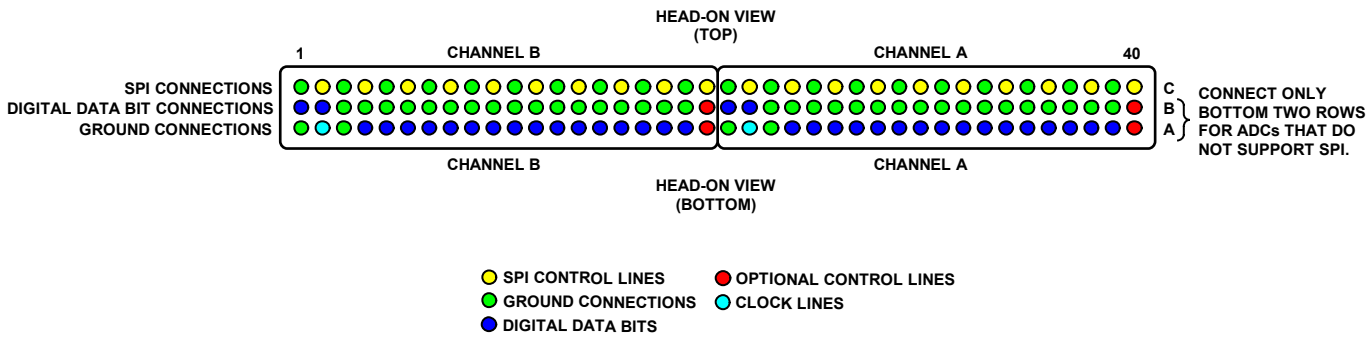
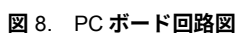


図 7. FIFO 4.1 3 列、120 ピンの入力ヘッダ

05870-007



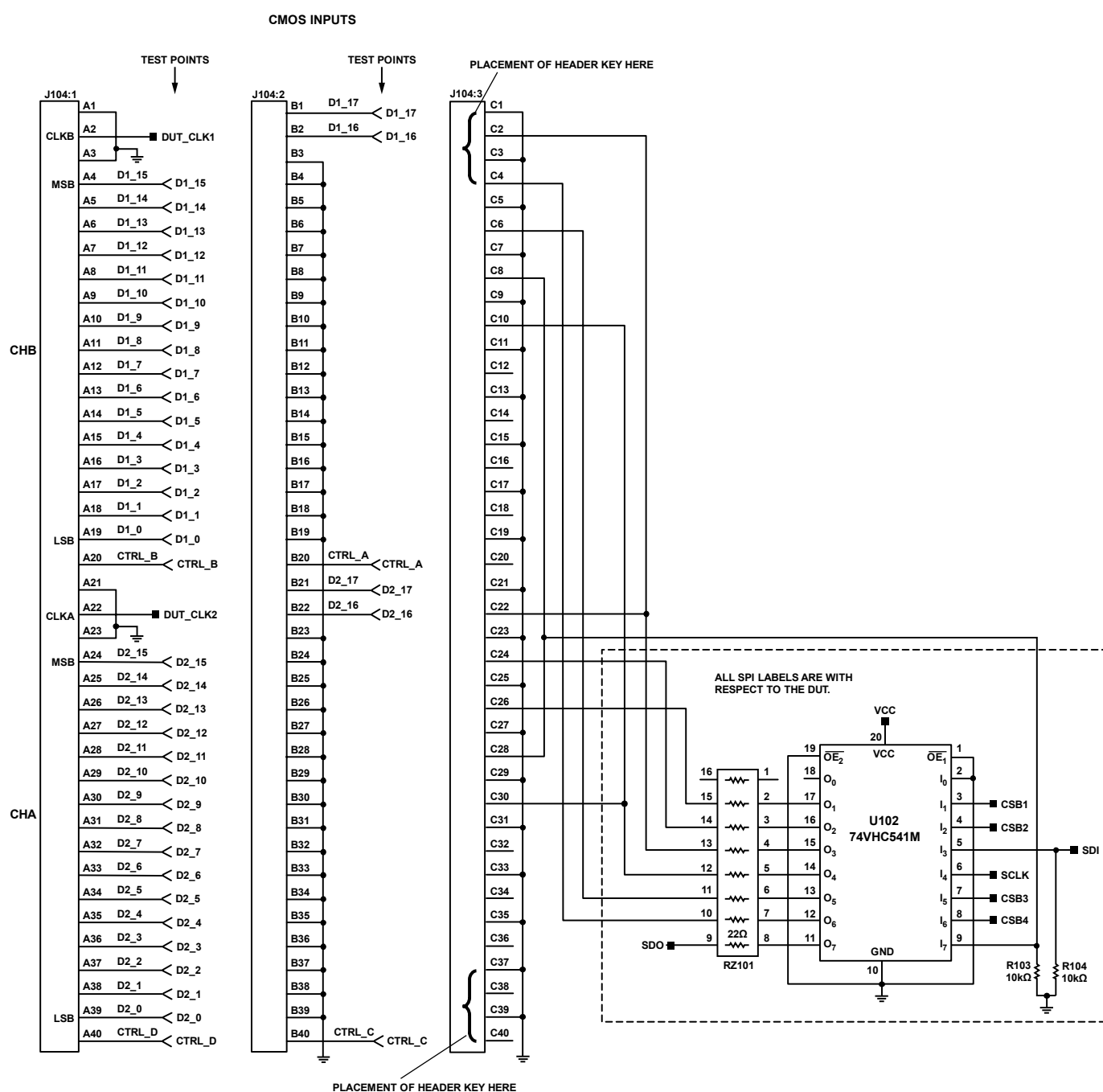
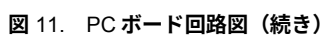
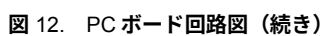


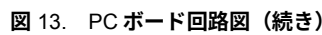
図 9. PC ボード回路図 (続き)



図 10. PC ボード回路図 (続き)







CONNECTIONS FOR 2M WORD EXTERNAL MEMORY
EXTERNAL MEMORY OVERRIDES ON-BOARD MEMORIES WHEN PLUGGED IN. ONLY A SIDE DATA.

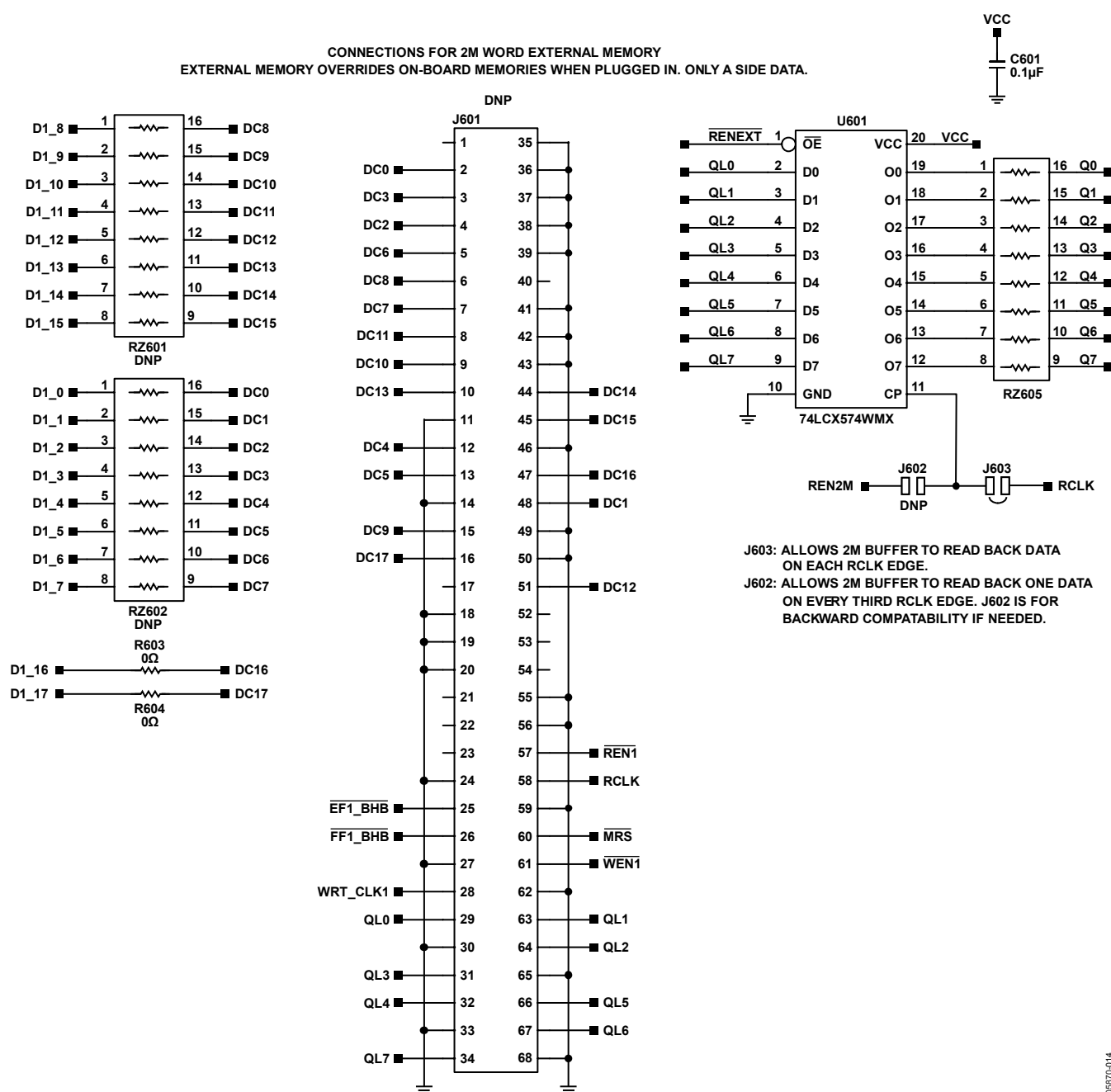


図 14. PC ボード回路図 (続き)

05870-014

PC ボード・レイアウト

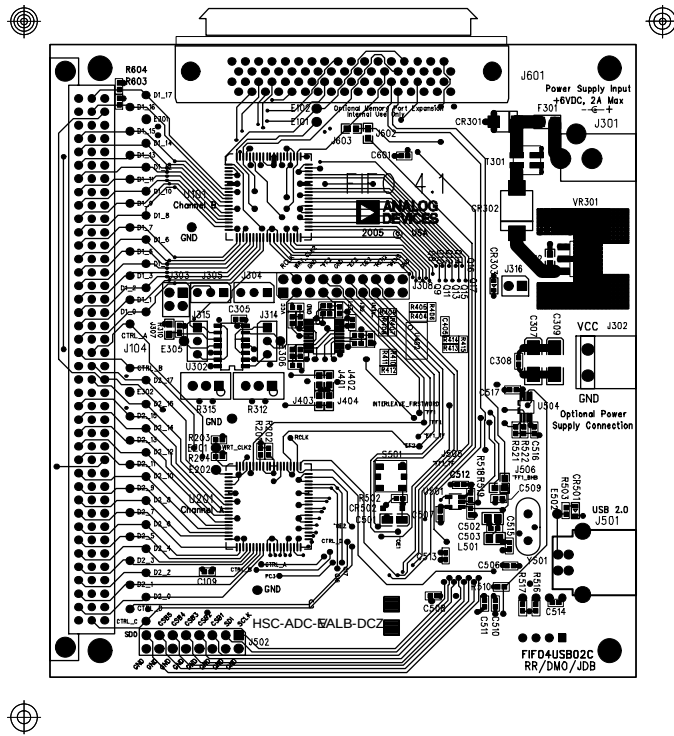


図 15. 層 1 - 一次側

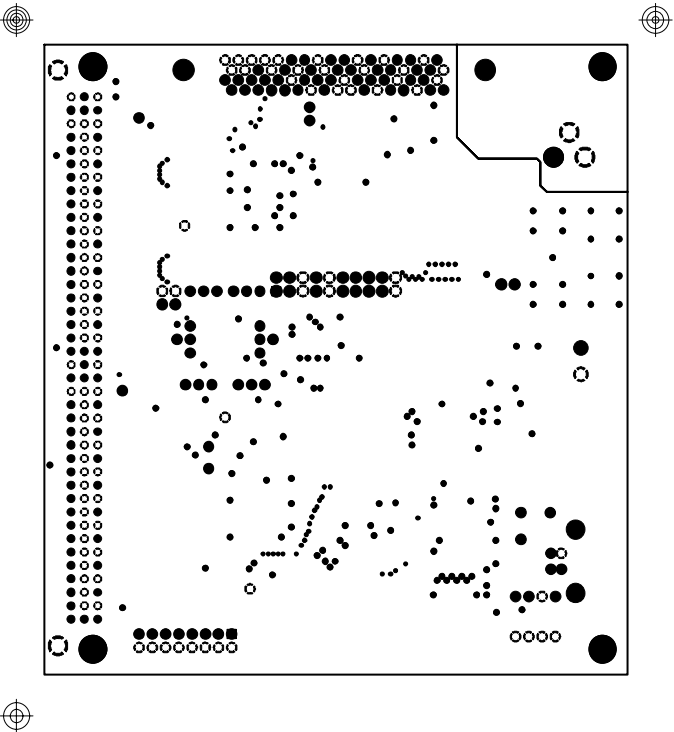


図 16. 層 2 - グラウンド・プレーン

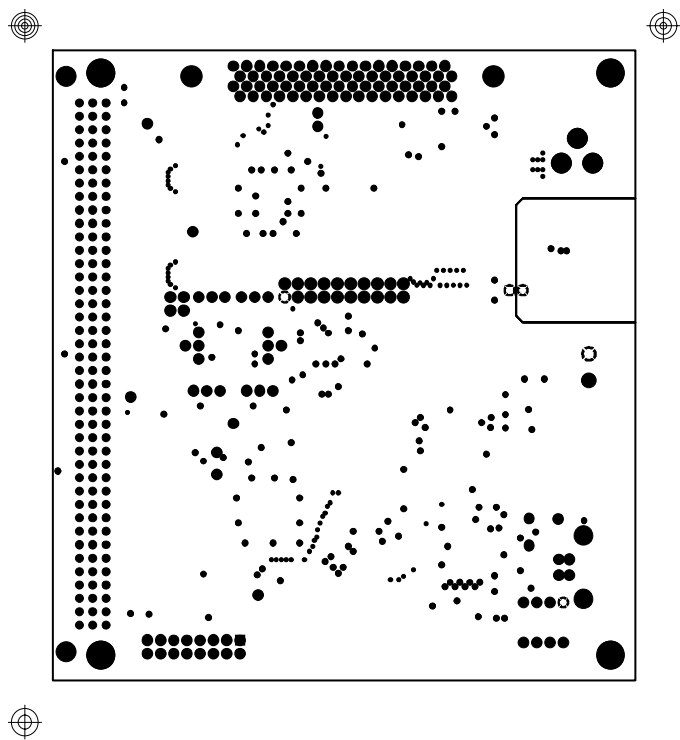


図 17. 層 3 - 電源プレーン

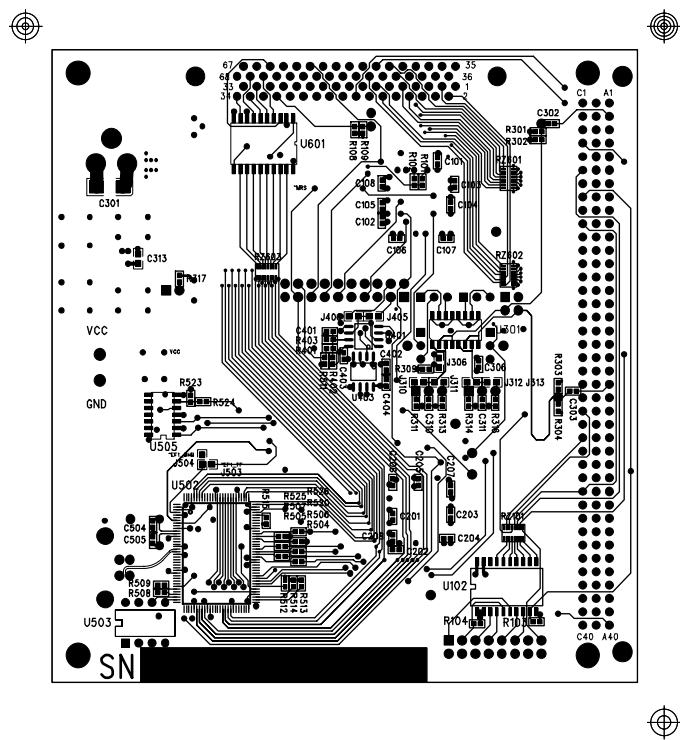


図 18. 層 4 - 二次側

オーダー情報

部品表

表 5. HSC-ADC-EVALB-DCZ の部品表¹⁾

Item	Qty	Reference Designation	Device	Package	Description	Manufacturer	Mfg Part Number
1	42	C101 to C109, C201 to C208, C302, C303, C305, C306, C308, C310, C311, C402 to C405, C503, C506 to C517, C601	Capacitor	402	Ceramic, 0.1 μ F, 16 V, X5R, 10%	Panasonic	ECJ0EB1A104K
2	3	C301, C307, C309	Capacitor	6032-28	Tantalum, 10 μ F, 16 V, 10%	Kemet Corporation	T491C106K016AT
3	2	C312, C313	Capacitor	603	Ceramic, 1 μ F, 10 V, X5R, 10%	Panasonic	ECJ1VB1A105K
4	1	C501	Capacitor	3216-18	Tantalum, 1 μ F, 16 V, 20%	Kemet Corporation	T491A105M016AT
5	1	C502	Capacitor	805	Ceramic, 2.2 μ F, 25 V, X5R 10%	Murata Manufacturing Co., Ltd.	GRM219R61E225KA12D
6	2	C504, C505	Capacitor	402	Ceramic, 12 pF, NPO, 50 V, 5%	Panasonic	ECJ-0EC1H120J
7	1	CR301	Diode	DO-214AA	Schottky diode, 50 V, 2 A, SMC	Micro Commercial Components Corp.	S2A-TP
8	1	CR302	Diode	DO-214AB	Schottky diode, 30 V, 3 A, SMC	Micro Commercial Components Corp.	SK33-TP
9	2	CR303, CR501	LED	603	Green, 4 V 5 m, candela	Panasonic	LNJ314G8TRA
10	1	CR502	Diode	SOD-123	Switching, 75 V, 150 mA	Diodes, Inc.	1N4148W-7-F
11	1	F301	Fuse	1210	6.0 V, 2.2 A trip current resettable fuse	Tyco Electronics/Raychem	NANOSMDC110F-2
12	1	J104	Connector		120-pin, female, PC mount, right angle	AMP	5650874-4
13	1	J301	Connector	0.08", PCMT	RAPC722, power supply connector	Switchcraft, Inc.	RAPC722X
14	1	J303	Connector	4-pin	Male, straight, 100 mil	Samtec, Inc.	TSW-110-08-G-D
15	4	J304, J305, J314, J315	Connector	3-pin	Male, straight, 100 mil	Samtec, Inc.	TWS-103-08-G-S
16	10	J310 to J313, J401, J404, J406, J503, J505, J603	Connector	603	2-pin solder jumper, 0 Ω , 1/10 W, 5%	Panasonic	ERJ-3GEY0R00V
17	1	J316	Connector	2-pin	Male, straight, 100 mil	Samtec, Inc.	TSW-102-08-G-S
18	1	J501	Connector	4-pin	USB, PC mount, right angle, Type B, female	AMP	USB-B-S-S-B-TH-R
19	1	L501	Ferrite bead	805	500 mA, 600 Ω @ 100 MHz	Steward	HZ0805E601R-10
20	5	R101, R201, R524, R603, R604	Resistor	402	0 Ω , 1/16 W, 5%	Panasonic	ERJ-2GE0R00X
21	8	R102 to R104, R202, R508, R509, R518, R519	Resistor	402	10 k Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF1002X
22	10	R301 to R304, R311, R313, R314, R316, R521, R522	Resistor	402	332 Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF3320X
23	2	R309, R310	Resistor	402	1 k Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF1001X
24	2	R317, R503	Resistor	402	499 Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF4990X
25	1	R401	Resistor	402	20 k Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF2002X
26	8	R404, R405, R407, R408, R410, R411, R413, R414	Resistor	402	49.9 Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF49R9X

Item	Qty	Reference Designation	Device	Package	Description	Manufacturer	Mfg Part Number
27	4	R406, R409, R412, R415	Resistor	402	40.2 Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF40R2X
28	1	R502	Resistor	402	100 k Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF1003X
29	13	R504 to R507, R510, R511 to R515, R520, R525, R526	Resistor	402	24.9 Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF24R9X
30	3	R516, R517, R523	Resistor	402	2 k Ω , 1/16 W, 1%	Panasonic	ERJ-2RKF2001X
31	1	RZ101	Resistor		Resistor array, 22 Ω , 1/4 W, 5%	Panasonic	EXB-2HV220JX
32	1	S501	Switch		Momentary (normally open), 100 GE, 5 mm, SPST	Panasonic	EVQPLDA15
33	1	T301	Choke	2020	10 μ H, 5 A, 50 V, 190 Ω @ 100 MHz	Murata Manufacturing Co., Ltd.	DLW5BSN191SQ2L
34	2	U101, U201	IC	TQFP 80	3.3 V, IDT72V283L7-5PF	Integrated Device Technology, Inc.	IDT72V283L7-5PFG
35	1	U102	IC	SOIC-20	74VHC541, octal buffer/line driver, three-state	Fairchild Semiconductor	74VHC541M
36	1	U301	IC	SOIC-16	IC line receiver quad CMOS	National Semiconductor Corporation	DS90LV048ATM/NOPB
37	1	U302	IC	SOIC-14	IC gate exclusive OR quad 2 in	Fairchild	74VCX86M
38	1	U401	IC	SOIC-8	IC translator DL TTL/CMOS-PECL	ON Semiconductor	MC100EPT22DG
39	1	U402	IC	20-TSSOP	IC driver clock dual 1:5 diff	ON Semiconductor	MC100EP29DTG
40	1	U403	IC	SOIC-8	IC translator DL LVPECL-LVTTL	Motorola	MC100EPT23DG
41	1	U501	IC	SOT23-5	Tiny logic UHS 2-input OR gate	Fairchild Semiconductor	NC7SZ32M5X
42	1	U502	IC	128 TQFP	IC MCU USB periph high speed	Cypress Semiconductor Corporation	CY7C68013A-128AXC
43	1	U503	IC	8-DIP	IC SRL EEPROM 16 $\times$ 8, 2.5 V	Microchip Technology Inc.	24LC00/P
44	1	U504	IC	8-SSOP	IC D-type flip-flop w/clear preset	Texas Instruments Incorporated	SN74LVC2G74DCTR
45	1	U505	IC	SOIC-14	Low voltage hex inverter	Fairchild Semiconductor	74LVQ04SC
46	1	U601	IC	SOIC-20	Octal D-type flip-flop	Fairchild Semiconductor	74LCX574WMX
47	1	VR301	IC	SOT-223	IC reg LDO 1.5 A 3.3 V	Analog Devices, Inc.	ADP3339AKCZ-3.3-RL
48	1	Y501	Crystal	Crystal	Oscillator, 24 MHz	Ecliptek Corporation	EUAA-12-24.000M

ⁱⁱ この BOM は RoHS 準拠です。

オーダー・ガイド

Model	Description
HSC-ADC-EVALB-DCZ ¹	Dual FIFO Version of USB Evaluation Kit
HSC-ADC-FPGA-8Z ¹	Quad/Octal Serial LVDS to Dual Parallel CMOS Interface, Supports All Quad/Octal ADCs in This Family Except the AD9289 (Not Included in Evaluation Kit)
HSC-ADC-FPGA-9289	Quad Serial LVDS to Dual Parallel CMOS Interface for the AD9289 Only (Not Included in Evaluation Kit)
HSC-ADC-DEMUX ²	Adapter for AD9480-LVDS and AD9430-LVDS Evaluation Boards (Not Included in Evaluation Kit)
HSC-ADC-AD922xFFA ²	Adapter for AD922x Family (Not Included in Evaluation Kit)
HSC-ADC-AD9283FFA ²	Adapter for the AD9283 and AD9057 (Not Included in Evaluation Kit)

¹ Z = RoHS 準拠製品。
² アダプタが必要な場合は、highspeed.converters@analog.com まで電子メールでご連絡ください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

EB05870-0-7/07 (A)-J