

## 特長

入力電圧範囲: 2.3 V~5.5 V

1 個の 1.2 A 降圧レギュレータを内蔵

2 個の 300 mA LDO を内蔵

4 mm × 4 mm の 20 ピン LFCSP パッケージを採用

過電流保護機能およびサーマル保護機能

ソフト・スタート

低電圧ロックアウト

外部調整可能な閾値監視機能を持つオープン・ドレインのプロセッサ・リセット

$V_{AVIN} = 1V$  までリセット出力

マニュアル・リセット入力

ウォッチドッグ・リフレッシュ入力

降圧レギュレータの主要仕様

出力電圧範囲: 0.8 V~3.8 V

優れた過渡応答を持つ電流モード回路

スイッチング周波数: 3 MHz

ピーク効率: 最大 96%

小型の積層インダクタとコンデンサを使用可能

強制 PWM モードまたは自動 PWM/PSM モードを Mode ピンにより選択

100% デューティ・サイクルの低ドロップアウト・モード

LDO の主要仕様

出力電圧範囲: 0.8 V~5.2 V

低い入力電源電圧: 1.7 V~5.5 V

2.2  $\mu F$  のセラミック出力コンデンサで安定

高い PSRR

低出力ノイズ

低ドロップアウト電圧

ジャンクション温度範囲: -40°C ~ +125°C

## 概要

ADP5041 は、1 個の高性能降圧レギュレータと 2 個の低ドロップアウト・レギュレータ(LDO)を小型 20 ピン LFCSP パッケージに内蔵し、厳しい性能条件とボード・スペース条件を満たします。

降圧レギュレータのスイッチング周波数が高いため、小型の積層外付け部品を使用してボード・スペースを削減することができます。

MODE ピンをハイ・レベルにすると、降圧レギュレータは強制 PWM モードで動作し、MODE ピンをロー・レベルに設定すると、負荷が公称値付近にある場合、降圧レギュレータは PWM モードで動作します。負荷電流が予め定めた閾値を下回ると、レギュレータはパワーセーブモード(PSM)で動作して、軽負荷時の効率を向上させます。ADP5041 LDO は低い静止電流、低ドロップアウト電圧、広い入力電圧範囲を持つため、携帯機器のバ

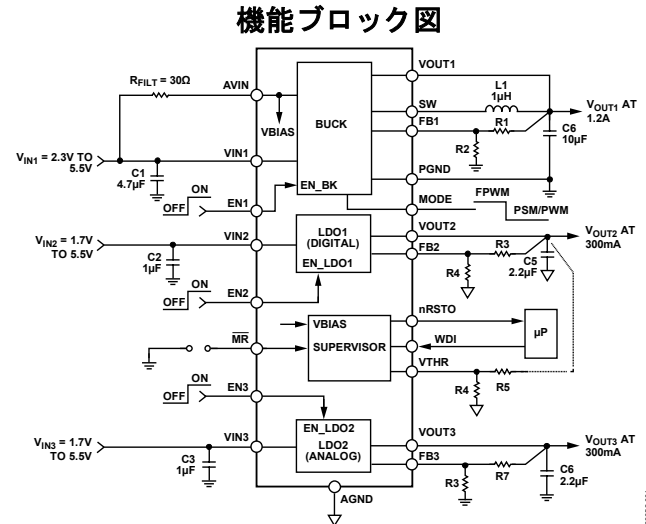


図 1.

ッテリ寿命を延ばすことができます。これらの ADP5041 LDO の電源除去比は最大 10 kHz までの周波数で 60 dB 以上あり、小さいヘッドルーム電圧で動作します。

ADP5041 の各レギュレータは、対応するイネーブル・ピンがハイ・レベルになると起動されます。レギュレータの出力電圧とリセット閾値は、外付け抵抗分圧器を使って設定されるため、多様なアプリケーションに対応することができます。ADP5041 は、マイクロプロセッサ採用システムの電源電圧レベルと正常なコード実行を監視する監視回路を内蔵しています。また、パワーオン・リセット信号も提供します。内蔵のウォッチドッグ・タイマは、予め設定されたタイムアウト周期内にリセットできないときに、マイクロプロセッサをリセットすることができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

特長	1	降圧レギュレータ・セクション	27
機能ブロック図	1	LDO セクション	28
概要	1	監視回路セクション	28
改訂履歴	2	アプリケーション情報	31
仕様	3	降圧レギュレータ外付け部品の選択	31
全体仕様	3	LDO の外付け部品の選択	32
監視回路仕様	3	出力コンデンサ	32
降圧レギュレータ仕様	4	監視回路セクション	33
LDO1、LDO2 仕様	5	消費電力/熱についての考慮事項	34
入力コンデンサと出力コンデンサの推奨仕様	6	アプリケーション図	36
絶対最大定格	7	PCB レイアウト・ガイドライン	37
熱抵抗	7	推奨レイアウト	37
ESD の注意	7	部品表	38
ピン配置およびピン機能説明	8	出荷時設定オプション	39
代表的な性能特性	9	外形寸法	40
動作原理	26	オーダー・ガイド	40
パワー・マネジメント・ユニット	26		

## 改訂履歴

12/11—Revision 0: Initial Version

## 仕様

## 全体仕様

特に指定がない限り、AVIN、VIN1 = 2.3 V~5.5 V; AVIN、VIN1 ≥ VIN2、VIN3; VIN2、VIN3 = 1.7 V~5.5 V、最小/最大仕様では T<sub>J</sub> = -40°C~+125°C、typ 仕様では T<sub>A</sub> = 25°C。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
AVIN UNDERVOLTAGE LOCKOUT Input Voltage Rising Option 0	UVLO <sub>AVIN</sub>				2.275	V
Option 1	UVLO <sub>AVINRISE</sub>				3.9	V
Input Voltage Falling Option 0	UVLO <sub>AVINFALL</sub>		1.95			V
Option 1			3.1			V
SHUTDOWN CURRENT Thermal Shutdown Threshold	I <sub>GND-SD</sub> T <sub>SD</sub>	EN <sub>x</sub> = GND T <sub>J</sub> rising		0.1 150	2	μA °C
Thermal Shutdown Hysteresis	T <sub>SD-HYS</sub>			20		°C
START-UP TIME <sup>1</sup> Buck	t <sub>START1</sub>			250		μs
LDO1, LDO2	t <sub>START2</sub>	V <sub>OUT2</sub> , V <sub>OUT3</sub> = 3.3 V		85		μs
EN <sub>x</sub> , WDI, MODE, MR INPUTS Input Logic High	V <sub>IH</sub>	2.5 V ≤ AVIN ≤ 5.5 V	1.2			V
Input Logic Low	V <sub>IL</sub>	2.5 V ≤ AVIN ≤ 5.5 V			0.4	V
Input Leakage Current	V <sub>I-LEAKAGE</sub>	EN <sub>x</sub> = AVIN or GND		0.05	1	μA
OPEN-DRAIN OUTPUT nRSTO Output Voltage	V <sub>OL1V</sub> V <sub>OL1V2</sub> V <sub>OL2V7</sub> V <sub>OL4V5</sub>	AVIN ≥ 1.0 V, I <sub>SINK</sub> = 50 μA AVIN ≥ 1.2 V, I <sub>SINK</sub> = 100 μA AVIN ≥ 2.7 V, I <sub>SINK</sub> = 1.2 mA AVIN ≥ 4.5 V, I <sub>SINK</sub> = 3.2 mA			0.3 0.3 0.3 0.4	V V V V
Open-Drain Reset Output Leakage Current		AVIN = 5.5 V			1	μA

<sup>1</sup> セットアップ時間は、EN1 = EN2 = EN3 が 0 V から V<sub>AVIN</sub> へ変化したタイミングから V<sub>OUT1</sub>、V<sub>OUT2</sub>、V<sub>OUT3</sub> が公称値レベルの 90% になるまでの時間として定義されます。スタートアップ時間は、別のチャンネルが既にイネーブルされている場合、個々のチャンネルに対して短くなります。詳細については、代表的な性能特性のセクションを参照してください。

## 監視回路仕様

特に指定がない限り、AVIN、VIN1 = 2.3 V~5.5 V、最小/最大仕様では T<sub>J</sub> = -40°C~+125°C、typ 仕様では T<sub>A</sub> = 25°C。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY Supply Current (Supervisory Circuit Only)		45	55	μA	AVIN = VIN1 = EN1 = EN2 = EN3 = 5.5 V
		43	52	μA	AVIN = VIN1 = EN1 = EN2 = EN3 = 3.6 V
THRESHOLD VOLTAGE	0.495	0.500	0.505	V	
RESET TIMEOUT PERIOD Option 0	24	30	36	ms	
Option 1	160	200	240	ms	
V <sub>CC</sub> TO RESET DELAY (t <sub>RD</sub> )		80		μs	VIN falling at 1 mV/μs
WATCHDOG INPUT Watchdog Timeout Period Option 0	81.6	102	122.4	ms	
Option 1	1.28	1.6	1.92	sec	
WDI Pulse Width	80			ns	V <sub>IL</sub> = 0.4 V, V <sub>IH</sub> = 1.2 V
WDI Input Threshold	0.4		1.2	V	
WDI Input Current (Source)	8	15	20	μA	V <sub>WDI</sub> = V <sub>CC</sub> , time average
WDI Input Current (Sink)	-30	-25	-15	μA	V <sub>WDI</sub> = 0 V, time average
MANUAL RESET INPUT					

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
MR Input Pulse Width	1			$\mu\text{s}$	
MR Glitch Rejection		220		ns	
MR Pull-Up Resistance	25	52	90	$\text{k}\Omega$	
MR to Reset Delay		280		Ns	$V_{CC} = 5\text{ V}$

### 降圧レギュレータ仕様

特に指定がない限り、 $A_{VIN}$ 、 $V_{IN1} = 2.3\text{ V} \sim 5.5\text{ V}$ ;  $V_{OUT1} = 1.8\text{ V}$ ;  $L = 1\ \mu\text{H}$ ;  $C_{IN} = 10\ \mu\text{F}$ ;  $C_{OUT} = 10\ \mu\text{F}$ ; 最小/最大仕様では  $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様では  $T_A = 25^\circ\text{C}$ 。<sup>1</sup>

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Input Voltage Range	$V_{IN1}$		2.3		5.5	V
OUTPUT CHARACTERISTICS						
Output Voltage Accuracy	$V_{OUT1}$	PWM mode, $I_{LOAD} = 0\text{ mA}$ to 1200 mA	-3		+3	%
Line Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta V_{IN1}$	PWM mode		-0.05		%/V
Load Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta I_{OUT1}$	$I_{LOAD} = 0\text{ mA}$ to 1200 mA, PWM mode		-0.1		%/A
VOLTAGE FEEDBACK	$V_{FBI}$		0.485	0.5	0.515	V
PWM TO POWER SAVE MODE CURRENT THRESHOLD	$I_{PSM\_L}$			100		mA
INPUT CURRENT CHARACTERISTICS						
DC Operating Current	$I_{NOLOAD}$	MODE = ground $I_{LOAD} = 0\text{ mA}$ , device not switching, all other channels disabled		21	35	$\mu\text{A}$
Shutdown Current	$I_{SHTD}$	$EN1 = 0\text{ V}$ , $T_A = T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.2	1.0	$\mu\text{A}$
SW CHARACTERISTICS						
SW On Resistance	$R_{PFET}$	PFET, $A_{VIN} = V_{IN1} = 3.6\text{ V}$		180	240	$\text{m}\Omega$
	$R_{NFET}$	PFET, $A_{VIN} = V_{IN1} = 5\text{ V}$		140	190	$\text{m}\Omega$
		NFET, $A_{VIN} = V_{IN1} = 3.6\text{ V}$		170	235	$\text{m}\Omega$
		NFET, $A_{VIN} = V_{IN1} = 5\text{ V}$		150	210	$\text{m}\Omega$
Current Limit	$I_{LIMIT}$	PFET switch peak current limit	1600	1950	2300	mA
ACTIVE PULL-DOWN		$EN1 = 0\text{ V}$		85		$\Omega$
OSCILLATOR FREQUENCY	$f_{OSC}$		2.5	3.0	3.5	MHz

<sup>1</sup> 温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う相関により保証。

## LDO1、LDO2 仕様

特に指定がない限り、 $V_{IN2}$ 、 $V_{IN3} = (V_{OUT2}, V_{OUT3} + 0.5 \text{ V})$  または  $1.7 \text{ V}$  (いずれか大きい方)  $\sim 5.5 \text{ V}$ ;  $AVIN$ 、 $V_{IN1} \geq V_{IN2}$ 、 $V_{IN3}$ ;  $C_{IN} = 1 \mu\text{F}$ 、 $C_{OUT} = 2.2 \mu\text{F}$ ; 最小/最大仕様では  $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様では  $T_A = 25^\circ\text{C}$ <sup>1</sup>。

表 4.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	$V_{IN2}$ , $V_{IN3}$	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.7		5.5	V
OPERATING SUPPLY CURRENT						
Bias Current per LDO <sup>2</sup>	$I_{VIN2BIAS}/I_{VIN3BIAS}$	$I_{OUT3} = I_{OUT4} = 0 \mu\text{A}$ $I_{OUT2} = I_{OUT3} = 10 \text{ mA}$ $I_{OUT2} = I_{OUT3} = 300 \text{ mA}$		10 60 165	30 100 245	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
Total System Input Current	$I_{IN}$	Includes all current into $AVIN$ , $V_{IN1}$ , $V_{IN2}$ , and $V_{IN3}$				
LDO1 or LDO2 Only		$I_{OUT2} = I_{OUT3} = 0 \mu\text{A}$ , all other channels disabled		53		$\mu\text{A}$
LDO1 and LDO2 Only		$I_{OUT2} = I_{OUT3} = 0 \mu\text{A}$ , buck disabled		74		$\mu\text{A}$
OUTPUT VOLTAGE ACCURACY	$V_{OUT2}$ , $V_{OUT3}$	$100 \mu\text{A} < I_{OUT2} < 300 \text{ mA}$ , $100 \mu\text{A} < I_{OUT3} < 300 \text{ mA}$ $V_{IN2} = (V_{OUT2} + 0.5 \text{ V})$ to $5.5 \text{ V}$ $V_{IN3} = (V_{OUT3} + 0.5 \text{ V})$ to $5.5 \text{ V}$	-3		+3	%
REFERENCE VOLTAGE	$V_{FB2}$ , $V_{FB3}$		0.485	0.500	0.515	V
REGULATION						
Line Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta V_{IN2}$ $(\Delta V_{OUT3}/V_{OUT3})/\Delta V_{IN3}$	$V_{IN2} = (V_{OUT2} + 0.5 \text{ V})$ to $5.5 \text{ V}$ $V_{IN3} = (V_{OUT3} + 0.5 \text{ V})$ to $5.5 \text{ V}$	-0.03		+0.03	%/V
Load Regulation <sup>3</sup>	$(\Delta V_{OUT2}/V_{OUT2})/\Delta I_{OUT2}$ $(\Delta V_{OUT3}/V_{OUT3})/\Delta I_{OUT3}$	$I_{OUT2} = I_{OUT3} = 1 \text{ mA}$ $I_{OUT2} = I_{OUT3} = 1 \text{ mA}$ to $300 \text{ mA}$		0.002	0.0075	%/mA
DROPOUT VOLTAGE <sup>4</sup>	$V_{DROPOUT}$	$V_{OUT2} = V_{OUT3} = 5.0 \text{ V}$ , $I_{OUT2} = I_{OUT3} = 300 \text{ mA}$ $V_{OUT2} = V_{OUT3} = 3.3 \text{ V}$ , $I_{OUT2} = I_{OUT3} = 300 \text{ mA}$ $V_{OUT2} = V_{OUT3} = 2.5 \text{ V}$ , $I_{OUT2} = I_{OUT3} = 300 \text{ mA}$ $V_{OUT2} = V_{OUT3} = 1.8 \text{ V}$ , $I_{OUT2} = I_{OUT3} = 300 \text{ mA}$		72 86 107 180	140	mV mV mV mV
ACTIVE PULL-DOWN	$R_{PD LDO}$	$EN2/EN3 = 0 \text{ V}$		600		$\Omega$
CURRENT-LIMIT THRESHOLD <sup>5</sup>	$I_{LIMIT}$	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	335	470		mA
OUTPUT NOISE	$OUT_{LDO2NOISE}$          $OUT_{LDO1NOISE}$	10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}$ , $V_{OUT3} = 3.3 \text{ V}$ 10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}$ , $V_{OUT3} = 2.8 \text{ V}$ 10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}$ , $V_{OUT3} = 1.5 \text{ V}$ 10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}$ , $V_{OUT2} = 3.3 \text{ V}$ 10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}$ , $V_{OUT2} = 2.8 \text{ V}$ 10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}$ , $V_{OUT2} = 1.5 \text{ V}$		123 110 59 140 129 66		$\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$
POWER SUPPLY REJECTION RATIO	PSRR	1 kHz, $V_{IN2}$ , $V_{IN3} = 3.3 \text{ V}$ , $V_{OUT2}$ , $V_{OUT3} = 2.8 \text{ V}$ , $I_{OUT} = 100 \text{ mA}$ 100 kHz, $V_{IN2}$ , $V_{IN3} = 3.3 \text{ V}$ , $V_{OUT2}$ , $V_{OUT3} = 2.8 \text{ V}$ , $I_{OUT} = 100 \text{ mA}$ 1 MHz, $V_{IN2}$ , $V_{IN3} = 3.3 \text{ V}$ , $V_{OUT2}$ , $V_{OUT3} = 2.8 \text{ V}$ , $I_{OUT} = 100 \text{ mA}$		66 57 60		dB dB dB

<sup>1</sup> 温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う相関により保証。

<sup>2</sup> これは  $V_{IN2}$  と  $V_{IN3}$  への入力電流で、出力負荷には振り向けられません。

<sup>3</sup> 1 mA と 300 mA 負荷を使用した端点計算計算を使用。

<sup>4</sup> ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、1.7 V を超える出力電圧に対してのみ適用されます。

<sup>5</sup> 電流制限閾値は、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、3.0 V 出力電圧の電流制限閾値は、出力電圧が 3.0 V の 90% すなわち 2.7 V に低下する電流値として定義されます。

## 入力コンデンサと出力コンデンサの推奨仕様

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CAPACITANCE (BUCK) <sup>1</sup>	C <sub>MIN1</sub>	T <sub>J</sub> = -40°C to +125°C	4.7		40	μF
OUTPUT CAPACITANCE (BUCK) <sup>2</sup>	C <sub>MIN2</sub>	T <sub>J</sub> = -40°C to +125°C	7		40	μF
INPUT AND OUTPUT CAPACITANCE <sup>3</sup> (LDO1, LDO2)	C <sub>MIN34</sub>	T <sub>J</sub> = -40°C to +125°C	0.70			μF
CAPACITOR ESR	R <sub>ESR</sub>	T <sub>J</sub> = -40°C to +125°C	0.001		1	Ω

<sup>1</sup> 最小入力容量は、全動作範囲で 4.7 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサはこの降圧レギュレータに推奨できません。

<sup>2</sup> 最小出力容量は、全動作範囲で 7 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサはこの降圧レギュレータに推奨できません。

<sup>3</sup> 最小入力容量と最小出力容量は、全動作範囲で 0.70 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサは LDO に推奨できません。

## 絶対最大定格

表 6.

Parameter	Rating
AVIN to AGND	-0.3 V to +6 V
VIN1 to AVIN	-0.3 V to +0.3 V
PGND to AGND	-0.3 V to +0.3 V
VIN2, VIN3, VOUTx, ENx, MODE, MR, WDI, nRSTO, FBx, VTHR, SW to AGND	-0.3 V to (AVIN + 0.3 V)
SW to PGND	-0.3 V to (VIN1 + 0.3 V)
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020
ESD Human Body Model	3000 V
ESD Charged Device Model	1500 V
ESD Machine Model	200 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
20-Lead, 0.5 mm pitch LFCSP	38	4.2	°C/W

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

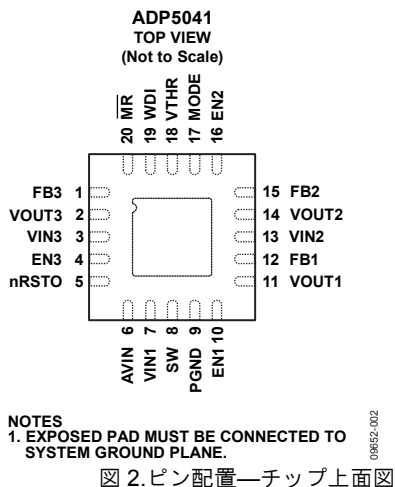


表 8. ピン機能の説明

ピン番号	記号	説明
1	FB3	LDO2 帰還入力。
2	VOUT3	LDO2 出力電圧。
3	VIN3	LDO2 入力電源(1.7 V~5.5 V)。
4	EN3	LDO2 のイネーブル。EN3 =ハイ・レベルで LDO2 をターンオン、EN3 =ロー・レベルで LDO2 をターンオフ。
5	nRSTO	オープン・ドレインのリセット出力、アクティブ・ロー。
6	AVIN	ハウスキーピングと監視回路の入力電源(2.3 V~5.5 V)。
7	VIN1	降圧レギュレータの入力電源(2.3 V~5.5 V)。
8	SW	降圧レギュレータのスイッチング・ノード。
9	PGND	降圧レギュレータ・レギュレータの専用電源グラウンド。
10	EN1	降圧レギュレータのイネーブル。EN1 =ハイ・レベルで降圧レギュレータをターンオン、EN1 =ロー・レベルで降圧レギュレータをターンオフ。
11	VOUT1	降圧レギュレータ出力検出ノード。
12	FB1	降圧レギュレータ帰還入力。
13	VIN2	LDO1 入力電源(1.7 V~5.5 V)。
14	VOUT2	LDO1 出力電圧。
15	FB2	LDO1 帰還入力。
16	EN2	LDO1 のイネーブル。EN2 =ハイ・レベルで LDO1 をターンオン、EN2 =ロー・レベルで LDO1 をターンオフ。
17	MODE	降圧レギュレータ・モード。MODE =ハイ・レベルで降圧レギュレータが固定 PWM モードで動作、MODE =ロー・レベルで降圧レギュレータが軽い負荷では省電力モード(PSM)で、重い負荷では固定 PWM で、それぞれ動作。
18	VTHR	リセット閾値設定。
19	WDI	ウォッチドッグがプロセッサからの入力をリフレッシュ。WDI が高インピーダンスにある場合、ウォッチドッグをデイスエーブル。
20	MR	マニュアル・リセット入力、アクティブ・ロー。
0	EPAD	エクスポーズド・パッド(アナログ・グラウンド)。エクスポーズド・パッドはシステム・グラウンド・プレーンに接続する必要があります。

## 代表的な性能特性

特に指定がない限り、 $V_{IN1} = V_{IN2} = V_{IN3} = A_{VIN} = 5.0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

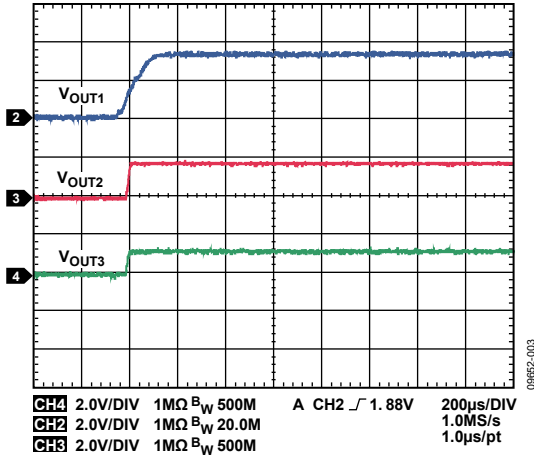


図 3.3 チャンネル・スタートアップ波形

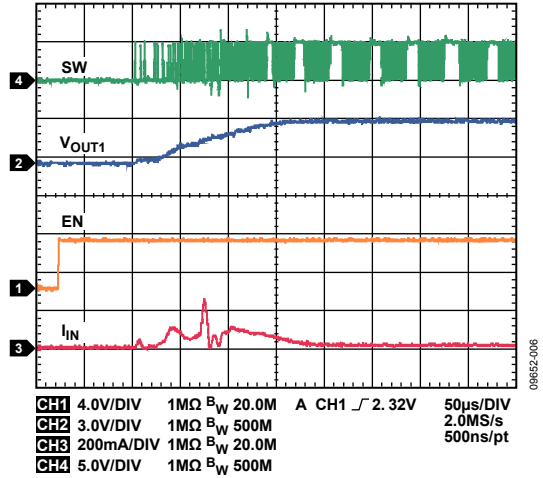


図 6.降圧レギュレータのスタートアップ  
 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT2} = 20\text{ mA}$

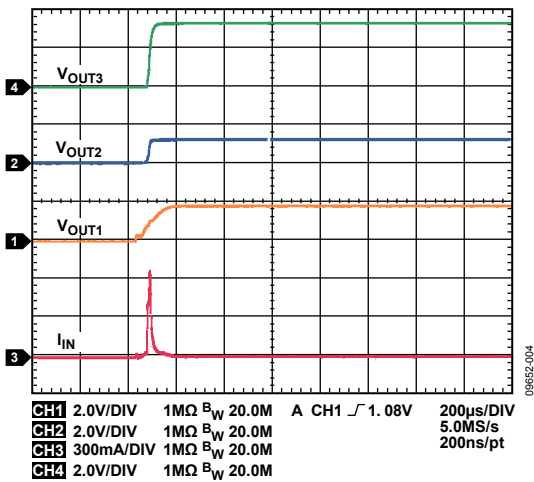


図 4.総合突入電流、すべてのチャンネルが同時スタート

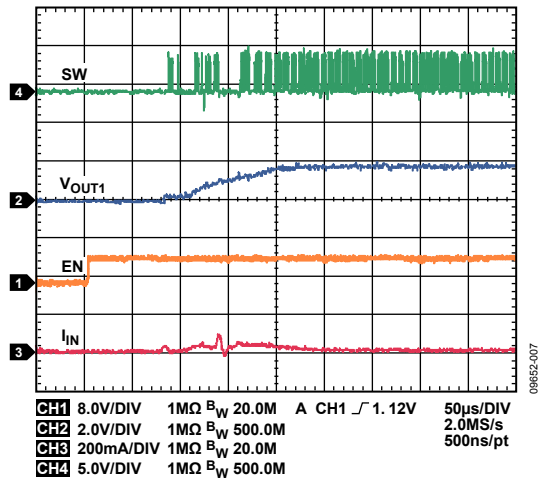


図 7.降圧レギュレータのスタートアップ  
 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT} = 20\text{ mA}$

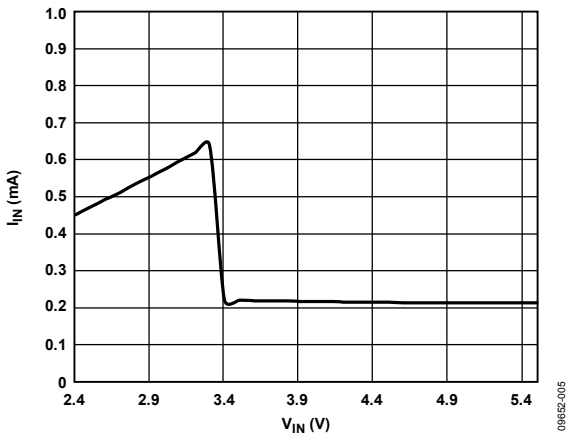


図 5.入力電圧対システム静止電流(すべての入力電流の和)  
 $V_{OUT1} = 1.8\text{ V}$ 、 $V_{OUT2} = V_{OUT3} = 3.3\text{ V}$ 、 $(UVLO = 3.3\text{ V})$

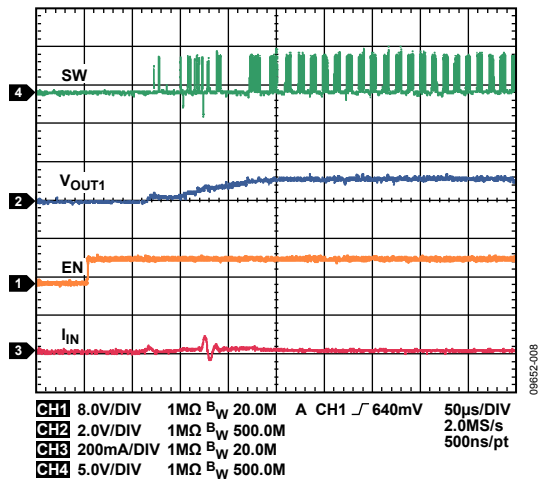


図 8.降圧レギュレータのスタートアップ  
 $V_{OUT1} = 1.2\text{ V}$ 、 $I_{OUT} = 20\text{ mA}$

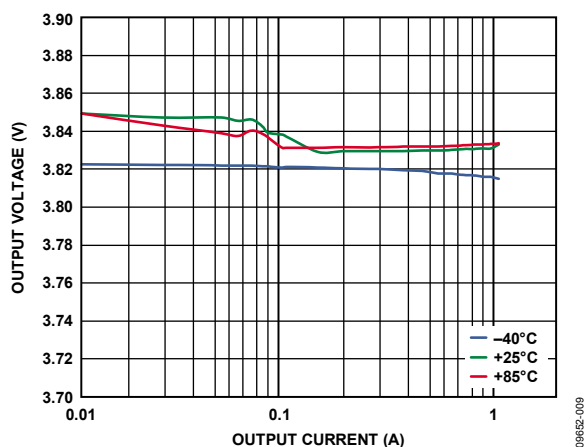


図 9.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 3.8V$ 、自動モード

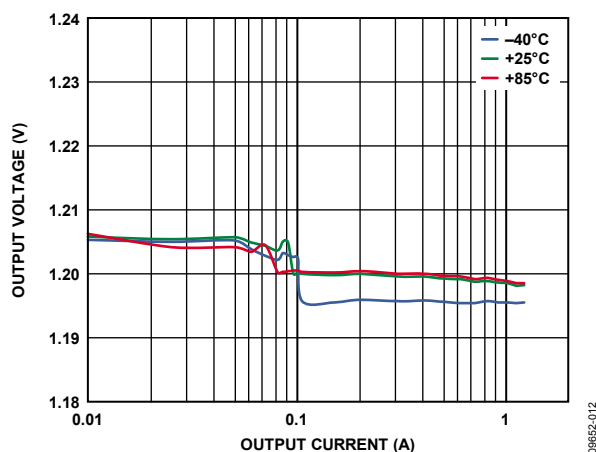


図 12.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.2V$ 、自動モード

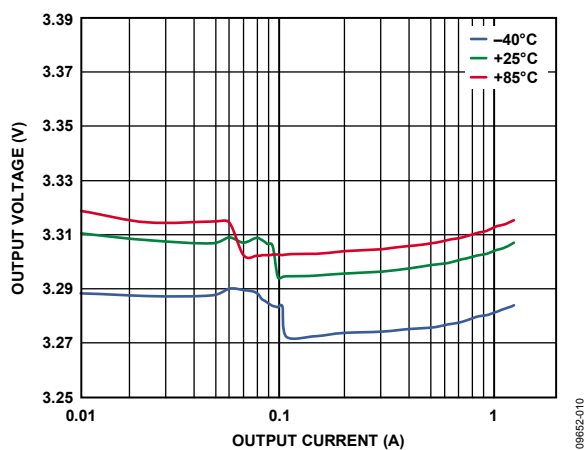


図 10.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 3.3V$ 、自動モード

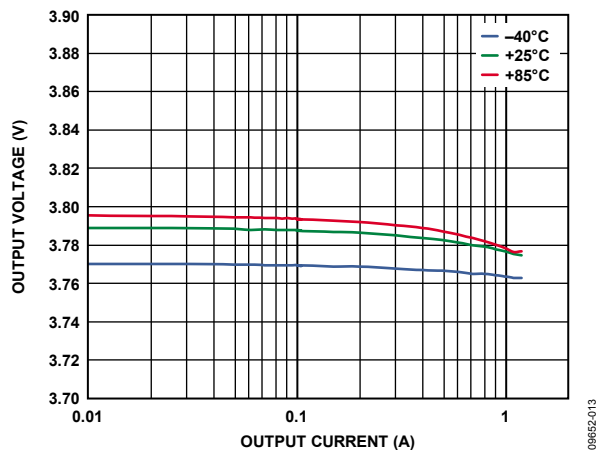


図 13.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 3.8V$ 、PWMモード

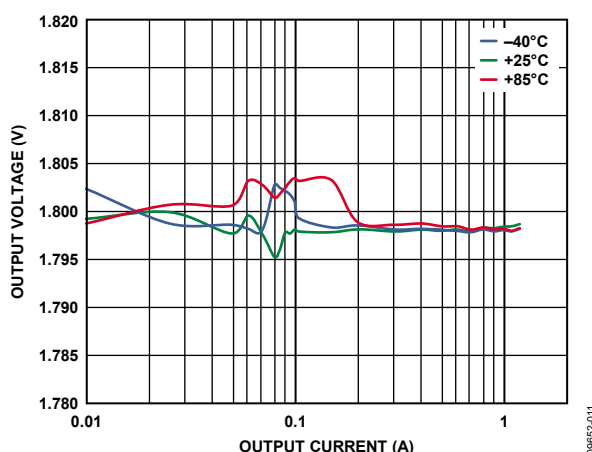


図 11.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.8V$ 、自動モード

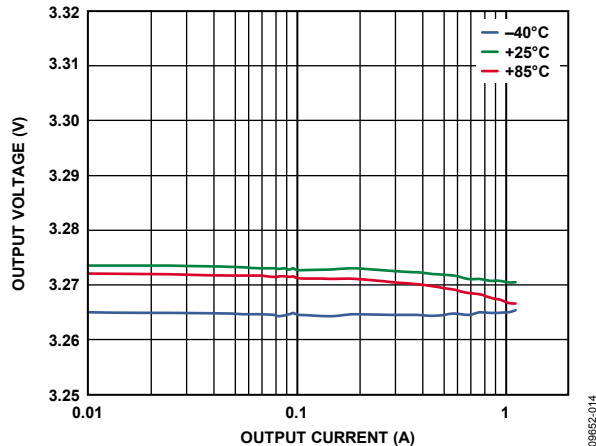


図 14.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 3.3V$ 、PWMモード

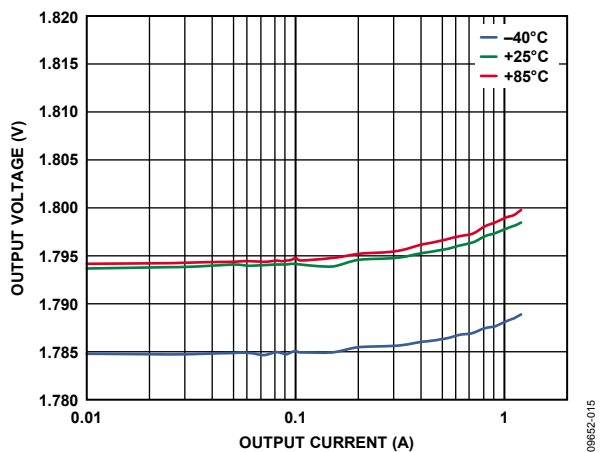


図 15.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.8\text{ V}$ 、PWM モード

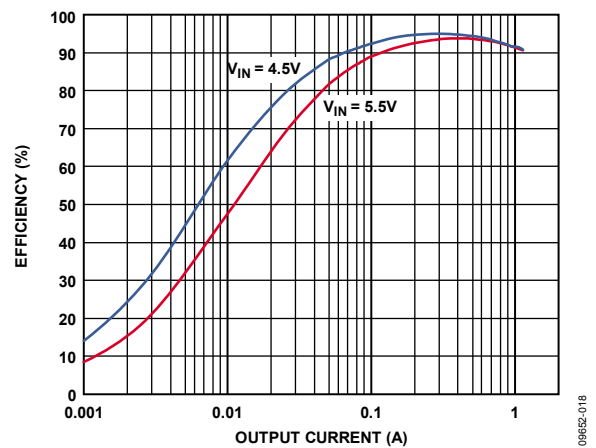


図 18.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.8\text{ V}$ 、PWM モード

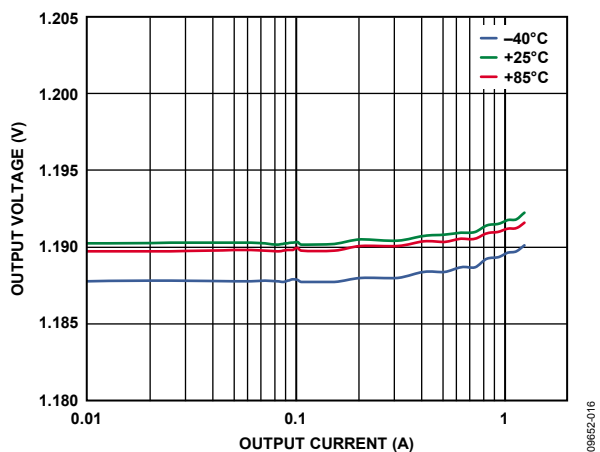


図 16.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.2\text{ V}$ 、PWM モード

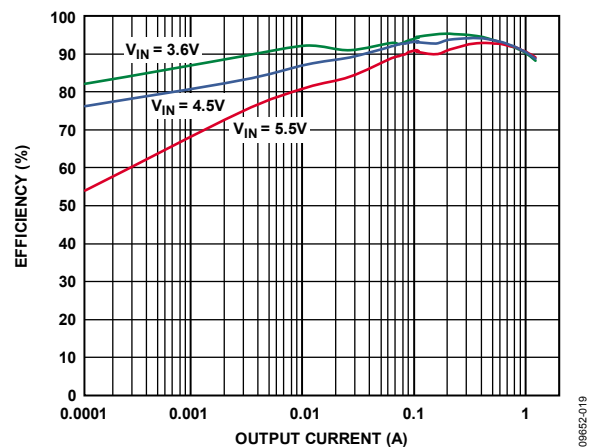


図 19.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

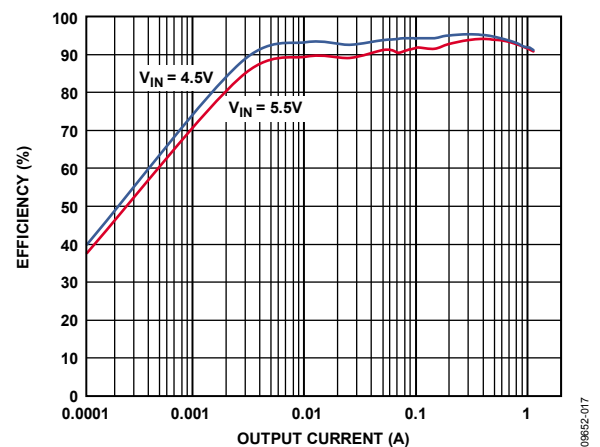


図 17.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.8\text{ V}$ 、自動モード

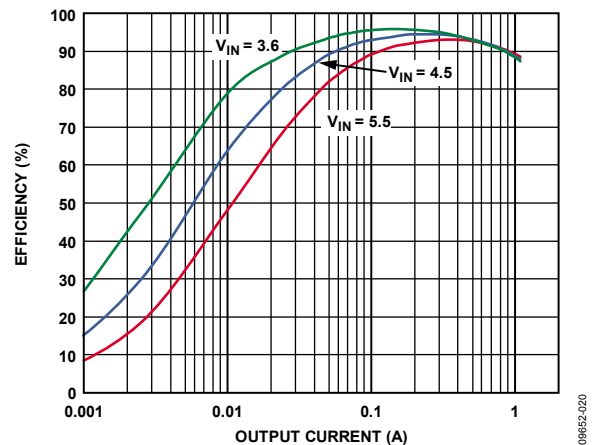


図 20.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.3\text{ V}$ 、PWM モード

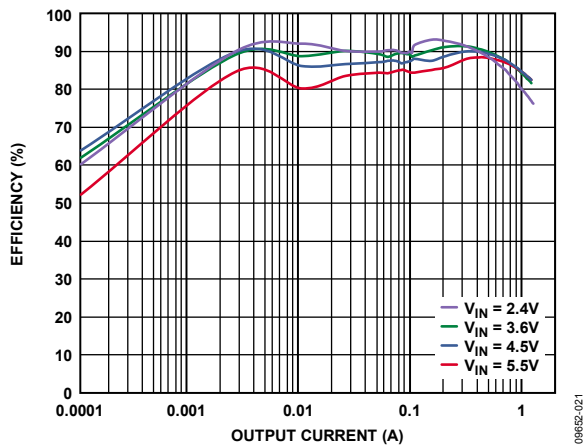


図 21. 様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 1.8V$ 、自動モード

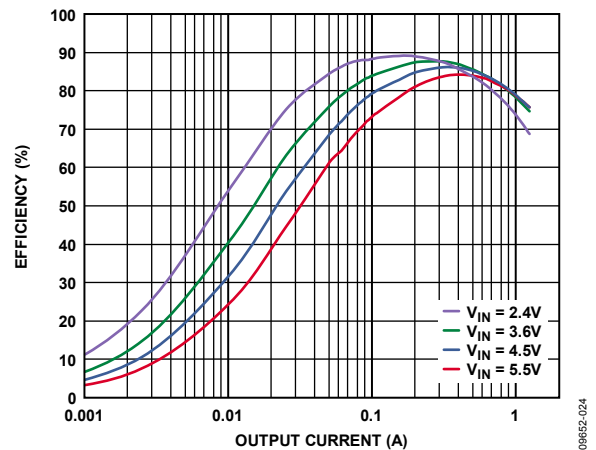


図 24. 様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 1.2V$ 、PWM モード

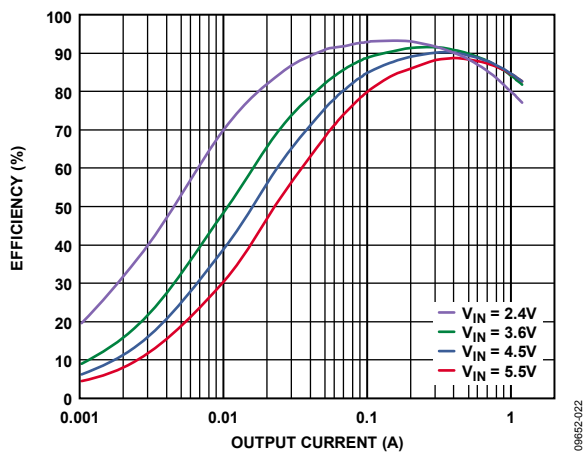


図 22. 様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 1.8V$ 、PWM モード

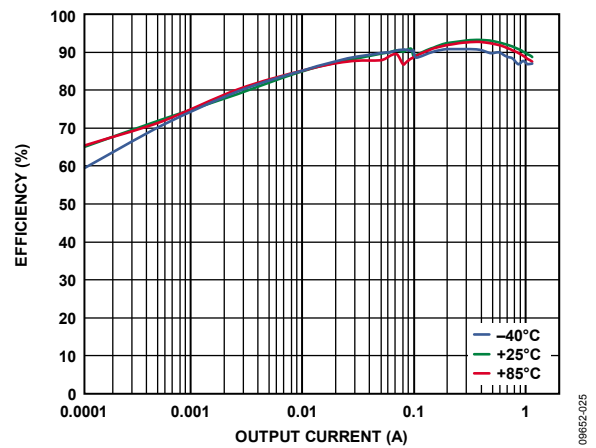


図 25. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0V$ 、 $V_{OUT1} = 3.3V$ 、自動モード

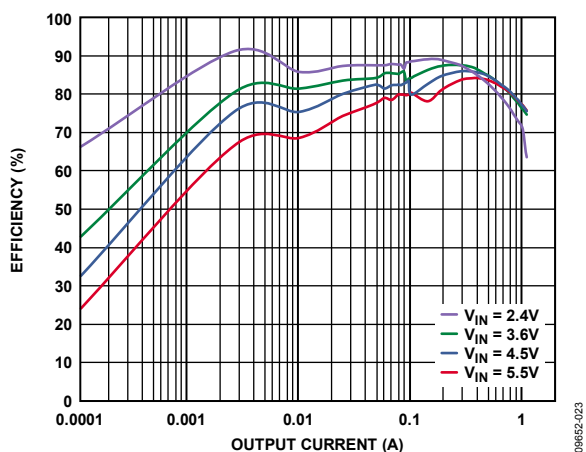


図 23. 様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 1.2V$ 、自動モード

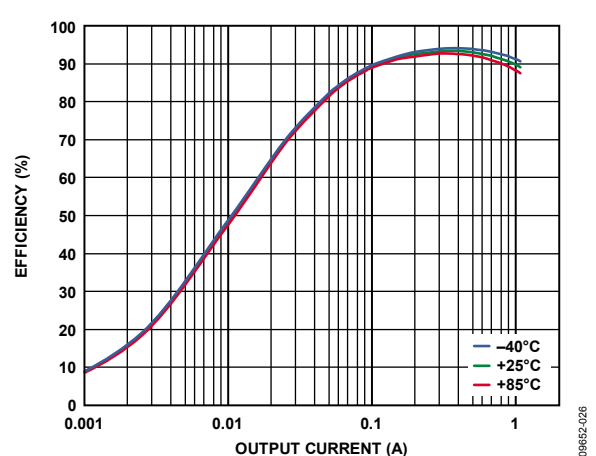


図 26. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0V$ 、 $V_{OUT1} = 3.3V$ 、PWM モード

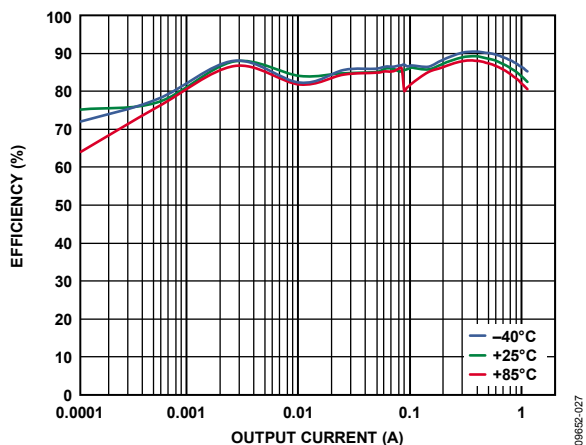


図 27. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0\text{ V}$ 、 $V_{OUT1} = 1.8\text{ V}$ 、自動モード

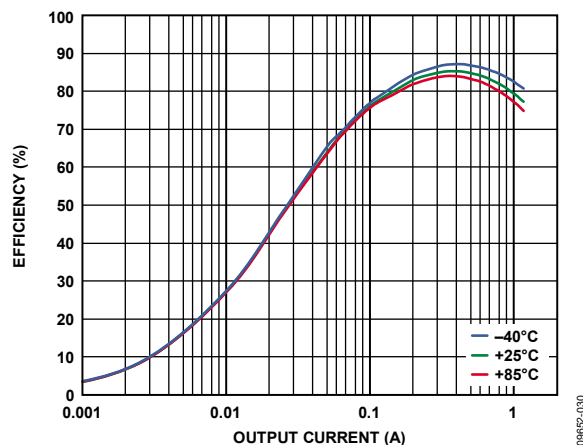


図 30. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0\text{ V}$ 、 $V_{OUT1} = 1.2\text{ V}$ 、PWM モード

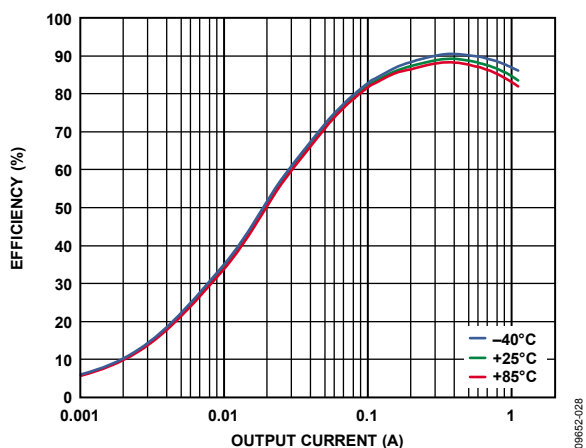


図 28. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0\text{ V}$ 、 $V_{OUT1} = 1.8\text{ V}$ 、PWM モード

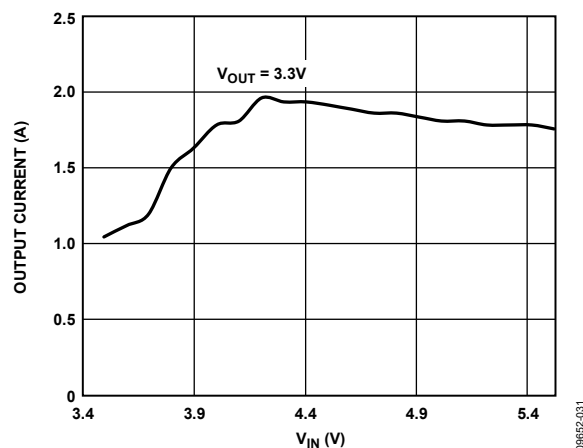


図 31. 降圧レギュレータの入力電圧対 DC 電流能力

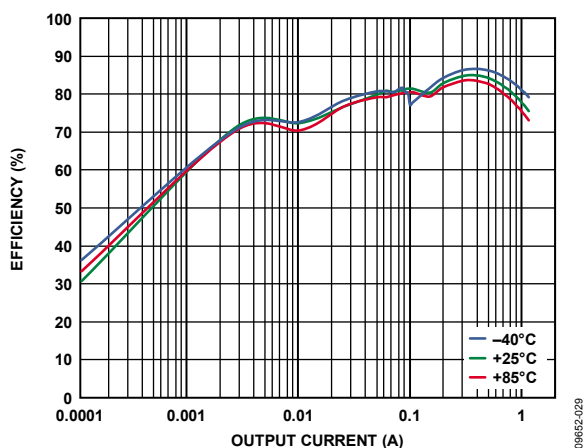


図 29. 様々な温度での負荷電流対降圧レギュレータ効率  
 $V_{IN} = 5.0\text{ V}$ 、 $V_{OUT1} = 1.2\text{ V}$ 、自動モード

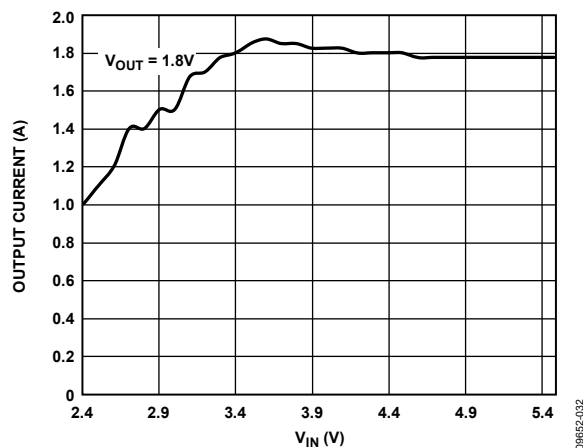


図 32. 降圧レギュレータの入力電圧対 DC 電流能力

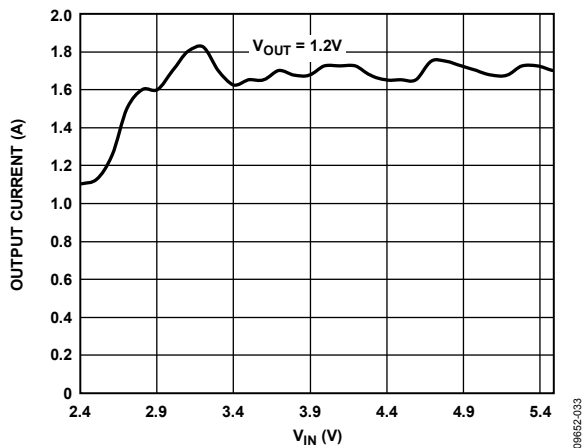


図 33. 降圧レギュレータの入力電圧対 DC 電流能力

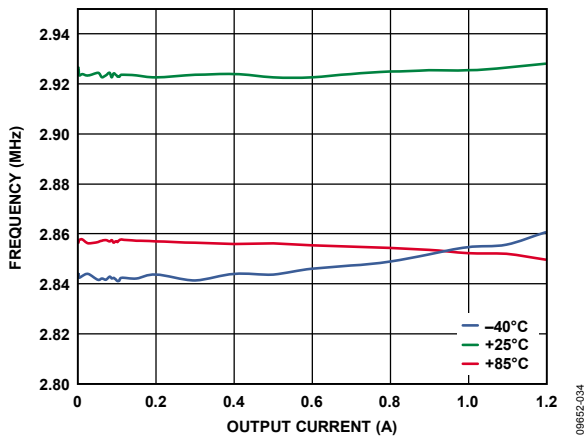


図 34. 様々な温度での降圧レギュレータの出力電流対スイッチング周波数、 $V_{OUT1} = 1.8\text{ V}$ 、PWM モード

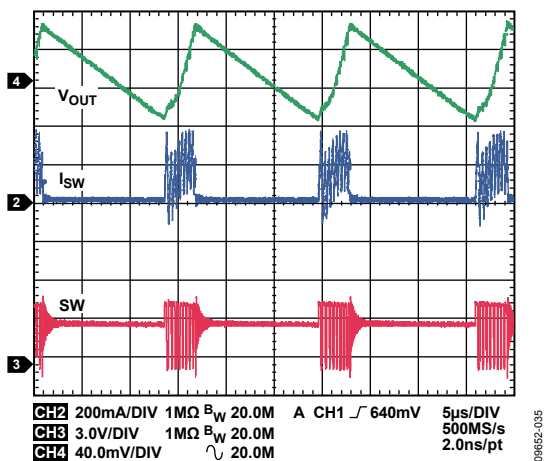


図 35. 代表的波形  
 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、自動モード

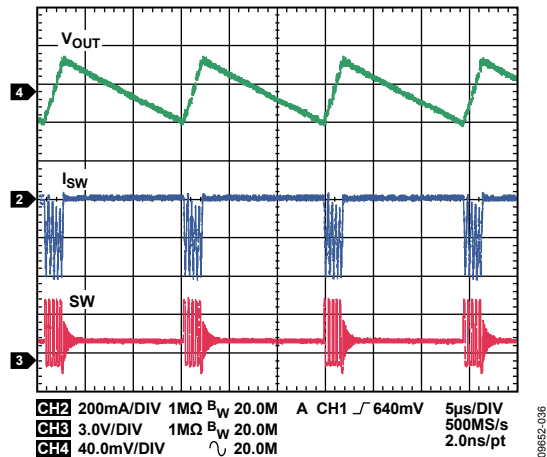


図 36. 代表的波形  
 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、自動モード

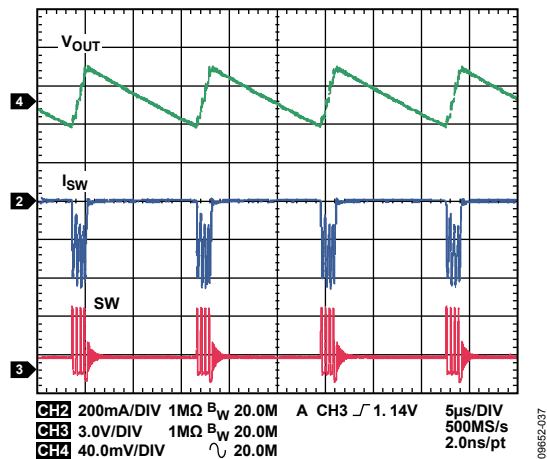


図 37. 代表的波形  
 $V_{OUT1} = 1.2\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、自動モード

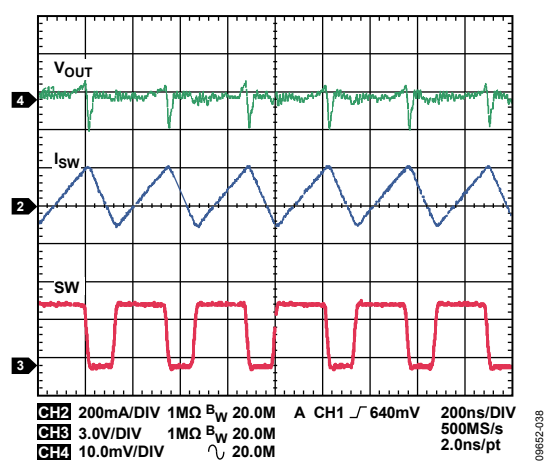


図 38. 代表的波形  
 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、PWM モード

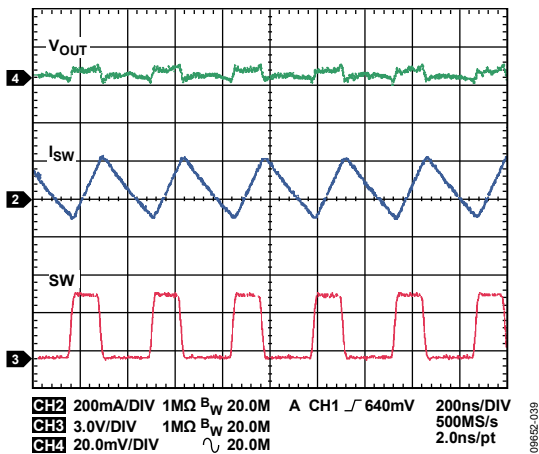


図 39. 代表的波形  
 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、PWM モード

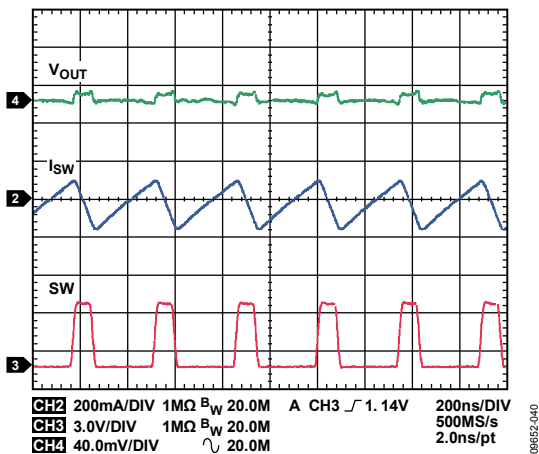


図 40. 代表的波形  
 $V_{OUT1} = 1.2\text{ V}$ 、 $I_{OUT1} = 30\text{ mA}$ 、PWM モード

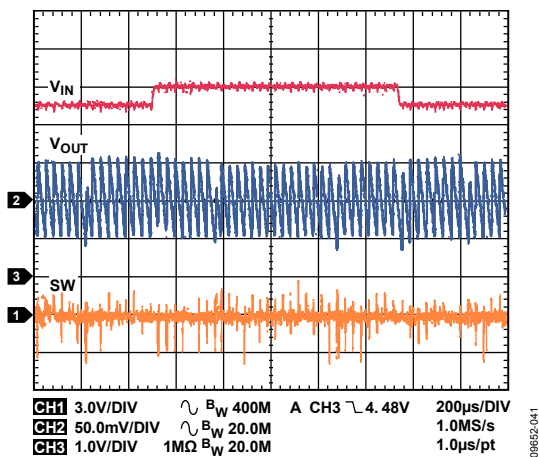


図 41. ライン過渡電圧に対する降圧レギュレータの応答  
 入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 3.3\text{ V}$ 、 $I_{OUT1} = 5\text{ mA}$   
 自動モード

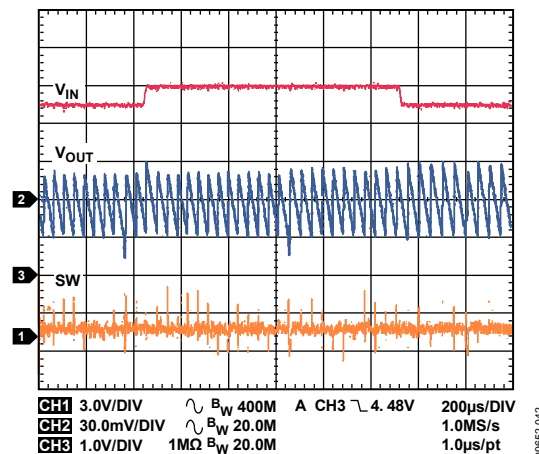


図 42. ライン過渡電圧に対する降圧レギュレータの応答  
 入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT1} = 5\text{ mA}$   
 自動モード

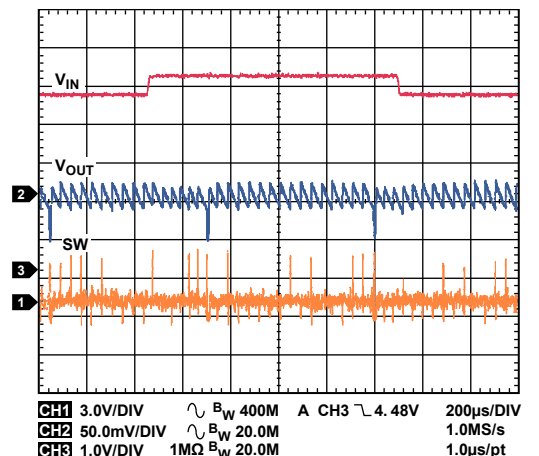


図 43. ライン過渡電圧に対する降圧レギュレータの応答  
 入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 1.2\text{ V}$ 、 $I_{OUT1} = 5\text{ mA}$   
 自動モード

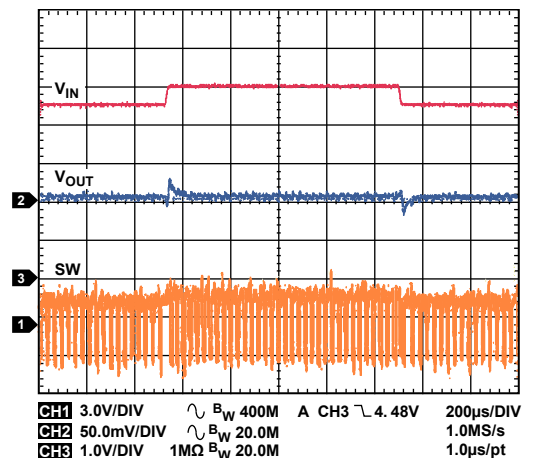


図 44. ライン過渡電圧に対する降圧レギュレータの応答  
 入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 3.3\text{ V}$ 、PWM モード

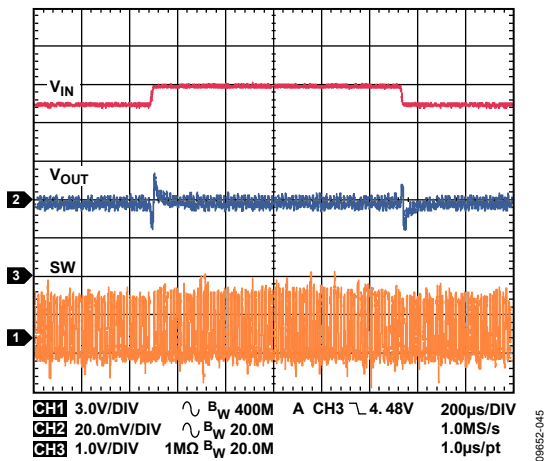


図 45.ライン過渡電圧に対する降圧レギュレータの応答  
入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 1.8$  V、PWM モード

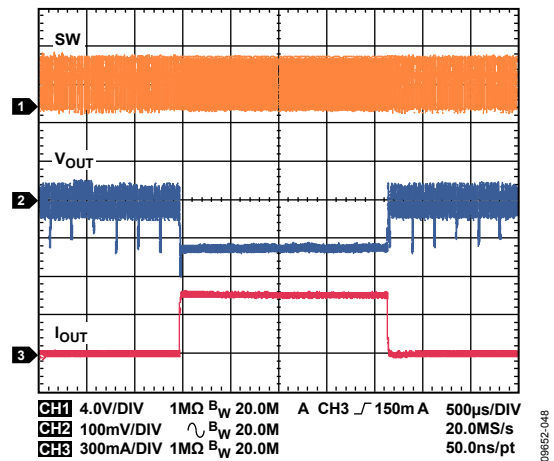


図 48.負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50$  mA~500 mA、 $V_{OUT1} = 3.3$  V、自動モード

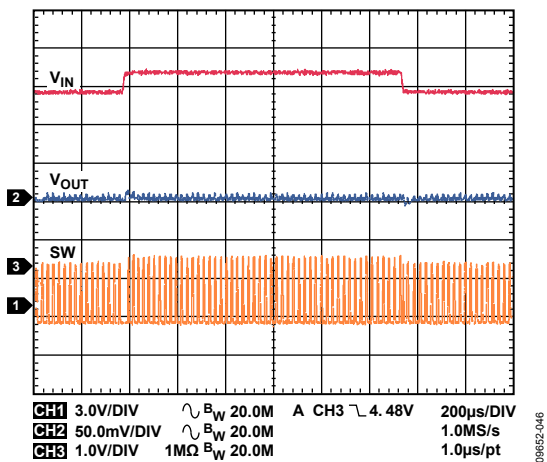


図 46.ライン過渡電圧に対する降圧レギュレータの応答  
入力電圧 4.5 V~5.0 V、 $V_{OUT1} = 1.2$  V、PWM モード

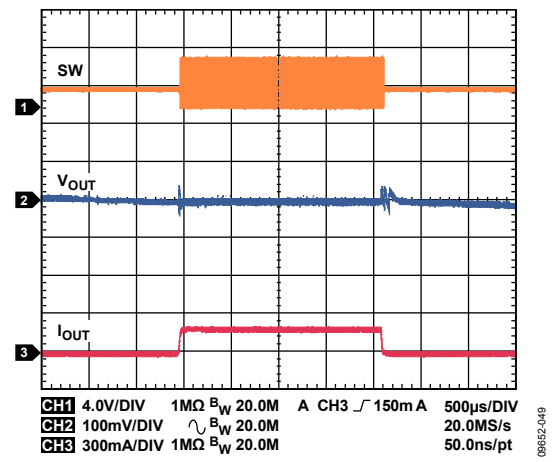


図 49.負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20$  mA~200 mA、 $V_{OUT1} = 1.8$  V、自動モード

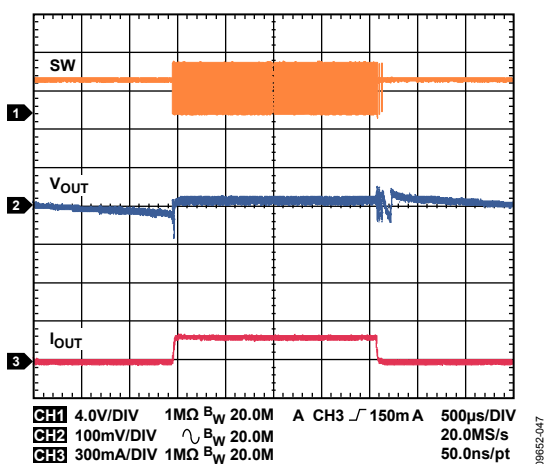


図 47.負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20$  mA~200 mA、 $V_{OUT1} = 3.3$  V、自動モード

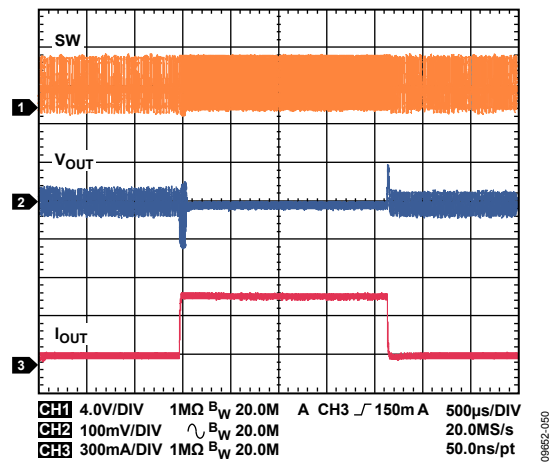


図 50.負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50$  mA~500 mA、 $V_{OUT1} = 1.8$  V、自動モード

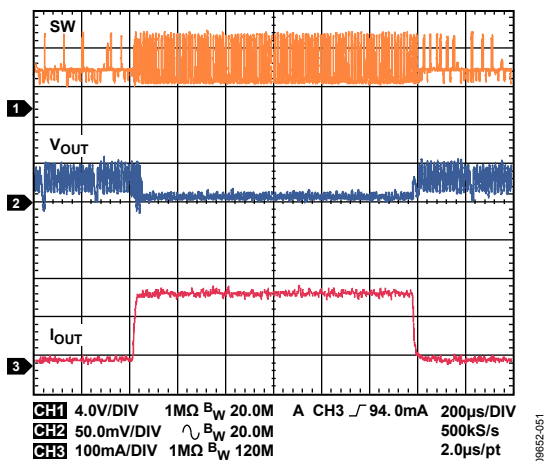


図 51. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20\text{ mA} \sim 200\text{ mA}$ ,  $V_{OUT1} = 1.2\text{ V}$ , 自動モード

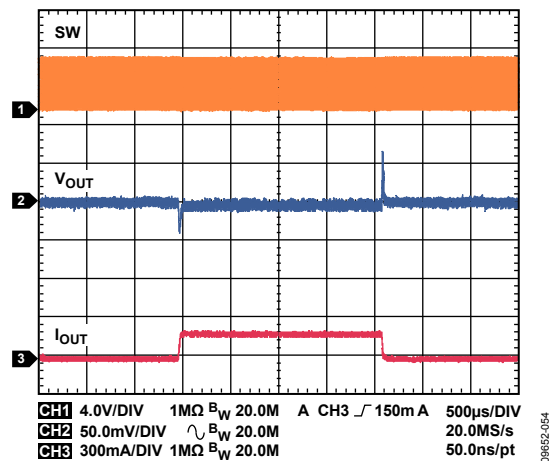


図 54. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50\text{ mA} \sim 500\text{ mA}$ ,  $V_{OUT1} = 3.3\text{ V}$ , PWMモード

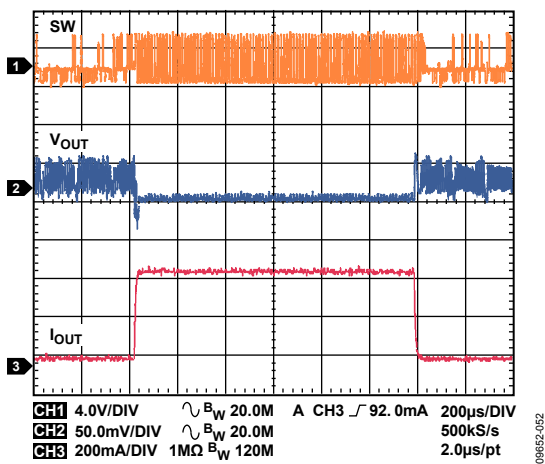


図 52. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50\text{ mA} \sim 500\text{ mA}$ ,  $V_{OUT1} = 1.2\text{ V}$ , 自動モード

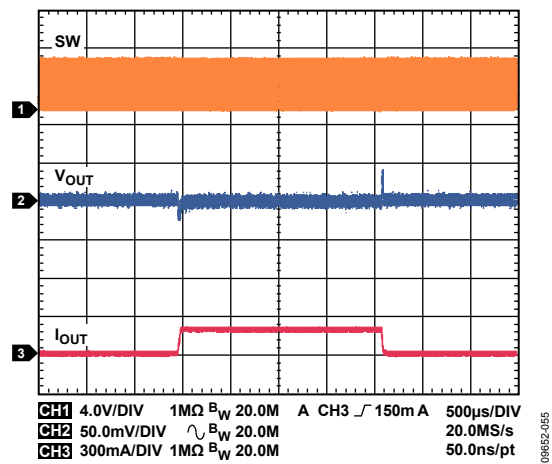


図 55. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20\text{ mA} \sim 200\text{ mA}$ ,  $V_{OUT1} = 1.8\text{ V}$ , PWMモード

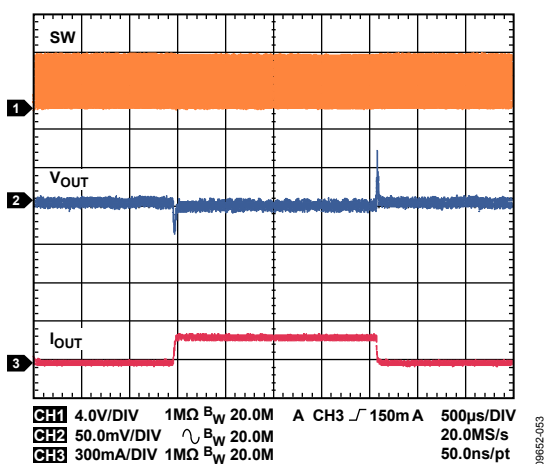


図 53. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20\text{ mA} \sim 200\text{ mA}$ ,  $V_{OUT1} = 3.3\text{ V}$ , PWMモード

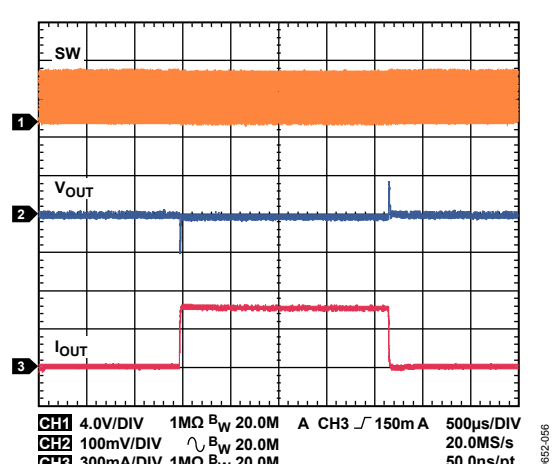


図 56. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50\text{ mA} \sim 500\text{ mA}$ ,  $V_{OUT1} = 1.8\text{ V}$ , PWMモード

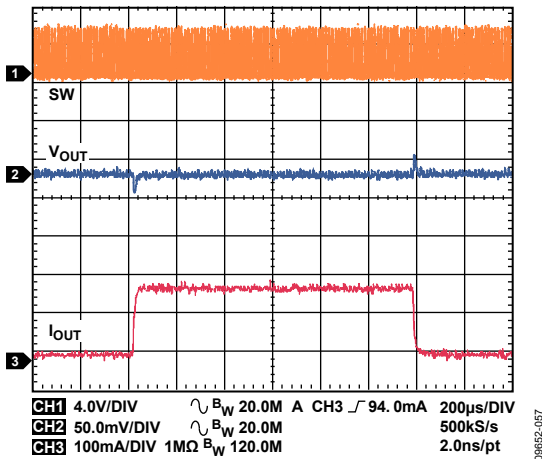


図 57. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 20\text{ mA} \sim 200\text{ mA}$ ,  $V_{OUT1} = 1.2\text{ V}$ , PWM モード

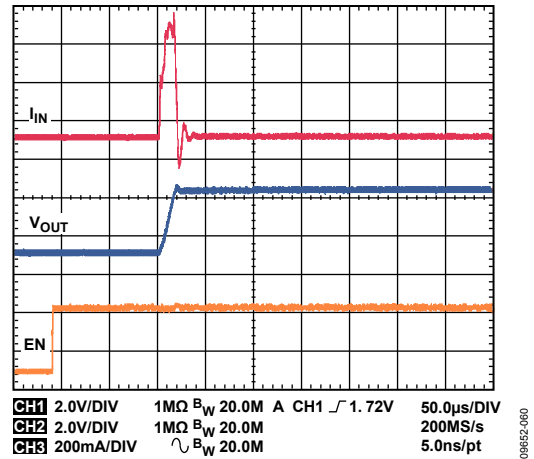


図 60. LDO1、LDO2 のスタートアップ  
 $V_{OUT} = 3.3\text{ V}$ ,  $I_{OUT} = 5\text{ mA}$

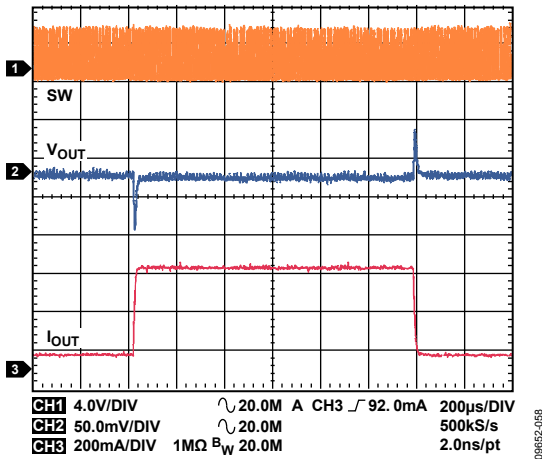


図 58. 負荷過渡電圧に対する降圧レギュレータの応答  
 $I_{OUT1} = 50\text{ mA} \sim 500\text{ mA}$ ,  $V_{OUT1} = 1.2\text{ V}$ , PWM モード

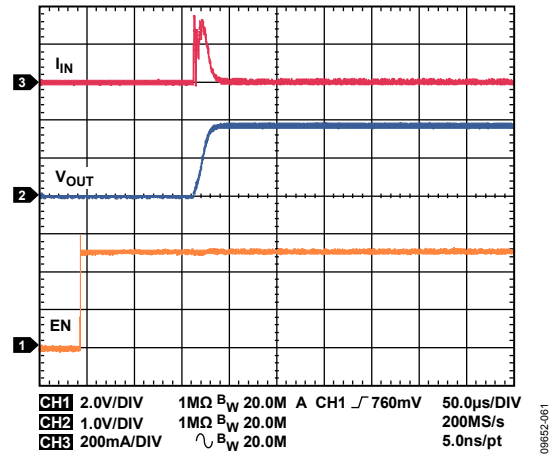


図 61. LDO1、LDO2 のスタートアップ  
 $V_{OUT} = 1.8\text{ V}$ ,  $I_{OUT} = 5\text{ mA}$

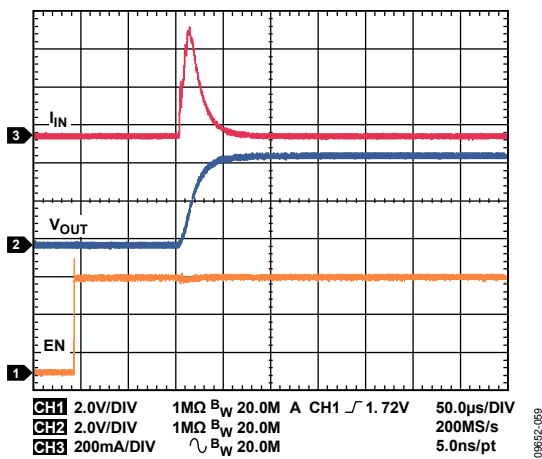


図 59. LDO1、LDO2 のスタートアップ  
 $V_{OUT} = 4.7\text{ V}$ ,  $I_{OUT} = 5\text{ mA}$

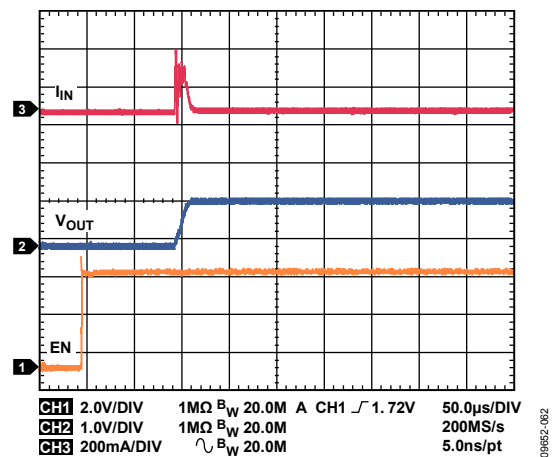


図 62. LDO1、LDO2 のスタートアップ  
 $V_{OUT} = 1.2\text{ V}$ ,  $I_{OUT} = 5\text{ mA}$

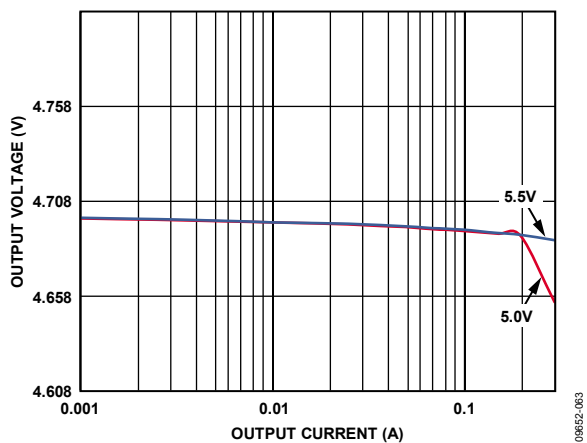


図 63. 様々な入力電圧での LDO1、LDO2 の負荷レギュレーション、 $V_{OUT} = 4.7\text{ V}$

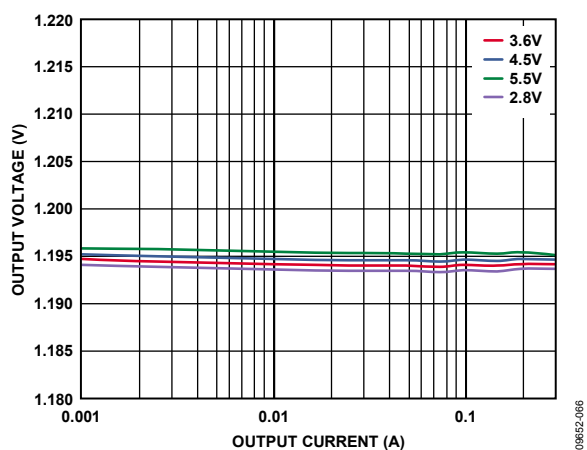


図 66. 様々な入力電圧での LDO1、LDO2 の負荷レギュレーション、 $V_{OUT} = 1.2\text{ V}$

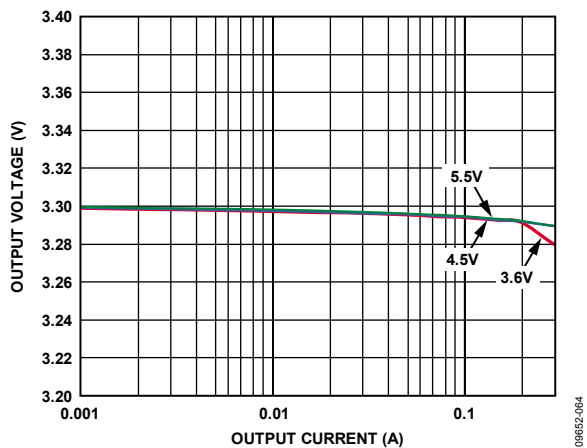


図 64. 様々な入力電圧での LDO1、LDO2 の負荷レギュレーション、 $V_{OUT} = 3.3\text{ V}$

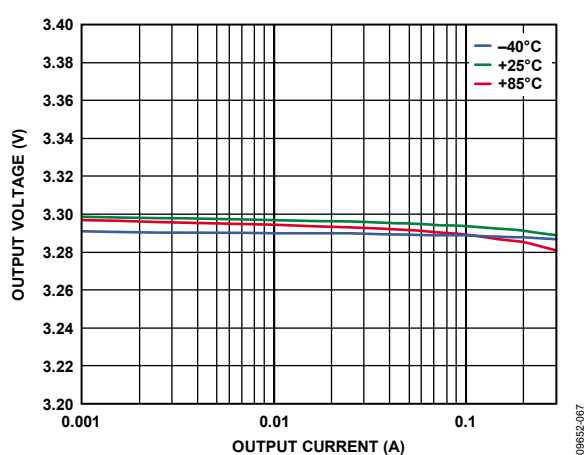


図 67. 様々な温度での LDO1、LDO2 の負荷レギュレーション、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$

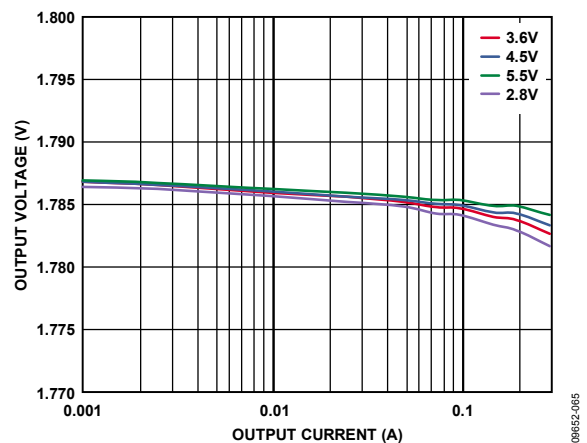


図 65. 様々な入力電圧での LDO1、LDO2 の負荷レギュレーション、 $V_{OUT} = 1.8\text{ V}$

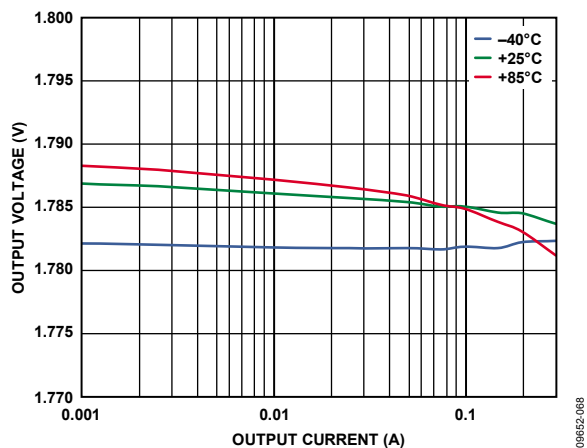


図 68. 様々な温度での LDO1、LDO2 の負荷レギュレーション、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$

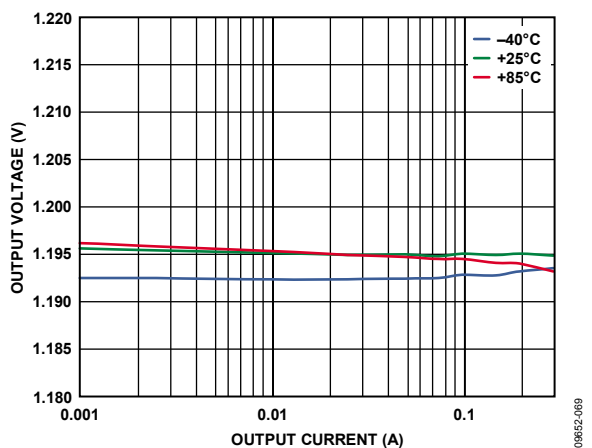


図 69.様々な温度での LDO1、LDO2 の負荷レギュレーション、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$

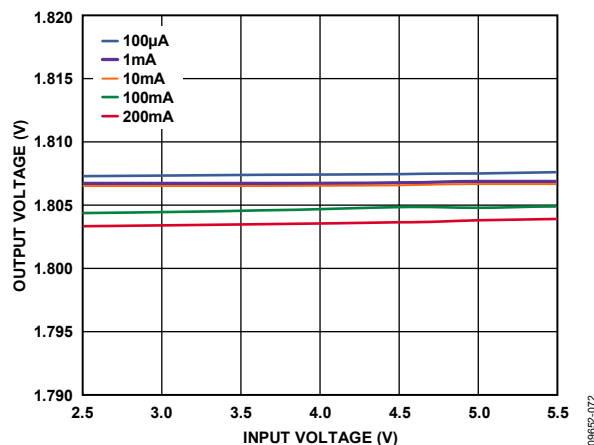


図 72.様々な入力電圧での LDO1、LDO2 のライン・レギュレーション、 $V_{OUT} = 1.8\text{ V}$

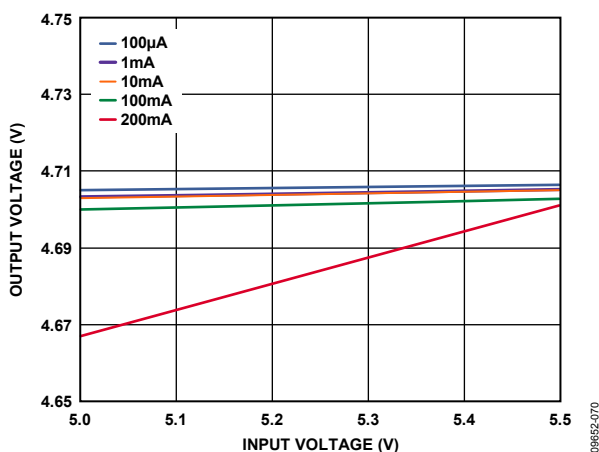


図 70.様々な入力電圧での LDO1、LDO2 のライン・レギュレーション、 $V_{OUT} = 4.7\text{ V}$

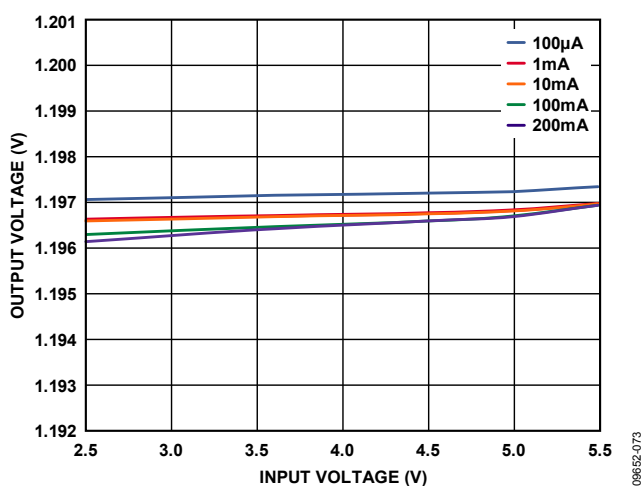


図 73.様々な入力電圧での LDO1、LDO2 のライン・レギュレーション、 $V_{OUT} = 1.2\text{ V}$

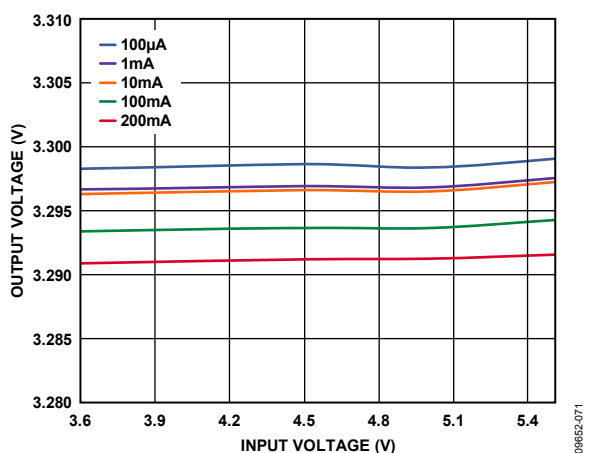


図 71.様々な入力電圧での LDO1、LDO2 のライン・レギュレーション、 $V_{OUT} = 3.3\text{ V}$

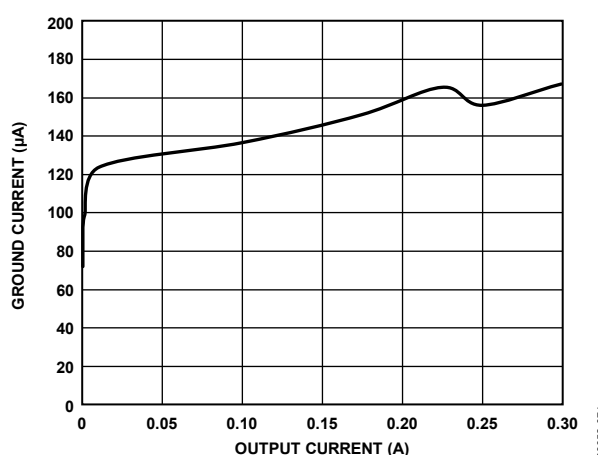


図 74.LDO1、LDO2 の出力電流対グラウンド電流  $V_{OUT} = 3.3\text{ V}$

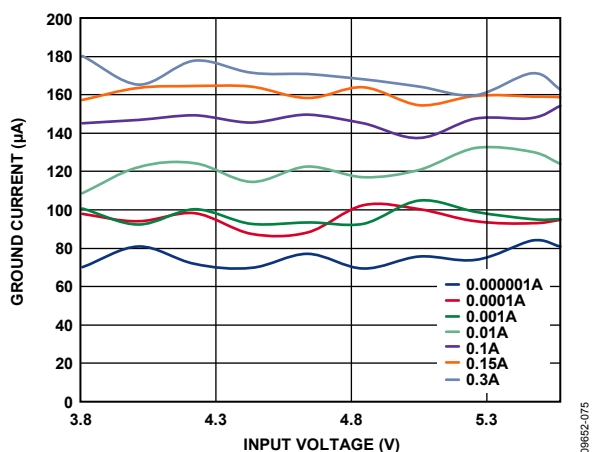


図 75. 様々な出力負荷(A)での LDO1、LDO2 の入力電圧対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

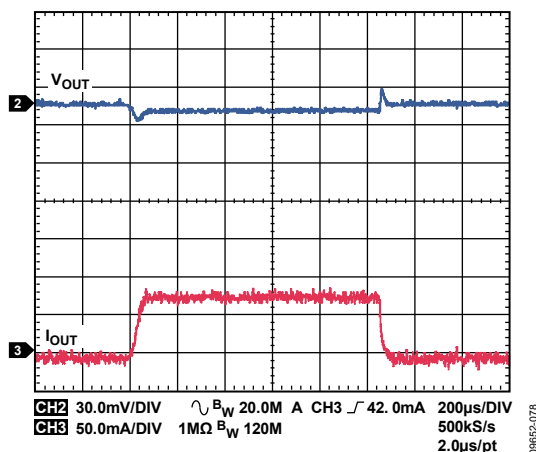


図 78. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 1\text{ mA} \sim 80\text{ mA}$ 、 $V_{OUT} = 3.3\text{ V}$

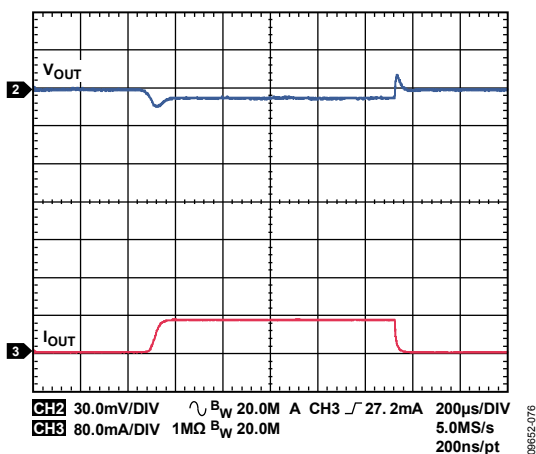


図 76. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 1\text{ mA} \sim 80\text{ mA}$ 、 $V_{OUT} = 4.7\text{ V}$

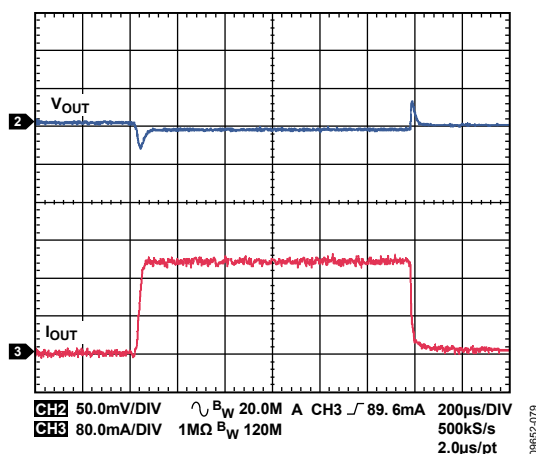


図 79. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 10\text{ mA} \sim 200\text{ mA}$ 、 $V_{OUT} = 3.3\text{ V}$

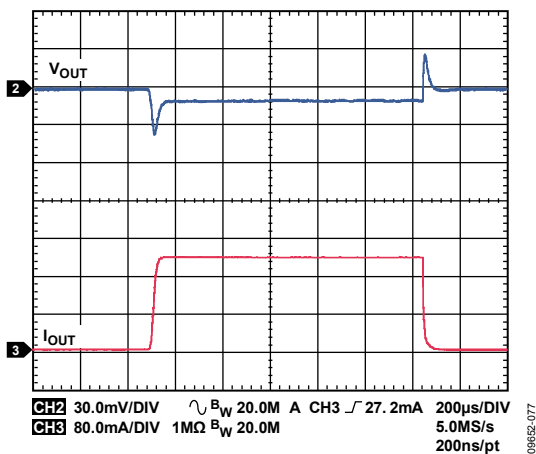


図 77. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 10\text{ mA} \sim 200\text{ mA}$ 、 $V_{OUT} = 4.7\text{ V}$

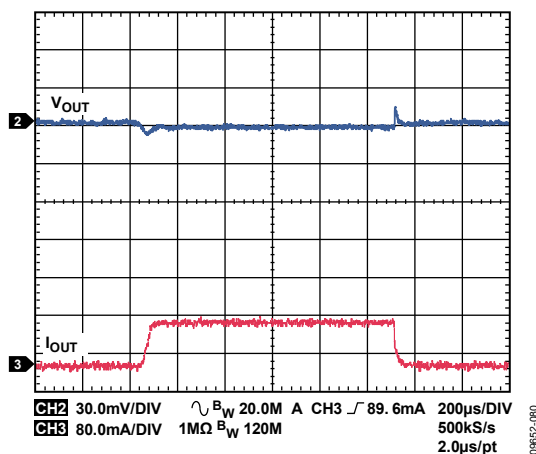


図 80. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 1\text{ mA} \sim 80\text{ mA}$ 、 $V_{OUT} = 1.8\text{ V}$

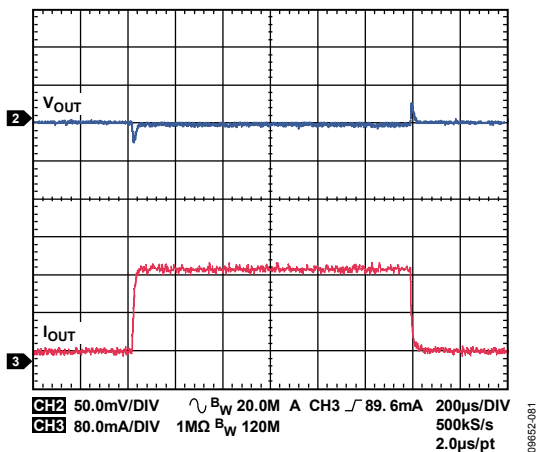


図 81. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 10 \text{ mA} \sim 200 \text{ mA}$ 、 $V_{OUT} = 1.8 \text{ V}$

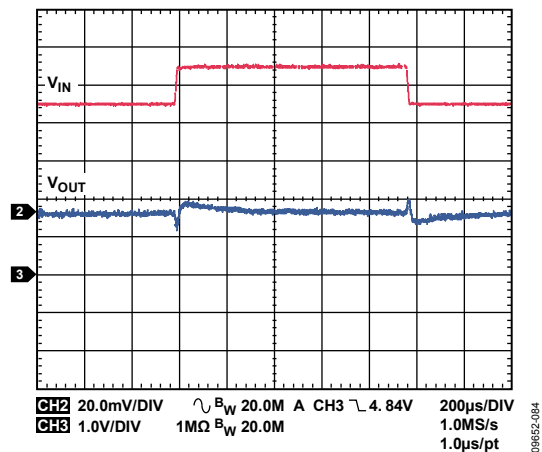


図 84. ライン過渡電圧に対する LDO1、LDO2 の応答  
 入力電圧 =  $4.5 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{OUT} = 3.3 \text{ V}$

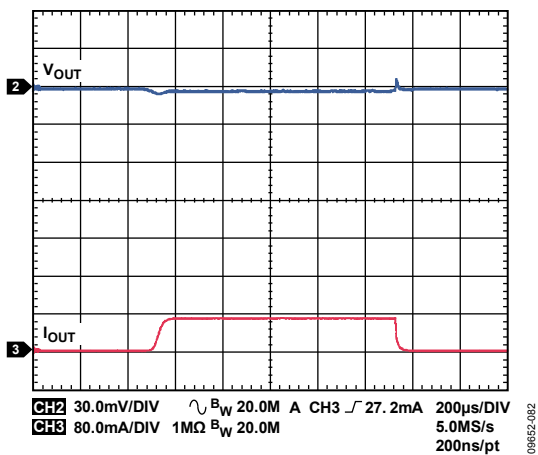


図 82. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 1 \text{ mA} \sim 80 \text{ mA}$ 、 $V_{OUT} = 1.2 \text{ V}$

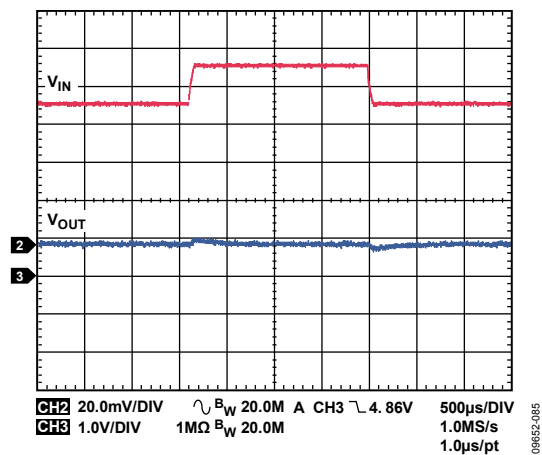


図 85. ライン過渡電圧に対する LDO1、LDO2 の応答  
 入力電圧 =  $4.5 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{OUT} = 1.8 \text{ V}$

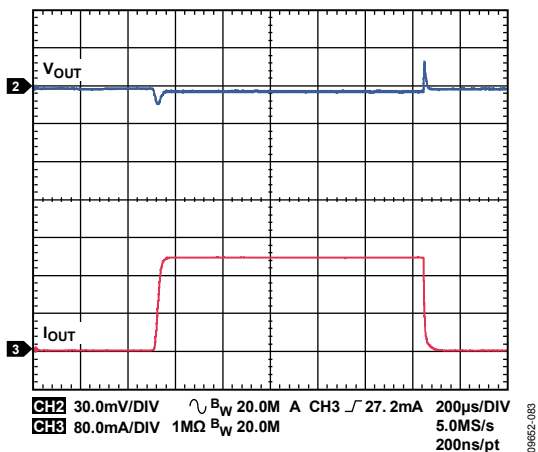


図 83. 負荷過渡電圧に対する LDO1、LDO2 の応答  
 $I_{OUT} = 10 \text{ mA} \sim 200 \text{ mA}$ 、 $V_{OUT} = 1.2 \text{ V}$

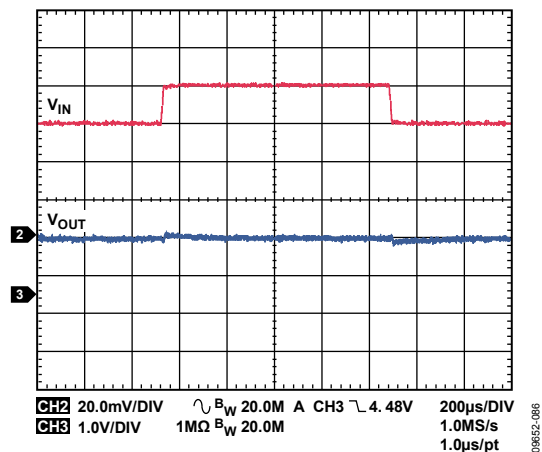


図 86. ライン過渡電圧に対する LDO1、LDO2 の応答  
 入力電圧 =  $4.5 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{OUT} = 1.2 \text{ V}$

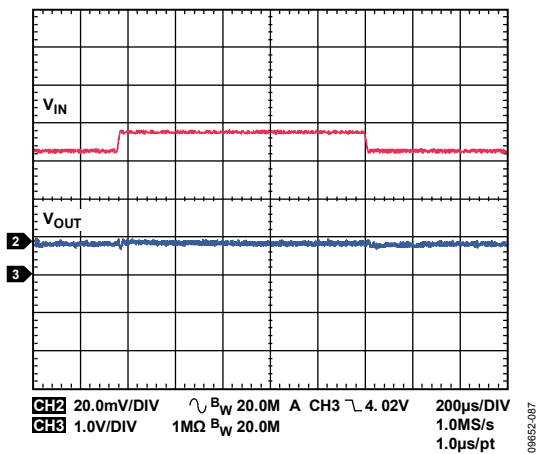


図 87.ライン過渡電圧に対する LDO1、LDO2 の応答  
入力電圧 = 3.3 V ~ 3.8 V、 $V_{OUT} = 1.8$  V

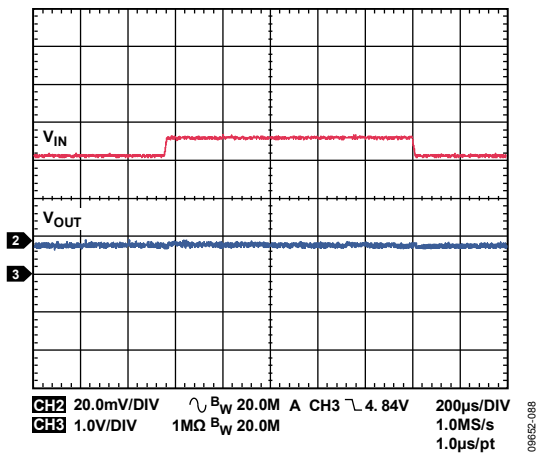


図 88.ライン過渡電圧に対する LDO1、LDO2 の応答  
入力電圧 = 3.3 V ~ 3.8 V、 $V_{OUT} = 1.2$  V

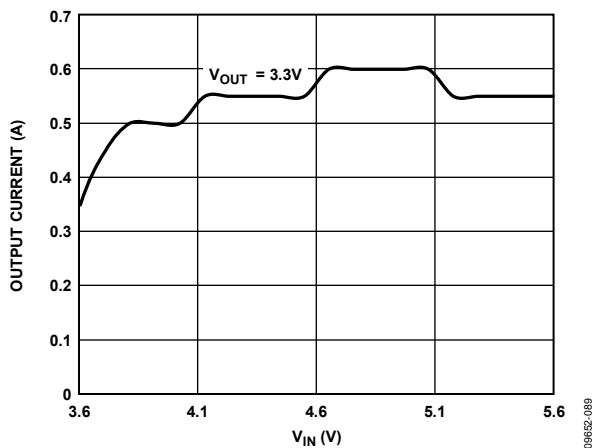


図 89.LDO1、LDO2 の入力電圧対出力電流能力

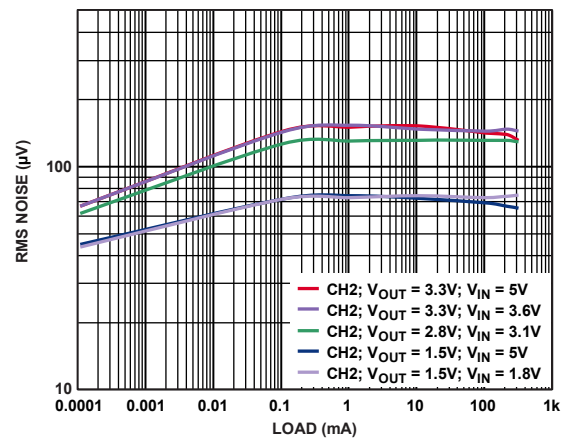


図 90.様々な入力電圧と出力電圧での LDO1 負荷電流対出力ノイズ

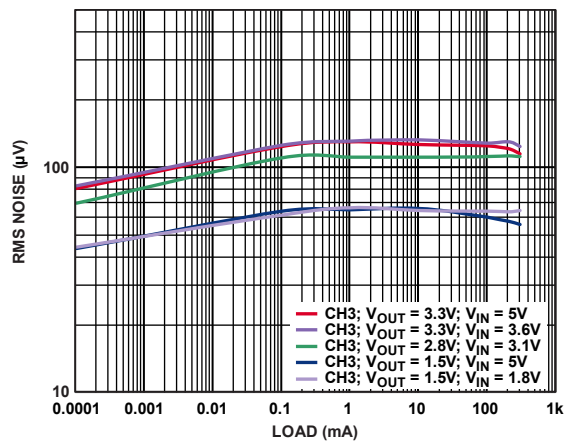


図 91.様々な入力電圧と出力電圧での LDO2 負荷電流対出力ノイズ

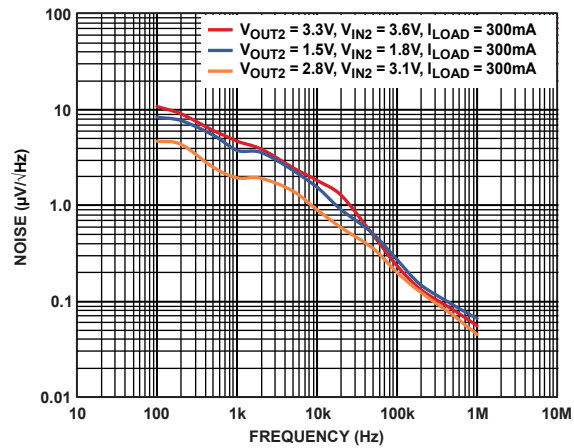


図 92.様々な出力電圧での LDO1 のノイズ・スペクトル  
 $V_{IN} = V_{OUT} + 0.3$  V

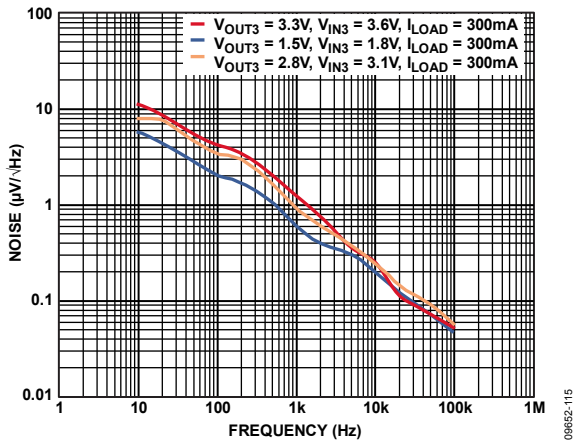


図 93. 様々な出力電圧での LDO2 のノイズ・スペクトル  
 $V_{IN} = V_{OUT} + 0.3\text{ V}$

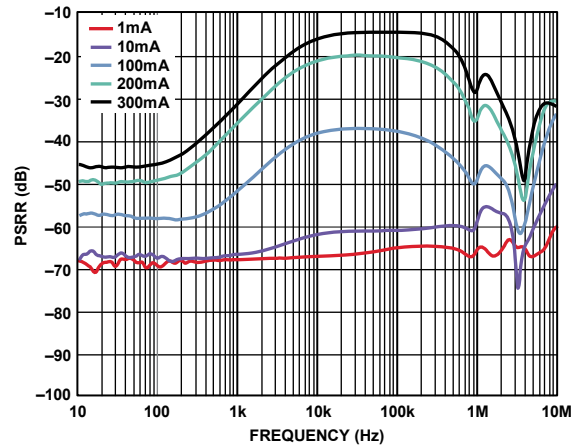


図 96. 様々な出力負荷での LDO2 の PSRR  
 $V_{IN3} = 3.1\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

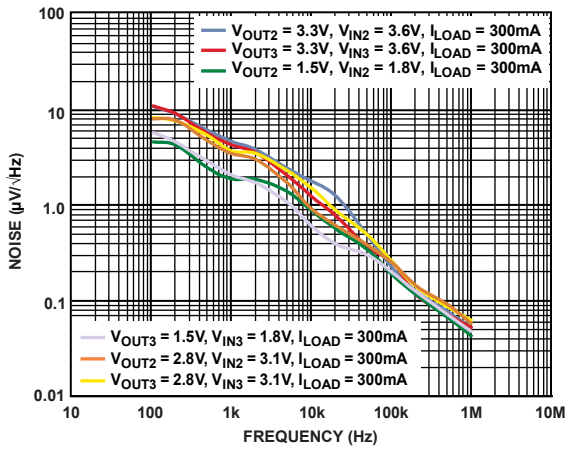


図 94. ノイズ・スペクトル、LDO1 対 LDO2

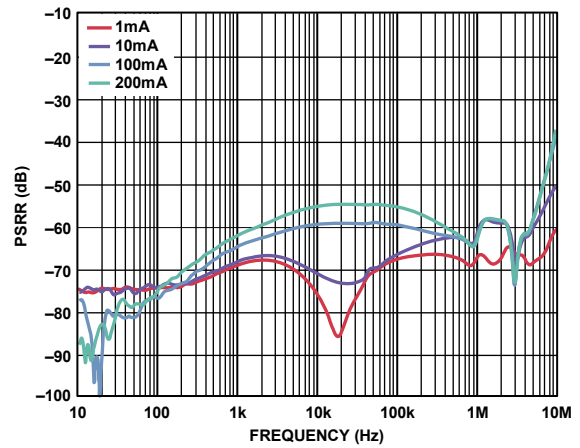


図 97. 様々な出力負荷での LDO2 の PSRR  
 $V_{IN3} = 5.0\text{ V}$ 、 $V_{OUT3} = 3.3\text{ V}$

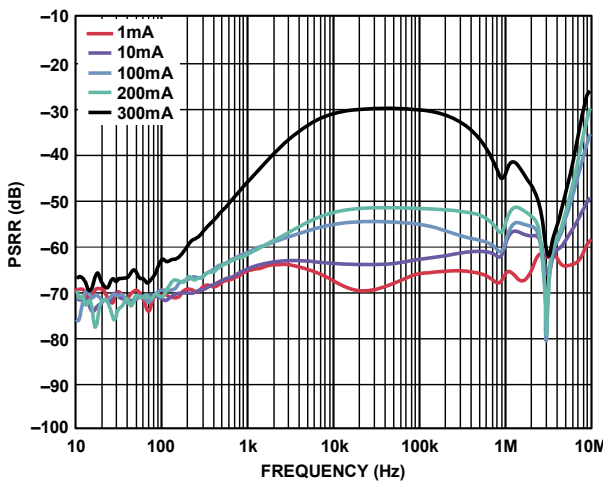


図 95. 様々な出力負荷での LDO2 の PSRR  
 $V_{IN3} = 3.3\text{ V}$ 、 $V_{OUT3} = 2.8\text{ V}$

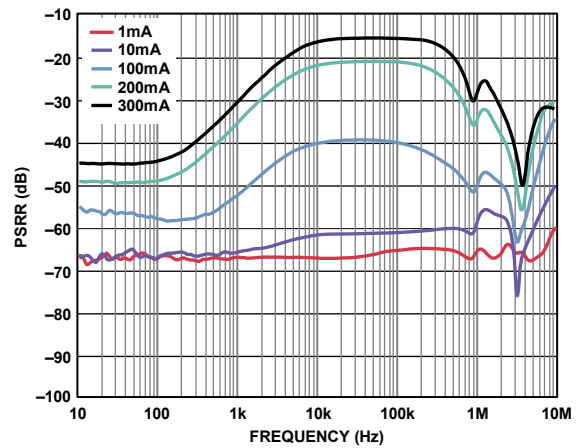
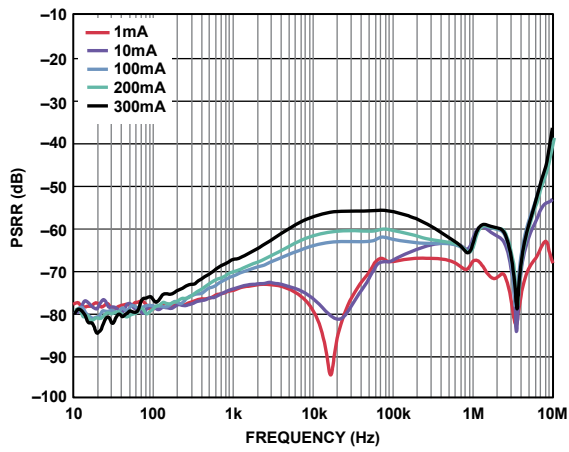
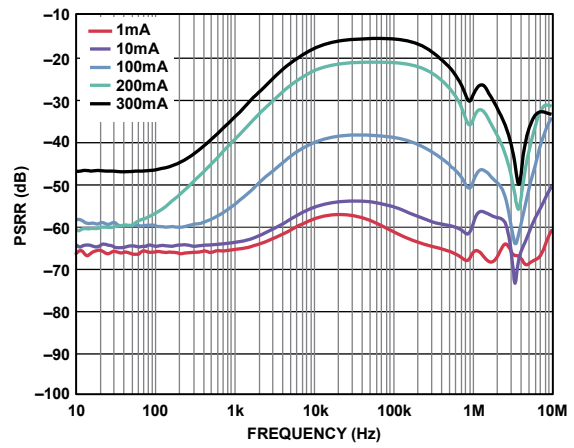


図 98. 様々な出力負荷での LDO2 の PSRR  
 $V_{IN3} = 3.6\text{ V}$ 、 $V_{OUT3} = 3.3\text{ V}$



09B52-113

図 99. 様々な出力負荷での LDO1 の PSRR  
 $V_{IN2} = 5.0\text{ V}$ 、 $V_{OUT2} = 1.5\text{ V}$



09B52-114

図 100. 様々な出力負荷での LDO1 の PSRR  
 $V_{IN2} = 1.8\text{ V}$ 、 $V_{OUT2} = 1.5\text{ V}$

動作原理

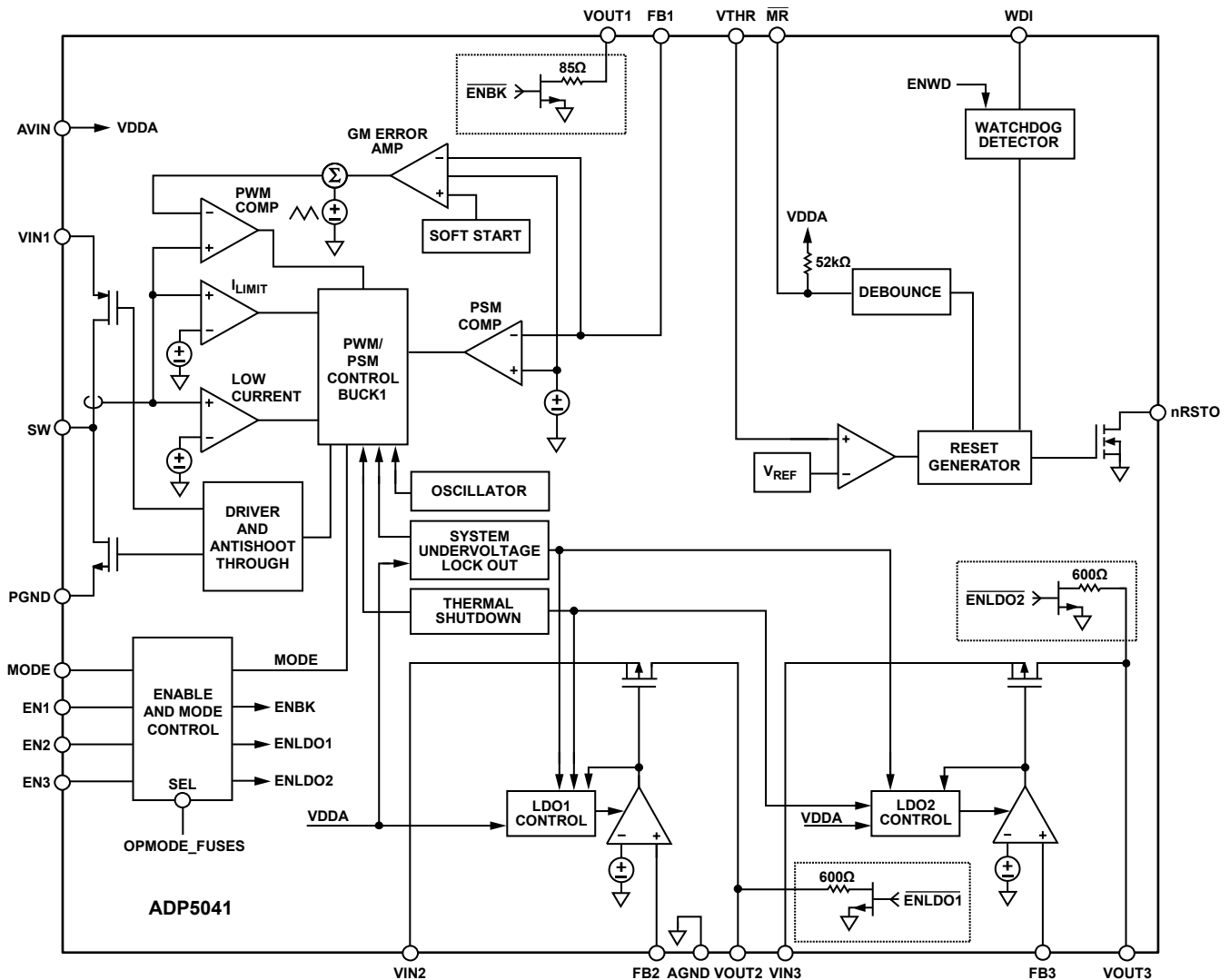


図 101.機能ブロック図

パワー・マネジメント・ユニット

ADP5041 は、1 系統のステップダウン(降圧) DC/DC レギュレータ、2 系統のロー・ドロップアウト・リニア・レギュレータ (LDO)、監視回路、プロセッサから制御されるウォッチドッグを内蔵するマイクロパワー・マネジメント・ユニット(μPMU)です。高いスイッチング周波数と小型の 20 ピン LFCSP パッケージにより、小型のパワー・マネジメント・ソリューションを可能にします。

レギュレータは、対応する EN ピンにハイ・レベルが入力されると起動されます。EN1 ピンは降圧レギュレータを、EN2 ピンは LDO1 を、EN3 ピンは LDO2 を、それぞれ制御します。このデバイスのその他の機能としては、降圧スイッチング動作を制御する MODE ピンおよびプッシュ・ボタン・リセット入力があります。

レギュレータの出力電圧とリセット閾値は、外付け抵抗分圧器を使って設定されます。

レギュレータがオンになると、出力電圧ランプがソフト・スタート回路を使って制御されるため、出力コンデンサの放電による大きな突入電流を回避することができます。

MODE ピンがハイ・レベルの場合、降圧レギュレータは強制 PWM モードで動作することができます。強制 PWM モードでは、降圧レギュレータのスイッチング周波数は常に一定になり、負荷電流によって変化しません。MODE ピンがロー・レベルの場合、スイッチング・レギュレータは自動 PWM/PSM モードで動作します。このモードでは、負荷電流が省電力電流閾値を超える場合、レギュレータは固定 PWM 周波数で動作します。負荷電流がパワーセーブ電流閾値を下回ると、レギュレータはパワーセーブモードになり、スイッチングがバースト的に行われます。バーストの繰り返しレートは、負荷電流と出力コンデンサ値の関数になります。この動作モードでは、スイッチング電流損失と静止電流損失が小さくなります。

### 過熱保護

ジャンクション温度が 150 °C を超えると、サーマル・シャットダウン回路によって降圧レギュレータと LDO がオフになります。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。20°C のヒステリシスがあるため、サーマル・シャットダウンが発生すると、オンチップ温度が 130°C 未満に低下するまで降圧レギュレータと LDO の動作は復帰しません。サーマル・シャットダウン状態が解消すると、全レギュレータがソフト・スタートを開始します。

### 低電圧ロックアウト機能

バッテリーの放電を防ぐために低電圧ロックアウト回路 (UVLO) が ADP5041 に内蔵されています。AVIN の入力電圧が 2.15 V (typ) の UVLO 閾値を下回ると、すべてのチャンネルがシャットダウンします。降圧チャンネルでは、パワー・スイッチと同期整流器がオフになります。AVIN の電圧が UVLO 閾値を上回ると、デバイスは再度イネーブルされます。

あるいは、5 V アプリケーションに適する UVLO がハイ・レベルに設定されたデバイス・モデルを選択することができます。これらのモデルの場合、入力電源が 3.65 V (typ) に低下したとき、デバイスはターンオフ閾値に一致します。

### イネーブル/シャットダウン

ADP5041 には、各レギュレータに対して個別のコントロール・ピンがあります。ENx ピンをハイ・レベルにするとレギュレータが起動し、ロー・レベルにするとレギュレータがオフになります。

### アクティブ・プルダウン (ディスチャージ)

アクティブ・プルダウン・オプションをイネーブルした ADP5041 を注文することができます。プルダウン抵抗は、各レギュレータ出力と AGND との間に接続されます。レギュレータがターンオフしたとき、プルダウンがイネーブルされます。プルダウン抵抗の typ 値は、LDO では 600 Ω に、降圧レギュレータでは 85 Ω に、それぞれなり出力コンデンサに溜まった電荷をディスチャージします。

### 降圧レギュレータ・セクション

降圧レギュレータでは、固定周波数と高速電流モードのアーキテクチャを採用しています。降圧レギュレータは、入力電圧 = 2.3 V ~ 5.5 V で動作します。

降圧レギュレータの出力電圧は外付け抵抗分圧器で設定されます(図 102 参照)。VOUT1 は出力コンデンサへ接続する必要があります。VFB1 は内部で 0.5 V に設定されます。出力電圧は 0.8 V ~ 3.8 V に設定することができます。

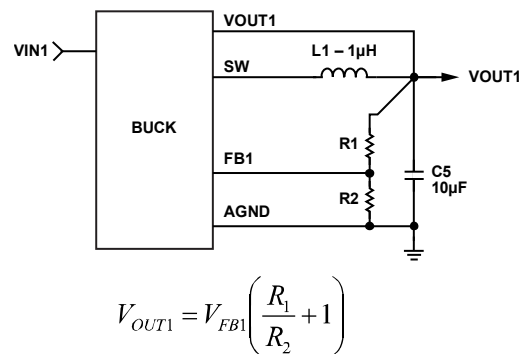


図 102. 降圧レギュレータ出力電圧の外部設定

### 制御方式

降圧レギュレータは中から重い負荷電流では高効率で動作する固定周波数の電流モード PWM 制御方式のアーキテクチャを採用していますが、低負荷時にはパワーセーブモード(PSM)制御方式にシフトしてレギュレーションの電力損失を小さくします。固定周波数の PWM モードで動作する場合、内蔵スイッチのデューティ・サイクルが調節されて、出力電圧が安定化されます。軽負荷時の PSM で動作するときは、出力電圧をヒステリシス方式で制御するため、出力電圧のリプルが大きくなります。コンバータがこの期間中にスイッチングを停止してアイドル・モードに入ることによって、変換効率を改善できます。

### PWM モード

PWM モードの場合、降圧レギュレータは内部発振器で設定される 3 MHz の固定周波数で動作します。各発振器サイクルの開始時に、PFET スイッチがオンになり、インダクタに正電圧が加わります。インダクタ内の電流は、電流検出信号がピーク・インダクタ電流の閾値に達するまで増加します。この電流レベルで、PFET スイッチがオフになり、NFET 同期整流器がオンになります。この動作により、インダクタの両端に負電圧が加わり、インダクタ電流が減少します。同期整流器は、残りのサイクルの間はオン状態を維持します。降圧レギュレータは、ピーク・インダクタ電流の閾値を調整することで、出力電圧を安定化します。

### パワーセーブモード(PSM)

降圧レギュレータは、負荷電流が PSM 電流閾値を下回ると、速やかに PSM モードに移行します。降圧レギュレータがパワーセーブモードになると、PWM レギュレーションのレベルにオフセットが加えられ、出力電圧が上昇します。出力電圧が PWM レギュレーションのレベルを約 1.5% 上回ると、PWM 動作はオフになります。この時点で、両パワー・スイッチがオフとなり、降圧レギュレータがアイドル・モードになります。出力コンデンサは出力電圧が PWM レギュレーションの電圧レベルに下がるまで放電を続けます。そのレベルに達すると、デバイスがインダクタを駆動して出力電圧を閾値の上限值にまで戻します。このプロセスは、負荷電流が PSM 電流閾値を下回っている限り繰り返されます。

ADP5041 には、PSM と PWM の動作を制御する専用の MODE ピンがあります。MODE ピンをハイ・レベルにすると、降圧レギュレータは強制 PWM モードで動作し、ロー・レベルにすると、降圧レギュレータは自動 PSM/PWM で動作します。

### PSM 電流閾値

PSM 電流閾値は 100 mA に設定されています。降圧レギュレータは、入力電圧と出力電圧のレベルに関わらず、この電流を正確に制御できる方法を採用しています。これによって、PSM モードに入るときと終了するときの PSM 電流閾値間のヒステリシスもごく僅かです。PSM の電流閾値は、あらゆる負荷電流において優れた効率性を発揮するように最適化されています。

### 短絡保護機能

降圧レギュレータは、ハード短絡で出力電流が暴走するのを防ぐ周波数フォールドバック機能を備えています。帰還ピンの電圧が内部リファレンス電圧の 1/2 を下回り、出力にハード短絡が生じる可能性があるとき、スイッチング周波数が内部発振器周波数の 1/2 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止することができます。

### ソフト・スタート

降圧レギュレータにはソフト・スタート機能があります。この機能はスタートアップ時に制御された方法で出力電圧を上昇させて、入力突入電流を抑えます。バッテリーまたはハイ・インピーダンス電源をコンバータの入力に接続しているときは、この機能によって入力の電圧降下を防止できます。

### 電流制限

降圧レギュレータには、PFET スイッチを流れる正の電流量と同期整流器を流れる負の電流量を制限するための保護回路があります。パワー・スイッチの正電流制限値は、入力から出力へ流れる電流を制限します。負電流の制御では、インダクタ電流が反転して負荷から流れることを防止します。

### 100% デューティ動作

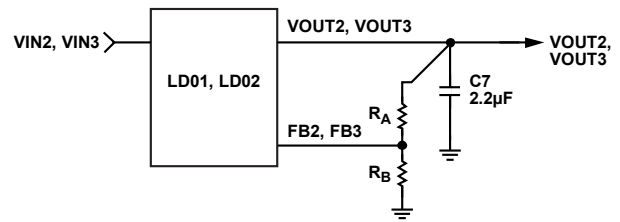
入力電圧が降下するか負荷電流が増大すると、降圧レギュレータは、PFET スイッチがデューティ時間の 100% オンになっても出力電圧が所望の出力電圧を下回る限界に達します。この限界で、降圧レギュレータは PFET スイッチがデューティ時間の 100% オン状態を維持するモードに速やかに移行します。入力状態が再度変化して必要なデューティ・サイクルが低下すると、ただちに PWM レギュレーションを再開し、出力電圧のオーバーシュートを防ぎます。

### LDO セクション

ADP5041 は、2 系統の低静止電流 LDO を内蔵し、最大 300 mA の出力電流を提供します。無負荷時静止電流が 10  $\mu$ A (typ) と小さいため、バッテリーで動作するポータブル機器向けに最適です。

LDO は 1.7 V ~ 5.5 V の入力電圧範囲で動作します。これらの LDO の動作範囲は広いので、LDO 電源電圧が降圧レギュレータから供給されるカスケード構成に適しています。

各 LDO の出力電圧は外付け抵抗分圧器で設定されます(図 103 参照)。V<sub>FB2</sub> と V<sub>FB3</sub> は内部で 0.5 V に設定されます。出力電圧は 0.8 V ~ 5.2 V に設定することができます。



$$V_{OUT2, OUT3} = V_{FB2, FB3} \left( \frac{R_a}{R_b} + 1 \right)$$

図 103. LDO 出力電圧の外部設定

また、LDO は高い電源除去比(PSRR)、低出力ノイズを提供し、1  $\mu$ F の小型入力セラミック・コンデンサと 2.2  $\mu$ F の小型出力セラミック・コンデンサを使用して優れたライン過渡応答と負荷過渡応答を提供します。

LD02 は LD01 に比べて優れたノイズ性能を提供するため、アナログ回路の電源として最適化されています。LD01 は、ノイズ性能が厳しくないアプリケーションで使用する必要がありません。

### 監視回路セクション

ADP5041 は、マイクロプロセッサのリセット入力を制御することにより、マイクロプロセッサの電源電圧監視機能を提供します。パワーアップ時、パワーダウン時、停電時に、電源電圧が予め設定された閾値を下回ったときにリセット信号を発生し、さらに電源電圧が閾値を超えた後に固定のタイムアウト・リセット・パルスを使って電源電圧を安定化させることにより、コードの実行エラーが回避されます。さらに、マイクロプロセッサのコード実行での問題を監視し、ウォッチドッグ・タイマを使って訂正することができます。

### リセット出力

ADP5041 には、アクティブ・ローのオープン・ドレイン・リセット出力があります。この出力構成では、外付けプルアップ抵抗を使ってリセット出力を 6 V 以下の電圧レベルへ接続する必要があります。この抵抗は、入力電流と nRSTO ピンのリーク・パスに電流を供給しているとき、マイクロプロセッサのロー・レベル電圧条件とハイ・レベル電圧条件を満たす必要があります。多くの場合、10 k $\Omega$  の抵抗で十分です。

被監視レールがリセット閾値(V<sub>TH</sub>)を下回ったとき、または WDI がウォッチドッグ・タイムアウト周期(t<sub>WDI</sub>)内に処理されないとき、リセット出力がアサートされます。監視している電源レールがリセット閾値を上回った後またはウォッチドッグ・タイマがタイムアウトした後にリセット・アクティブ・タイムアウト周期(t<sub>RP</sub>)の間、リセットはアサートされたままになります。図 104 に、リセット出力 nRSTO の動作を示します。ここでは、VOUT2 が被監視レールとして選択され、nRSTO 出力に接続された外付けプルアップに電源を供給しています。

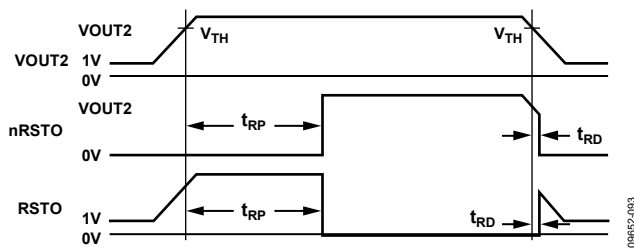


図 104.リセットのタイミング図

ADP5041には、電源レールを監視するリセット閾値設定入力ピンVTHRがあります。

VTHR 入力のリセット閾値電圧は 0.5 V (typ)です。0.5 V より高い電圧を監視するときは、図 105 に示すように抵抗分圧器をデバイスに接続してください。ここで、

$$V_{MONITORED} = 0.5V \left( \frac{R1 + R2}{R2} \right)$$

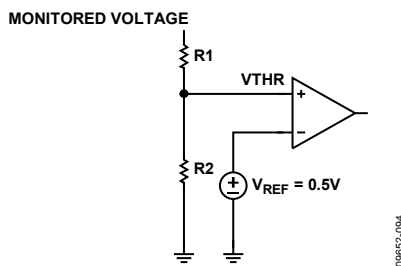


図 105.リセット閾値の外部設定

VTHR 入力をフローティングのままにしないで、グラウンドへ接続してください。規定閾値電圧より高い電源電圧に接続してください。小さいコンデンサを VTHR に接続すると、ノイズ除去機能を向上させて、リセットの誤動作を防止することができます。

ADP5041 は出荷時に 2.25 V または 3.6 V の UVLO 閾値に設定することができます。入力電源電圧を監視する際、選択したリセット閾値が UVLO レベルより低い場合、入力電圧が UVLO 閾値を下回ると直ちにリセット出力 nRSTO がロー・レベルになります。UVLO 閾値の下では、最小約 1 V の入力電圧までリセット出力がロー・レベルに維持されます。この機能により、プロセッサの電源レールに十分な電圧が存在してプロセッサ動作が再スタートする場合にはリセット出力が解除されないようにしています。

マニュアル・リセット入力

ADP5041 にはマニュアル・リセット入力(MR)があります。この入力をロー・レベルに駆動すると、リセット出力がアサートされます。MRがローからハイ・レベルへ変化すると、リセットはリセット・アクティブ・タイムアウト周期だけアサート状態を維持した後にアサート状態が解除されます。MR入力には 52 kΩの内部プルアップがあり、AVINに接続されているため、未接続時でも入力は常にハイ・レベルになります。MRとグラウンドとの間に外付けプッシュ・ボタン・スイッチを接続すると、これを使ってリセットを発生させることができます。このためのデバウンス回路も内蔵されています。MR入力にはノイズ耐性があるため、最大 100 ns (typ)までの高速な立下がり過渡電圧は無視されます。MRとグラウンドとの間に 0.1 μFのコンデンサを接続すると、ノイズ耐性を強化することができます。

ウォッチドッグ入力

ADP5041 には、マイクロプロセッサの動作を監視するウォッチドッグ・タイマがあります。このウォッチドッグ・タイマ回路は、最小 80 ns のパルスを検出するウォッチドッグ入力ピン(WDI)上での各ローからハイ・レベルへのロジック変化ごとに、または各ハイからロー・レベルへのロジック変化ごとにクリアされます。タイマが予め設定されているウォッチドッグ・タイムアウト周期(tWDI)までカウントすると、出力リセットがアサートされます。マイクロプロセッサは、WDI ピンをトグルしてリセットが発生することを防止する必要があります。マイクロプロセッサがタイムアウト周期以内に WDI をトグルできない場合には、コード実行エラーと見なされ、リセット・パルスが発生されて、マイクロプロセッサは既知の状態から再起動されます。

WDI でのロジック変化と同様に、被監視電源レールでの低電圧状態によるリセット・アサーションによってもウォッチドッグ・タイマがクリアされます。リセットがアサートされると、ウォッチドッグ・タイマがクリアされて、リセットが解除されるまでカウントを開始しません。WDI をフローティングのままにするか、または WDI ドライバをスリーステートにすることにより、ウォッチドッグ・タイマをディスエーブルすることができます。

ADP5041 は出荷時に表 18 に示すウォッチドッグ・タイマ値を設定することができます。

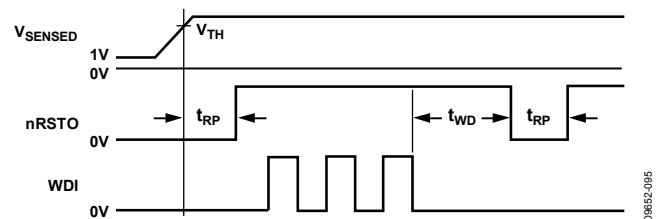
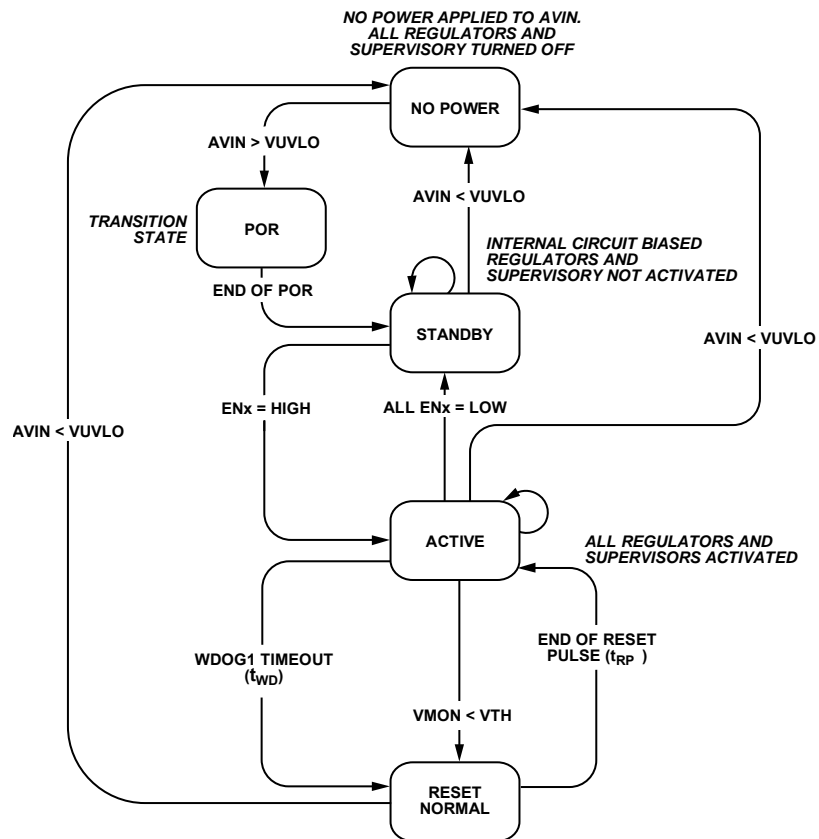


図 106.ウォッチドッグ・タイミング図



09852-098

図 107. ADP5041 の状態遷移

## アプリケーション情報

### 降圧レギュレータ外付け部品の選択

アプリケーション回路内の外付け部品の選択を変えて、効率や過渡応答のような性能パラメータ間のトレードオフを行います(図 1 参照)。

#### 帰還抵抗

図 102 で、R1 と R2 の合計組み合わせ抵抗は 400 kΩ を超えることはできません。

#### インダクタ

ADP5041 の降圧レギュレータはスイッチング周波数が高いため、小型のチップ・インダクタを使用できます。最適性能を得るためには、0.7 μH~3.0 μH のインダクタ値を使用してください。推奨インダクタを表 9 に示します。

ピーク to ピークのインダクタ・リップル電流は、次式で計算されます。

$$I_{RIPPLE} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times L}$$

ここで、  
 $f_{SW}$  はスイッチング周波数。  
 $L$  はインダクタ値です。

インダクタの定格最小 DC 電流値はそのピーク電流より大きい値にする必要があります。インダクタのピーク電流は、次式を使って計算します。

$$I_{PEAK} = I_{LOAD,MAX} + \frac{I_{RIPPLE}}{2}$$

表 9. 推奨 1.0 μH インダクタ

Vendor	Model	Dimensions (mm)	I <sub>SAT</sub> (mA)	DCR (mΩ)
Murata	LQM2MPN1R0NG0 B	2.0 × 1.6 × 0.9	1400	85
Murata	LQM18FN1R0M00B	3.2 × 2.5 × 1.5	2300	54
Tayo Yuden	CBC322ST1R0MR	3.2 × 2.5 × 2.5	2000	71
Coilcraft	XFL4020-102ME	4.0 × 4.0 × 2.1	5400	11
Coilcraft	XPL2010-102ML	1.9 × 2.0 × 1.0	1800	89
Toko	MDT2520-CN	2.5 × 2.0 × 1.2	1350	85

インダクタの導通損失は、インダクタを流れる電流に起因しますが、これには関連する内部 DC 抵抗(DCR)があります。インダクタのサイズが大きければ DCR が小さくなり、インダクタの導通損失が小さくなります。インダクタのコア損失は、コアの材料の透磁率に関係しています。降圧レギュレータは高スイッチング周波数の DC/DC コンバータであるため、コア損失と EMI が低いシールド・フェライトのコア材の使用を推奨します。

#### 出力コンデンサ

出力容量値が大きいと出力電圧リップルが小さくなり、負荷過渡応答が向上します。このコンデンサ値を選択するときは、出力電圧 DC バイアスに起因する容量損失を考慮することも重要です。

セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V と Z5U の誘電体は、温度特性や DC バイアス特性が劣るため、DC/DC コンバータには適していません。

温度、部品の許容誤差、電圧によるコンデンサの変動を考慮して、最悪時の容量を求めるときは、次式を使用します。

$$C_{EFF} = C_{OUT} \times (1 - TEMPCO) \times (1 - TOL)$$

ここで、  
 $C_{EFF}$  は動作電圧での実効容量。  
 $TEMPCO$  は最悪時のコンデンサ温度係数です。  
 $TOL$  は最悪時の部品許容誤差です。

この例では、-40°C ~ +85°C でのワーストケース温度係数(TEMPCO)を、X5R 誘電体では 15% と想定しています。図 108 に示すように、コンデンサの許容誤差(TOL)は 10%、かつ 1.8 V で  $C_{OUT} = 9.24 \mu\text{F}$  としています。

これらの値を式に代入すると、次のようになります。

$$C_{EFF} = 9.24 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 7.07 \mu\text{F}$$

降圧レギュレータの性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションについて評価することが不可欠です。

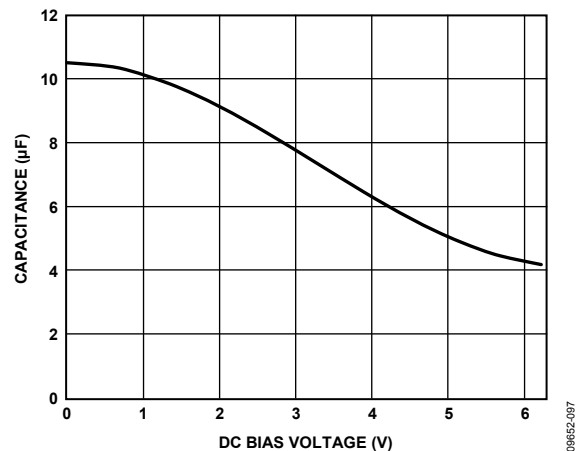


図 108. 代表的なコンデンサ性能

選択した出力コンデンサおよびインダクタの値でピーク to ピーク出力電圧リップルを計算するときは、次式を使用します。

$$V_{RIPPLE} = \frac{I_{RIPPLE}}{8 \times f_{SW} \times C_{OUT}} \approx \frac{V_{IN}}{(2\pi \times f_{SW})^2 \times L \times C_{OUT}}$$

次式に示すように、出力電圧リップルを低くするには、等価直列抵抗 (ESR) の値が低いコンデンサを使用すると良いでしょう。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{I_{RIPPLE}}$$

温度や DC バイアスの影響を含め、安定性に必要な実効容量は最小 7 μF で最大 40 μF です。

表 10. 推奨 10 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J106	0603	6.3
Taiyo Yuden	X5R	JMK107BJ106MA-T	0603	6.3
TDK	X5R	C1608JB0J106K	0603	6.3
Panasonic	X5R	ECJ1VB0J106M	0603	6.3

急速な負荷変動および PWM/PSM モードの開始と終了に対する安定性と応答を保証するためには、降圧レギュレータに 10 μF の出力コンデンサが必要です。降圧レギュレータからプロセッサへ電源を供給するアプリケーションでは、ソフトウェアから制御しているため、動作状態を知ることができる場合があります。この状態では、動作状態に従ってプロセッサが MODE ピンを駆動できるため、出力コンデンサを 10 μF から 4.7 μF へ小さくすることができます。これは、レギュレータは PSM モードで動作する場合大きな負荷変動がないと予測することができるためです (図 109 参照)。

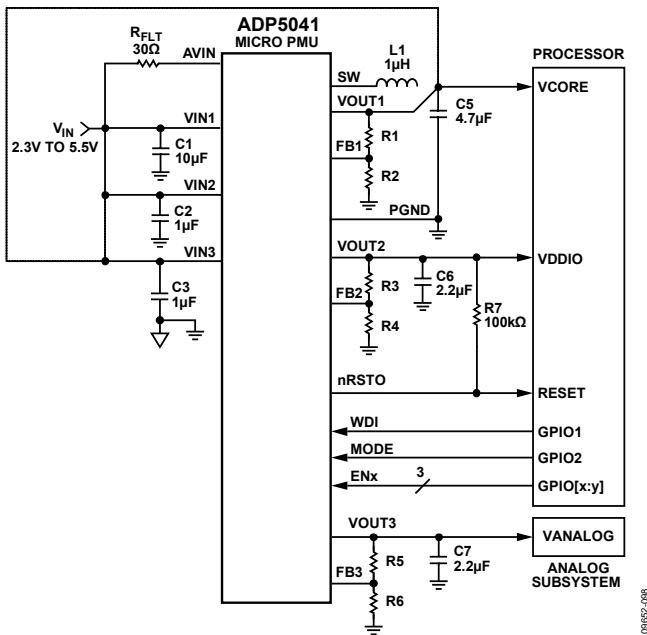


図 109. PSM/PWM 制御によるプロセッサ・システム・パワー・マネジメント

入力コンデンサ

入力コンデンサの値が大きくと入力電圧リップルが小さくなり、過渡応答が向上します。入力コンデンサの最大電流は次式を使って計算します。

$$I_{CIN} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

電源ノイズを小さくするため、降圧レギュレータの VIN ピンのできるだけ近くに入力コンデンサを接続してください。出力コ

ンデンサの場合と同様、ESR が低いコンデンサの使用を推奨します。

温度や DC バイアスの影響を含め、安定性に必要な実効容量は最小 3 μF で最大 10 μF です。表 11 に推奨コンデンサのリストを示します。

表 11. 推奨 4.7 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J475ME19D	0603	6.3
Taiyo Yuden	X5R	JMK107BJ475	0603	6.3
Panasonic	X5R	ECJ-0EB0J475M	0402	6.3

LDO の外付け部品の選択

帰還抵抗

Rb の最大値は 200 kΩ を超えることはできません (図 103 参照)。

出力コンデンサ

ADP5041 の LDO は、小型で省スペースのセラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗 (ESR) 値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。LDO の安定性のためには、1 Ω 以下の ESR を持つ最小 0.70 μF のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する LDO の過渡応答を向上させることができます。

200 mA より大きい出力電流で動作する場合、LDO の安定性のためには、1 Ω 以下の ESR を持つ最小 2.2 μF のコンデンサの使用が推奨されます。

表 12. 推奨 2.2 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188B31A225K	0402	10.0
TDK	X5R	C1608JB0J225KT	0402	6.3
Panasonic	X5R	ECJ1VB0J225K	0402	6.3
Taiyo Yuden	X5R	JMK107BJ225KK-T	0402	6.3

入力バイパス・コンデンサ

VIN2 ピンおよび VIN3 ピンとグラウンドの間に 1 μF のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合に、プリント回路ボード (PCB) のレイアウトに対する回路の感受性を小さくすることができます。1 μF より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくすることが推奨されます。

表 13.推奨 1.0 μF コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM155B30J105K	0402	6.3
TDK	X5R	C1005JB0J105KT	0402	6.3
Panasonic	X5R	ECJ0EB0J105K	0402	6.3
Taiyo Yuden	X5R	LMK105BJ105MV-F	0402	10.0

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADP5041 で任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V と Z5U の誘電体は、温度特性や DC バイアス特性が劣るため、LDO には適していません。

図 110 に、0402 1 μF、10 V の X5R コンデンサについて容量対 DC 電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、-40°C ~ +85°C の温度範囲で ±15% であり、パッケージ・サイズまたは電圧定格の関数になっていません。

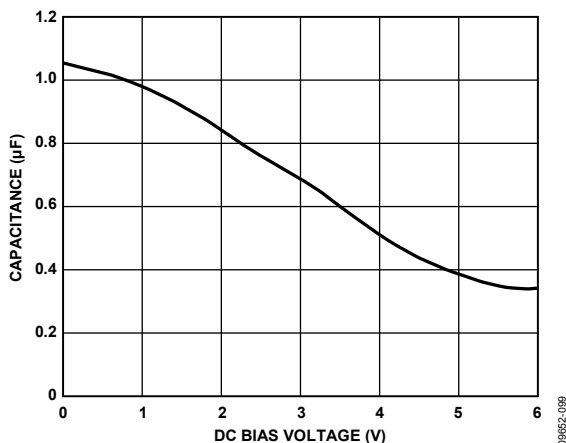


図 110.容量対電圧特性

次式を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、最悪時の容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL)$$

ここで、

$C_{BIAS}$  は動作電圧での実効容量。

$TEMPCO$  は最悪時のコンデンサ温度係数です。

$TOL$  は最悪時の部品許容誤差です。

この例では、-40°C ~ +85°C でのワーストケース温度係数 ( $TEMPCO$ ) を、X5R 誘電体では 15% と想定しています。図 110 に示すように、コンデンサの許容誤差 ( $TOL$ ) は 10%、かつ 1.8 V で  $C_{BIAS} = 0.94 \mu F$  としています。

これらの値を式に代入すると、次のようになります。

$$C_{EFF} = 0.94 \mu F \times (1 - 0.15) \times (1 - 0.1) = 0.72 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容偏差に対する LDO の最小容量条件を満たします。

ADP5041 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

監視回路セクション

閾値設定抵抗

図 105 で、 $R2$  の最大値は 200 kΩ を超えることはできません。

ウォッチドッグの入力電流

ウォッチドッグ入力電流(および全体の消費電力)を小さくするためには、ウォッチドッグ・タイムアウト周期の大部分で WDI をロー・レベルにするようにしてください。ハイ・レベルに駆動すると、WDI の電流は最大 25 μA になります。小さいデューティ・サイクルでロー・レベル→ハイ・レベル→ロー・レベルへ変化するパルス WDI を入力すると、入力電流を少なくすることができます。WDI が未接続の場合、ウォッチドッグ・タイマがタイムアウトするとき、リセットがアサートされないように、ウィンドウ・コンパレータがウォッチドッグ・タイマをリセット出力回路から切り離します。

被監視電源レールでの立下がり過渡電圧

高速な電源過渡電圧から発生する不要なリセットを回避するため、ADP5041 はグリッチ除去回路を内蔵しています。図 111 の代表的性能特性に、過渡電圧振幅対被監視レール電圧  $V_{TH}$  の過渡電圧継続時間を示します。このカーブは、リセットが発生しない過渡電圧の振幅と継続時間の組み合わせを示しています。この例では、3.00 V 閾値の場合、閾値より 100 mV 下回り、8 μs 間継続する過渡電圧では、一般にリセットは発生しませんが、過渡電圧の振幅または継続時間がこれより大きい場合には、リセットが発生します。この例では、リセット閾値設定抵抗値が  $R2 = 200 \text{ k}\Omega$ 、 $R1 = 1 \text{ M}\Omega$  です(図 105)。

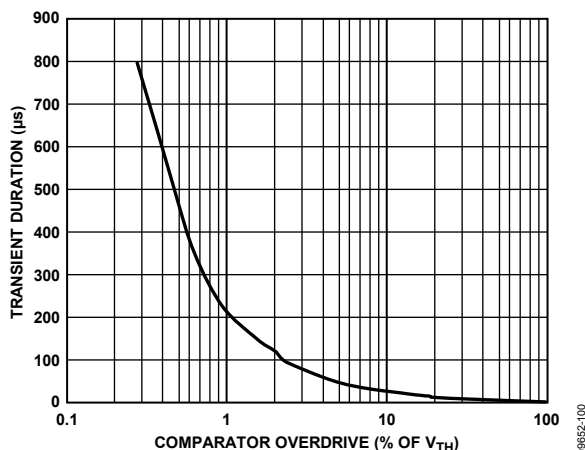


図 111.最大  $V_{TH}$  過渡電圧継続時間対リセット閾値オーバードライブ

### ウォッチドッグ・ソフトウェアの考慮事項

マイクロプロセッサのウォッチドッグ・ストロブ・コードを実行する場合、消費電流を小さくするため、WDI をロー・レベル→ハイ・レベルの変化の後にハイ・レベル→ロー・レベルへ変化させる高速なスイッチング(WDI のハイ・レベル時間を最小にする)が望まれますが、ウォッチドッグ機能を使用すると、さらに効果的な方法を考慮することができます。

与えられたサブルーチン内で、ロー・レベル→ハイ・レベル→ロー・レベルへ変化する WDI パルスを使うと、ウォッチドッグがタイムアウトするのを防止することができますが、サブルーチンが無限ループに陥ると、ウォッチドッグはこれを検出することができます。これは、サブルーチンが WDI のトグルを続けるためです。

この誤動作を検出するさらに効果的なコーディング方式では、少し長いウォッチドッグ・タイムアウトを使用しています。サブルーチンを呼び出すプログラム内で、WDI をハイ・レベルに設定します。サブルーチンは呼び出されたときに、WDI をロー・レベルに設定します。プログラムを誤動作なしに実行すると、プログラムがループするごとに WDI がハイ・レベルとロー・レベルにトグルします。サブルーチンが無限ループに入ると、WDI がロー・レベルに留まり、ウォッチドッグがタイムアウトして、マイクロプロセッサがリセットされます(図 112 参照)。

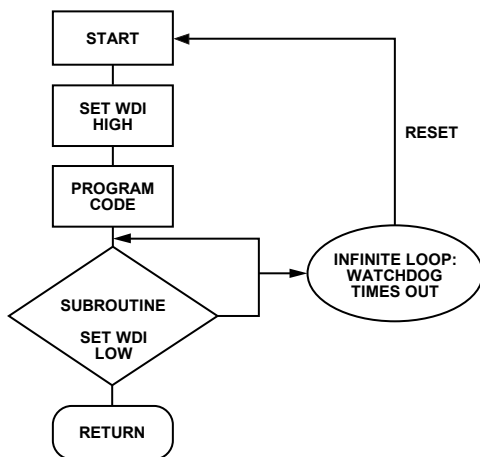


図 112.ウォッチドッグのフローチャート

### 消費電力/熱についての考慮事項

ADP5041 は高効率のマイクロパワー・マネジメント・ユニット(μPMU)であるため、大部分の場合デバイス内で消費される電力は問題になりませんが、デバイスが高い周囲温度かつ最大負荷状態で動作する場合は、ジャンクション温度が最大許容動作温度(125°C)に到達することがあります。

ジャンクション温度が 150°C を超えると、ADP5041 はすべてのレギュレータをターンオフさせて、デバイスの冷却を可能にします。チップ温度が 135°C を下回ると、ADP5041 は通常の動作を再開します。

このセクションでは、デバイス消費電力計算のガイドラインと ADP5041 が最大許容ジャンクション温度より下で動作していることを確認するガイドラインを示します。

ADP5041 上の各レギュレータの効率は次式で与えられます。

$$\eta = \frac{P_{OUT}}{P_{IN}} \times 100\% \quad (1)$$

ここで、

$\eta$  は効率。

$P_{IN}$  は入力電力。

$P_{OUT}$  は出力電力。

電力損失は次式で与えられます。

$$P_{LOSS} = P_{IN} - P_{OUT} \quad (2a)$$

または

$$P_{LOSS} = P_{OUT} (1 - \eta) / \eta \quad (2b)$$

監視機能の消費電力は小さいため無視できます。

消費電力は複数の方法で計算することができます。最も分かり易く実用的な方法は、入力とすべての出力での消費電力を測定することです。測定はワーストケース条件(電圧、電流、温度)で行う必要があります。入力電力と出力電力との差がデバイスとインダクタの消費電力です。式 4 を使って、インダクタの消費電力を求め、この値から式 3 を使って ADP5041 降圧レギュレータの消費電力を計算してください。

消費電力を計算する 2 つ目の方法は、降圧レギュレータに対して提供された効率カーブを使用することです。ここでは LDO での消費電力は式 12 を使って計算されます。降圧レギュレータの効率が既知のとき、式 2b を使って降圧レギュレータとインダクタの合計消費電力を求めます。式 4 を使ってインダクタの消費電力を求め、次に式 3 を使って降圧コンバータの消費電力を計算してください。降圧レギュレータと LDO の消費電力を加算して合計消費電力を求めます。

降圧レギュレータの効率カーブは代表値であるため、 $V_{IN}$ 、 $V_{OUT}$ 、 $I_{OUT}$  のすべての可能な組み合わせに対して提供されていない可能性があることに注意してください。これらの変動を考慮するため、降圧レギュレータの消費電力を計算する際に安全余裕を持たせることが必要です。

消費電力を計算する 3 つ目の方法は解析的方法であるため、式 8~式 11 で提供される降圧回路の消費電力と式 12 で提供される LDO の消費電力をモデル化することが含まれます。

### 降圧レギュレータの消費電力

降圧レギュレータの消費電力は次式で近似されます。

$$P_{LOSS} = P_{D\text{BUCK}} + P_L \quad (3)$$

ここで、

$P_{D\text{BUCK}}$  は ADP5041 降圧レギュレータの消費電力。

$P_L$  はインダクタの消費電力。

インダクタの消費電力はデバイスの外部であるため、チップ温度には影響を与えません。

インダクタの消費電力は次式で計算されます(コア消費電力を除く)。

$$P_L \cong I_{OUT1(RMS)}^2 \times DCR_L \quad (4)$$

ここで、

$DCR_L$ はインダクタの直列抵抗。

$I_{OUT1(RMS)}$ は降圧レギュレータの rms 負荷電流。

$$I_{OUT1(RMS)} = I_{OUT1} \times \sqrt{1+r/12} \quad (5)$$

ここで、 $r$ はインダクタの正規化リップル電流。

$$r \approx V_{OUT1} \times (1-D) / (I_{OUT1} \times L \times f_{SW}) \quad (6)$$

ここで、

$L$ はインダクタンス。

$f_{SW}$ はスイッチング周波数。

$D$ はデューティ・サイクル。

$$D = V_{OUT1} / V_{IN1} \quad (7)$$

**ADP5041** 降圧レギュレータの消費電力  $P_{DBUCK}$  には、パワー・スイッチの導通損失、スイッチの消費電力、各チャンネルのスイッチング損失が含まれます。その他の損失源もありますが、これらはアプリケーションの熱的限界となっている高い出力負荷電流では一般に小さいものです。式 8 に、降圧レギュレータの消費電力で行う計算を示します。

$$P_{DBUCK} = P_{COND} + P_{SW} + P_{TRAN} \quad (8)$$

PMOSFET と NMOSFET のパワー・スイッチはそれぞれ内部抵抗  $R_{DS(ON)-P}$  と  $R_{DS(ON)-N}$  を持ちますが、パワー・スイッチの伝導損失は、これらのパワー・スイッチを流れる出力電流  $I_{OUT1}$  により生じます。伝導損失の大きさは次式で求められます。

$$P_{COND} = [R_{DS(ON)-P} \times D + R_{DS(ON)-N} \times (1-D)] \times I_{OUT1}^2 \quad (9)$$

**ADP5041** の場合、125°C のジャンクション温度でかつ  $V_{IN1} = 3.6$  V のとき、 $R_{DS(ON)-P}$  は約 0.2 Ω に、 $R_{DS(ON)-N}$  は約 0.16 Ω に、それぞれなります。 $V_{IN1} = 2.3$  V では、これらの値はそれぞれ 0.31 Ω と 0.21 Ω に変化し、 $V_{IN1} = 5.5$  V では、これらの値はそれぞれ 0.16 Ω と 0.14 Ω になります。

スイッチング損失は、スイッチング周波数でパワー・デバイスがターンオン/ターンオフするときドライバを流れる電流に対応します。スイッチング損失は次式で与えられます。

$$P_{SW} = (C_{GATE-P} + C_{GATE-N}) \times V_{IN1}^2 \times f_{SW} \quad (10)$$

ここで、

$C_{GATE-P}$ は PMOSFET のゲート容量。

$C_{GATE-N}$ は NMOSFET のゲート容量。

**ADP5041** の場合、 $(C_{GATE-P} + C_{GATE-N})$ の合計は約 150 pF になります。

遷移損失は、PMOSFET が瞬時にターンオンまたはターンオフできないので、SW ノードがグラウンド付近から  $V_{OUT1}$  付近へ(さらに  $V_{OUT1}$  からグラウンドへ)変化するために時間を要するためです。遷移損失は次式で計算されます。

$$P_{TRAN} = V_{IN1} \times I_{OUT1} \times (t_{RISE} + t_{FALL}) \times f_{SW} \quad (11)$$

ここで、 $t_{RISE}$  と  $t_{FALL}$  はスイッチング・ノード SW の立上がり時間と立下がり時間。**ADP5041** の場合、SW の立上がり時間と立下がり時間は 5 ns のオーダーです。

前式とパラメータを使ってコンバータ効率を計算する場合、これらの式はすべてのコンバータ損失を表すのではないこと、および与えられたパラメータ値は代表値であることに注意してください。また、コンバータ性能は受動部品の選択とボード・レイアウトに依存するため、十分な安全余裕を計算に含める必要があります。

### LDO レギュレータの消費電力

LDO レギュレータの消費電力は次式で与えられます。

$$P_{DLDO} = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (12)$$

ここで、

$I_{LOAD}$ は LDO レギュレータの負荷電流。

$V_{IN}$ と  $V_{OUT}$ は LDO のそれぞれ入力電圧と出力電圧。

$I_{GND}$ は LDO レギュレータのグラウンド電流。

グラウンド電流による消費電力は小さいため無視できます。

**ADP5041** の合計消費電力は次のように簡単になります。

$$P_D = \{[P_{DBUCK} + P_{DLDO1} + P_{DLDO2}]\} \quad (13)$$

### ジャンクション温度

ボード温度  $T_A$  が既知の場合、熱抵抗パラメータ  $\theta_{JA}$  を使ってジャンクション温度上昇を計算することができます。 $T_J$  は次式を使って  $T_A$  と  $P_D$  から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (14)$$

20 ピン 4 mm × 4 mm LFCSP の  $\theta_{JA}$  は 38°C/W (typ) です(表 7 参照)。考慮すべき非常に重要なファクタは、 $\theta_{JA}$  が 4 層、4 インチ × 3 インチ、2.5 オンスの銅、JEDEC 標準に基づいていることであり、実際のアプリケーションではサイズと層数が異なる可能性があります。デバイスから熱を除去するためには、使用する銅の量を増やすことが重要です。空気に露出している銅は、内部層で使用される銅より放熱が優れています。エクスポーズド・パドル(EP)は、複数のビアでグラウンド・プレーンへ接続する必要があります(図 114)。

ケース温度が測定可能な場合は、ジャンクション温度は次式で計算されます。

$$T_J = T_C + (P_D \times \theta_{JC}) \quad (15)$$

ここで、

$T_C$ はケース温度。

$\theta_{JC}$ はジャンクション-ケース間の熱抵抗(表 7 に示します)。

特定の周囲温度範囲に対するアプリケーションをデザインする際には、すべてのチャンネルの消費電力による予想 **ADP5041** 消費電力( $P_D$ )を式 8~式 13 を使って計算してください。この電力計算から、ジャンクション温度  $T_J$  を式 14 により計算することができます。

降圧レギュレータと LDO レギュレータの信頼度の高い動作は、ADP5041 の予測チップジャンクション温度(式 14)が 125°C より低い場合にのみ実現することができます。信頼性と故障までの平均時間(MTBF)は、ジャンクション温度の増加により大きな影

響を受けます。製品の信頼性の詳細については、<http://www.analog.com/jp/quality-and-reliability/reliability-handbook/content/index.html> から提供しているアナログ・デバイセズの「Reliability Handbook」を参照してください。

アプリケーション図

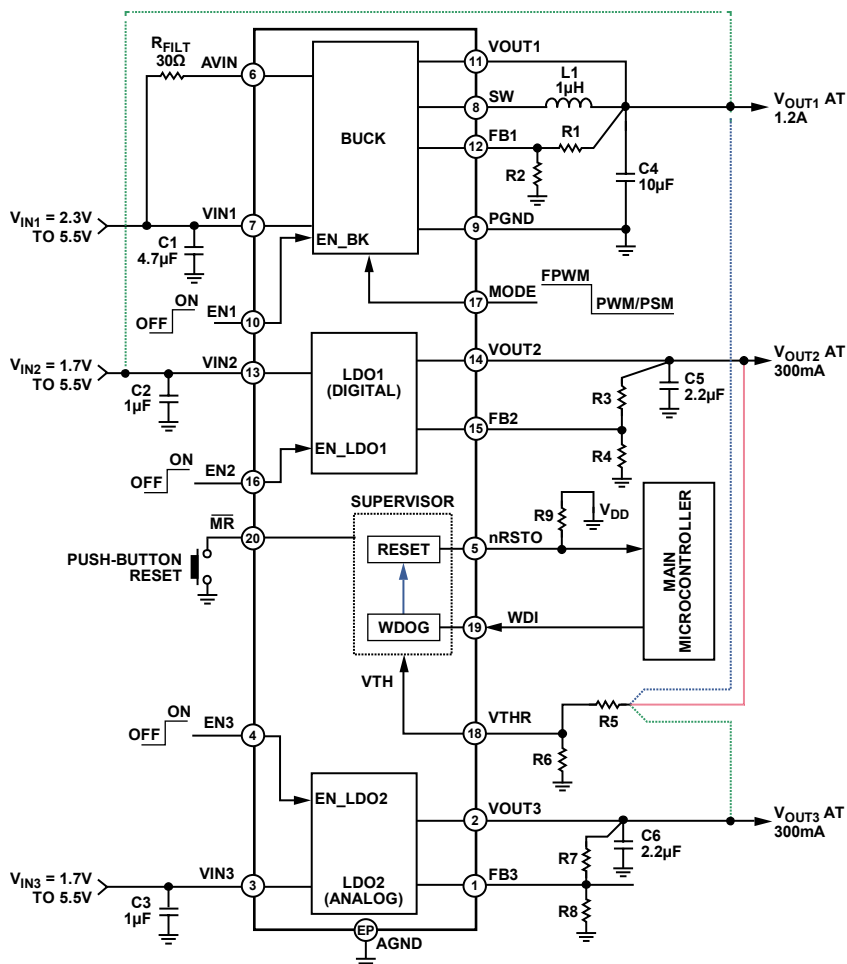


図 113.アプリケーション図

09652-103

## PCBレイアウト・ガイドライン

レイアウトが悪いと、ADP5041 の性能に影響があり、電磁干渉 (EMI) や電磁両立性 (EMC) の問題、グラウンド・バウンス、電圧損失などを引き起こします。また、レギュレーションや安定性に影響する場合があります。優れたレイアウトは次の手順を使って実現されます。

- 短いパターンを使用し、インダクタ、入力コンデンサ、出力コンデンサを IC の近くに配置します。これらの部品は高スイッチング周波数を伝送し、太いパターンはアンテナとして機能します。

- 出力電圧経路をインダクタや SW ノードから一定の距離を置いてルーティングし、ノイズと電磁干渉を最小限に抑えます。
- 部品側のグラウンド・メタルのサイズを最大限大きくして、放熱性を高めます。
- 部品面のグラウンドへ接続してある複数のビアを持つグラウンド・プレーンを使って、敏感な回路ノードのノイズ干渉をさらに減らします。

### 推奨レイアウト

レイアウト例を図 114 に示します。

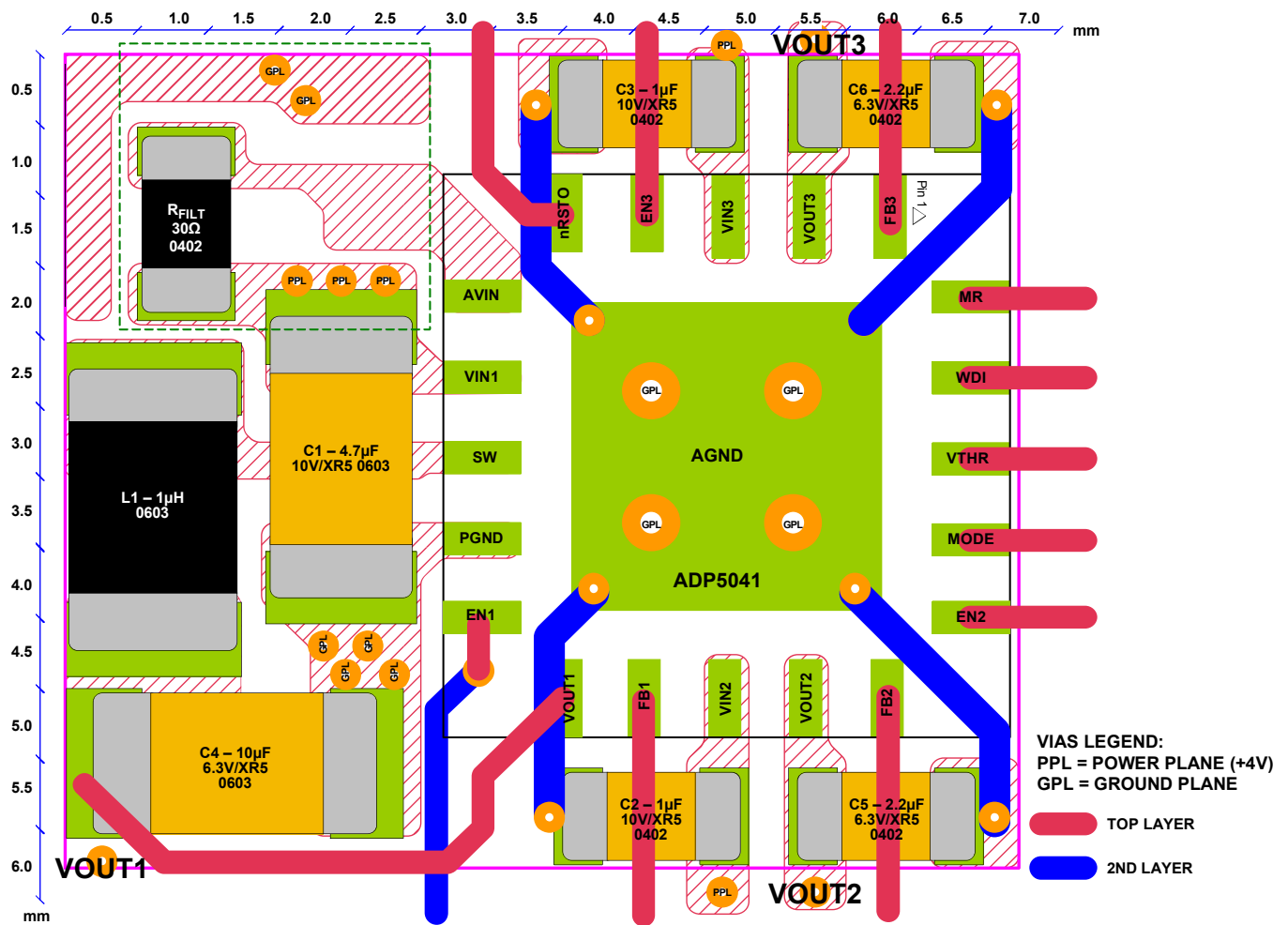


図 114. 推奨ボード・レイアウト

09852-102

## 部品表

表 14.

Reference	Value	Part Number	Vendor	Package
C1	4.7 $\mu$ F, X5R, 6.3 V	JMK107BJ475	Taiyo-Yuden	0603
C2, C3	1 $\mu$ F, X5R, 6.3 V	LMK105BJ105MV-F	Taiyo-Yuden	0402
C4	10 $\mu$ F, X5R, 6.3 V	JMK107BJ106MA-T	Taiyo-Yuden	0603
C5,C6	2.2 $\mu$ F, X5R, 6.3 V	JMK105BJ225MV-F	Taiyo-Yuden	0402
L1	1 $\mu$ H, 85 m $\Omega$ , 1400 mA	LQM2MPN1R0NG0B	Murata	2.0 $\times$ 1.6 $\times$ 0.9 (mm)
	1 $\mu$ H, 85 m $\Omega$ , 1350 mA	MDT2520-CN	Toko	2.5 $\times$ 2.0 $\times$ 1.2 (mm)
	1 $\mu$ H, 89 m $\Omega$ , 1800 mA	XPL2010-1102ML	Coilcraft	1.9 $\times$ 2.0 $\times$ 1.0 (mm)
IC1	3-regulator micro PMU	<a href="#">ADP5041</a>	Analog Devices	20-Lead LFCSP

## 出荷時設定オプション

表 15.レギュレータの出力放電抵抗オプション

Options	Description
Option 0	All discharge resistors disabled
Option 1	All discharge resistors enabled

表 16.低電圧ロックアウト・オプション

Options	Min	Typ	Max	Unit
Option 0	1.95	2.15	2.275	V
Option 1	3.10	3.65	3.90	V

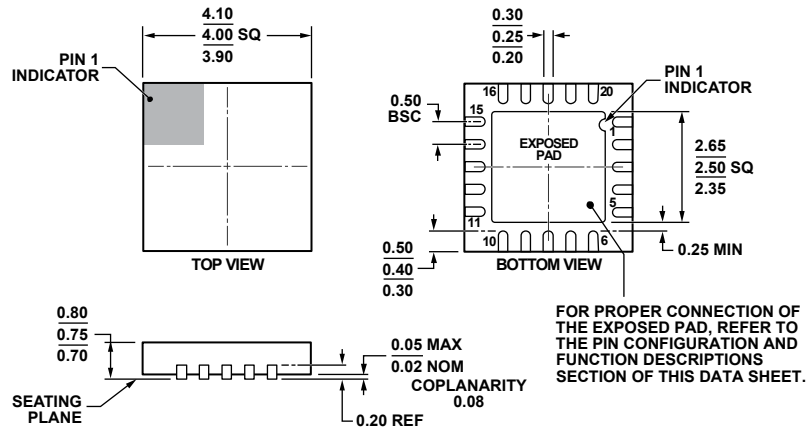
表 17.リセット・タイムアウト・オプション

Options	Min	Typ	Max	Unit
Option 0	24	30	36	ms
Option 1	160	200	240	ms

表 18.ウォッチドッグ・タイマ・オプション

Selection	Min	Typ	Max	Unit
Option 0	81.6	102	122.4	ms
Option 1	1.28	1.6	1.92	sec

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

図 115.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
4 mm x 4 mm ボディ、極薄クワッド  
(CP-20-10)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Settings	Temperature Range	Package Description	Package Option
ADP5041ACPZ-1-R7	WD t <sub>OUT</sub> = 1.6 sec Min reset t <sub>OUT</sub> = 160 ms V <sub>UVLO</sub> = 2.15 V Discharge resistors enabled	T <sub>J</sub> = -40°C to +125°C	20-Lead LFCSP_WQ	CP-20-10
ADP5041CP-1-EVALZ			Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。