

ADP1823

特長

- 300kHzまたは600kHzの固定周波数動作あるいは最大1MHzの同期動作
- 入力電圧範囲：3.7~20V
- パワー段の広い入力範囲：1~24V
- インターリーブ動作による低価格で小型の入力コンデンサ使用可能
- すべてNチャンネルのMOSFET使用で低価格設計が可能
- 0~70°Cで±0.85%の精度
- ソフトスタート、熱保護、過電流保護
- シャットダウン電源電流：10μA
- リニア・レギュレータ内蔵
- 無損失のR_{DS(on)}電流制限検出
- ソフトスタート時の逆電流防止機能でプリチャージ出力に対応
- 独立したパワーOK出力
- 電圧トラッキングによるシーケンシングまたはDDR終端
- 5mm×5mmの32ピンLFCSPパッケージ

アプリケーション

- 電気通信とネットワーキング・システム
- 医療用画像処理システム
- 基地局電源
- セットトップ・ボックス
- プリンタ
- DDR終端

概要

ADP1823は、多機能のインターリーブ型デュアル同期PWM降圧コントローラであり、1~24Vの電源入力電圧で、3.7~20Vの入力から2つの独立した出力を生成します。各コントローラは0.6Vから入力電圧の85%までの出力電圧に設定でき、ポイント・オブ・ロード・レギュレータ用の大きいMOSFETに対応できます。2つのチャンネルが180°の位相のずれで動作するため、入力コンデンサの負担が軽くなり、低価格の小型部品を利用できます。ADP1823は、DSPやプロセッサ・コアのI/O電源だけでなく、電気通信、医療用画像処理、PC、ゲーム機器、工業用アプリケーションにおける汎用電源など、広範な高電力アプリケーションに最適です。

ADP1823は、ピンで300kHzか600kHzに選択できる固定スイッチング周波数で動作し、外付け部品のサイズとコストがごくわずかになります。ノイズに敏感なアプリケーションの場合は、外部クロックに同期させて300kHz~1MHzのスイッチング周波数にすることもできます。スタートアップ時に入力電源からの突入電流を防ぐソフトスタート保護、ソフトスタート時の逆電流防止機能によるプリチャージ出力、外付けMOSFET検出を利用する調節可能な独自の無損失電流制限方式が備わっています。

代表的なアプリケーション回路

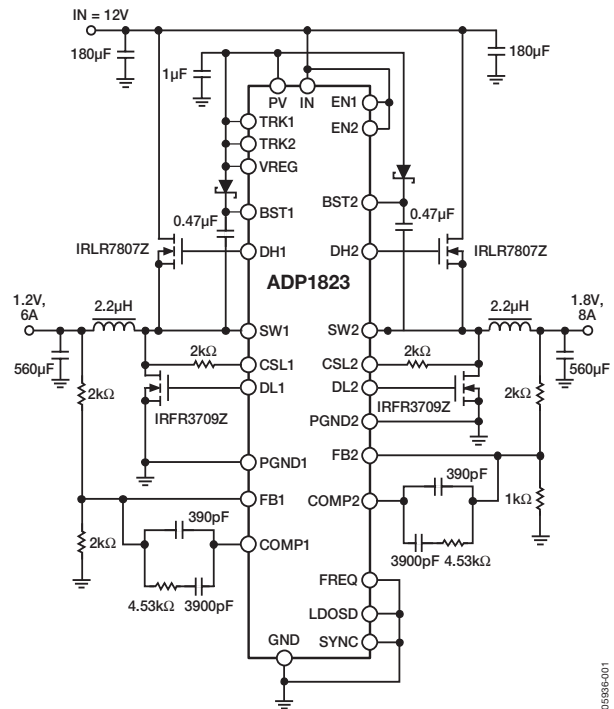


図1

電源シーケンスを必要とするアプリケーションの場合は、ADP1823のトラッキング入力によって、スタートアップ、シャットダウン、障害時に出力電圧をトラッキングできます。この特長を生かして、DDRメモリのバス終端を実装することもできます。

ADP1823は、-40~+125°Cのジャンクション温度範囲で仕様規定され、32ピンLFCSPパッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006-2007 Analog Devices, Inc. All rights reserved.

REV. C

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

ADP1823

目次

特長	1
アプリケーション	1
代表的なアプリケーション回路	1
概要	1
改訂履歴	2
仕様	3
絶対最大定格	5
ESDに関する注意	5
機能ブロック図	6
ピン配置と機能の説明	7
代表的な性能特性	9
動作原理	13
入力電力	13
起動ロジック	13
内部リニア・レギュレータ	13
発振器と同期	13
誤差アンプ	14
ソフトスタート	14
パワーOKインジケータ	14

トラッキング	14
MOSFETドライバ	15
電流制限	15
アプリケーション情報	16
入力コンデンサの選択	16
MOSFETの選択	17
電流制限の設定	18
帰還分圧器	18
電圧モード降圧レギュレータの補償	19
ソフトスタート	22
電圧トラッキング	22
同時トラッキング	23
レシオメトリック・トラッキング	23
熱に関する留意事項	24
PCボード・レイアウトのガイドライン	25
LFCSPパッケージに関する留意事項	26
アプリケーション回路	27
外形寸法	29
オーダー・ガイド	29

改訂履歴

7/07—Rev. B to Rev. C

Changes to Figure 34	27
----------------------	----

5/07—Rev. A to Rev. B

Changes to Features Section	1
Changes to General Description Section	1
Changes to Power Supply and Logic Thresholds Sections	3
Changes to Absolute Maximum Ratings Section	5
Changes to Figure 17	11
Changes to Theory of Operation Section	13
Changes to Current Limit Section	15
Changes to Setting the Current Limit Section	18
Changes to Compensating the Voltage Mode Buck Regulator Section	19
Added Figure 25	19
Removed Table 4	27
Changes to Application Circuits Section	27
Changes to Figure 34	27

11/06—Rev. 0 to Rev. A

Changes to Features and Applications Sections	1
Changes to Specifications Section	3
Changes to Absolute Maximum Ratings Section	5
Replaced Theory of Operation Section	13
Added Feedback Voltage Divider Section	18
Changes to Ratiometric Tracking Section	23
Replaced PCB Layout Guidelines Section	25
Added Application Circuits Section	29
Changes to Ordering Guide	31

4/06—Revision 0: Initial Version

仕様

特に指定のない限り、 $I_N=12V$ 、 $EN_x=FREQ=PV=VREG=5V$ 、 $SYNC=GND$ 、 $T_A=-40\sim+125^\circ C$ 。最高および最低温度でのすべての限界値は、標準的な統計的品質管理 (SQC) による相関で保証。typ値は $T_A=25^\circ C$ での値。

表1

パラメータ	条件	Min	Typ	Max	単位
電源					
IN入力電圧	PV=VREG (内部レギュレータを使用する場合)	5.5		20	V
	IN=PV=VREG (内部レギュレータを使用しない場合)	3.7		5.5	V
IN静止電流	スイッチングなし、 $I_{VREG}=0mA$		1.5	3	mA
INシャットダウン電流	EN1=EN2=GND		10	20	μA
VREGアンダー電圧ロックアウト・スレッシュホールド	VREG立上がり	2.4	2.7	2.9	V
VREGアンダー電圧ロックアウト・ヒステリシス			0.125		V
誤差アンプ					
FB1、FB2レギュレーション電圧	$T_A=25^\circ C$ 、TRK1、TRK2>700mV	597	600	603	mV
	$T_j=0\sim 85^\circ C$ 、TRK1、TRK2>700mV	591		609	mV
	$T_j=-40\sim+125^\circ C$ 、TRK1、TRK2>700mV	588		612	mV
	$T_j=0\sim 70^\circ C$ 、TRK1、TRK2>700mV	595		605	mV
FB1、FB2入力バイアス電流				100	nA
オープン・ループ電圧ゲイン			70		dB
ゲイン帯域幅積			20		MHz
COMP1、COMP2シンク電流			600		μA
COMP1、COMP2ソース電流			120		μA
COMP1、COMP2高クランプ電圧			2.4		V
COMP1、COMP2低クランプ電圧			0.75		V
リニア・レギュレータ					
VREG出力電圧	$T_A=25^\circ C$ 、 $I_{VREG}=20mA$	4.85	5.0	5.15	V
	IN=7~20V、 $I_{VREG}=0\sim 100mA$ 、 $T_A=-40\sim+85^\circ C$	4.75	5.0	5.25	V
VREG負荷レギュレーション	$I_{VREG}=0\sim 100mA$ 、IN=12V		-40		mV
VREGライン・レギュレーション	IN=7~20V、 $I_{VREG}=20mA$		1		mV
VREG電流制限	VREG=4V		220		mA
VREG短絡電流	VREG<0.5V	100	140	200	mA
IN~VREGドロップアウト電圧	$I_{VREG}=100mA$ 、IN<5V		0.7	1.4	V
VREG最小出力容量		1			μF
PWMコントローラ					
PWMランプ電圧のピーク	SYNC=GND		1.3		V
DH1、DH2最大デューティ・サイクル	FREQ=GND (300kHz)	85	90		%
DH1、DH2最小デューティ・サイクル	FREQ=GND (300kHz)		1	3	%
ソフトスタート					
SS1、SS2プルアップ抵抗	SS1、SS2=GND		90		k Ω
SS1、SS2プルダウン抵抗	SS1、SS2=0.6V		6		k Ω
SS1、SS2~FB1、FB2のオフセット電圧	SS1、SS2=0~500mV		-45		mV
SS1、SS2プルアップ電圧			0.8		V

ADP1823

パラメータ	条件	Min	Typ	Max	単位
トラッキング					
TRK1、TRK2コモン・モード入力電圧範囲		0		600	mV
TRK1、TRK2～FB1、FB2のオフセット電圧	TRK1、TRK2=0～500mV	-5		+5	mV
TRK1、TRK2入力バイアス電流				100	nA
発振器					
発振器周波数	SYNC=FREQ=GND ($f_{sw}=f_{osc}$)	240	300	370	kHz
	SYNC=GND、FREQ=VREG ($f_{sw}=f_{osc}$)	480	600	720	kHz
SYNC同期範囲 ¹	FREQ=GND、SYNC=600kHz～1.2MHz ($f_{sw}=f_{sync}/2$)	300		600	kHz
SYNC最小入力パルス幅	FREQ=VREG、SYNC=1.2～2 MHz ($f_{sw}=f_{sync}/2$)	600		1000 200	kHz ns
電流検出					
CSL1、CSL2スレッシュホールド電圧	PGNDを基準	-30	0	+30	mV
CSL1、CSL2出力電流	CSL1、CSL2=PGND	44	50	56	μA
電流検出ブランキング期間			100		ns
ゲート・ドライバ					
DH1、DH2立上がり時間	$C_{DH}=3nF$ 、 $V_{BST}-V_{SW}=5V$		15		ns
DH1、DH2立下がり時間	$C_{DH}=3nF$ 、 $V_{BST}-V_{SW}=5V$		10		ns
DL1、DL2立上がり時間	$C_{DL}=3nF$		15		ns
DL1、DL2立下がり時間	$C_{DL}=3nF$		10		ns
DH～DL、DL～DHのデッドタイム			40		ns
ロジック・スレッシュホールド					
SYNC、FREQ、LDOSD高入力電圧		2.2			V
SYNC、FREQ、LDOSD低入力電圧				0.4	V
SYNC、FREQ入力リーク電流	SYNC、FREQ=0～5.5V			1	μA
LDOSDプルダウン抵抗			100		kΩ
EN1、EN2高入力電圧	IN=3.7～20V	2.0			V
EN1、EN2低入力電圧	IN=3.7～20V			0.8	V
EN1、EN2電流源	EN1、EN2=0～3.0V	-0.3	-0.6	-1.5	μA
EN1、EN2ツェナー (5V) への 入力インピーダンス	EN1、EN2=5.5～20V		100		kΩ
サーマル・シャットダウン					
サーマル・シャットダウン・ スレッシュホールド ²			145		℃
サーマル・シャットダウン・ ヒステリシス ²			15		℃
パワーグッド					
FB1、UV2オーバー電圧スレッシュホールド	V_{FB1} 、 V_{UV2} 立上がり		750		mV
FB1、UV2オーバー電圧ヒステリシス			50		mV
FB1、UV2アンダー電圧スレッシュホールド	V_{FB1} 、 V_{UV2} 立上がり		550		mV
FB1、UV2アンダー電圧ヒステリシス			50		mV
POK1、POK2伝搬遅延			8		μs
POK1、POK2オフ時リーク電流	V_{POK1} 、 $V_{POK2}=5.5V$			1	μA
POK1、POK2ローレベル出力電圧	I_{POK1} 、 $I_{POK2}=10mA$		150	500	mV
UV2入力バイアス電流			10	100	nA

¹ SYNC入力周波数は、2×シングル・チャンネル・スイッチング周波数です。SYNC周波数は2分周し、個々の位相をコントローラへのクロック供給に使用します。

² これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

絶対最大定格

表2

パラメータ	定格値
IN, EN1, EN2	-0.3~+20V
BST1, BST2	-0.3~+30V
BST1, BST2~SW1, SW2	-0.3~+6V
CSL1, CSL2	-1~+30V
SW1, SW2	-2~+30V
DH1	SW1-0.3~BST1+0.3V
DH2	SW2-0.3~BST2+0.3V
DL1, DL2~PGND	-0.3~PV+0.3V
PGND~GND	±2V
LDOSD, SYNC, FREQ, COMP1, COMP2, SS1, SS2, FB1, FB2, VREG, PV, POK1, POK2, TRK1, TRK2	-0.3~+6V
θ_{JA} 4層 (JEDEC規格ボード) ^{1,2}	45°C/W
動作周囲温度	-40°C < T _A < +85°C
動作ジャンクション温度 ³	-55°C < T _J < +125°C
保存温度	-65~+150°C

¹ PCボードに露出パッドを付けて測定。

² パッケージの接合部一周間熱抵抗 (θ_{JA}) は、4層ボードを使用するモデリングと計算に基づいています。接合部一周間熱抵抗は、アプリケーションとボードレイアウトに依存します。高い最大消費電力が存在するアプリケーションでは、ボード設計において熱放散に注意する必要があります。詳細については、アプリケーション・ノート AN-772 『A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)』を参照してください。

³ 高い消費電力と弱いパッケージ熱抵抗が存在するアプリケーションでは、最大周囲温度のダイレーティングが必要なこともあります。最大周囲温度 (T_{A,MAX}) は、最大動作ジャンクション温度 (T_{J,MAX,OP}=125°C)、アプリケーションでのデバイスの最大消費電力 (P_{D,MAX})、およびアプリケーションでの製品/パッケージの接合部一周間熱抵抗 (θ_{JA}) に依存し、次の式で与えられます。T_{A,MAX} = T_{J,MAX,OP} - ($\theta_{JA} \times P_{D,MAX}$)

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ADP1823

機能ブロック図

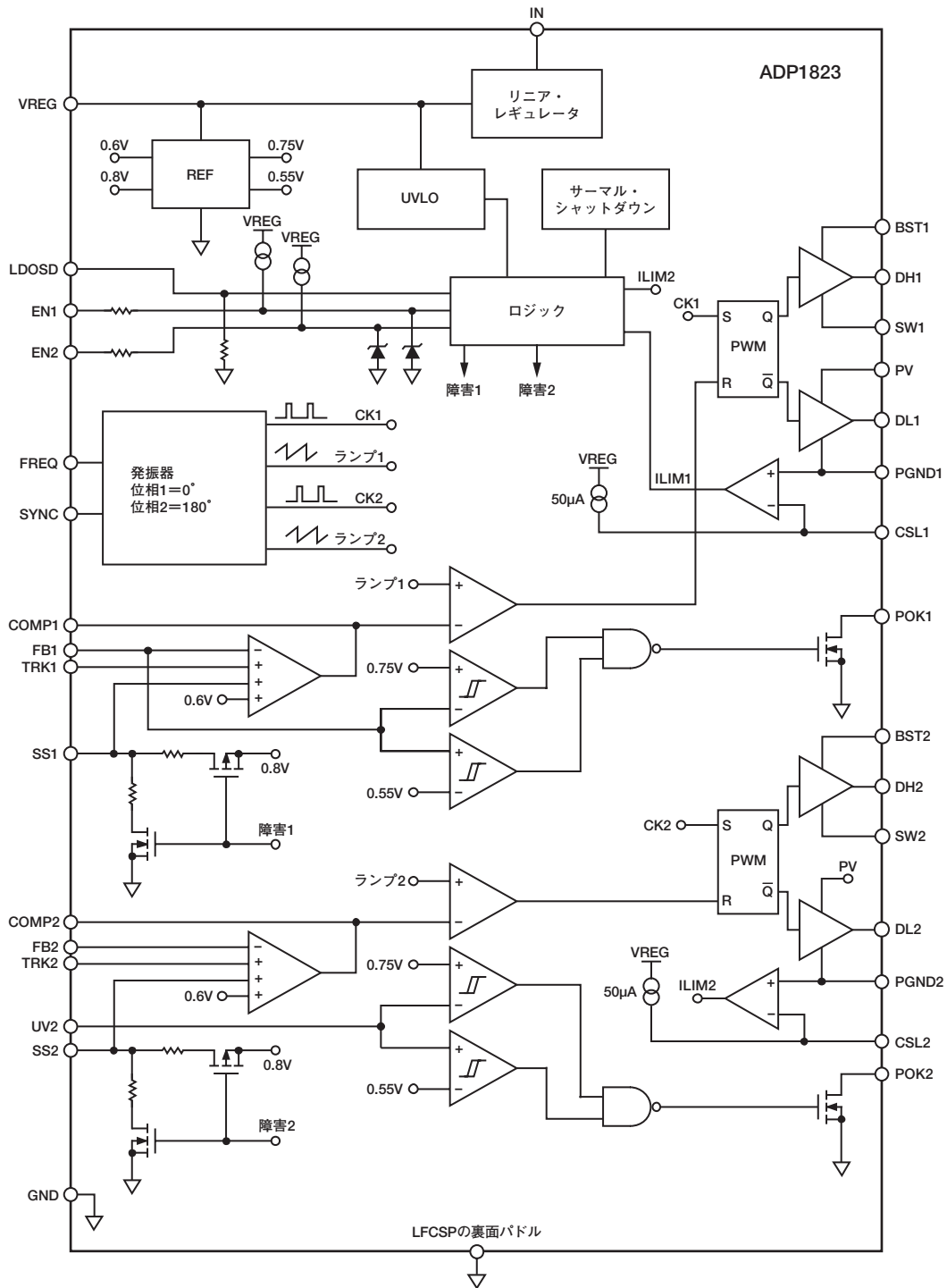


図2. 機能ブロック図

05936-002

ピン配置と機能の説明

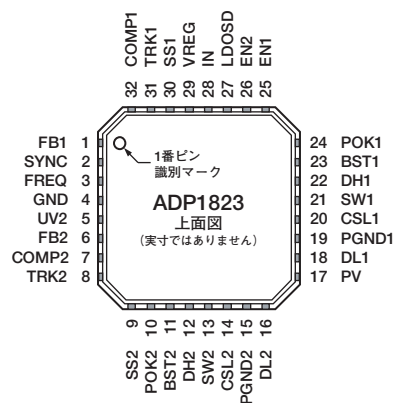


図3. ピン配置

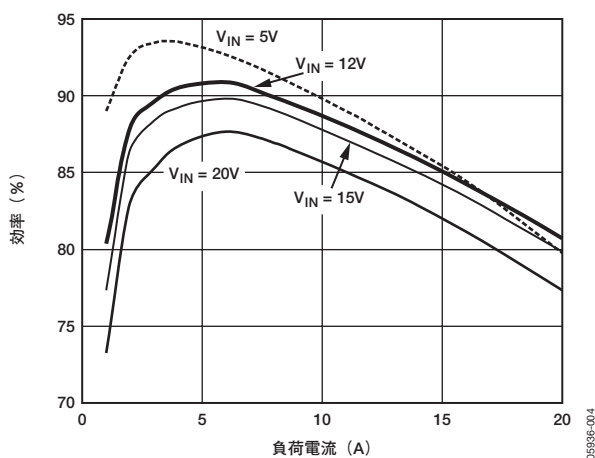
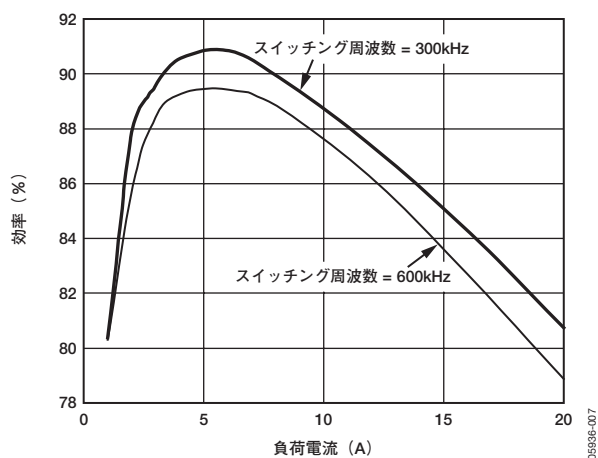
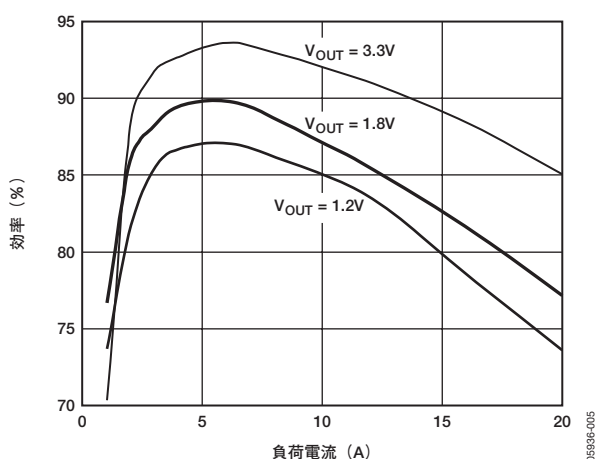
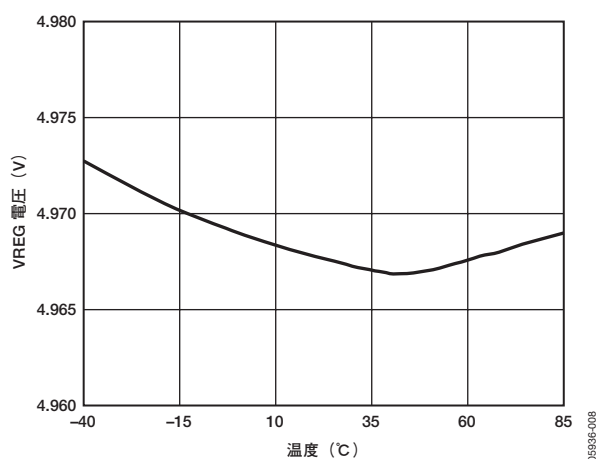
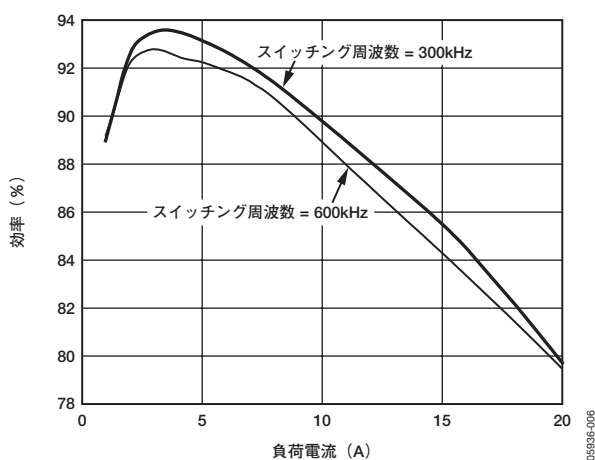
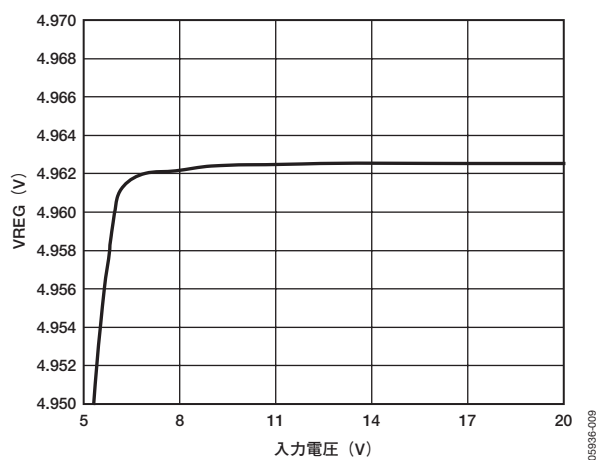
表3. ピン機能の説明

ピン番号	記号	説明
1	FB1	チャンネル1の帰還電圧入力。抵抗分圧器を降圧レギュレータ出力からGNDに接続し、タップをFB1に接続して出力電圧を設定します。
2	SYNC	周波数同期入力。FREQがローレベルかハイレベルかによって600kHz~1.2MHzまたは1.2~2MHzの外部信号を受け付けます。SYNCを使用しない場合は、グラウンドに接続します。
3	FREQ	周波数選択入力。ローレベルの場合は300kHz、ハイレベルの場合は600kHz。
4	GND	グラウンド。ADP1823の直下のグラウンド・プレーンに接続します。帰還分周器の底部をこのGNDに接続します。
5	UV2	POK2アンダー電圧／オーバー電圧コンパレータへの入力。デフォルト・スレッショルドの場合は、UV2をFB2に直接接続します。トラッキング・アプリケーションによっては、UV2をFB2分圧器列上のタップに接続します。
6	FB2	チャンネル2の電圧帰還入力。抵抗分圧器を降圧レギュレータ出力からGNDに接続し、タップをFB2に接続して出力電圧を設定します。
7	COMP2	チャンネル2の誤差アンプ出力。RCネットワークをCOMP2からFB2に接続してチャンネル2を補償します。
8	TRK2	チャンネル2のトラッキング入力。マスター電圧をトラッキングするには、TRK2を分圧器からマスター電圧まで駆動します。トラッキング機能を使用しない場合は、TRK2をVREGに接続します。
9	SS2	ソフトスタート制御入力。コンデンサをSS2からGNDに接続してソフトスタート時間を設定します。
10	POK2	チャンネル2のオープンドレイン・パワーOK出力。UV2が規定値を外れると電流をシンクします。プルアップ抵抗をPOK2からVREGに接続します。
11	BST2	チャンネル2のブースト・コンデンサ入力。ハイサイド・ゲート・ドライバDH2を動作します。BST2からSW2に0.22~0.47μFのセラミック・コンデンサを接続し、PVからBST2にショットキー・ダイオードを接続します。
12	DH2	チャンネル2のハイサイド（スイッチ）ゲート・ドライバ出力。
13	SW2	チャンネル2のスイッチ・ノード接続。
14	CSL2	チャンネル2の電流検出コンパレータ反転入力。CSL2とSW2の間に抵抗を接続して電流制限オフセットを設定します。
15	PGND2	チャンネル2のゲート・ドライバのグラウンド。ADP1823の直下のグラウンド・プレーンに接続します。
16	DL2	チャンネル2のローサイド（同期整流器）ゲート・ドライバ出力。
17	PV	ゲート・ドライバDL1とDL2の正側入力電圧。PVをVREGに接続し、1μFのコンデンサでグラウンドにバイパスします。
18	DL1	チャンネル1のローサイド（同期整流器）ゲート・ドライバ出力。
19	PGND1	チャンネル1のゲート・ドライバのグラウンド。ADP1823の直下のグラウンド・プレーンに接続します。
20	CSL1	チャンネル1の電流検出コンパレータ反転入力。CSL1とSW1の間に抵抗を接続して電流制限オフセットを設定します。

ADP1823

ピン番号	記号	説明
21	SW1	チャンネル1のスイッチ・ノード接続。
22	DH1	チャンネル1のハイサイド（スイッチ）ゲート・ドライバ出力。
23	BST1	チャンネル1のブースト・コンデンサ入力。ハイサイド・ゲート・ドライバDH1を作動します。BST1からSW1に0.22~0.47 μ Fのセラミック・コンデンサを接続し、PVからBST1にショットキー・ダイオードを接続します。
24	POK1	チャンネル1のオープンドレイン・パワーOK出力。FB1が規定値を外れると電流をシンクします。POK1からVREGにプルアップ抵抗を接続します。
25	EN1	チャンネル1のイネーブル入力。チャンネル1コントローラをターンオンするにはEN1をハイレベルに駆動し、ターンオフするにはローレベルに駆動します。イネーブルになると内部LDOを起動します。自動スタートアップには、INに接続します。
26	EN2	チャンネル2のイネーブル入力。チャンネル2コントローラをターンオンするにはEN2をハイレベルに駆動し、ターンオフするにはローレベルに駆動します。イネーブルになると内部LDOが起動します。自動スタートアップには、INに接続します。
27	LDOSD	LDOシャットダウン入力。INがVREGに直接接続されているアプリケーションで、LDOのシャットダウンにのみ使用します。それ以外の場合は、LDOSDをGNDに接続するか、オープン状態にしておきます（内部に100k Ω のプルダウン抵抗があります）。
28	IN	内部リニア・レギュレータへの入力電源。5.5~20VでINを駆動してLDOからADP1823に電力を供給します。3.7~5.5Vの入力電圧では、INをVREGとPVに接続します。
29	VREG	内部リニア・レギュレータ（LDO）の出力。内部回路とゲート・ドライバは、VREGから電力を供給します。1 μ Fのセラミック・コンデンサでVREGをグラウンド・プレーンにバイパスします。
30	SS1	ソフトスタート制御入力。SS1からGNDにコンデンサを接続してソフトスタート時間を設定します。
31	TRK1	チャンネル1のトラッキング入力。マスター電圧をトラッキングするには、TRK1を分圧器からマスター電圧まで駆動します。トラッキング機能を使用しない場合は、TRK1をVREGに接続します。
32	COMP1	チャンネル1の誤差アンプ出力。RCネットワークをCOMP1からFB1に接続してチャンネル1を補償します。

代表的な性能特性

図4. 負荷電流対効率 ($V_{OUT}=1.8V$ 、300kHz スイッチング)図7. 負荷電流対効率 ($V_{IN}=12V$ 、 $V_{OUT}=1.8V$)図5. 負荷電流対効率 ($V_{IN}=12V$ 、300kHz スイッチング)図8. V_{REG}電圧の温度特性図6. 負荷電流対効率 ($V_{IN}=5V$ 、 $V_{OUT}=1.8V$)図9. 入力電圧対V_{REG} (10mA負荷)

ADP1823

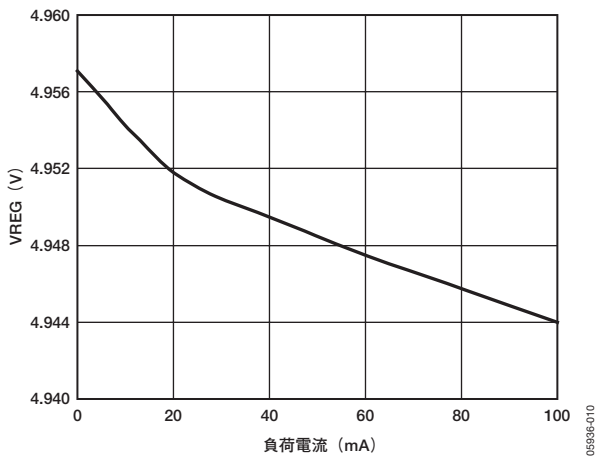


図10. 負荷電流 対 VREG ($V_{IN}=12V$)

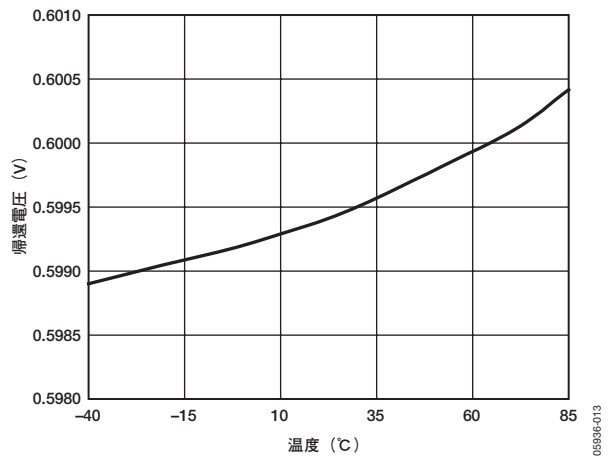


図13. 帰還電圧の温度特性 ($V_{IN}=12V$)

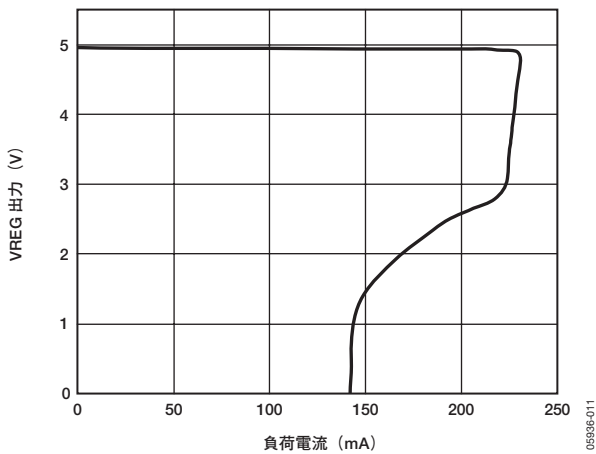


図11. VREG電流制限のフォールドバック

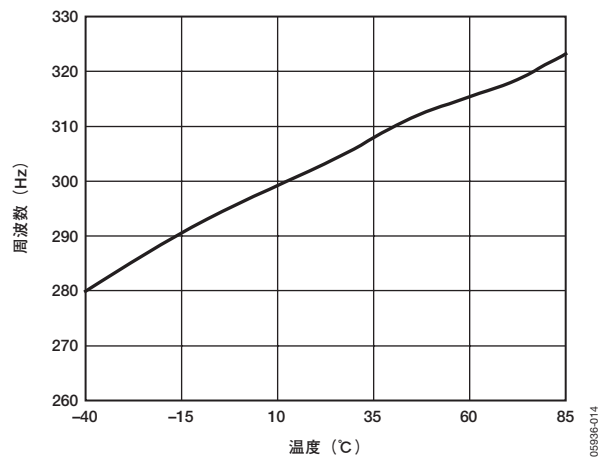


図14. スイッチング周波数の温度特性 ($V_{IN}=12V$)

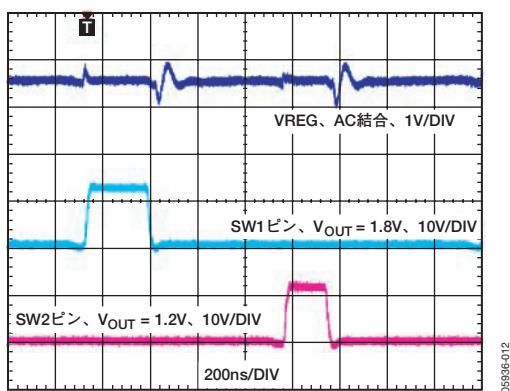


図12. 通常動作時のVREG出力

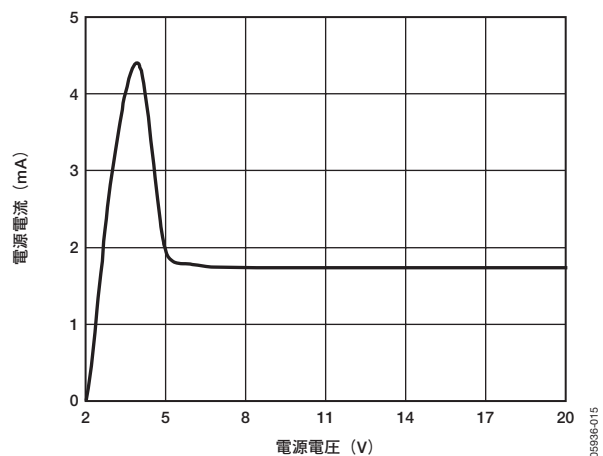


図15. 入力電圧 対 電源電流

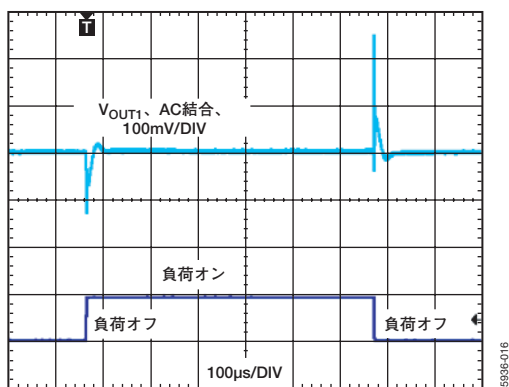


図16. 1.5~15Aの負荷過渡応答 ($V_{IN}=12V$)

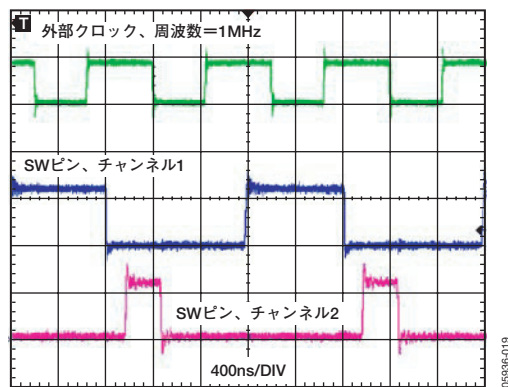


図19. 逆位相スイッチング (外付けの1MHzクロック)

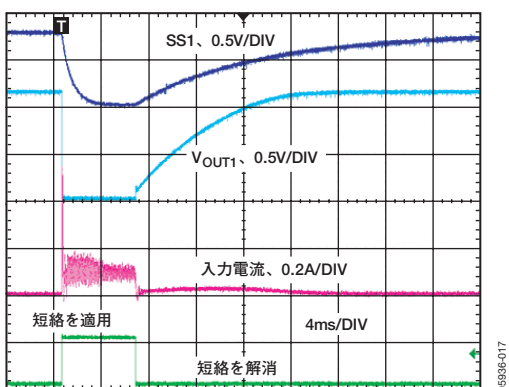


図17. 出力短絡応答

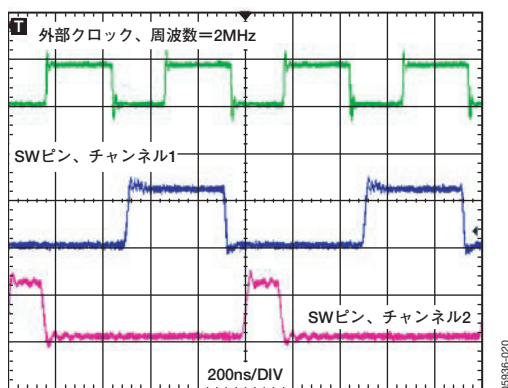


図20. 逆位相スイッチング (外付けの2MHzクロック)

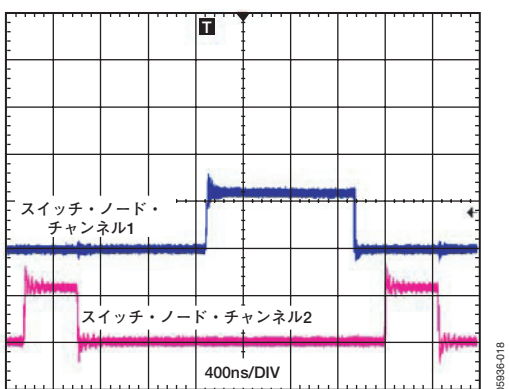


図18. 逆位相スイッチング (内部発振器)

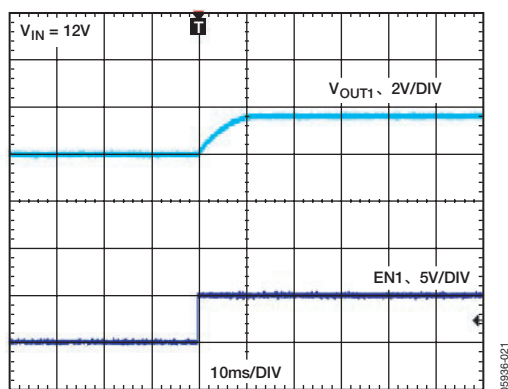


図21. イネーブル・ピン応答 ($V_{IN}=12V$)

ADP1823

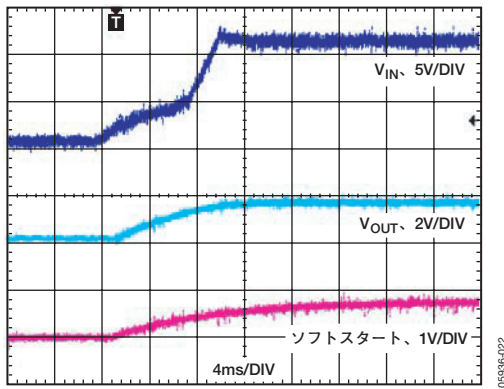


図22. パワーオン応答 (ENをV_{IN}に接続)

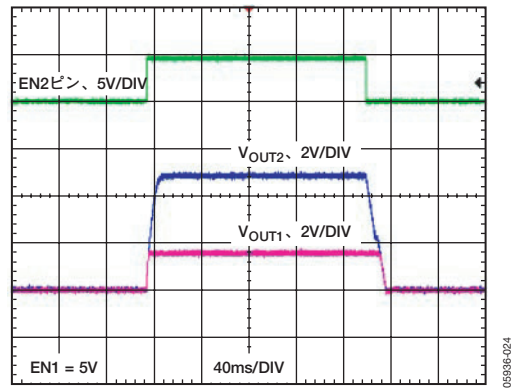


図24. 電圧一致のトラッキング応答

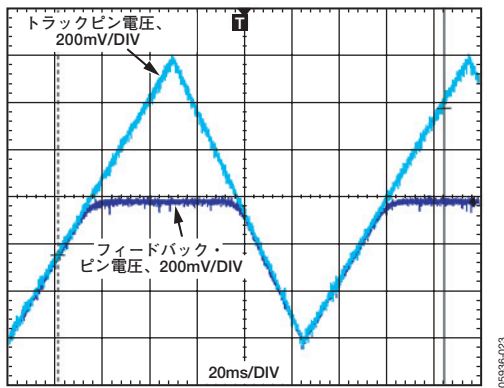


図23. 出力電圧のトラッキング応答

動作原理

ADP1823は、デュアル同期PWM降圧コントローラであり、0.6Vまでの出力電圧と数十アンペアの出力電流を生成できます。レギュレータのスイッチングをインターリーブすることで、電流リップルを低減します。ADP1823は、DSPやプロセッサ・コアのI/O電源だけでなく、電気通信、医療用画像処理、ゲーム機器、PC、セットトップ・ボックス、工業用制御の汎用電源など広範なアプリケーションに最適です。ADP1823コントローラは3.7~20Vで直接動作します。パワー段の入力電圧範囲は1~24Vであり、ハイサイドの外付けパワーMOSFETのドレインに直接印加されます。内部およびゲート駆動バイアス用のリニア・レギュレータと完全集積型のMOSFETゲート・ドライバを備えています。

ADP1823は、300kHzまたは600kHzの固定スイッチング周波数で動作します。外部クロックに同期させ、チャンネル当たり最高1MHzのスイッチングも可能です。スタートアップ時の突入電流を防止するソフトスタート機能と調節可能な独自の無損失電流制限機能も備えています。

ADP1823には、スタートアップおよびシャットダウン・シーケンシング用に柔軟なトラッキング機能があります。-40~+125℃の温度範囲で仕様規定されており、省スペースの5mm×5mm、32ピンLFCSPを採用しています。

入力電力

ADP1823は、INピンから最高20Vの電力を受け付けます。内部の低ドロップアウト・リニア・レギュレータVREGが、IN電圧を5Vまで調整します。制御回路、ゲート・ドライバ、外付けブースト・コンデンサは、LDO出力から動作します。PVピンをVREGに接続し、1μF以上のコンデンサでVREGをバイパスします。

ADP1823は、2つの降圧コンバータのスイッチングを180°位相シフトすることによって、入力リップル電流を低減します。これによって、入力コンデンサのサイズとコストが小さくなります。入力電圧は、ハイサイド・スイッチMOSFETに近接するコンデンサでバイパスします（「入力コンデンサの選択」を参照）。また、INピンのできるだけ近くに、少なくとも0.1μFのセラミック・コンデンサを配置します。

アンダー電圧ロックアウト（UVLO）回路がVREG出力をチェックし、コントローラとゲート・ドライバを実行するために十分な電圧ヘッドルームがあるか確認します。VREGが約2.7V以上になって立ち上がると、コントローラがイネーブルになります。UVLOは、IN電圧を直接監視するわけではありません。IN電圧の不足によってVREGがUVLOスレッシュホールドを超えることができない場合、コントローラがデイスエーブルになりますが、LDOはそのまま動作します。VREGがたとえUVLOスレッシュホールドを下回る場合でも、EN1またはEN2がハイレベルになるたびにLDOはイネーブルになります。

希望する入力電圧が3.7~5.5Vの場合は、INをVREGとPVピンに直接接続し、LDOSDをハイレベルに駆動して内部レギュレータをデイスエーブルにします。ADP1823では、VREGとPVの電圧を5.5V以下に制限する必要があります。LDOSDピンを使用するのはこの場合のみで、その他の場合は接地するかオープン状態にします。LDOSDには、100kΩのプルダウン抵抗が内蔵されています。

INは20Vまでですが、ゲート駆動に対応するためにスイッチング段は最大24Vから動作でき、BSTピンは最大30Vまで可能です。これは、高入力電圧からの高周波動作の場合などに便利です。スイッチを高電源電圧レールから動作させながら、INを低電源電圧レールから実行することにより、ADP1823の消費電力を制限できます。

起動ロジック

ADP1823には、チャンネルごとに独立したイネーブル入力があります。それぞれのコントローラをイネーブルにするには、EN1またはEN2をハイレベルに駆動します。チャンネルのどちらかがイネーブルになると、LDOが起動します。コントローラが2つともデイスエーブルになると、LDOがデイスエーブルになり、IN静止電流は約10μAまで降下します。自動スタートアップは、EN1またはEN2、あるいは両方をINに接続します。イネーブル・ピンは20V準拠ですが、ENピン電圧が約5Vを超えると、内部の100kΩ抵抗から電流をシンクします。

内部リニア・レギュレータ

内部リニア・レギュレータVREGは低ドロップアウトであるため、その出力電圧を入力電圧の近くに調整できます。VREGは内部制御を起動し、ゲート・ドライバにバイアスを提供します。100mAを超える出力電流に対応できることが保証されており、最大1MHzで駆動する代表的なロジック・スレッシュホールドMOSFETのゲート駆動条件を十分に満たします。1μF以上のコンデンサでVREGをバイパスします。

LDOはゲート駆動電流を提供するため、ドライバがスイッチングし、各スイッチング・サイクルでブースト・コンデンサが再充電するときに、VREGの出力が急激な過渡電流にさらされます。LDOは、過負荷障害を生じることなく、こうしたトランジェントに対応できるように最適化されています。ゲート駆動の負荷を考慮すると、VREG出力を他の補助システム負荷に使用することは推奨できません。

LDOには、予想される最大ゲート駆動負荷を十分に上回る電流制限があります。この電流制限には、障害が発生した場合にVREG電流をさらに制限するための短絡フォールドバックも含まれます。

発振器と同期

ADP1823の内部発振器は、300kHzまたは600kHzに設定できます。300kHzの場合はFREQピンをローレベルに駆動し、600kHzの場合はハイレベルに駆動します。発振器はスイッチング位相ごとに起動クロックを生成し、PWM変調用の内部ランプ電圧も生成します。

SYNC入力はコンバータのスイッチング周波数を外部信号に同期させる場合に使用します。SYNC入力は、希望するスイッチング周波数の2倍で駆動してください。これは、SYNC入力が2分周され、得られた位相を使って2つのチャンネルを交互にクロック駆動するためです。

ADP1823

FREQをローレベルに駆動する場合は、推奨のSYNC入力周波数は600kHz~1.2MHzです。FREQをハイレベルに駆動する場合は、1.2~2MHzのSYNC周波数を推奨します。PWM電圧ランプは周波数オーバードライブのパーセンテージによって約1.3Vからスケールダウンするため、FREQ設定でSYNC周波数の範囲を守るように十分注意してください。FREQ設定の推奨値以上にSYNCを駆動すると、小さなランプ信号が生じ、S/N比や変調器のゲインと安定性に影響することがあります。

最初のSYNCエッジで外部クロックが検出されると、内部発振器がリセットされ、クロック制御がSYNCにシフトします。次いで、SYNCエッジがPWM出力のそれ以降のクロッキングをトリガします。DH立上がりエッジは対応するSYNCエッジの約400ns後に出現し、周波数は外部信号にロックされます。チャンネル1とチャンネル2のスタートアップ条件に応じて、チャンネル1またはチャンネル2を、SYNCクロックの立上がりエッジに同期される最初のチャンネルとすることができます。動作中に外部SYNC信号が消えると、ADP1823は内部発振器に逆戻りし、最大で内部発振器の1サイクル分の遅延が生じます。

誤差アンプ

ADP1823の誤差アンプはオペアンプです。FB1ピンとFB2ピンの外付け抵抗分圧器を通じて出力電圧を感知します。FBピンは、誤差アンプへの反転入力です。誤差アンプは、これらの帰還電圧と内部の0.6Vリファレンスを比較します。誤差アンプの出力は、COMP1ピンとCOMP2ピンで得られます。COMPピン電圧によって、各スイッチング・コンバータのデューティ・サイクルを直接制御します。

FBピンとそれぞれのCOMPピンの間を直列/並列のRCネットワークで接続し、降圧コンバータの制御ループの補償を行います。システムの補償の詳細な設計手順については、「電圧モード降圧レギュレータの補償」を参照してください。

誤差アンプの出力は、約0.7Vの下限と約2.4Vの上限との間でクランプされます。COMPピンがローレベルの場合はスイッチング・デューティ・サイクルが0%になり、ハイレベルの場合は最大になります。

SSピンとTRKピンは、誤差アンプへの補助正側入力です。SS、TRK、内部の0.6Vリファレンスのうち最小の電圧がFBピンの電圧を制御し、これによって出力を制御します。その結果、これらの入力のうち2つ以上が接近している場合は、誤差アンプに小さなオフセットが加えられます。たとえば、TRKが0.6Vリファレンスに接近した場合には、FBには、室温で約18mVの負のオフセットが加えられます。このため、ソフトスタート・ピンには負のオフセットが組み込まれており、0.8Vに充電されます。TRKピンを使用しない場合は、VREGにハイレベルに接続します。

ソフトスタート

ADP1823のプログラマブル・ソフトスタート機能は、入力過渡電流を低減し、出力オーバーシュートを防止します。SS1ピンとSS2ピンが補助正側入力をそれぞれの誤差アンプに合わせて駆動するため、これらのピンの電圧によってそれぞれのフィードバック制御ピンの電圧が調整されます。

ソフトスタートを設定するには、SS1とSS2からGNDにコンデンサを接続します。スタートアップ時に、コンデンサが内部の90kΩ抵抗から0.8Vまで充電されます。レギュレータの出力電圧がそれぞれのソフトスタート・ピンの電圧にともなって上昇するため、出力電圧の増加がゆるやかになり、突入電流が減少します。「アプリケーション情報」の「ソフトスタート」を参照してください。

コントローラがディスエーブルになっていたり電流障害が発生すると、ソフトスタート・コンデンサが内部の6kΩ抵抗から放電されるため、障害からのリスタートまたは回復時にも出力電圧がソフトスタートします。

パワーOKインジケータ

ADP1823には、オープンドレインのパワーOK出力であるPOK1とPOK2があります。それぞれの出力電圧が一般に公称レギュレーション電圧より8%低下すると、POKが電流をシンクします。POKピンは、25% (typ) のオーバー電圧でもローレベルになります。この出力を論理パワーグッド信号に使用するには、POK1とPOK2からVREGにプルアップ抵抗を接続します。

POK1コンパレータはFB1を直接監視します。アンダー電圧のスレッシュホールドは550mV、オーバー電圧のスレッシュホールドは750mVに固定されています。POK2のアンダー電圧/オーバー電圧コンパレータ入力は、FB2ではなくUV2に接続します。FB2でデフォルト・スレッシュホールドを得るには、UV2をFB2に直接接続します。

レシオメトリック・トラッキング設定では、チャンネル2をマスター電圧の何分の1かに設定し、FB2を0.6Vの内部リファレンスより低い電圧に調整することもできます。この設定では、UV2を帰還分周器上の別のタップに接続することで、適切な出力電圧スレッシュホールドでPOK2の指示を利用することができます。「レシオメトリック・トラッキングのためのチャンネル2アンダー電圧スレッシュホールドの設定」を参照してください。

トラッキング

ADP1823にはトラッキング入力のTRK1とTRK2があり、その出力電圧を別のマスター電圧にトラッキングさせることができます。この機能は、コアおよびI/Oの電圧シーケンシング・アプリケーションでADP1823の1つの出力を別の出力をトラッキングするように設定し、その出力を超えないようにする場合や、特定のシーケンシングが要求される複数の出力システムにおいて特に便利です。

内部誤差アンプには、0.6Vの内部リファレンス電圧、それぞれのSSピンとTRKピンの3つの正側入力があります。誤差アンプは、FBピンを3つのうちで最低の入力に調整します。電源電圧をトラッキングするには、トラッキングされる電圧からの抵抗分圧器にTRKピンを接続します。「電圧トラッキング」を参照してください。

MOSFETドライバ

ハイサイド・スイッチMOSFETは、DH1ピンとDH2ピンで駆動します。MOSFETはブーストされた5Vゲート・ドライバで、ブートストラップ・コンデンサ回路で電力を供給します。この設定では、ハイサイドのNチャンネルMOSFETゲートを入力電圧以上に駆動できるため、MOSFETの両端での低電圧降下とフル拡張が実現します。ブートストラップ・コンデンサは、SWピンからそれぞれのBSTピンの間に接続します。SWノードがローレベルになるたびに、PVピンからBSTピンへのブートストラップ・ショットキー・ダイオードがブースト・コンデンサを再充電します。ハイサイドMOSFETの入力容量より100倍以上大きい値のブートストラップ・コンデンサを使用してください。

実際上スイッチ・ノードは最大24Vの入力電圧まで可能で、ブースト・ノードはこれを5V以上上回る動作でフル・ゲート駆動を実行できます。INピンは、3.7~20Vに対応します。これは、非常に高い入力電圧からの高周波動作の場合などに適しています。ADP1823の電力損失を制限するには、高電源電圧レールからスイッチを動作させながら低い電源電圧レールからINを実行します。

スイッチング・サイクルは、内部クロック信号によって開始します。ハイサイドMOSFETは、DHドライバによってターンオンします。SWノードがハイレベルとなり、インダクタ上でプルアップされます。内部で生成されたランプ信号がCOMPピン電圧に達すると、DLドライバによってスイッチMOSFETがターンオフされ、ローサイドの同期整流器MOSFETがターンオンします。アクティブなブレイク・ビフォア・メーク回路と補助的な固定デッドタイムを利用して、スイッチでのクロス導通を防止します。

DL1ピンとDL2ピンは、ローサイドMOSFETの同期整流器にゲート駆動を提供します。クロス導通を防止するために、内部回路が外付けMOSFETを監視してブレイク・ビフォア・メークのスイッチングが行われるようにします。アクティブなデッドタイム低減回路によってスイッチングのブレイク・ビフォア・メーク時間を低減し、同期整流器のボディ・ダイオードを流れる電流に起因する損失を制限します。

PVピンは、ローサイドのドライバに電力を供給します。入力最大5.5Vまでで、ローカルなデカップリング・コンデンサが必要です。

電流を感知するために、各スイッチング・サイクルで最小約200nsの間、同期整流器がターンオンします。これと非オーバーラップ・デッドタイムにより、選択したスイッチング周波数に基づいて最大ハイサイド・スイッチ・デューティ・サイクルに制限が生じます。一般に、最大デューティ・サイクルは300kHzのスイッチングで約90%、1MHzのスイッチングで約70%まで減少します。

2つのチャンネルは位相が180°ずれているため、一方が約50%のデューティ・サイクルで動作している場合、もう一方のチャンネルがスイッチングを開始すると、一般にジッタが発生します。ジッタの大きさはレイアウトにもよりますが、実際上回避することは困難です。

ADP1823がデイスエーブルになると、ドライバが外付けMOSFETをシャットオフするため、SWノードがスリーステート状態になるか高インピーダンスになります。

電流制限

ADP1823は、サイクルベースでプログラマブルな独自の無損失電流制限回路を使用しています。この回路は、小型で安価な通常の抵抗を使用してスレッショールドを設定します。各スイッチング・サイクルで同期整流器が最小時間ターンオンし、オフサイクル中にMOSFETの $R_{DS(on)}$ の両端で電圧降下を測定して電流が高すぎないか判定します。

この測定は、内部電流制限コンパレータと外付け電流制限設定抵抗によって行われます。この抵抗は、スイッチ・ノード（つまり、整流器MOSFETのドレイン）とCSLピンとの間に接続されます。コンパレータの反転入力であるCSLピンにより、抵抗に50 μ Aの電流が流れ、その両端にオフセット電圧降下が生じます。

MOSFET整流器にインダクタ電流が流れると、そのドレインは $R_{DS(on)}$ の両端の電圧降下によってPGNDを下回ります。 $R_{DS(on)}$ の電圧降下が外付け抵抗のプリセット降下を超えると、反転コンパレータ入力が同様にPGNDを下回り、過電流障害を示すフラグが立てられます。

スイッチ・ノードでの通常の過渡的なリングングは、同期整流器がターンオンした後100nsの間は無視されます。したがって、過電流状態も100nsの間持続的に検出されなければ、障害を示すフラグは立てられません。

過電流イベントが発生すると、整流器電流がスレッショールドを下回って減衰するまでは、過電流コンパレータがスイッチング・サイクルを抑制します。スイッチ・ノードのリングングが電流制限を誤って作動させることを防止するために、同期整流器サイクルの最初の100nsの間、過電流コンパレータはブランクにされます。ADP1823は、オフサイクル中に電流制限を検出します。電流制限状態が発生すると、過電流状態が消えるまで、ADP1823は内部クロックをリセットします。これにより、過負荷状態が解消されるまで、起動クロック・サイクルは抑制されます。同時に、6k Ω 抵抗を通じてSSコンデンサが放電されます。SS入力は、誤差アンプの補助正側入力であるため、別の電圧リファレンスであるかのように動作します。最も低いリファレンス電圧が勝利します。SS電圧を放電することにより、スイッチングが再び許可されると、コンパレータは低い電圧リファレンスを使用します。したがって、スイッチング・サイクルは電流制限のあたりで維持されるため、整流器限界のおかげで出力はおおむね定電流源のように見えます。また、負荷抵抗が減少するにつれて、出力電圧は垂下します。短絡が発生した場合には、短絡出力電流は、 R_{CL} 抵抗によって設定される電流制限であり、サイクル単位でモニタされます。過電流状態が解消されると、ソフト・スタート・モードで動作が再開されます。

短絡が発生した場合には、ADP1823では、追加の抵抗を使用することによって電流制限フォールドバックを実装することもできます。詳細については「電流制限の設定」を参照してください。

アプリケーション情報

入力コンデンサの選択

降圧コンバータへの入力電流はパルス波形です。この電流は、ハイサイド・スイッチがオフの時はゼロ、オンの時は負荷電流にほぼ等しくなります。入力コンデンサが入力リップル電流を運ぶため、入力電源からはDC電流のみが得られます。入力コンデンサには、入力リップルに対応するために十分なリップル電流定格と、入力電圧リップルを低減するために十分に低いESRが必要です。これらのコンバータの通常の電流範囲では、2つの並列コンデンサをハイサイド・スイッチMOSFETのドレインの近くに配置し、式1で計算した高い電流定格のバルク・コンデンサと10 μ Fのセラミック・コンデンサを使用するとよいでしょう。

入力バルク・コンデンサは、そのリップル電流定格に基づいて選択します。チャンネル1とチャンネル2の最大出力負荷電流がほぼ等しい場合、入力リップル電流は、出力負荷電流のいずれか高い方の半分よりも小さくなります。この場合、リップル電流定格が高い方の負荷電流の半分よりも大きい入力コンデンサを使用します。

$$I_{\text{RIPPLE}} > \frac{I_L}{2} \quad (1)$$

出力1と出力2の負荷電流が大幅に異なる場合（小さい方が大きい方の50%より小さい場合）は、式1の手順では、入力コンデンサの値が必要以上に大きくなってしまいます。この場合は、高い方の負荷電流のみの単相コンバータの場合のように入力コンデンサを選択します。まず、大きい方の負荷電流で出力のデューティ・サイクルを求めます。

$$D = \frac{V_{\text{OUT}}}{V_{\text{IN}}} \quad (2)$$

この場合、入力コンデンサのリップル電流はおよそ次のような値になります。

$$I_{\text{RIPPLE}} \doteq I_L \sqrt{D(1-D)} \quad (3)$$

ここで、 I_L はそのチャンネルの最大のインダクタまたは負荷電流、 D はデューティ・サイクルです。20~80%のデューティ・サイクルについては、この方法で入力コンデンサのリップル電流定格を決めます。

20%未満または80%を超えるデューティ・サイクルの場合は、リップル電流定格 I_{RIPPLE} が0.4 I_L 超の入力コンデンサを使用します。

出力LCフィルタの選択

出力LCフィルタはスイッチング電圧を減衰させて、出力をほぼDC電圧にします。残留出力リップル電圧は、この出力LCフィルタの特性によって決まります。

インダクタの値は、インダクタ・リップル電流が最大DC出力負荷電流の約1/3になるように選択します。大きい値のインダクタを使用すると必要以上に物理サイズが大きくなり、小さい値を使用するとインダクタとMOSFETにおける損失が増加します。

インダクタの値は、次の式を使って選択します。

$$L = \frac{V_{\text{IN}} - V_{\text{OUT}}}{\Delta I_L f_{\text{SW}}} \left(\frac{V_{\text{OUT}}}{V_{\text{IN}}} \right) \quad (4)$$

ここで、

L はインダクタ値です。

f_{sw} はスイッチング周波数です。

V_{OUT} は出力電圧です。

V_{IN} は入力電圧です。

ΔI_L はインダクタ・リップル電流です。一般に最大DC負荷電流の1/3になります。

出力バルク・コンデンサを選択し、希望する出力電圧リップルを設定します。スイッチング周波数での出力コンデンサのインピーダンスにリップル電流を乗算することで、出力電圧リップルが得られます。インピーダンスは、容量性インピーダンスに、非理想的な寄生特性、等価直列抵抗（ESR）、等価直列インダクタンス（ESL）を加えたものになります。出力電圧リップルのおよその値は、次の式で得られます。

$$\Delta V_{\text{OUT}} = \Delta I_L \left(\text{ESR} + \frac{1}{8f_{\text{sw}}C_{\text{OUT}}} + 4f_{\text{sw}}\text{ESL} \right) \quad (5)$$

ここで、

ΔV_{OUT} は出力リップル電圧です。

ΔI_L はインダクタ・リップル電流です。

ESRは出力コンデンサの等価直列抵抗（またはすべての出力コンデンサのESRの並列接続）です。

ESLは出力コンデンサの等価直列インダクタンス（またはすべてのコンデンサのESLの並列接続）です。

式5の係数8と4はサイン波形の場合は一般に 2π になりますが、このアプリケーションのリップル電流波形は三角形です。異なるタイプのコンデンサ（たとえば、大きなアルミニウム電解コンデンサとMLCC）を並列接続すると、これとは異なる結果になることがあります。

通常、コンデンサのデータシートの最大ESR定格に記載されているように、主なインピーダンスはスイッチング周波数でのESRになります。したがって、この式は次のようになります。

$$\Delta V_{\text{OUT}} \doteq \Delta I_L \text{ESR} \quad (6)$$

電解コンデンサには、そのタイプやサイズ、形状によって、5~20nHレベルのかなり大きいESLもあります。さらに、PCボードのパターンからもいくらかのESRとESLが加わります。それでも、コンデンサのデータシートに記載された最大ESR定格を使用すれば、一般にいくらか余裕があるため、通常はESLを測定する必要はありません。

スイッチング周波数でESRとESLのインピーダンスが小さい出力コンデンサの場合（たとえば、出力コンデンサが並列MLCCコンデンサのバンクになっている場合）は、容量性インピーダンスが優位となり、リップルの式は次のようになります。

$$\Delta V_{OUT} \doteq \frac{\Delta I_L}{8C_{OUT}f_{SW}} \quad (7)$$

出力コンデンサのリップル電流定格がインダクタの最大リップル電流より大きくなるようにしてください。

出力での負荷ステップ過渡応答の間、制御ループがインダクタ電流をランプさせることができるまで出力コンデンサが負荷を供給します。このような負荷の変化に起因する初期の出力電圧偏差は、出力コンデンサの特性に依存します。この場合も、一般にコンデンサESRがこの応答の中心になります。負荷ステップ電流値を ΔI_L として、式6の ΔV_{OUT} を使用できます。

MOSFETの選択

MOSFETの選択は、DC/DCコンバータの性能に直接影響します。FR損失を低減するためにMOSFETのオン抵抗 ($R_{DS(ON)}$) は低いものにし、スイッチング損失を低減するために低いゲート電荷にする必要があります。また、MOSFETの消費電力によって過熱が生じないように、熱抵抗が低いものにする必要があります。

パワー・スイッチ（つまりハイサイドMOSFET）がPWMのオンタイムに負荷電流を流し、スイッチング動作の遷移損失を伝え、ゲート電荷駆動によってスイッチングします。一般に、MOSFETの $R_{DS(ON)}$ が小さいほどゲート電荷が高くなり、またゲート電荷が高いほど $R_{DS(ON)}$ が小さくなります。したがって、これら2つの損失のバランスをとってハイサイドMOSFETを選択することが重要です。ハイサイドMOSFETの導通損失は、次の式で求めることができます。

$$P_C \doteq I_L^2 R_{DS(ON)} \frac{V_{OUT}}{V_{IN}} \quad (8)$$

ここで、

P_C は導通電力損失です。

$R_{DS(ON)}$ はMOSFETのオン抵抗です。

ゲート電荷損失はADP1823のレギュレータとゲート・ドライバによって発生し、システムの効率に影響を与えます。ゲート電荷損失のおよその値は、次の式で得られます。

$$P_G \doteq V_{IN} Q_G f_{SW} \quad (9)$$

ここで、

P_G はゲート電荷電力です。

Q_G はMOSFETの合計ゲート電荷です。

f_{SW} はコンバータのスイッチング周波数です。

導通損失とゲート電荷損失のバランスをとることで、一般に最も効率的な選択ができます。

さらに、ハイサイドMOSFETの遷移損失のおよその値は、次の式で得られます。

$$P_T \doteq \frac{V_{IN} I_L (t_R + t_F) f_{SW}}{2} \quad (10)$$

ここで、 t_R と t_F は選択したMOSFETの立ち上がり時間と立下がり時間であり、MOSFETのデータシートに記載されている値です。

ハイサイドMOSFETの合計消費電力は、前述の損失の合計になります。

$$P_D = P_C + P_G + P_T \quad (11)$$

ここで、 P_D はハイサイドMOSFETの合計電力損失です。この電力損失により、ハイサイドMOSFETが加熱します。

MOSFETの $R_{DS(ON)}$ が温度により変動することを考慮して、導通損失の調整が必要になることがあります。なお、MOSFETの $R_{DS(ON)}$ は、温度の上昇とともに増加します。MOSFETのデータシートには、パッケージの熱抵抗 θ_{JA} のほか、 $R_{DS(ON)}$ の正規化された温度係数曲線も記載されています。推定消費電力を得るには、対象となる周囲温度の全域でのMOSFETのジャンクション温度の上昇を計算します。

$$T_J = T_A + \theta_{JA} P_D \quad (12)$$

次に、温度係数曲線と25°Cでの $R_{DS(ON)}$ 仕様から、新しい $R_{DS(ON)}$ の値を計算します。 $R_{DS(ON)}$ の温度係数 (TC) の代表値は0.004/°Cであるため、2番目の温度 T_J でのMOSFETの $R_{DS(ON)}$ を求めるには、次の方法で計算することもできます。

$$P_{DS(ON)}@T_J = R_{DS(ON)}@25^\circ\text{C} [1 + TC(T_J - 25^\circ\text{C})] \quad (13)$$

これによって導通損失を計算し直すことができます。ジャンクション温度の計算値が比較的一定したものになるまで、この手順を1、2回繰り返します。

同期整流器（つまりローサイドMOSFET）は、ハイサイドMOSFETがオフのときにインダクタ電流を流します。高い入力電圧と低い出力電圧の場合、ローサイドMOSFETはほぼ常時電流を伝えます。したがって、高い効率を得るには、ローサイドMOSFETを小さなオン抵抗に合わせて最適化する必要があります。電力損失がMOSFET定格を超えたり、1つのMOSFETでは無理なほどの低い抵抗が必要な場合は、複数のローサイドMOSFETを並列に接続します。ローサイドMOSFETの電力損失の式は、次のとおりです。

$$P_{LS} \doteq I_L^2 R_{DS(ON)} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (14)$$

ここで、

P_{LS} はローサイドMOSFETのオン抵抗です。

$R_{DS(ON)}$ はローサイドMOSFETの抵抗の並列接続です。

P_G 式（式9）を使用して同期整流器のゲート電荷損失をチェックし、妥当な値になっていることを確認します。

ADP1823

電流制限の設定

電流制限コンパレータは、ローサイドMOSFETの両端で電圧を測定して負荷電流を判定します。

電流制限は、電流制限抵抗 R_{CL} によって設定します。電流検出ピンCSL1とCSL2が、それぞれの R_{CL} から50 μ Aを供給（ソース）します。これにより、 R_{CL} に50 μ AのCSL電流を乗算したオフセット電圧が発生します。ローサイドMOSFETの R_{DSON} の両端での降下がこのオフセット電圧と同じか上回る場合、ADP1823は電流制限イベントを示すフラグを立てます。

CSL電流とMOSFETの R_{DSON} はプロセスと温度によって変動するため、希望する最大の負荷電流をシステムが処理できるように最小の電流制限を設定します。そのためには、インダクタでのピーク電流を使用します。これは、希望する電流制限レベルに、リップル電流、予想される最高温度でのMOSFETの最大 R_{DSON} 、最小CSL電流を加えた値です。

$$R_{CL} = \frac{I_{LPK} R_{DSON(MAX)}}{44\mu A} \quad (15)$$

ここで、 I_{LPK} はピーク・インダクタ電流です。

さらにADP1823では、図25に示すように、短絡が発生した場合には追加の抵抗を使用して電流制限フォールドバックを実装することができます。抵抗 R_{LO} の主な役割は、短絡時にフォールドバック電流制限を設定することです。 R_{HI} の主な役割は、通常の電流制限を設定することです。 R_{LO} は R_{HI} よりも低くなります。これらの電流制限検出抵抗は、次の式によって計算できます。

$$R_{CO} = \frac{I_{PKFOLDBACK} R_{DSON(MAX)}}{44\mu A} \quad (16)$$

$$R_{HI} = \frac{V_{OUT}}{I_{LPK} \frac{R_{DSON(MAX)}}{R_{LO}} - 44\mu A} \quad (17)$$

ここで、

$I_{PKFOLDBACK}$ は、短絡時の希望するピーク・インダクタ電流制限です。 I_{LPK} は、通常動作時のピーク・インダクタ電流制限であり、式15でも使用されます。

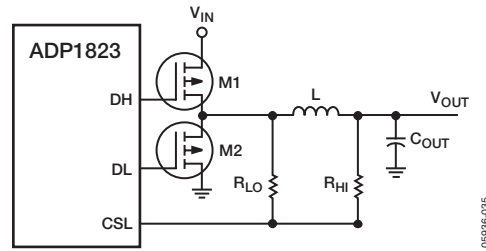


図25. 短絡電流フォールドバック方式

一般に降圧コンバータにはかなり高い電流が流れるため、PCボードのレイアウトと部品配置が電流制限の設定に影響を与えることがあります。ボードのレイアウトとMOSFETの選択によっては、 R_{CL} または R_{LO} と R_{HI} を何度も計算する必要があります。製造のある時点で代わりのMOSFETを使用した場合は、抵抗を何度も計算する必要があります。

帰還分圧器

出力レギュレーション電圧は、帰還分圧器を通じて設定されます。出力電圧は、分圧器を通じて減らされ、FB帰還入力を駆動します。FBにおけるレギュレーション・スレッシュホールドは0.6Vです。FBへの最大入力バイアス電流は100nAです。100nAのバイアス電流があり、レギュレーション電圧に0.15%の低下があるため、ローサイド抵抗 R_{BOT} は9k Ω を下回る必要があります。これにより、67 μ Aのデバイダ電流が得られます。 R_{BOT} については1~10k Ω を使用します。これより大きな値の抵抗を使用することはできませんが、FBピンにおける入力バイアス電流によって、出力電圧の精度が低下します。一方、これより小さな値の抵抗を使用すると、静止電流の消費が増大します。次の式を使用して、出力電圧を設定するための R_{TOP} を選択します。

$$R_{TOP} = R_{BOT} \left(\frac{V_{OUT} - V_{FB}}{V_{FB}} \right) \quad (18)$$

ここで、

R_{TOP} はハイサイド分圧器抵抗です。

R_{BOT} はローサイド分圧器抵抗です。

V_{OUT} は安定化出力電圧です。

V_{FB} はフィードバックのレギュレーション・スレッシュホールド(0.6V)です。

電圧モード降圧レギュレータの補償

LCフィルタの設計が完了したとすると、次にフィードバック制御システムの補償を行うことができます。レギュレータが正しく動作するには、適切な補償が不可欠です。式19~47で補償の値を計算します。目標は、降圧コンバータの電圧ゲインが、十分な位相マージンが得られるスロープで1に達するようにして安定動作を実現することです。また、クロスオーバー周波数 f_{CO} を上回る周波数において、十分なゲイン・マージンを確保しスイッチング・ノイズを減衰することが、2番目の重要な目標になります。最初の実用的な設計では、クロスオーバー周波数にスイッチング周波数の10分の1を選択するとよいでしょう。この場合、最初の計算は次のようになります。

$$f_{CO} = \frac{f_{SW}}{10} \quad (19)$$

これにより、スイッチング・アーチファクトを減衰させる補償のための十分な周波数範囲が得られるだけでなく、優れた過渡応答を得るために十分な制御ループ帯域幅も与えられます。

出力LCフィルタは、周波数 f_{LC} での応答に2つのポールを与える共振ネットワークです。そこで、次の計算をします。

$$f_{LC} = \frac{1}{2\pi\sqrt{LC}} \quad (20)$$

一般に、LCコーナー周波数はスイッチング周波数よりも約2桁小さいため、クロスオーバーに対しては約1桁小さくなります。安定性のためにクロスオーバーで十分な位相マージンを得るには、LCコーナー周波数で2つのゼロによって2つのポールを補償する設計を行い、クロスオーバーの前にシステム位相を大きくする必要があります。高周波数においてスイッチング・ノイズの十分な減衰とゲイン・マージンを確保するには、2つのゼロにクロスオーバー周波数を上回る1つまたは2つの新たなポールが必要です。

部品の選択によっては、出力コンデンサの等価直列抵抗 (ESR) によって1つのゼロがすでに生成されていることがあります。このゼロ・コーナー周波数 f_{ESR} は、次のように計算します。

$$f_{ESR} = \frac{1}{2\pi R_{ESR} C_{OUT}} \quad (21)$$

図26に、LCフィルタのみの代表的なボード・プロットを示します。

クロスオーバーでのLCフィルタのゲインは、次のように、図26から線形近似できます。

$$A_{FILTER} = A_{LC} + A_{ESR}$$

$$A_{FILTER} = -40\text{dB} \times \log\left(\frac{f_{ESR}}{f_{LC}}\right) = -20\text{dB} \times \log\left(\frac{f_{CO}}{f_{ESR}}\right) \quad (22)$$

$f_{ESR} = f_{CO}$ の場合は、正しい解と線形近似の間に局所的な差異があることを考慮して、さらに3dBを加算します。

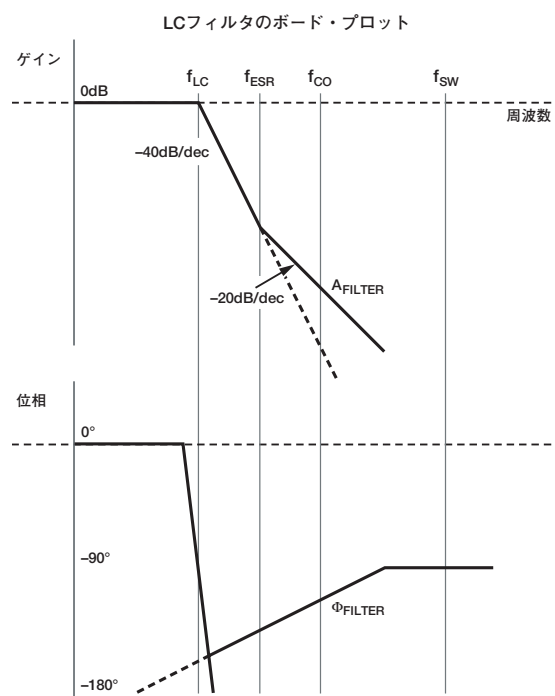


図26. LCフィルタのボード・プロット

制御ループを補償するには、システムのゲインを回復させて、希望するクロスオーバー周波数において0dBにする必要があります。ゲインの一部は、PWM変調そのものによって与えられます。

$$A_{MOD} = 20\log\left(\frac{V_{IN}}{V_{RAMP}}\right) \quad (23)$$

内部発振器を使用するシステムでは、これは次のようになります。

$$A_{MOD} = 20\log\left(\frac{V_{IN}}{1.3V}\right) \quad (24)$$

なお、コンバータが同期している場合は、ランプ電圧 V_{RAMP} は、FREQピンの公称設定値に対する周波数増加のパーセンテージ分だけ1.3Vより低くなります。

$$V_{RAMP} = 1.3V \left(\frac{2f_{FREQ}}{f_{SYNC}}\right) \quad (25)$$

分子の係数2は、SYNC周波数が2分周されてスイッチング周波数を生成することを考慮しています。たとえば、FREQピンが600kHz範囲でハイレベルに設定され、2MHzのSYNC信号が与えられた場合は、ランプ電圧は0.78Vになります。この例では、これによって変調器のゲインが4.4dB増加します。

ADP1823

残りのシステム・ゲインは、クロスオーバーにおいて0dBにならなければなりません。したがって、システム合計ゲインは次の式で得られます。

$$A_T = A_{MOD} + A_{FILTER} + A_{COMP} \quad (26)$$

ここで、

A_{MOD} はPWM変調器のゲインです。

A_{FILTER} はESRゼロの効果を含むLCフィルタのゲインです。

A_{COMP} は補償された誤差アンプのゲインです。

さらに、システムの位相を回復させて安定性を確保する必要があります。フィルタのボード・プロットから、LCが -180° の位相シフトをもたらすことに注意してください。また、誤差アンプは低周波で積分器になるため、最初の -90° をもたらします。このため、補償したりESRゼロを考慮する前に、システムはすでに -270° も下になっています。クロスオーバーにおけるループ反転（つまり -180° の位相シフト）を回避するため、最初の実用的な設計としては 60° の位相マージンを設けてください。したがって、全体の位相損失は最初の低周波DC位相から -120° になります。補償の目標は、クロスオーバーにおいて位相を -270° から -120° まで戻すことです。

2つの一般的な補償方法を使用します。補償の設計に含まれるのが2つのポールか3つのポールかによって、タイプIIまたはタイプIIIの補償と呼ばれます。（ドミナント・ポール補償、つまり1ポール補償はタイプIの補償と呼ばれますが、残念ながらスイッチング・レギュレータを扱うにはあまり役に立ちません。）

出力コンデンサのESRによって生成されたゼロからクロスオーバーにおいて十分な位相ブーストが得られるのであれば、タイプIIの補償で十分です。出力コンデンサのESRによる位相ブーストが十分でない場合は、補償回路にもう1つゼロを追加し、タイプIIIを使用することになります。

図27では、ESRゼロのコーナー周波数の位置によってクロスオーバー周波数において大きく異なる正味位相が与えられています。

タイプIIの補償器とタイプIIIの補償器の選択には、次のガイドラインをご利用ください。

f_{ESRZ} が $f_{CO}/2$ 以下の場合には、タイプIIの補償を使用します。

f_{ESRZ} が $f_{CO}/2$ を超える場合は、タイプIIIの補償を使用します。

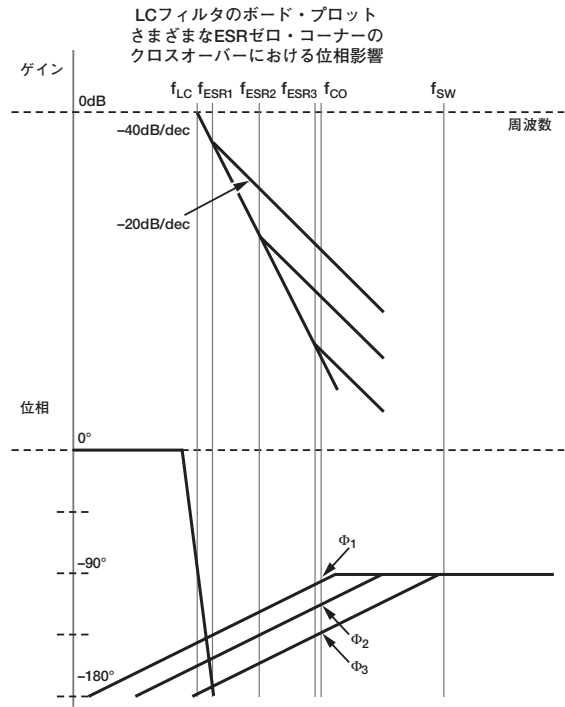


図27. LCフィルタのボード・プロット

図28と図29に示す補償部品の計算には、以下の式を使用しました。

$$f_{Z1} = \frac{1}{2\pi R_Z C_I} \quad (27)$$

$$f_{Z2} = \frac{1}{2\pi C_{FF} (R_{TOP} + R_{FF})} \quad (28)$$

$$f_{P1} = \frac{1}{2\pi R_Z \frac{C_I C_{HF}}{C_I + C_{HF}}} \quad (29)$$

$$f_{P2} = \frac{1}{2\pi R_{FF} C_{FF}} \quad (30)$$

ここで、

f_{Z1} はタイプIIの補償で生成されたゼロです。

f_{Z2} はタイプIIIの補償で生成されたゼロです。

f_{P1} はタイプIIの補償で生成されたポールです。

f_{P2} はタイプIIIの補償で生成されたポールです。

タイプIIの補償器

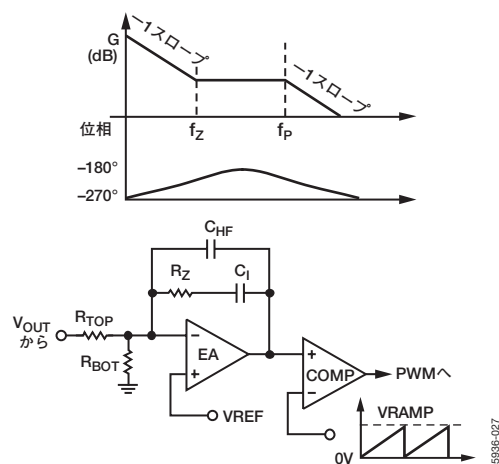


図28. タイプIIの補償

出力コンデンサのESRゼロ周波数が十分に低い（クロスオーバー周波数の1/2以下）である場合には、ESRを使用してレギュレータを安定させます。この場合には、図28に示す回路を使用します。次の式で、補償抵抗 R_Z を計算します。

$$R_Z = \frac{R_{TOP} V_{RAMP} f_{ESR} f_{CO}}{V_{IN} f_{LC}^2} \quad (31)$$

ここで、 f_{CO} は f_{SW} の1/10に選択されます。 V_{RAMP} は1.3Vです。

次に、補償コンデンサを選択し、補償ゼロ (f_{Z1}) を、クロスオーバー周波数の1/4またはLC共振周波数の1/2のいずれか小さい方に設定します。

$$f_{Z1} = \frac{f_{CO}}{4} = \frac{f_{SW}}{40} = \frac{1}{2\pi R_Z C_1} \quad (32)$$

または

$$f_{Z1} = \frac{f_{CO}}{4} = \frac{f_{SW}}{40} = \frac{1}{2\pi R_Z C_1} \quad (33)$$

式32を C_1 について解くと、

$$C_1 = \frac{20}{\pi R_Z f_{SW}} \quad (34)$$

式33を C_1 について解くと、

$$C_1 = \frac{1}{\pi R_Z f_{LC}} \quad (35)$$

式34または式35から得た値のうち大きい方の C_1 を使用します。誤差アンプの出力電流駆動は有限であるため、 C_1 は10nF未満であることが必要です。 C_1 が10nFを超える場合には、大きな R_{TOP} を選択して、 C_1 が10nFを下回るまで、 R_Z と C_1 を計算し直します。

次に、高周波ポール f_{P1} を f_{SW} の1/2に選択します。

$$f_{P1} = \frac{1}{2} f_{SW} \quad (36)$$

$C_{HF} \ll C_1$ であるため、式29は次のように簡略化されます。

$$f_{P1} = \frac{1}{2\pi R_Z C_{HF}} \quad (37)$$

式36と式37を C_{HF} について解くと、

$$C_{HF} = \frac{1}{\pi f_{SW} R_Z} \quad (38)$$

タイプIIIの補償器

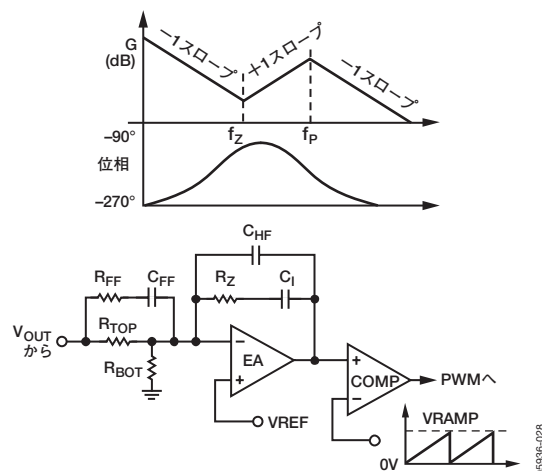


図29. タイプIIIの補償

出力コンデンサのESRゼロ周波数がクロスオーバー周波数の1/2より大きい場合は、図29に示すように、タイプIIIの補償器を使用します。ポールとゼロを次のように設定します。

$$f_{P1} = f_{P2} = \frac{1}{2} f_{SW} \quad (39)$$

$$f_{Z1} = f_{Z2} = \frac{f_{CO}}{4} = \frac{f_{SW}}{40} = \frac{1}{2\pi R_Z C_1} \quad (40)$$

または

$$f_{Z1} = f_{Z2} = \frac{f_{LC}}{2} = \frac{1}{2\pi R_Z C_1} \quad (41)$$

式40または式41から得た値のうち低い方のゼロ周波数を使用します。補償器抵抗 R_Z を計算します。

$$R_Z = \frac{R_{TOP} V_{RAMP} f_{Z1} f_{CO}}{V_{IN} f_{LC}^2} \quad (42)$$

次に、 C_1 を計算します。

$$C_1 = \frac{1}{2\pi R_Z f_{Z1}} \quad (43)$$

ADP1823

誤差アンプの出力電流駆動は有限であるため、 C_1 は10nF未満であることが必要です。 C_1 が10nFを超える場合には、大きな R_{TOP} を選択して、 C_1 が10nFを下回るまで、 R_Z と C_1 を計算し直します。

$C_{HF} \ll C_1$ であるため、式29と式39を組み合わせて、

$$C_{HF} = \frac{1}{\pi f_{SW} R_Z} \quad (44)$$

次に、フィードフォワード・コンデンサ C_{FF} を計算します。 $R_{FF} \ll R_{TOP}$ であると想定すると、式28は次のように簡略化されます。

$$f_{Z2} = \frac{1}{2\pi C_{FF} R_{TOP}} \quad (45)$$

式45を C_{FF} について解くと、

$$C_{FF} = \frac{1}{2\pi R_{TOP} f_{Z2}} \quad (46)$$

ここで、 f_{Z2} は式40または式41から得られます。

フィードフォワード抵抗 R_{FF} は、式30と式39を組み合わせて計算できます。

$$R_{FF} = \frac{1}{\pi C_{FF} f_{SW}} \quad (47)$$

計算した部品の値が妥当であることをチェックします。たとえば、コンデンサの値が約10pFより小さくならないようにしてください。また、ADP1823の誤差アンプの出力電流駆動は有限であるため、3k Ω より小さい R_Z 値や10nFより大きい C_1 値は避けてください。必要であれば、最初の R_{TOP} の値を変えて補償回路を計算し直します。 R_Z が小さすぎ、 C_1 が大きすぎる場合は、最初の R_{TOP} を大きくします。この補償方法を使用すれば、優れた実用的なソリューションが得られます。

一般に、アルミニウム電解コンデンサには高いESRがあり、タイプIIの補償が適切です。しかし、複数のアルミニウム電解コンデンサが並列に接続されて実効ESRが低くなった場合には、タイプIIIの補償が必要となります。さらに、セラミック・コンデンサではESRが非常に低く、数ミリオームのレベルです。したがって、セラミック出力コンデンサにはタイプIIIの補償が必要です。タイプIIIの補償では、クロスオーバー周波数において高周波ゲインが減少し、位相マージンが増大し、低周波ゲインが増大するため、タイプIIの場合に比べて高い性能が提供されます。

さらに正確な方法や、他のシステム特性に合わせて最適化する方法については、アナログ・デバイセズのアプリケーション・サポート・チームが豊富な資料とツールを用意しています。

ソフトスタート

ADP1823では、調整可能なソフトスタートを使用して出力電圧のランプアップ時間を制限することで、入力突入電流を制限します。ソフトスタートを設定するには、SS1とSS2からGNDまでのコンデンサ C_{SS} を選択します。ADP1823は、90k Ω の内部抵抗から C_{SS} を0.8Vに充電します。充電中のソフトスタート・コンデンサの電圧は、以下の式で表すことができます。

$$V_{SS} = 0.8V \left(1 - e^{-\frac{t}{RC_{SS}}} \right) \quad (48)$$

ソフトスタート・ピンの電圧が0.6Vに達すると、ソフトスタート時間が終了します。 V_{SS} に0.6Vを代入し、RC時定数の数について解きます。

$$0.6V = 0.8V \left(1 - e^{-\frac{t_{SS}}{90k\Omega / C_{SS}}} \right) \quad (49)$$

$$t_{SS} = 1.386RC_{SS} \quad (50)$$

$R = 90k\Omega$ であるため、以下の値が得られます。

$$C_{SS} = t_{SS} \times 8\mu F/s \quad (51)$$

ここで、 t_{SS} は希望するソフトスタート時間（秒単位）です。

電圧トラッキング

ADP1823のトラッキング機能は、出力電圧がマスター電圧を超えないようにします。これは、DSPやマイクロコントローラのコアおよびI/O電圧など、集積回路上の別の電源電圧にADP1823が電力を供給しているときに特に重要です。このような場合、不適切なシーケンシングによって負荷が破損することがあります。

ADP1823のトラッキング入力は、誤差アンプに追加される正側入力になります。帰還電圧は、0.6VリファレンスとTRKの電圧のうち低い方に調整されます。したがって、TRKでの低い電圧によって出力電圧が制限されます。この機能により、2種類のトラッキングが可能です。同時トラッキングでは、マスター電圧がレギュレーション電圧に達するまで、出力電圧がマスター電圧と同じになります。レシオメトリック・トラッキングでは、出力電圧はマスター電圧の何分の1かに制限されます。

トラッキング設定では、必ずマスター電圧はスレープ電圧より高くします。

マスター電圧のソフトスタート時間設定は、スレープ電圧のソフトスタートより長くします。これによって、スレープ電圧がマスター電圧の立上がり時間に従うことになります。スレープ電圧のソフトスタート設定が長い場合、スレープがゆっくり立ち上がるため、出力にトラッキングの関係が現れません。スレープ・チャンネルには、ソフトスタート・コンデンサも必要です。これにより、短い妥当なソフトスタート時間を設けて、電流制限イベント後のリスタート時の保護を行います。

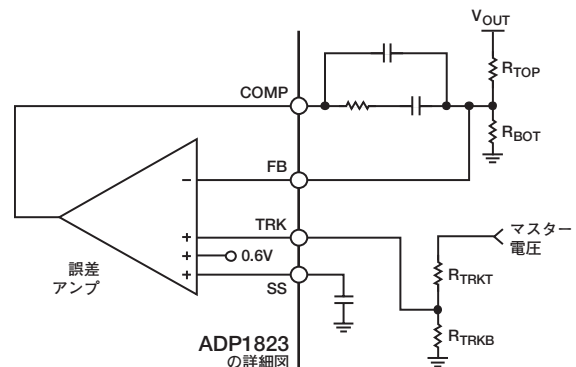


図30. 電圧のトラッキング

同時トラッキング

最も一般的な方法は同時トラッキングです。これは、コア対I/Oの電圧シーケンシングなどのアプリケーションで使用します。同時トラッキングでは、マスター電圧がレギュレーション電圧に達するまでは、スレーブ出力電圧をマスター電圧と同じ値に制限します。スレーブのFBピンに使用するデバイダはマスター電圧からの抵抗分圧器と同じものですが、これにスレーブのTRK入力を接続します。このようにすることで、スレーブ電圧とマスター電圧が同じになります。

同時トラッキングでは、 $R_{TRKT} = R_{TOP}$ および $R_{TRKB} = R_{BOT}$ を使用します。ここで、 R_{TOP} と R_{BOT} は「電圧モード降圧レギュレータの補償」で選択した値です。

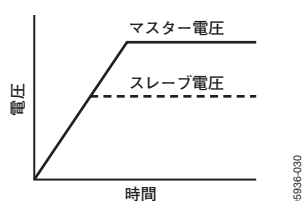


図31. 同時トラッキング

マスター電圧が上昇するにつれて、スレーブ電圧も上昇します。最終的に、スレーブ電圧はレギュレーション電圧に達します。ここで、内部リファレンスがレギュレーション電圧に代わりますが、TRK入力は増大し続け、出力電圧に影響しなくなります。TRKピンの電圧が0.6Vリファレンスに近すぎるために出力電圧の精度に影響しないようにするには、マスター電圧の最終値が、スレーブのレギュレーション電圧を少なくとも10%（FBノードでは60mV）上回るようにします。この差は大きいほどよい結果が得られます。TRKと0.6Vリファレンスの間に60mVの差があると、誤差アンプに約3mVのオフセットが生じます。これは、室温では0.5%に相当します。100mVの差があれば、オフセットはわずか0.6mV（0.1%）になります。

レシオメトリック・トラッキング

レシオメトリック・トラッキングでは、出力電圧をマスター電圧の何分の1かに制限します。たとえば、DDRメモリの終端電圧VTTは、VDD電圧の半分に設定されます。

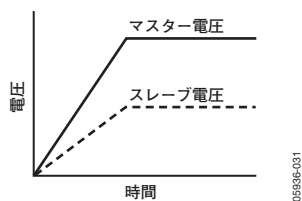


図32. レシオメトリック・トラッキング

レシオメトリック・トラッキングの最も簡単な設定は、スレーブ・チャンネルのTRKピンをマスター・チャンネルのFBピンに接続する方法です。これには、部品数が最小になるという利点がありますが、TRKピンの電圧が内部リファレンス電圧に等しくなり、誤差アンプに室温で約-18mVというオフセットが出るため、精度が落ちます。

もっと正確な方法をとる場合、マスター電圧からのデバイダを設けて、レギュレーション時にTRKピンの電圧を0.6Vより低く（たとえば、0.5Vに）設定します。スレーブ・チャンネルには、マスター電圧から供給された0.5Vの外部リファレンスがあると見なすことができます。

これが終わったら、「電圧モード降圧レギュレータの補償」に従ってスレーブ電圧用のFBデバイダを設計しますが、 V_{FB} 電圧の代わりに0.5Vリファレンスを使用します。スレーブ出力電圧とマスター電圧との比は、2つのデバイダの関数です。

$$\frac{V_{OUT}}{V_{MASTER}} = \frac{\left(1 + \frac{R_{TOP}}{R_{BOT}}\right)}{\left(1 + \frac{R_{TRKT}}{R_{TRKB}}\right)} \quad (52)$$

もう1つのやり方は、マスター電圧用のデバイダに別のタップを追加する方法です。マスター電圧のレギュレーション中に0.5Vで新しいタップを使用して、マスター電圧の R_{BOT} 抵抗を2つの要素に分割します。これによって抵抗を1本節約できますが、マスター電圧でのタイプIIIの補償により、スレーブ・チャンネルのTRK入力にマスター電圧のフィードフォワード信号が現われますので注意してください。

デバイダでの抵抗値を適切に選択すれば、式52からは、スレーブでのTRK電圧を0.6Vより大きく設定し、 R_{TRKB} を R_{TRKT} より大きく設定することによって、スレーブの電圧出力のランプ・レートをマスター電圧のランプ・レートより高速にできることが判明します。スタートアップ時に入力突入電流が電源の電流制限に達しないためには、マスターのSS期間を十分に長くします（つまり、十分に大きなSSコンデンサを使用します）。

ADP1823

チャンネル2のアンダー電圧スレッシュホールドをレシオメトリック・トラッキング用に設定

TRK2をレシオメトリック・トラッキング用に設定することでFB2のレギュレーションが0.6Vより低い電圧になっている場合は、図33に示すように、分圧器の先端抵抗を分割すればチャンネル2のアンダー電圧スレッシュホールドを適切に設定できます。 R_{BOT} は、式52の補償で計算した値と同じです。

$$R_{TOP} = R_A + R_B \quad (53)$$

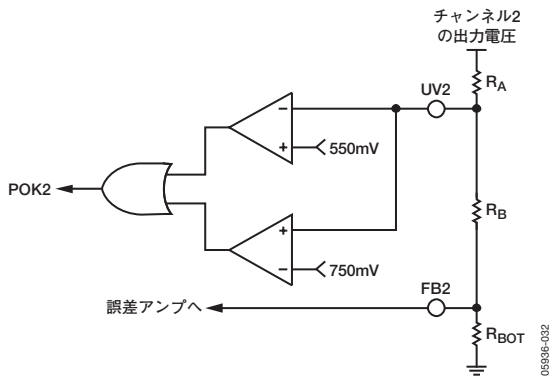


図33. チャンネル2のアンダー電圧スレッシュホールドの設定

すべての抵抗の電流は同じです。

$$\frac{V_{FB2}}{R_{BOT}} = \frac{U_{UV2} - V_{FB2}}{R_B} = \frac{U_{OUT2} - U_{UV2}}{R_A} \quad (54)$$

ここで、

V_{UV2} は600mVです。

V_{FB2} はレシオメトリック・トラッキングの計算で設定した帰還電圧値です。

V_{OUT2} はチャンネル2の出力電圧です。以下の式で、 R_A と R_B について解きます。

$$R_A = R_{BOT} \frac{(V_{OUT2} - V_{UV2})}{V_{FB2}} \quad (55)$$

$$R_B = R_{BOT} \frac{(V_{UV2} - V_{FB2})}{V_{FB2}} \quad (56)$$

熱に関する留意事項

ADP1823の消費電力の大半は、外付けMOSFETの駆動に必要な電流になります。オンチップLDOはレギュレーションによって5Vまで低下し、ドライバにはこの5Vが供給されます。ゲート駆動電流はすべてLDOを通りゲート駆動で消費されます。ADP1823のゲート・ドライバで消費される電力は、次のようになります。

$$P_D = V_{IN} f_{SW} (Q_{DH1} + Q_{DL1} + Q_{DH2} + Q_{DL2}) \quad (57)$$

ここで、

V_{IN} はINに印加される電圧です。

f_{SW} はスイッチング周波数です。

Q 値は、選択したMOSFETのデータシートに記載されている合計ゲート電荷仕様です。

消費電力はADP1823を加熱します。スイッチング周波数、入力電圧、そしてMOSFETのサイズが大きいほど、ADP1823の消費電力も増加します。最大ジャンクション温度を超えないように注意してください。周囲温度と消費電力からジャンクション温度を計算するには、以下の式を使用します。

$$T_J = T_A + P_D \theta_{JA} \quad (58)$$

パッケージの熱抵抗 θ_{JA} は、ボードのレイアウトにより異なりますが、一般に40°C/Wです。規定されている最大ジャンクション温度は125°Cです。空気の流れがなく最大周辺温度が85°Cで、許容最大消費電力が約1Wになります。

チップ温度が約145°Cを超えた場合、ADP1823のサーマル・シャットダウン保護回路がLDOとコントローラを遮断します。ただし、これは大ざっぱな障害保護になるだけであり、システムの信頼性という面からは頼ることはできません。

PCボード・レイアウトのガイドライン

どんなスイッチング・コンバータにも、高い dI/dt を伝える回路パスがいくつか存在し、スパイクやノイズを発生させることがあります。ノイズに敏感な回路パスもあります。また、高いDC電流を伝えて、著しいIR電圧降下をもたらすことがあります。スイッチング・コンバータの適切なPCボード・レイアウトに不可欠なのは、これらのクリティカルなパスを識別し、それに応じて部品と銅面エリアを配置することです。PCボード・レイアウトの設計に際しては、大電流ループを小さくするように注意してください。また、補償やフィードバック部品をスイッチ・ノードやその関連部品の近くに配置しないようにします。

以下に、ADP1823に対して推奨されるレイアウト方法を、重要度の高い順に記載します。

- 上側FETと下側FETの電流波形は、非常に高い dI/dt を持つパルスです。したがって、個々のFETとの間を結ぶパスはできるだけ短くし、2つのパスはできるだけ共通化してください。PCボードの片側で1ペアのD-PakまたはSO-8 FETを使用する設計では、FETとコンデンサを通じてのこのループ周辺でのインダクタンスを最小限に抑えるために、スイッチ・ノードをベアの片側に置き、FETのできるだけ近くに配置された適切なセラミック・バイパス・コンデンサによってハイサイド・ドレインをローサイド・ソースにバイパスできるように、この2つを反対方向に回転させることを推奨します。バイパス・セラミック・コンデンサの推奨値は、出力電流に応じて、1~22 μ Fの範囲となります。このバイパス・コンデンサは、一般には大きな値のバルク・フィルタ・コンデンサに接続し、PGNDプレーンに接地することを推奨します。
- GND、VREGバイパス、ソフト・スタート用コンデンサ、および出力帰還分割抵抗の下端は、(ほぼ絶縁された)小さなAGNDプレーンに接続します。これらの接続では、ピンからAGNDプレーンまでの接続をできるだけ短くします。このAGNDプレーンには、大電流や高い dI/dt の信号を接続しないでください。AGNDエリアと出力フィルタ・コンデンサの負端子との接続には、1本の太いパターンを用います。
- PGNDピンでは、ローサイドMOSFETのソースから帰還する、高い dI/dt のゲート駆動電流を処理します。このピンでの電圧は、過電流保護 (OCP) 機能とCSLピン用の0Vリファレンスも設定します。PGNDピンとPVCCバイパス・コンデンサの間は、ローサイドMOSFETのソースへの太い直通のパスを通じて小さなPGNDプレーンで接続します。グラウンド・バウンスの制御には、 C_{IN} の配置が重要です。 C_{IN} の負端子は、ローサイドMOSFETのソースのすぐ近くに置く必要があります。
- FBピンとCSLピンでは、長いパターンや大きな銅面エリアを避けてください。これらのピンは、容量性ノイズや誘導性ノイズの混入に敏感な、低信号レベルの入力です。直列抵抗やコンデンサは、これらのピンのできるだけ近くに配置することを推奨します。これらのパターンを、高い dI/dt のパターンの近くに並行して配線することは避けてください。
- AC/DCの大きな電圧/電流を持つスイッチャ回路では、スイッチ・ノードが最もノイズの多い場所です。抵抗性電圧降下を最小限に抑えるには、このノードを広くします。しかし、容量的に結合されたノイズの生成を最小限に抑えるには、エリア合計を小さくする必要があります。直列抵抗を最小限に抑えて銅面エリアを小さく保つには、小さな銅プレーン上でFETとインダクタを近づけて配置します。
- ゲート駆動パターン (DHとDL) は、高い dI/dt を処理するため、ノイズとリングングを発生させる傾向があります。これらは、できるだけ短く直接的なものとしします。可能なならば、ゲート駆動パターンではフィードスルー・ビアを使用しないでください。ビアが必要な場合には、各ビアでのピーク電流密度と電流を減らすために、2つの比較的大きなビアを並列に使用することを推奨します。全体的なPCボード・レイアウトが最適とはいえない場合には、ノイズとリングングを減らすために、ゲート駆動の速度を少し落とすことを推奨します。主としてDHパターンとハイサイドFETゲートの間で、ゲート・リードと直列に (5 Ω または10 Ω などの) 小さな値の抵抗を接続するとよい場合もあります。抵抗が不要な場合には、0 Ω の抵抗を実装することができます。なお、ゲート抵抗の追加によって、スイッチングの立上がり/立下がり時間が増加し、MOSFETでのスイッチング電力損失も増加します。
- 出力フィルタ・コンデンサの負端子は、ローサイドFETのソースに近接して接続します。これは、ADP1823でのGNDとPGNDとの電圧差を最小限に抑えるために役立ちます。
- 一般に、すべてのパターンのサイズ決定は、処理される電流に加えて、回路におけるパターンの感度にも基づいて行われます。標準的なPCボード・レイアウトのガイドラインは、主に銅導線における電流の加熱の影響に対処するものであり、それらは確かに有効なのですが、浮遊インダクタンスやDC電圧降下などの問題には十分に対処していません。ADP1823のGNDとコンバータのパワー出力グラウンドとの接続部にDC電位差があれば、600mVフィードバック・リファレンスとの比率に基づいてコンバータの出力電圧に影響があるので、大きな出力電圧誤差を招くことがあります。たとえば、ADP1823のグラウンドとコンバータのパワー出力との間に6mVのオフセットがあれば、コンバータの出力電圧に1%の誤差が生じます。

LFCSPパッケージに関する留意事項

LFCSPパッケージの下部には露出したダイ・パッドがあり、PCボードに熱を効果的に伝えます。LFCSPパッケージの最高の性能を達成するには、特にPCボードのレイアウトに注意してください。以下に、LFCSPパッケージのレイアウト・ガイドラインを示します。

- パッド・パターンを図36に示します。ハンダ接合部の信頼性を高めるには、パッドの寸法に正確に従いながら、適切なクリアランスを守ってハンダ・ブリッジの発生を抑えます。
- LFCSPパッケージのサーマル・パッドは、PCボードへの低い熱抵抗パスになります。このため、パッケージの熱を効果的に放出できるようにPCボードを適切に設計する必要があります。PCボードにサーマル・ビアを設けることで、内部の層や最下層に熱の経路ができます。推奨するビア・パターンについては、図36を参照してください。ビアの直径は小さくなっています。これにより、ハンダがビアから流れないようにし、サーマル・パッドのハンダ接合部に空隙を残します。
サーマル・パッドはチップ・サブストレートに接続されています。このため、サーマル・パッドを接続するプレーンは、電気的に絶縁するかGNDに接続する必要があります。
- 溶剤・マスクの開口部はパッド・サイズよりも約120ミクロン（4.7ミル）大きくして、パッドと溶剤・マスクの間に最小60ミクロン（2.4ミル）のクリアランスを確保します。
- ペースト・マスクの開口部は、通常、LFCSPパッケージのペリフェラル・パッドに使用するパッドのサイズに合わせて設計します。ステンシル厚が約0.125mmである限り、これによって信頼性の高いハンダ接合部が得られます。

- サーマル・パッド用のペースト・マスクは、最大のカバレッジを実現して、パッケージの熱を効果的に除去できるように設計する必要があります。しかし、サーマル・ビアや大きなサイズのサーマル・パッドが存在するため、空隙をなくすことが不可能な場合があります。また、ハンダ・ペーストのカバレッジが大きすぎる場合は、ハンダ接合部に欠陥が生じることもあります。したがって、ペースト・マスクの設計では、大きな開口部を1つ設けるよりも複数の小さな開口部を使用することを推奨します。図36に、推奨するペースト・マスクのパターンを示します。このパターンで約80%のカバレッジとなり、パッケージの熱性能が大幅に低下することはありません。
- 推奨するペースト・マスクのステンシル厚は0.125ミリです。台形壁の、レーザー切断したステンレス・スチール製ステンシルを使用してください。
- LFCSPパッケージの取付けには、タイプ3の無洗浄ハンダ・ペーストを使用します。また、リフロー・プロセス中に窒素除去を行うことを推奨します。
- パッケージ・メーカーは、リフロー温度が220℃を超えず、液相線を越える時間を75秒未満にすることを推奨しています。予熱ランプは3℃/秒以下にします。実際の温度プロファイルは、ボード密度によります。アセンブリ・ハウスで、最適な条件を決める必要があります。

ADP1823

ADP1823は、1A未満の出力負荷を駆動するようにも設定できます。図35には、オール多層セラミック・コンデンサ (MLCC) ソリューションで1.5Aと3Aの負荷を駆動する代表的なアプリケーション回路を示します。なお、この例で使用した2個のMOSFETは、PowerPAK® SO-8パッケージで提供されるデュ

アル・チャンネルMOSFETであり、コストとレイアウト・スペースの削減に役立ちます。デュアル・チャンネルSO-8パッケージの代わりとしては、SOT-23またはTSOP-6パッケージで提供される、低価格で小型の2個のシングルMOSFETを使用します。

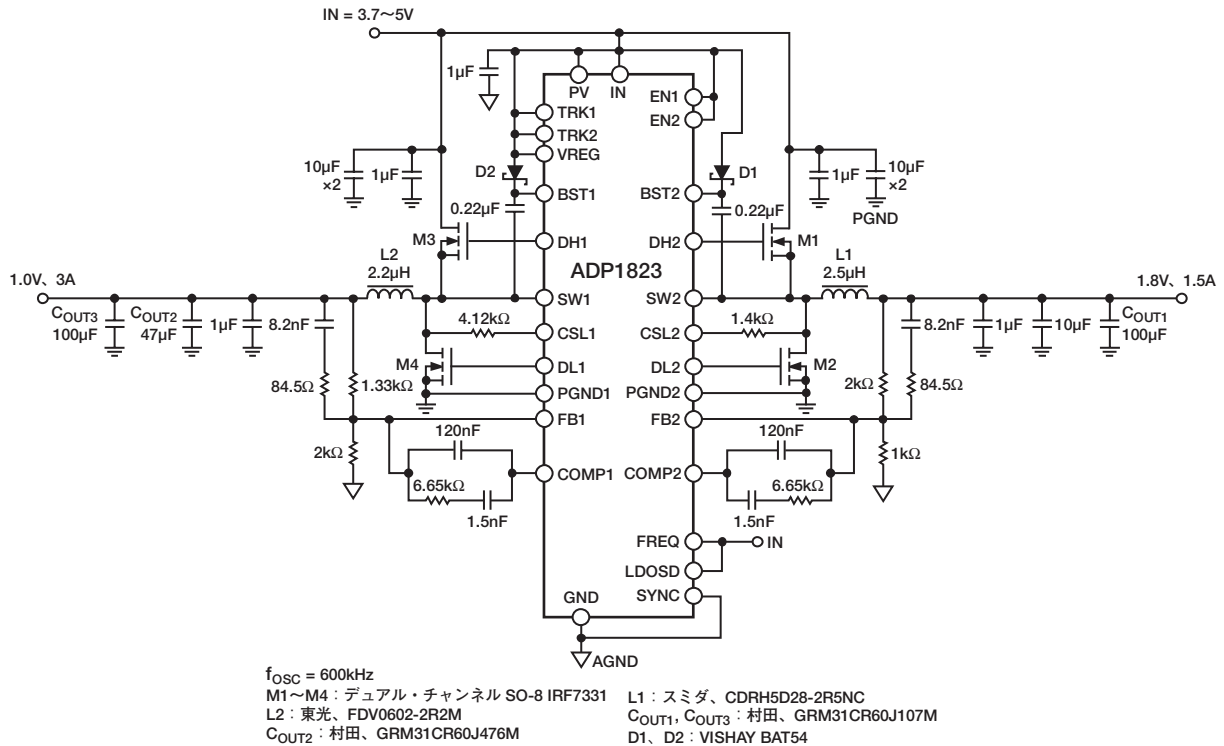
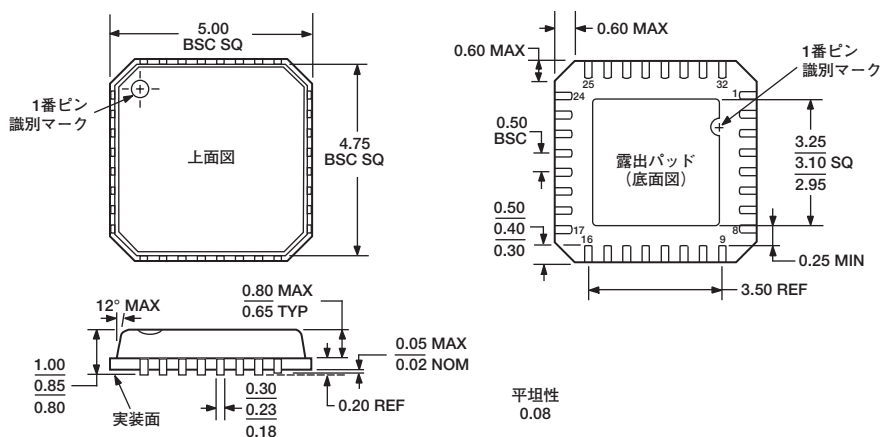


図35. オール多層セラミック・コンデンサ (MLCC) によるアプリケーション回路

外形寸法



JEDEC規格MO-220-VHHD-2に準拠

図36. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5mm×5mmボディ、超薄型、クワッド
(CP-32-2)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲 ¹	パッケージ	パッケージ・オプション
ADP1823ACPZ-R7 ²	-40~+85℃	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-2
ADP1823-EVAL		評価用ボード	

¹ 動作ジャンクション温度は-40~+125℃です。

² Z=RoHS準拠の製品