

## 特長

### ドライバ

クランプ機能内蔵の高Zモード3レベル・ドライバ  
調整済みの高精度出力抵抗  
低リーク・モード: 10 nA 以下 (typ)  
電圧範囲: -2.0 V ~ +6.0 V  
最小パルス幅: 1.6 ns、2 V 終端  
最小パルス幅: 2.1 ns、3 V 終端

### コンパレータ

ウインドウおよび差動コンパレータ  
入力等価帯域幅: 500 MHz

### 負荷

最大電流能力:  $\pm 12$  mA

### ピンごとの PMU

電圧フォース範囲: -2.0 V ~ +6.0 V  
5種類の電流範囲: 32 mA、2 mA、200  $\mu$ A、20  $\mu$ A、2  $\mu$ A

### レベル

DCL レベル用の 14 ビット DAC  
INL:  $\pm 5$  mV 以下 (Typ 値、キャリブレーション済み)  
PMU レベル用の 16 ビット DAC  
INL 直線性: FV モードで  $\pm 1.5$  mV 以下 (Typ 値、キャリブレーション済み)

### 出力バッファ付きの HVOUT

出力範囲: 0 V ~ 13.5 V

100 ピンの 14 mm  $\times$  14 mm TQFP\_EP パッケージを採用

無負荷時チャンネルあたり 900 mW

## アプリケーション

自動テスト装置

半導体テスト・システム

ボード・テスト・システム

計装装置およびキャラクタライゼーション装置

## 概要

ADATE305 は、ドライバ・ピンの電氣的機能、コンパレータ、アクティブ負荷(DCL)、ピンごとの PMU、ATE アプリケーションでの DC レベル機能を実行するシングルチップ・ソリューションです。このデバイスには、最大 13.5 V の VHH バッファ能力を持つ HVOUT ドライバも内蔵されています。

このドライバは、データ・ハイ・モード、データ・ロー・モード、終端モードの 3 つのアクティブ状態と、さらにインヒビット状態を持っています。インヒビット状態と内蔵のダイナミック・クランプの組み合わせにより、高速なアクティブ終端が可能になります。ADATE305 は、正と負の電源電圧を調節することにより、-2.0 V ~ +6.0 V と -1.5 V ~ +6.0 V の 2 つの出力電圧範囲をサポートします。

ADATE305 は、2 系統のシングルエンド駆動/受信チャンネルまたは 1 系統の差動駆動/受信チャンネルとして使うことができます。ADATE305 の各チャンネルには、ピンごとに機能テスト用の高速ウインドウ・コンパレータが付いており、さらに FV 機能、または FI 機能と MV 機能、または MI 機能を持つ PMU がピンごとに付いています。DCL 機能に必要なすべての DC レベルは、内蔵の 14 ビット DAC で発生されます。ピンごとの PMU は、高精度の 16 ビット DAC と外付け部品数を減らすためのレンジ抵抗を内蔵しています。

ADATE305 は、シリアル・バスを使ってすべての機能ブロックを設定し、デバイス温度モニター用の温度センサーを内蔵しています。

## 目次

特長.....	1	絶対最大定格.....	20
アプリケーション.....	1	熱抵抗.....	20
概要.....	1	テスト・レベルの説明.....	20
改訂履歴.....	2	ESDの注意.....	20
機能ブロック図.....	3	ピン配置およびピン機能説明.....	21
仕様.....	4	代表的な性能特性.....	24
全体機能.....	4	SPIの詳細.....	35
ドライバ.....	5	SPI用語の定義.....	36
反射のクランプ.....	7	書き込み動作.....	37
ノーマル・ウインドウ・コンパレータ.....	7	読み出し動作.....	38
差動コンパレータ.....	9	リセット動作.....	39
アクティブ負荷.....	11	レジスタ・マップ.....	40
PMU.....	12	レジスタの詳細.....	41
外部検出(PMUS_CHx).....	16	ユーザ情報.....	43
DUTGND入力.....	17	DAC対レベルの詳細.....	45
シリアル・ペリフェラル・インターフェース.....	18	PMUモード・スイッチングの推奨シーケンス.....	48
HVOUTドライバ.....	18	ブロック図.....	51
過電圧検出器(OVD).....	19	外形寸法.....	55
16ビットDACモニター・マルチプレクサ.....	19	オーダー・ガイド.....	55

## 改訂履歴

8/08—Revision 0: Initial Version

機能ブロック図

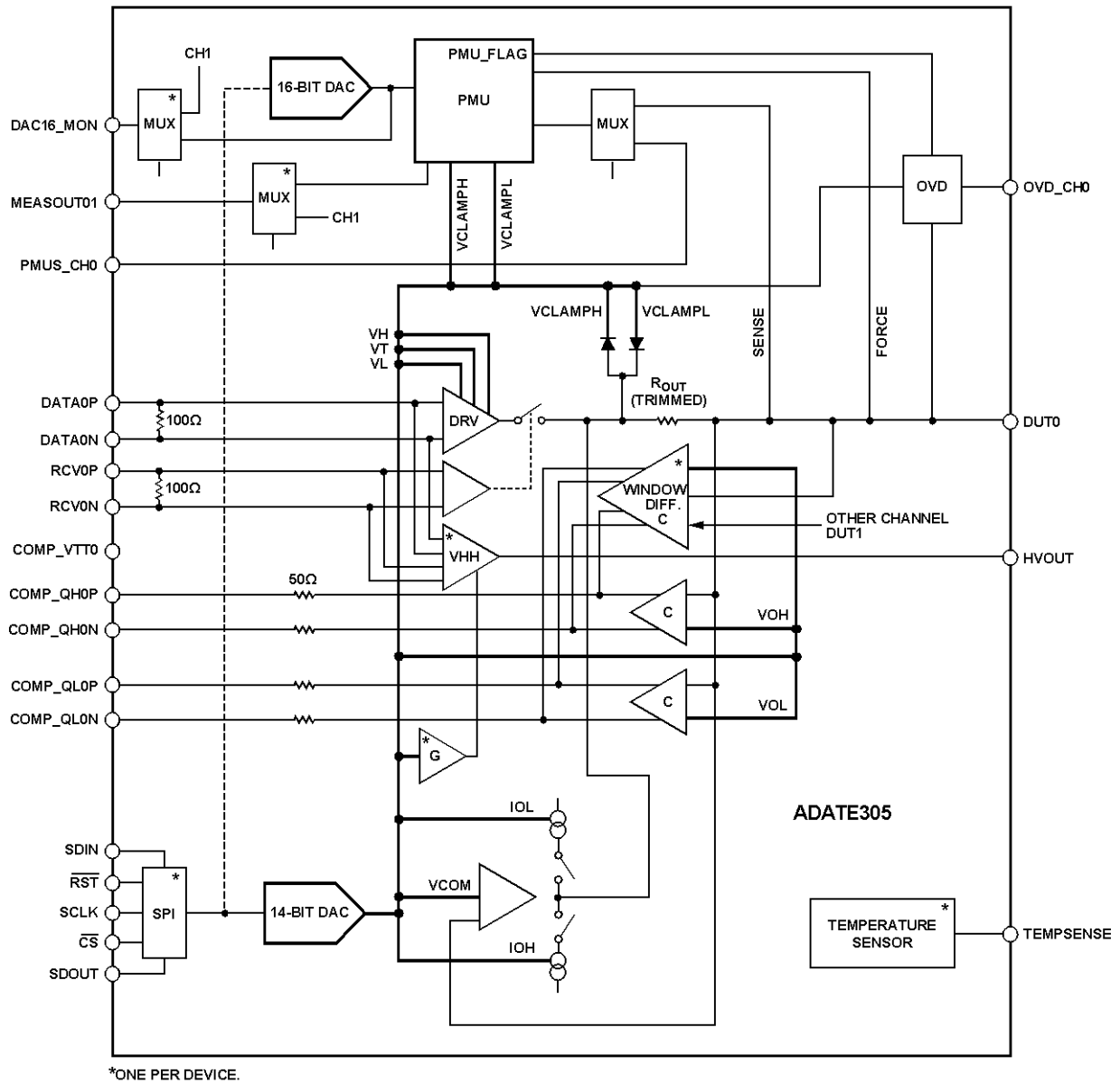


図 1.チャンネルのブロック図(2チャンネルの内の1つ)

07280-001

## 仕様

キャラクターライゼーションと出荷テストは電源範囲 1 (表 36) を使って実施。V<sub>DD</sub> = +10.0 V、V<sub>CC</sub> = +3.3 V、V<sub>SS</sub> = -5.25 V、V<sub>PLUS</sub> = +16.75 V、V<sub>COMP\_VTT</sub> = +3.3 V、V<sub>REF</sub> = +5.0 V、V<sub>REF\_GND</sub> = 0.0 V。すべてのデフォルト・テスト条件は表 38 に規定。特に指定のない限り、すべての仕様値は T<sub>J</sub> = 70°C で規定。T<sub>J</sub> は内部温度センサーに対応。特に指定のない限り、温度係数は T<sub>J</sub> = 70°C ± 20°C で測定。Typ 値は、デザイン、シミュレーション解析、および/または限られたベンチ評価に基づきます。Typ 値はテストしません。または保証しません。テスト・レベルは、テスト・レベルの説明のセクションで規定します。

## 全体機能

表 1.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>TOTAL FUNCTION</b>						
Output Leakage Current						
PE Disable Range E	-20.0	5.3	+20.0	nA	P	-1.5 V < V <sub>DUTx</sub> < +6.0 V; PMU and PE disabled via SPI; PMU Range E, VCH = 7.0 V, VCL = -2.5 V
PE Disable Range A, B, C, D		5.3		nA	C <sub>T</sub>	-1.5 V < V <sub>DUTx</sub> < +6.0 V; PMU and PE disabled via SPI; PMU Range A, PMU Range B, PMU Range C, and PMU Range D, VCH = +7.0 V, VCL = -2.5 V
High-Z Mode	-400	5.4	+400	nA	P	-1.5 V < V <sub>DUTx</sub> < +6.0 V; PMU disabled and PE enabled via SPI; RCV active, VCH = +7.0 V, VCL = -2.5 V
Output Capacitance		4		pF	S	VTERM mode operation
DUT Pin Range	-1.5		+6.0	V	D	
<b>POWER SUPPLIES</b>						
Total Supply Range, V <sub>PLUS</sub> to V <sub>SS</sub>		22.5	23.25	V	D	Defines PSRR conditions
V <sub>PLUS</sub> Supply, V <sub>PLUS</sub>	16.25	16.75	17.25	V	D	Defines PSRR conditions
Positive Supply, V <sub>DD</sub>	9.5	10.0	10.5	V	D	Defines PSRR conditions
Negative Supply, V <sub>SS</sub>	-5.50	-5.25	-5.00	V	D	Defines PSRR conditions
Logic Supply, V <sub>CC</sub>	3.1	3.3	3.5	V	D	Defines PSRR conditions
Comparator Termination, V <sub>COMP_VTT</sub>	3.3		5.0	V	D	
V <sub>PLUS</sub> Supply Current, I <sub>PLUS</sub>	-1.0	+1.3	+3.0	mA	P	HVOUT disabled
V <sub>PLUS</sub> Supply Current, I <sub>PLUS</sub>	4.0	12.7	17.0	mA	P	HVOUT enabled, RCV active, no load, VHH = 12 V
Logic Supply Current, I <sub>CC</sub>	1.0	2.7	10.0	mA	P	Quiescent (SPI is static)
Comparator Termination Current, I <sub>COMP_VTT</sub>	10.0	17	26.0	mA	P	
Positive Supply Current, I <sub>DD</sub>	72	92	105	mA	P	Load power down (IOH = IOL = 0 mA)
Negative Supply Current, I <sub>SS</sub>	100	119	135	mA	P	Load power down (IOH = IOL = 0 mA)
Total Power Dissipation	1.0	1.7	1.9	W	P	Load power down (IOH = IOL = 0 mA)
Positive Supply Current, I <sub>DD</sub>	102	133	154	mA	P	Load active off (IOH = IOL = 12 mA)
Negative Supply Current, I <sub>SS</sub>	130	158	183	mA	P	Load active off (IOH = IOL = 12 mA)
Total Power Dissipation	1.8	2.2	2.5	W	P	Load active off (IOH = IOL = 12 mA)
<b>TEMPERATURE MONITORS</b>						
Temperature Sensor Gain		10		mV/ K	C <sub>T</sub>	
Temperature Sensor Accuracy Without Calibration over 25°C to 100°C		6		°C	C <sub>T</sub>	Temperature voltage available on Pin 3 at all times and Pin 28 when selected (see Table 24 and Table 36)
<b>VREF INPUT</b>						
Reference Input Voltage Range for DACs (VREF Pin)	4.95	5	5.05	V	D	Referenced to V <sub>REF_GND</sub> ; not referenced to V <sub>DUTGND</sub>
Input Bias Current		0.1	100	μA	P	Tested with 5 V applied

## ドライバ

DC/AC仕様を満たすためには  $V_H - V_L \geq 200$  mV。

表 2.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>DC SPECIFICATIONS</b>						
High-Speed Differential Logic Input Characteristics (DATA, RCV)						
Input Termination Resistance	92	100	108	$\Omega$	P	Push 6 mA into xP pins, force 1.3 V on xN pins; measure voltage from xP to xN, calculate resistance $(\Delta V/\Delta I)^1$
Input Voltage Differential	0.2		1.0	V	P <sub>F</sub>	
Common-Mode Voltage	0.85		2.35	V	P <sub>F</sub>	
Input Bias Current	-20.0	+2.2	+20.0	$\mu$ A	P	Each pin tested at 2.85 V and 0.35 V, while the other high speed pin remains open
Pin Output Characteristics						
Output High Range, V <sub>H</sub>	-1.4		+6.0	V	D	
Output Low Range, V <sub>L</sub>	-1.5		+5.9	V	D	
Output Term Range, V <sub>T</sub>	-1.5		+6.0	V	D	
Functional Amplitude (V <sub>H</sub> - V <sub>L</sub> )	0.0	7.5		V	D	Amplitude can be programmed to V <sub>H</sub> = V <sub>L</sub> , accuracy specs apply when V <sub>H</sub> - V <sub>L</sub> $\geq$ 200 mV
DC Output Current Limit Source	75	100	120	mA	P	Driver high, V <sub>H</sub> = 6.0 V, short DUT <sub>x</sub> pin to -2.0 V, measure current
DC Output Current Limit Sink	-120	-100	-75	mA	P	Driver low, V <sub>L</sub> = -1.5 V, short DUT <sub>x</sub> pin to 6.0 V, measure current
Output Resistance, $\pm 50$ mA	45.0	47.0	49.0	$\Omega$	P	Source: driver high, V <sub>H</sub> = 3.0 V, I <sub>DUTx</sub> = 1 mA and 50 mA; sink: driver low, V <sub>L</sub> = 0.0 V, I <sub>DUTx</sub> = -1 mA and -50 mA; $\Delta V_{DUT}/\Delta I_{DUT}$
<b>ABSOLUTE ACCURACY</b>						
V <sub>H</sub> tests done with V <sub>L</sub> = -2.5 V and V <sub>T</sub> = -2.5 V; V <sub>L</sub> tests done with V <sub>H</sub> = 7.5 V and V <sub>T</sub> = 7.5 V; V <sub>T</sub> tests done with V <sub>L</sub> = -2.5 V and V <sub>H</sub> = +7.5 V; unless otherwise specified						
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> Uncalibrated Accuracy	-250	$\pm 75$	+250	mV	P	Error measured at calibration points of 0 V and 5 V
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> Offset Tempco		$\pm 450$		$\mu$ V/ $^{\circ}$ C	C <sub>T</sub>	Measured at calibration points
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> DNL		$\pm 1$		mV	C <sub>T</sub>	After two-point gain/offset calibration
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> INL	-10	$\pm 2.5$	+10	mV	P	After two-point gain/offset calibration; measured over driver output ranges
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> Resolution		0.6	+1	mV	P <sub>F</sub>	After two-point gain/offset calibration; range/number of DAC bits as measured at calibration points of 0 V and 5 V
DUTGND Voltage Accuracy	-7	$\pm 1.3$	+7	mV	P	Over $\pm 0.1$ V range; measured at end points of V <sub>H</sub> , V <sub>L</sub> , and V <sub>T</sub> functional range
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> Crosstalk		$\pm 2$		mV	C <sub>T</sub>	V <sub>L</sub> = -1.5 V: V <sub>H</sub> = -1.4 V $\rightarrow$ 6.0 V, V <sub>T</sub> = -1.5 V $\rightarrow$ 6.0 V; V <sub>H</sub> = 6.0 V: V <sub>L</sub> = -1.5 V $\rightarrow$ 5.9 V, V <sub>T</sub> = -1.5 V $\rightarrow$ 6.0 V; V <sub>T</sub> = 1.5 V: V <sub>L</sub> = -1.5 V $\rightarrow$ 5.9 V, V <sub>H</sub> = -1.4 V $\rightarrow$ 6.0 V; dc crosstalk on V <sub>L</sub> , V <sub>H</sub> , V <sub>T</sub> output level when other driver DACs are varied
Overall Voltage Accuracy		$\pm 10$		mV	C <sub>T</sub>	Sum of INL, crosstalk, DUTGND, and tempco over $\pm 5^{\circ}$ C, after gain/offset calibration
V <sub>H</sub> , V <sub>L</sub> , V <sub>T</sub> DC PSRR		$\pm 15$		mV/V	C <sub>T</sub>	Measured at calibration points
<b>AC SPECIFICATIONS</b>						
Rise/Fall Times						
Toggle DATA <sub>xx</sub>						
0.2 V Programmed Swing		1000		ps	C <sub>B</sub>	V <sub>H</sub> = 0.2 V, V <sub>L</sub> = 0.0 V, terminated; 20% to 80%
1.0 V Programmed Swing		800		ps	C <sub>B</sub>	V <sub>H</sub> = 1.0 V, V <sub>L</sub> = 0.0 V, terminated; 20% to 80%
2.0 V Programmed Swing		950		ps	C <sub>B</sub>	V <sub>H</sub> = 2.0 V, V <sub>L</sub> = 0.0 V, terminated; 20% to 80%
3.0 V Programmed Swing	1000	1175	1500	ps	P/C <sub>B</sub>	V <sub>H</sub> = 3.0 V, V <sub>L</sub> = 0.0 V, terminated; 20% to 80%
3.0 V Programmed Swing		1650		ps	C <sub>B</sub>	V <sub>H</sub> = 3.0 V, V <sub>L</sub> = 0.0 V, unterminated; 10% to 90%
5.0 V Programmed Swing		2350		ps	C <sub>B</sub>	V <sub>H</sub> = 5.0V, V <sub>L</sub> = 0.0 V, unterminated; 10% to 90%

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
Rise to Fall Matching		30		ps	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated; rise to fall within one channel
Minimum Pulse Width						Toggle DATAxx
1.0 V Programmed Swing		1.4		ns	C <sub>B</sub>	VH = 1.0 V, VL = 0.0 V, terminated; timing error $\pm 75$ ps
		1.6		ns	C <sub>B</sub>	VH = 1.0 V, VL = 0.0 V, terminated; less than 10% amplitude degradation
2.0 V Programmed Swing		1.6		ns	C <sub>B</sub>	VH = 2.0 V, VL = 0.0 V, terminated; timing error $\pm 75$ ps
		1.8		ns	C <sub>B</sub>	VH = 2.0 V, VL = 0.0 V, terminated; less than 10% amplitude degradation
3.0 V Programmed Swing		2.1		ns	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated; timing error $\pm 75$ ps
		2.3		ns	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated; less than 10% amplitude degradation
Maximum Toggle Rate						
2.0 V Programmed Swing		250		MHz	C <sub>B</sub>	VH = 2.0 V, VL = 0.0 V, terminated, 10% amplitude degradation
3.0 V Programmed Swing		200		MHz	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated, 10% amplitude degradation
Dynamic Performance, Drive (VH to VL and VL to VH)						Toggle DATAxx
Propagation Delay Time		3.0		ns	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated
Propagation Delay Tempco		3.0		ps/°C	C <sub>T</sub>	VH = 3.0 V, VL = 0.0 V, terminated
Delay Matching						VH = 3.0 V, VL = 0.0 V, terminated
Edge to Edge		115		ps	C <sub>B</sub>	Rising vs. falling
Channel to Channel		30		ps	C <sub>B</sub>	Rising vs. rising, falling vs. falling
Delay Change vs. Duty Cycle		30		ps	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated; 5% to 95% duty cycle; 1 MHz
Overshoot and Undershoot		20		mV	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated
Settling Time (VH to VL)						Toggle DATAxx
To Within 3% of Final Value		5		ns	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated
To Within 1% of Final Value		35		ns	C <sub>B</sub>	VH = 3.0 V, VL = 0.0 V, terminated
Dynamic Performance, VT (VH or VL to VT and VT to VH or VL)						Toggle RCVx
Propagation Delay Time		3.3		ns	C <sub>B</sub>	VH = 3.0 V, VT = 1.5 V, VL = 0.0 V, terminated
Delay Matching, Edge to Edge		100		ps	C <sub>B</sub>	VH = 3.0 V, VT = 1.5 V, VL = 0.0 V, terminated; rising vs. falling
Propagation Delay Tempco		4.0		ps/°C	C <sub>T</sub>	VH = 3.0 V, VT = 1.5 V, VL = 0.0 V, terminated
Transition Time, Active to VT and VT to Active		0.85		ns	C <sub>B</sub>	VH = 3.0 V, VT = 1.5 V, VL = 0.0 V, terminated; 20% to 80%
Dynamic Performance, Inhibit (VH or VL to/from Inhibit)						Toggle RCVx
Propagation Delay Time						VH = +1.0 V, VL = -1.0 V, terminated
Active to Inhibit		4.5		ns	C <sub>B</sub>	
Inhibit to Active		6.9		ns	C <sub>B</sub>	
Transition Time						VH = +1.0 V, VL = -1.0 V, terminated; 20% to 80%
Active to Inhibit		2.6		ns	C <sub>B</sub>	
Inhibit to Active		0.75		ns	C <sub>B</sub>	
I/O Spike		190		mV	C <sub>B</sub>	VH = 0.0 V, VL = 0.0 V, terminated

<sup>1</sup> xP ピンには DATA0P、DATA1P、RCV0P、RCV1P が、xN ピンには DATA0N、DATA1N、RCV0N、RCV1N がそれぞれ含まれます。例えば、6 mA を DATA0P ピンに、1.3 V を DATA0N にそれぞれ入力して、DATA0P~DATA0N の電圧を測定します。

## 反射のクランプ

クランプの精度仕様は  $V_{CH} > V_{CL}$  の場合に適用。

表 3.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>VCH</b>						
Range	-1.0		+6.0	V	D	
Uncalibrated Accuracy	-200	±50	+200	mV	P	Driver high-Z, sinking 1 mA; VCH error measured at the calibration points of 0.0 V and 5.0 V
Resolution		0.6	0.75	mV	P <sub>F</sub>	Driver high-Z, sinking 1 mA; after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 0.0 V and 5.0 V
DNL		±1		mV	C <sub>T</sub>	Driver high-Z, sinking 1 mA; after two-point gain/offset calibration
INL	-40	±2	+40	mV	P	Driver high-Z, sinking 1 mA; after two-point gain/offset calibration; measured over VCH range of -1.0 V to +6.0 V
Tempco		-0.3		mV/°C	C <sub>T</sub>	Measured at calibration points
<b>VCL</b>						
Range	-1.5		+5.0	V	D	
Uncalibrated Accuracy	-200	±50	+200	mV	P	Driver high-Z, sourcing 1 mA; VCL error measured at the calibration points of 0.0 V and 5.0 V
Resolution		0.6	0.75	mV	P <sub>F</sub>	Driver high-Z, sourcing 1 mA; after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 0.0 V and 5.0 V
DNL		±1		mV	C <sub>T</sub>	Driver high-Z, sourcing 1 mA; after two-point gain/offset calibration
INL	-40	±2	+40	mV	P	Driver high-Z, sourcing 1 mA; after two-point gain/offset calibration; measured over VCL range of -1.5 V to +5 V
Tempco		0.5		mV/°C	C <sub>T</sub>	Measured at calibration points
<b>DC CLAMP CURRENT LIMIT</b>						
VCH	-120	-85	-60	mA	P	Driver high-Z, VCH = 0 V, VCL = -1.5 V, V <sub>DUTx</sub> = +5 V
VCL	60	85	120	mA	P	Driver high-Z, VCH = 6.0 V, VCL = 5.0 V, V <sub>DUTx</sub> = 0.0 V
<b>DUTGND VOLTAGE ACCURACY</b>						
	-7	±1	+7	mV	P	Over ±0.1 V range; measured at the end points of VCH and VCL functional range

## ノーマル・ウインドウ・コンパレータ

特に指定のない限り、VOHテストは  $V_{OL} = -1.5$  Vで、VOLテストは  $V_{OH} = 6.0$  Vで、それぞれ実施。

表 4.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>DC SPECIFICATIONS</b>						
Input Voltage Range	-1.5		+6.0	V	D	
Differential Voltage Range	±0.1		±7.5	V	D	
Comparator Input Offset Voltage Accuracy, Uncalibrated	-150	±30	+150	mV	P	Offset measured at the calibration points of 0.0 V and 5.0 V
Comparator Threshold Resolution		0.6	1	mV	P <sub>F</sub>	After two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 0 V and 5 V
Comparator Threshold DNL		±1		mV	C <sub>T</sub>	After two-point gain/offset calibration
Comparator Threshold INL	-7	±1.3	+7	mV	P	After two-point gain/offset calibration; measured over VOH, VOL range of -1.5 V to +6.0 V
Comparator Input Offset Voltage Tempco		±100		μV/°C	C <sub>T</sub>	Measured at calibration points
DUTGND Voltage Accuracy	-7	±0.5	+7	mV	P	Over ±0.1 V range; measured at end points of VOH and VOL functional range

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
Comparator Uncertainty Range		6.0		mV	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V, sweep comparator threshold to determine uncertainty region
DC Hysteresis		0.5		mV	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V
DC PSRR		±5		mV/ V	C <sub>T</sub>	Measured at calibration points
Digital Output Characteristics						
Internal Pull-Up Resistance to Comparator, COMP_VTT Pin	40	50	60	Ω	P	Pull 1 mA and 10 mA from Logic 1 leg and measure ΔV to calculate resistance; measured ΔV/9 mA; done for both comparator logic states
V <sub>COMP_VTT</sub> Range	3.3		5.0	V	D	
Common-Mode Voltage		V <sub>COMP_VTT</sub> - 1.88		V	C <sub>T</sub>	Measured with 100 Ω differential termination
	V <sub>COMP_VTT</sub> - 2.07		V <sub>COMP_VTT</sub> - 1.67	V	P	Measured with no external termination
	5		5	V		
Differential Voltage		250		mV	C <sub>T</sub>	Measured with 100 Ω differential termination
	400	500	600	mV	P	Measured with no external termination
Rise/Fall Time, 20% to 80%		450		ps	C <sub>B</sub>	Measured with each comparator leg terminated 50 Ω to GND
<b>AC SPECIFICATIONS</b>						
Propagation Delay, Input to Output		1.75		ns	C <sub>B</sub>	Input transition time = 800 ps, 10% to 90%; measured with each comparator leg terminated 50 Ω to GND; unless otherwise specified V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.75 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.75 V
Propagation Delay Tempco		5		ps/°C	C <sub>T</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.75 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.75 V
Propagation Delay Matching						V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.75 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.75 V
High Transition to Low Transition		200		ps	C <sub>B</sub>	
High to Low Comparator		50		ps	C <sub>B</sub>	
Propagation Delay Change (with Respect To)						
Slew Rate, 800 ps, 1 ns, 1.2 ns, and 2.2 ns (10% to 90%)		50		ps	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.75 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.75 V
Overdrive, 250 mV and 1.5 V		75		ps	C <sub>B</sub>	For 250 mV: V <sub>DUTx</sub> = 0 V to 0.5 V swing; for 1.5 V: V <sub>DUTx</sub> = 0 V to 1.75 V swing; Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.25 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.25 V
Pulse Width, Sweep 1.6 ns to 10 ns		75		ps	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing @ 32.0 MHz, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.5 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.5 V
Duty Cycle, 5% to 95%		50		ps	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing @ 1.0 MHz, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.75 V, VOL = -1.5 V; low-side measurement: VOH = 6.0 V, VOL = 0.75 V
Minimum Pulse Width		2.0		ns	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; less than 12% amplitude degradation measured by shmoo
Input Equivalent Bandwidth, Terminated		500		MHz	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 1.5 V swing, Driver VTERM mode, VT = 0.0 V; as measured by shmoo
ERT High-Z Mode, 3 V, 20%		2.5		ns	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V to 3.0 V swing, driver high-Z; as measured by shmoo; input transition time of ~2000 ps, 10% to

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
to 80%						90%

### 差動コンパレータ

特に指定のない限り、VOHテストは VOL = -1.1 V で、VOLテストは VOH = +1.1 V で、それぞれ実施。

表 5.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>DC SPECIFICATIONS</b>						
Input Voltage Range	-1.25		+4.5	V	D	
Operational Differential Voltage Range	±0.05		±1.1	V	D	
Maximum Differential Voltage Range			±8	V	D	
Comparator Input Offset Voltage Accuracy, Uncalibrated	-150	±35	+150	mV	P/C <sub>T</sub>	Offset measured at differential calibration points +1.0 V and -1.0 V, with common mode = 0.0 V
VOH, VOL Resolution		0.6	1	mV	P <sub>F</sub>	After two-point gain/offset calibration; range/number of DAC bits as measured at differential calibration points +1.0 V and -1.0 V, with common mode = 0.0 V
VOH, VOL DNL		±1		mV	C <sub>T</sub>	After two-point gain/offset calibration; common mode = 0.0 V
VOH, VOL INL	-15	±2.0	+15	mV	P	After two-point gain/offset calibration; measured over VOH, VOL range of -1.1 V to +1.1 V, common mode = 0.0 V
VOH, VOL Offset Voltage Tempco		±200		μV/°C	C <sub>T</sub>	Measured at calibration points
Comparator Uncertainty Range		18		mV	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V, sweep comparator threshold to determine uncertainty region
DC Hysteresis		0.5		mV	C <sub>B</sub>	V <sub>DUTx</sub> = 0 V
CMRR		0.15	1	mV/V	P	Offset measured at common-mode voltage points of -1.5 V and +4.5 V, with differential voltage = 0.0 V
DC PSRR		±1.5		mV/V	C <sub>T</sub>	Measured at calibration points
<b>AC SPECIFICATIONS</b>						
Propagation Delay, Input to Output		1.7		ns	C <sub>B</sub>	Input transition time = 800 ps, 10% to 90%, measured with each comparator leg terminated 50 Ω to GND V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Propagation Delay Tempco		5		ps/°C	C <sub>T</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Propagation Delay Matching						V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
High Transition to Low Transition		100		ps	C <sub>B</sub>	
High-to-Low Comparator		50		ps	C <sub>B</sub>	
Propagation Delay Change (with Respect To)						V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Slew Rate, 800 ps, 1ns, 1.2ns, and 2.2 ns (10% to 90%)		60		ps	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Overdrive, 250 mV and 750 mV		100		ps	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, for 250 mV: V <sub>DUT1</sub> = 0 V to 0.5 V swing; for 750 mV: V <sub>DUT1</sub> = 0 V to 1.0 V swing, Driver VTERM mode, VT = 0.0 V; VOH = -0.25 V; repeat for other DUT channel with comparator threshold = +0.25 V
Pulse Width, Sweep from 1.6 ns to		75		ps	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing @ 32 MHz, Driver VTERM mode, VT = 0.0 V; high-side

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
10 ns						measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Duty Cycle, 5% to 95%		60		ps	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing @ 1 MHz, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; repeat for other DUT channel
Minimum Pulse Width		2.5		ns	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; less than 10% amplitude degradation measured by shmoo; repeat for other DUT channel
Input Equivalent Bandwidth, Terminated		400		MHz	C <sub>B</sub>	V <sub>DUT0</sub> = 0 V, V <sub>DUT1</sub> = -0.5 V to +0.5 V swing, Driver VTERM mode, VT = 0.0 V; high-side measurement: VOH = 0.0 V, VOL = -1.1 V; low-side measurement: VOH = 1.1 V, VOL = 0.0 V; less than 22% amplitude degradation measured by shmoo; repeat for other DUT channel

## アクティブ負荷

負荷制御情報については表 29 を参照。

表 6.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
DC SPECIFICATIONS						Load active on, RCV active, unless otherwise noted
Input Characteristics						
VCOM Voltage Range	-1.25		+5.75	V	D	
V <sub>DUT</sub> Range	-1.5		+6.0	V	D	
VCOM Accuracy, Uncalibrated	-200	±30	+200	mV	P	IOH = IOL = 6 mA, VCOM error measured at the calibration points of 0.0 V and 5.0 V
VCOM Resolution		0.6	1	mV	P <sub>F</sub>	IOH = IOL = 6 mA, after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 0.0 V and 5.0 V
VCOM DNL		±1		mV	C <sub>T</sub>	IOH = IOL = 6 mA, after two-point gain/offset calibration
VCOM INL	-7	±2	+7	mV	P	IOH = IOL = 6 mA, after two-point gain/offset calibration; measured over VCOM range of -1.25 V to +5.75 V
DUTGND Voltage Accuracy	-7	±1	+7	mV	P	Over ±0.1 V range; measured at end points of VCOM functional range
Output Characteristics						
IOL						
Maximum Source Current	12			mA	D	
Uncalibrated Offset	-600.0	±100	+600.0	μA	P	IOH = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 0.0 V, IOL offset calculated from the calibration points of 1 mA and 11 mA
Uncalibrated Gain	-12	±4	+12	%	P	IOH = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 0.0 V, IOL gain calculated from the calibration points of 1 mA and 11 mA
Resolution		1.5	2	μA	P <sub>F</sub>	IOH = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 0.0 V, after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 1 mA and 11 mA
DNL		±3.0		μA	C <sub>T</sub>	IOH = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 0.0 V, after two-point gain/offset calibration
INL	-80	±20	+80	μA	P	IOH = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 0.0 V, after two-point gain/offset calibration; measured over IOL range of 0 mA to 12 mA
90% Commutation Voltage			0.25	V	P	IOH = IOL = 12 mA, VCOM = 2.0 V, measure IOL reference at V <sub>DUTx</sub> = -1.0 V, measure IOL current at V <sub>DUTx</sub> = 1.75 V, ensure > 90% of reference current
IOH						
Maximum Sink Current	12			mA	D	
Uncalibrated Offset	-600.0	±100	+600.0	μA	P	IOL = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 3.0 V, IOH offset calculated from the calibration points of 1 mA and 11 mA
Uncalibrated Gain	-12	±4	+12	%	P	IOL = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 3.0 V, IOH gain calculated from the calibration points of 1 mA and 11 mA
Resolution		1.5	2	μA	P <sub>F</sub>	IOL = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 3.0 V, after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 1 mA and 11 mA
DNL		±3.0		μA	C <sub>T</sub>	IOL = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 3.0 V, after two-point gain/offset calibration
INL	-80	±20	+80	μA	P	IOL = 0 mA, VCOM = 1.5 V, V <sub>DUTx</sub> = 3.0 V, after two-point gain/offset calibration; measured over IOH range of 0 mA to 12 mA
90% Commutation Voltage			0.25	V	P	IOH = IOL = 12 mA, VCOM = 2.0 V, measure IOH reference at V <sub>DUTx</sub> = 5.0 V, measure IOH current at V <sub>DUTx</sub> = 2.25 V, ensure > 90% of reference current
Output Current Tempco		±1.5		μA/°C	C <sub>T</sub>	Measured at calibration points

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
AC SPECIFICATIONS						Load active on, unless otherwise noted
Dynamic Performance						
Propagation Delay, Load Active On to Load Active Off; 50%, 90%		7.3		ns	C <sub>B</sub>	Toggle RCV, DUTx terminated 50 Ω to GND, IOH = IOL = 12 mA, VH = VL = 0 V, VCOM = +1.25 V for IOL and VCOM = -1.25 V for IOH; measured from 50% point of RCVxP – RCVxN to 90% point of final output, repeat for drive low and high
Propagation Delay, Load Active Off to Load Active On; 50%, 90%		10.3		ns	C <sub>B</sub>	Toggle RCV, DUTx terminated 50 Ω to GND, IOH = IOL = 12 mA, VH = VL = 0 V, VCOM = +1.25 V for IOL and VCOM = -1.25 V for IOH; measured from 50% point of RCVxP – RCVxN to 90% point of final output, repeat for drive low and high
Propagation Delay Matching		3.0		ns	C <sub>B</sub>	Toggle RCV, DUTx terminated 50 Ω to GND, IOH = IOL = 12 mA, VH = VL = 0 V, VCOM = +1.25 V for IOL and VCOM = -1.25 V for IOH; active on vs. active off, repeat for drive low and high
Load Spike		190		mV	C <sub>B</sub>	Toggle RCV, DUTx terminated 50 Ω to GND, IOH = IOL = 0 mA, VH = VL = 0 V, VCOM = +1.25 V for IOL and VCOM = -1.25 V for IOH; repeat for drive low and high
Settling Time to 90%		1.9		ns	C <sub>B</sub>	Toggle RCV, DUTx terminated 50 Ω to GND, IOH = IOL = 12 mA, VH = VL = 0 V, VCOM = +1.25 V for IOL and VCOM = -1.25 V for IOH; measured at 90% of final value

## PMU

FV =電圧フォース、MV =電圧測定、FI =電流フォース、MI =電流測定、FN =フォースなし。

表 7.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
FORCE VOL TAGE (FV)						
Current Range A	±32			mA	D	
Current Range B	±2			mA	D	
Current Range C	±200			μA	D	
Current Range D	±20			μA	D	
Current Range E	±2			μA	D	
Force Input Voltage Range at Output for All Ranges	-1.5		+6.0	V	D	
Force Voltage Uncalibrated Accuracy for Range C	-100	±25	+100	mV	P	PMU enabled, FV, Range C, PE disabled, error measured at calibration points of 0.0 V and 5.0 V
Force Voltage Uncalibrated Accuracy for All Ranges		±25		mV	C <sub>T</sub>	PMU enabled, FV, PE disabled, error measured at calibration points of 0.0 V and 5.0 V; repeat for each PMU current range
Force Voltage Offset Tempco for All Ranges		±25		μV/°C	C <sub>T</sub>	Measured at calibration points for each PMU current range
Force Voltage Gain Tempco for All Ranges		±10		ppm/°C	C <sub>T</sub>	Measured at calibration points for each PMU current range
Forced Voltage INL	-7	±2	+7	mV	P	PMU enabled, FV, Range C, PE disabled, after two-point gain/offset calibration; measured over output range of -1.5 V to +6.0 V
Force Voltage Compliance vs. Current Load						PMU enabled, FV, PE disabled, force -1.5 V, measure voltage while PMU sinking zero and full-scale current; measure ΔV; force 6.0 V, measure voltage while PMU sourcing zero and full-scale current; measure ΔV; repeat for each PMU current range
Range A		±4		mV	C <sub>T</sub>	
Range B to Range E		±1		mV	C <sub>T</sub>	

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
Current Limit, Source, and Sink						
Range A	108	140	180	%FS	P	PMU enabled, FV, PE disabled; sink: force 2.5 V, short DUTx to 6.0 V; source: force 2.5 V, short DUTx to -1.0 V; Range A FS = 32 mA, 108% FS = 35 mA, 180% FS = 58 mA
Range B to Range E	120	145	180	%FS	P	PMU enabled, FV, PE disabled; sink: force 2.5 V, short DUTx to 6.0 V; source: force 2.5 V, short DUTx to -1.0 V; repeat for each PMU current range; example: Range B FS = 2 mA, 120 % FS = 2.4 mA, 180% FS = 3.6 mA
DUTGND Voltage Accuracy	-7	±1	+7	mV	P	Over ±0.1 V range; measured at end points of FV functional range
<b>MEASURE CURRENT (MI)</b>						
Measure Current, Pin DUTx Voltage Range for All Ranges	-1.5		+6.0	V	D	$V_{DUTx}$ externally forced to 0.0V, unless otherwise specified, ideal MEASOUT transfer functions: $V_{MEASOUT01} [V] = (I_{MEASOUT01} \times 5/FSR) + 2.5 + V_{DUTGND}$ $I(V_{MEASOUT01}) [A] = (V_{MEASOUT01} - V_{DUTGND} - 2.5) \times FSR/5$
Measure Current Uncalibrated Accuracy						
Range A		±500		µA	C <sub>T</sub>	PMU enabled, FIMI, Range A, PE disabled, error at calibration points -25 mA and +25 mA, error = $(I(V_{MEASOUT01}) - I_{DUTx})$
Range B	-400	±3.0	+400	µA	P	PMU enabled, FIMI, Range B, PE disabled, error at calibration points -1.6 mA and +1.6 mA, error = $(I(V_{MEASOUT01}) - I_{DUTx})$
Range C		± 2.00		µA	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, error at calibration points of ±80% FS, error = $(I(V_{MEASOUT01})_1 - I_{DUTx})$
Range D		±0.30		µA	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, error at calibration points of ±80% FS, error = $(I(V_{MEASOUT01}) - I_{DUTx})$
Range E		±0.08		µA	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, error at calibration points of ±80% FS, error = $(I(V_{MEASOUT01}) - I_{DUTx})$
Measure Current Offset Tempco						
Range A		±2		µA/°C	C <sub>T</sub>	Measured at calibration points
Range B		±25		nA/°C	C <sub>T</sub>	Measured at calibration points
Range C		±5		nA/°C	C <sub>T</sub>	Measured at calibration points
Range D and Range E		±1		nA/°C	C <sub>T</sub>	Measured at calibration points
Measure Current Gain Error, Nominal Gain = 1						
Range A		±2.5		%	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, gain error from calibration points ±80% FS
Range B	-20	±2	+20	%	P	PMU enabled, FIMI, Range B, PE disabled, gain error from calibration points ±1.6 mA
Range C to Range E		±4		%	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, gain error from calibration points ±80% FS
Measure Current Gain Tempco						Measured at calibration points
Range A		±300		ppm/°C	C <sub>T</sub>	
Range B to Range E		±50		ppm/°C	C <sub>T</sub>	
Measure Current INL						
Range A		±0.05		%FSR	C <sub>T</sub>	PMU enabled, FIMI, Range A, PE disabled, after two-point gain/offset calibration, measured over FSR output of -32 mA to +32 mA
Range B	-0.02		+0.02	%FSR	P	PMU enabled, FIMI, Range B, PE disabled, after two-point gain/offset calibration measured over FSR output of -2 mA to +2 mA
Range B to Range E		±0.01		%FSR	C <sub>T</sub>	PMU enabled, FIMI, PE disabled, after two-point gain/offset calibration; measured over FSR output
FVMI DUT Pin Voltage Rejection	-0.01		+0.01	%FSR/V	P	PMU enabled, FVMI, Range B, PE disabled, force -1 V and +5 V into load of 1 mA; measure ΔI reported at MEASOUT01
DUTGND Voltage Accuracy		±2.5		mV	C <sub>T</sub>	Over ±0.1 V range; measured at end points of MI functional range

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
FORCE CURRENT (FI)						$V_{DUTx}$ externally forced to 0.0V, unless otherwise specified, ideal force current transfer function: $I_{FORCE} = (PMUDAC - 2.5) \times (FSR/5)$
Force Current, DUTx Pin Voltage Range for All Ranges	-1.5		+6.0	V	D	
Force Current Uncalibrated Accuracy						
Range A	-5.0	±0.5	+5.0	mA	P	PMU enabled, FIMI, Range A, PE disabled, error at calibration points of -25 mA and +25 mA
Range B	-400	±40	+400	µA	P	PMU enabled, FIMI, Range B, PE disabled, error at calibration points of -1.6 mA and 1.6 mA
Range C	-40	±4	+40	µA	P	PMU enabled, FIMI, Range C, PE disabled, error at calibration points of ±80% FS
Range D	-4	±0.4	+4	µA	P	PMU enabled, FIMI, Range D, PE disabled, error at calibration points of ±80% FS
Range E	-400	±75	+400	nA	P	PMU enabled, FIMI, Range E, PE disabled, error at calibration points of ±80% FS
Force Current Offset Tempco						
Range A		±1		µA/°C	C <sub>T</sub>	Measured at calibration points
Range B		±80		nA/°C	C <sub>T</sub>	Measured at calibration points
Range C to Range E		±4		nA/°C	C <sub>T</sub>	Measured at calibration points
Forced Current Gain Error, Nominal Gain = 1	-20	±4	+20	%	P	PMU enabled, FIMI, PE disabled, gain error from calibration points of ±80% FS
Forced Current Gain Tempco						Measured at calibration points
Range A		-500		ppm/°C	C <sub>T</sub>	
Range B to Range E		±75		ppm/°C	C <sub>T</sub>	
Force Current INL						
Range A	-0.3	±0.05	+0.3	%FSR	P	PMU enabled, FIMI, Range A, PE disabled, after two-point gain/offset calibration; measured over FSR output of -32 mA to +32 mA
Range B to Range E	-0.2	±0.015	+0.2	%FSR	P	PMU enabled, FIMI, PE disabled, after two-point gain/offset calibration; measured over FSR output
Force Current Compliance vs. Voltage Load						PMU enabled, FIMV, PE disabled; force positive full-scale current driving -1.5 V and +6.0 V, measure $\Delta I$ @ DUTx pin; force negative full-scale current driving -1.5 V and +6.0 V, measure $\Delta I$ @ DUTx pin
Range A to Range D	-0.6	±0.06	+0.6	%FSR	P	
Range E	-1.0	±0.1	+1.0	%FSR	P	
MEASURE VOLTAGE						
Measure Voltage Range	-1.5		+6.0	V	D	
Measure Voltage Uncalibrated Accuracy	-25	±2.0	+25	mV	P	PMU enabled, FVMV, Range B, PE disabled, error at calibration points 0 V and 5 V, error = $(V_{MEASOUT01} - V_{DUTx})$
Measure Voltage Offset Tempco		±10		µV/°C	C <sub>T</sub>	Measured at calibration points
Measure Voltage Gain Error	-2	±0.01	+2	%	P	PMU enabled, FVMV, Range B, PE disabled, gain error from calibration points 0 V and 5 V
Measure Voltage Gain Tempco		25		ppm/°C	C <sub>T</sub>	Measured at calibration points
Measure Voltage INL	-7	±1	+7	mV	P	PMU enabled, FVMV, Range B, PE disabled, after two-point gain/offset calibration; measured over output range of -1.5 V to +6.0 V
Rejection of Measure V vs. $I_{DUTx}$	-1.5	±0.1	+1.5	mV	P	PMU enabled, FVMV, Range D, PE disabled, force 0 V into load of -10 µA and +10 µA; measure $\Delta V$ reported at MEASOUT01

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>MEASOUT01 DC CHARACTERISTICS</b>						
MEASOUT01 Voltage Range	-1.5		+6.0	V	D	PMU enabled, FVMV, PE disabled; source resistance: PMU force 6.0 V and load with 0 mA and 4 mA; sink resistance: PMU force -1.5 V and load with 0 mA and -4 mA; resistance = $\Delta V/\Delta I$ at MEASOUT01 pin Tested at -1.5 V and +6.0 V
DC Output Current			4	mA	D	
MEASOUT01 Pin Output Impedance		25	200	$\Omega$	P	
Output Leakage Current when Tristated	-1		+1	$\mu$ A	P	
Output Short-Circuit Current	-25		+25	mA	P	PMU enabled, FVMV, PE disabled; source: PMU force +6.0 V, short MEASOUT01 to -1.5 V; sink: PMU force -1.5 V, short MEASOUT01 to +6.0 V
<b>VOLTAGE CLAMPS</b>						
Low Clamp Range (VCL)	-1.5		+4.0	V	D	PMU enabled, FIMI, Range A, PE disabled, PMU clamps enabled, VCH = 5 V, VCL = -1 V, PMU force 2 mA and 32 mA into open; $\Delta V$ seen at DUTx pin
High Clamp Range (VCH)	0.0		6.0	V	D	
Positive Clamp Voltage Droop	-300	+10	+300	mV	P	
Negative Clamp Voltage Droop	-300	-10	+300	mV	P	PMU enabled, FIMI, Range A, PE disabled, PMU clamps enabled, VCH = 5 V, VCL = -1 V, PMU force -2 mA and -32 mA into open; $\Delta V$ seen at DUTx pin
Uncalibrated Accuracy	-250	$\pm$ 100	+250	mV	P	PMU enabled, FIMI, Range B, PE disabled, PMU clamps enabled, PMU force $\pm$ 1 mA into open; VCH errors at calibration points 0 V and 5 V; VCL errors at the calibration points 0 V and 4 V
INL	-70	$\pm$ 5	+70	mV	P	PMU enabled, FIMI, Range B, PE disabled, PMU clamps enabled, PMU force $\pm$ 1 mA into open; after two-point gain/offset calibration; measured over PMU clamp range
DUTGND Voltage Accuracy		$\pm$ 1		mV	C <sub>T</sub>	Over $\pm$ 0.1 V range; measured at end points of PMU clamp functional range
<b>SETTLING/SWITCHING TIMES</b>						
Voltage Force Settling Time to 0.1% of Final Value:						SCAP = 330 pF, FFCAP = 220 pF PMU enabled, FV, PE disabled, program PMUDAC steps of 500 mV and 5.0 V; simulation of worst case, 2000 pF load, PMUDAC step of 5.0 V
Range A, 200 pF and 2000 pF Load		15		$\mu$ s	S	PMU enabled, FV, PE disabled, start with PMUDAC programmed to 0.0 V, program PMUDAC to 500 mV
Range B, 200 pF and 2000 pF Load		20		$\mu$ s	S	
Range C, 200 pF and 2000 pF Load		124		$\mu$ s	S	
Range D, 200 pF and 2000 pF Load		1015		$\mu$ s	S	
Range E, 200 pF and 2000 pF Load		3455		$\mu$ s	S	
Voltage Force Settling Time to 1.0% of Final Value:						
Range A, 200 pF and 2000 pF Load		14		$\mu$ s	C <sub>B</sub>	
Range B, 200 pF and 2000 pF Load		14		$\mu$ s	C <sub>B</sub>	
Range C, 200 pF and 2000 pF Load		14		$\mu$ s	C <sub>B</sub>	
Range D, 200 pF Load		45		$\mu$ s	C <sub>B</sub>	
Range D, 2000 pF Load		45		$\mu$ s	C <sub>B</sub>	
Range E, 200 pF Load		45		$\mu$ s	C <sub>B</sub>	
Range E, 2000 pF Load		225		$\mu$ s	C <sub>B</sub>	

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
Voltage Force Settling Time to 1.0% of Final Value:						PMU enabled, FV, PE disabled, start with PMUDAC programmed to 0.0 V, program PMUDAC to 5.0 V
Range A, 200 pF and 2000 pF Load		4.0		μs	C <sub>B</sub>	
Range B, 200 pF Load		4.2		μs	C <sub>B</sub>	
Range B, 2000 pF Load		4.2		μs	C <sub>B</sub>	
Range C, 200 pF Load		5.8		μs	C <sub>B</sub>	
Range C, 2000 pF Load		19		μs	C <sub>B</sub>	
Range D, 200 pF Load		50		μs	C <sub>B</sub>	
Range D, 2000 pF Load		210		μs	C <sub>B</sub>	
Range E, 200 pF Load		360		μs	C <sub>B</sub>	
Range E, 2000 pF Load		610		μs	C <sub>B</sub>	
Current Force Settling Time to 0.1% of Final Value						PMU enabled, FI, PE disabled, start with PMUDAC programmed to 0 current, program PMUDAC to FS current
Range A, 200 pF in Parallel with 120 Ω		8.2		μs	S	
Range B, 200 pF in Parallel with 1.5 kΩ		9.4		μs	S	
Range C, 200 pF in Parallel with 15.0 kΩ		30		μs	S	
Range D, 200 pF in Parallel with 150 kΩ		281		μs	S	
Range E, 200 pF in Parallel with 1.5 MΩ		2668		μs	S	
Current Force Settling Time to 1.0% of Final Value:						PMU enabled, FI, PE disabled, start with PMUDAC programmed to 0 current, program PMUDAC to FS current
Range A, 200 pF in Parallel with 120 Ω		4.2		μs	C <sub>B</sub>	
Range B, 200 pF in Parallel with 1.5 kΩ		4.3		μs	C <sub>B</sub>	
Range C, 200 pF in Parallel with 15.0 kΩ		8.1		μs	C <sub>B</sub>	
Range D, 200 pF in Parallel with 150 kΩ		205		μs	C <sub>B</sub>	
Range E, 200 pF in Parallel with 1.5 MΩ		505		μs	C <sub>B</sub>	
<b>INTERACTION AND CROSSTALK</b>						
Measure Voltage Channel-to-Channel Crosstalk		±0.125		%FSR	C <sub>T</sub>	PMU enabled, FIMV, PE disabled, Range B, forcing 0 mA into 0 V load; other channel: Range A, forcing a step of 0 mA to 25 mA into 0 V load; report ΔV of MEASOUT01 pin under test; 0.125% × 8.0 V = 10 mV
Measure Current Channel-to-Channel Crosstalk		±0.01		%FSR	C <sub>T</sub>	PMU enabled, FVMI, PE disabled, Range E, forcing 0 V into 0 mA current load; other channel: Range E, forcing a step of 0 V to 5 V into 0 mA current load; report ΔV of MEASOUT01 pin under test; 0.01% × 5.0 V = 0.5 mV

外部検出(PMUS\_CHx)

表 8.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
<b>EXTERNAL SENSE (PMUS_CHX)</b>						
Voltage Range	-1.5		+6.0	V	D	
Input Leakage Current	-20		+20	nA	P	Tested at -1.5 V and +6.0 V

**DUTGND 入力**

表 9.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
DUTGND INPUT						
Input Voltage Range, Referenced to GND	-0.1		+0.1	V	D	
Input Bias Current		1	100	μA	P	Tested at -100 mV and +100 mV

## シリアル・ペリフェラル・インターフェース

表 10.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
SERIAL PERIPHERAL INTERFACE						
Serial Input Logic High	1.8		$V_{CC}$	V	$P_F$	
Serial Input Logic Low	0		0.7	V	$P_F$	
Input Bias Current	-10	1	+10	$\mu A$	P	Tested at 0.0 V and 3.3 V
SCLK Clock Rate		50		MHz	$P_F$	
SCLK Pulse Width		9		ns	$C_T$	
SCLK Crosstalk on DUT x Pin		8		mV	$C_B$	PE disabled, PMU FV enabled and forcing 0 V
Serial Output Logic High	$V_{CC} - 0.4$		$V_{CC}$	V	$P_F$	Sourcing 2 mA
Serial Output Logic Low Update Time	0	10	0.8	$\mu s$	$P_F$ D	Sinking 2 mA Maximum delay time required for the part to enter a stable state after a serial bus command is loaded

## HVOUT ドライバ

表 11.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
VHH BUFFER						
Voltage Range	5.9		$V_{PLUS} - 3.25$	V	D	$V_{VHH} = (V_T + 1 V) \times 2 + DUTGND$ $V_{PLUS} = 16.75 V$ nominal; in this condition, $V_{HVOUT\ max} = 13.5 V$
Output High	13.5			V	P	VHH mode enabled, RCV active, VHH level = full scale, sourcing 15 mA
Output Low			5.9	V	P	VHH mode enabled, RCV active, VHH level = zero scale, sinking 15 mA
Accuracy Uncalibrated	-500	$\pm 100$	+500	mV	P	VHH mode enabled, RCV active, $V_{HVOUT}$ error measured at the calibration points of 7 V and 12 V
Offset Tempco		1		mV/ $^{\circ}C$	$C_T$	Measured at calibration points
Resolution		1.21	1.5	mV	$P_F$	VHH mode enabled, RCV active, after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points of 7 V and 12 V
INL	-30	$\pm 15$	+30	mV	P	VHH mode enabled, RCV active, after two-point gain/offset calibration; measured over VHH range of 5.9 V to 13.5 V
DUTGND Voltage Accuracy		$\pm 1$		mV	$C_T$	Over $\pm 0.1 V$ range; measured at end points of VHH functional range
Output Resistance		1	10	$\Omega$	P	VHH mode enabled, RCV active, source: $V_{VHH} = 10.0 V$ , $I_{HVOUT} = 0 mA$ and 15 mA; sink: $V_{VHH} = 6.5 V$ , $I_{HVOUT} = 0 mA$ and -15 mA; $\Delta V/\Delta I$
DC Output Current Limit Source	60		100	mA	P	VHH mode enabled, RCV active, $V_{VHH} = 10.0 V$ , short HVOUT pin to 5.9 V, measure current
DC Output Current Limit Sink	-100		-60	mA	P	VHH mode enabled, RCV active, $V_{VHH} = 6.5 V$ , short HVOUT pin to 14.1 V, measure current
Rise Time (From VL or VH to VHH)		200		ns	$C_B$	VHH mode enabled, toggle RCV, $V_{VHH} = 13.5 V$ , $V_L = V_H = 3.0 V$ ; 20% to 80%, for DATA = high and DATA = low
Fall Time (From VHH to VL or VH)		26		ns	$C_B$	VHH mode enabled, toggle RCV, $V_{VHH} = 13.5 V$ , $V_L = V_H = 3.0 V$ ; 20% to 80%, for DATA = high and DATA = low
Preshoot, Overshoot, and Undershoot		$\pm 125$		mV	$C_B$	VHH mode enabled, toggle RCV, $V_{VHH} = 13.5 V$ , $V_L = V_H = 3.0 V$ ; for DATA = high and DATA = low

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
VL/VH BUFFER						
Voltage Range	-0.1		+6.0	V	D	
Accuracy Uncalibrated	-500	±100	+500	mV	P	VHH mode enabled, RCV inactive, error measured at the calibration points 0 V and 5 V
Offset Tempco		1		mV/°C	C <sub>T</sub>	Measured at calibration points
Resolution		0.61	0.75	mV	P <sub>F</sub>	VHH mode enabled, RCV inactive, after two-point gain/offset calibration; range/number of DAC bits as measured at the calibration points 0 V and 5 V
INL	-20	±4	+20	mV	P	VHH mode enabled, RCV inactive, after two-point gain/offset calibration; measured over range of -0.1 V to +6.0 V
DUTGND Voltage Accuracy		±2		mV	C <sub>T</sub>	Over ±0.1 V range; measured at end points of VH and VL, functional range
Output Resistance	46	48	50	Ω	P	VHH mode enabled, RCV inactive, source: VH = 3.0 V, I <sub>HVOUT</sub> = 1 mA and 50 mA; sink: VL = 2.0 V, I <sub>HVOUT</sub> = -1 mA and -50 mA; ΔV/ΔI
DC Output Current Limit Source	60		100	mA	P	VHH mode enabled, RCV inactive, VH = 6.0 V, short HVOUT pin to -0.1 V, DATA high, measure current
DC Output Current Limit Sink	-100		-60	mA	P	VHH mode enabled, RCV inactive, VL = -0.1 V, short HVOUT pin to 6.0 V, DATA low, measure current
Rise Time (VL to VH)		10.0		ns	C <sub>B</sub>	VHH mode enabled, RCV inactive, VL = 0.0 V, VH = 3.0 V, toggle DATA; 20% to 80%
Fall Time (VH to VL)		11.3		ns	C <sub>B</sub>	VHH mode enabled, RCV inactive, VL = 0.0 V, VH = 3.0 V, toggle DATA; 20% to 80%
Preshoot, Overshoot, and Undershoot		±54		mV	C <sub>B</sub>	VHH mode enabled, RCV inactive, VL = 0.0 V, VH = 3.0 V, toggle DATA

## 過電圧検出器(OVD)

表 12.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
DC CHARACTERISTICS						
Programmable Voltage Range	-3.0		+7.0	V	D	
Accuracy Uncalibrated	-200		+200	mV	P	OVD offset errors measured at programmed levels of +7.0 V and -3.0 V
Hysteresis		112		mV	C <sub>B</sub>	
LOGIC OUTPUT CHARACTERISTICS						
Off State Leakage		10	1000	nA	P	Disable OVD alarm, apply 3.3 V to OVD pin, measure leakage current
Max On Voltage @ 100 μA		0.2	0.7	V	P	Activate alarm, force 100 μA into OVD pin, measure active alarm voltage
Propagation Delay		1.6		μs	C <sub>B</sub>	For OVD high: DUTx = 0 V to 6 V swing, OVD high = 3.0 V, OVD low = -3.0 V; for OVD low: DUTx = 0 V to 6 V swing, OVD high = 7.0 V, OVD low = 3.0 V

## 16 ビット DAC モニター・マルチプレクサ

表 13.

Parameter	Min	Typ	Max	Unit	Test Level	Conditions/Comments
DC CHARACTERISTICS						
Programmable Voltage Range	-2.5		+7.5	V	D	
Output Resistance		16		kΩ	C <sub>T</sub>	PMUDAC = 0.0 V, FV, I = 0, 200 μA; ΔV/ΔI

## 絶対最大定格

表 14.

Parameter	Rating
Supply Voltages	
Positive Supply Voltage ( $V_{DD}$ to GND)	-0.5 V to +11.0 V
Positive $V_{CC}$ Supply Voltage ( $V_{CC}$ to GND)	-0.5 V to +4.0 V
Negative Supply Voltage ( $V_{SS}$ to GND)	-6.25 V to +0.5 V
Supply Voltage Difference ( $V_{DD}$ to $V_{SS}$ )	-1.0 V to +16.5 V
Reference Ground (DUTGND to GND)	-0.5 V to +0.5 V
AGND to DGND	-0.5 V to +0.5 V
VPLUS Supply Voltage ( $V_{PLUS}$ to GND)	-0.5 V to +17.5 V
Input Voltages	
Input Common-Mode Voltage	$V_{SS}$ to $V_{DD}$
Short-Circuit Voltage <sup>1</sup>	-3.0 V to +8.0 V
High Speed Input Voltage <sup>2</sup>	0.0 V to $V_{CC}$
High Speed Differential Input Voltage <sup>3</sup>	0.0 V to $V_{CC}$
VREF	-0.5 V to +5.5 V
DUTx I/O Pin Current	
DCL Maximum Short-Circuit Current <sup>4</sup>	±140 mA
Temperature	
Operating Temperature, Junction	125°C
Storage Temperature Range	-65°C to +150°C

<sup>1</sup>  $R_L = 0 \Omega$ ,  $V_{DUT}$  連続短絡条件、(VH、VL、VT、高 Z、VCOM、クランプ・モード)。

<sup>2</sup> ソース  $R = 0 \Omega$  での DATAxP、DATAxN、RCVxP、RCVxN。

<sup>3</sup> DATAxP~DATAxN、RCVxP、RCVxN。

<sup>4</sup>  $R_L = 0 \Omega$ ,  $V_{DUTx} = -3 \text{ V} \sim +8 \text{ V}$ 、DCL 電流制限。連続短絡条件。  
ADATE305 は電流を制限して、連続短絡に耐える必要があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

冷却液仕様の場合、 $\theta_{JC} = 1.1^\circ\text{C/W}$ 。

表 15.熱抵抗

Airflow	$\theta_{JA}$	Unit
Natural Convection	33	$^\circ\text{C/W}$
1 meter per second	30	$^\circ\text{C/W}$
2 meters per second	28.5	$^\circ\text{C/W}$

## テスト・レベルの説明

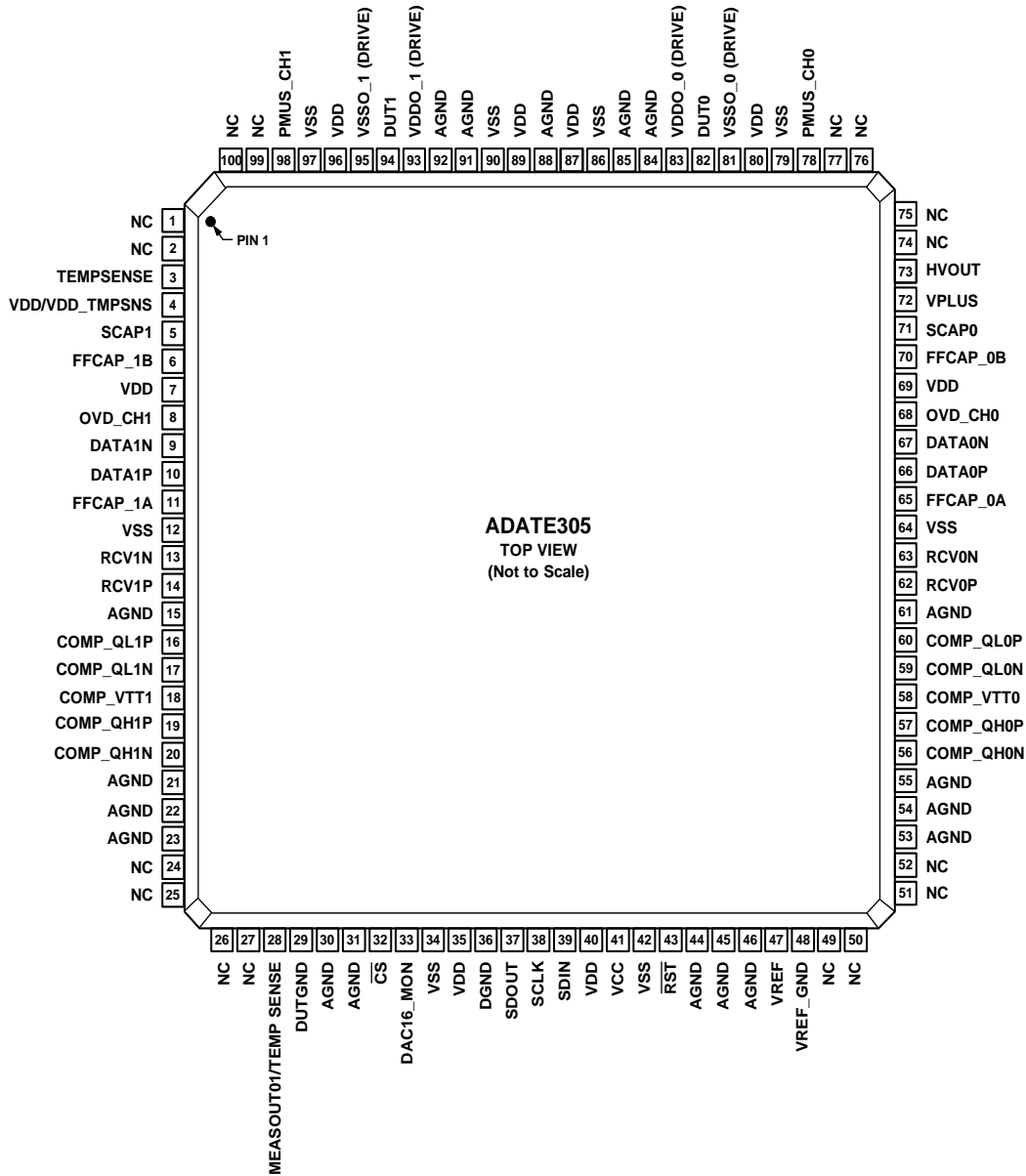
- D 定義
- S デザインの評価シミュレーションを実施。
- P 100%の出荷テストを実施。
- P<sub>F</sub> 出荷テストで機能を確認。
- C<sub>T</sub> テスタ上でキャラクタライゼーションを実施。
- C<sub>B</sub> ベンチでキャラクタライゼーションを実施。

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

# ピン配置およびピン機能説明



- NOTES  
 1. NC = NO CONNECT.  
 2. EXPOSED PAD IS CONNEC TED TO VSS.

07280-002

図 2.ピン配置

表 16.ピン機能の説明

ピン番号	記号	説明
1	NC	未接続。チップへの接続なし。
2	NC	未接続。チップへの接続なし。
3	TEMPSENSE	温度検出出力。
4	VDD/VDD_TMPSNS	温度検出電源+10.0 V。
5	SCAP1	PMU 安定化コンデンサ接続チャンネル 1 (330 pF)。
6	FFCAP_1B	PMU フィードフォワード・コンデンサ接続 B チャンネル 1 (220 pF)。
7	VDD	電源+10.0 V。
8	OVD_CH1	過電圧検出フラグ出力チャンネル 1。
9	DATA1N	ドライバ・データ入力(負)チャンネル 1。
10	DATA1P	ドライバ・データ入力(正)チャンネル 1。

ピン番号	記号	説明
11	FFCAP_1A	PMU フィードフォワード・コンデンサ接続 A チャンネル 1 (220 pF)。
12	VSS	電源-5.75 V。
13	RCV1N	受信データ入力(負)チャンネル 1。
14	RCV1P	受信データ入力(正)チャンネル 1。
15	AGND	アナログ・グラウンド。
16	COMP_QL1P	ローサイド・コンパレータ出力(正)チャンネル 1。
17	COMP_QL1N	ローサイド・コンパレータ出力(負)チャンネル 1。
18	COMP_VTT1	コンパレータ電源チャンネル 1。
19	COMP_QH1P	ハイサイド・コンパレータ出力(正)チャンネル 1。
20	COMP_QH1N	ハイサイド・コンパレータ出力(負)チャンネル 1。
21	AGND	アナログ・グラウンド。
22	AGND	アナログ・グラウンド。
23	AGND	アナログ・グラウンド。
24	NC	未接続。チップへの接続なし。
25	NC	未接続。チップへの接続なし。
26	NC	未接続。チップへの接続なし。
27	NC	未接続。チップへの接続なし。
28	MEASOUT01/TEMP SENSE	共用ピン。PMU MEASOUT チャンネル 0、PMU MEASOUT チャンネル 1、温度検出/温度検出 GND リファレンス間で共用。
29	DUTGND	被テスト・デバイスのグラウンド基準。
30	AGND	アナログ・グラウンド。
31	AGND	アナログ・グラウンド。
32	$\overline{CS}$	シリアル・ペリフェラル・インターフェース(SPI®)のチップ・セレクト。
33	DAC16_MON	16 ビット DAC モニター・マルチプレクサ出力。
34	VSS	電源-5.75 V。
35	VDD	電源+10.0 V。
36	DGND	デジタル・グラウンド。
37	SDOUT	シリアル・プログラマブル・インターフェース(SPI)のデータ出力。
38	SCLK	シリアル・プログラマブル・インターフェース(SPI)のクロック。
39	SDIN	シリアル・プログラマブル・インターフェース(SPI)のデータ入力。
40	VDD	電源+10.0 V。
41	VCC	電源+3.3 V。
42	VSS	電源-5.75 V。
43	$\overline{RST}$	シリアル・ペリフェラル・インターフェース(SPI)のリセット。
44	AGND	アナログ・グラウンド。
45	AGND	アナログ・グラウンド。
46	AGND	アナログ・グラウンド。
47	VREF	+5 V DAC リファレンス電圧。
48	VREF_GND	DAC グラウンド基準。
49	NC	未接続。チップへの接続なし。
50	NC	未接続。チップへの接続なし。
51	NC	未接続。チップへの接続なし。
52	NC	未接続。チップへの接続なし。
53	AGND	アナログ・グラウンド。
54	AGND	アナログ・グラウンド。
55	AGND	アナログ・グラウンド。
56	Comp_QH0N	ハイサイド・コンパレータ出力(負)チャンネル 0。
57	Comp_QH0P	ハイサイド・コンパレータ出力(正)チャンネル 0。
58	Comp_VTT0	コンパレータ電源チャンネル 0。
59	Comp_QL0N	ローサイド・コンパレータ出力(負)チャンネル 0。
60	Comp_QL0P	ローサイド・コンパレータ出力(正)チャンネル 0。
61	AGND	アナログ・グラウンド。

ピン番号	記号	説明
62	RCV0P	受信データ入力(正)チャンネル 0。
63	RCV0N	受信データ入力(負)チャンネル 0。
64	VSS	電源-5.75 V。
65	FFCAP_0A	PMU フィードフォワード・コンデンサ接続 A チャンネル 0 (220 pF)。
66	DATA0P	ドライバ・データ入力(正)チャンネル 0。
67	DATA0N	ドライバ・データ入力(負)チャンネル 0。
68	OVD_CH0	過電圧検出フラグ出力チャンネル 0。
69	VDD	電源+10.0 V。
70	FFCAP_0B	PMU フィードフォワード・コンデンサ接続 B チャンネル 0 (220 pF)。
71	SCAP0	PMU 安定化コンデンサ接続チャンネル 0 (330 pF)。
72	VPLUS	電源+16.75 V。
73	HVOUT	高電圧ドライバ出力。
74	NC	未接続。チップへの接続なし。
75	NC	未接続。チップへの接続なし。
76	NC	未接続。チップへの接続なし。
77	NC	未接続。チップへの接続なし。
78	PMUS_CH0	PMU 外部検出パス・チャンネル 0。
79	VSS	電源-5.75 V。
80	VDD	電源+10.0 V。
81	VSSO_0 (DRIVE)	ドライバ出力電源-5.75 V チャンネル 0。
82	DUT0	被テスト・デバイス・チャンネル 0。
83	VDDO_0 (DRIVE)	ドライバ出力電源+10.0 V チャンネル 0。
84	AGND	アナログ・グラウンド。
85	AGND	アナログ・グラウンド。
86	VSS	電源-5.75 V。
87	VDD	電源+10.0 V。
88	AGND	アナログ・グラウンド。
89	VDD	電源+10.0 V。
90	VSS	電源-5.75 V。
91	AGND	アナログ・グラウンド。
92	AGND	アナログ・グラウンド。
93	VDDO_1 (DRIVE)	ドライバ出力電源+10.0 V チャンネル 1。
94	DUT1	被テスト・デバイス・チャンネル 1。
95	VSSO_1 (DRIVE)	ドライバ出力電源-5.75 V チャンネル 1。
96	VDD	電源+10.0 V。
97	VSS	電源-5.75 V。
98	PMUS_CH1	PMU 外部検出パス・チャンネル 1。
99	NC	未接続。チップへの接続なし。
100	NC	未接続。チップへの接続なし。
EP		露出パッド。パドルは V <sub>SS</sub> に接続する必要があります。

## 代表的な性能特性

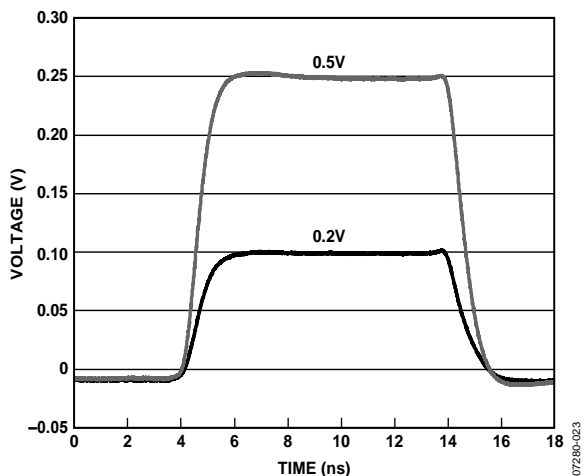


図 3. ドライバ小信号応答;  $V_H = 0.2\text{ V}$ 、 $0.5\text{ V}$ ;  $V_L = 0.0\text{ V}$ ;  
50  $\Omega$  終端

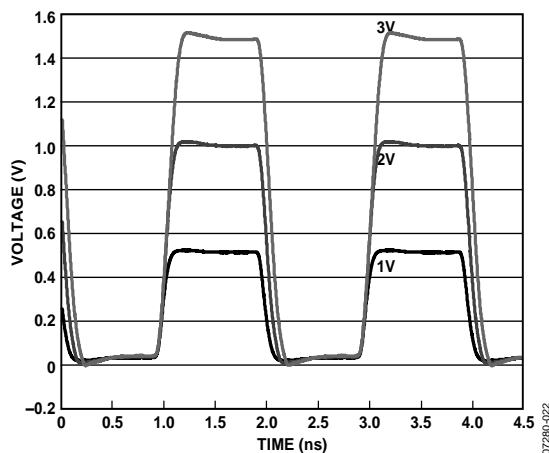


図 6.50 MHz ドライバ応答;  $V_H = 1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  $V_L = 0.0\text{ V}$ 、  
50  $\Omega$  終端

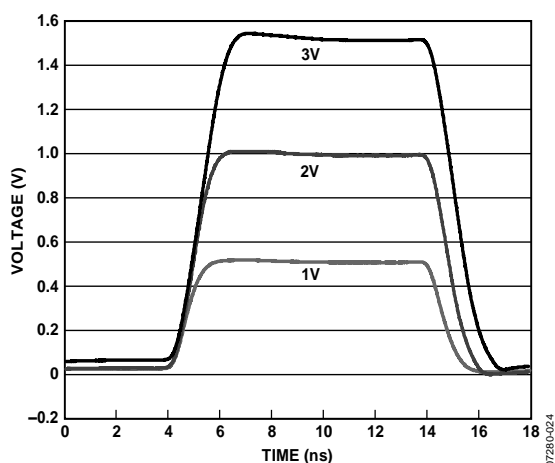


図 4. ドライバ大信号応答;  $V_H = 1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  $V_L = 0.0\text{ V}$ ;  
50  $\Omega$  終端

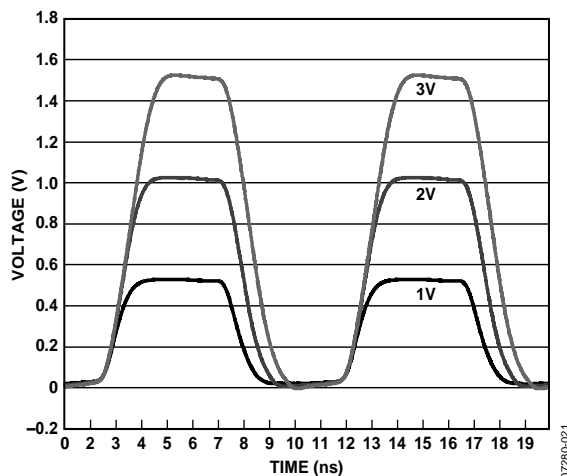


図 7.100 MHz ドライバ応答;  $V_H = 1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  $V_L = 0.0\text{ V}$ ;  
50  $\Omega$  終端

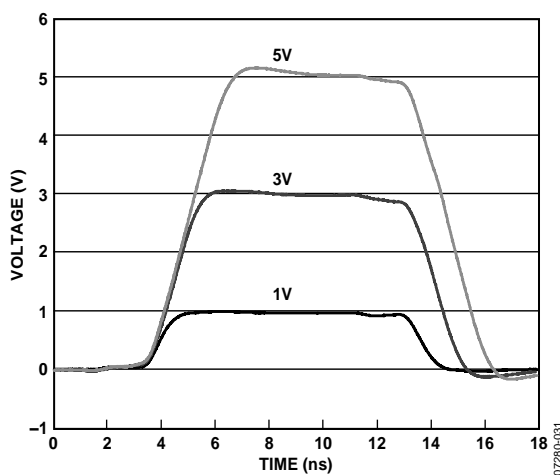


図 5. ドライバ大信号応答;  $V_H = 1.0\text{ V}$ 、 $3.0\text{ V}$ 、 $5.0\text{ V}$ ;  $V_L = 0.0\text{ V}$ ;  
500  $\Omega$  終端

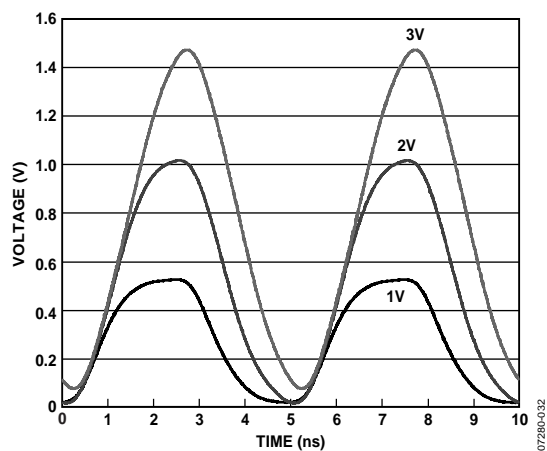


図 8.200 MHz での応答;  $V_H = 1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  $V_L = 0.0\text{ V}$ ;  
50  $\Omega$  終端

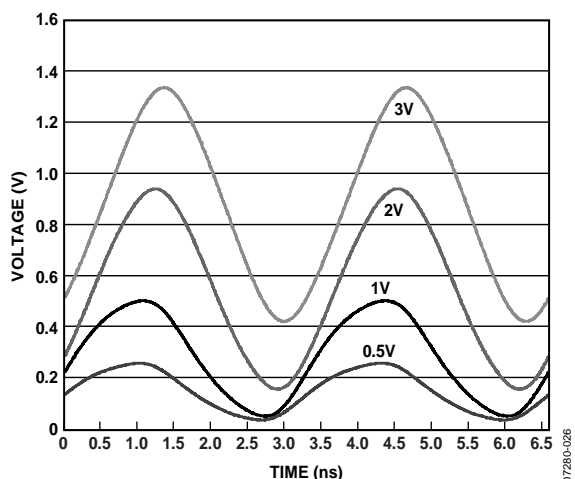


図 9. 9.300 MHz ドライバ応答;  $V_H = 0.5\text{ V}$ 、 $1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  
 $V_L = 0.0\text{ V}$ ;  $50\ \Omega$  終端

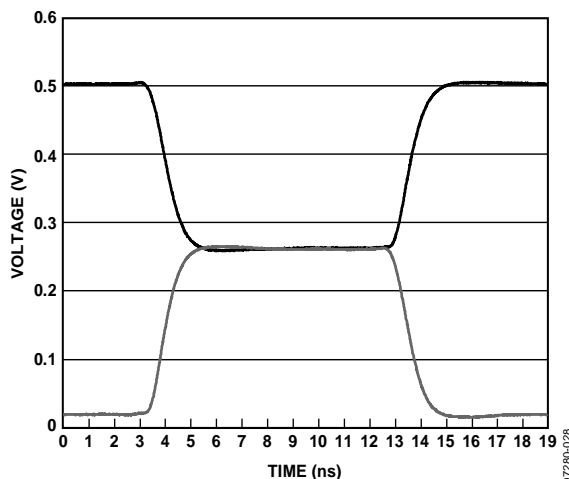


図 12.  $V_{TERM}$  の変化に対するドライバ・アクティブ  
( $V_H$  および  $V_L$ );  $V_H = 1.0\text{ V}$ 、 $V_T = 0.5\text{ V}$ 、 $V_L = 0.0\text{ V}$

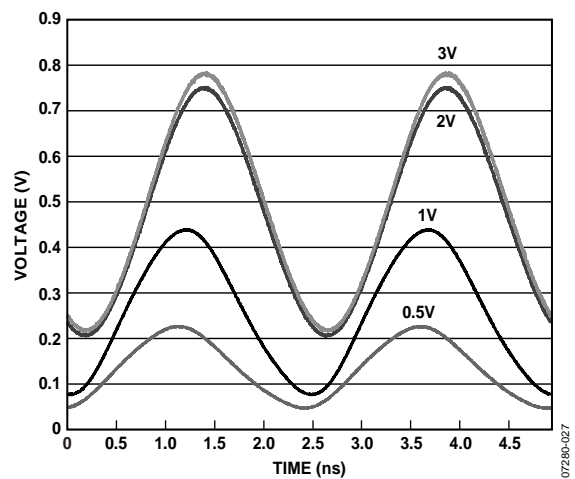


図 10. 10.400 MHz ドライバ応答;  $V_H = 0.5\text{ V}$ 、 $1.0\text{ V}$ 、 $2.0\text{ V}$ 、 $3.0\text{ V}$ ;  
 $V_L = 0.0\text{ V}$ ;  $50\ \Omega$  終端

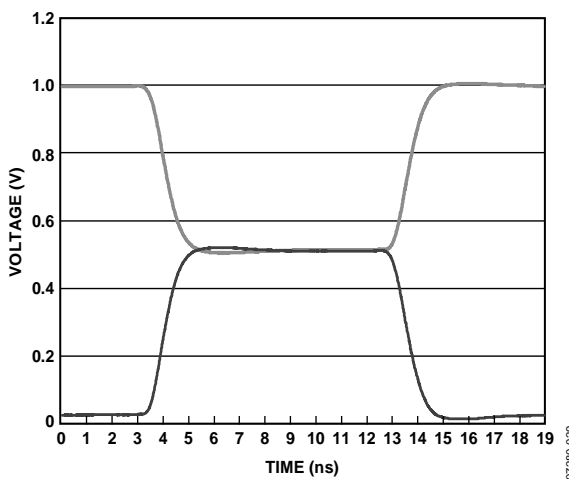


図 13.  $V_{TERM}$  の変化に対するドライバ・アクティブ  
( $V_H$  および  $V_L$ );  $V_H = 2.0\text{ V}$ 、 $V_T = 1.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

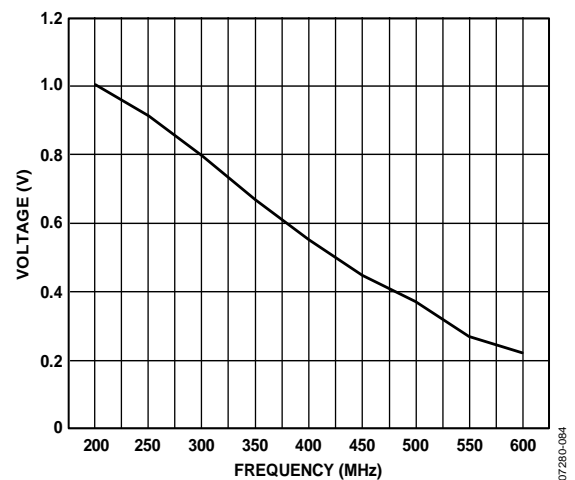


図 11. ドライバ・トグル・レート、 $V_H = 2.0\text{ V}$ 、 $V_L = 0.0\text{ V}$ 、  
 $50\ \Omega$  終端

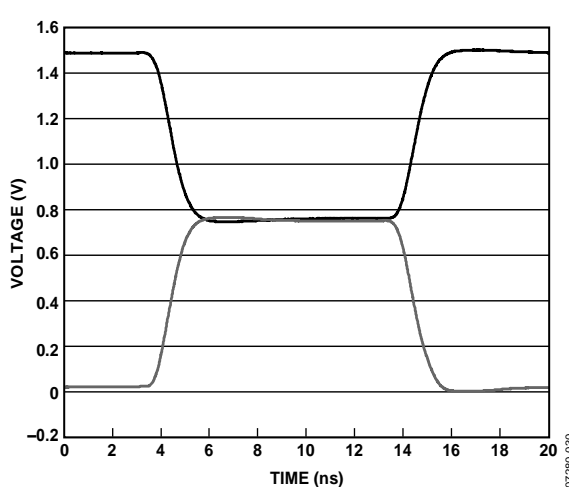


図 14.  $V_{TERM}$  の変化に対するドライバ・アクティブ  
( $V_H$  および  $V_L$ );  $V_H = 3.0\text{ V}$ 、 $V_T = 1.5\text{ V}$ 、 $V_L = 0.0\text{ V}$

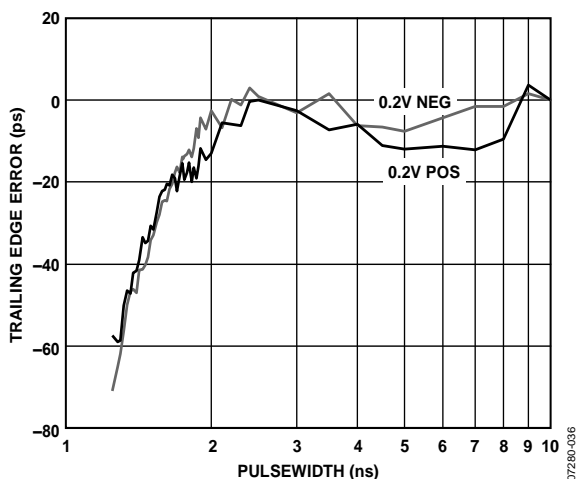


図 15. ドライバの最小パルス幅;  $V_H = 0.2\text{ V}$ 、 $V_L = 0.0\text{ V}$

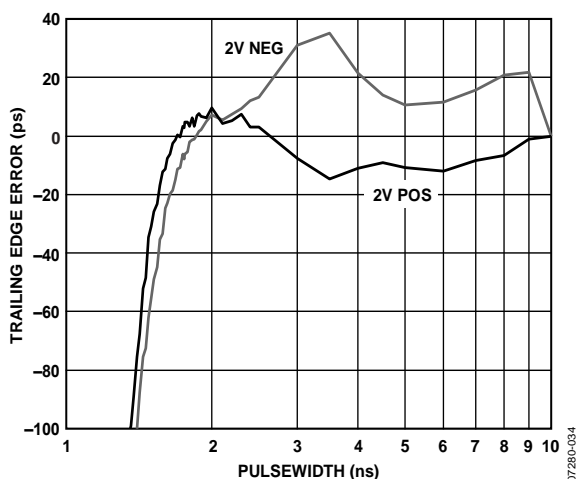


図 18. ドライバの最小パルス幅;  $V_H = 2.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

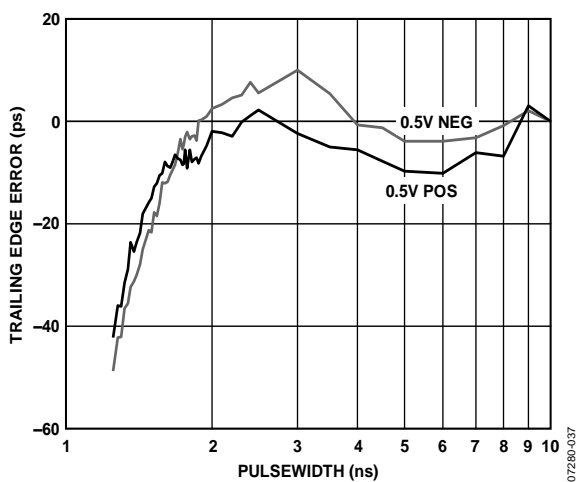


図 16. ドライバの最小パルス幅;  $V_H = 0.5\text{ V}$ 、 $V_L = 0.0\text{ V}$

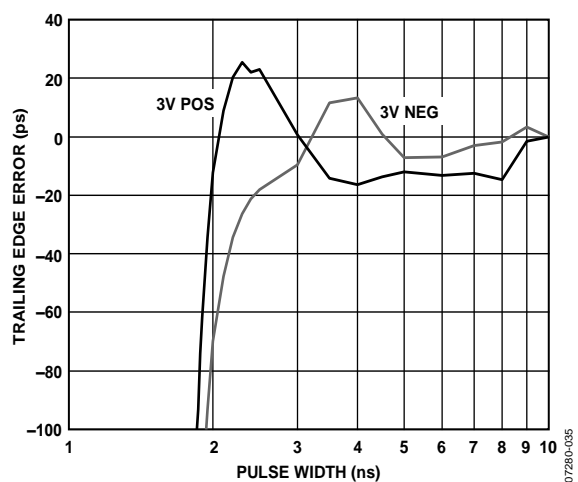


図 19. ドライバの最小パルス幅;  $V_H = 3.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

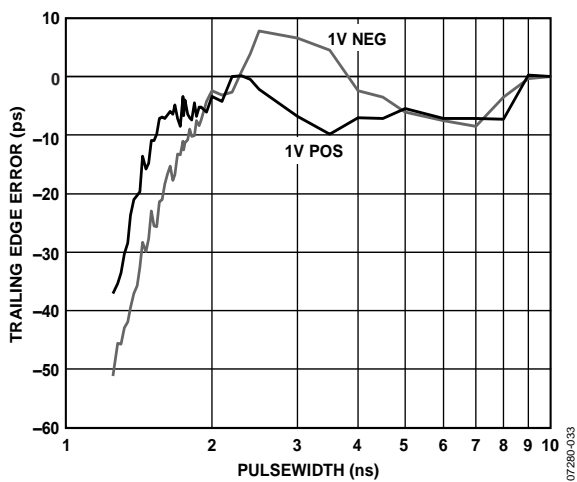


図 17. ドライバの最小パルス幅;  $V_H = 1.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

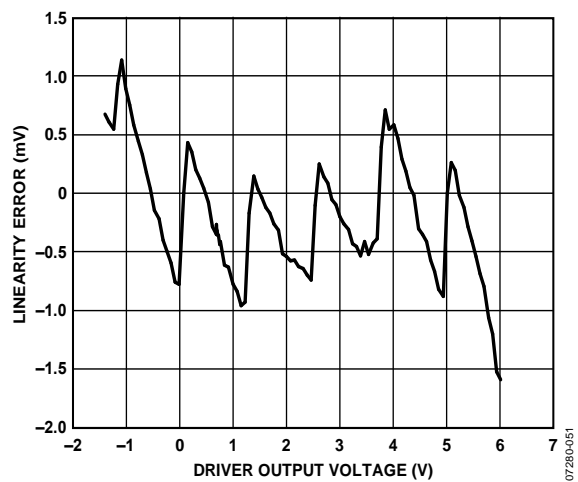


図 20. ドライバ  $V_H$  の直線性誤差

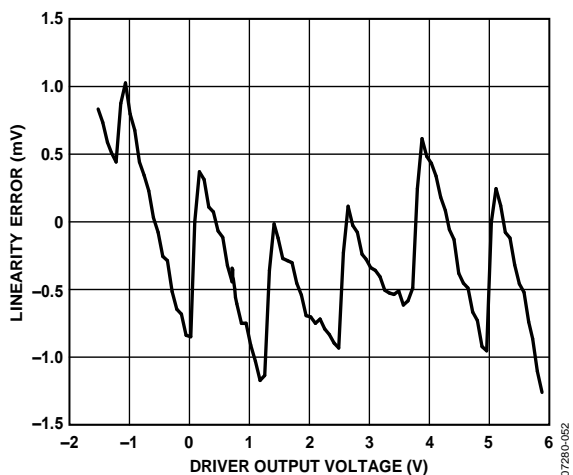


図 21. ドライバ VL の直線性誤差

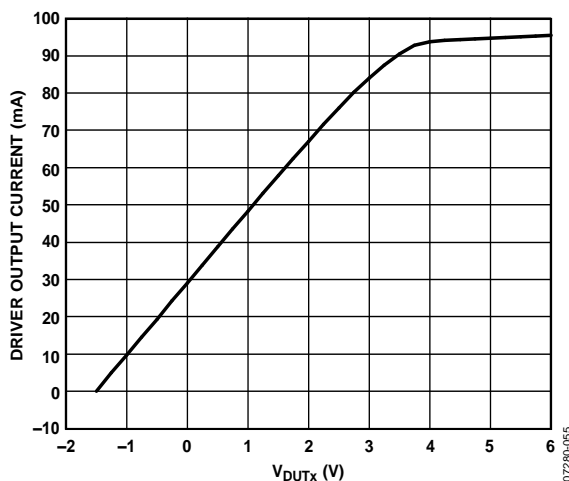


図 24. ドライバ出力電流制限値; ドライバを -2.0 V に設定;  $V_{DUTx}$  を -2.0 V ~ +6.0 V で掃引

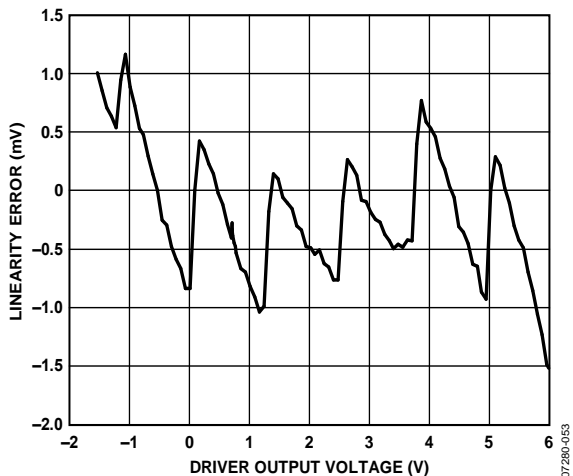


図 22. ドライバ VT の直線性誤差

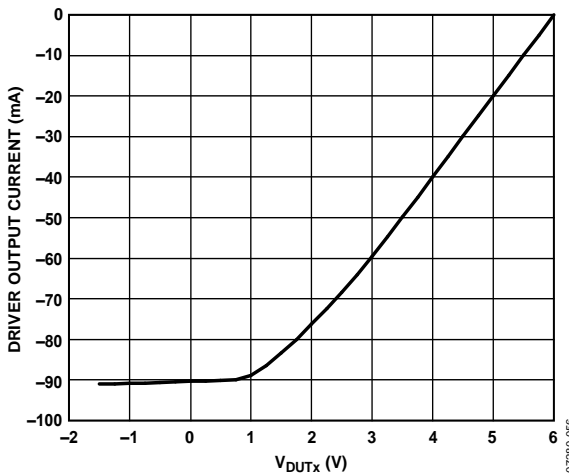


図 25. ドライバ出力電流制限値; ドライバを 6.0 V に設定;  $V_{DUTx}$  を -2.0 V ~ +6.0 V で掃引

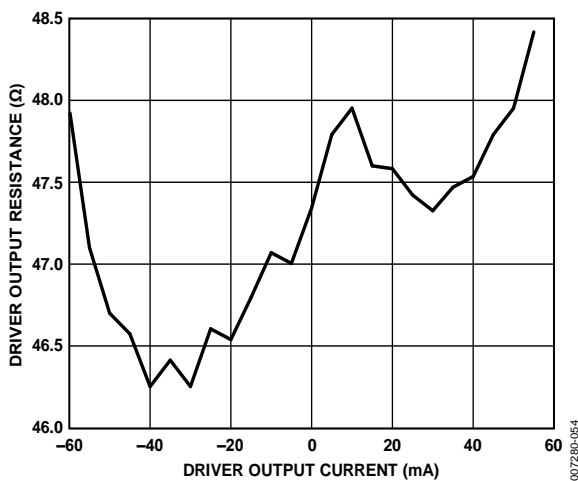


図 23. ドライバ出力抵抗対出力電流

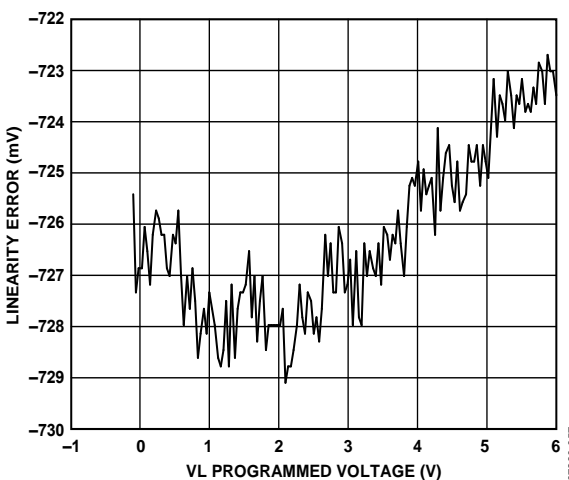


図 26. HVOUT VL の直線性誤差

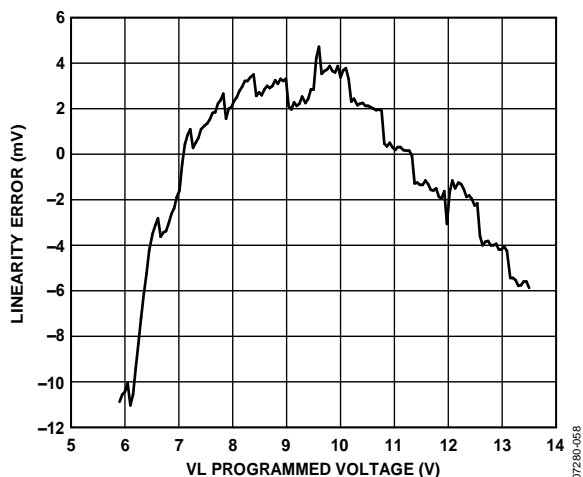


図 27.HVOUT VHH の直線性誤差

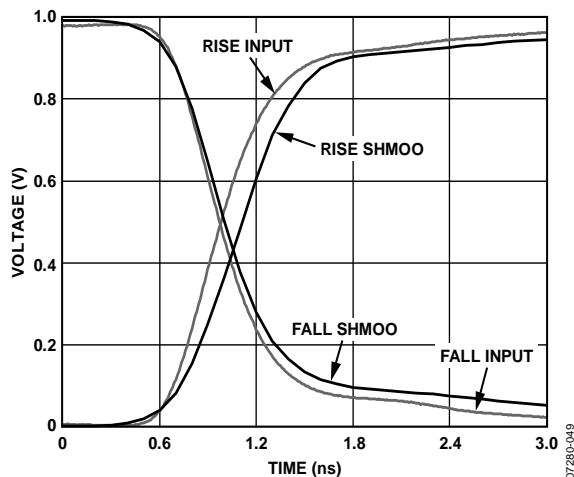


図 30.コンパレータ Shmoo、1.0 V 入力、1.0 ns (10%から 90%)入力、50 Ω 終端

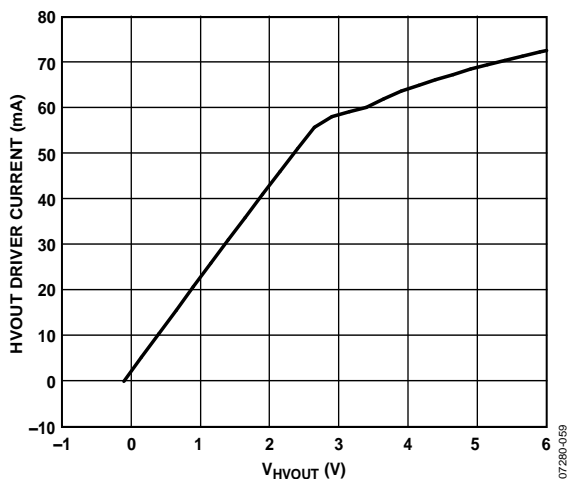


図 28.HVOUT VH 電流制限値; VH = -0.1 V;  $V_{HVOUT}$  を -0.1 V ~ +6.0 V で掃引

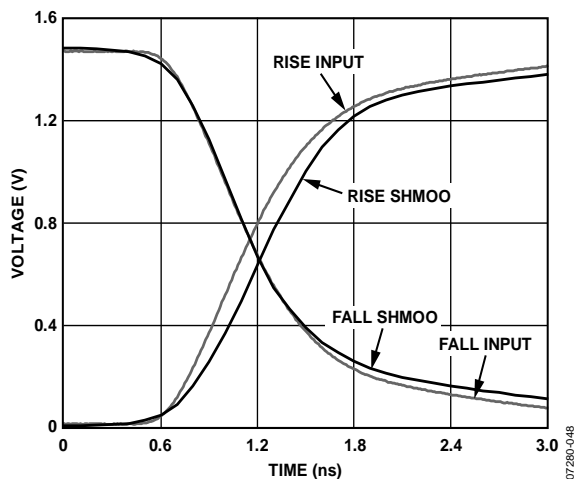


図 31.コンパレータ Shmoo、1.5 V 入力、1.5 ns (10%から 90%)入力、50 Ω 終端

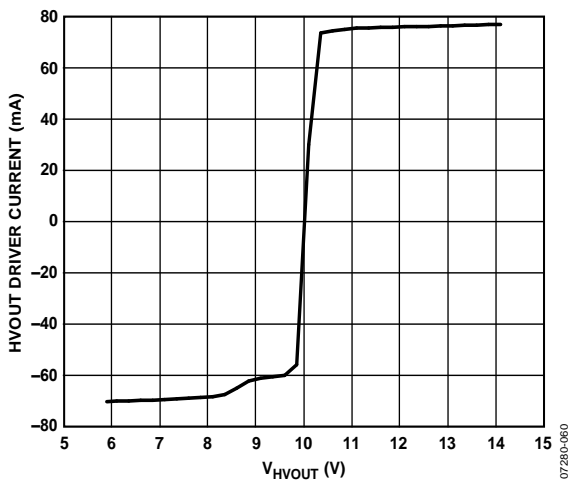


図 29.HVOUT VHH 電流制限値; VHH = 10.0 V;  $V_{HVOUT}$  を -5.9 V ~ +14.1 V で掃引

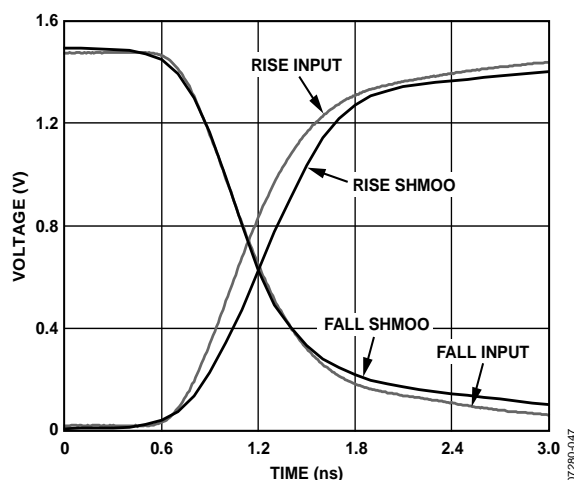


図 32.コンパレータ Shmoo、1.5 V 入力、1.2 ns (10%から 90%)入力、50 Ω 終端

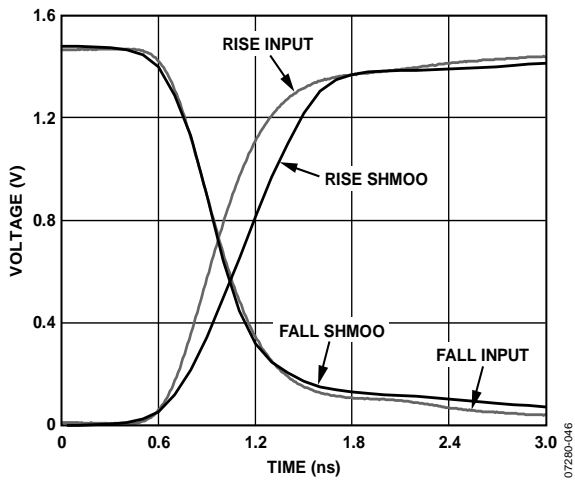


図 33.コンパレータ Shmoo、1.5 V 入力、1.0 ns (10%から 90%)入力、50 Ω 終端

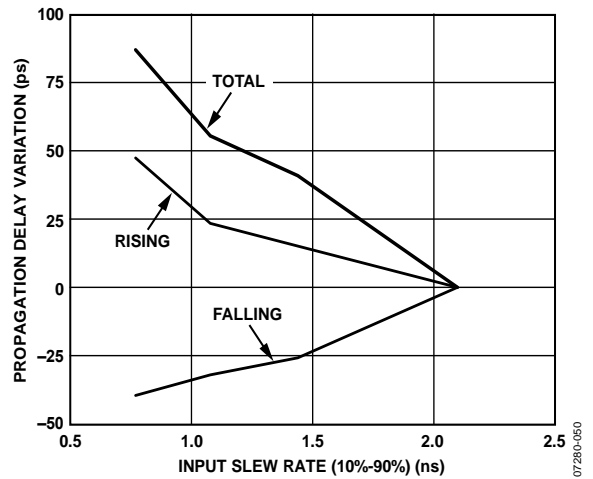


図 36.コンパレータ・スルーレートのバラツキ、入力振幅=1.5 V、コンパレータ・スレッシュホールド=0.75 V

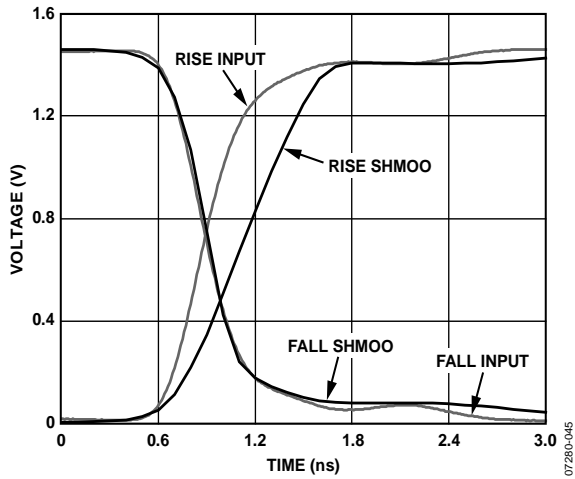


図 34.コンパレータ Shmoo、1.5 V 入力、0.625 ns (10%から 90%)入力、50 Ω 終端

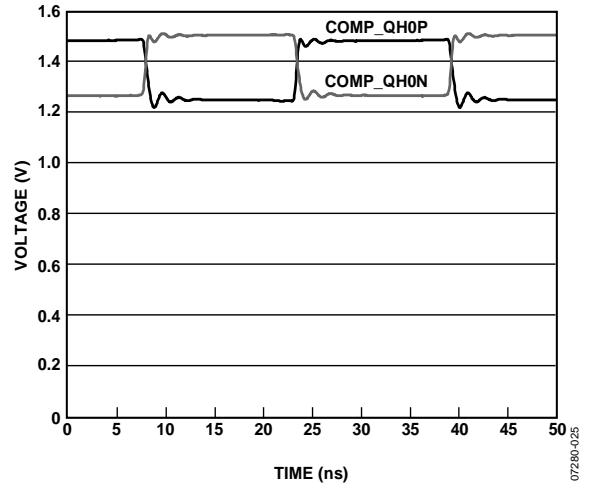


図 37.コンパレータの出力波形、COMP\_QH0P、COMP\_QH0N

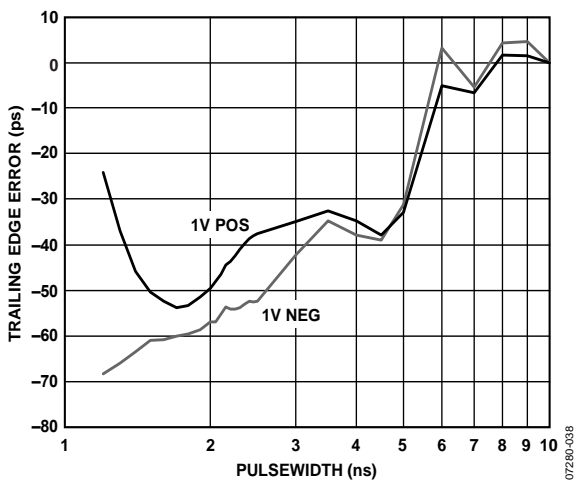


図 35.コンパレータの最小パルス幅、1.0 V

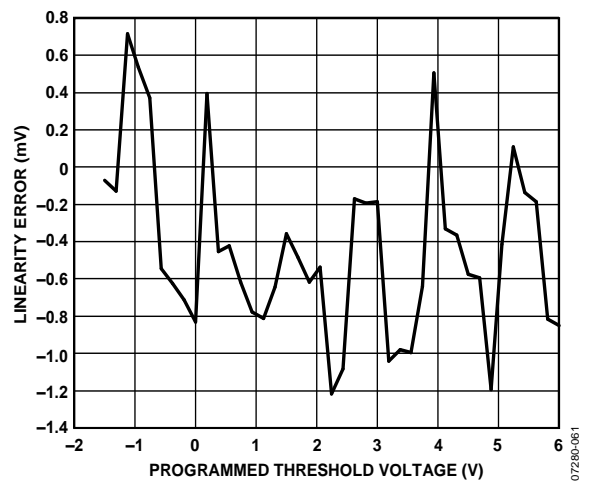


図 38.コンパレータ・スレッシュホールドの直線性

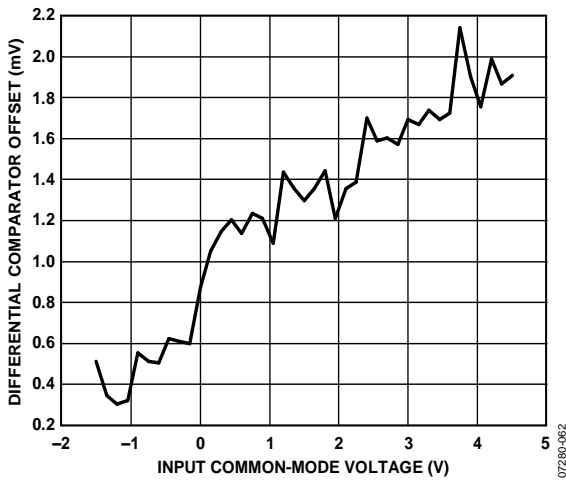


図 39.差動コンパレータの CMRR

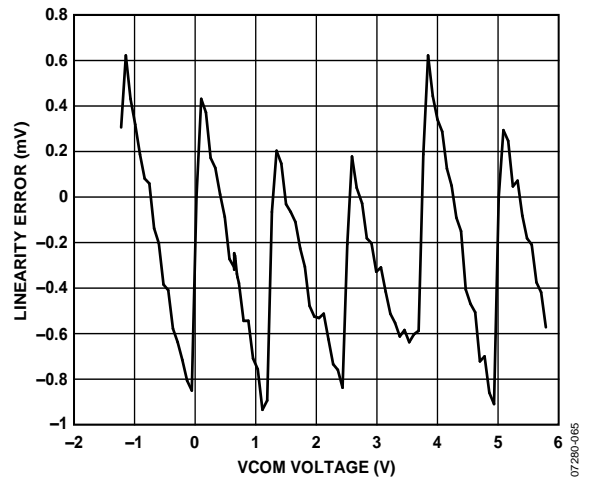


図 42.アクティブ負荷 VCOM の直線性

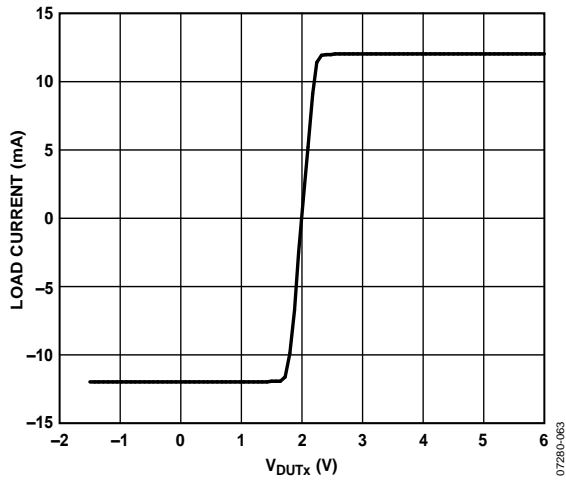


図 40.アクティブ負荷切り替え応答;  
VCOM = 2.0 V; IOH = IOL = 12 mA

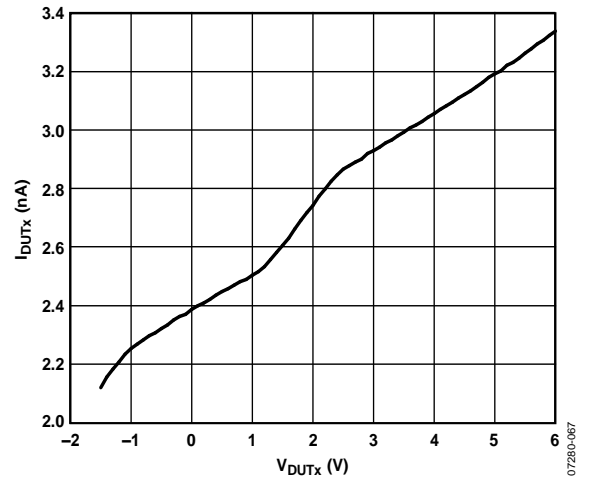


図 43.低リーク・モードでの DUTx ピン・リーク

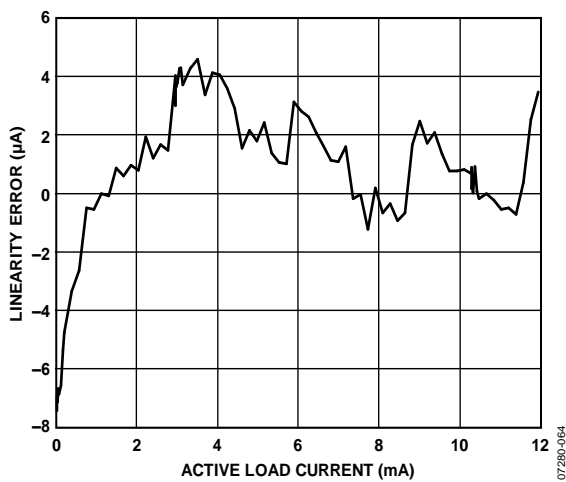


図 41.アクティブ負荷電流の直線性

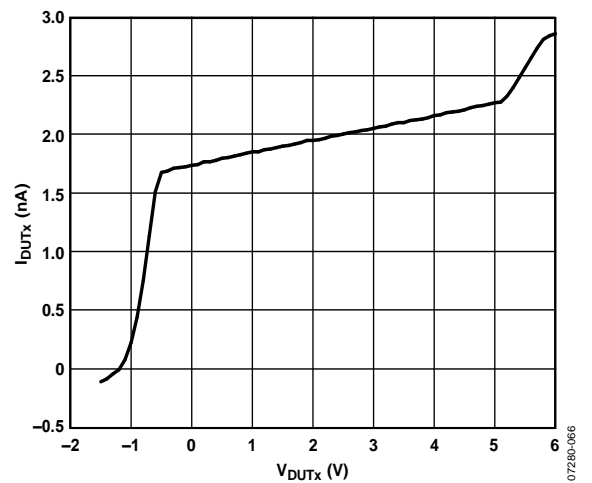


図 44.高 Z モードでの DUTx ピン・リーク

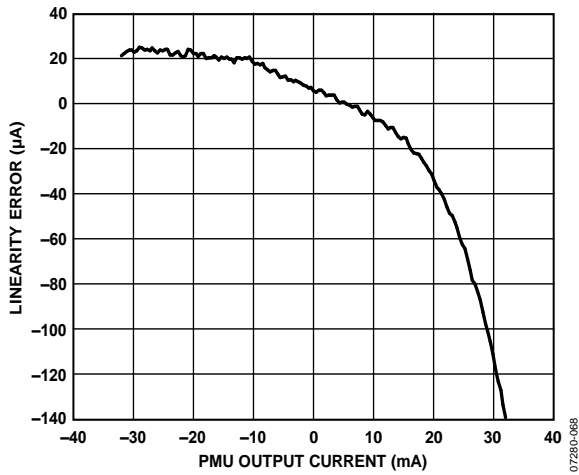


図 45.PMU 電流フォース・レンジ A の直線性

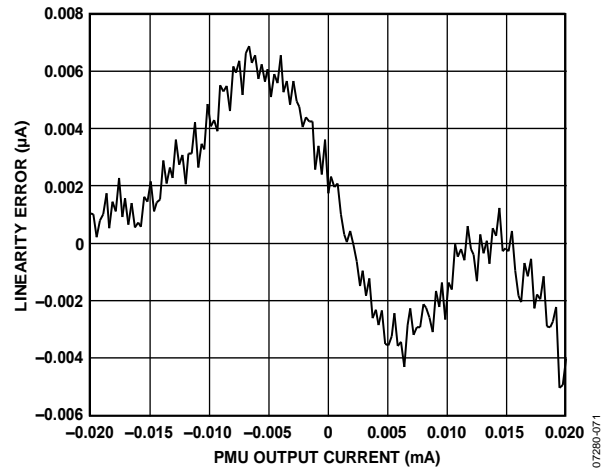


図 48.PMU 電流フォース・レンジ D の直線性

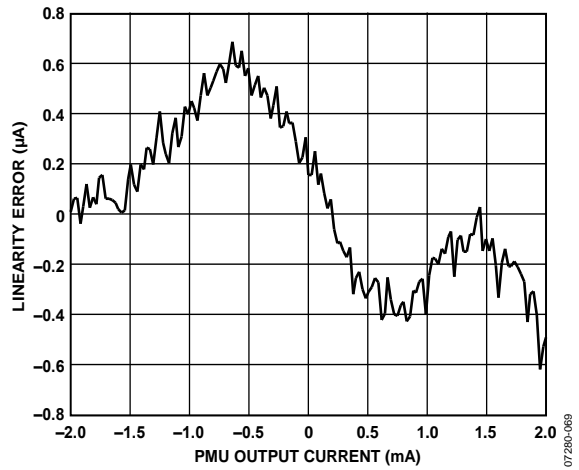


図 46.PMU 電流フォース・レンジ B の直線性

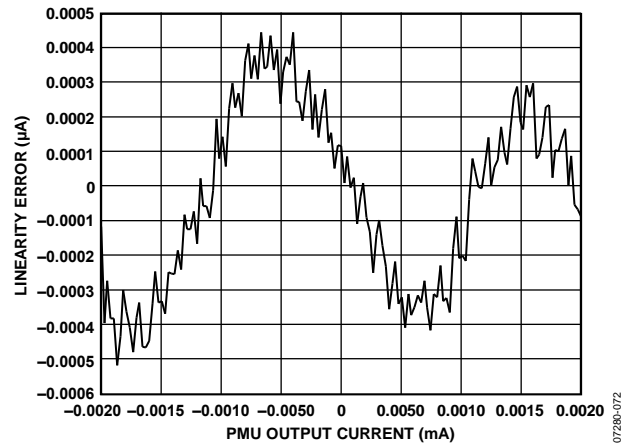


図 49.PMU 電流フォース・レンジ E の直線性

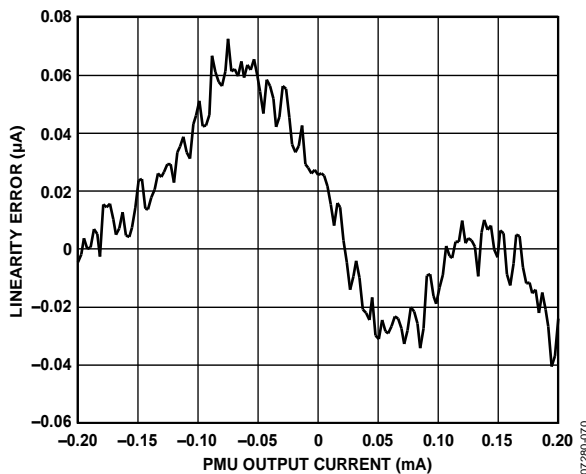


図 47.PMU 電流フォース・レンジ C の直線性

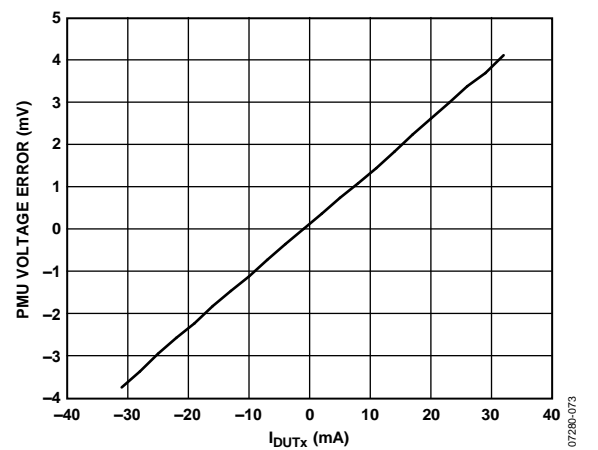


図 50.6.0 V での PMU 電圧フォース・レンジ A の出力電圧誤差  
対出力電流

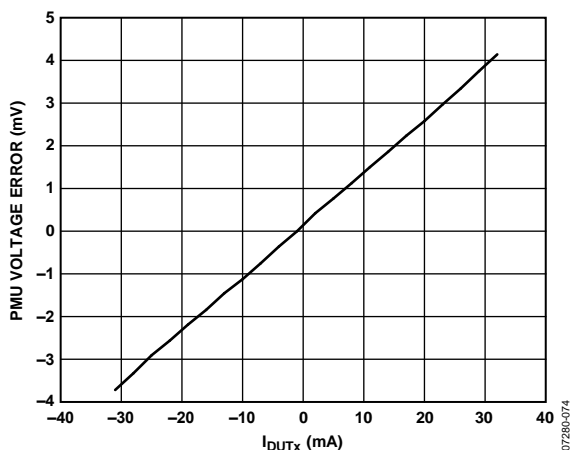


図 51. -1.5 V での PMU FV レンジ A の出力電圧誤差対出力電流

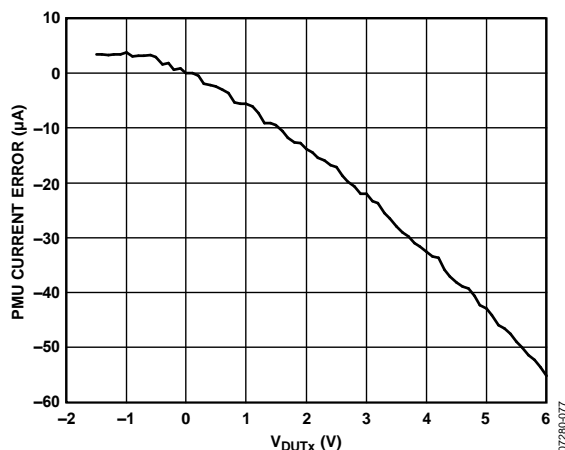


図 54. -32 mA での PMU FI レンジ A の出力電流誤差対出力電圧  
出力電圧は外部でプル

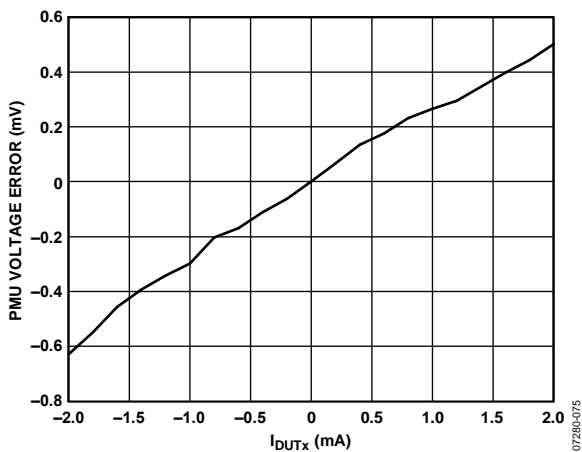


図 52. 6.0 V での PMU FV レンジ B の出力電圧誤差対出力電流

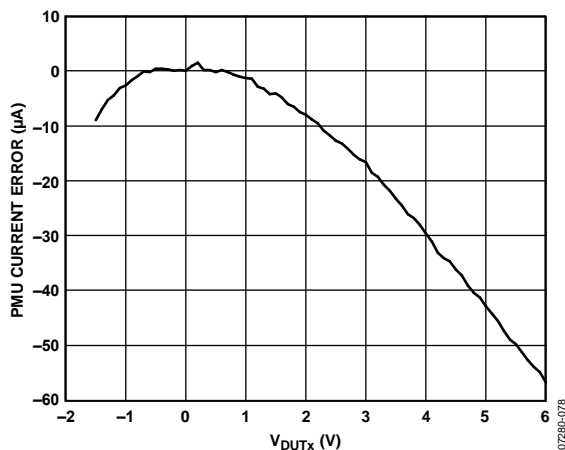


図 55. +32 mA での PMU FI レンジ A の出力電流誤差対出力電圧  
出力電圧は外部でプル

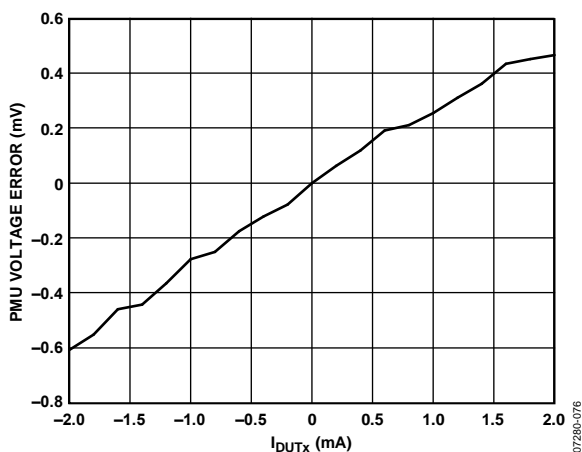


図 53. -1.5 V での PMU FV レンジ B の出力電圧誤差対出力電流

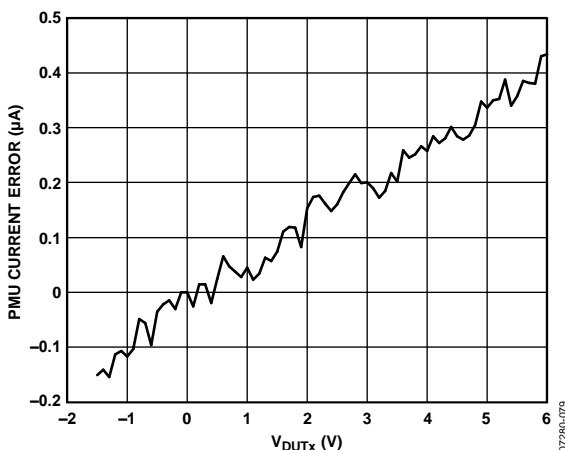


図 56. -2 mA での PMU FI レンジ B の出力電流誤差対出力電圧  
出力電圧は外部でプル

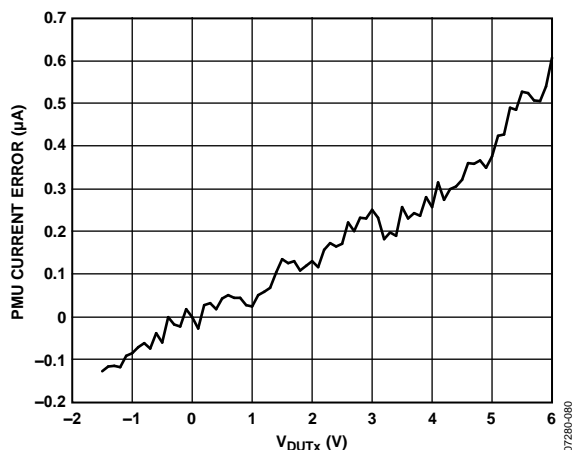


図 57.+2 mA での PMU FI レンジ B の出力電流誤差対出力電圧  
出力電圧は外部でプル

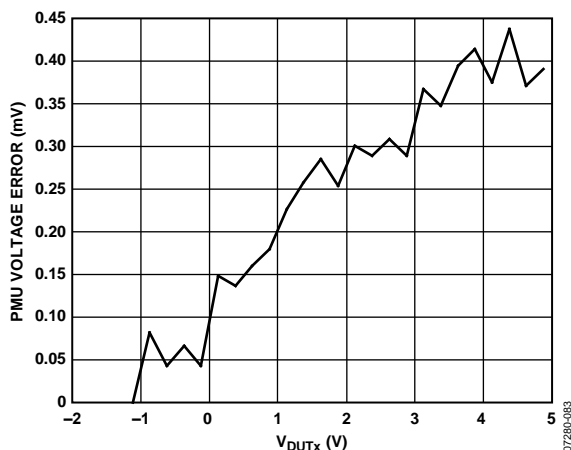


図 60.PMU 電流測定 CMRR、1 mA の外部プル、FVMI、MI 誤差  
対外部 1 mA

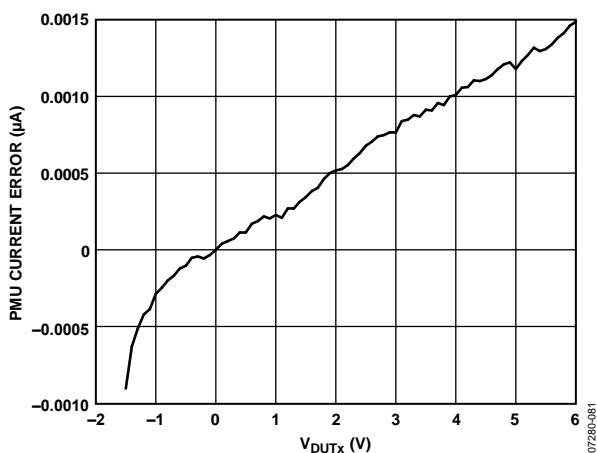


図 58.-2 μA での PMU FI レンジ E の出力電流誤差対出力電圧  
出力電圧は外部でプル

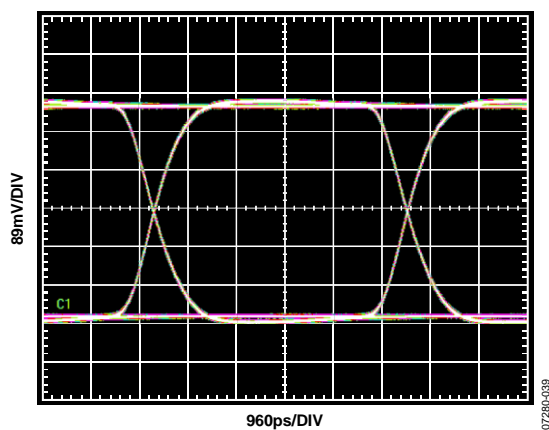


図 61.アイダイアグラム、200 Mbps、PRBS31; VH = 1.0 V  
VL = 0.0 V

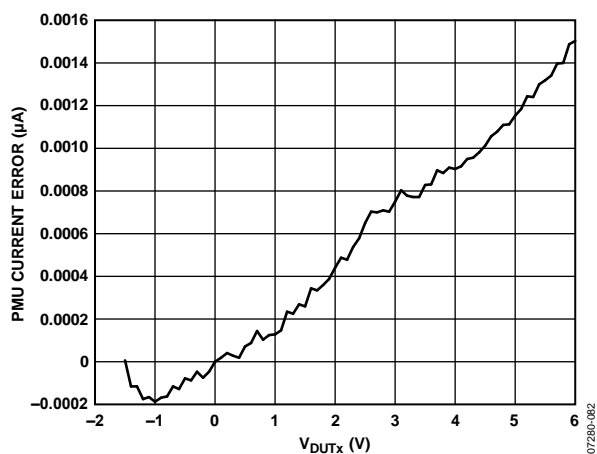


図 59.+2 μA での PMU FI レンジ E の出力電流誤差対出力電圧  
出力電圧は外部でプル

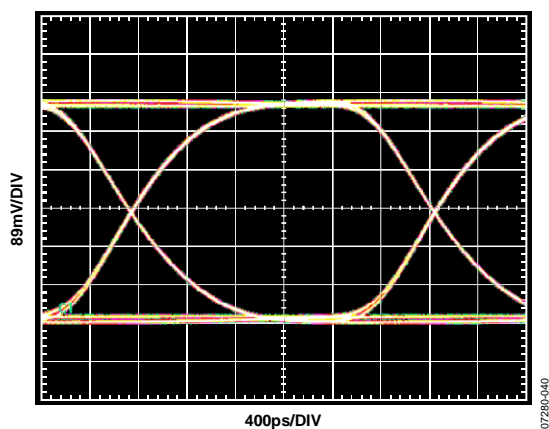


図 62.アイダイアグラム、400 Mbps、PRBS31; VH = 1.0 V  
VL = 0.0 V

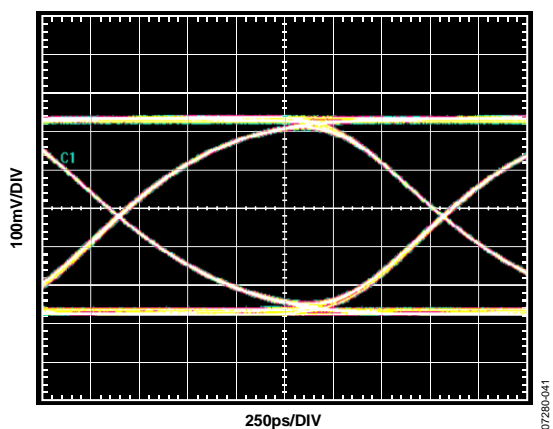


図 63. アイダイアグラム、600 Mbps、PRBS31  
 $V_H = 1.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

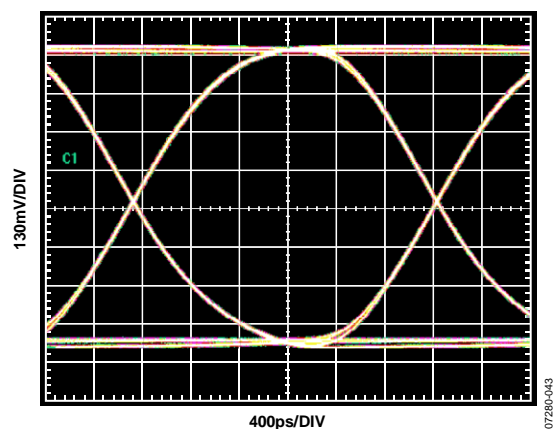


図 65. アイダイアグラム、400 Mbps、PRBS31  
 $V_H = 2.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

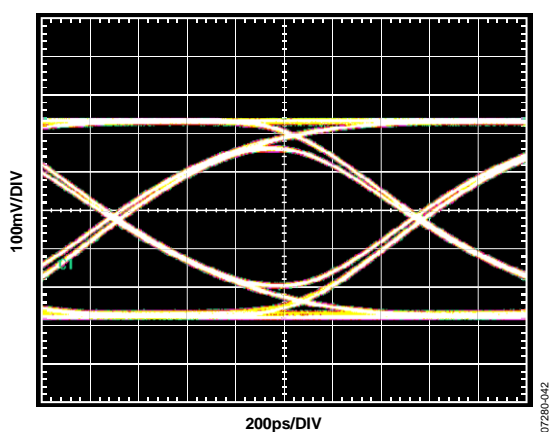


図 64. アイダイアグラム、800 Mbps、PRBS31  
 $V_H = 1.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

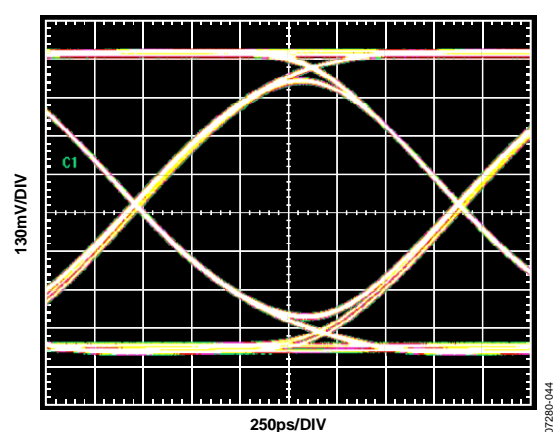


図 66. アイダイアグラム、600 Mbps、PRBS31  
 $V_H = 2.0\text{ V}$ 、 $V_L = 0.0\text{ V}$

## SPIの詳細

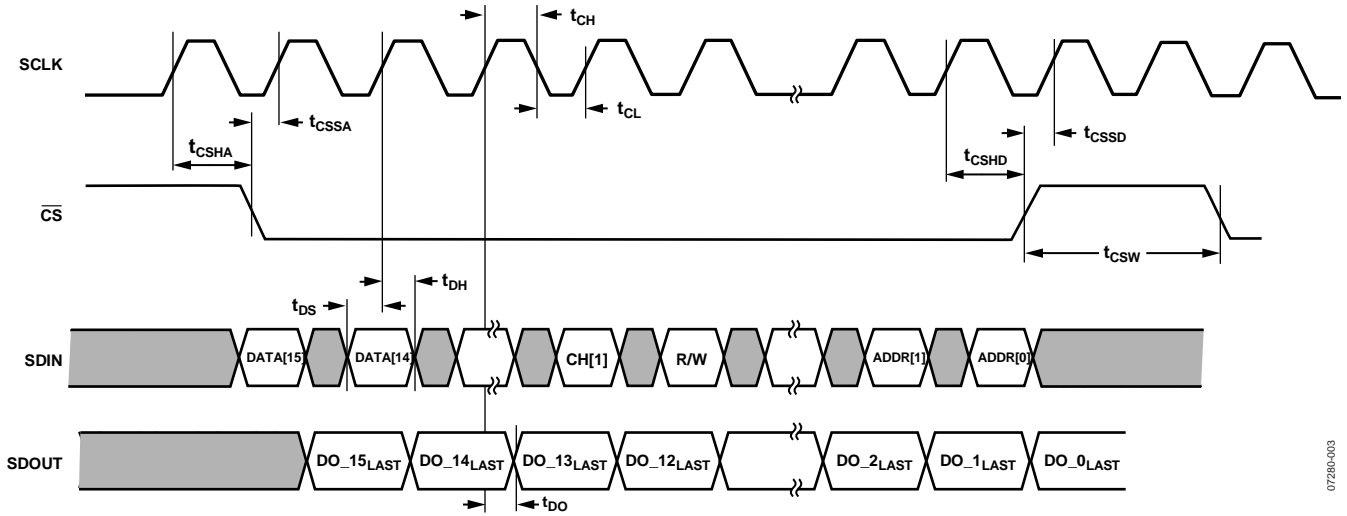


図 67.SPI のタイミング図

表 17.シリアル・ペリフェラル・インターフェースのタイミング条件

Symbol	Parameter	Min	Max	Unit
$t_{CH}$	SCLK minimum high	9.0		ns
$t_{CL}$	SCLK minimum low	9.0		ns
$t_{CSHA}$	$\overline{CS}$ assert hold	3.0		ns
$t_{CSSA}$	$\overline{CS}$ assert setup	3.0		ns
$t_{CSD}$	$\overline{CS}$ deassert hold	3.0		ns
$t_{CSSD}$	$\overline{CS}$ deassert setup	3.0		ns
$t_{DH}$	SDIN hold	3.0		ns
$t_{DS}$	SDIN setup	3.0		ns
$t_{DO}$	SDOUT Data Out		15.0	ns
$t_{CSW}$	$\overline{CS}$ minimum between assertions <sup>1</sup>	2		SCLK cycles
	$\overline{CS}$ minimum directly after a read request	3		SCLK cycles
$t_{CSTP}$	Minimum delay after $\overline{CS}$ is deasserted before SCLK can be stopped (not shown in Figure 67); this allows any internal operations to complete	16		SCLK cycles

<sup>1</sup> 読み出しデータを SPI シフトレジスタに用意するために、読み出し要求の後に余分なサイクルを追加する必要があります。

### SPI 用語の定義

SPI は、動作に応じて可変長ワードを受信することができます。多くの場合、24 ビットのワード、16 ビットのデータ、2 ビットのチャンネル・セレクト、1 ビットの R/W セレクト、5 ビットのアドレスから構成されます。

動作に応じて、データを短くすることができ、読み出し動作では存在しません。

表 18.チャンネル・セレクト

Channel 1	Channel 0	Channel Selected
0	0	NOP (no channel selected, no register changes)
0	1	Channel 0 selected
1	0	Channel 1 selected
1	1	Channel 0 and Channel 1 selected

表 19.R/W の定義

R/W	Description
0	Current register specified by address shifts out of SDOOUT on next shift operation
1	Current data is written to the register specified by address and channel select

### 例 1: 16 ビット書き込み

16 ビットのデータをレジスタまたは DAC へ書き込み、未使用 MSB は無視。たとえば、ビット 15 とビット 14 を無視し、ビット 13～ビット 0 を 14 ビット DAC で使用。

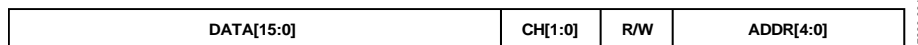


図 68.16 ビット書き込み

### 例 2: 14 ビット書き込み

14 ビット・データの DAC への書き込み。

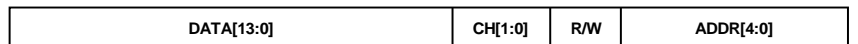


図 69.14 ビット書き込み

### 例 3a: 2 ビット書き込み

2 ビット・データの 2 ビット・レジスタへの書き込み。

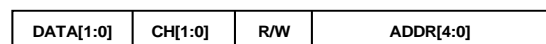


図 70.2 ビット書き込み

### 例 3b: 2 ビット書き込み

2 ビット・データの 2 ビット・レジスタへの書き込み。ビット 15～ビット 2 を無視し、ビット 1～ビット 0 をレジスタに使用。

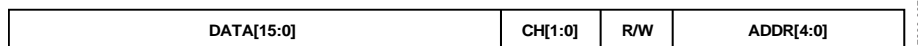


図 71.2 ビット書き込み

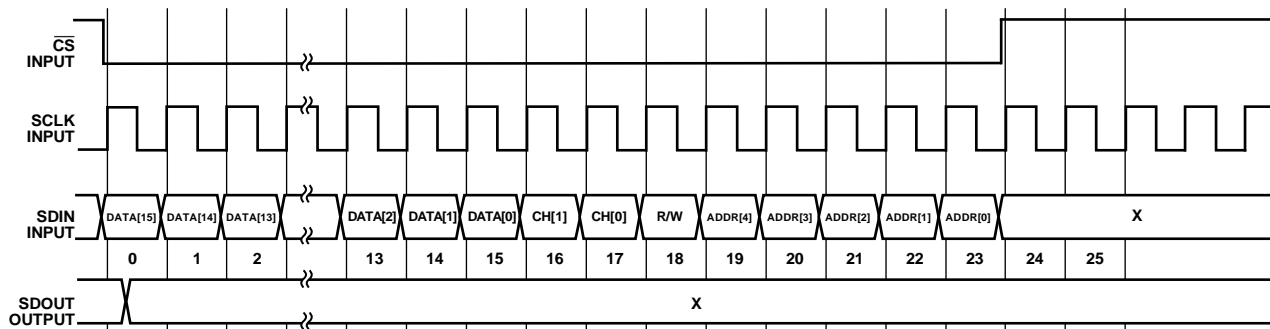
### 例 4:読み出し要求

読み出し要求とそれに続く 2 番目の命令(NOP も可能)でデータを出力。



図 72.読み出し要求

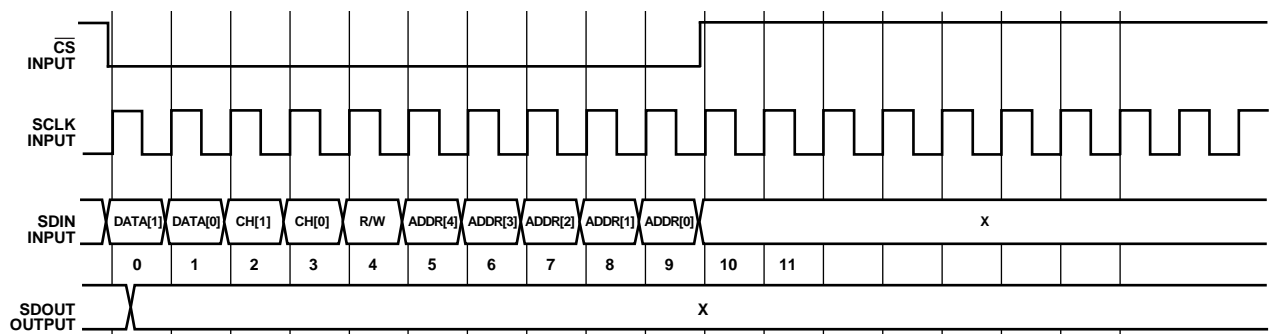
書き込み動作



NOTES  
 1. R/W = 1.  
 2. X = DON'T CARE.

07280-009

図 73.16 ビット SPI の書き込み



NOTES  
 1. R/W = 1.  
 2. X = DON'T CARE.

07280-010

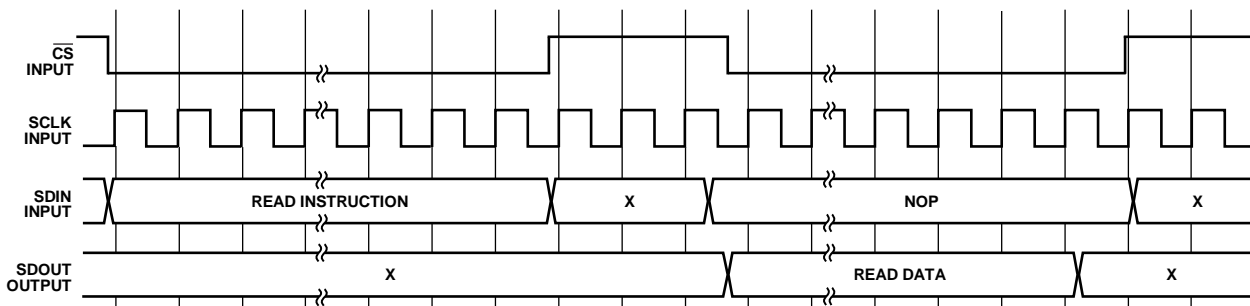
図 74.2 ビット SPI の書き込み

### 読み出し動作

読み出し動作は 2 ステージからなる動作です。まず、ワードがシフト入力され、読み出し対象レジスタが指定されます。 $\overline{CS}$ は 3 クロック・サイクル間非アクティブにされ、2 番目のワードがシフト入力されて、リードバック・データが取得されます。この 2 番目のワードは、別の動作または NOP アドレスとすることができます。別の動作がシフト入力される場合、少なくとも 8

ビットのデータをシフト入力して前に指定されたデータをリードバックする必要があります。別のレジスタに対する書き込み/読み出しが不要の場合は、この読み出しに NOP アドレスを使用することができます。動作を理解しやすくするため、すべての読み出しには NOP アドレスを使用することをお勧めします。

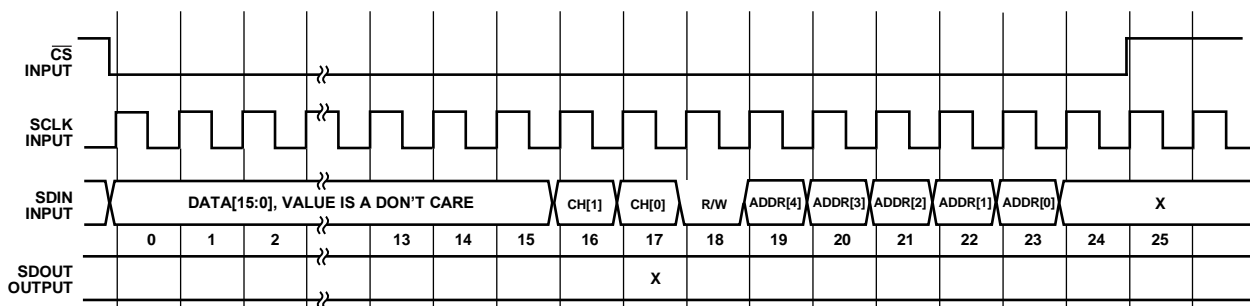
16 ビットより短いレジスタを読み出すと、16 ビット・ワードにするために上位ビットにゼロが詰め込まれます。



NOTES  
1. X = DON'T CARE.

07280-011

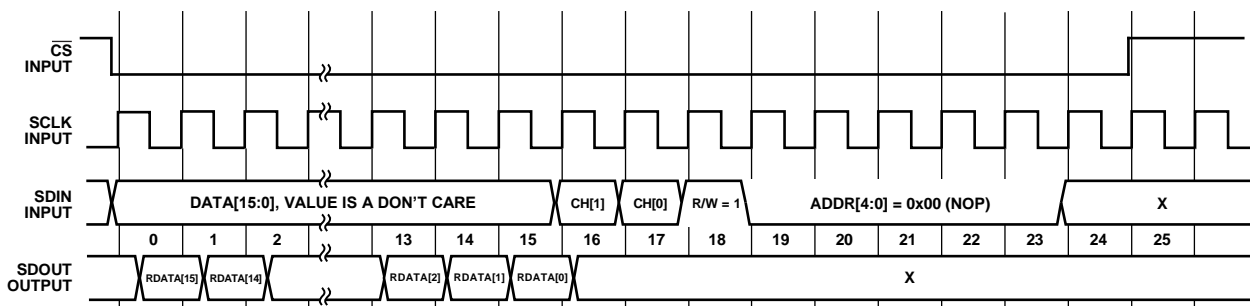
図 75.SPI 読み出しの概要



NOTES  
1. X = DON'T CARE.

07280-012

図 76.SPI の読み出し—読み出し要求の詳細



NOTES  
1. RDATA IS THE REGISTER VALUE BEING READ.  
2. X = DON'T CARE.

07280-013

図 77.SPI 読み出し—読み出しの詳細

### リセット動作

ADATE305 には非同期のリセット機能があります。ADATE305 は、 $\overline{\text{RST}}$ ピンを使って表 20 に示すデフォルト値にリセットする

ことができます。リセット動作を開始するときは、最小 100 ns 間 $\overline{\text{RST}}$ ピンを非アクティブにし、 $\overline{\text{CS}}$ ピンを最小 SCLK の 2 サイクル間非アクティブにします。

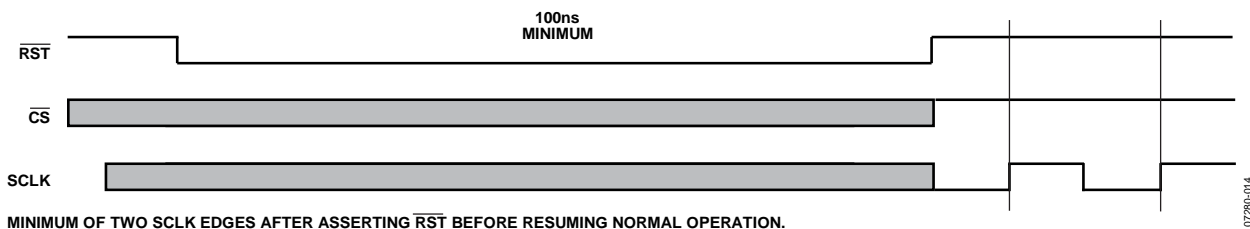


図 78.リセット動作

## レジスタ・マップ

ADDR[4:0]ビットは、データの書き込み対象となる ADATE305 のディステネーション・レジスタを指定します。

表 20.レジスタの選択

DATA[15:0]	CH[1:0]	R/W	ADDR[4:0]	Register Selected	Reset State
N/A <sup>1</sup>	N/A	N/A	0x00	NOP	N/A
DATA[13:0]	CH[1:0]	R/W	0x01	VH DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x02	VL DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x03	VT/VCOM DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x04	VOL DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x05	VOH DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x06	VCH DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x07	VCL DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x08	V(IOH ) DAC level	4096d
DATA[13:0]	CH[1:0]	R/W	0x09	V(IOL ) DAC level	4096d
DATA[13:0]	CH[1]	R/W	0x0A	OVD high level	4096d
DATA[13:0]	CH[0]	R/W	0x0A	OVD low level	4096d
DATA[15:0]	CH[1:0]	R/W	0x0B	PMUDAC level	16384d
DATA[2:0]	CH[1:0]	R/W	0x0C	PE/PMU enable	000b
DATA[2:0]	CH[1:0]	R/W	0x0D	Channel state	000b
DATA[9:0]	CH[1:0]	R/W	0x0E	PMU state	0d
DATA[2:0]	CH[1:0]	R/W	0x0F	PMU measure enable	000b
DATA[0]	CH[1:0]	R/W	0x10	Differential comparator enable	0b
DATA[1:0]	CH[1:0]	R/W	0x11	16-bit DAC monitor	00b
DATA[1:0]	CH[1:0]	R/W	0x12	OVD_CHx alarm mask	01b
DATA[2:0]	CH[1:0]	R	0x13	OVD_CHx alarm state	N/A
N/A	N/A	N/A	0x14 to 0x1F	Reserved	N/A

<sup>1</sup> N/A は該当なしを意味します。

## レジスタの詳細

表 21. PE/PMU イネーブル(ADDR[4:0] = 0x0C)

Bit	Name	Description
DATA[2]	PMU enable	0 = disable PMU force output and clamps, place PMU in MV mode 1 = enable PMU force output When set to 0, the PMU state bits are ignored, except for PMU sense path (Data[7])
DATA[1]	Force VT	0 = normal driver operation 1 = force driver to $V_T$ See Table 29 for complete functionality of this bit
DATA[0]	PE disable	0 = enable driver functions 1 = disable driver (low leakage) See Table 29 for complete functionality of this bit

表 22. チャンネル状態(ADDR[4:0] = 0x0D)

Bit	Name	Description
DATA[2]	HV mode select	0 = HV driver in low impedance. 1 = enable HV driver. This bit affects Channel 0 only. Ensure that the Channel 0 bit in SPI write is active. Channel 1 bit in SPI write is don't care.
DATA[1]	Load enable	0 = disable load. 1 = enable load. See Table 29 for complete functionality of this bit.
DATA[0]	Driver high-Z or VT	0 = enable Driver high-Z function. 1 = enable Driver VTERM function. See Table 29 for complete functionality of this bit.

表 23. PMU 状態(ADDR[4:0] = 0x0E)<sup>1, 2</sup>

Bit	Name	Description
DATA[9:8]	PMU input selection	00 = $V_{DUTGND}$ (calibrated for 0.0 V voltage reference) 01 = $2.5 V + V_{DUTGND}$ (calibrated for 0.0 A current reference) 1X = PMUDAC
DATA[7]	PMU sense path	0 = internal sense 1 = external sense
DATA[6]	Reserved	
DATA[5]	PMU clamp enable	0 = disable clamps 1 = enable clamps
DATA[4]	PMU measure voltage or current	0 = measure voltage mode 1 = measure current mode
DATA[3]	PMU force voltage or current	0 = force voltage mode 1 = force current mode
DATA[2:0]	PMU range	0XX = 2 $\mu$ A range 100 = 20 $\mu$ A range 101 = 200 $\mu$ A range 110 = 2 mA range 111 = 32 mA range

<sup>1</sup> ADDR[4:0] = 0x0C の場合、PMU イネーブル・ビット(DATA[2]) = 0、PMU 出力フォースとクランプはディスエーブル、PMU は電圧測定モード。PMU State DATA[9:8] と DATA[6:0]は無視。DATA[7] PMU 検出パスのみ有効。

<sup>2</sup> X = don't care.

表 24.PMU 測定イネーブル(ADDR[4:0] = 0x0F)<sup>1</sup>

Bit	Name	Description
DATA[2:1]	MEASOUT01 select	00 = PMU MEASOUT Channel 0 01 = PMU MEASOUT Channel 1 10 = Temp sensor ground reference 11 = Temp sensor
DATA[0]	MEASOUT01 output enable	0 = MEASOUT01 is tristated 1 = MEASOUT01 is enabled

<sup>1</sup> いずれかの CH[1:0] ビットが 1 のとき、このレジスタの読み書きが行われます。

表 25.差動コンパレータ・イネーブル(ADDR[4:0] = 0x10)<sup>1</sup>

Bit	Name	Description
DATA[0]	Differential Comparator Enable	0 = differential comparator is disabled; the Channel 0 normal window comparator (NWC) outputs are located on Channel 0 1 = differential comparator is enabled; the differential comparator outputs are located on Channel 0

<sup>1</sup> いずれかの CH[1:0] ビットが 1 のとき、このレジスタの読み書きが行われます。

表 26.DAC16\_MON (16 ビット DAC モニター) (ADDR[4:0] = 0x11)<sup>1</sup>

Bit	Name	Description
DATA[1]	16-Bit DAC mux enable	0 = 16-bit DAC mux is tristated 1 = 16-bit DAC mux is enabled
DATA[0]	16-Bit DAC mux select	0 = 16-bit DAC Channel 0 1 = 16-bit DAC Channel 1

<sup>1</sup> いずれかの CH[1:0] ビットが 1 のとき、このレジスタの読み書きが行われます。

表 27.OVD\_CHx アラーム・マスク(ADDR[4:0] = 0x12)

Bit	Name	Description
DATA[1]	PMU mask	0 = disable PMU alarm flag 1 = enable PMU alarm flag
DATA[0]	OVD mask	0 = disable OVD alarm flag 1 = enable OVD alarm flag

表 28.OVD\_CHx アラーム状態(ADDR[4:0] = 0x13)<sup>1</sup>

Bit	Name	Description
DATA[2]	PMU clamp flag	0 = PMU is not clamped 1 = PMU is clamped
DATA[1]	OVD high flag	0 = DUT voltage < OVD high voltage 1 = DUT voltage > OVD high voltage
DATA[0]	OVD low flag	0 = DUT voltage > OVD low voltage 1 = DUT voltage < OVD low voltage

<sup>1</sup> このレジスタは読み出し専用。

## ユーザ情報

表 29. ドライバと負荷の真理値表<sup>1</sup>

Registers				Signals		Driver State	Load State
PE Disable DATA[0] ADDR[4:0] = 0x0C	Force VT DATA[1] ADDR[4:0] = 0x0C	Load Enable DATA[1] ADDR[4:0] = 0x0D	Driver High-Z/VT DATA[0] ADDR[4:0] = 0x0D	DATAx	RCVx		
1	X	X	X	X	X	High-Z without clamps	Power-down
0	1	X	X	X	X	VT	Power-down
0	0	0	0	0	0	VL	Power-down
0	0	0	0	0	1	High-Z with clamps	Power-down
0	0	0	0	1	0	VH	Power-down
0	0	0	0	1	1	High-Z with clamps	Power-down
0	0	0	1	0	0	VL	Power-down
0	0	0	1	0	1	VT	Power-down
0	0	0	1	1	0	VH	Power-down
0	0	0	1	1	1	VT	Power-down
0	0	1	0	0	0	VL	Active off
0	0	1	0	0	1	High-Z with clamps	Active on
0	0	1	0	1	0	VH	Active off
0	0	1	0	1	1	High-Z with clamps	Active on
0	0	1	1	0	0	VL	Active on
0	0	1	1	0	1	High-Z with clamps	Active on
0	0	1	1	1	0	VH	Active on
0	0	1	1	1	1	High-Z with clamps	Active on

<sup>1</sup> X = don't care.

表 30. HVOUT の真理値表<sup>1</sup>

HVOUT Mode Select DATA[2] ADDR[4:0] = 0x0D	Channel 0 RCV	Channel 0 DATA	HVOUT Driver Output
1	1	X	VHH mode; $V_{HH} = (V_T + 1 V) \times 2 + DUTGND$ (Channel 0 VT DAC)
1	0	0	VL (Channel 0 VL DAC)
1	0	1	VH (Channel 0 VH DAC)
0	X	X	Disabled (HVOUT pin set to 0 V low impedance)

<sup>1</sup> X = don't care.

表 31.コンパレータの真理値表

<b>Differential Comparator Enable DATA[0] ADDR[4:0] = 0x10</b>	<b>COMP_QH0</b>	<b>COMP_QL0</b>	<b>COMP_QH1</b>	<b>COMP_QL1</b>
0	Normal window mode Logic high: $VOH0 < V_{DUT0}$ Logic low: $VOH0 > V_{DUT0}$	Normal window mode Logic high: $VOL0 < V_{DUT0}$ Logic low: $VOL0 > V_{DUT0}$	Normal window mode Logic high: $VOH1 < V_{DUT1}$ Logic low: $VOH1 > V_{DUT1}$	Normal window mode Logic high: $VOL1 < V_{DUT1}$ Logic low: $VOL1 > V_{DUT1}$
1	Differential comparator mode Logic high: $VOH0 < V_{DUT0} - V_{DUT1}$ Logic low: $VOH0 > V_{DUT0} - V_{DUT1}$	Differential comparator mode Logic high: $VOL0 < V_{DUT0} - V_{DUT1}$ Logic low: $VOL0 > V_{DUT0} - V_{DUT1}$	Normal window mode Logic high: $VOH1 < V_{DUT1}$ Logic low: $VOH1 > V_{DUT1}$	Normal window mode Logic high: $VOL1 < V_{DUT1}$ Logic low: $VOL1 > V_{DUT1}$

**DAC 対レベルの詳細**

各チャンネルにはビット DAC が 10 個あります。これらの DAC は、ドライバ、コンパレータ、負荷電流、VHH バッファ、OVD、クランプ・レベルに対してレベルを提供します。出力レベルには次の 3 つのバージョンがあります。

- -2.5 V ~ +7.5 V で DUTGND が基準。VH、VL、VT/VCOM/VHH、VOH、VOL、VCH、VCL の各レベルを制御します。
- 

- -3.0 V ~ +7.0 V で、DUTGND が基準。OVD レベルを制御。
- -2.5 V ~ +7.5 V で、DUTGND を基準としない。IOH と IOL のレベルを制御。

各チャンネルには 16 ビット DAC が 1 個あります。この DAC は、PMU のレベルを提供します。出力レベルは次のようになります。

- -2.5 V ~ +7.5 V で、DUTGND が基準。PMU レベルを制御。

表 32. レベルの伝達関数

DAC Transfer Function	Programmable Range <sup>1</sup> (All 0s to All 1s)	Levels
$V_{OUT} = 2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{14})) - 0.5 \times (V_{REF} - V_{REF\_GND}) + V_{DUTGND}$ $Code = [V_{OUT} - V_{DUTGND} + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{14}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-2.5 V to +7.5 V	VH, VL, VT/VCOM, VOL, VOH, VCH, VCL
$V_{OUT} = 4.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{14})) - 1.0 \times (V_{REF} - V_{REF\_GND}) + 2.0 + V_{DUTGND}$ $Code = [V_{OUT} - V_{DUTGND} - 2.0 + 1.0 \times (V_{REF} - V_{REF\_GND})] \times [(2^{14}) / (4.0 \times (V_{REF} - V_{REF\_GND}))]$	-3.0 V to +17.0 V	VHH
$V_{OUT} = 2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{14})) - 0.6 \times (V_{REF} - V_{REF\_GND}) + V_{DUTGND}$ $Code = [V_{OUT} - V_{DUTGND} + 0.6 \times (V_{REF} - V_{REF\_GND})] \times [(2^{14}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-3.0 V to +7.0 V	OVD
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{14})) - 0.5 \times (V_{REF} - V_{REF\_GND})] \times (0.012 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.012)) + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{14}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-6 mA to +18 mA	IOH, IOL
$V_{OUT} = 2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) + V_{DUTGND}$ $Code = [V_{OUT} - V_{DUTGND} + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-2.5 V to +7.5 V	PMUDAC
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) - 2.5] \times (0.050 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.050)) + 2.5 + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-50 mA to +50 mA	PMUDAC (PMU FI Range A)
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) - 2.5] \times (0.004 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.004)) + 2.5 + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-4 mA to +4 mA	PMUDAC (PMU FI Range B)
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) - 2.5] \times (0.0004 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.0004)) + 2.5 + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-400 μA to +400 μA	PMUDAC (PMU FI Range C)
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) - 2.5] \times (0.00004 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.00004)) + 2.5 + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-40 μA to +40 μA	PMUDAC (PMU FI Range D)
$I_{OUT} = [2.0 \times (V_{REF} - V_{REF\_GND}) \times (Code / (2^{16})) - 0.5 \times (V_{REF} - V_{REF\_GND}) - 2.5] \times (0.000004 / 5.0)$ $Code = [(I_{OUT} \times (5.0 / 0.000004)) + 2.5 + 0.5 \times (V_{REF} - V_{REF\_GND})] \times [(2^{16}) / (2.0 \times (V_{REF} - V_{REF\_GND}))]$	-4 μA to +4 μA	PMUDAC (PMU FI Range E)

<sup>1</sup> 設定可能な範囲には、指定されたデバイス性能の外側の余裕が含まれているため、オフセット/ゲインのキャリブレーションが可能です。

表 33. 負荷の伝達関数

Load Level	Transfer Function <sup>1</sup>
IOL	$V(IOL) / 5 \text{ V} \times 12 \text{ mA}$
IOH	$V(IOH) / 5 \text{ V} \times 12 \text{ mA}$

<sup>1</sup> V(IOH)、V(IOL) DAC レベルは、DUTGND を基準としません。

表 34. PMU の伝達関数

PMU Mode	Transfer Functions
Force Voltage	$V_{OUT} = \text{PMUDAC}$
Measure Voltage	$V_{MEASOUT01} = V_{DUTx}$ (internal sense) or $V_{MEASOUT01} = V_{PMUS\_CHx}$ (external sense)
Force Current	$I_{OUT} = [\text{PMUDAC} - (V_{REF}/2)] / (R^1 \times 5)$
Measure Current	$V_{MEASOUT01} = (V_{REF}/2) + V_{DUTGND} + (I_{DUTx} \times 5 \times R)$

<sup>1</sup> R = 15.5 Ω (レンジ A)、250 Ω (レンジ B)、2.5 kΩ (レンジ C)、25 kΩ (レンジ D)、250 kΩ (レンジ E)。

表 35.PMUに必要なユーザが用意するコンデンサ

Capacitor	Location
220 pF	Across Pin 70 (FFCAP_0B) and Pin 65 (FFCAP_0A)
220 pF	Across Pin 6 (FFCAP_1B) and Pin 11 (FFCAP_1A)
330 pF	Between GND and Pin 71 (SCAP0)
330 pF	Between GND and Pin 5 (SCAP1)

表 36.温度センサー

Temperature	Output
0 K	0 V
300 K	3 V
x K	(x K) × 10 mV/K

表 37.電源範囲

Parameter	Range 1	Range 2
Nominal VDD	+10.0 V	+10.0 V
Nominal VSS	-5.25 V	-5.75 V
Driver		
VH range	-1.4 V to +6.0 V	-1.9 V to +6.0 V
VL range	-1.5 V to +5.9 V	-2.0 V to +5.9 V
VT range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Functional Amplitude	7.5 V	8.0 V
Reflection Clamp		
VCH Range	-1.0 V to +6.0 V	-1.5 V to +6.0 V
VCL Range	-1.5 V to +5.0 V	-2.0 V to +5.0 V
Comparator Input Voltage Range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Active Load VCOM Range	-1.25 V to +5.75 V	-1.75 V to +5.75 V
PMU		
Force Voltage Range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Measure Voltage Range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Force Current Voltage Range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Measure Current Voltage Range	-1.5 V to +6.0 V	-2.0 V to +6.0 V
Low Clamp Range	-1.5 V to +4.0 V	-2.0 V to +4.0 V
High Clamp Range	0.0 V to +6.0 V	0.0 V to +6.0 V

表 38. デフォルトのテスト条件(レンジ 1)

Name	Default Test Condition
VH DAC Level	+2.0 V
VL DAC Level	+0.0 V
VT/VCOM DAC Level	+1.0 V
VOL DAC Level	-1.0 V
VOH DAC Level	+6.0 V
VCH DAC Level	+7.5 V
VCL DAC Level	-2.5 V
IOH DAC Level	0.0 A
IOL DAC Level	0.0 A
OVD Low DAC Level	-2.5 V
OVD High DAC Level	+6.5 V
PMUDAC DAC Level	0.0 V
PE/PMU Enable	0x0000: PMU disabled, VT not forced through driver, PE enabled
Channel State	0x0000: HV mode disabled, load disabled, VTERM inactive
PMU State	0x0000: Input of DUTGND, internal sense, clamps disabled, FVMV, Range E
PMU Measure Enable	0x0000: MEASOUT01 pin tristated
Differential Comparator Enable	0x0000: Normal window comparator mode
16-Bit DAC Monitor	0x0000: DAC16_MON tristated
OVD_CHx Alarm Mask	0x0000: disable alarm functions
Data Input	Logic low
Receive Input	Logic low
DUTx Pin	Unterminated
Comparator Output	Unterminated

## PMU モード・スイッチングの推奨シーケンス

DUT 出力での異常や電圧スパイクを小さくするために、次の変化に対して特定のモード・スイッチング・シーケンスが推奨されます。

- PMU ディスエーブルから PMU イネーブルへの変化
- PMU 電圧フォース・モードから PMU 電流フォース・モードへの変化
- PMU 電流フォース・モードから PMU 電圧フォース・モードへの変化

## PMU ディスエーブルから PMU イネーブルへの変化

表 39～表 49 では、X は don't care ビットを表します。

ステップ 1. 表 39 に、PMU ディスエーブル・モードでのレジスタ状態を示します。

表 39.

Register	Bits	Setting
PE/PMU Enable Register, ADDR[4:0] = 0x0C	DATA[2]	0
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	XX
	DATA[7]	X
	DATA[6]	X
	DATA[5]	X
	DATA[4]	X
	DATA[3]	X
	DATA[2:0]	XXX

ステップ 2. レジスタ ADDR[4:0] = 0x0E への書き込み(表 40 参照)。

表 40.

Register	Bits	Setting	Comments
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	1X or 00	Set desired input selection
	DATA[7]	X	
	DATA[6]	X	
	DATA[5]	X	
	DATA[4]	X	This bit must be set to force voltage mode to reduce aberrations
	DATA[3]	0	
	DATA[2:0]	XXX	

ステップ 3. レジスタ ADDR[4:0] = 0x0C への書き込み(表 41 参照)。

表 41.

Register	Bits	Setting	Comments
PE/PMU Enable Register, ADDR[4:0] = 0x0C	DATA[2]	1	PMU is now enabled in force voltage mode

## PMU 電圧フォース・モードから PMU 電流フォース・モードへの変化

ステップ 1. 表 42 に、電圧フォース・モードでのレジスタ状態を示します。

表 42.

Register	Bits	Setting
PE/PMU Enable Register, ADDR[4:0] = 0x0C	DATA[2]	1
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	XX
	DATA[7]	X
	DATA[6]	X
	DATA[5]	X
	DATA[4]	X
	DATA[3]	0
	DATA[2:0]	XXX

ステップ 2. レジスタ ADDR[4:0] = 0x0E への書き込み(表 43 参照)。

表 43.

Register	Bits	Setting	Comments	
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	01	Set 2.5 V + DUTGND input selection	
	DATA[7]	X		
	DATA[6]	X		
	DATA[5]	X		
	DATA[4]	X		
	DATA[3]	1		Set to force current mode
	DATA[2:0]	0XX		2 $\mu$ A range has the minimum offset current

ステップ 3.レジスタ ADDR[4:0] = 0x0B への書き込み(表 44 参照)。

表 44.

Register	Bits	Setting	Comments
VIN 16-Bit DAC, ADDR[4:0] = 0x0B	DATA[15:0]	X	Update the VIN 16-Bit DAC register to the desired value

ステップ 4.レジスタ ADDR[4:0] = 0x0E への書き込み(表 45 参照)。

表 45.

Register	Bits	Setting	Comments	
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	1X	Set VIN input selection	
	DATA[7]	X		
	DATA[6]	X		
	DATA[5]	X		
	DATA[4]	X		
	DATA[3]	1		Set to the desired current range
	DATA[2:0]	XXX		

### PMU 電圧フォース・モードから PMU 電流フォース・モードへの変化

ステップ 1.表 46 に、電流フォース・モードでのレジスタ状態を示します。

表 46.

Register	Bits	Setting
PE/PMU Enable Register, ADDR[4:0] = 0x0C	DATA[2]	1
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	XX
	DATA[7]	X
	DATA[6]	X
	DATA[5]	X
	DATA[4]	X
	DATA[3]	1
	DATA[2:0]	XXX

ステップ 2.レジスタ ADDR[4:0] = 0x0E への書き込み(表 47 参照)。

表 47.

Register	Bits	Setting	Comments	
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	00	Set DUTGND input selection	
	DATA[7]	X		
	DATA[6]	X		
	DATA[5]	X		
	DATA[4]	X		
	DATA[3]	0		Set to force voltage mode
	DATA[2:0]	XXX		Set to the desired current range

ステップ 3. レジスタ ADDR[4:0] = 0x0B への書き込み(表 48 参照)。

表 48.

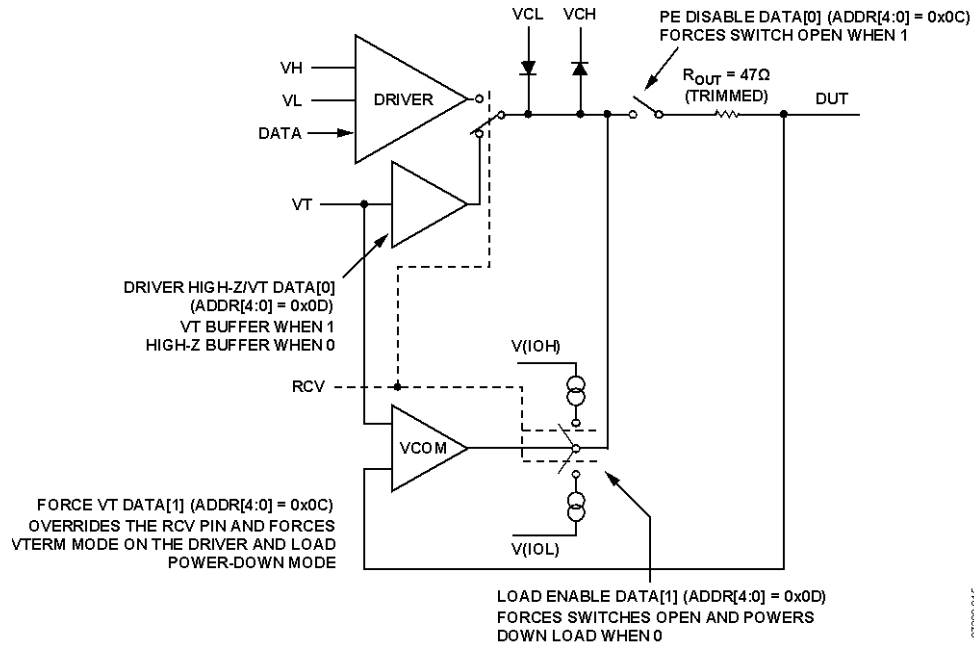
Register	Bits	Setting	Comments
VIN 16-Bit DAC, ADDR[4:0] = 0x0B	DATA[15:0]	X	Update the VIN 16-Bit DAC register to the desired value

ステップ 4. レジスタ ADDR[4:0] = 0x0E への書き込み(表 49 参照)。

表 49.

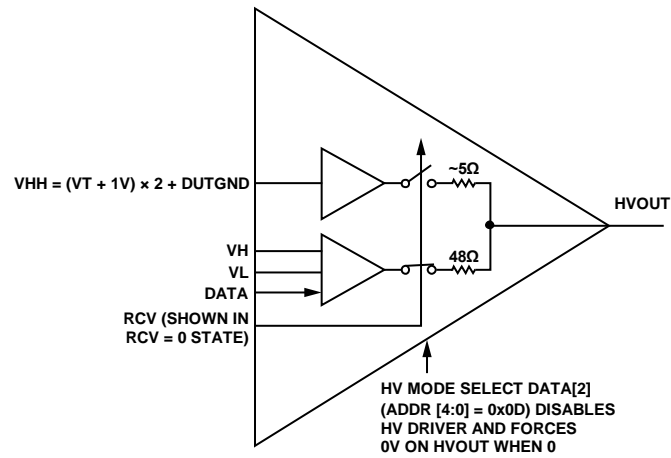
Register	Bits	Setting	Comments
PMU State Register, ADDR[4:0] = 0x0E	DATA[9:8]	1X	Set VIN input selection
	DATA[7]	X	
	DATA[6]	X	
	DATA[5]	X	
	DATA[4]	X	Force voltage mode
	DATA[3]	0	
	DATA[2:0]	XXX	

ブロック図



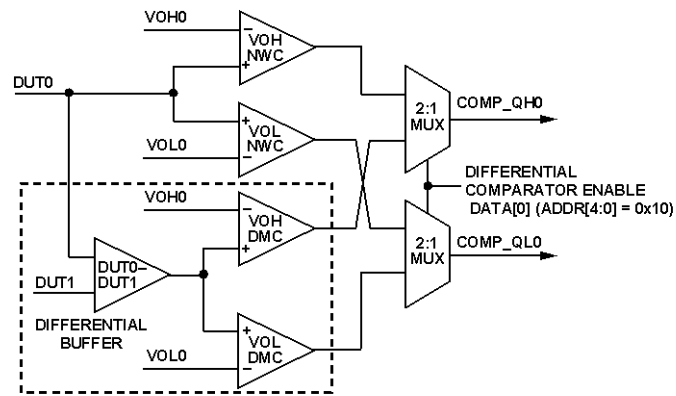
07280-015

図 79. ドライバと負荷のブロック図



07280-016

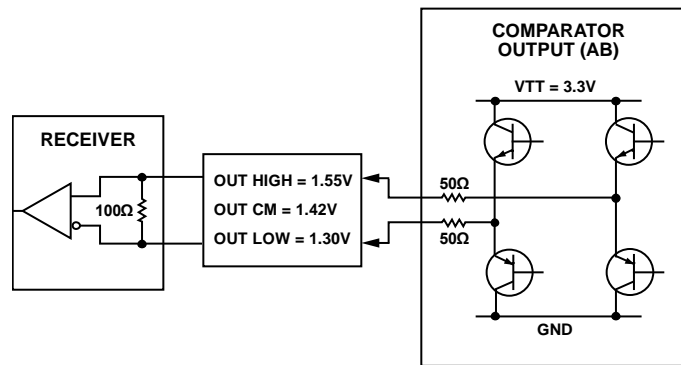
図 80. HVOUT ドライバ出カステージ



NOTES  
1. DIFFERENTIAL COMPARATOR ONLY ON CHANNEL 0.

07280-017

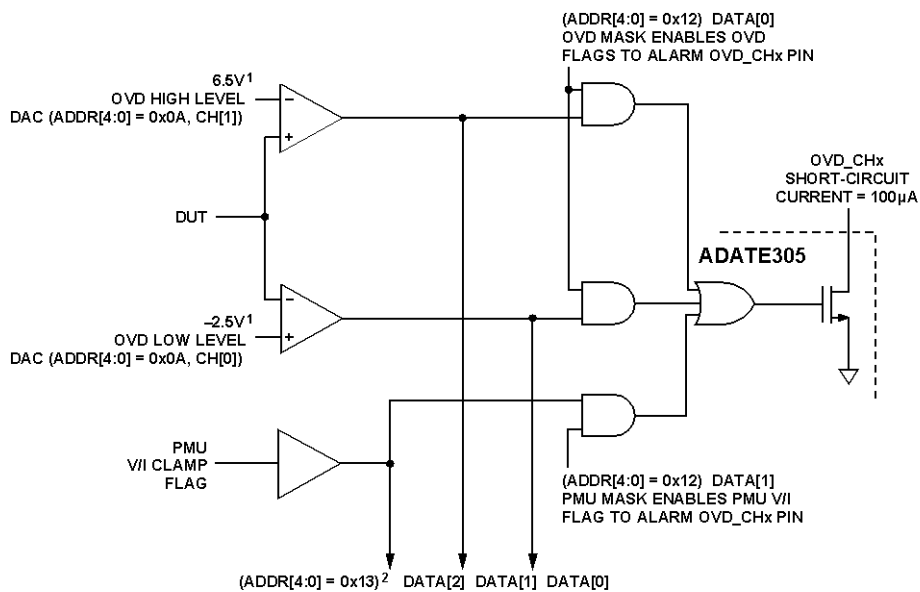
図 81.コンパレータのブロック図



07280-018

図 82.コンパレータ出力方式



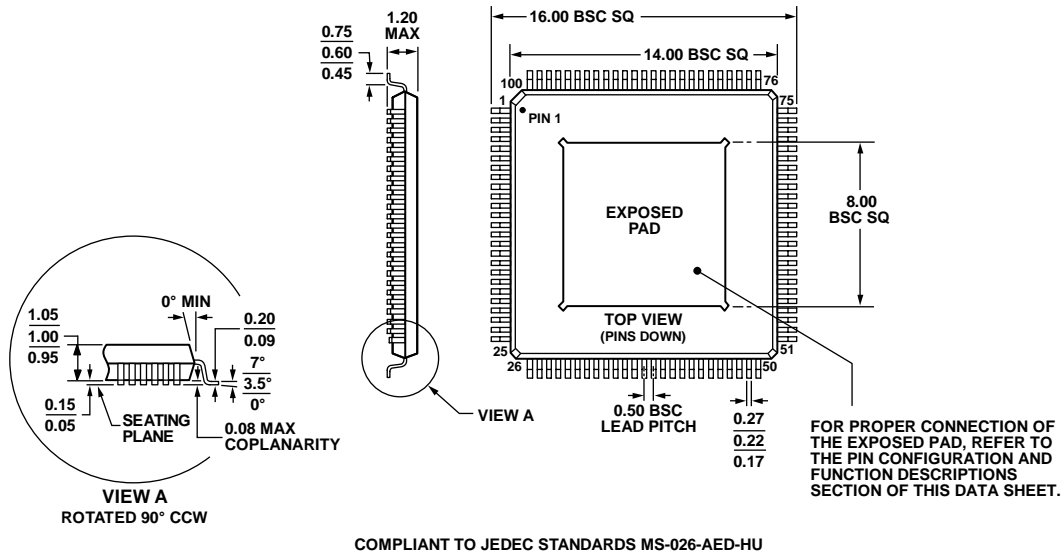


<sup>1</sup>THE OVD HIGH/LOW LEVEL DAC IS SHARED BY EACH CHANNEL; THEREFORE, ONLY ONE OVD HIGH/LOW VOLTAGE LEVEL CAN BE SET PER CHIP. THE OVD DACs PROVIDE A VOLTAGE RANGE OF -3V TO +7V. THE RECOMMENDED HIGH/LOW SETTINGS ARE +6.5V/-2.5V. (THESE VALUES NEED TO BE PROGRAMMED BY THE USER UPON STARTUP/RESET.)  
<sup>2</sup>THIS IS A READ ONLY REGISTER THAT ALLOWS THE USER TO DETERMINE THE CAUSE OF THE ACTIVE OVD FLAG.

07260-020

図 84.OVD のブロック図

外形寸法



D07280-0-8/08(0)-J

図 85.100 ピン薄型クワッド・フラット・パッケージ、露出パッド[TQFP\_EP]  
(SV-100-7)  
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADATE305BSVZ <sup>1</sup>	-40°C to +85°C	100-Lead, Thin Quad Flatpack, Exposed Pad [TQFP_EP]	SV-100-7

<sup>1</sup> Z = RoHS 準拠製品