



30 V、低ノイズ、レールtoレールI/O 低消費電力オペアンプ

データシート

ADA4084-2

特長

- レール to レール入力/出力
- 低消費電力: 625 μ A (typ)
- ゲイン帯域幅積: $A_v = 100$ (typ) で 15.9 MHz
- ユニティ・ゲイン・クロスオーバー: 9.9 MHz (typ)
- 3 dB クローズ・ループ帯域幅: ± 15 V で 13.9 MHz (typ)
- 低オフセット電圧: 最大 100 μ V (SOIC)
- ユニティ・ゲイン安定
- 高スルーレート: 4.6 V/ μ s (typ)
- 低ノイズ: 1 kHz で 3.9 nV/ $\sqrt{\text{Hz}}$ (typ)

アプリケーション

- バッテリー駆動の計装機器
- 電源の制御と保護
- 通信
- DAC 出力アンプ
- ADC 入力バッファ

概要

ADA4084-2 は、レール to レールの入力と出力を持つ、単電源、10 MHz 帯域幅のデュアル・アンプです。このデバイスは、3 V ~ 30 V (または ± 1.5 V ~ ± 15 V) での動作を保証しています。

これらのアンプは、AC 性能と高精度 DC 性能を必要とする単電源アプリケーションに適しています。ADA4084-2 は、広い帯域幅、低ノイズ、高精度の組み合わせを持つため、フィルタや計装機器などの多様なアプリケーションで使うことができます。

これらのアンプのアプリケーションとしては、ポータブル通信機器、電源の制御/保護、さらに広い出力範囲を持つトランスジューサのアンプまたはバッファとしての使用などがあります。レール to レール入力のアンプを必要とするセンサーとしては、ホール効果、圧電、抵抗などのトランスジューサがあります。

入力と出力でレール to レールの振幅が可能であるため、単電源システムでマルチステージ・フィルタの構築が可能になるので、高い信号対ノイズ比を維持することができます。

ADA4084-2 の仕様は、拡張工業温度範囲(-40°C ~ +125°C)で規定されています。デュアルの ADA4084-2 は、8 ピンの SOIC または MSOP 表面実装パッケージを採用しています。

ピン配置

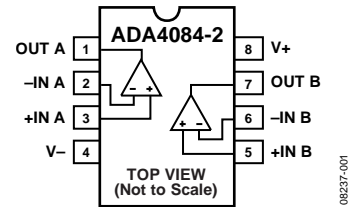


図 1. 8 ピン MSOP (RM)
8 ピン SOIC (R)

ADA4084-2 は、アナログ・デバイセズの高電圧低ノイズ・オペアンプのシリーズに属しており、このシリーズの拡張は続いています(表 1 参照)。

低入力電圧ノイズ・アンプの広範囲なセクション・テーブルは、<http://www.analog.com/jp> から提供する AN-940 アプリケーション・ノート「最適ノイズ性能を得るための低ノイズ・アンプ選択の手引き」に記載してあります。

表 1. 低ノイズ・オペアンプ

Voltage Noise	Single	Dual	Quad
1.1 nV/Hz	AD8597	AD8599	
1.8 nV/Hz	ADA4004-1	ADA4004-2	ADA4004-4
2.8 nV/Hz RRIO ¹	AD8675	AD8676	
2.8 nV/Hz	AD8671	AD8672	AD8674
3.2 nV/Hz	OP27/OP37		
3.9 nV/Hz RRIO ²		ADA4084-2	

¹ レール to レール出力。

² レール to レール入力/出力。

Rev. A

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011–2012 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	±5 V 特性.....	11
アプリケーション.....	1	±15 V 特性.....	15
概要.....	1	同等な電圧のグラフと可変電圧のグラフ.....	19
ピン配置.....	1	アプリケーション情報.....	20
改訂履歴.....	2	機能説明.....	20
仕様.....	3	入力保護.....	21
電気的特性.....	3	出力位相の反転.....	21
絶対最大定格.....	6	単電源アプリケーションでの低ノイズ回路のデザイン.....	21
熱抵抗.....	6	コンパレータ動作.....	22
ESD の注意.....	6	外形寸法.....	23
代表的な性能特性.....	7	オーダー・ガイド.....	23
±1.5 V 特性.....	7		

改訂履歴

2/12—Rev. 0 to Rev. A

Changes to Data Sheet Title.....	1
Changes to Voltage Range in General Description.....	1
Changes to Supply Current/Amplifier Parameter, Table 2.....	3
Changes to Common-Mode Rejection Ratio Parameter, Table 3.....	4
Changes to Common-Mode Rejection Ratio Parameter, Table 4.....	5
Changes to Figure 2.....	6
Changes to Figure 24.....	10
Changes to Figure 32.....	12
Changes to Figure 47.....	14
Changes to Figure 55.....	16
Changes to Figure 62.....	17
Changes to Figure 73.....	20

10/11—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、 $V_{SY} = 3\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage ¹	V_{OS}	SOIC package			100	μV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			200	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	MSOP package			130	μV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	250	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Matching		Channel A vs. Channel B, $T_A = 25^\circ\text{C}$			150	μV
Input Bias Current	I_B			140	300	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			450	nA
Input Offset Current	I_{OS}				25	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			50	nA
Input Voltage Range			0		3	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }3\text{ V}$	64	80		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	60			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $0.5\text{ V} \leq V_O \leq 2.5\text{ V}$	100	104		dB
		$R_L = 2\text{ k}\Omega$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	97			dB
Input Impedance, Differential				100 1.1		$\text{k}\Omega \text{pF}$
Input Impedance, Common-Mode				80 2.9		$\text{M}\Omega \text{pF}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V_{CM}	2.85	2.95		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	2.8			V
		$R_L = 2\text{ k}\Omega$ to V_{CM}	2.8	2.9		V
Output Voltage Low	V_{OL}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	2.7			V
		$R_L = 10\text{ k}\Omega$ to V_{CM}		10	20	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			40	mV
Short-Circuit Current	I_{SC}	$R_L = 2\text{ k}\Omega$ to V_{CM}			50	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			75	mV
				-17/+10		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 1.25\text{ V to } \pm 1.75\text{ V}$	100	110		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
Supply Current/Amplifier	I_{SY}	$I_O = 0\text{ mA}$		565	650	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			950	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$	2.0	2.6		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = 100$		15.4		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 5\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $A_V = 1$		8.08		MHz
Phase Margin	Φ_M			86		Degrees
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = 1$, $V_{IN} = 5\text{ mV p-p}$		12.3		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.14		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		3.9		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.55		$\text{pA}/\sqrt{\text{Hz}}$

¹ オフセット電圧にハンダ熱抵抗は含まれません。

特に指定がない限り、 $V_{SY} = \pm 5.0 \text{ V}$ 、 $V_{CM} = 0 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage ¹	V_{OS}	SOIC package $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			100	μV
		MSOP package $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			250	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	1.75	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Matching		Channel A vs. Channel B, $T_A = 25^\circ\text{C}$			150	μV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		140	300	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			450	nA
Input Voltage Range			-5		+5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = \pm 4 \text{ V}$	106	124		dB
		$V_{CM} = \pm 5 \text{ V}$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	76			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2 \text{ k}\Omega$, $-4 \text{ V} \leq V_o \leq 4 \text{ V}$	108	112		dB
		$R_L = 2 \text{ k}\Omega$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	103			dB
Input Impedance, Differential				100 1.1		$\text{k}\Omega \text{pF}$
Input Impedance, Common-Mode				200 2.5		$\text{M}\Omega \text{pF}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.9	4.95		V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.8	4.85		V
Output Voltage Low	V_{OL}	$R_L = 10 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.7	-4.95	-4.9	V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		-4.95	-4.8	V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		-4.95	-4.8	V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-4.7	V
Short Circuit Current	I_{SC}			-24/+17		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 2 \text{ V}$ to $\pm 18 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	110	120		dB
			105			dB
Supply Current/Amplifier	I_{SY}	$I_o = 0 \text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		595	700	μA
					1000	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2 \text{ k}\Omega$ to V_{CM}	2.4	3.7		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 5 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $A_V = 100$		15.9		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 5 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $A_V = 1$		9.6		MHz
Phase Margin	Φ_M			85		Degrees
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = 1$, $V_{IN} = 5 \text{ mV p-p}$		13.9		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.14		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ kHz}$		3.9		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n			0.55		$\text{pA}/\sqrt{\text{Hz}}$

¹ オフセット電圧にハンダ熱抵抗は含まれません。

特に指定がない限り、 $V_{SY} = \pm 15.0 \text{ V}$ 、 $V_{CM} = 0 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage ¹	V_{OS}	SOIC package $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			100	μV
		MSOP package $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			200	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			0.5	1.75	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Matching		Channel A vs. Channel B, $T_A = 25^\circ\text{C}$			150	μV
Input Bias Current	I_B			140	300	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			450	nA
Input Offset Current	I_{OS}				25	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			50	nA
Input Voltage Range			-15		+15	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = \pm 14 \text{ V}$	106	124		dB
		$V_{CM} = \pm 15 \text{ V}$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2 \text{ k}\Omega$, $-13.5 \text{ V} \leq V_o \leq +13.5 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	110	117		dB
			105			dB
Input Impedance, Differential				100 1.1		$\text{k}\Omega \text{pF}$
Input Impedance, Common-Mode				200 2.5		$\text{M}\Omega \text{pF}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	14.8	14.9		V
			14.8			V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	14.5	14.6		V
			14.3			V
Output Voltage Low	V_{OL}	$R_L = 10 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		-14.95	-14.9	V
					-14.8	V
		$R_L = 2 \text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		-14.9	-14.8	V
					-14.7	V
Short Circuit Current	I_{SC}			± 30		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 2 \text{ V}$ to $\pm 18 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	110	120		dB
			105			dB
Supply Current/Amplifier	I_{SY}	$I_O = 0 \text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		625	750	μA
					1050	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2 \text{ k}\Omega$	2.4	4.6		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 5 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $A_V = 100$		15.9		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 5 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $A_V = 1$		9.9		MHz
Phase Margin	Φ_M			86		Degrees
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = 1$, $V_{IN} = 5 \text{ mV p-p}$		13.9		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.1		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ kHz}$		3.9		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n			0.55		$\text{pA}/\sqrt{\text{Hz}}$

¹ オフセット電圧にハンダ熱抵抗は含まれません。

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	±18 V
Input Voltage	$V^- \leq V_{IN} \leq V^+$
Differential Input Voltage ¹	±0.6 V
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 60 sec)	300°C

¹ 0.6 V を超える入力差動電圧に対しては、入力電流を 5 mA 以下に制限して入力デバイスの性能低下または破壊を防止する必要があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、4 層の JEDEC 標準プリント回路ボード(PCB)にハンダ付けしたデバイスに対して自然空冷で規定します。

表 6.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC	121	43	°C/W
8-Lead MSOP	142	45	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

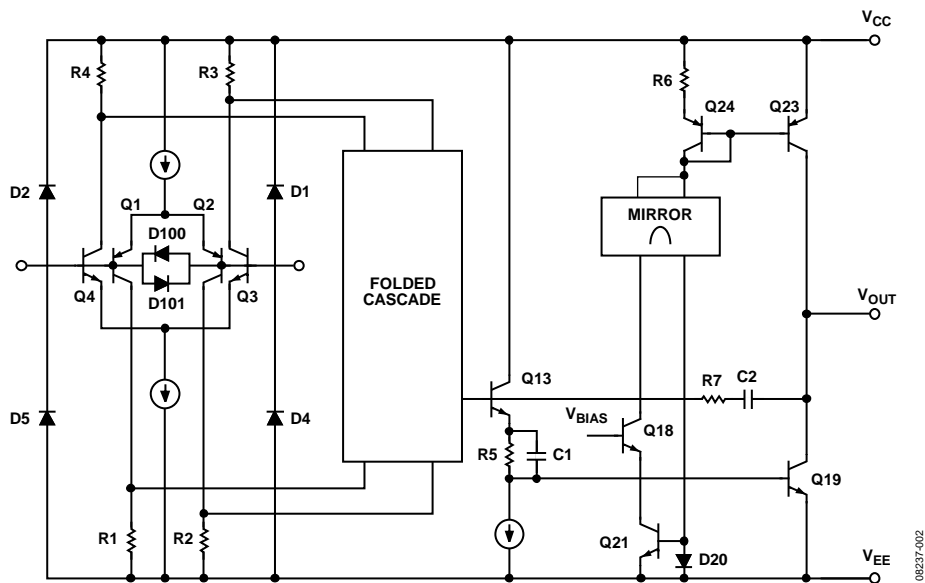


図 2.簡略化した回路図

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

±1.5 V 特性

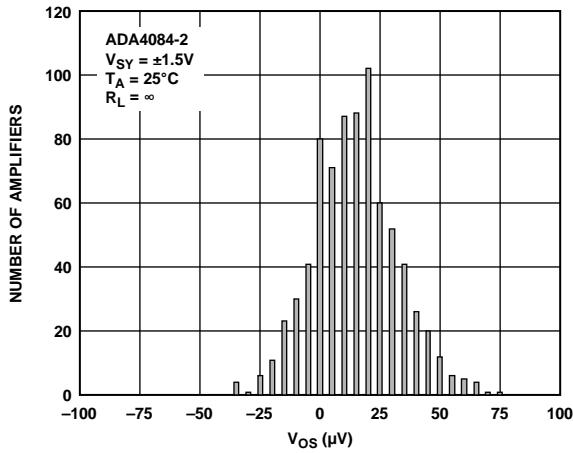


図 3. 入力オフセット電圧分布、SOIC

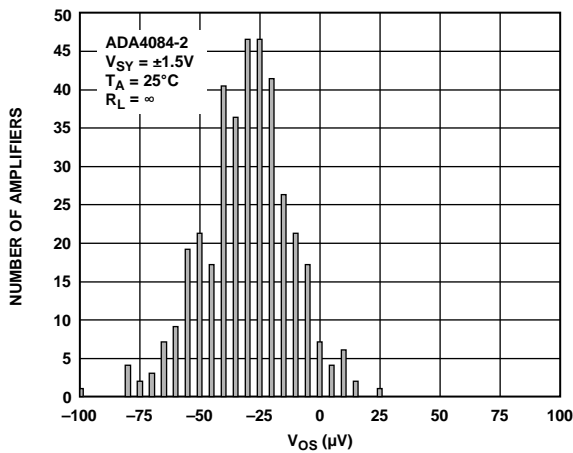


図 4. 入力オフセット電圧分布、MSOP

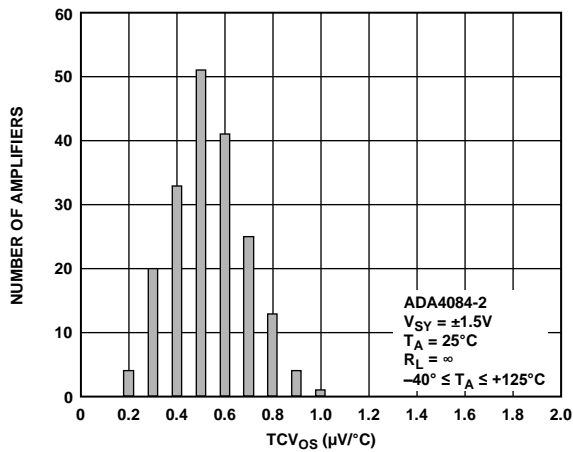


図 5. TCV_{OS} 分布、SOIC

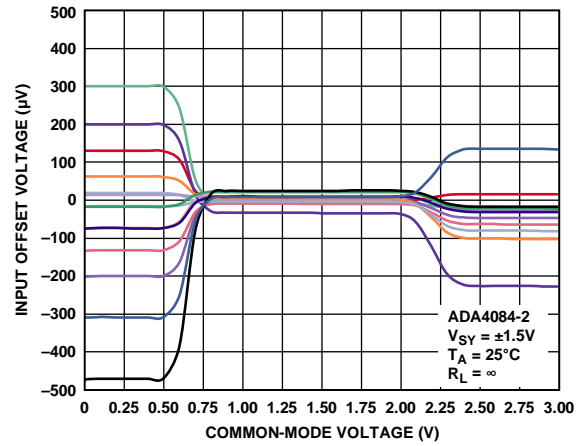


図 6. 同相モード電圧対入力オフセット電圧

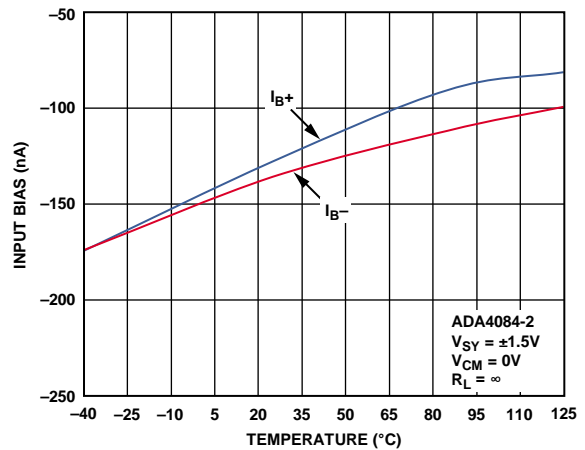


図 7. 入力バイアス電流の温度特性

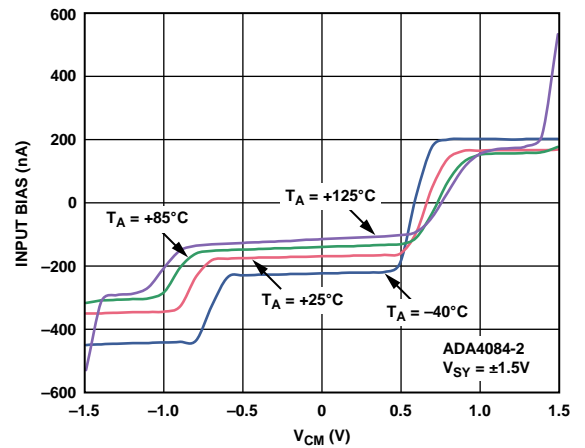


図 8. V_{CM} および温度対入力バイアス電流

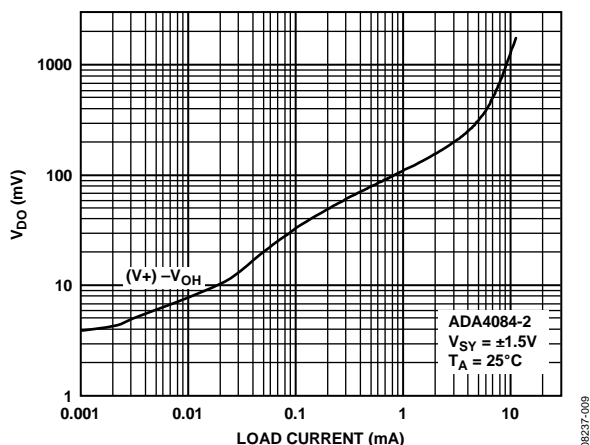


図 9. ソース電流対ドロップアウト電圧

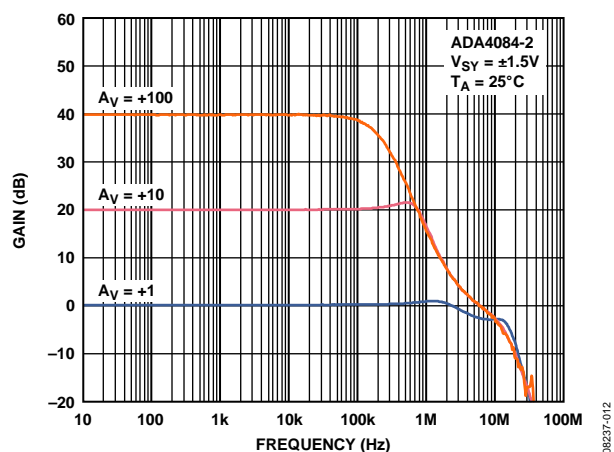


図 12. クローズド・ループ・ゲインの周波数特性

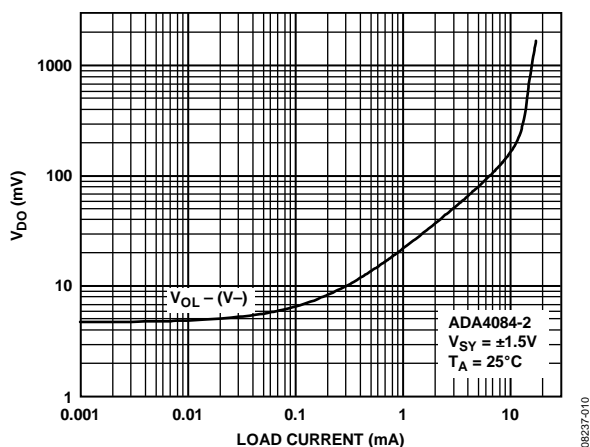


図 10. シンク電流対ドロップアウト電圧

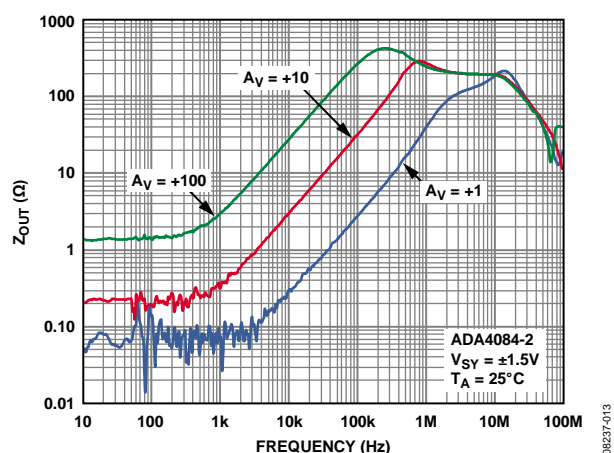


図 13. 出カインピーダンスの周波数特性

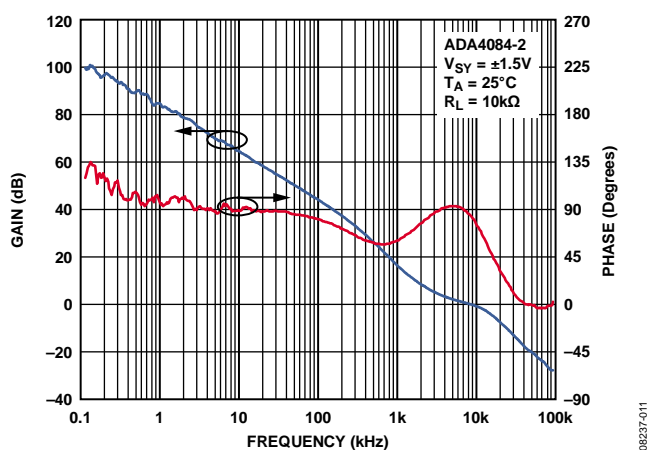


図 11. オープン・ループ・ゲインおよび位相の周波数特性

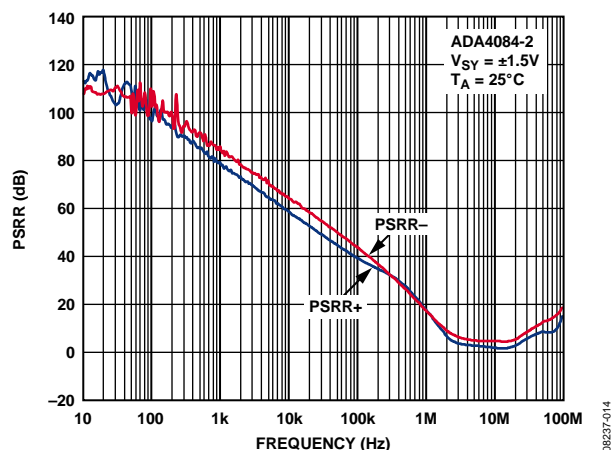


図 14. PSRR の周波数特性

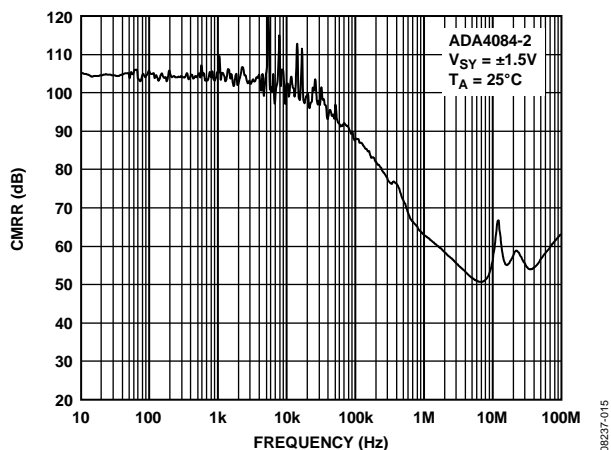


図 15. CMRR の周波数特性

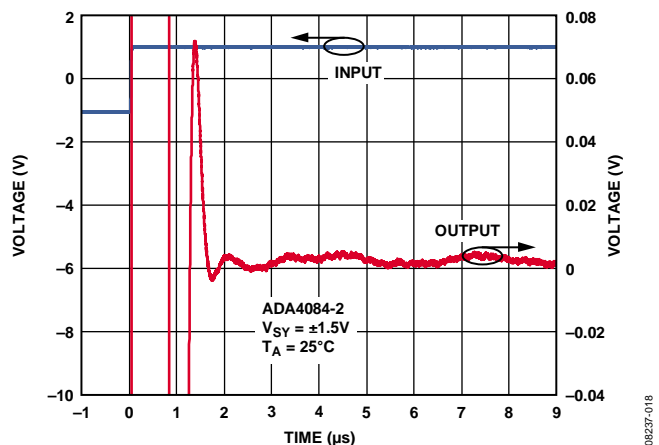


図 18. セットリング・タイム

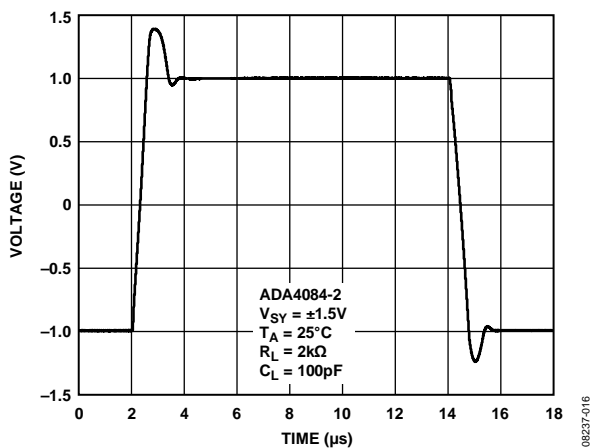


図 16. 大信号過渡応答

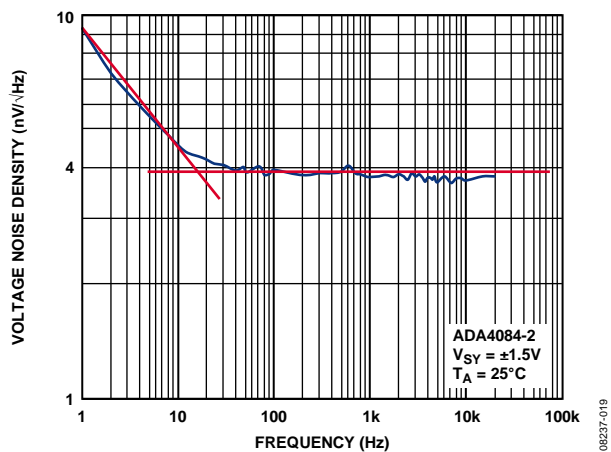


図 19. 電圧ノイズ密度

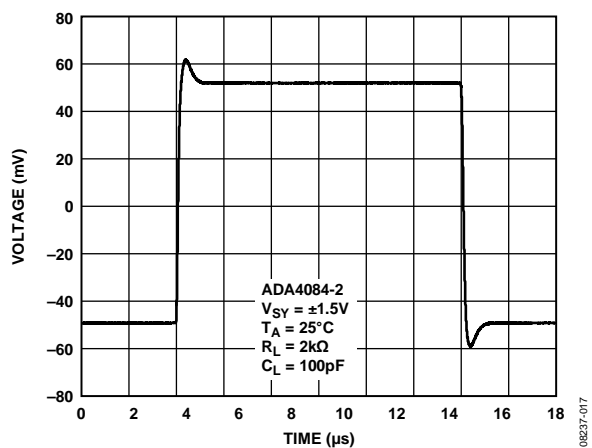


図 17. 小信号過渡応答

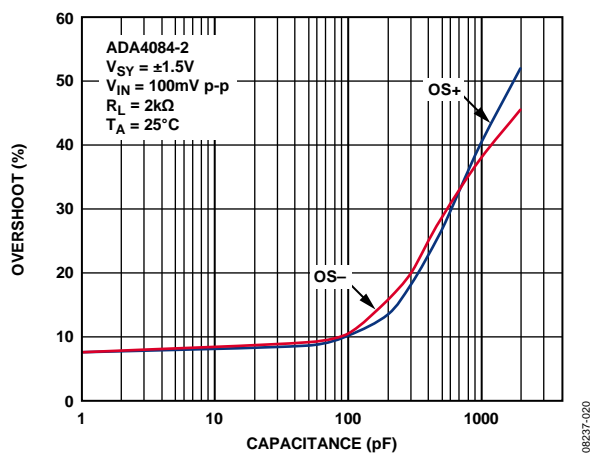


図 20. 容量対オーバーシュート

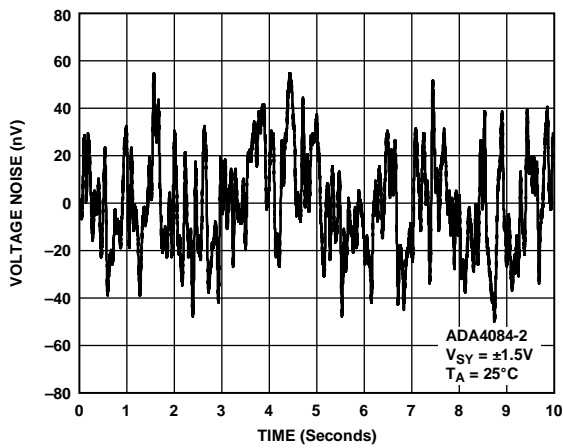


図 21. 電圧ノイズ、0.1 Hz~10 Hz

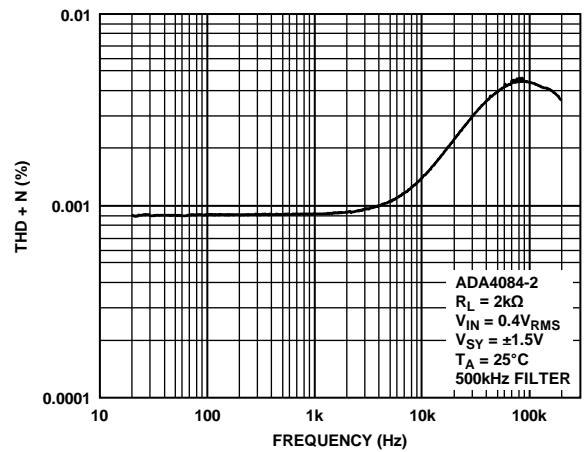


図 24. THD + N の周波数特性

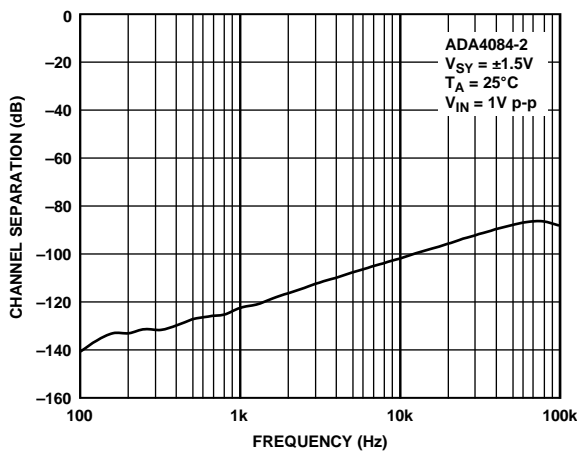


図 22. チャンネル・セパレーション

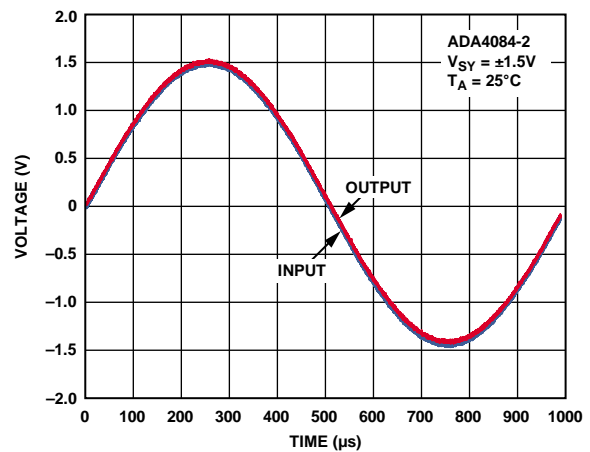


図 25. 位相反転なし

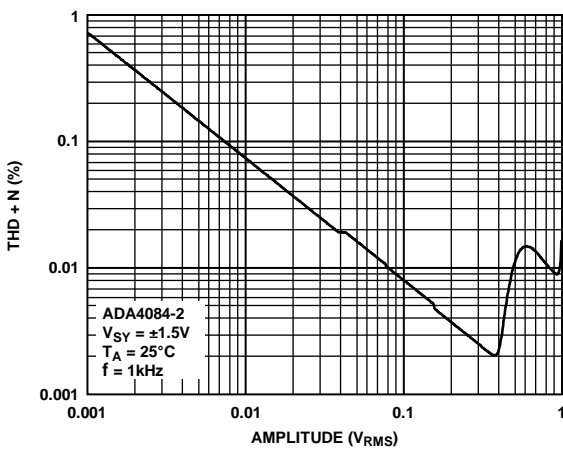


図 23. 振幅対 THD + N

±5 V 特性

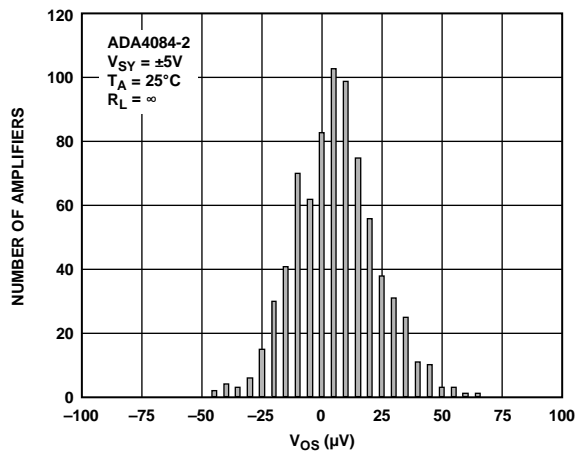


図 26.入力オフセット電圧分布、SOIC

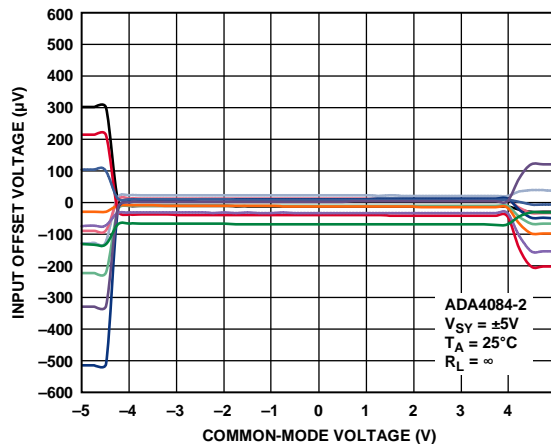


図 29.同相モード電圧対入力オフセット電圧

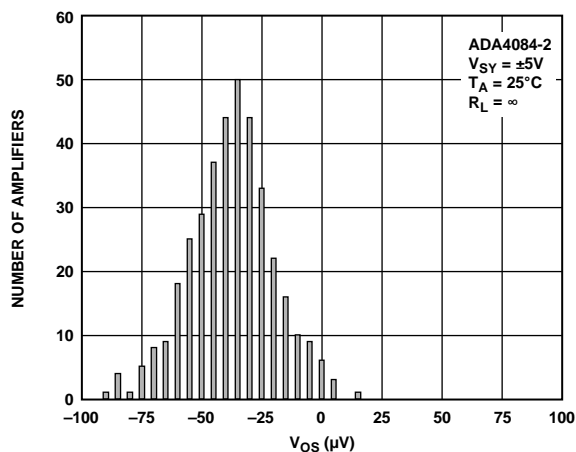


図 27.入力オフセット電圧分布、MSOP

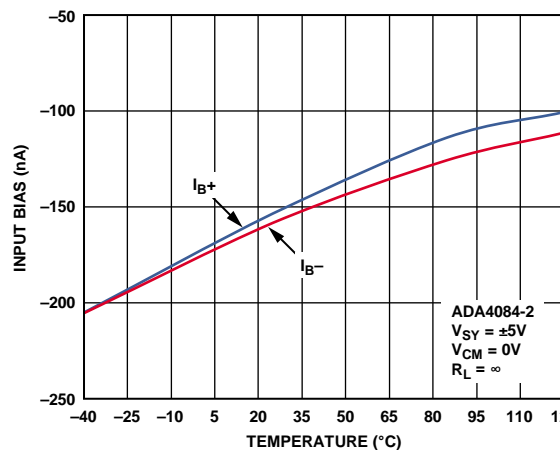


図 30.入力バイアス電流の温度特性

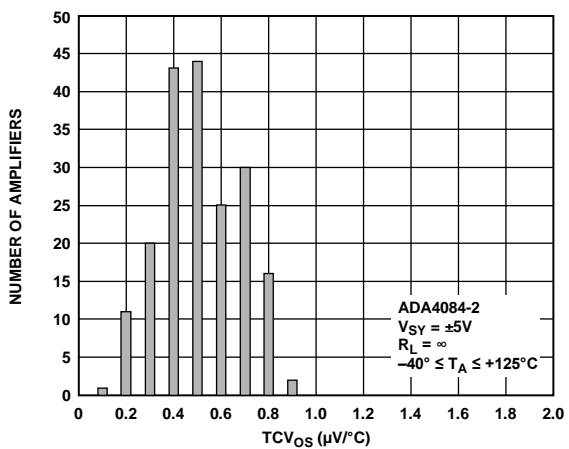


図 28.TCVos の分布

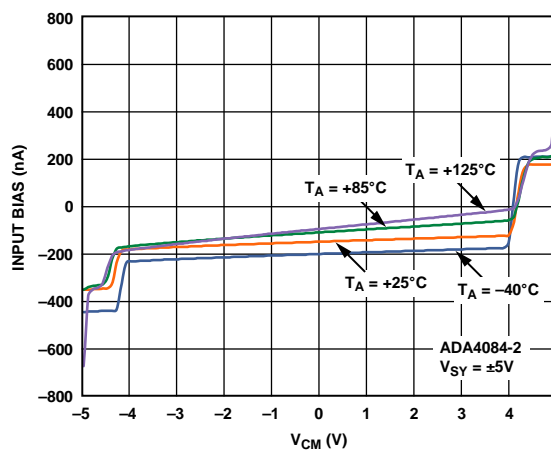


図 31.VCMおよび温度対入力バイアス電流

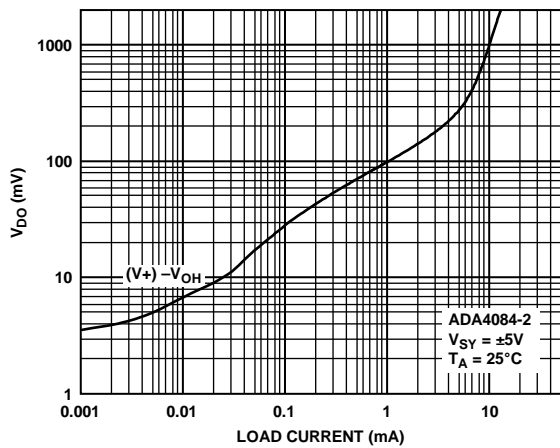


図 32. ソース電流対ドロップアウト電圧

08237-032

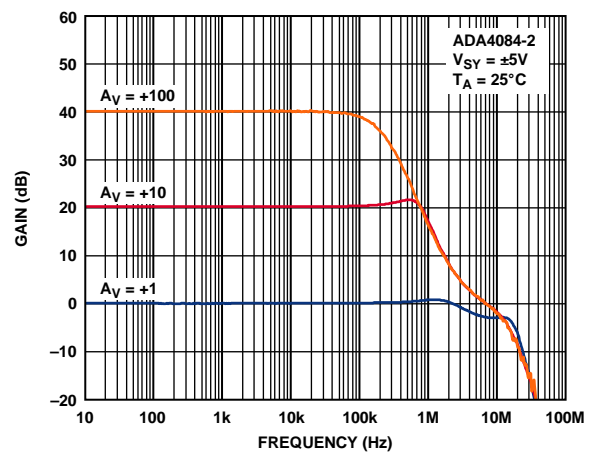


図 35. クローズド・ループ・ゲインの周波数特性

08237-035

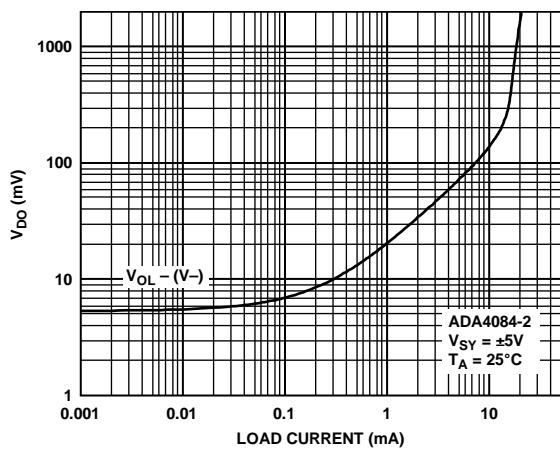


図 33. シンク電流対ドロップアウト電圧

08237-033

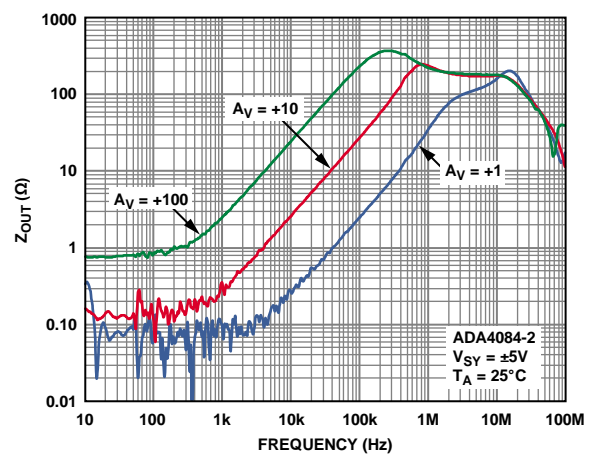


図 36. 出カインピーダンスの周波数特性

08237-036

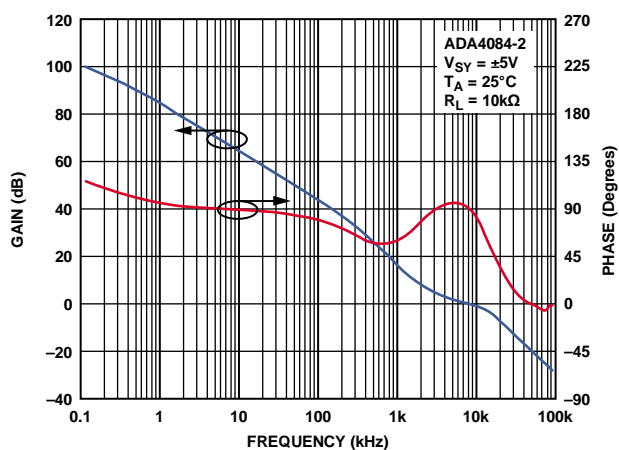


図 34. オープン・ループ・ゲインおよび位相の周波数特性

08237-034

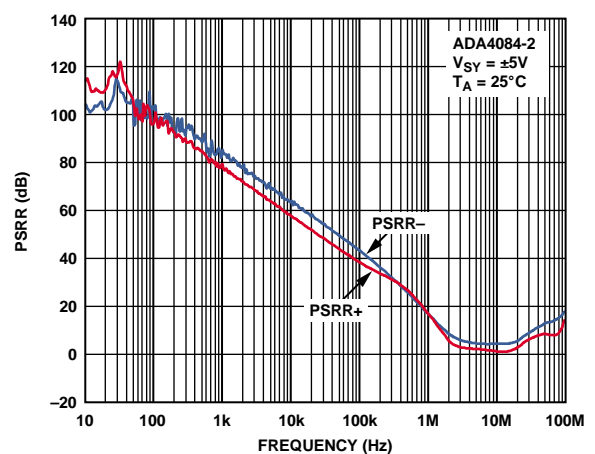


図 37. PSRR の周波数特性

08237-037

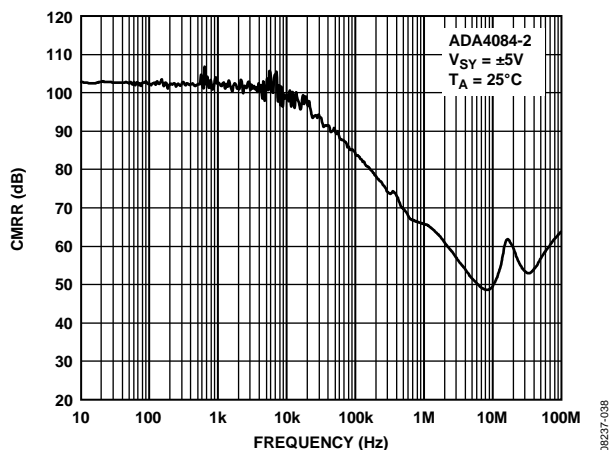


図 38. CMRR の周波数特性

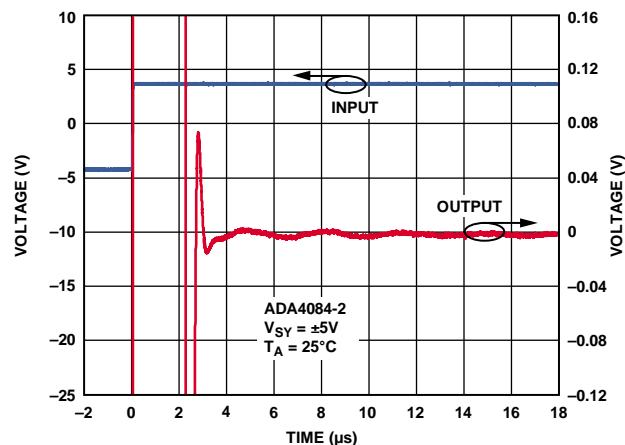


図 41. セトリング・タイム

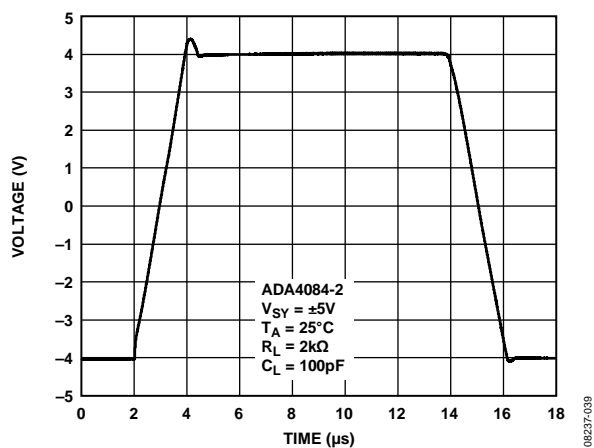


図 39. 大信号過渡応答

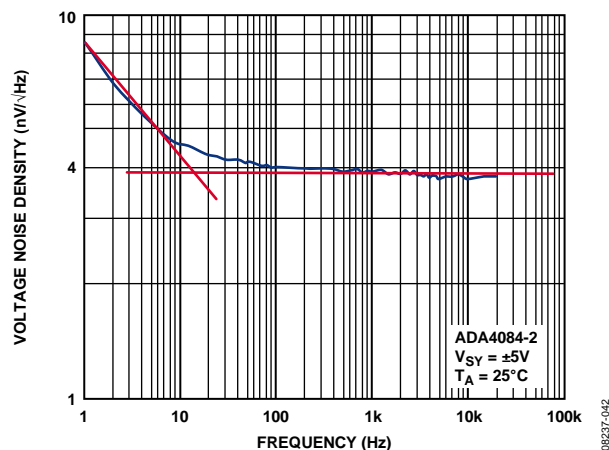


図 42. 電圧ノイズ密度

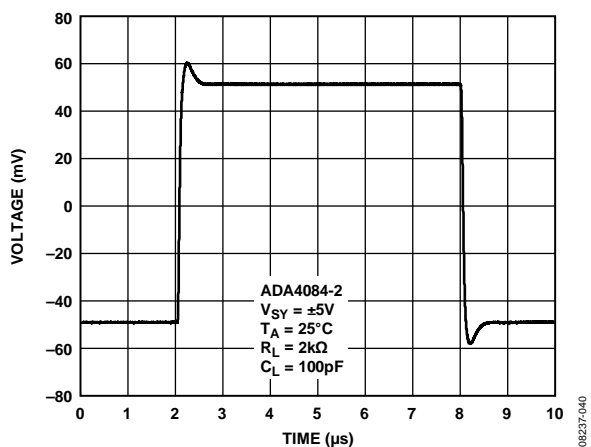


図 40. 小信号過渡応答

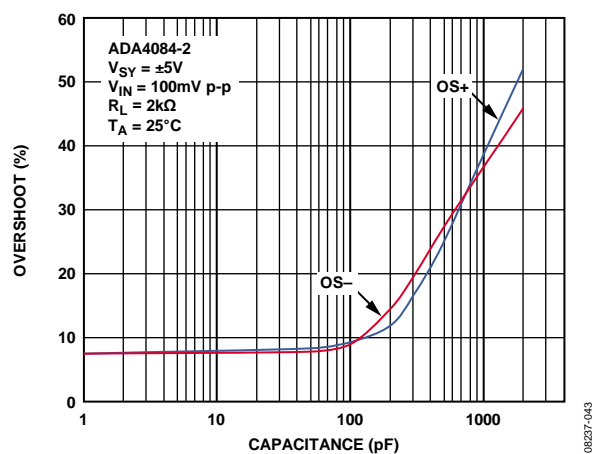


図 43. 負荷容量対オーバーシュート

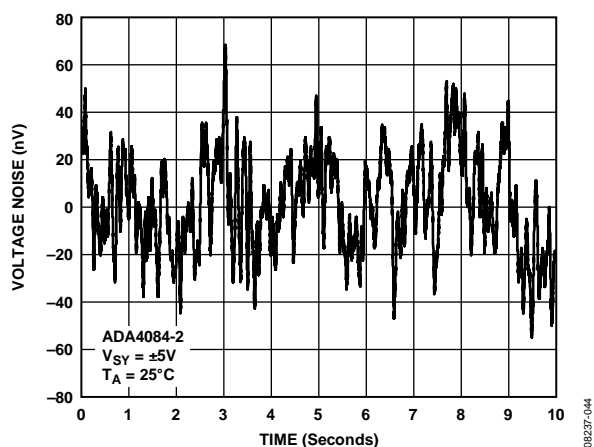


図 44. 電圧ノイズ、0.1 Hz~10 Hz

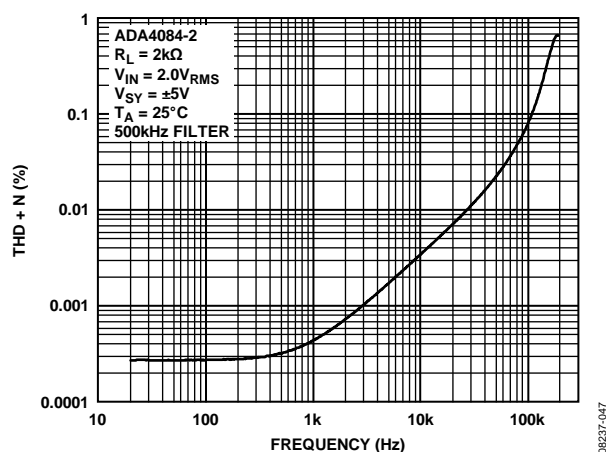


図 47. THD + N の周波数特性

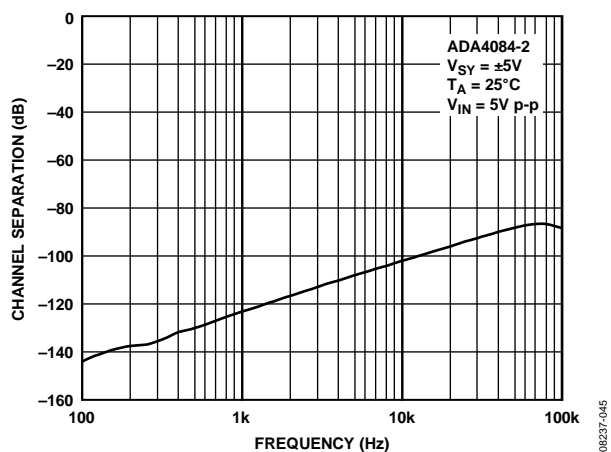


図 45. チャンネル・セパレーション

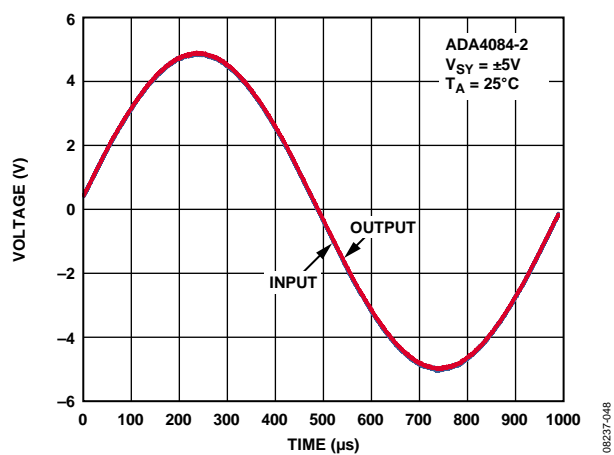


図 48. 位相反転なし

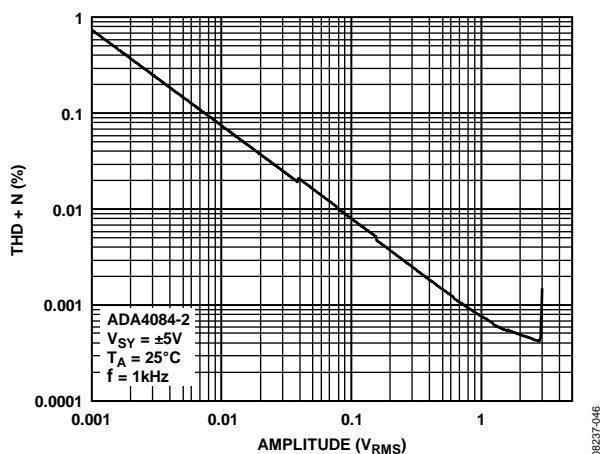


図 46. 振幅対 THD + N

±15 V 特性

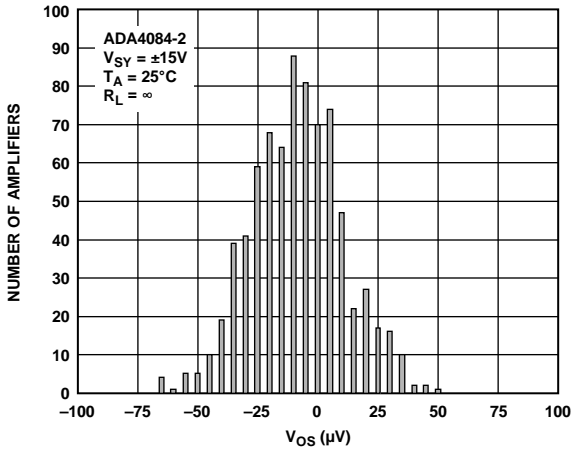


図 49.入力オフセット電圧分布、SOIC

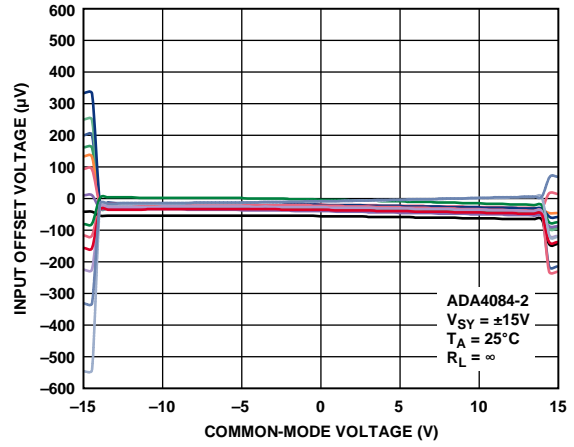


図 52.同相モード電圧対入力オフセット電圧

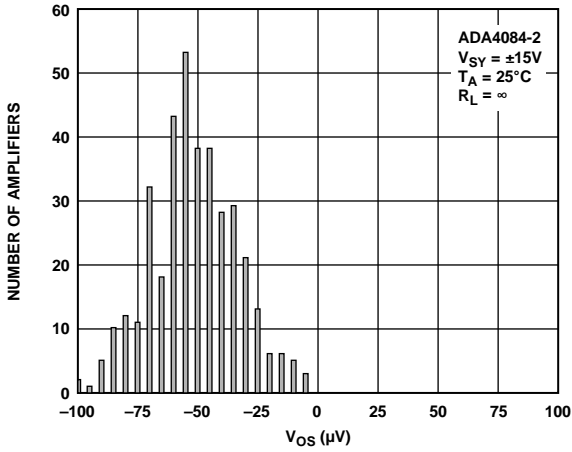


図 50.入力オフセット電圧分布、MSOP

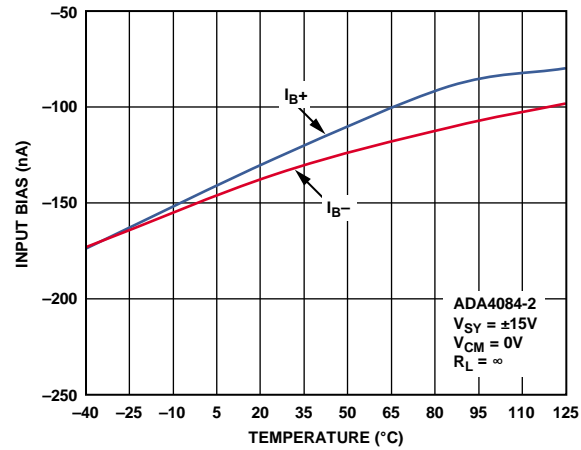


図 53.入力バイアス電流の温度特性

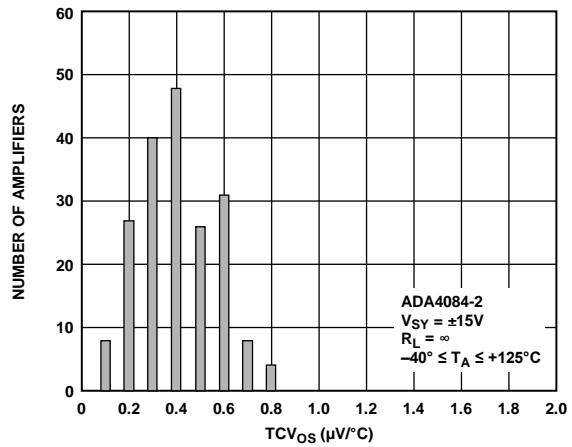


図 51.TCVos の分布

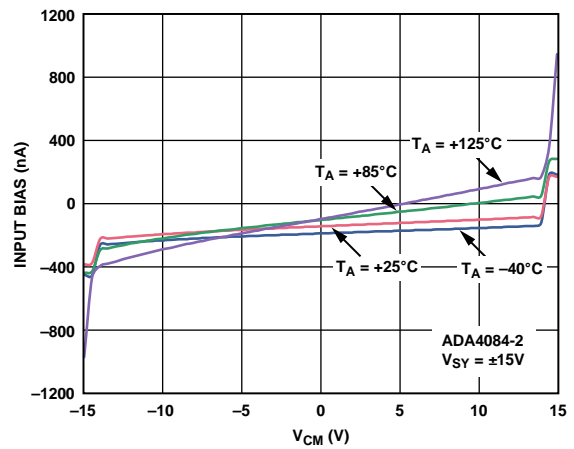


図 54.VCM および温度対入力バイアス電流

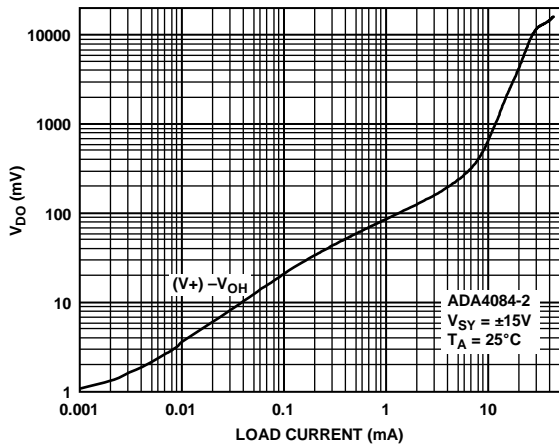


図 55. ソース電流対ドロップアウト電圧

08237-055

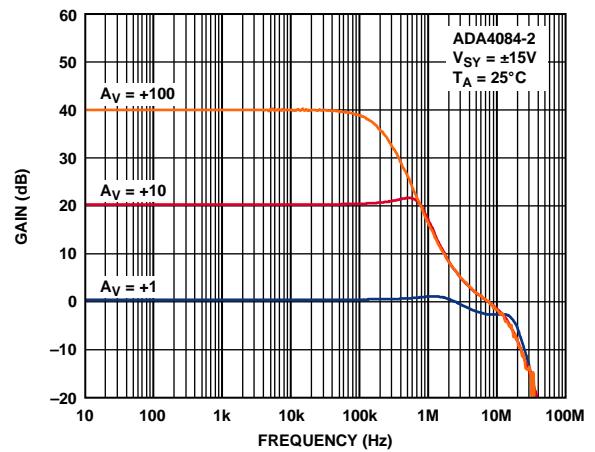


図 58. クローズド・ループ・ゲインの周波数特性

08237-058

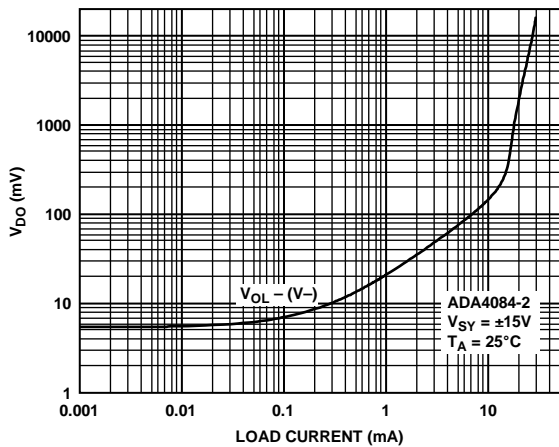


図 56. シンク電流対ドロップアウト電圧

08237-056

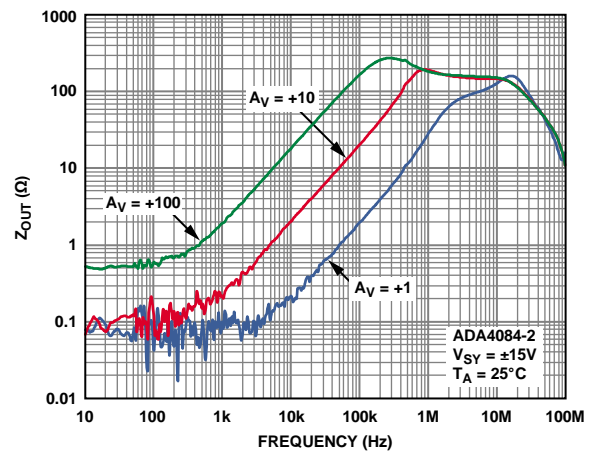


図 59. 出力インピーダンスの周波数特性

08237-059

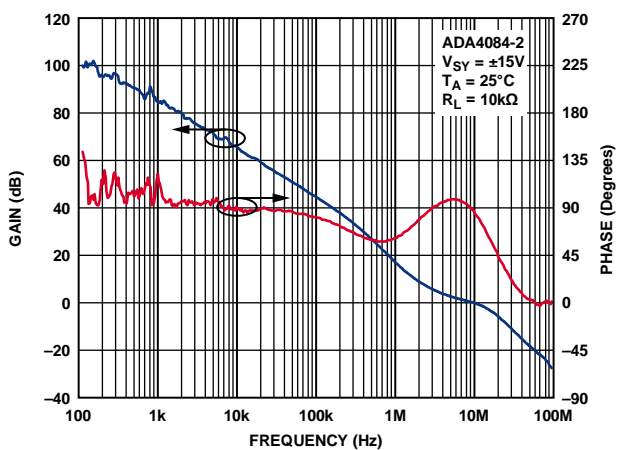


図 57. オープン・ループ・ゲインおよび位相の周波数特性

08237-057

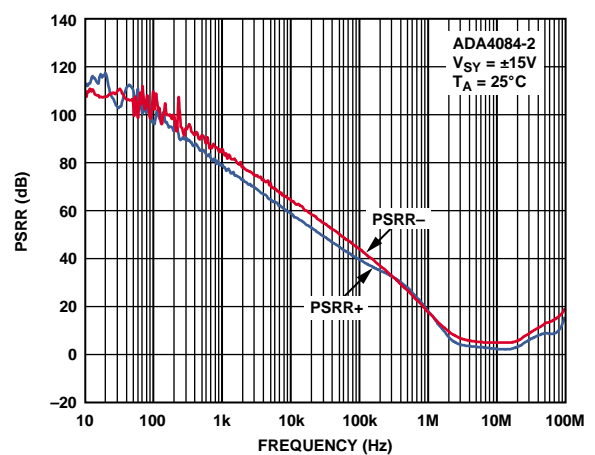


図 60. PSRR の周波数特性

08237-060

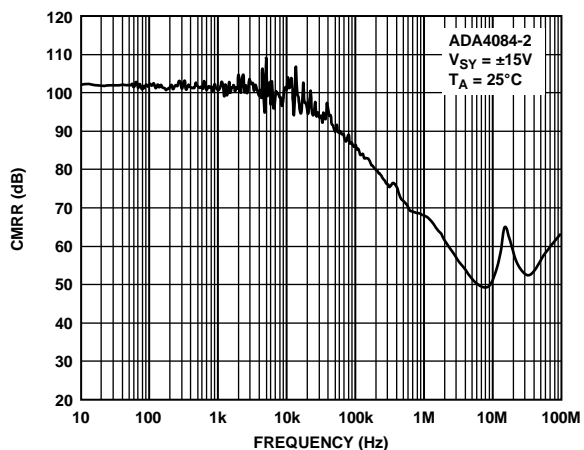


図 61. CMRR の周波数特性

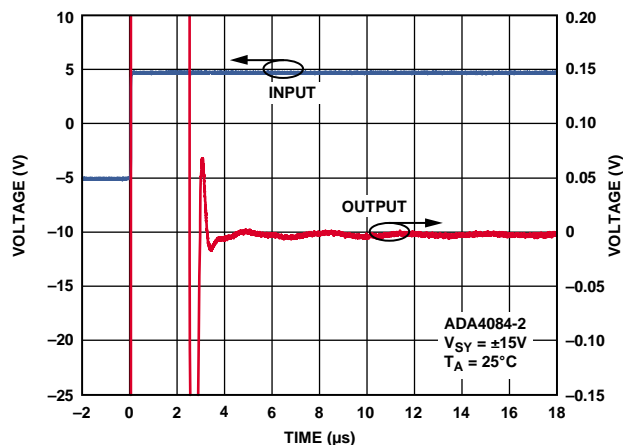


図 64. セトリング・タイム

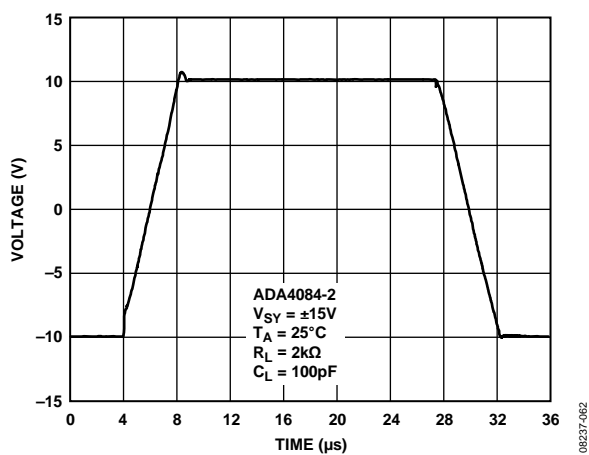


図 62. 大信号過渡応答

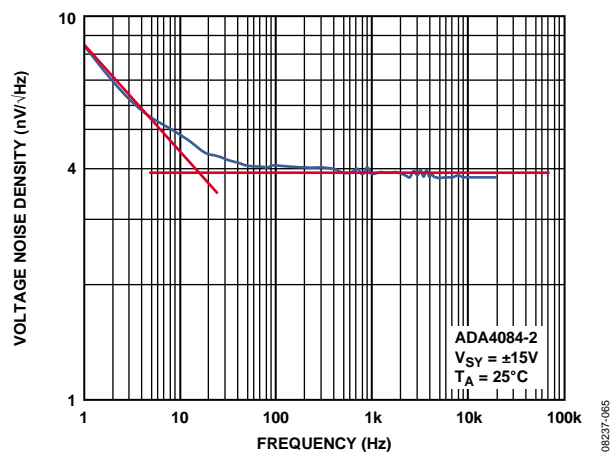


図 65. 電圧ノイズ密度

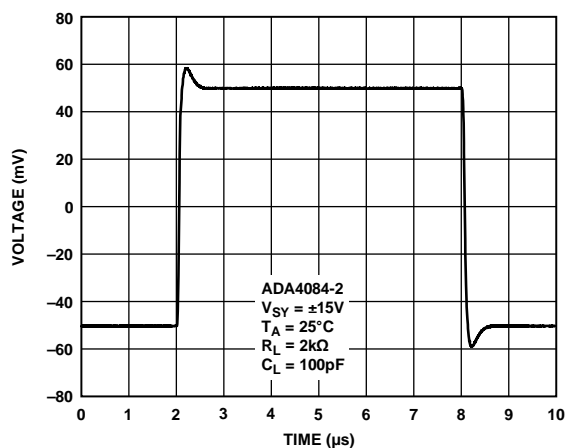


図 63. 小信号過渡応答

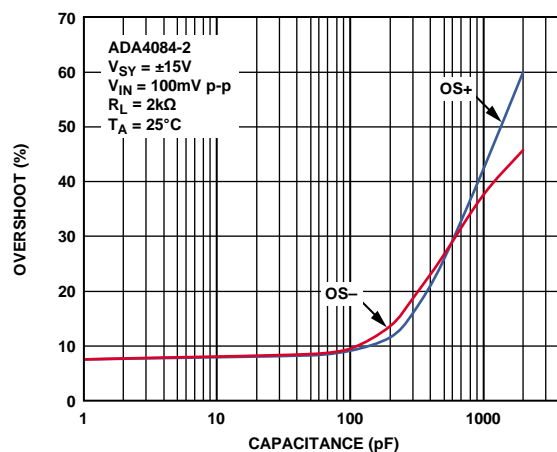


図 66. 負荷容量対オーバーシュート

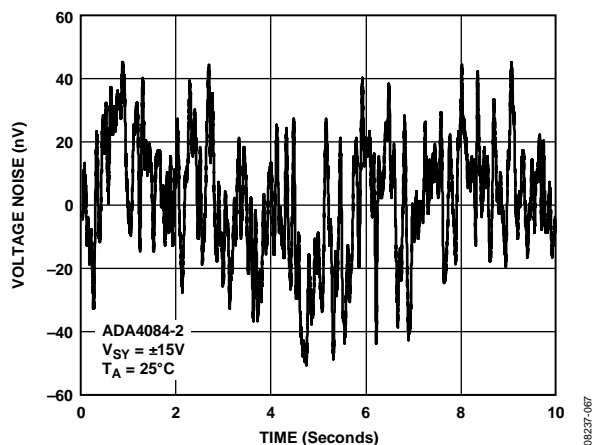


図 67. 電圧ノイズ、0.1 Hz~10 Hz

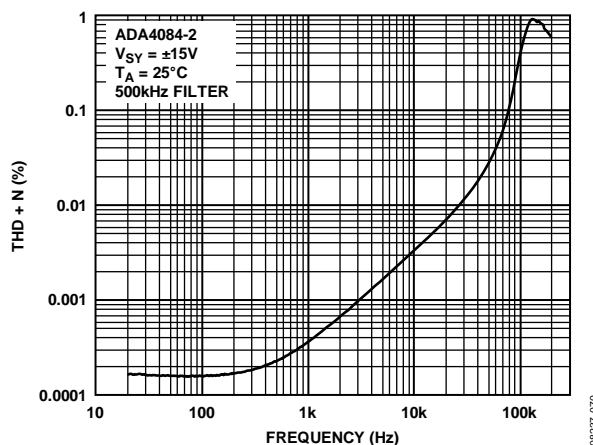


図 70. THD + N の周波数特性

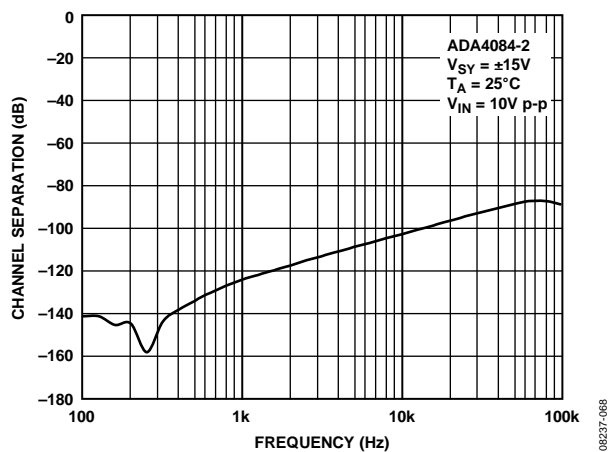


図 68. チャンネル・セパレーション

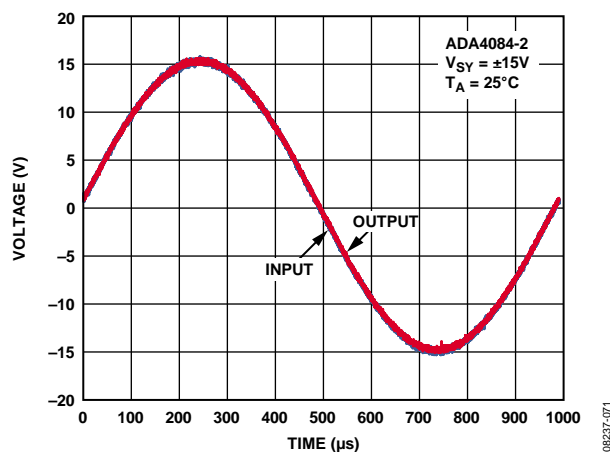


図 71. 位相反転なし

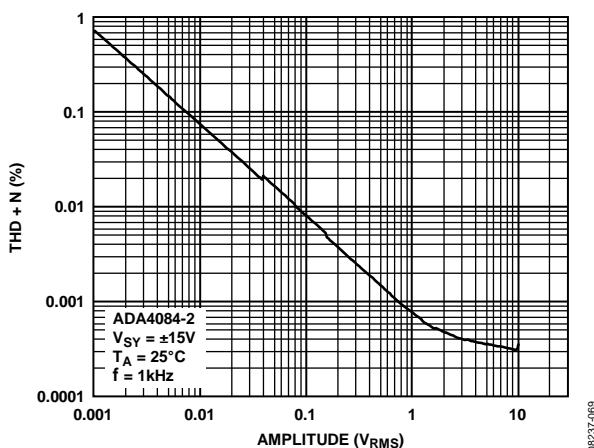


図 69. 振幅対 THD + N

同等な電圧のグラフと可変電圧のグラフ

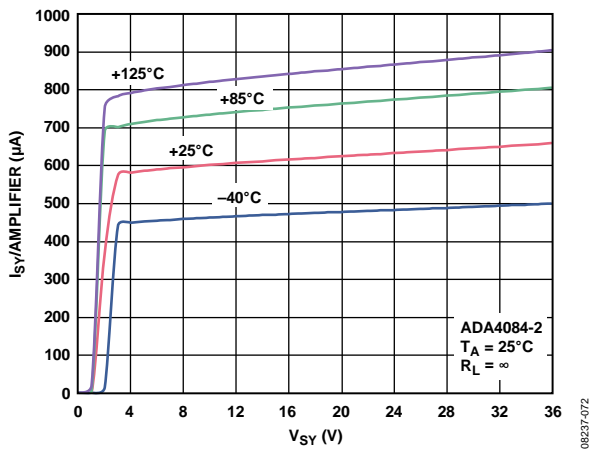


図 72. 電源電圧対電源電流

アプリケーション情報

機能説明

ADA4084-2 は高精度、単電源のレール to レール・オペアンプです。ADA4084-2 はポータブル計装機器を対象に、高精度特性、広帯域幅、低ノイズの組み合わせを提供するため、AC 性能と高精度 DC 性能を必要とする単電源アプリケーションに対する最適な選択肢になっています。ADA4084-2 が適するその他の低電源電圧アプリケーションとしては、アクティブ・フィルタ、オーディオ・マイクロフォン・プリアンプ、電源制御、通信などがあります。これらのすべての特性とレール to レール入力/出力動作を組み合わせるため、新しい回路デザイン技術が使用されています。

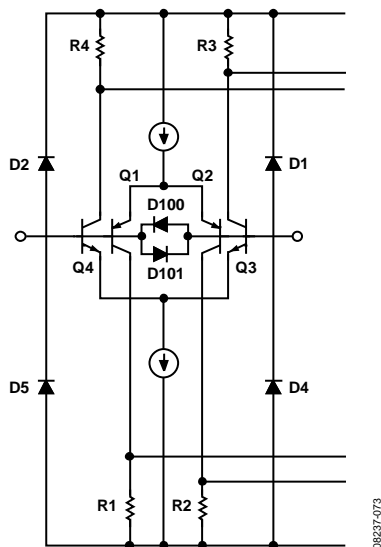


図 73. ADA4084-2 の等価入力回路

例として、図 73 に ADA4084-2 入力ステージの簡略化した等価回路を示します。これは、PNP 差動対 Q1 と Q2、および NPN 差動対 Q3 と Q4 から構成されており、同時に動作します。ダイオード D100 とダイオード D101 は、ADA4084-2 への差動入力電圧をクランプするため、エミッターベース間ジャンクションのツェナー・ブレークダウンから入力トランジスタを保護します。入力ステージの電圧ゲインは、入力のレール to レール動作のために低く維持されています。2 対の差動出力電圧は、改良型二重化カスケード接続ゲイン・ステージである ADA4084-2 の 2 段階目ステージに接続されています。これは 2 段階目ゲイン・ステージ内でもあり、ここで 2 対の差動出力電圧がシングルエンド出力信号電圧へ変換されて、出力ステージの駆動に使用されます。

入力ステージでの重要な問題は、入力同相モード電圧範囲での入力バイアス電流の動作です。ADA4084-2 の入力バイアス電流は、Q1 と Q4 および Q2 と Q3 のベース電流の和になります。このデザイン手法の結果として、ADA4084-2 の入力バイアス電流は異なる振幅だけでなく、異なる極性も持っています。この影響は、図 7、図 8、図 30、図 31、図 53、図 54 から知ることができます。したがって、ADA4084-2 入力に接続される実効ソース・インピーダンスが一致していることが、最適な DC 性能と AC 性能にとって重要です。

レール to レール出力を実現するため、ADA4084-2 の出力ステージ・デザインでは電流のソースとシンクに独自の回路を採用しています。図 74 に、この回路を示します。出力ステージは、2 段階目ゲイン・ステージから電圧駆動されます。出力ステージを通過する信号パスは反転しています。すなわち、正入力信号に対して Q13 が Q19 へベース駆動電流を供給して電流(シンク)を流します。負入力信号に対しては、Q18 → ミラー → Q24 の信号パスが Q23 にベース駆動電流を供給して電流(ソース)を流します。両トランジスタは、サチレーションするまで出力電流を供給します。

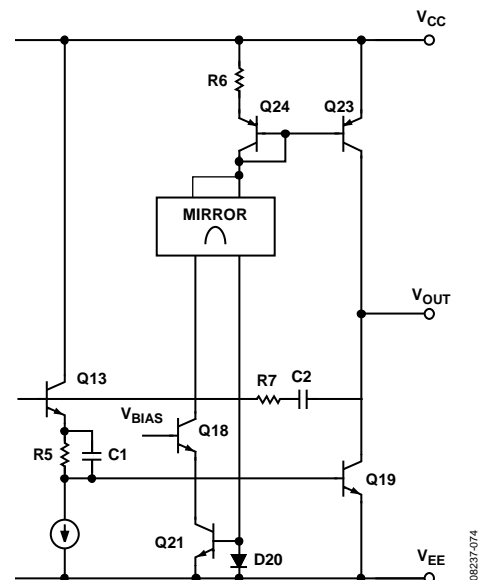


図 74. ADA4084-2 の等価出力回路

したがって、出力トランジスタのサチレーション電圧によって ADA4084-2 の最大出力電圧振幅が制限されます。出力短絡電流制限値は、2 段階目ゲイン・ステージから Q13 のベースへ流れる最大信号電流により決定されます。また、出力ステージも電圧ゲインを持っています。これは共通エミッタ・アンプの使用により実現されているため、出力ステージの電圧ゲイン(したがってデバイスのオープン・ループ・ゲイン)は ADA4084-2 出力の合計負荷抵抗に依存します。

入力保護

すべての半導体デバイスと同様に、デバイスに加えられる入力電圧がいずれかの電源電圧を超えることがある場合、デバイスの入力過電圧 I/V 特性を考慮する必要があります。過電圧が発生すると、加えられた電圧の大きさと故障電流の大きさに応じて、アンプが損傷を受けることがあります。

入力同相モード電圧がいずれかの電源ピンをダイオード電圧降下だけ上回ると、ダイオード D1、D2、D4、D5 が導通します。この電圧は温度により変化し、範囲は 0.3 V ~ 0.8 V になります。図 73 の簡略化した等価回路に示すように、ADA4084-2 は内部電流制限抵抗を持っていないため、故障電流は急速に損傷レベルまで増加します。

この入力電流は、5 mA 以下に制限する場合、本来デバイスに損傷を与えるものではありません。故障状態により 5 mA 以上流れる場合には、熱ノイズが増えてしまいますが、外付け直列抵抗を追加する必要があります。図 75 に、過電圧保護アンプの代表的な非反転構成を示します。ここで、直列抵抗 R_S は次式を使って選択します。

$$R_S = \frac{V_{IN(MAX)} - V_{SUPPLY}}{5 \text{ mA}}$$

例えば、1 kΩ の抵抗では電源の上下 5 V までの入力信号に対して ADA4084-2 を保護します。

室温での 1 kΩ 抵抗の熱ノイズは 4 nV/√Hz であり、この値は ADA4084-2 の電圧ノイズより大きいことに注意してください。両入力を使用する他の構成では、直列抵抗を使用して各入力を誤用から保護する必要があります。ここでも、最適な DC 性能と AC 性能を保証するため、ソース・インピーダンス・レベルを一致させることが推奨されます。

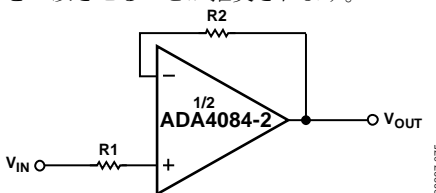


図 75. 直列入力抵抗により過電圧電流を安全な値に制限

エミッターベース間ジャンクションのツェナー・ブレイクダウンを生じさせる大きな差動電圧から Q1-Q2 と Q3-Q4 を保護するため、D100 と D101 を 2 つの入力の間に接続します。これには、コンパレータとしての動作が含まれます。詳細については、<http://www.analog.com/jp> から提供する MT-035 チュートリアル「Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues」、MT-083 チュートリアル「Comparators」、MT-084 チュートリアル「Using Op Amps As Comparators」、AN-849 アプリケーション・ノート「オペアンプのコンパレータとしての使用」(和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

出力位相の反転

単電源動作のオペアンプ・デザインによっては、有効同相モード範囲を超えて入力を駆動すると、出力電圧位相反転を示す場合があります。一般に、単電源バイポーラ・オペアンプでは、負電源により同相モード範囲の下限が決定されます。これらのデバイスでは、アノードをグラウンドへ接続し、かつカソードを入力へ接続した外付けクランプ・ダイオードにより、入力信号がデバイス負電源(すなわち GND)を超えるのを防止して、出力電圧で位相変化が生ずる条件が発生しないようにします。JFET 入力アンプでも位相反転が生じるため、この場合にはこれを防止するため直列入力抵抗が必要です。

ADA4084-2 には、電源電圧を超える入力電圧を加えないかぎり、入力電圧範囲に制約はありません。デバイス出力での位相反転はありませんが、入力保護ダイオードに大きな電流が流れます。このため、電源電圧を超える入力電圧が生ずる可能性が高いアプリケーションに対しては、入力保護のセクションで推奨した技術を使う必要があります。

単電源アプリケーションでの低ノイズ回路のデザイン

単電源アプリケーションでは、ADA4084-2 のようなデバイスのレール to レール動作を使用することにより、アプリケーションのダイナミックレンジを広げます。図 76 に示すオペアンプ・ノイズ・モデル回路構成では、ソース抵抗レベル R_S に対する合計等価入力ノイズ電圧は、次式で表されます。

$$e_{nT} = \sqrt{2 [(e_{nR})^2 + (i_{nOA} \times R_S)^2] + (e_{nOA})^2}, \text{ 単位は } \frac{\text{V}}{\sqrt{\text{Hz}}}$$

ここで、

$R_S = 2R$, 実効または等価な回路ソース抵抗。

$(e_{nR})^2$ はソース抵抗の熱電圧ノイズ電力 (4kTR)。

k はボルツマン定数で 1.38×10^{-23} J/K。

T は回路の周囲温度(K)で $273.15 + T_A$ (°C)。

$(i_{nOA})^2$ はオペアンプの等価入力ノイズ電流スペクトル電力 (1 Hz 帯域幅)。

$(e_{nOA})^2$ はオペアンプの等価入力ノイズ電圧スペクトル電力 (1 Hz 帯域幅)。

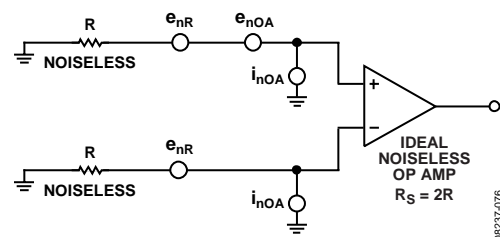


図 76. 回路の総合等価入力ノイズ電圧とノイズ係数を求めるために使用するオペアンプ・ノイズ回路モデル

デザインの一助として、図 77 に ADA4084-2 の総合等価入力ノイズと抵抗の総合熱ノイズとの比較を示します。1 kΩ 以下のソース抵抗では、ADA4084-2 の等価入力ノイズ電圧が支配的であることに注意してください。

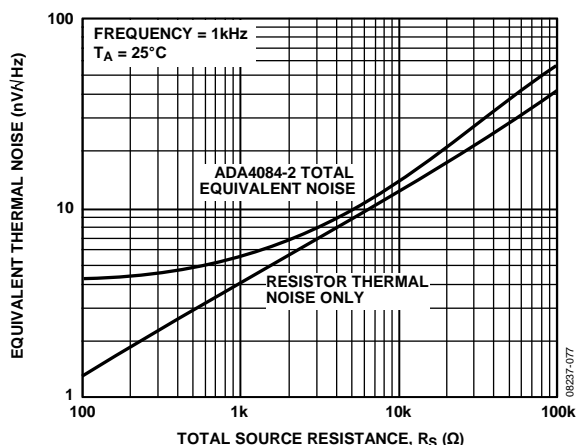


図 77. 総合ソース抵抗対 ADA4084-2 の等価熱ノイズ

回路の SNR は最終解析でクリティカル・パラメータであるため、回路のノイズをノイズ係数 NF で表すことがあります。ノイズ係数は、回路入力の信号対ノイズ比に対する回路出力の信号対ノイズ比の比として定義されます。

ノイズ係数は、一般に 50 Ω システムの RF とマイクロ波の回路解析で使用されています。これは、入力と出力のインピーダンスが大きく変化するオペアンプ回路では有効な方法ではありません。ノイズ係数の詳細については、<http://www.analog.com/jp> から提供する MT-052 チュートリアル「Op Amp Noise Figure: Don't be Mislead」を参照してください。

回路の SNR を大きくするためにアプリケーションの信号レベルを大きくする方法は、低電圧の単電源アプリケーションでは採用できません。

したがって、単電源アプリケーションで最適な回路 SNR を実現するためには、等価入力ノイズ電圧が小さく、かつ総合回路ノイズを小さくすることに矛盾しない小さいソース抵抗レベルを持つオペアンプを選択することが推奨されます。

コンパレータ動作

オペアンプはコンパレータとかなり異なりますが、デュアルまたはクワッドのオペアンプの未使用部分をコンパレータとして使用することがありますが、これはレール to レール出力のオペアンプの場合推奨できません。レール to レール出力のオペアンプの場合、一般に出力ステージはバイポーラ・トランジスタまたは MOSFET トランジスタに対して比例電流ミラーになっています。デバイスをオープン・ループで動作させる場合、2 ステージ目は電流駆動を比例ミラーまで増やしてループを閉じようとしていますが、これを閉じることができないため、電源電流が増えます。オペアンプをコンパレータとして構成すると、電源電流は非常に大きくなる場合があります (図 76 参照)。未使用セクションを電圧フォロワとして構成し、入力電圧範囲内で非反転入力を電圧に接続することが推奨されます。ADA4084-2 では、オペアンプをオープン・ループで動作させる際に余分な電源電流を大幅に削減する 2 段階目ステージと出力ステージの独自のデザインを採用しています。

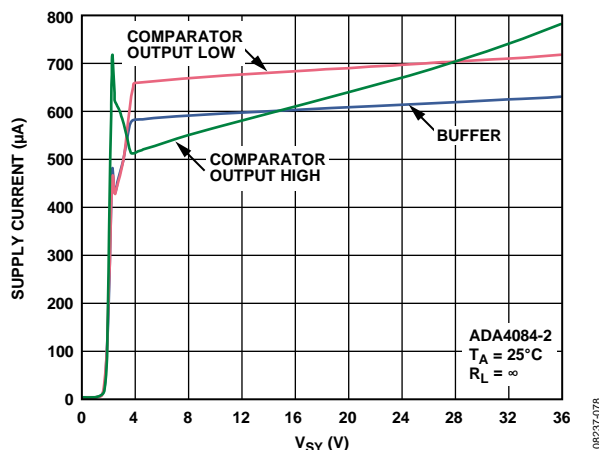


図 78. 電源電圧対電源電流

外形寸法

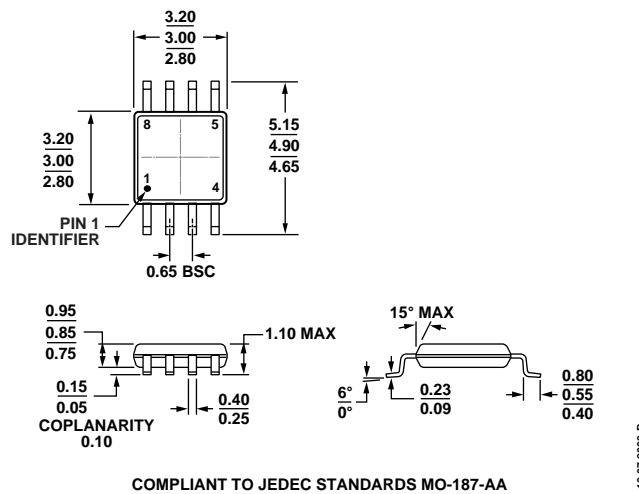


図 79.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法: mm

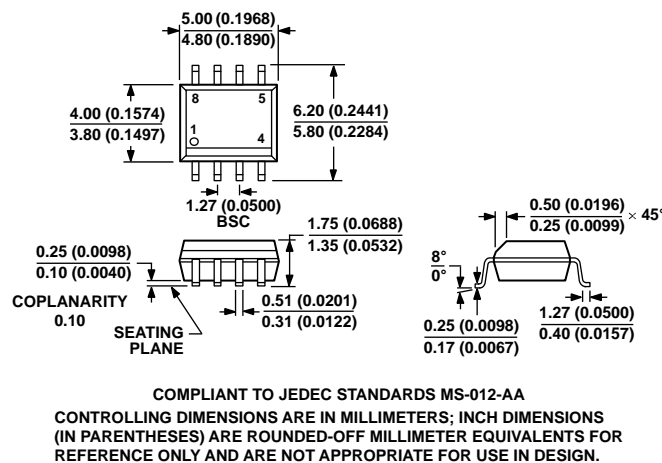


図 80.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N] ナロー・ボディ (R-8)
寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4084-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Q
ADA4084-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Q
ADA4084-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2Q
ADA4084-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4084-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4084-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	

¹ Z = RoHS 準拠製品