

特長

更新レート: 175 MSPS

TxDAC 製品ファミリのピン・コンパチブルな

低消費電力メンバー

低消費電力

1.8 V、80 MSPS で 12 mW

3.3 V、175 MSPS で 50 mW

広い電源電圧: 1.7 V~3.6 V

ナイキスト周波数までの SFDR

AD9707: 5 MHz 出力で 84 dBc

AD9707: 10 MHz 出力で 83 dBc

AD9707: 20 MHz 出力で 75 dBc

10 MHz 出力、125 MSPS での AD9707 NSD: -147 dBc/Hz

調整可能なフル・スケール電流出力: 1 mA~5 mA

1.0 V のリファレンス電圧を内蔵

CMOS 互換のデジタル・インターフェース

出力コモン・モード: 0 V~1.2 V で調整可能

パワーダウン・モード: 3.3 V で 2 mW 以下 (SPI から制御可能)

セルフ・キャリブレーションを内蔵

RoHS 準拠の小型 32 ピン LFCSP_VQ パッケージを採用

機能ブロック図

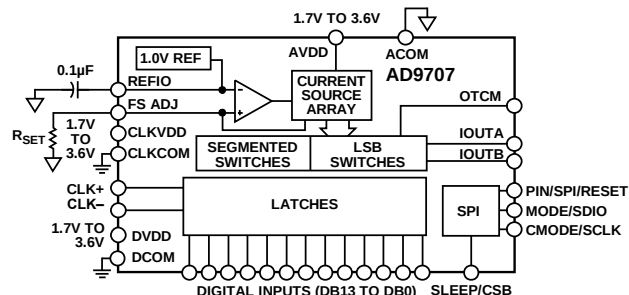


図 1.AD9707

製品のハイライト

1. ピン・コンパチブル。TxDAC コンバータの AD9704/AD9705/AD9706/AD9707 ラインは、AD9748/AD9740/AD9742/AD9744 TxDAC ライン (LFCSP_VQ パッケージ) とピン・コンパチブルです。
2. 低消費電力。1.7 V~3.6 V の単電源で動作する CMOS DAC であり、消費電力は 50 mW (3.3 V) と 12 mW (1.8 V) です。DAC のフル・スケール電流を減少させて、低消費電力動作が可能です。アイドル区間で低消費電力を実現するスリープ・モードとパワーダウン・モードがあります。
3. セルフ・キャリブレーション。セルフ・キャリブレーションを使うと、AD9707 の真の 14 ビット INL および DNL 性能が可能になります。
4. 2 の補数/バイナリ・データ・コーディングのサポート。データ入力では、2 の補数またはストレート・バイナリのデータ・コーディングをサポートしています。
5. 柔軟なクロック入力。選択可能な高速シングルエンドと差動 CMOS クロック入力では、175 MSPS の変換レートをサポートしています。
6. デバイス設定。デバイスはピン接続で設定でき、SPI コントロールでは高レベルの設定機能を提供しています。
7. 他の部品への容易なインターフェース。調整可能なコモン・モード出力を使うと、0 V~1.2 V のコモン・モード・レベルを入力する他のシグナル・チェーン部品に容易にインターフェースすることができます。
8. リファレンスを内蔵しています。AD9704/AD9705/AD9706/AD9707 は、1.0 V の温度補償されたバンド・ギャップ・リファレンス電圧を内蔵しています。
9. 業界標準の 32 ピン LFCSP_VQ パッケージを採用。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006–2007 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長	1	シリアル・ペリフェラル・インターフェース	29
機能ブロック図	1	SPI レジスタ・マップ	31
製品のハイライト	1	SPI レジスタの説明	32
改訂履歴	2	リファレンス電圧の動作	34
概要	3	リファレンス・コントロール・アンプ	34
仕様	4	DAC の伝達関数	34
DC 仕様(3.3 V)	4	アナログ出力	35
ダイナミック仕様(3.3 V)	5	調整可能な出力コモン・モード	35
デジタル仕様(3.3 V)	6	デジタル入力	35
DC 仕様(1.8 V)	7	クロック入力	36
ダイナミック仕様(1.8 V)	8	DAC のタイミング	36
デジタル仕様(1.8 V)	9	消費電力	36
タイミング図	9	セルフ・キャリブレーション	38
絶対最大定格	10	アプリケーション	40
熱特性	10	出力の構成	40
ピン配置およびピン機能説明	11	トランスを使用する差動結合	40
AD9707	11	オペアンプを使用したバッファ付きシングルエンド出力	40
AD9706	12	オペアンプを使った差動バッファ付き出力	41
AD9705	13	評価ボード	42
AD9704	14	概要	42
代表的な性能特性	15	評価ボードの回路図	43
AD9707	15	評価ボードのレイアウト	48
AD9704、AD9705、AD9706	22	外形寸法	51
用語	28	オーダー・ガイド	51
動作原理	29		

改訂履歴

4/07—Rev. 0: Rev. A

Changes to Features List	1
Changes to Product Highlights	1
Changes to General Description	3
Changes to Table 3	6
Changes to Table 4	7
Changes to Table 6	9
Changes to Figure 17 and Figure 18	16
Deleted Figure 29, Renumbered Sequentially	19
Changes to Figure 44	22

Changes to Figure 57 Caption	25
Changes to Figure 73, Figure 75, and Figure 77	31
Changes to Table 16	32
Replaced Single-Ended Buffered Output Using an Op Amp Section	40
Changes to Figure 91	41
Changes to Figure 93	44
Changes to Figure 96	47

7/06—Revision 0: Initial Version

概要

AD9704/AD9705/AD9706/AD9707 は、高性能 CMOS D/A コンバータ(DAC) TxDAC シリーズの第 4 世代ファミリです。このピン・コンパチブルの 8/10/12/14 ビット分解能ファミリは、低消費電力動作向けに最適化されると同時に優れたダイナミック性能を維持しています。

AD9704/AD9705/AD9706/AD9707 ファミリは、TxDAC コンバータの AD9748/AD9740/AD9742/AD9744 ファミリとピン・コンパチブルであり、特に通信システムの送信信号パス向けに最適化されています。すべてのデバイスは、同じインターフェース、LFCSP_VQ パッケージ、ピン配置を持つため、性能、分解能、価格に応じて柔軟な部品選択が可能です。AD9704/AD9705/AD9706/AD9707 は極めて優れた AC 性能と DC 性能を持ち、最大 175 MSPS の更新レートをサポートしています。

AD9704/AD9705/AD9706/AD9707 は、1.7 V~3.6 V の柔軟な電源動作範囲と低消費電力を持つため、ポータブルおよび低消費電力アプリケーションに最適です。

フル・スケール電流出力の削減と性能とのトレードオフを行うことにより、AD9704/AD9705/AD9706/AD9707 の消費電力は 15 mW まで削減することができます。さらに、パワーダウン・モードでは、スタンバイ消費電力を約 2.2 mW に削減することができます。

AD9704/AD9705/AD9706/AD9707 には、DAC 性能を強化する高度なプログラム性を提供するオプションのシリアル・ペリフェラル・インターフェース(SPI[®])があります。調整可能な出力コモン・モード機能を使うと、0 V~1.2 V のコモン・モードを必要とする他の部品へ容易にインターフェースすることができます。

エッジ検出の入力ラッチと 1.0 V の温度補償されたバンド・ギャップ・リファレンスが内蔵されているため、完全なモノリシック DAC ソリューションを提供します。デジタル入力では、1.8 V と 3.3 V の CMOS ロジック・ファミリをサポートしています。

仕様

DC 仕様(3.3 V)

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 3.3 \text{ V}$ 、 $DVDD = 3.3 \text{ V}$ 、 $CLKVDD = 3.3 \text{ V}$ 、 $I_{\text{OUTFS}} = 2 \text{ mA}$ 。

表 1.

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	14			12			10			8			Bits
DC ACCURACY ¹													
Integral Nonlinearity (INL) Precalibration		±1.4	±6.0		±0.41	±1.48		±0.10	±0.36		±0.03	±0.09	LSB
Integral Nonlinearity (INL) Postcalibration		±0.9			±0.30			±0.10					LSB
Differential Nonlinearity (DNL) Precalibration		±1.2	±4.4		±0.35	±1.17		±0.09	±0.31		±0.02	±0.08	LSB
Differential Nonlinearity (DNL) Postcalibration		±0.4			±0.13			±0.03					LSB
ANALOG OUTPUT													
Offset Error	−0.03	0	+0.03	−0.03	0	+0.03	−0.03	0	+0.03	−0.03	0	+0.03	% of FSR
Gain Error (With External Reference)	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	% of FSR
Gain Error (With Internal Reference)	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	−2.7	−0.1	+2.7	% of FSR
Full-Scale Output Current ²	1	2	5	1	2	5	1	2	5	1	2	5	mA
Output Compliance Range (From OTCM to IOUTA/IOUTB)	−0.8		+0.8	−0.8		+0.8	−0.8		+0.8	−0.8		+0.8	V
Output Resistance		200			200			200			200		MΩ
Output Capacitance		5			5			5			5		pF
REFERENCE OUTPUT													
Reference Voltage	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	V
Reference Output Current ³		100			100			100			100		nA
REFERENCE INPUT													
Input Compliance Range	0.1		1.25	0.1		1.25	0.1		1.25	0.1		1.25	V
Reference Input Resistance (Reference Powered Up)		10			10			10			10		kΩ
Reference Input Resistance (Reference Powered Down)		1			1			1			1		MΩ
Small Signal Bandwidth		0.5			0.5			0.5			0.5		MHz
TEMPERATURE COEFFICIENTS													
Offset Drift		0			0			0			0		ppm of FSR/°C
Gain Drift (Without Internal Reference)		±29			±29			±29			±29		ppm of FSR/°C
Gain Drift (With Internal Reference)		±40			±40			±40			±40		ppm of FSR/°C
Reference Voltage Drift		±25			±25			±25			±25		ppm/°C
POWER SUPPLY													
Supply Voltage													
AVDD		3.3	3.6		3.3	3.6		3.3	3.6		3.3	3.6	V
DVDD		3.3	3.6		3.3	3.6		3.3	3.6		3.3	3.6	V
CLKVDD		3.3	3.6		3.3	3.6		3.3	3.6		3.3	3.6	V
Analog Supply Current (I_{AVDD})		5.2	6.7		5.2	6.7		5.1	6.7		5.1	6.7	mA
Digital Supply Current (I_{DVDD}) ⁴		5.9	6.6		5.4	6.6		5.0	6.6		4.6	6.6	mA
Clock Supply Current (I_{CLKVDD}) ⁴		4.1	4.7		4.1	4.7		4.1	4.7		4.1	4.7	mA
Power Dissipation ⁴		50.2	57		48.5	57		46.9	57		45.5	57	mW
Supply Current Sleep Mode (I_{AVDD})		0.37	0.4		0.37	0.4		0.37	0.4		0.37	0.4	mA
Supply Current Power-Down Mode (I_{AVDD})		0.7	7.5		0.7	7.5		0.7			0.7	7.5	μA
Supply Current Clock Power-Down Mode (I_{DVDD}) ⁵		0.6	1		0.6	1		0.6	1		0.6	1	mA

AD9704/AD9705/AD9706/AD9707

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Supply Current Clock Power-Down Mode (I_{CLKVDD}) ⁵		42.5	58		42.5	58		42.5	58		42.5	58	μA
Power Supply Rejection Ratio (AVDD) ⁶	-0.2	+0.03	+0.2	-0.2	+0.03	+0.2	-0.2	+0.03	+0.2	-0.2	+0.03	+0.2	% of FSR/V
OPERATING RANGE	-40			+85			-40			+85			°C

¹ 25°C でバーチャル・グラウンドを駆動し、IOUTA で測定。

² 公称フル・スケール電流 IOUTFS は、IREF 電流の 32 倍。

³ すべての外部負荷の駆動には、入力バイアス電流 100 nA 未満の外付けバッファ・アンプを使用する必要があります。

⁴ 差動クロックを使い、fCLOCK = 175 MSPS、かつ fOUT = 1.0 MHz で測定。

⁵ 差動クロックを使い、fCLOCK = 100 MSPS、かつ fOUT = 1.0 MHz で測定。

⁶ ±5% の電源電圧変動。

ダイナミック仕様(3.3 V)

特に指定がない限り、TMIN ~ TMAX、AVDD = 3.3 V、DVDD = 3.3 V、CLKVDD = 3.3 V、IOUTFS = 2 mA、差動トランス結合出力、453 Ω 差動終端¹。

表 2.

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE													
Maximum Output Update Rate (f_{CLOCK})	175			175			175			175			MSPS
Output Settling Time (t_{ST}) (to 0.1%) ²	11			11			11			11			ns
Output Propagation Delay (t_{PD})	4			4			4			4			ns
Glitch Impulse	5			5			5			5			pV-s
Output Rise Time (10% to 90%) ²	2.5			2.5			2.5			2.5			ns
Output Fall Time (10% to 90%) ²	2.5			2.5			2.5			2.5			ns
AC LINEARITY													
Spurious-Free Dynamic Range to Nyquist													
$f_{\text{CLOCK}} = 10 \text{ MSPS}$; $f_{\text{OUT}} = 2.1 \text{ MHz}$	84			84			84			70			dBc
$f_{\text{CLOCK}} = 25 \text{ MSPS}$; $f_{\text{OUT}} = 2.1 \text{ MHz}$	84			83			84			68			dBc
$f_{\text{CLOCK}} = 65 \text{ MSPS}$; $f_{\text{OUT}} = 5.1 \text{ MHz}$	84			84			84			70			dBc
$f_{\text{CLOCK}} = 65 \text{ MSPS}$; $f_{\text{OUT}} = 10.1 \text{ MHz}$	83			83			83			71			dBc
$f_{\text{CLOCK}} = 80 \text{ MSPS}$; $f_{\text{OUT}} = 1.0 \text{ MHz}$	74	83		72	82		72	82		66	70		dBc
$f_{\text{CLOCK}} = 125 \text{ MSPS}$; $f_{\text{OUT}} = 15.1 \text{ MHz}$	78			78			78			68			dBc
$f_{\text{CLOCK}} = 125 \text{ MSPS}$; $f_{\text{OUT}} = 25.1 \text{ MHz}$	77			77			76			69			dBc
$f_{\text{CLOCK}} = 175 \text{ MSPS}$; $f_{\text{OUT}} = 20.1 \text{ MHz}$	75			75			75			69			dBc
$f_{\text{CLOCK}} = 175 \text{ MSPS}$; $f_{\text{OUT}} = 40.1 \text{ MHz}$	72			71			71			67			dBc
Noise Spectral Density													
$f_{\text{CLOCK}} = 175 \text{ MSPS}$; $f_{\text{OUT}} = 6.0 \text{ MHz}$; $I_{\text{OUTFS}} = 2 \text{ mA}$	−149			−146			−137			−127			dBc/Hz
ENOB at $I_{\text{OUTFS}} = 2 \text{ mA}$	11.3			10.9			9.5			8.0			Bits
$f_{\text{CLOCK}} = 175 \text{ MSPS}$; $f_{\text{OUT}} = 6.0 \text{ MHz}$; $I_{\text{OUTFS}} = 5 \text{ mA}$	−157												dBc/Hz
ENOB at $I_{\text{OUTFS}} = 5 \text{ mA}$	12.5												Bits
$f_{\text{CLOCK}} = 175 \text{ MSPS}$; $f_{\text{OUT}} = 6.0 \text{ MHz}$; $I_{\text{OUTFS}} = 1 \text{ mA}$	−145												dBc/Hz
ENOB at $I_{\text{OUTFS}} = 1 \text{ mA}$	10.6												Bits

¹ 図 70 参照。

² 500Ω 負荷のシングルエンドで測定。

デジタル仕様(3.3 V)

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 3.3 \text{ V}$ 、 $DVDD = 3.3 \text{ V}$ 、 $CLKVDD = 3.3 \text{ V}$ 、 $I_{\text{OUTFS}} = 2 \text{ mA}$ 。

表 3.

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
DIGITAL INPUTS ¹													
Logic 1 Voltage	2.1	3		2.1	3		2.1	3		2.1	3		V
Logic 0 Voltage		0	0.9		0	0.9		0	0.9		0	0.9	V
Logic 1 Current	−10		+10	−10		+10	−10		+10	−10		+10	μA
Logic 0 Current			10			10			10			10	μA
Input Capacitance		5			5			5			5		pF
Input Setup Time (t _S); +25°C	1.4			1.4			1.4			1.4			ns
Input Hold Time (t _H); +25°C	0.3			0.3			0.3			0.3			ns
Input Setup Time (t _S); −40°C to +85°C	1.6			1.6			1.6			1.6			ns
Input Hold Time (t _H); −40°C to +85°C	0.6			0.6			0.6			0.6			ns
Latch Pulse Width (t _{LPW})	2.8			2.8			2.8			2.8			ns
CLK INPUTS ²													
Input Voltage Range	0		3	0		3	0		3	0		3	V
Common-Mode Voltage	0.75	1.5	2.25	0.75	1.5	2.25	0.75	1.5	2.25	0.75	1.5	2.25	V
Differential Voltage	0.5	1.5		0.5	1.5		0.5	1.5		0.5	1.5		V

¹ CLK+ピンはシングルエンド・クロック入力モードに含まれます。

² 差動クロック入力モードに設定した場合、CLK+入力と CLK−入りに適用可能。

AD9704/AD9705/AD9706/AD9707

DC仕様(1.8 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 1.8\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $CLKVDD = 1.8\text{ V}$ 、 $I_{OUTFS} = 2\text{ mA}$ 。

表 4.

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	14			12			10			8			Bits
DC ACCURACY ¹													
Integral Nonlinearity (INL) Precalibration		±1.4	±6.03		±0.42	±1.50		±0.10	±0.36		±0.03	±0.09	LSB
Differential Nonlinearity (DNL) Precalibration		±1.2	±4.34		±0.36	±1.17		±0.09	±0.30		±0.02	±0.07	LSB
ANALOG OUTPUT													
Offset Error	−0.03	0	+0.03	−0.03	0	+0.03	−0.03	0	+0.03	−0.03	0	+0.03	% of FSR
Gain Error (With Internal Reference)	−2.7	−0.2	+2.7	−2.7	−0.2	+2.7	−2.7	−0.2	+2.7	−2.7	−0.2	+2.7	% of FSR
Full-Scale Output Current ²	1	2	4	1	2	4	1	2	4	1	2	4	mA
Output Compliance Range (With OTCM = AGND)	−0.8		+0.8	−0.8		+0.8	−0.8		+0.8	−0.8		+0.8	V
Output Resistance		200			200			200			200		MΩ
Output Capacitance		5			5			5			5		pF
REFERENCE OUTPUT													
Reference Voltage	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	V
Reference Output Current ³		100			100			100			100		nA
REFERENCE INPUT													
Input Compliance Range	0.1		1.25	0.1		1.25	0.1		1.25	0.1		1.25	V
Reference Input Resistance(Reference Powered Up)		10			10			10			10		kΩ
Reference Input Resistance (External Reference)		1			1			1			1		MΩ
Small Signal Bandwidth		0.5			0.5			0.5			0.5		MHz
TEMPERATURE COEFFICIENTS													
Offset Drift		0			0			0			0		ppm of FSR/°C
Gain Drift (Without Internal Reference)		±30			±30			±30			±30		ppm of FSR/°C
Gain Drift (With Internal Reference)		±60			±60			±60			±60		ppm of FSR/°C
Reference Voltage Drift		±25			±25			±25			±25		ppm/°C
POWER SUPPLY													
Supply Voltage													
AVDD	1.7	1.8		1.7	1.8		1.7	1.8		1.7	1.8		V
DVDD	1.7	1.8		1.7	1.8		1.7	1.8		1.7	1.8		V
CLKVDD	1.7	1.8		1.7	1.8		1.7	1.8		1.7	1.8		V
Analog Supply Current (I_{AVDD})		3.8	4.8		3.8	4.8		3.8	4.8		3.8	4.8	mA
Digital Supply Current (I_{DVDD}) ⁴		1.3	1.5		1.2	1.5		1.1	1.5		1.0	1.5	mA
Clock Supply Current (I_{CLKVDD}) ⁴		1.3	1.5		1.3	1.5		1.3	1.5		1.3	1.5	mA
Power Dissipation ⁴		11.5	13.2		11.3	13.2		11.1	13.2		11.0	13.2	mW
Supply Current Sleep Mode (I_{AVDD})		0.3	0.4		0.3	0.4		0.3	0.4		0.3	0.4	mA
Supply Current Power-Down Mode (I_{AVDD})		5	6		5	6		5	6		5	6	μA

AD9704/AD9705/AD9706/AD9707

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Supply Current Clock Power-Down Mode (I_{DVDD}) ⁴		0.22	0.28		0.22	0.28		0.22	0.28		0.22	0.28	mA
Supply Current Clock Power-Down Mode (I_{CLKVDD}) ⁴		9.5	16		9.5	16		9.5	16		9.5	16	μA
Power Supply Rejection Ratio (AVDD) ⁵	−1	−0.1	+1	−1	−0.1	+1	−1	−0.1	+1	−1	−0.1	+1	% of FSR/V
OPERATING RANGE	−40		+85	−40		+85	−40		+85	−40		+85	°C

¹ 25°C でバーチャル・グラウンドを駆動し、IOUTA で測定。

² 公称フル・スケール電流 IOUTFS は、IREF 電流の 32 倍。

³ すべての外部負荷の駆動には、入力バイアス電流 100 nA 未満の外付けバッファ・アンプを使用する必要があります。

⁴ 差動クロックを使い、fCLOCK = 80 MSPS、かつ fOUT = 1 MHz で測定。

⁵ ±5% の電源電圧変動、25°C で IOUTFS = 1 mA。

ダイナミック仕様(1.8 V)

特に指定がない限り、TMIN ∼ TMAX、AVDD = 1.8 V、DVDD = 1.8 V、CLKVDD = 1.8 V、IOUTFS = 1 mA、差動トランス結合出力、453 Ω 差動終端¹。

表 5.

Parameter	AD9707			AD9706			AD9705			AD9704			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE													
Maximum Output Update Rate(f _{CLOCK})	80			80			80			80			MSPS
Output Settling Time (t _{ST}) (to 0.1%) ²	11			11			11			11			ns
Output Propagation Delay (t _{PD})	5.6			5.6			5.6			5.6			ns
Glitch Impulse	5			5			5			5			pV-s
Output Rise Time (10% to 90%) ²	2.5			2.5			2.5			2.5			ns
Output Fall Time (10% to 90%) ²	2.5			2.5			2.5			2.5			ns
AC LINEARITY													
Spurious-Free Dynamic Range to Nyquist													
f _{CLOCK} = 10 MSPS; f _{OUT} = 2.1 MHz	86			86			85			70			dBc
f _{CLOCK} = 25 MSPS; f _{OUT} = 2.1 MHz	87			86			84			68			dBc
f _{CLOCK} = 25 MSPS; f _{OUT} = 5.1 MHz	82			82			82			68			dBc
f _{CLOCK} = 65 MSPS; f _{OUT} = 10.1 MHz	82			79			78			70			dBc
f _{CLOCK} = 65 MSPS; f _{OUT} = 15.1 MHz	77			76			74			69			dBc
f _{CLOCK} = 80 MSPS; f _{OUT} = 1.0 MHz	74	82		72	82		72	82		66	70		dBc
f _{CLOCK} = 80 MSPS; f _{OUT} = 15.1 MHz	77			77			77			68			dBc
f _{CLOCK} = 80 MSPS; f _{OUT} = 30.1 MHz	60			59			59			60			dBc
Noise Spectral Density													
f _{CLOCK} = 80 MSPS; f _{OUT} = 10 MHz; I _{OUTFS} = 1 mA	−141.0			−139.4			−135.1			−126.3			dBc/Hz
ENOB at I _{OUTFS} = 1 mA	10.5			10.2			9.5			8.0			Bits
f _{CLOCK} = 80 MSPS; f _{OUT} = 10 MHz; I _{OUTFS} = 2 mA	−145.7												dBc/Hz
ENOB at I _{OUTFS} = 2 mA	10.3												Bits

¹ 図 70 参照。

² 500Ω 負荷のシングルエンドで測定。

デジタル仕様(1.8 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 1.8\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $CLKVDD = 1.8\text{ V}$ 、 $I_{OUTFS} = 1\text{ mA}$ 。

表 6.

	AD9707			AD9706			AD9705			AD9704			
Parameter	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Unit
DIGITAL INPUTS ¹													
Logic 1 Voltage	1.2	1.8		1.2	1.8		1.2	1.8		1.2	1.8		V
Logic 0 Voltage		0	0.5		0	0.5		0	0.5		0	0.5	V
Logic 1 Current	−10		+10	−10		+10	−10		+10	−10		+10	μA
Logic 0 Current			+10			+10			+10			+10	μA
Input Capacitance		5			5			5			5		pF
Input Setup Time (t _S); 25°C	2.3			2.3			2.3			2.3			ns
Input Hold Time (t _H); 25°C	0			0			0			0			ns
Input Setup Time (t _S); −40°C to +85°C	2.4			2.4			2.4			2.4			ns
Input Hold Time (t _H); −40°C to +85°C	0.1			0.1			0.1			0.1			ns
Latch Pulse Width (t _{LPW})	6.2			6.2			6.2			6.2			ns
CLK INPUTS ²													
Input Voltage Range	0		1.8	0		1.8	0		1.8	0		1.8	V
Common-Mode Voltage	0.4	0.9	1.3	0.4	0.9	1.3	0.4	0.9	1.3	0.4	0.9	1.3	V
Differential Voltage	0.5	1.5		0.5	1.5		0.5	1.5		0.5	1.5		V

¹ CLK+ピンはシングルエンド・クロック入力モードに含まれます。

² 差動クロック入力モードに設定した場合、CLK+入力と CLK-入りに適用可能。

タイミング図

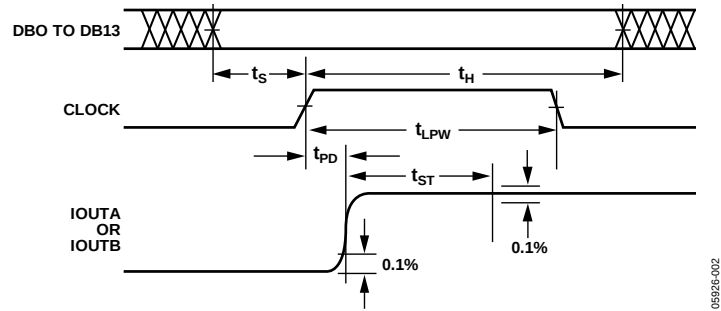


図 2. タイミング図

絶対最大定格

表 7.

Parameter	With Respect to	Rating
AVDD	ACOM	−0.3 V to +3.9 V
DVDD	DCOM	−0.3 V to +3.9 V
CLKVDD	CLKCOM	−0.3 V to +3.9 V
ACOM	DCOM	−0.3 V to +0.3 V
ACOM	CLKCOM	−0.3 V to +0.3 V
DCOM	CLKCOM	−0.3 V to +0.3 V
AVDD	DVDD	−3.9 V to +3.9 V
AVDD	CLKVDD	−3.9 V to +3.9 V
DVDD	CLKVDD	−3.9 V to +3.9 V
SLEEP	DCOM	−0.3 V to DVDD + 0.3 V
Digital Inputs, MODE	DCOM	−0.3 V to DVDD + 0.3 V
IOUTA, IOUTB	ACOM	−1.0 V to AVDD + 0.3 V
REFIO, FS ADJ, OTCM	ACOM	−0.3 V to AVDD + 0.3 V
CLK+, CLK−, CMODE	CLKCOM	−0.3 V to CLKVDD + 0.3 V
Junction Temperature		150°C
Storage Temperature Range		−65°C to +150°C
Lead Temperature (10 sec)		300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性¹

表 8.熱抵抗

Package Type	θ_{JA}	Unit
32-Lead LFCSP_VQ	32.5	°C/W

¹ 熱抵抗の測定は、EIA/JESD51-7 に準拠して自然空冷の 4 層ボードで実施。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

AD9707

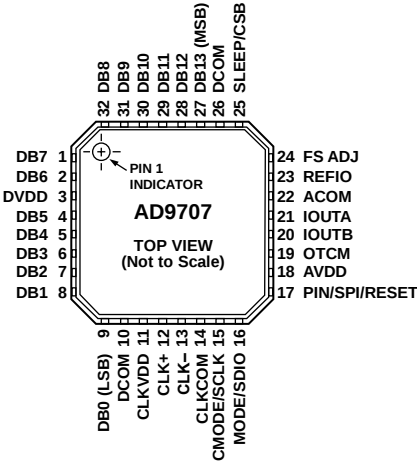


図 3.AD9707 のピン配置

表 9.AD9707 のピン機能説明

ピン番号	記号	説明
27	DB13 (MSB)	最上位ビット(MSB)
28 ~ 32, 1, 2, 4~8	DB12~DB1	データ・ビット 12~データ・ビット 1。
9	DB0 (LSB)	最下位ビット(LSB)
25	SLEEP/CSB	ピン・モードで、アクティブ・ハイを入力するとチップがパワーダウンします。SPIモードでは、アクティブ・ローのチップ・セレクト(アクティブ・ロー)。
23	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧のアクティブ時は、1.0 V のリファレンス出力として機能。内部リファレンス電圧のアクティブ時には 0.1 μ F のコンデンサを ACOM との間に接続することが必要。
24	FS ADJ	フル・スケール電流出力の調整
22	ACOM	アナログ・コモン。
20	IOUTB	相補 DAC 電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
21	IOUTA	DAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
18	AVDD	アナログ電源電圧(1.7 V~3.6 V)。
19	OTCM	調整可能なコモン・モード電圧出力。詳細については、動作原理のセクションを参照してください。
17	PIN/SPI/RESET	SPI モードまたはピン・モードの動作を選択します。ピン・モード動作の場合はアクティブ・ハイを、SPI モード動作の場合はアクティブ・ローを、それぞれ入力します。ハイ・パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。
16	MODE/SDIO	ピン・モードでは、入力データ・フォーマットを選択します。ストレート・バイナリの場合は DCOM へ、2 の補数の場合は DVDD へ、それぞれ接続します。SPIモードでは、SPIデータ入力/出力として機能します。
15	CMODE/SCLK	ピン・モードでは、クロック入力タイプを選択します。シングルエンド・クロック・レシーバの場合は CLKCOM へ(CLK+を駆動、CLK-は解放)、差動レシーバの場合は CLKVDD へそれぞれ接続します。SPI モードでは、シリアル・データ・クロック入力として機能します。
14	CLKCOM	クロック・コモン。
13	CLK-	負の差動クロック入力。
12	CLK+	正の差動クロック入力。
11	CLKVDD	クロック電源電圧(1.7 V~3.6 V)。
10, 26	DCOM	デジタル・コモン。
3	DVDD	デジタル電源電圧(1.7 V~3.6 V)。

AD9706

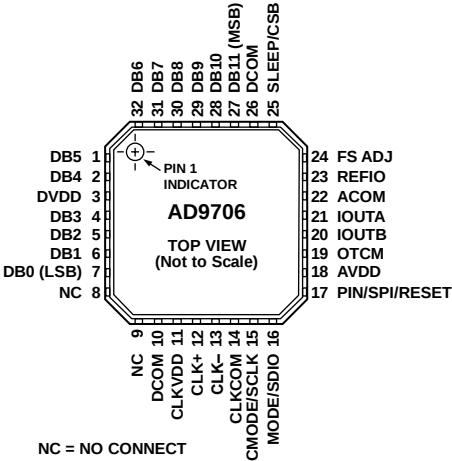


図 4.AD9706 のピン配置

表 10.AD9706 のピン機能説明

ピン番号	記号	説明
27	DB11 (MSB)	最上位ビット(MSB)
28～32, 1, 2, 4～6 7	DB10～DB1 DB0 (LSB)	データ・ビット 10～データ・ビット 1。 最下位ビット(LSB)
25	SLEEP/CSB	ピン・モードで、アクティブ・ハイを入力するとチップがパワーダウンします。 SPIモードでは、アクティブ・ローのチップ・セレクト(アクティブ・ロー)。
24	FS ADJ	フル・スケール電流出力の調整
23	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部 リファレンス電圧のアクティブ時は、1.0 V のリファレンス出力として機能。内部リファレンス電圧のアクティブ 時には 0.1 μ F のコンデンサを ACOM に接続することが必要。
22	ACOM	アナログ・コモン。
21	IOUTA	DAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
20	IOUTB	相補 DAC 電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
19	OTCM	調整可能なコモン・モード電圧出力。詳しくは動作原理のセクションを参照してください。
18	AVDD	アナログ電源電圧(1.7 V～3.6 V)。
17	PIN/SPI/RESET	SPI モードまたはピン・モードを選択します。ピン・モードの場合はアクティブ・ハイを、SPI モードの場合はア クティブ・ローを、それぞれ入力します。ハイ・パルスを入力すると、SPI レジスタがデフォルト値にリセット されます。
16	MODE/SDIO	ピン・モードでは、入力データ・フォーマットを選択します。ストレート・バイナリの場合は DCOM へ、2 の補 数の場合は DVDD へ、それぞれ接続します。SPI モードでは、SPI データ入力/出力として機能します。
15	CMODE/SCLK	ピン・モードでは、クロック入力タイプを選択します。シングルエンド・クロック・レシーバの場合は CLKCOM へ(CLK+を駆動、CLK-は解放)、差動レシーバの場合は CLKVDD へそれぞれ接続します。 SPI モードでは、シリアル・データ・クロック入力として機能します。
14	CLKCOM	クロック・コモン。
13	CLK-	負の差動クロック入力。
12	CLK+	正の差動クロック入力。
11	CLKVDD	クロック電源電圧(1.7 V～3.6 V)。
10, 26	DCOM	デジタル・コモン。
8, 9	NC	未接続。
3	DVDD	デジタル電源電圧(1.7 V～3.6 V)。

AD9705

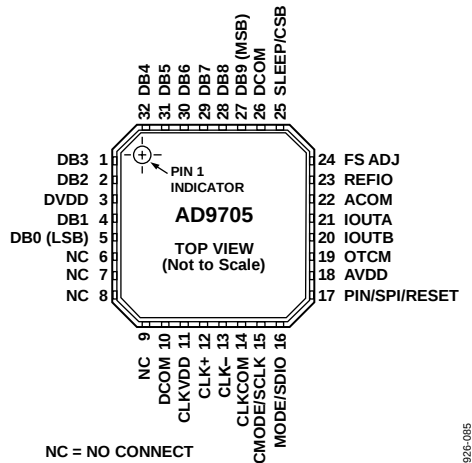


図 5.AD9705 のピン配置

表 11.AD9705 のピン機能説明

ピン番号	記号	説明
27	DB9 (MSB)	最上位ビット(MSB)
28～32, 1, 2, 4 5	DB8～DB1 DB0 (LSB)	データ・ビット 8～データ・ビット 1。 最下位ビット(LSB)
25	SLEEP/CSB	ピン・モードで、アクティブ・ハイを入力するとチップがパワーダウンします。 SPIモードでは、アクティブ・ローのチップ・セレクト(アクティブ・ロー)。
24	FS ADJ	フル・スケール電流出力の調整
23	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧のアクティブ時は、1.0 V のリファレンス出力として機能。内部リファレンス電圧のアクティブ時には 0.1 μ F のコンデンサを ACOM に接続することが必要。
22	ACOM	アナログ・コモン。
21	IOUTA	DAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
20	IOUTB	相補 DAC 電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
19	OTCM	調整可能なコモン・モード電圧出力。詳しくは動作原理のセクションを参照してください。
18	AVDD	アナログ電源電圧(1.7 V～3.6 V)。
17	PIN/SPI/RESET	SPI モードまたはピン・モードを選択します。ピン・モードの場合はアクティブ・ハイを、SPI モードの場合はアクティブ・ローを、それぞれ入力します。ハイ・パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。
16	MODE/SDIO	ピン・モードでは、入力データ・フォーマットを選択します。ストレート・バイナリの場合は DCOM へ、2 の補数の場合は DVDD へ、それぞれ接続します。SPI モードでは、SPI データ入力/出力として機能します。
15	CMODE/SCLK	ピン・モードでは、クロック入力タイプを選択します。シングルエンド・クロック・レシーバの場合は CLKCOM へ(CLK+を駆動、CLK-は解放)、差動レシーバの場合は CLKVDD へそれぞれ接続します。SPI モードでは、シリアル・データ・クロック入力として機能します。
14	CLKCOM	クロック・コモン。
13	CLK-	負の差動クロック入力。
12	CLK+	正の差動クロック入力。
11	CLKVDD	クロック電源電圧(1.7 V～3.6 V)。
10, 26	DCOM	デジタル・コモン。
6～9	NC	未接続。
3	DVDD	デジタル電源電圧(1.7 V～3.6 V)。

AD9704

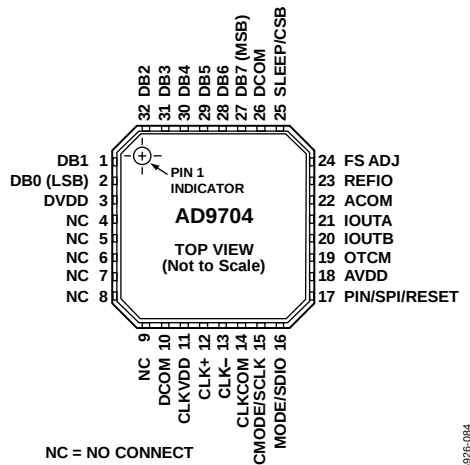


図 6.AD9704 のピン配置

表 12.AD9704 のピン機能説明

ピン番号	記号	説明
27	DB7 (MSB)	最上位ビット(MSB)
28～32, 1	DB6～DB1	データ・ビット 6～データ・ビット 1。
2	DB0 (LSB)	最下位ビット(LSB)
25	SLEEP/CSB	ピン・モードで、アクティブ・ハイを入力するとチップがパワーダウンします。SPIモードでは、アクティブ・ローのチップ・セレクト(アクティブ・ロー)。
24	FS ADJ	フル・スケール電流出力の調整
23	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧のアクティブ時は、1.0 V のリファレンス出力として機能。内部リファレンス電圧のアクティブ時には 0.1 μ F のコンデンサを ACOM に接続することが必要。
22	ACOM	アナログ・コモン。
21	IOUTA	DAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
20	IOUTB	相補 DAC 電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
19	OTCM	調整可能なコモン・モード電圧出力。詳しくは動作原理のセクションを参照してください。
18	AVDD	アナログ電源電圧(1.7 V～3.6 V)。
17	PIN/SPI/RESET	SPI モードまたはピン・モードの動作を選択します。ピン・モード動作の場合はアクティブ・ハイを、SPI モード動作の場合はアクティブ・ローを、それぞれ入力します。ハイ・パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。
16	MODE/SDIO	ピン・モードでは、入力データ・フォーマットを選択します。ストレート・バイナリの場合は DCOM へ、2 の補数の場合は DVDD へ、それぞれ接続します。SPI モードでは、SPI データ入力/出力として機能します。
15	CMODE/SCLK	ピン・モードでは、クロック入力タイプを選択します。シングルエンド・クロック・レシーバの場合は CLKCOM へ(CLK+ を駆動、CLK- は解放)、差動レシーバの場合は CLKVDD へそれぞれ接続します。SPIモードでは、シリアル・データ・クロック入力として機能します。
14	CLKCOM	クロック・コモン。
13	CLK-	負の差動クロック入力。
12	CLK+	正の差動クロック入力。
11	CLKVDD	クロック電源電圧(1.7 V～3.6 V)。
10, 26	DCOM	デジタル・コモン。
4～9	NC	未接続。
3	DVDD	デジタル電源電圧(1.7 V～3.6 V)。

代表的な性能特性

AD9707

特に指定がない限り、 $V_{DD} = 3.3\text{ V}$ 、 $I_{OUTFS} = 2\text{ mA}$ 。

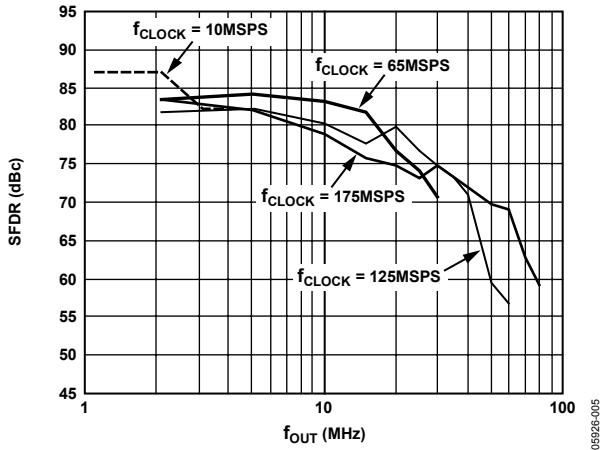


図 7. SFDR 対 f_{OUT}

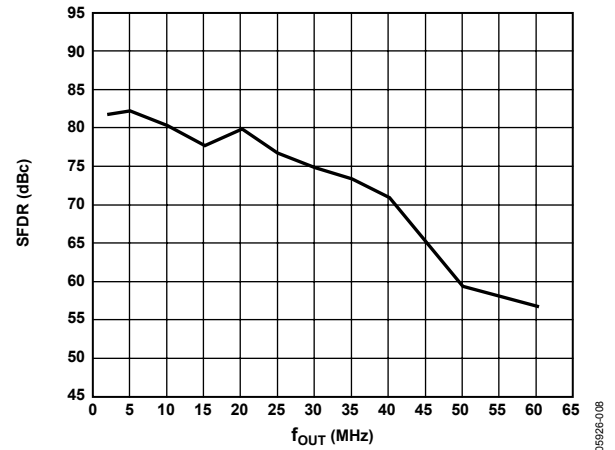


図 10. SFDR 対 f_{OUT} 、125 MSPS

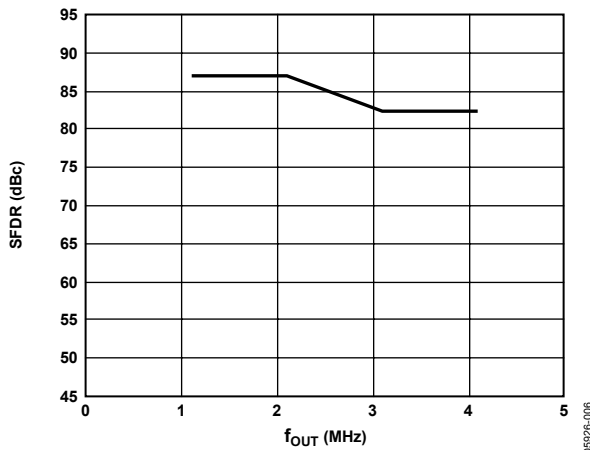


図 8. SFDR 対 f_{OUT} 、10 MSPS

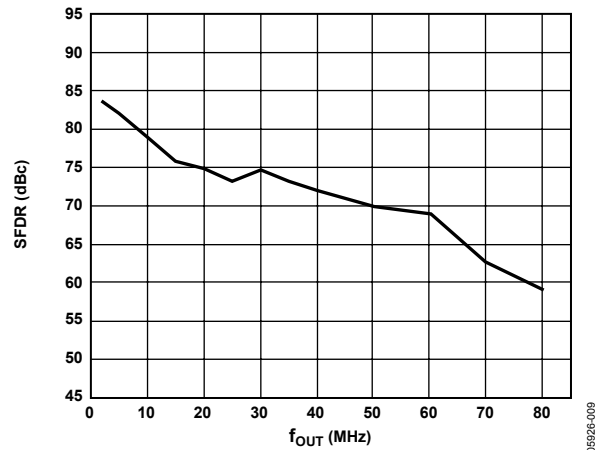


図 11. SFDR 対 f_{OUT} 、175 MSPS

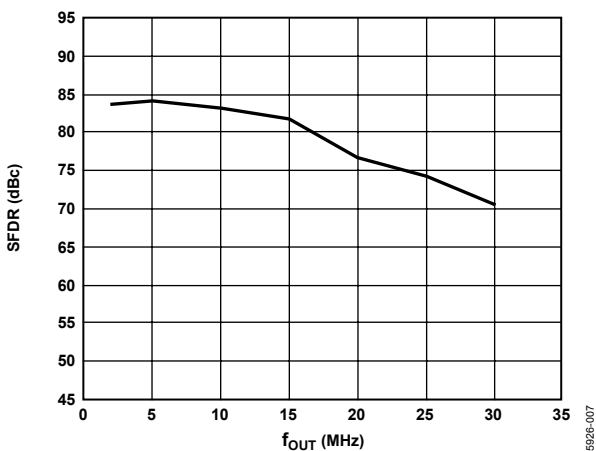


図 9. SFDR 対 f_{OUT} 、65 MSPS

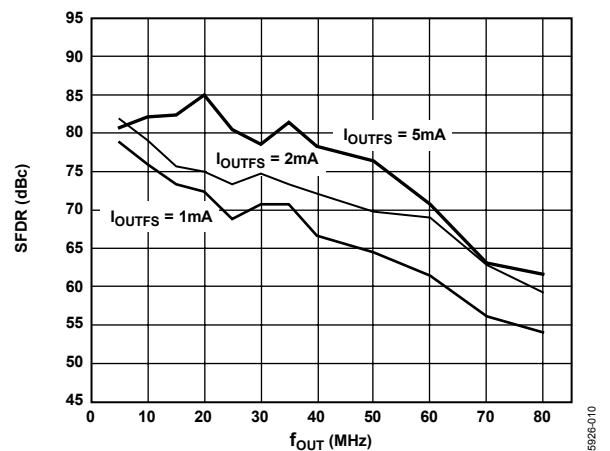


図 12. SFDR 対 f_{OUT} および I_{OUTFS} 、175 MSPS

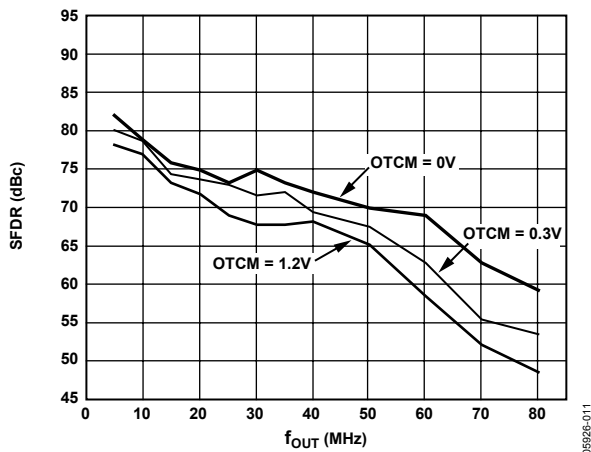


図 13. SFDR 対 f_{OUT} および OTCM、175 MSPS

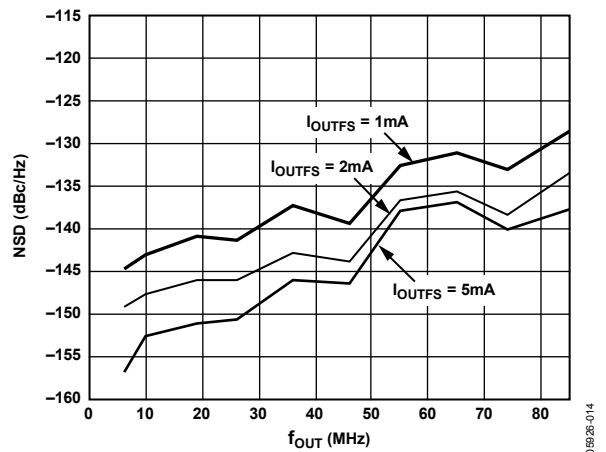


図 16. NSD 対 f_{OUT} および I_{OUTFS} 、175 MSPS

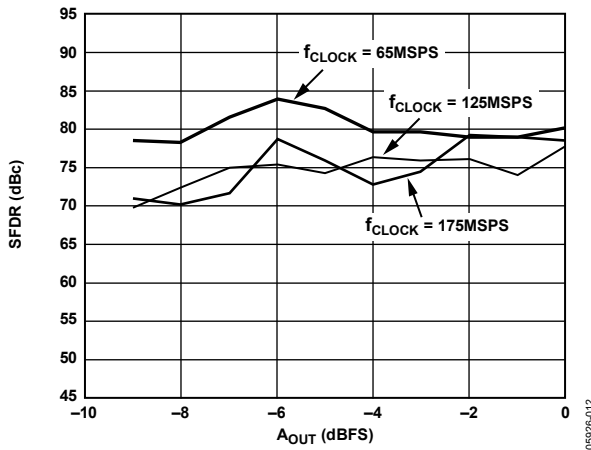


図 14. SFDR 対 A_{OUT} および f_{CLOCK} 、 $f_{OUT} = f_{CLOCK}/5$

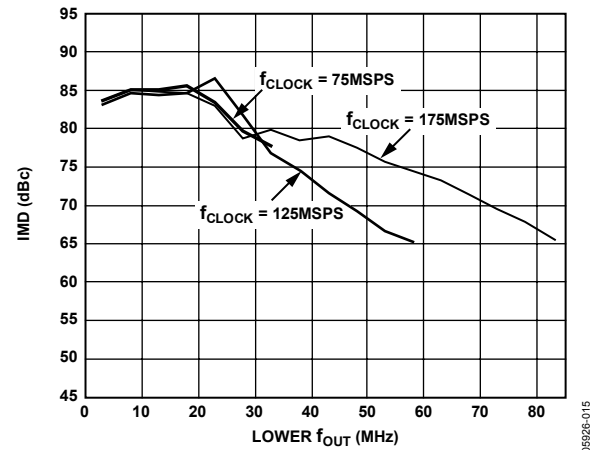


図 17. 2 トーン IMD 対低 f_{OUT} および f_{CLOCK} 、0 dBFS

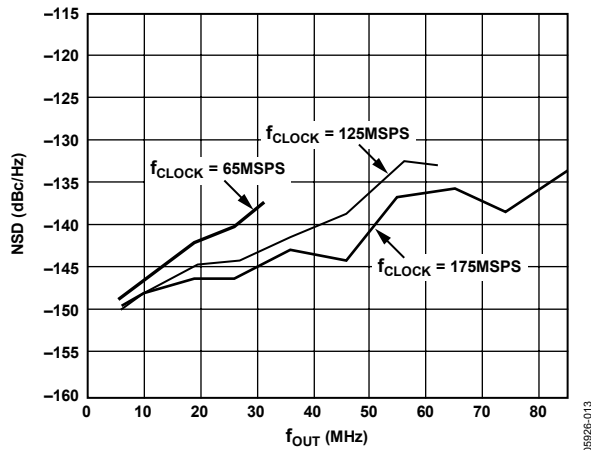


図 15. NSD 対 f_{OUT} および f_{CLOCK} 、0 dBFS

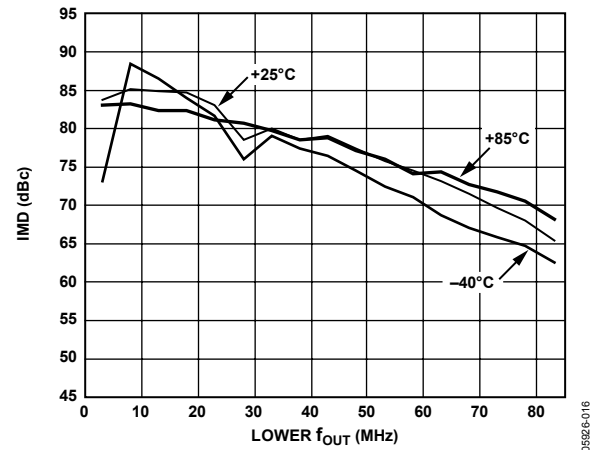
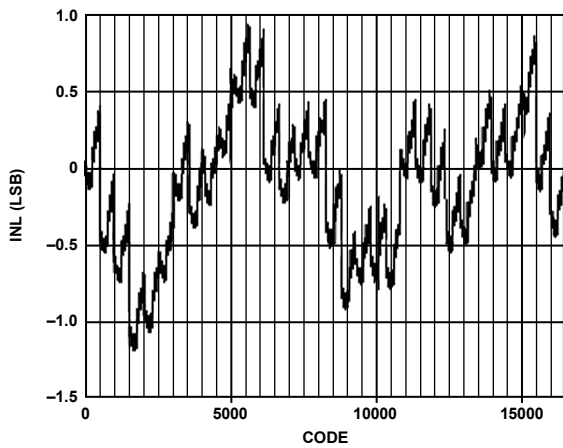
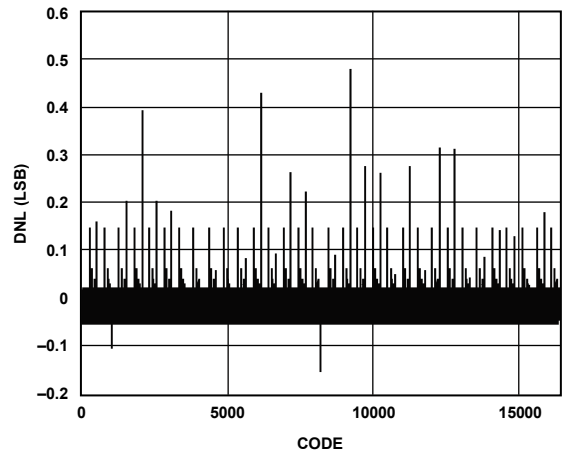


図 18. 2 トーン IMD 対低 f_{OUT} および温度
0 dBFS、175 MSPS



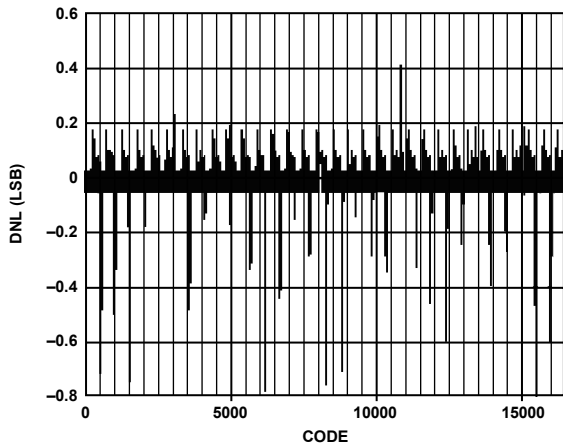
05926-017

図 19.未キャリブレーション INL(typ)



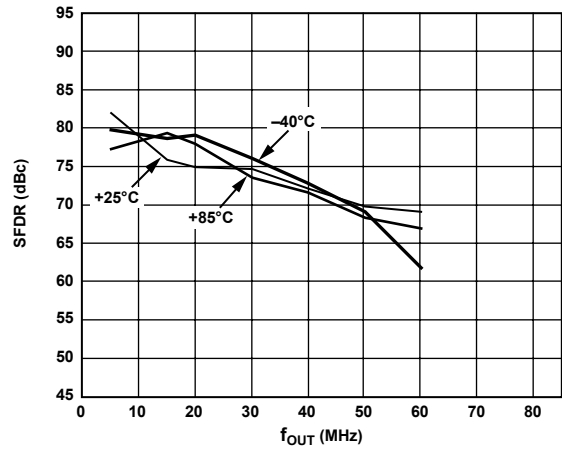
05926-087

図 22.キャリブレーション済み DNL(typ)



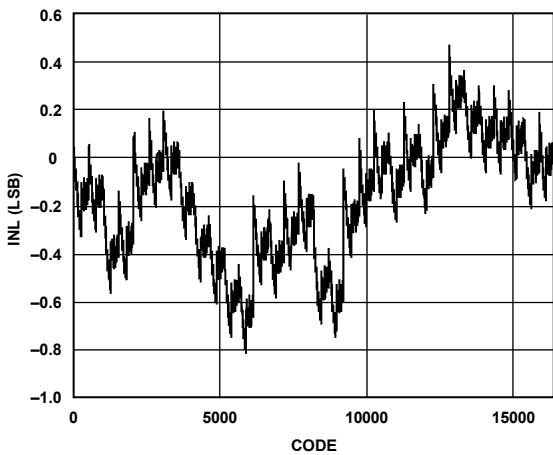
05926-018

図 20.未キャリブレーション DNL(typ)



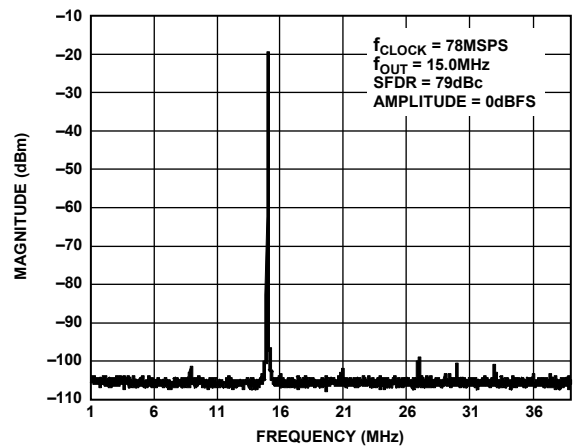
05926-019

図 23.SFDR 対 f_{OUT} および温度、175 MSPS



05926-086

図 21.キャリブレーション済み INL(typ)



05926-020

図 24. 1 トーン SFDR

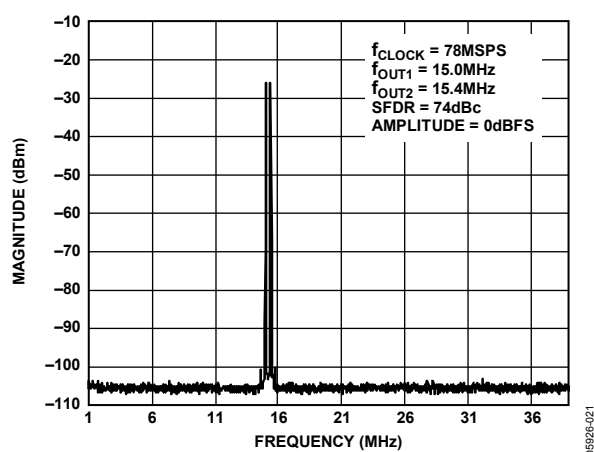


図 25. 2 トーン SFDR

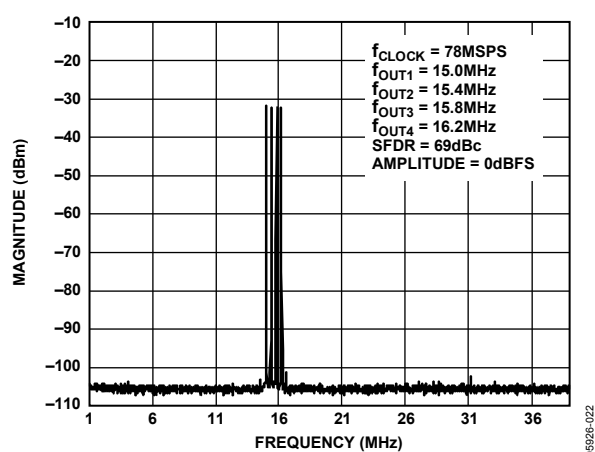


図 26. 2.4 トーン SFDR

特に指定がない限り、 $V_{DD} = 1.8\text{ V}$ 、 $I_{OUTFS} = 1\text{ mA}$ 。

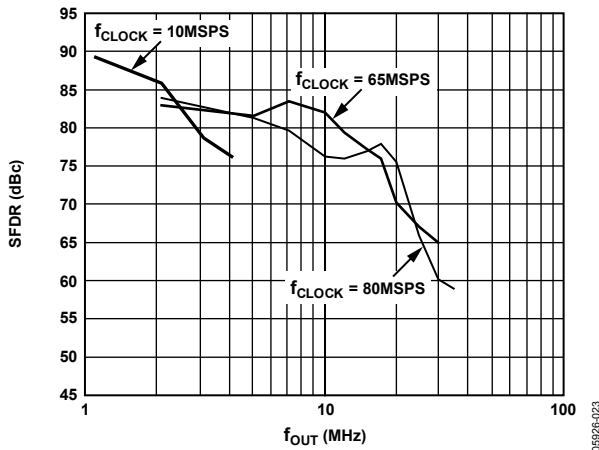


図 27.SFDR 対 f_{OUT}

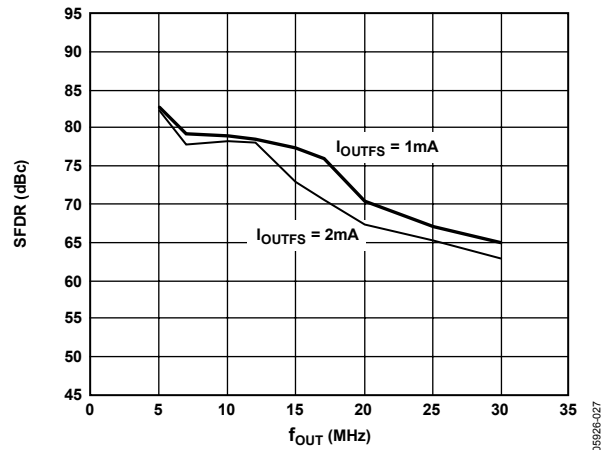


図 30.SFDR 対 f_{OUT} および I_{OUTFS} 、65 MSPS

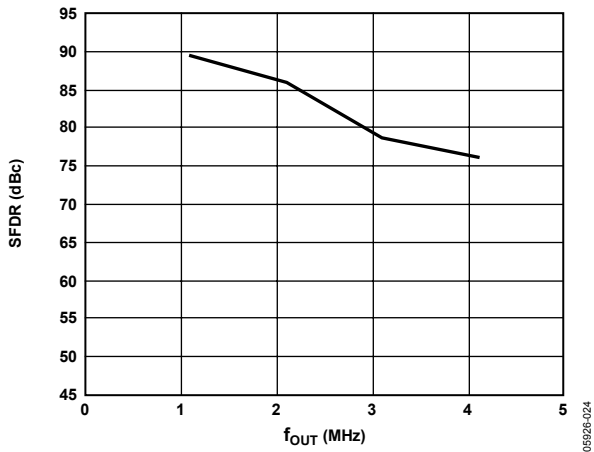


図 28.SFDR 対 f_{OUT} 、10 MSPS

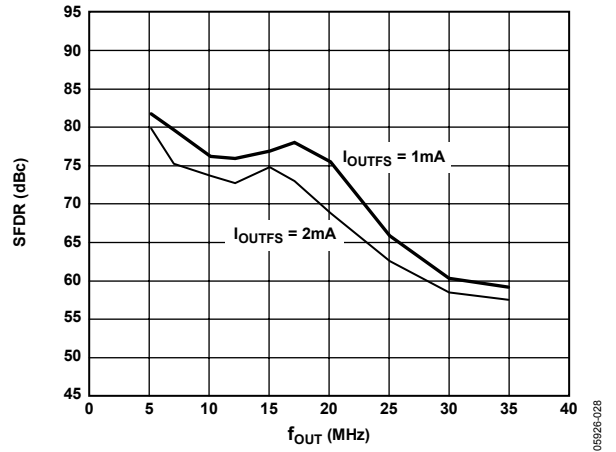


図 31.SFDR 対 f_{OUT} および I_{OUTFS} 、80 MSPS

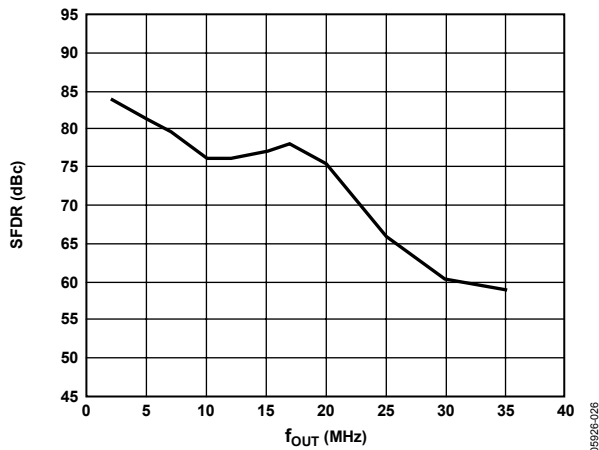


図 29.SFDR 対 f_{OUT} 、80 MSPS

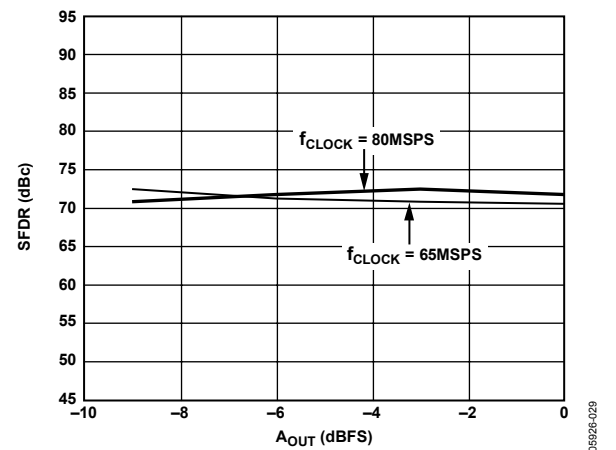


図 32.SFDR 対 A_{OUT} 、 $f_{OUT} = f_{CLOCK}/5$

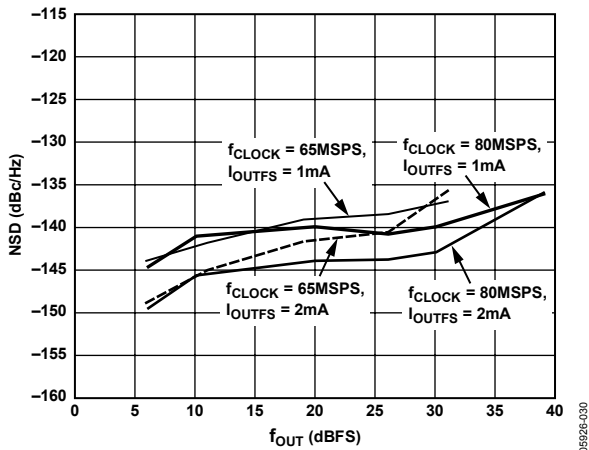


図 33. NSD 対 f_{OUT} 、 f_{CLOCK} 、 I_{OUTFS} 、0 dBFS

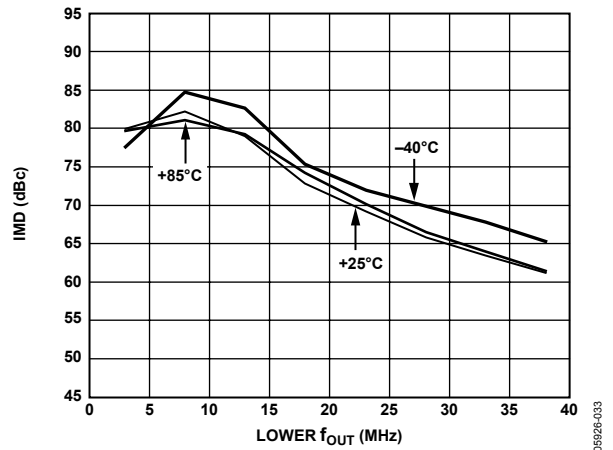


図 36. 2 トーン IMD 対低 f_{OUT} および温度、80 MSPS
 $I_{OUTFS} = 1$ mA および 0 dBFS

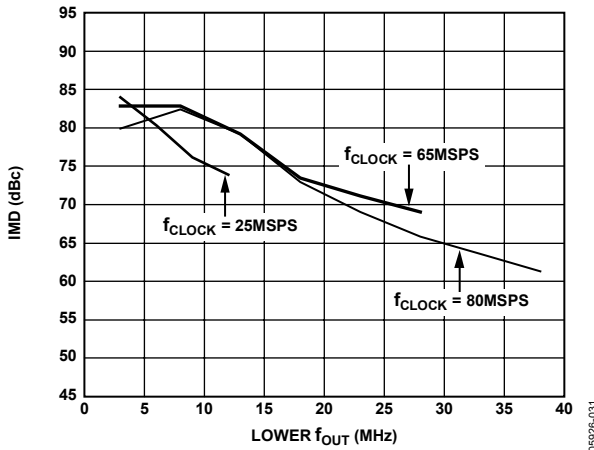


図 34. 2 トーン IMD 対低 f_{OUT} 、 $I_{OUTFS} = 1$ mA および 0 dBFS

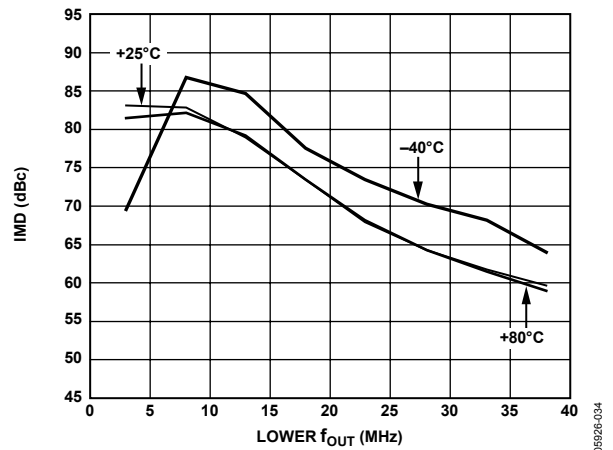


図 37. 2 トーン IMD 対低 f_{OUT} および温度、80 MSPS
 $I_{OUTFS} = 2$ mA および 0 dBFS

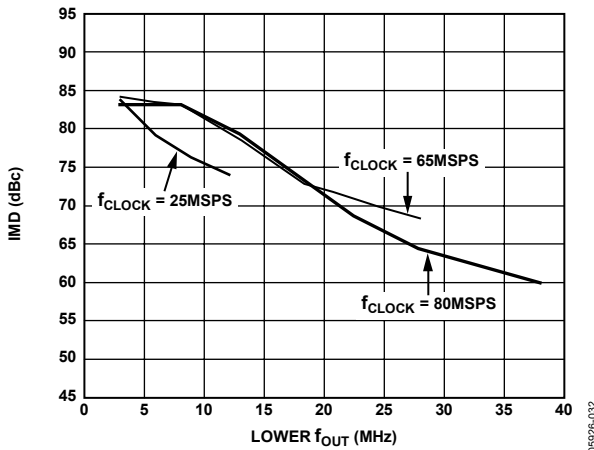


図 35. 2 トーン IMD 対低 f_{OUT} 、 $I_{OUTFS} = 2$ mA および 0 dBFS

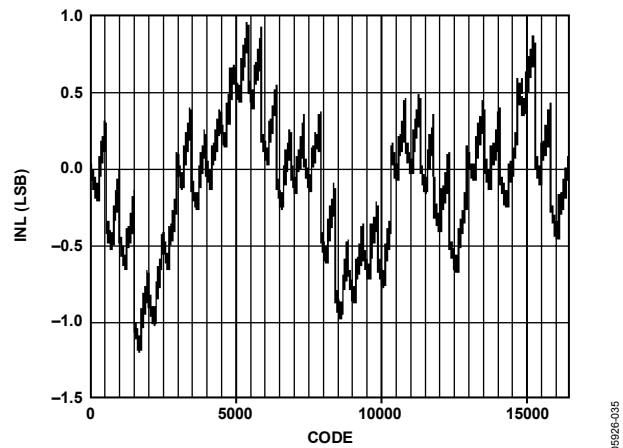


図 38. 未キャリブレーション INL (typ)

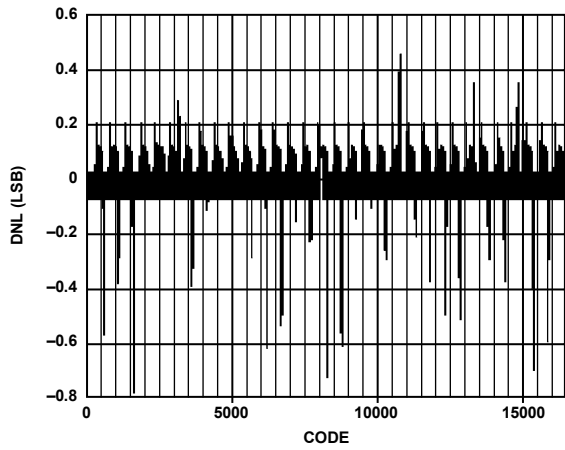


図 39. 未キャリブレーション DNL (typ)

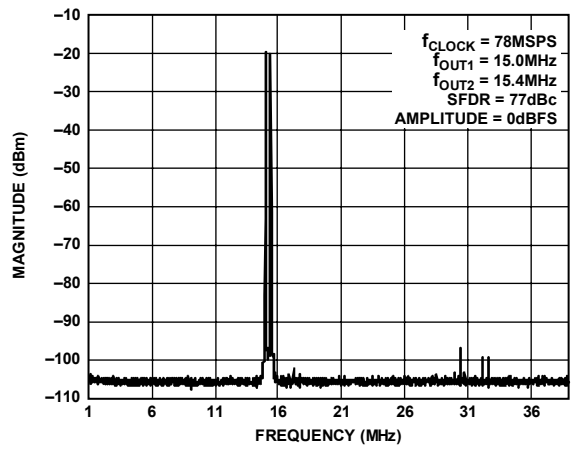


図 42. 2 トーン SFDR

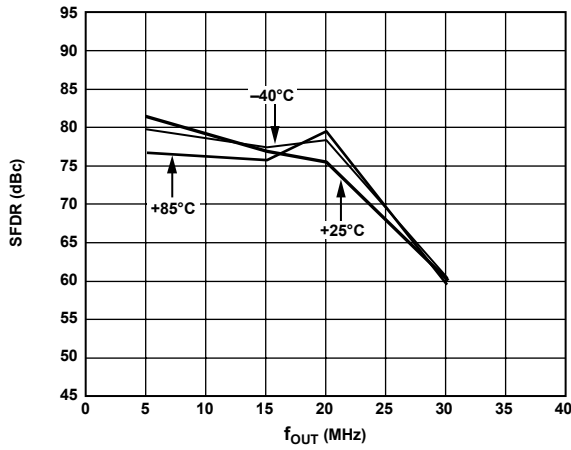


図 40. SFDR の温度特性、80 MSPS

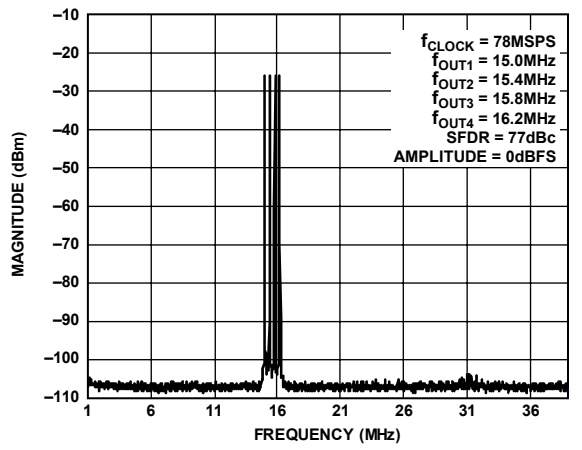


図 43. 4 トーン SFDR

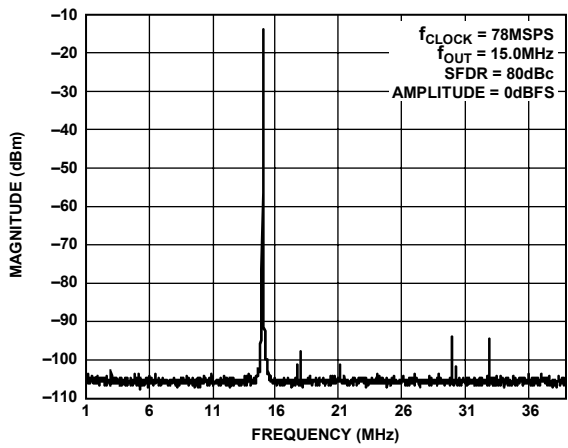


図 41. 1 トーン SFDR

AD9704、AD9705、AD9706

特に指定がない限り、 $V_{DD} = 3.3\text{ V}$ 、 $I_{OUTFS} = 2\text{ mA}$ 。

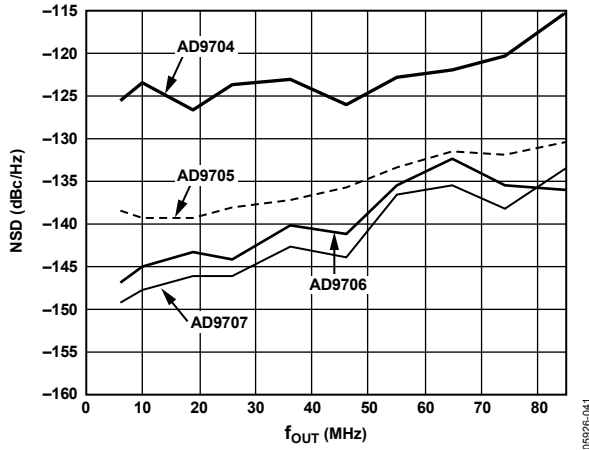


図 44. AD9704、AD9705、AD9706、AD9707 NSD 対 f_{OUT}
0 dBFS、175 MSPS

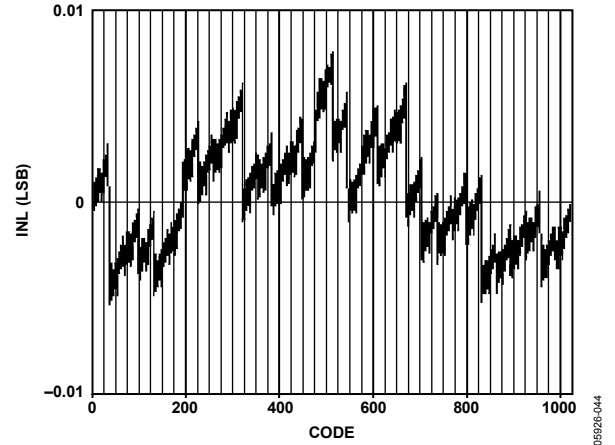


図 47. AD9705 の未キャリブレーション INL (typ)

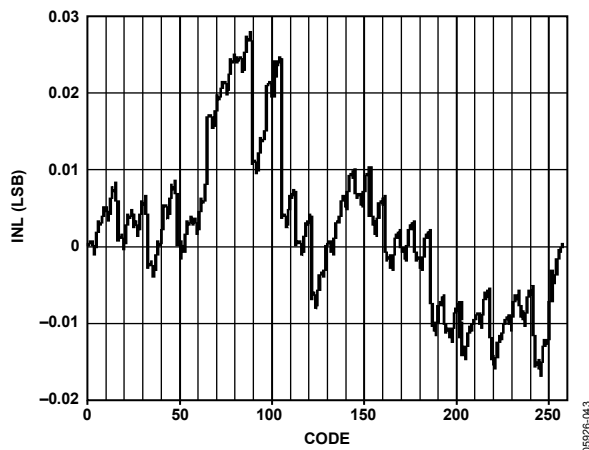


図 45. AD9704 の未キャリブレーション INL (typ)

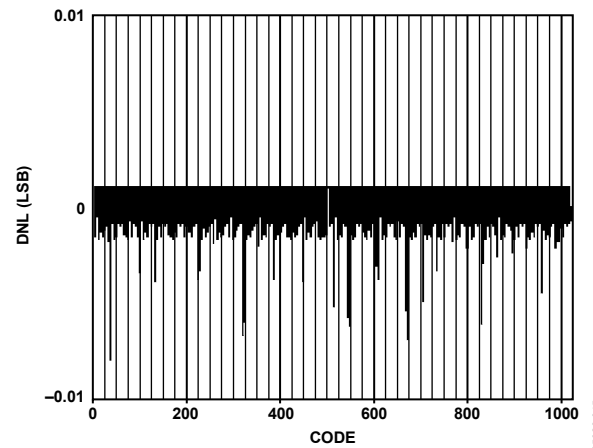


図 48. AD9705 の未キャリブレーション DNL (typ)

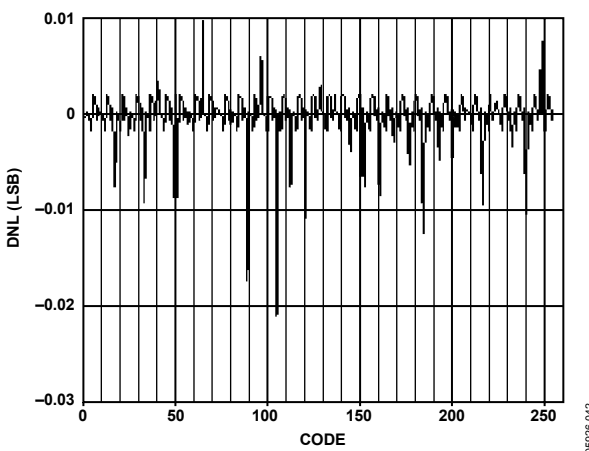


図 46. AD9704 の未キャリブレーション DNL (typ)

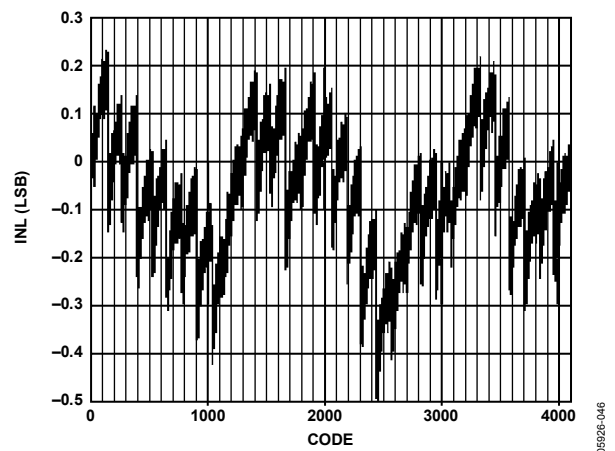


図 49. AD9706 の未キャリブレーション INL (typ)

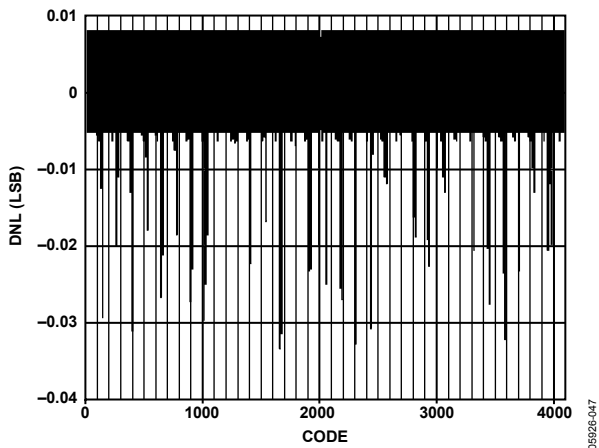


図 50. AD9706 の未キャリブレーション DNL (typ)

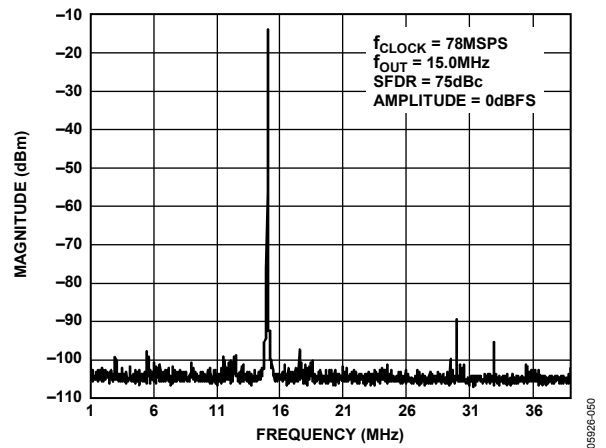


図 53. AD9705 の 1 トーン SFDR

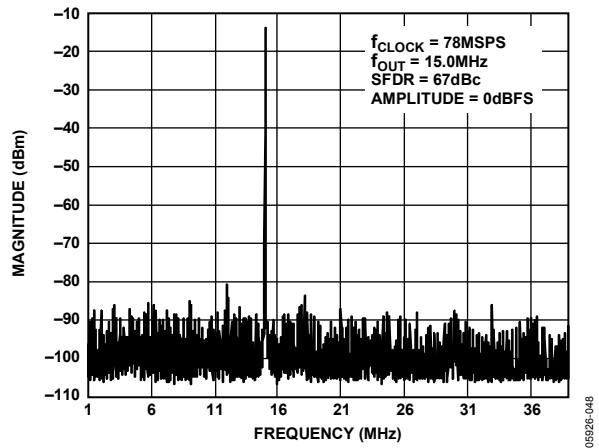


図 51. AD9704 の 1 トーン SFDR

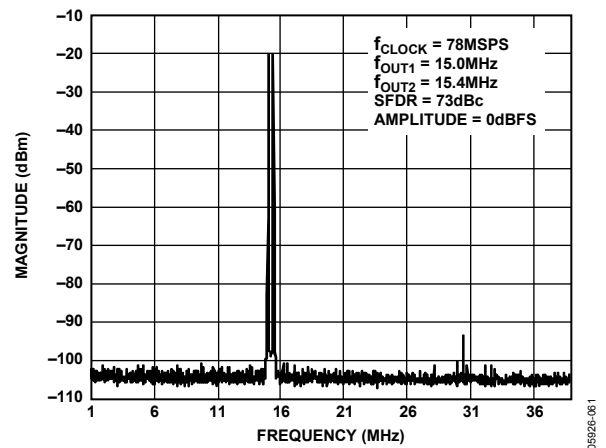


図 54. AD9705 の 2 トーン SFDR

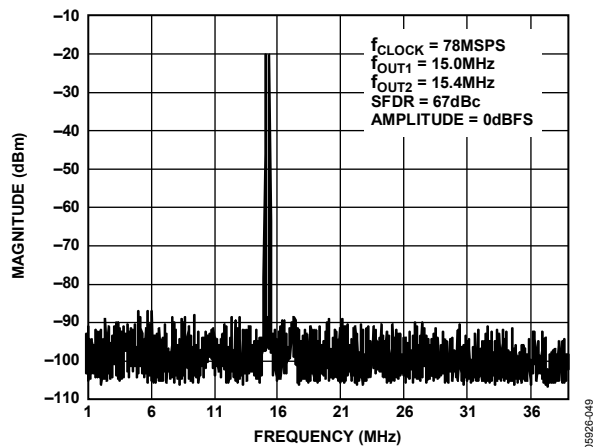


図 52. AD9704 の 2 トーン SFDR

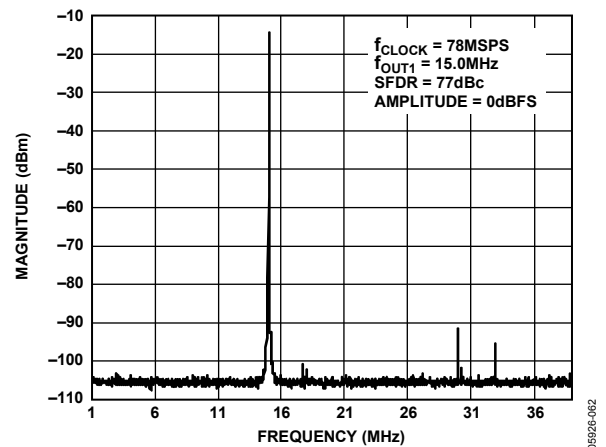


図 55. AD9706 の 1 トーン SFDR

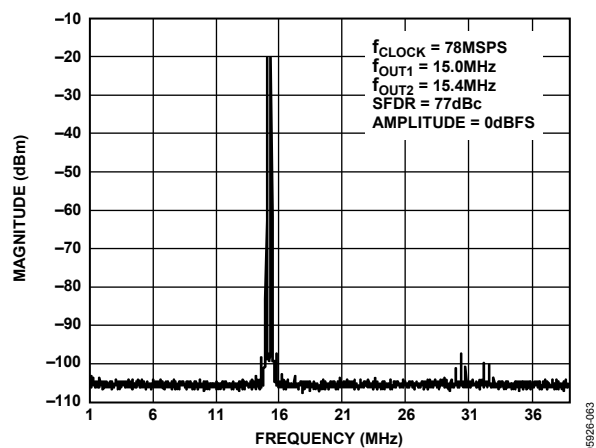


図 56.AD9706 の 2 トーン SFDR

特に指定がない限り、 $V_{DD} = 1.8\text{ V}$ 、 $I_{OUTFS} = 1\text{ mA}$ 。

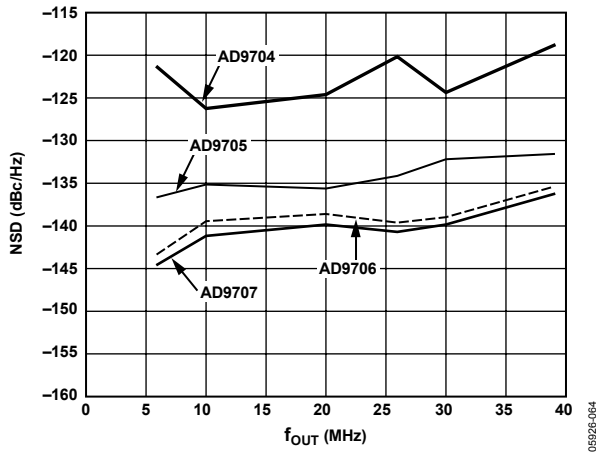


図 57. AD9704、AD9705、AD9706、AD9707 NSD 対 f_{OUT} 0 dBFS、80 MSPS

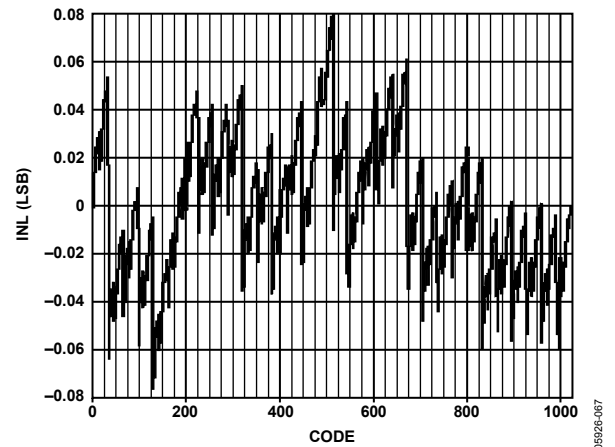


図 60. AD9705 の未キャリブレーション INL(typ)

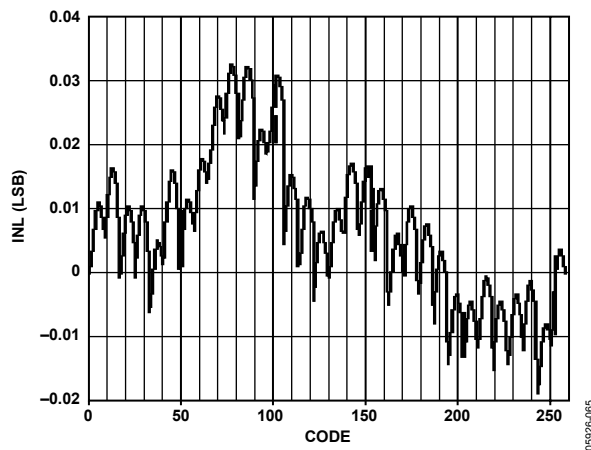


図 58. AD9704 の未キャリブレーション INL(typ)

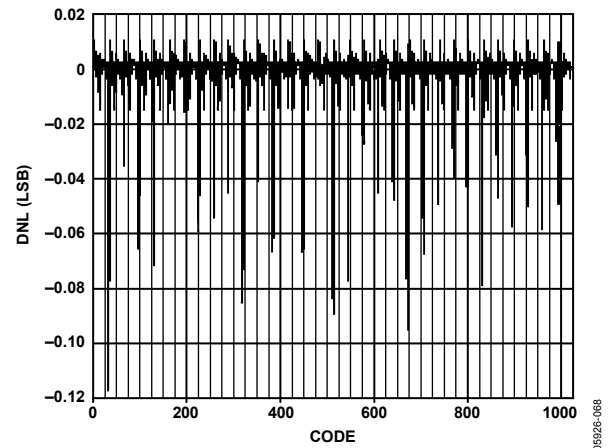


図 61. AD9705 の未キャリブレーション DNL(typ)

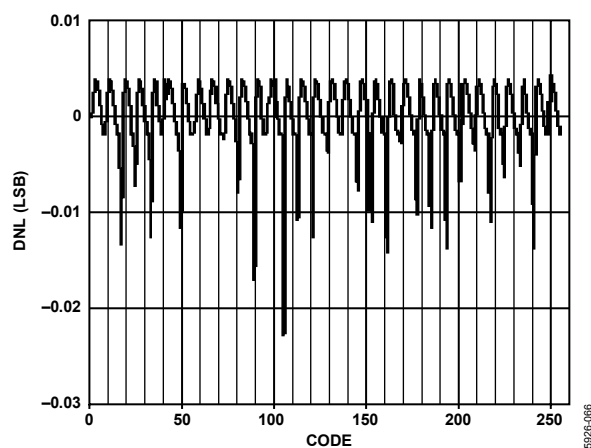


図 59. AD9704 の未キャリブレーション DNL(typ)

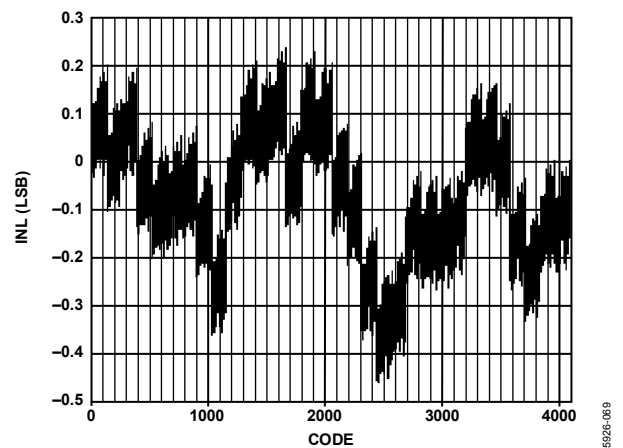


図 62. AD9706 の未キャリブレーション INL(typ)

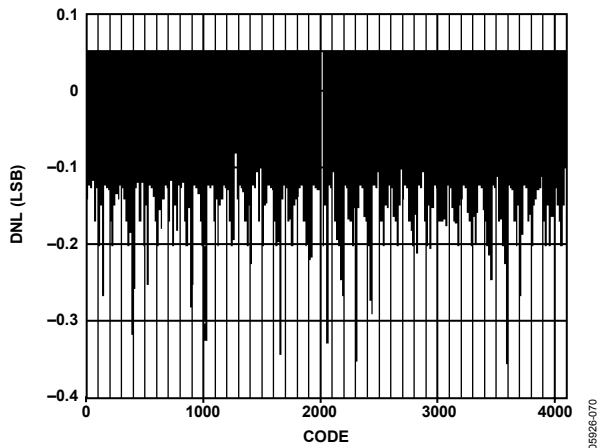


図 63.AD9706 の未キャリブレーション DNL(typ)

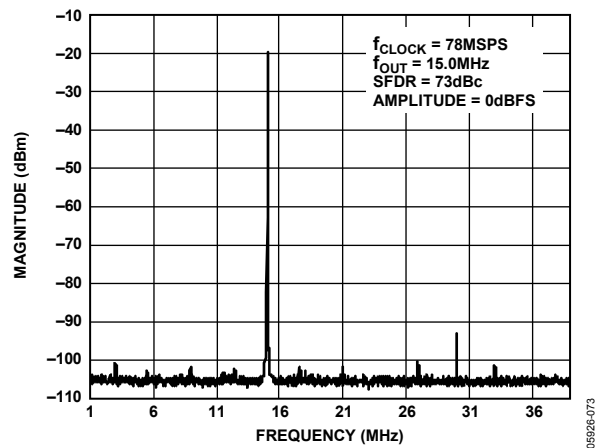


図 66.AD9705 の 1 トーン SFDR

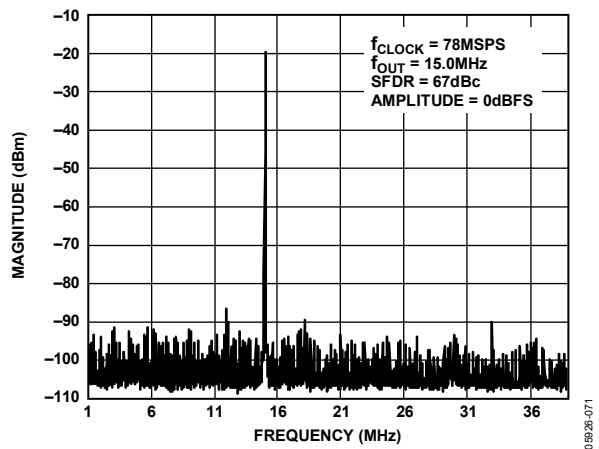


図 64.AD9704 の 1 トーン SFDR

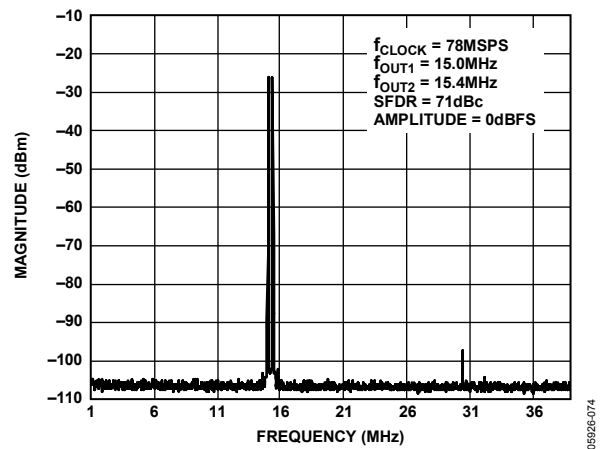


図 67.AD9705 の 2 トーン SFDR

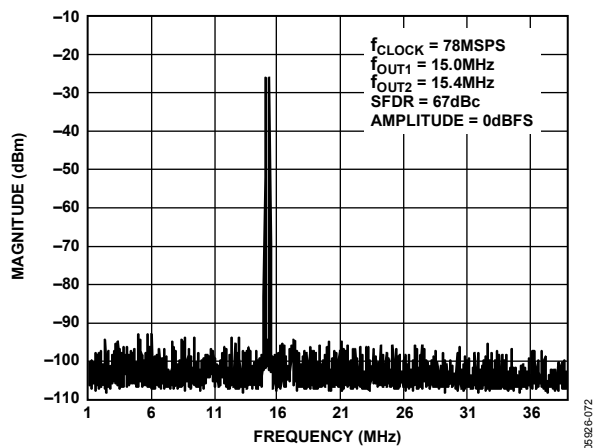


図 65.AD9704 の 2 トーン SFDR

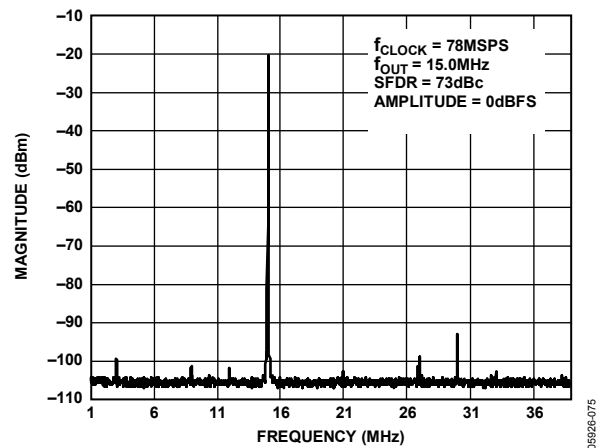


図 68.AD9706 の 1 トーン SFDR

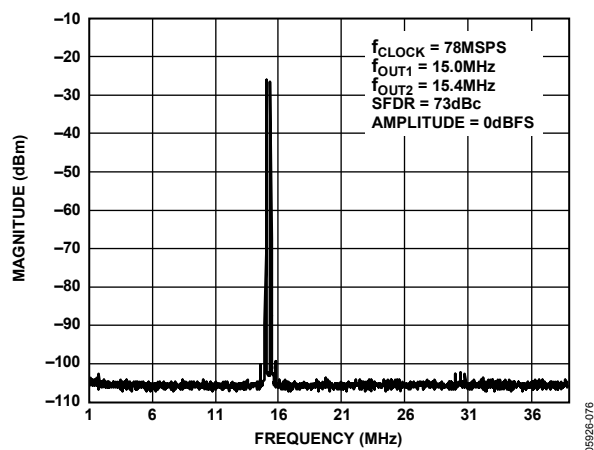


図 69.AD9706 の 2 トーン SFDR

用語

直線性誤差(積分非直線性 INL)

INL は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

デジタル入力が増加したとき、出力が増加するか不変である場合に、D/A コンバータは単調であるといえます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。IOUTA に対しては、全入力ビットが 0 の場合、0 mA 出力が期待されます。IOUTB に対しては、全入力ビットが 1 の場合、0 mA 出力が期待されます。

ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から全入力ビットが 0 に設定されたときの出力を減算したときの差として定義されます。理想ゲインは VREF の測定値を使って計算されます。したがって、ゲイン誤差にはリファレンスの影響は含まれません。

出力コンプライアンス・レンジ

出力コンプライアンス・レンジは、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(+25°C)時の値から T_{MIN} または T_{MAX} 時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりに対してフル・スケール範囲(FSR)の ppm 値で表されます。リファレンス・ドリフトの場合は、ドリフトは 1°C 当たりに対して ppm 値で表されます。

電源除去比

電源が公称値から最小規定電圧値または最大規定電圧値へ変化したときのフル・スケール出力の最大変化を意味します。

セトリング・タイム

出力が最終値を中心とする規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

グリッチ・インパルス

望ましくない出力過渡電圧を発生させる、DAC 内の非対称なスイッチング時間をいい、1 個のグリッチ・インパルスでその大きさを表します。グリッチ内の正味面積を表す単位 pV-s を使って規定します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

出力信号の rms 振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB 値で表します。

総合高調波歪み(THD)

THD は、入力信号測定値(rms 値)と最初の 6 種類の高調波成分の rms 値の和との比をいい、パーセント値またはデシベル値(dB)で表されます。

マルチトーン電力比

等しい振幅の複数キャリア・トーンを含むスプリアス・フリー・ダイナミック・レンジ。キャリア・トーン rms 振幅値と除去トーン帯域内のピーク・スプリアス信号との差として測定されます。

ノイズ・スペクトル密度(NSD)

ノイズ・スペクトル密度は、DAC の出力トーン発生中における、1 Hz 帯域幅に正規化した平均ノイズ電力です。

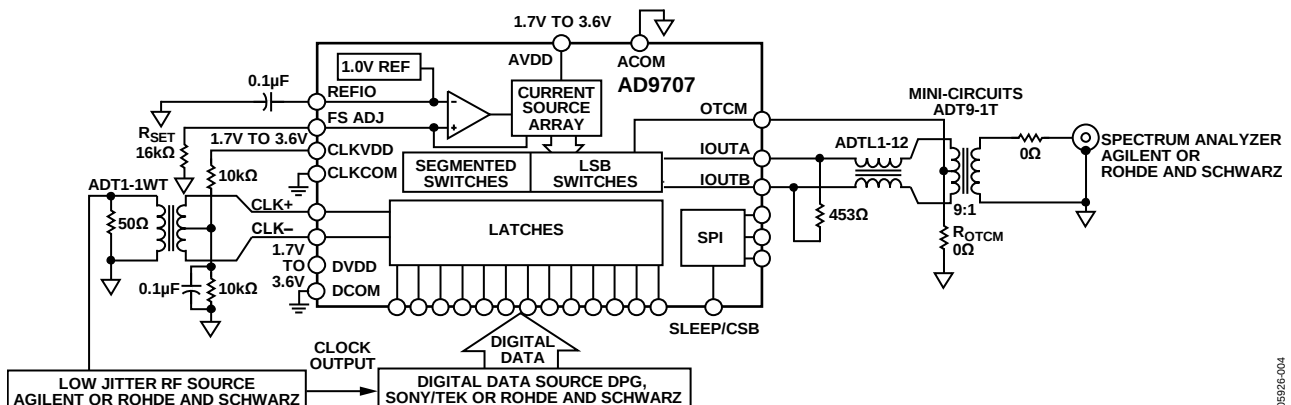


図 70.AC キャラクタライゼーション・テストのセットアップ

05925-004

動作原理

図 71 に、簡単化した AD9707 のブロック図を示します。AD9704/AD9705/AD9706/AD9707 は、1 個の DAC、デジタル・コントロール・ロジック、フル・スケール出力電流コントロールから構成されています。DAC は、公称 2mA のフル・スケール電流(I_{OUTFS})と最大 5mA を供給できる PMOS 電流源アレイで構成されています。アレイは、上位 5 ビット(MSB)を構成する 31 個の等しい電流に分割されています。次の 4 ビットすなわち中位ビットは、15 個の等しい電流源(値は MSB 電流源の 1/16)で構成されています。残りの LSB は、中位ビット電流源の 2 進小数値を構成しています。R-2R のラダー回路ではなく、電流源で下位ビットと中位ビットを構成しているため、マルチトーン信号または低振幅信号に対する AD9704/AD9705/AD9706/AD9707 のダイナミック性能が改善され、DAC の高出力インピーダンス(200 MΩ 以上)の維持に役立っています。

これらのすべての電流源が PMOS 差動電流スイッチを経由して、2つの出力ノード(IOUTA または IOUTB)のいずれかに接続されます。このスイッチは AD9764 ファミリで最初に使用されたアーキテクチャを採用しており、スイッチング過渡電圧で発生する歪みをさらに削減するように改善されています。この新しいスイッチ・アーキテクチャは種々のタイミング誤差を減少させ、差動電流スイッチの入力に対して一致した相補駆動信号を出力します。

AD9704/AD9705/AD9706/ AD9707 のアナログ部とデジタル部は、1.7 V～3.6 V の動作電圧範囲で動作可能な別々の電源入力(AVDD と DVDD)を持っています。最大 175 MSPS のクロック・レートで動作可能なデジタル部は、エッジ検出・ラッチとセグメント・デコーディング・ロジック回路で構成されています。アナログ部には、PMOS 電流源、対応する差動スイッチ、1.0 V のバンドギャップ・リファレンス電圧、リファレンス・コントロール・アンプが含まれています。

DAC のフル・スケール出力電流はリファレンス・コントロール・アンプによりレギュレーションされ、FS ADJ ピンに接続される外付け抵抗 R_{SET} を使って 1 mA~5 mA の範囲で設定することができます。

外付け抵抗はリファレンス・コントロール・アンプとリファレンス電圧 V_{REFIO} との組み合わせにより、基準電流 I_{REF} を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に設定されます。フル・スケール電流 I_{OUTFS} は、 I_{REF} 値の 32 倍になります。

AD9704/AD9705/AD9706/AD9707 には、出力コモン・モード・ピン(OTCM)を使って出力コモン・モードを ACOM 以外の値に設定できるオプションがあります。この機能を使うと、AD9704/AD9705/AD9706/AD9707 の出力を 0 V より高いコモン・モード・レベルを必要とする部品に直接インターフェースさせることができます。

シリアル・ペリフェラル・インターフェース

AD9704/AD9705/AD9706/AD9707 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。シリアル I/O ポートは、モトローラ社の SPI プロトコルや Intel® 社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9704/AD9705/AD9706/AD9707 の内部パラメータを設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。1 バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。AD9704/AD9705/AD9706/AD9707 のシリアル・インターフェース・ポートは、1 本の I/O ピンとして構成されています。

シリアル・インターフェースの全般的な動作

AD9704/AD9705/AD9706/AD9707 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、AD9704/AD9705/AD9706/AD9707 に対する命令バイトの書き込みであり、最初の 8 個の SCLK 立ち上がりエッジを使います。この命令バイトは、データ転送サイクルについての情報を AD9704/AD9705/AD9706/AD9707 シリアル・ポート・コントローラに提供します。このデータ転送は通信サイクルのフェーズ 2 になります。フェーズ 1 の命令ワードは、次のデータ転送の読み出し/書き込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。

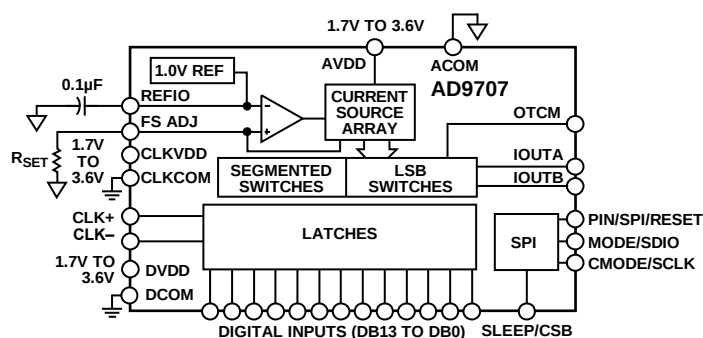


図 71.簡略化したブロック図

ピン 17 (PIN/SPI/RESET)にロジック 1 を入力し、続いてロジック 0 を入力すると、SPI ポートのタイミングが命令サイクルの初期状態にリセットされます。この機能は、内部レジスタに指定された状態または SPI ポートへ入力された他の信号レベルに無関係に実行されます。SPI ポートが命令サイクルまたはデータ転送サイクルの実行中の場合、入力されたデータは書き込まれません。

残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、AD9704/AD9705/AD9706/AD9707 とシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 では、命令バイトの指定に基づき 1、2、3 または 4 バイトのデータが転送されます。複数バイト転送の使用が望まれます。シングル・バイト・データ転送は、レジスタ・アクセスで 1 バイトのみ必要とする際に CPU オーバーヘッドを減らすのに有効です。レジスタは、各転送バイトの最終ビットを書き込むと、直ちに更新されます。

命令バイト

命令バイトは、次のビット・マップに示す情報から構成されています。

表 13.

MSB				LSB			
7	6	5	4	3	2	1	0
R/W	N1	N0	A4	A3	A2	A1	A0

R/W (命令バイトのビット 7)は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。N1 と N0 (命令バイトのビット 6 とビット 5)は、データ転送サイクルで転送されるバイト数を指定します。ビットのデコードを表 14 に示します。

A4、A3、A2、A1、A0 (命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0)は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。残りのレジスタ・アドレスは、DATADIR ビット(レジスタ 0x00、ビット 6)に基づいて AD9704/AD9705/AD9706/AD9707 により発生されます。

表 14. バイト転送カウンタ

N1	N0	Description
0	0	Transfer 1 byte
0	1	Transfer 2 bytes
1	0	Transfer 3 bytes
1	1	Transfer 4 bytes

シリアル・インターフェース・ポート・ピンの説明

SCLK—シリアル・クロック。シリアル・クロック・ピンは、AD9704/AD9705/AD9706/AD9707 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。

SCLK の最大周波数は 20 MHz です。

AD9704/AD9705/AD9706/AD9707 へ送信されるすべてのデータは、SCLK の立ち上がりエッジでサンプルされます。すべてのデータは、AD9704/AD9705/AD9706/AD9707 から SCLK の立ち下がりエッジで出力されます。

CSB—チップ・セレクト。アクティブ・ローを入力すると、通信サイクルが開始されます。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。この入力が高・レ

ベルのとき、SDIO ピンは高インピーダンス状態になります。チップ・セレクトは、通信サイクル中ロー・レベルを維持する必要があります。

SDIO—シリアル・データ I/O。SDIO ピンは、データを送受信する双方向データ・ラインとして使われます。

MSB/LSB の転送

AD9704/AD9705/AD9706/AD9707 シリアル・ポートでは、MSB ファーストまたは LSB ファーストの両データ・フォーマットをサポートすることができます。この機能は、DATADIR ビット(レジスタ 0x00、ビット 6)から制御されます。デフォルトは MSB ファーストです(DATADIR = 0)。

DATADIR = 0 (MSB ファースト)の場合、命令とデータ・バイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータ・バイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポートの内部アドレス・ジェネレータが、複数バイトの通信サイクルの各データ・バイトに対してデクリメントします。

DATADIR = 1 (LSB ファースト)の場合、命令とデータ・バイトは、LSB から MSB への順序で書き込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータ・バイトがその後ろに続きます。シリアル・ポートの内部バイト・アドレス・ジェネレータが、複数バイトの通信サイクルの各バイトに対してインクリメントします。

AD9704/AD9705/AD9706/AD9707 のシリアル・ポート・コントローラのデータ・アドレスは、MSB ファースト・モードがアクティブの場合、複数バイト I/O 動作に対して、書き込んだデータ・アドレスから 0x00 へ向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラ・アドレスは、複数バイト I/O 動作に対して、書き込んだアドレスから 0x1F に向かってインクリメントされます。

シリアル・ポート動作に関する注意

AD9704/AD9705/AD9706/AD9707 のシリアル・インターフェース・ポートは、レジスタ 0x00 のビット 7 から制御されます。設定の変化は、レジスタの最終ビットを書き込むと直ちに発生することに注意してください。複数バイト転送の場合、通信サイクル中にこのレジスタに対する書き込みが発生します。実行中の通信サイクルの残りのバイトに対するこの新しい設定を補正するように注意する必要があります。

ソフトウェア・リセット SWRST (レジスタ 0x00、ビット 5)を設定するときにも、同じ注意が必要です。すべてのレジスタはデフォルト値に設定されます。ただし、レジスタ 0x00 だけは変化しません。

予期しないデバイス動作を防止するためにシリアル・ポートの設定を変更するときは、シングル・バイト転送の使用またはソフトウェア・リセットの実行が推奨されます。

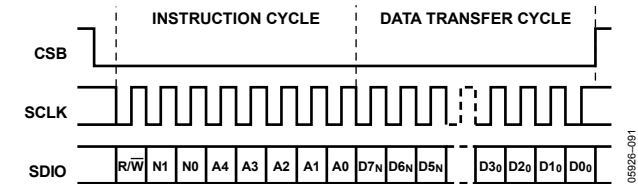


図 72. シリアル・レジスタ・インターフェースのタイミング—MSB
ファースト書き込み

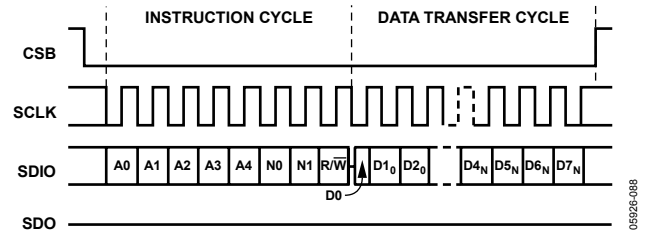


図 75. シリアル・レジスタ・インターフェースのタイミング—LSB
ファースト読み出し

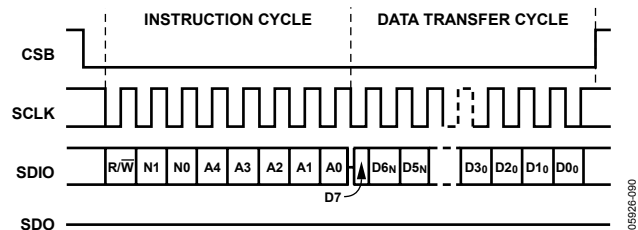


図 73. シリアル・レジスタ・インターフェースのタイミング—MSB
ファースト読み出し

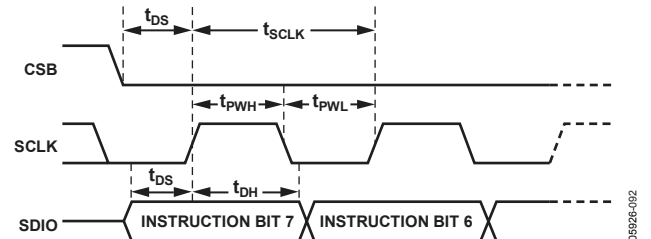


図 76. タイミング図—SPI レジスタ書き込み

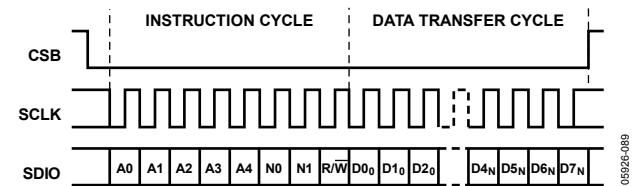


図 74. シリアル・レジスタ・インターフェースのタイミング—LSB
ファースト書き込み

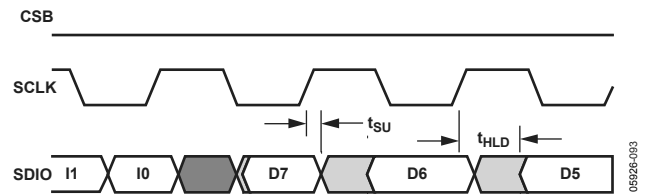


図 77. タイミング図—SPI レジスタ読み出し

SPI レジスタ・マップ

表 15.

Mnemonic	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI CTL	0x00	SDIODIR	DATADIR	SWRST	LNGINS	PDN	SLEEP	CLKOFF	EXREF
DATA	0x02	DATAFMT			DCLKPOL	DESKEW	CLKDIFF		CALCLK
VERSION	0x0D					VER[3]	VER[2]	VER[1]	VER[0]
CALMEM	0x0E			CALMEM[1]	CALMEM[0]		DIVSEL[2]	DIVSEL[1]	DIVSEL[0]
MEMRDWR	0x0F	CALSTAT	CALEN			SMEMWR	SMEMRD		UNCAL
MEMADDR	0x10			MEMADDR[5]	MEMADDR[4]	MEMADDR[3]	MEMADDR[2]	MEMADDR[1]	MEMADDR[0]
MEMDATA	0x11			MEMDATA[5]	MEMDATA[4]	MEMDATA[3]	MEMDATA[2]	MEMDATA[1]	MEMDATA[0]
TRIM	0x14				CALDACFS				

SPI レジスタの説明

表 16.SPI CTL—レジスタ 0x00

Mnemonic	Bit No.	Direction (I/O)	Default	Description
SDIODIR	7	I	1	0: SDIO pin configured for input only during data transfer (4-wire interface). 1: SDIO pin configured for input or output during data transfer (3-wire interface).
DATADIR	6	I	0	0: Serial data uses MSB first format. 1: Serial data uses LSB first format.
SWRST	5	I	0	1: Initiate a software reset; this bit is set to 0 upon reset completion.
LNGINS	4	I	0	0: Use 1 byte preamble (5 address bits). 1: Use 2 byte preamble (13 address bits).
PDN	3	I	0	1: Shuts down DAC output current internal band gap reference.
SLEEP	2	I	0	1: DAC output current off.
CLKOFF	1	I	0	1: Disables internal master clock.
EXREF	0	I	0	0: Internal band gap reference. 1: External reference.

表 17.DATA—レジスタ 0x02

Mnemonic	Bit No.	Direction (I/O)	Default	Description
DATAFMT	7	I	0	0: Unsigned binary input data format. 1: Twos complement input data format.
DCLKPOL	4	I	0	0: Data latched on DATACLK rising edge always. 1: Data latched on DATACLK falling edge (only active in DESKEW mode).
DESKEW	3	I	0	0: DESKEW mode disabled. 1: DESKEW mode enabled (adds a register in digital data path to remove skew in received data; one clock cycle of latency is introduced).
CLKDIFF	2	I	0	0: Single-ended clock input. 1: Differential clock input.
CALCLK	0	I	0	0: Calibration clock disabled. 1: Calibration clock enabled.

表 18.VERSION—レジスタ 0x0D

Mnemonic	Bit No.	Direction (I/O)	Default	Description
VER[3:0]	[3:0]	O	0000	Hardware version identifier.

表 19.CALMEM—レジスタ 0x0E

Mnemonic	Bit No.	Direction (I/O)	Default	Description
CALMEM[1:0]	[5:4]	O	00	Calibration memory. 00: Uncalibrated. 01: Self-calibration. 10: Not Used. 11: User input.
DIVSEL[2:0]	[2:0]	I	000	Calibration clock divide ratio from DAC clock rate. 000: /256. 001: /128. ... 110: /4. 111: /2.

表 20.MEMRDWR—レジスタ 0x0F

Mnemonic	Bit No.	Direction (I/O)	Default	Description
CALSTAT	7	O	0	1: Calibration cycle complete.
CALEN	6	I	0	1: Initiate device self-calibration.
SMEMWR	3	I	0	1: Write to static memory (calibration coefficients).
SMEMRD	2	I	0	1: Read from static memory (calibration coefficients).
UNCAL	0	I	0	1: Reset calibration coefficients to default (uncalibrated).

表 21.MEMADDR—レジスタ 0x10

Mnemonic	Bit No.	Direction (I/O)	Default	Description
MEMADDR[5:0]	[5:0]	I/O	000000	Address of static memory to be accessed.

表 22.MEMDATA—レジスタ 0x11

Mnemonic	Bit No.	Direction (I/O)	Default	Description
MEMDATA[5:0]	[5:0]	I/O	111111	Data for static memory access.

表 23.TRIM—レジスタ 0x14

Mnemonic	Bit No.	Direction (I/O)	Default	Description
CALDACFS	4	I	0	0: Calibration DAC full-scale uses AVDD. 1: Calibration DAC full-scale uses AVDD/2.

リファレンス電圧の動作

AD9704/AD9705/AD9706/AD9707は、1.0 V のバンド・ギャップ・リファレンス電圧を内蔵しています。SPI 内のレジスタ 0x00 のビット 0 (EXREF)にロジック 1 を書き込むことにより、内部リファレンス電圧をディセーブルすることができます。

内部リファレンス電圧を使うときは、0.1 μ F のコンデンサで REFIO ピンを ACOM にデカップリングし、内部リファレンス電圧をイネーブルして、SPI 内のレジスタ 0x00 のビット 0 にロジック 0 を書き込みます(これはデフォルト設定になっていることに注意してください)。内部リファレンス電圧は REFIO に出力されます。REFIO に出力される電圧を回路内で使用する場合は、100 nA 未満の入力バイアス電流を持つ外付けバッファアンプを使用して、リファレンスの負荷にならないようにする必要があります。内部リファレンスの使用例を図 78 に示します。

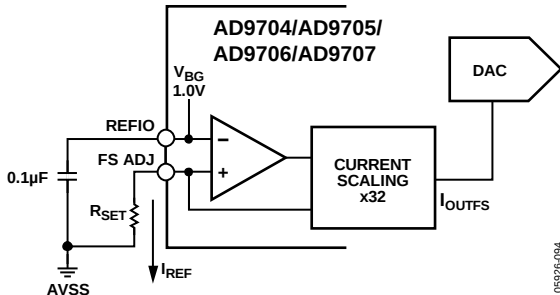


図 78. 内部リファレンス電圧の構成

内部または外部のリファレンス選択に応じて、REFIO は入力または出力として機能します。表 24 に、リファレンス動作の一覧を示します。

表 24. リファレンスの動作

Reference Mode	REFIO Pin	Register Setting
Internal	Connect 0.1 μ F capacitor	Register 0x00, Bit 0 = 0 (default)
External	Apply external reference	Register 0x00, Bit 0 = 1 (for power saving)

外部リファレンスは、厳しいゲイン偏差または低温度ドリフトを必要とするアプリケーションで使用することができます。また、可変外部リファレンス電圧を使って、DAC 出力のゲイン・コントロール方法を実現することもできます。外部リファレンス電圧は REFIO ピンへ接続します。0.1 μ F の補償コンデンサは不要であることに注意してください。内部リファレンス電圧を外部リファレンスで直接上書きするか、あるいは内部リファレンス電圧をパワーダウンさせることができます。REFIO の入力インピーダンスはパワーアップ時に 10 k Ω で、パワーダウン時には 1 M Ω です。

リファレンス・コントロール・アンプ

AD9704/AD9705/AD9706/AD9707 は、フル・スケール出力電流 I_{OUTFS} を制御するコントロール・アンプを内蔵しています。コントロール・アンプは V/I コンバータとして構成されています(図 78 参照)。出力電流 I_{REF} は、式 4 に示すように V_{REFIO} と外部抵抗 R_{SET} との比により決定されます。 I_{REF} は式 3 に示すように、適切なスケール・ファクタでセグメント化された電流源にコピーされて I_{OUTFS} が設定されます。

コントロール・アンプを使うと、 $I_{REF} = 31.25 \mu A \sim 156.25 \mu A$ を設定することにより($R_{SET} = 6.4 k\Omega \sim 32 k\Omega$)、 I_{OUTFS} の 5:1 調整範囲(1 mA $\sim$ 5 mA)が可能になります。 I_{OUTFS} は広い調整範囲を持つため、幾つかの利点があります。1 つ目の利点は、AD9704/AD9705/AD9706/AD9707 の消費電力に直接関係し、消費電力が I_{OUTFS} に比例することです(消費電力のセクションを参照してください)。2 つ目の利点は、14 dB 範囲での調整能力に関係し、送信電力の制御に役立ちます。

リファレンス・コントロール・アンプの小信号帯域幅は約 500 kHz です。このため、このデバイスを低周波の信号乗算アプリケーションに使用することができます。

DAC の伝達関数

AD9704/AD9705/AD9706/AD9707 には相補電流出力 I_{OUTA} と I_{OUTB} があります。全ビットがハイのとき(すなわち DAC CODE = $2^N - 1$ のとき(ここで、N は AD9704、AD9705、AD9706、AD9707 に対して、それぞれ 8、10、12、14)、 I_{OUTA} はフル・スケールに近い電流出力 I_{OUTFS} を出力しますが、相補出力 I_{OUTB} の出力電流はゼロになります。 I_{OUTA} と I_{OUTB} の電流出力は入力コードと I_{OUTFS} の関数であり、次式で表されます。

$$I_{OUTA} = (\text{DAC CODE} / 2^N) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = ((2^N - 1) - \text{DAC CODE}) / 2^N \times I_{OUTFS} \quad (2)$$

ここで、DAC CODE = $0 \sim 2^N - 1$ (10 進数)。

I_{OUTFS} はリファレンス電流 I_{REF} の関数であり、リファレンス電圧 V_{REFIO} と外部抵抗 R_{SET} により設定されます。次のように表すことができます。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

ここで、

$$I_{REF} = V_{REFIO} / R_{SET} \quad (4)$$

2 つの電流出力は、通常、直接またはトランスを経由して抵抗負荷を駆動します。DC 結合が必要な場合は、 I_{OUTA} と I_{OUTB} を一致する抵抗負荷 R_{LOAD} に接続します。これらの R_{LOAD} はアナログ・コモン ACOM に接続されます。 I_{OUTA} ノードと I_{OUTB} ノードのシングルエンド電圧出力は次のように表されます。

$$V_{IOUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{IOUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

公称 2 mA の出力電流で 1 V の最大出力コンプライアンスを実現するためには、 R_{LOAD} を 500 Ω に設定する必要があります。ことに注意してください。

また、規定の歪みと直線性性能を維持するためには、 V_{IOUTA} と V_{IOUTB} のフル・スケール値が規定された出力コンプライアンス・レンジを超えないように注意する必要があります。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、 I_{REF} に値を代入すると、 V_{DIFF} は次のように表されます。

$$V_{DIFF} = \{(2 \times \text{DAC CODE} - (2^N - 1)) / 2^N\} \times (32 \times V_{REFIO} / R_{SET}) \times R_{LOAD} \quad (8)$$

式 7 と式 8 は、AD9704/AD9705/AD9706/AD9707 を差動で動作させるときの利点を表しています。まず、差動動作はノイズ、歪み、DC オフセットのような IOUTA と IOUTB に対応するコモン・モード誤差原因を相殺します。2 つ目に、コード依存の差動電流とその後段の電圧 VDIFF はシングルエンド電圧出力値 (V_{IOUTA} または V_{IOUTB}) の 2 倍であり、2 倍の信号電力を負荷に供給します。

シングルエンド出力 (V_{IOUTA} と V_{IOUTB}) または AD9704/AD9705/AD9706/AD9707 の差動出力 (V_{DIFF}) に対するゲイン・ドリフト温度性能は、 R_{LOAD} と R_{SET} が式 8 に示すように比例関係にあるため、両抵抗に対して温度トラッキング抵抗を選択することにより改善できることに注意してください。

アナログ出力

各 DAC には IOUTA と IOUTB の相補電流出力が用意されており、シングルエンド動作または差動動作に構成することができます。IOUTA と IOUTB は負荷抵抗 R_{LOAD} を使って相補シングルエンド電圧出力 V_{IOUTA} と V_{IOUTB} に変換することができます (DAC の伝達関数のセクションの式 5 ~ 式 8)。 V_{IOUTA} と V_{IOUTB} の間の差動電圧 V_{DIFF} 、も、トランスまたは差動アンプ構成を使ってシングルエンド電圧に変換することができます。

AD9704/AD9705/AD9706/AD9707 の AC 性能は、IOUTA と IOUTB での電圧振幅を ± 0.5 V に制限した差動トランス結合出力を使用した場合に最適であり、これで仕様が規定されています。

AD9704/AD9705/AD9706/AD9707 の歪み性能とノイズ性能は、差動動作により改善することができます。IOUTA と IOUTB のコモン・モード誤差の原因は、トランスまたは差動アンプのコモン・モード除去比により大幅に削減されます。これらのコモン・モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が増えるほど、および/またはその振幅が大きくなるほど、歪み性能の改善効果が大きくなります。これは、種々の動的なコモン・モード歪みメカニズム、デジタル信号の混入、ノイズの一次的な相殺に起因します。

トランスを使って差動からシングルエンドへ変換すると、2 倍の再生信号電力を負荷に供給することもできます (ソース終端がない場合)。IOUTA と IOUTB の出力電流は相補であるため、差動で処理された場合に加算されます。

AD9704/AD9705/AD9706/AD9707 を出力電流 2 mA の公称動作ポイントで使用し、かつ 0.5 V の出力振幅が必要な場合は、 R_{LOAD} を 250 Ω に設定する必要があります。適切に選択されたトランスを使うと、AD9704/AD9705/AD9706/AD9707 は所要電力と電圧レベルをさまざまな負荷に供給することができます。

IOUTA と IOUTB の出力インピーダンスは、各電流源に対応する各 PMOS スイッチの等価な並列組合せにより決定され、200 M Ω (typ) と 5 pF の並列接続になります。

PMOS デバイスの性質上出力電圧 (V_{IOUTA} と V_{IOUTB}) にも少し依存します。I-V オペアンプ構成を使って IOUTA および/または IOUTB をバーチャル・グラウンドに維持すると、最適な DC 直線性を得ることができます。

AD9704/AD9705/AD9706/AD9707 の INL/DNL 仕様は、

IOUTA をオペアンプを使ってバーチャル・グラウンドに維持して測定していることに注意してください。

IOUTA と IOUTB には、最適な性能を得るために従う必要がある正および負の電圧コンプライアンス・レンジもあります。-1 V の絶対最大負出力コンプライアンス・レンジは、CMOS プロセスのブレイクダウン限界値により設定されます。この最大値を超えて動作させると、出力段でブレイクダウンが発生して、AD9704/AD9705/AD9706/AD9707 の信頼性に影響を与えます。

正の出力コンプライアンス・レンジは、フル・スケール出力電流 I_{OUTFS} の影響を少し受けます。 $I_{OUTFS} = 2$ mA に対して 1.0 V の公称値から、 $I_{OUTFS} = 1$ mA に対して 0.8 V まで少し低下します。シングルエンド出力または差動出力に対する最適歪み性能は、IOUTA と IOUTB における最大フル・スケール信号が 0.5 V を超えないときに得られます。

調整可能な出力コモン・モード

AD9704/AD9705/AD9706/AD9707 には、ピン 19 (OTCM) を使って出力コモン・モードを ACOM 以外の値に設定できるオプションがあります。この機能を使うと、出力のコンプライアンス・レンジを広げて、AD9704/AD9705/AD9706/AD9707 の出力を 0 V 以外のコモン・モード・レベルを必要とする部品に直接インターフェースさせることができます。OTCM ピンでは動的に変化する電流が必要のため、低いソース・インピーダンスで駆動して、DAC 出力にコモン・モード信号が発生しないようにする必要があります。最適性能を得るためには、OTCM の電圧を IOUTA と IOUTB の出力振幅の中心に一致させる必要があります。

OTCM を ACOM より高い電圧に設定すると、出力信号のピークが正電源レールに近づくことがあります。ヘッドルームが制限されることに起因する出力信号の歪みを防ぐためには、次式を満たすようにコモン・モード・レベルを選択する必要があります。

$$AVDD - V_{OTCM} > 1.8 \text{ V} \quad (9)$$

デジタル入力

AD9707、AD9706、AD9705、AD9704 は、それぞれ 14、12、10、8 ビットのデータ入力を持ち、さらに各クロック入力を持っています。パラレル・データ入力では、標準バイナリすなわち 2 の補数コーディングを採用しています。全データ・ビットがロジック 1 のとき、IOUTA にフル・スケール出力電流が得られます。IOUTB は相補出力を与え、フル・スケール電流が入力コードの関数としてこれら 2 本の出力に分割されて出力されます。

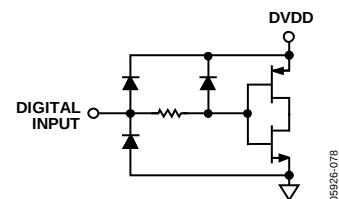


図 79. 等価デジタル入力

デジタル・インターフェースは、エッジ検出型のマスター・スレーブ・ラッチを使って構成されています。DAC

出力は、クロックの立ち上がりエッジで更新され、175 MSPSまでのクロック・レートで動作するようにデザインされています。クロックは、規定のラッチ・パルス幅を満たす任意のデューティ・サイクルで動作することができます。セットアップ・タイムとホールド・タイムは、規定の最小時間を満たしている限り、クロック・サイクル内で変えることができます。ただし、これらのエッジ変化の位置がデジタル信号の混入と歪み性能に影響を与えます。最適性能は、入力データが50%デューティ・サイクル・クロックの立ち下がりエッジで変化するときにあります。

クロック入力

クロック入力が設定可能であるため、このデバイスはシングルエンド・クロック・モードまたは差動クロック・モードで動作することができます。モード選択は、デバイスがピン・モードのときはCMODEピンにより、SPIがイネーブルされているときはSPIレジスタ0x02のビット2 (CLKDIFF)により、それぞれ制御することができます。CMODEをCLKCOMに接続すると、シングルエンド・クロック入力を選択されます。このモードでは、CLK+入力がレール to レール振幅で駆動され、CLK-入力はフローティングのままにされます。CMODEをCLKVDDに接続すると、差動レシーバ・モードが選択されます。このモードでは、両入力が高インピーダンスになります。表 25 に、クロック・モード制御の一覧を示します。各クロック入力モードの間には大きな性能差はありません。

表 25.クロック・モードの選択

SPI Disabled CMODE Pin	SPI Enabled Register 0x02, Bit 2	Clock Input Mode
CLKCOM	0	Single-ended
CLKVDD	1	Differential

差動入力モードでは、クロック入力は高インピーダンス差動対として機能します。CLK+入力とCLK-入力のコモン・モード・レベルは0.75 V~2.25 Vで変化することができます。このモードを使うと、広いゲイン帯域幅を持つ差動入力により正弦波をシングルエンドの方形波へ内部で変換できるため、差動正弦波でクロックを駆動することができます。

DACのタイミング

入力クロックとデータのタイミング関係

DAC内のダイナミック性能は、クロック・エッジの位置と入力データ変化の位置との間の関係に依存します。AD9704/AD9705/AD9706/AD9707は立ち上がりエッジでトリガーされるため、データ変化がこのエッジに近いとき、ダイナミック性能に影響を与えます。一般に、データ変化をクロックの立ち下がりエッジの近くで発生させることが目標となります。これはサンプル・レートが大きくなるほど重要になります。図 80 に、SFDRと種々のサンプル・レートでのクロック位置の関係を示します。

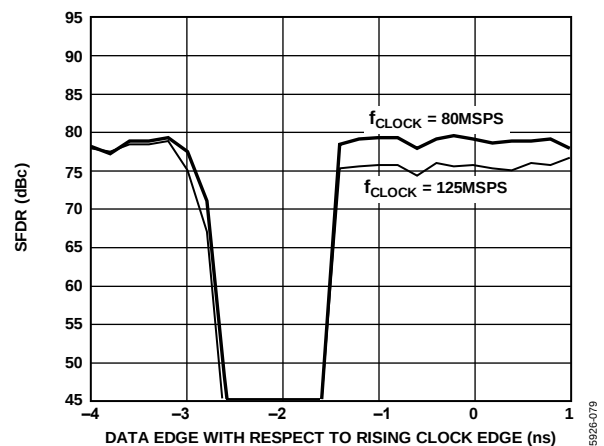


図 80.SFDR 対クロック位置

消費電力

AD9704/AD9705/AD9706/AD9707の消費電力 P_D は、次のファクタに依存します。

- 電源電圧 (AVDD、CLKVDD、DVDD)
- フル・スケール電流出力 I_{OUTFS}
- 更新レート f_{CLOCK}
- 再生デジタル入力波形

消費電力は、アナログ電源電流 I_{AVDD} とデジタル電源電流 I_{DVDD} に比例します。 I_{AVDD} は固定電流と I_{OUTFS} の和に一致します(図 81 参照)。 I_{DVDD} は f_{CLOCK} に比例するため、アナログ出力周波数が高くなるほど大きくなります。図 83 に、 $DVDD = 3.3 V$ での種々の更新レートに対して、 I_{DVDD} をフル・スケール正弦波出力比 (f_{OUT}/f_{CLOCK}) の関数として示します。 I_{CLKVDD} は f_{CLOCK} に比例するため、シングルエンド動作の場合より差動クロック動作の方が大きくなります(図 85 参照)。クロック電流のこの違いは、主に差動クロック・レシーバによるもので、これはシングルエンド・クロック・モードではディスエーブルされます。

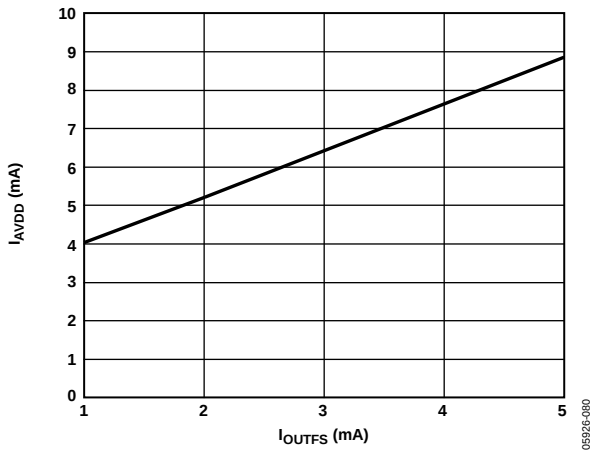


図 81. I_{AVDD} 対 I_{OUTFS} 、 $AVDD = 3.3$ V

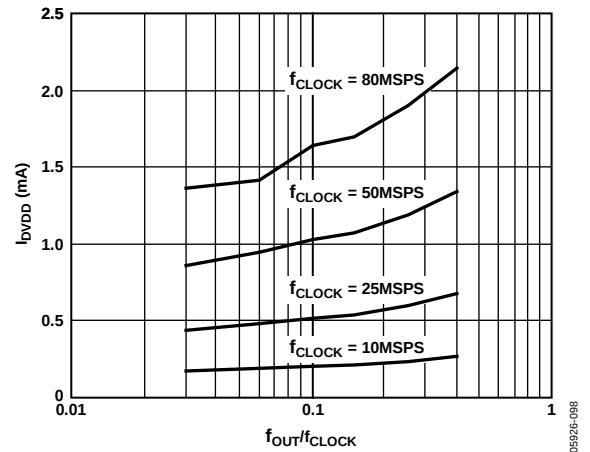


図 84. I_{DVDD} 対 f_{OUT}/f_{CLOCK} 比、 $DVDD = 1.8$ V

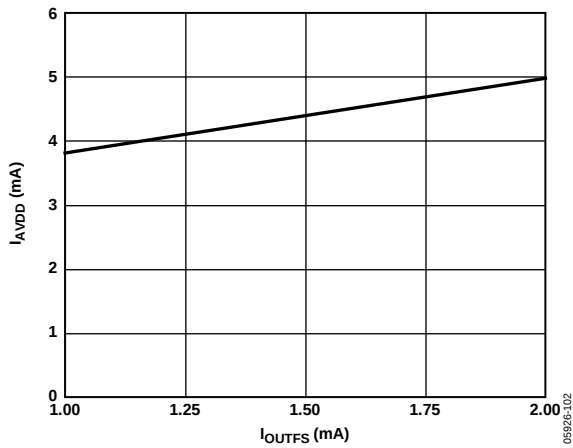


図 82. I_{AVDD} 対 I_{OUTFS} 、 $AVDD = 1.8$ V

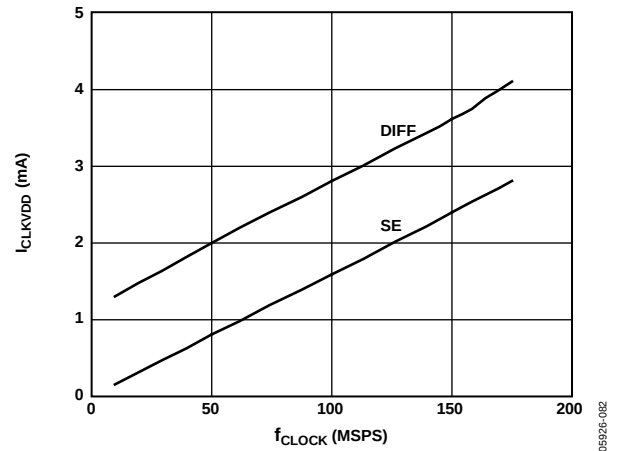


図 85. I_{CLKVDD} 対 f_{CLOCK} 、 $CLKVDD = 3.3$ V

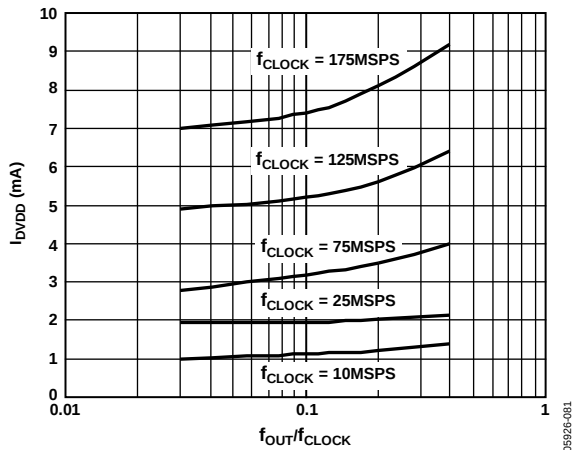


図 83. I_{DVDD} 対 f_{OUT}/f_{CLOCK} 比、 $DVDD = 3.3$ V

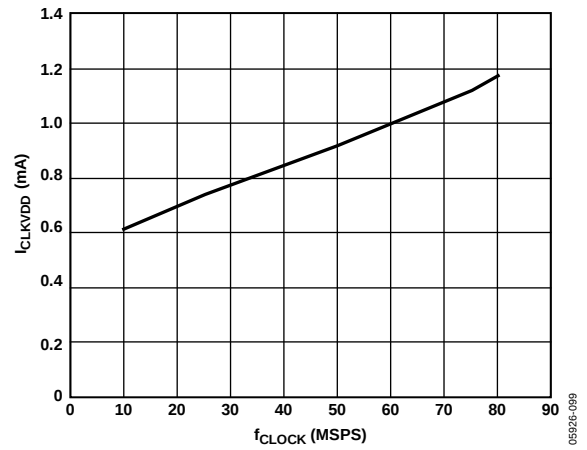


図 86. I_{CLKVDD} 対 f_{CLOCK} (差分クロック・モード)、 $CLKVDD = 1.8$ V

スリープとパワーダウンでの動作(ピン・モード)

AD9704/AD9705/AD9706/AD9707 には、出力電流をターンオフしてデバイスの全消費電力を削減するスリープ・モードがあります。SLEEP/CSB ピンにロジック 1 を入力するとこのモードが開始されます。SLEEP/CSB ピンのロジック・スレッシュホールドは $0.5 \times DVDD$ です。このデジタル入力にはアクティブ・プルダウン回路も付いています。

AD9704/AD9705/AD9706/AD9707 は 50 ns より短い時間でパワーダウンし、約 5 μ s でパワーアップします。

スリープとパワーダウンでの動作(SPI モード)

AD9704/AD9705/AD9706/AD9707 には、SPI から制御できる 3 種類のパワーダウン機能があります。これらのパワーダウン・モードを使って、デバイスの消費電力を小さくすることができます。パワーダウン機能は SPI レジスタ 0x00 のビット 1～ビット 3 を使って制御されます。表 26 には、SPI から制御できるパワーダウン機能の一覧を示します。ロジック 1 をレジスタ 0x00 の対応するビットに書き込むと、パワーダウン・モードがイネーブルされます。

表 26. パワーダウン・モードの選択

Power-Down Mode	(Reg. 0x00) Bit Number	Functional Description
Clock Off	1	Turn off clock
Sleep	2	Turn off output current
Power Down	3	Turn off output current and internal band gap reference

セルフ・キャリブレーション

AD9704/AD9705/AD9706/AD9707 には、デバイスの DNL を向上させるセルフ・キャリブレーション機能があります。デバイスでセルフ・キャリブレーションを行うと、低周波アプリケーションでデバイス性能を向上させることができます。アナログ出力周波数が 1 MHz を超えるアプリケーションでのデバイス性能は、DNL よりダイナミックなデバイス動作により多く影響を受けるため、これらの場合、セルフ・キャリブレーションは、図 87 に示すように 1 トーンに対して目立つ利点を示さないことがあります。図 88 に、セルフ・キャリブレーションが 10 kHz 間隔の 2 トーン IMD に対して 20 MHz まで有効であることを示します。

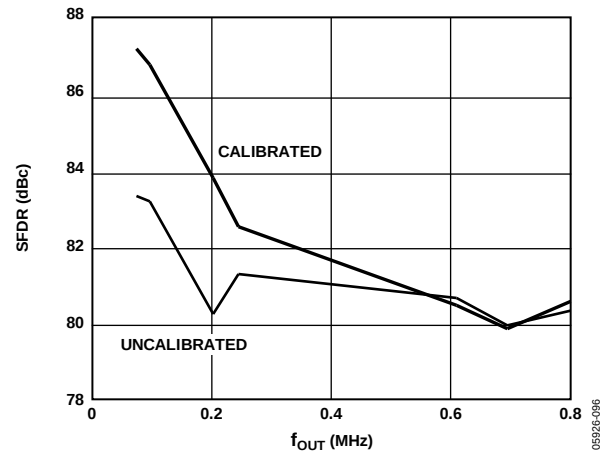


図 87. 175 MSPS、 $I_{OUTFS} = 2$ mA での AD9707 SFDR 対 f_{OUT}

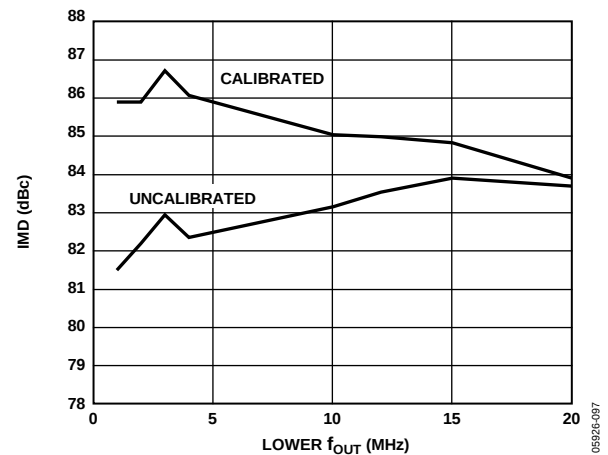


図 88. 175 MSPS、 $I_{OUTFS} = 2$ mA での IMD 対低 f_{OUT}

キャリブレーション・クロック周波数は、DAC クロックを DIVSEL 値で指定する分周比で除算した周波数に等しくなります。キャリブレーション・クロック周波数は、信頼度の高いキャリブレーションのために 10 MHz より低くする必要があります。最適結果は、ユーザのシステム条件を満たす周波数キャリブレーションの最小クロック周波数を発生するように DIVSEL[2:0] (レジスタ 0x0E のビット 2～ビット 0)を設定することにより得られます。

デバイスのセルフ・キャリブレーションを行うときは、次の手順に従います。

1. CALCLK ビット(レジスタ 0x02 のビット 0)をセットして、キャリブレーション・クロックをイネーブルします。
2. レジスタ 0x0F に 0x40 を書き込んで、セルフ・キャリブレーションをイネーブルします。
3. キャリブレーション・クロックで約 4500 サイクル間待ちます。各キャリブレーション・クロック・サイクルは DIVSEL[2:0]の値に応じて、DAC クロックで 2～256 サイクルになります。
4. CALSTAT ビット(レジスタ 0x0F のビット 7)を読み出して、セルフ・キャリブレーションの完了を確認します。ロジック 1 はキャリブレーションの完了を表します。
5. セルフ・キャリブレーションが完了したら、0x00 をレジスタ 0x0F に書き込みます。
6. CALCLK ビット(レジスタ 0x02 のビット 0)をクリアして、キャリブレーション・クロックをディスエーブルします。

AD9704/AD9705/AD9706/AD9707 では、キャリブレーション係数の読み出しと書き込みが可能です。合計 33 個の係数があります。係数のリード/ライト機能は、複数のキャリブレーション・サイクル結果の平均をとり、平均処理した結果を再度デバイスへロードすることにより、セルフ・キャリブレーション・ルーチンの結果を向上させるときに便利です。読み出しと書き込みのルーチンは次の手順によります。

キャリブレーション係数を読み出すときは、次のステップに従います。

1. CALCLK ビット(レジスタ 0x02 のビット 0)をセットして、キャリブレーション・クロックをイネーブルします。
2. 最初の係数のアドレス(0x00)をレジスタ 0x10 へ書き込みます。
3. 0x04 をレジスタ 0x0F に書き込んで、SMEMRD ビット(レジスタ 0x0F、ビット 2)をセットします。
4. レジスタ 0x11 の値を読み出して、最初の係数の値を読み出します。
5. 0x00 をレジスタ 0x0F に書き込んで、SMEMRD ビットをクリアします。
6. 各読み出しごとにアドレスを 1 だけ増やして、残りの 32 個の係数に対してステップ 2～ステップ 5 を繰り返します。
7. CALCLK ビット(レジスタ 0x02 のビット 0)をクリアして、キャリブレーション・クロックをディスエーブルします。

キャリブレーション係数をデバイスへ書き込むときは、次のステップに従います。

1. CALCLK ビット(レジスタ 0x02 のビット 0)をセットして、キャリブレーション・クロックをイネーブルします。
2. 0x08 をレジスタ 0x0F に書き込んで、SMEMWR ビット(レジスタ 0x0F、ビット 3)をセットします。
3. 最初の係数のアドレス(0x00)をレジスタ 0x10 へ書き込みます。
4. 最初の係数の値をレジスタ 0x11 へ書き込みます。
5. 各書き込みごとにアドレスを 1 だけ増やして、残りの 32 個の係数に対してステップ 2 とステップ 3 を繰り返します。
6. 0x00 をレジスタ 0x0F に書き込んで、SMEMWR ビットをクリアします。
7. CALCLK ビット(レジスタ 0x02 のビット 0)をクリアして、キャリブレーション・クロックをディスエーブルします。

アプリケーション

出力の構成

次のセクションでは、AD9704/AD9705/AD9706/AD9707の一般的な出力構成について説明します。特に注記がない限り、 I_{OUTFS} は公称2mAに設定します。最適なダイナミック性能を必要とするアプリケーションに対しては、差動出力構成が推奨されます。差動出力構成は、RFトランスまたは差動オペアンプにより構成されます。トランス構成は最適な高周波性能を提供するため、AC結合が可能なすべてのアプリケーションに対して推奨されます。差動オペアンプ構成は、DC結合、信号ゲイン、低出力インピーダンスを必要とするアプリケーションに適しています。

シングルエンド出力は、低価格と低消費電力が主要な条件となるアプリケーションに適しています。

トランスを使用する差動結合

RFトランスを使うと、差動信号からシングルエンド信号への変換を行うことができます(図89参照)。トランスの歪み性能は一般に、特に高い周波数で、標準オペアンプの歪み性能より優れています。トランス結合は、広い周波数範囲で優れたコモン・モード歪み除去比を提供します(偶数次高調波)。電氣的絶縁も提供し、ノイズを追加することなく電圧ゲインを与えることもできます。インピーダンスのマッチングには、種々のインピーダンス比を持つトランスを使うことができます。トランス結合の主要な欠点としては、周波数ロールオフが低い、電力ゲインがないこと、出力インピーダンスが高いことなどがあります。

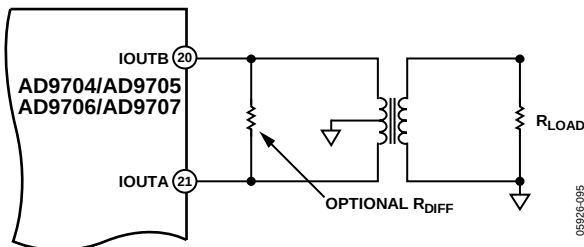


図 89. トランスを使用した差動出力

トランス一次側のセンター・タップは、 I_{OUTA} と I_{OUTB} の電圧をデバイスの出力コモン・モード電圧範囲内に維持する電圧に接続する必要があります。DAC出力電流のDC成分は $I_{FS}/2$ に等しく、 I_{OUTA} と I_{OUTB} から流れることに注意してください。トランスのセンター・タップは、このDC電流のパスを提供する必要があります。多くのアプリケーションでは、AGNDがトランス・センター・タップに対する最も便利な電圧になります。 I_{OUTA} と I_{OUTB} の相補電圧(V_{IOUTA} と V_{IOUTB})の振幅は、AGNDを中心として対称であるため、AD9704/AD9705/AD9706/AD9707の規定の出力コンプライアンス・レンジ内に維持する必要があります。

差動抵抗 R_{DIFF} は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷 R_{LOAD} に接続されるアプリケーションで使用することができます。 R_{DIFF} はトランスのインピーダンス比により決定され、VSWRを低くするソ

ース終端を提供するように選択されます。信号電力の約半分が R_{DIFF} で消費されることに注意してください。

オペアンプを使用したバッファ付きシングルエンド出力

ADA4899-1のようなオペアンプを使うと、シングルエンド電流から電圧への変換を行うことができます(図90参照)。AD9704/AD9705/AD9706/AD9707は、各出力に1対の直列抵抗 R_S を持つように構成されます。帰還抵抗 R_{FB} により、次式に基づいてピーク信号振幅が決定されます。

$$V_{OUT} = R_{FB} \times \frac{I_{FS}}{2}$$

出力のコモン・モード電圧は次式から求めます。

$$V_{CM} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right) - V_{OUT}$$

アンプの最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right)$$

$$V_{MIN} = V_{MAX} - I_{FS} \times R_{FB}$$

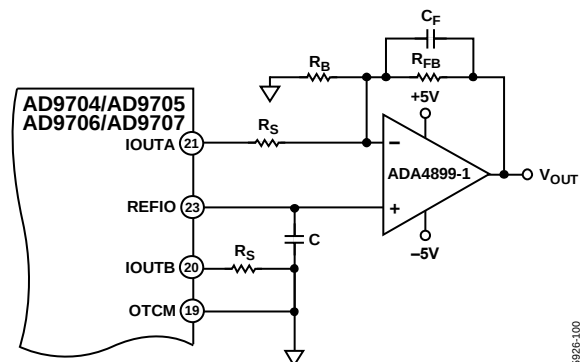


図 90. 単電源でのシングルエンド・バッファ

オペアンプを使った差動バッファ付き出力

図91に示すシングルエンド・バッファの差動バージョンには、デュアル・オペアンプ(図90の回路参照)を使うことができます。同じR-C回路を使って1極の差動ローパス・フィルタを構成して、このフィルタによりDAC出力で発生する高周波イメージを除去してオペアンプ入力に混入しないようにします。帰還抵抗 R_{FB} により、次式に基づきピーク信号振幅が決定されます。

$$V_{OUT} = R_{FB} \times I_{FS}$$

アンプの最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B} \right)$$

$$V_{MIN} = V_{MAX} - V_{OUT}$$

出力のコモン・モード電圧は次式から求めます。

$$V_{CM} = V_{MAX} - \frac{V_{OUT}}{2}$$

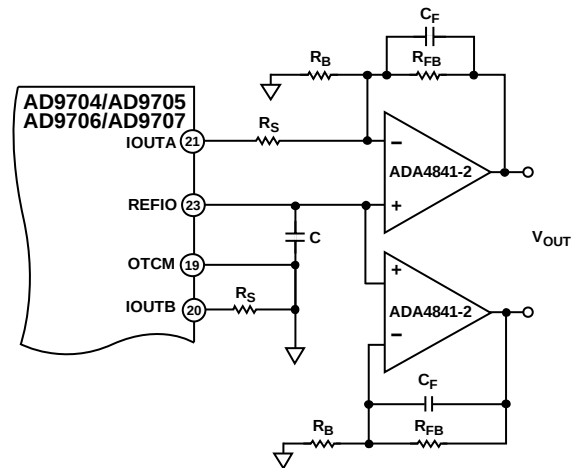


図 91. 単電源での差動バッファ

05926-101

評価ボード

概要

TxDAC ファミリの評価ボードを使うと、すべての TxDAC 製品のセットアップとテストを容易に行うことができます。十分注意して行われたレイアウトと回路デザイン、それにプロトタイプ領域の組み合わせにより、高分解能の低消費電力高速変換を必要とするアプリケーションでの AD9704/AD9705/AD9706/AD9707 の容易で効果的な評価が可能です。

AD9704/AD9705/AD9706/AD9707 評価ボードを使うと、デバイスを種々の構成で動作させる柔軟性を持つことができます。出力構成としては、トランス結合出力、抵抗終端出力、反転/非反転出力、差動アンプ出力などが可能です。デジタル入力は、種々のデータ・パターン・ジェネレータから駆動できるようにデザインされており、正しい負荷終端を行うための抵抗回路オプションがボードに内蔵されています。また、内蔵リファレンスまたは外付けリファレンスを使用して AD9704/AD9705/AD9706/AD9707 を動作させること、あるいはパワーダウン機能を調べることもできます。

評価ボードの回路図

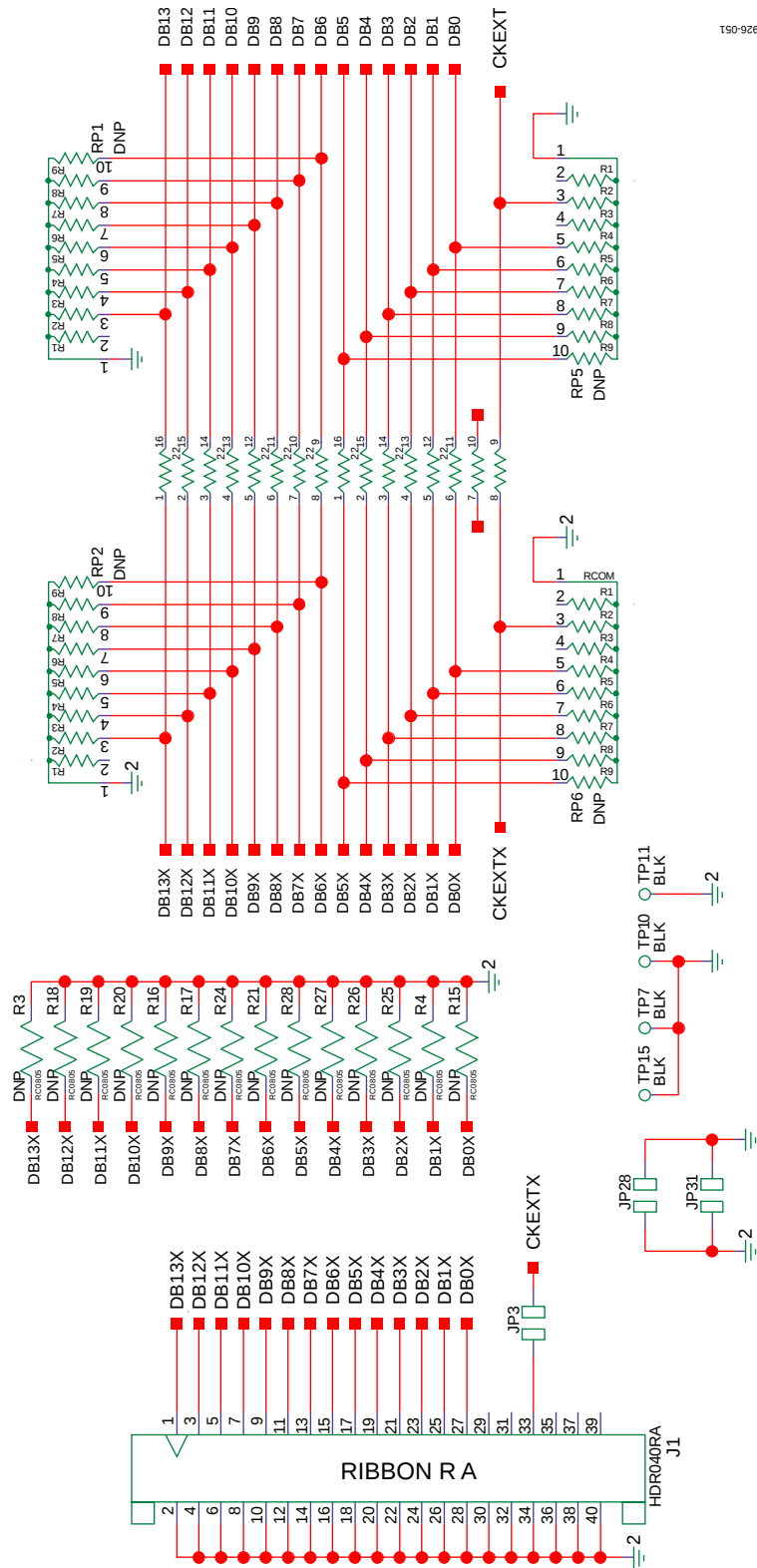
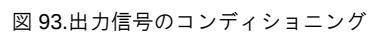
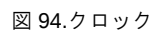
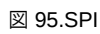


図 92. デジタル入力







05926-077

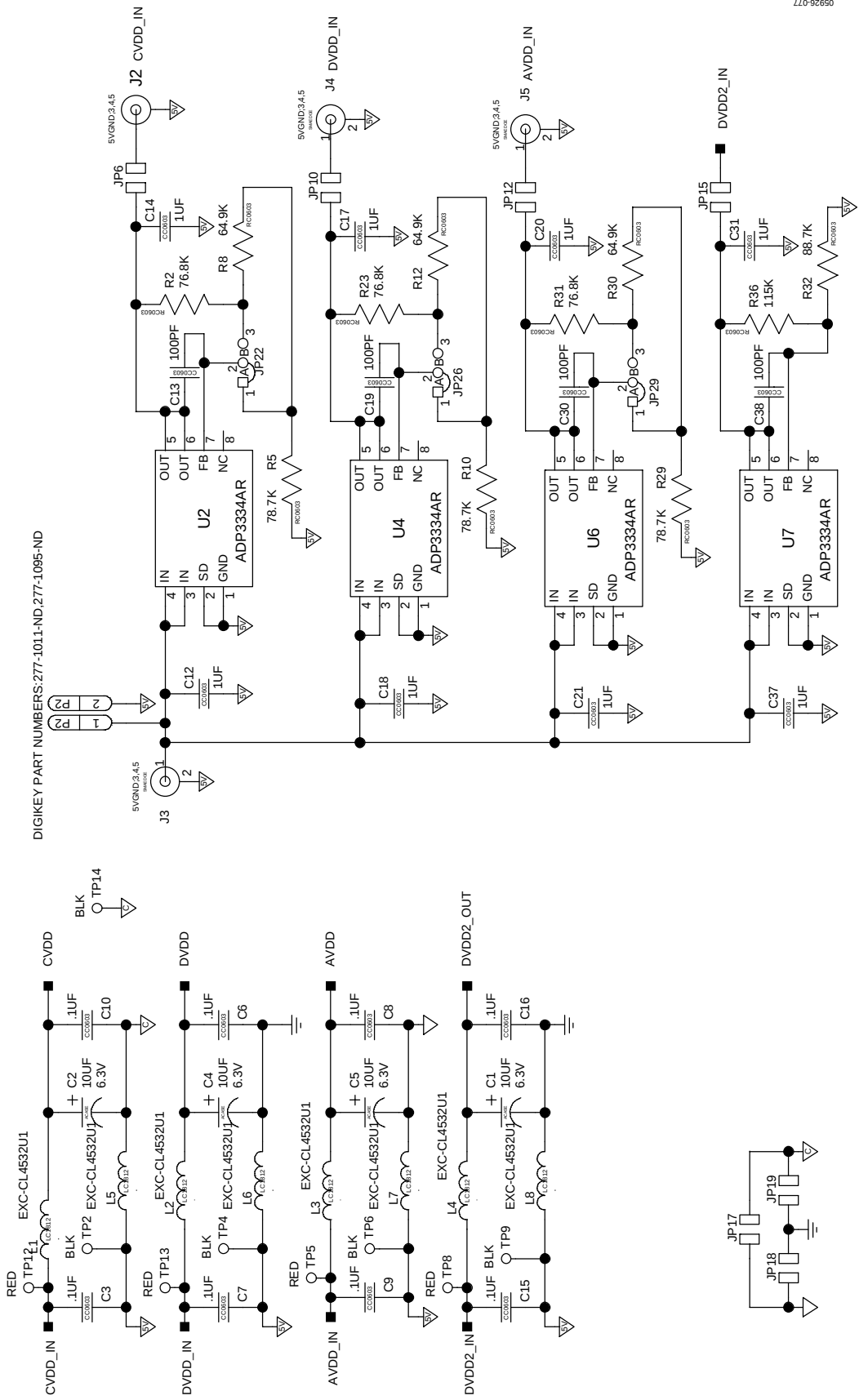


图 96. 电源

評価ボードのレイアウト

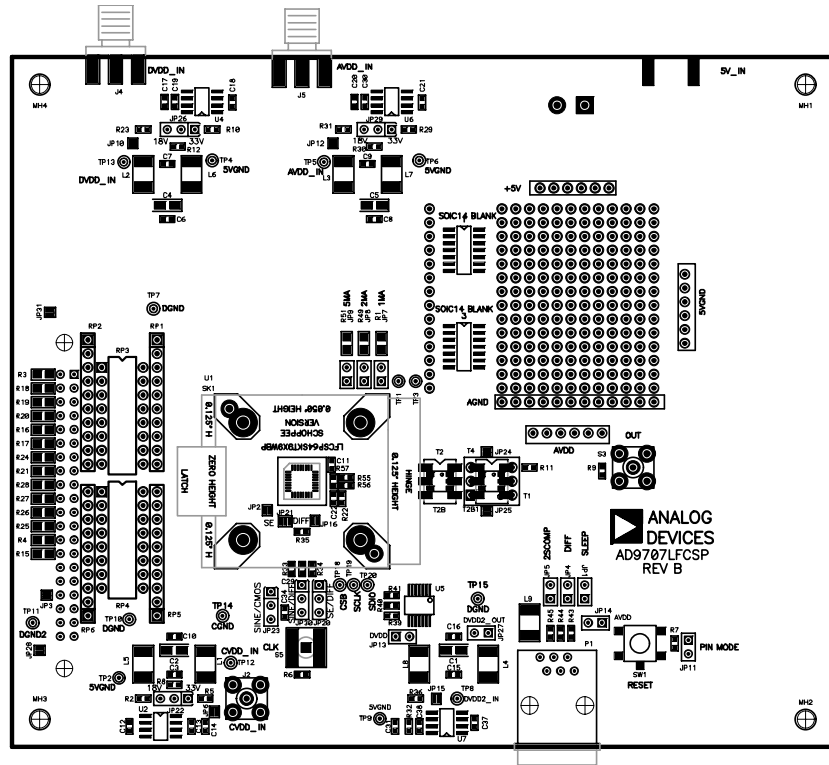


図 97.アセンブリ表面

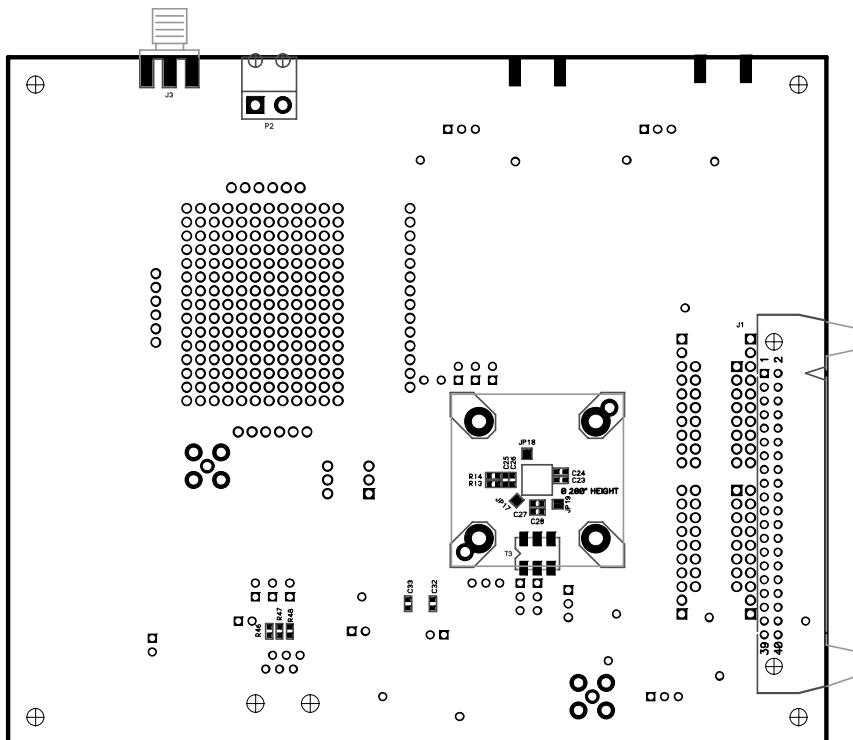


図 98.アセンブリ裏面

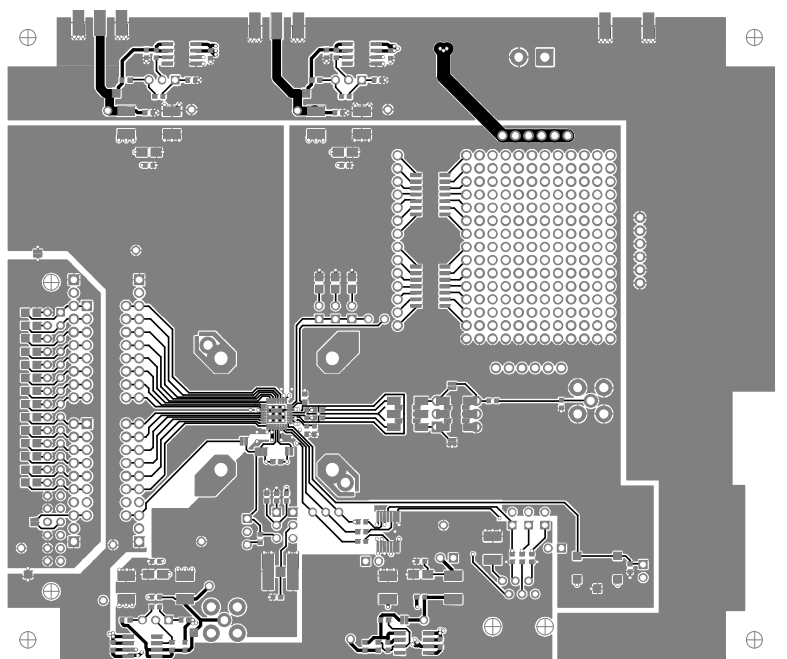


図 99. レイヤー1—表面

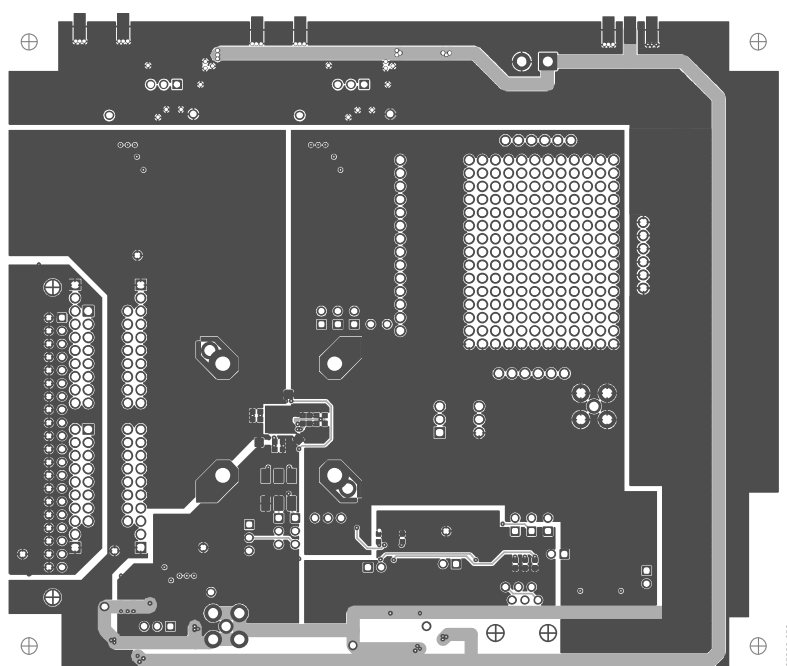


図 100. レイヤー4—裏面

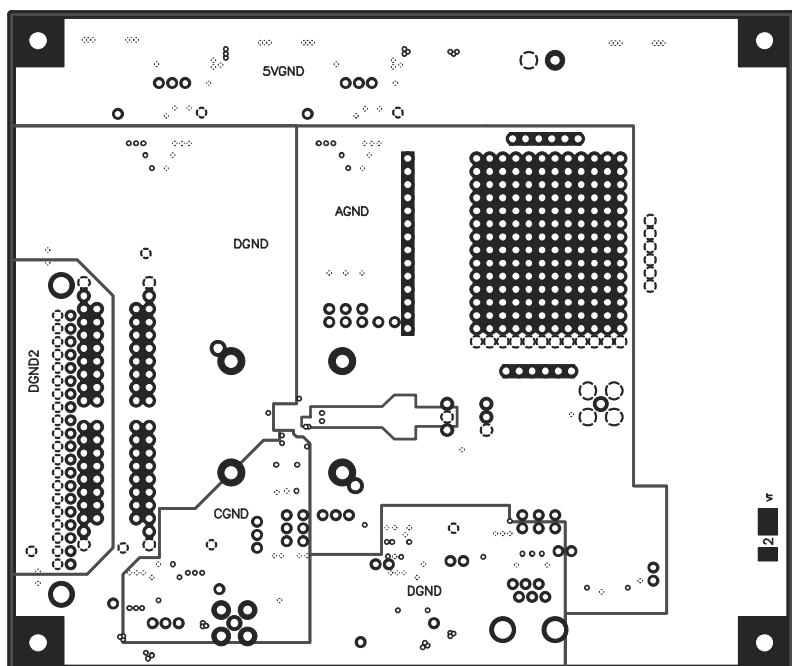


図 101. レイヤー2—グラウンド・プレーン

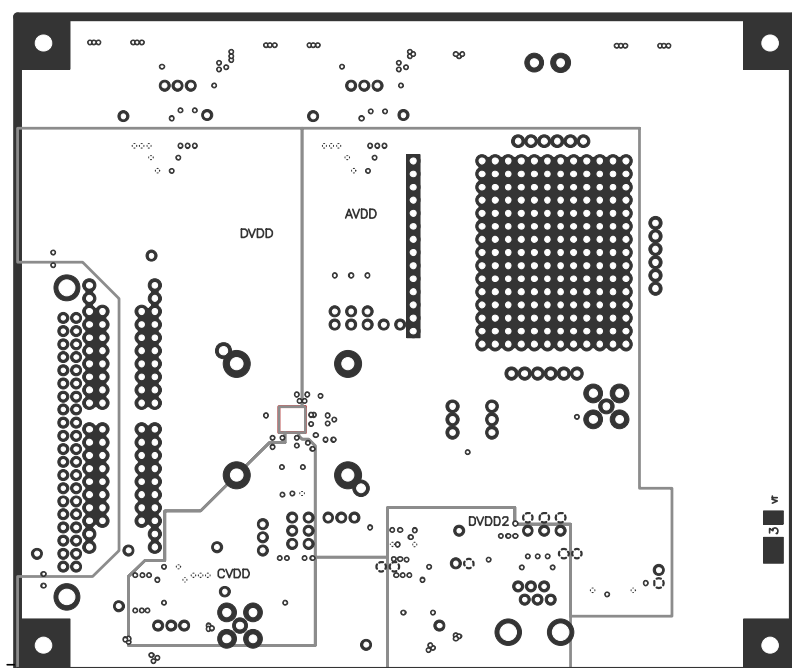
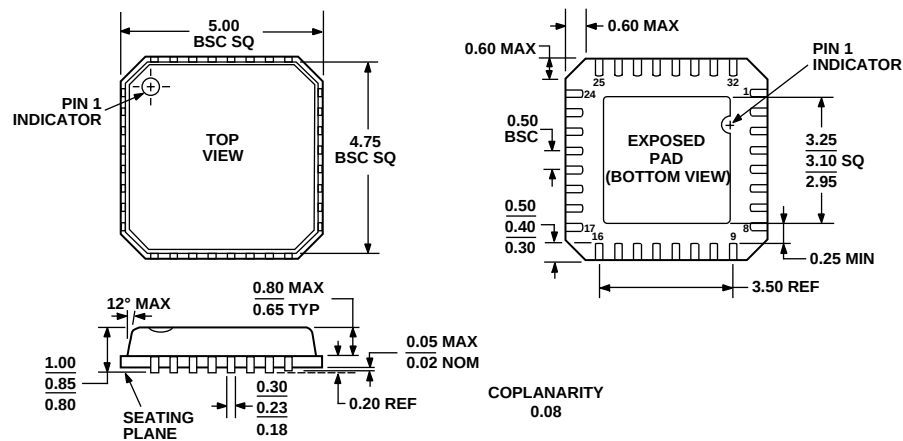


図 102. レイヤー3—電源プレーン

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2
図 103.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
5 mm × 5 mm、極薄クワッド
(CP-32-2)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9704BCPZ ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9704BCPZRL7 ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9705BCPZ ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9705BCPZRL7 ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9706BCPZ ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9706BCPZRL7 ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9707BCPZ ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9707BCPZRL7 ¹	−40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9704-EB		Evaluation Board	
AD9705-EB		Evaluation Board	
AD9706-EB		Evaluation Board	
AD9707-EB		Evaluation Board	

¹ Z = RoHS 準拠製品。