デバイダ、遅延調整、3出力を内蔵する1.6GHzクロック分配IC

AD9514

特長

差動クロック入力：1.6GHz
プログラマブルなデバイダ：3個
　分周範囲：1～32
　遅延粗調整のための位相選択
独立した1.6GHz LVPECLクロック出力×2本
　ブロードバンド出力増加ジッタ：225fs rms
独立した800/250MHz LVDS/CMOSクロック出力×1本
　ブロードバンド出力増加ジッタ：300/290fs rms
　遅延時間：最長10ns
デバイスは4レベルのロジック・ピンで設定
省スペースの32ピンLFCSP

アプリケーション

低ジッタ、低位相ノイズのクロック分配
高速ADC、DAC、DDS、DDC、DUC、MxFEの
　駆動用クロック
高性能ワイヤレス・トランシーバ
高性能計測機器
ブロードバンドのインフラストラクチャ
ATE

機能ブロック図

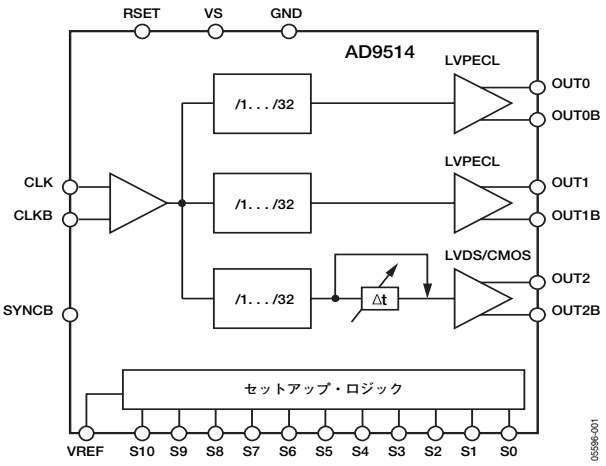


図1

概要

AD9514はマルチ出力クロック分配器で、データ・コンバータの性能を最大限に引き出すために、設計により低ジッタと低位相ノイズの性能を強化しています。AD9514は、位相ノイズとジッタの条件が厳しいその他のアプリケーションにも利用できます。

独立したクロック出力が3本あり、そのうち2本はLVPECLです。第3の出力は、LVDSまたはCMOSレベルに設定できます。LVPECL出力は1.6GHzまで動作できます。3番目の出力は、LVDSモードでは800MHz、CMOSモードでは250MHzまで動作できます。

各出力にはプログラマブルなデバイダがあり、1～32までの任意の整数で分周するように設定できます。クロック出力間の位相はデバイダの位相選択機能を使用して変更できます。この位相選択機能は、タイミングの粗調整として機能します。

LVDS/CMOS出力は、選択可能な3つのフルスケール遅延値（1.5ns、5ns、10ns）を持つ遅延回路を備えています。なお、3つの遅延値はそれぞれ16ステップの微調整が可能です。

AD9514の動作やセットアップには、外付けコントローラは不要です。デバイスは、4レベル・ロジックを使用して11本のピン（S0～S10）によりプログラミングされます。プログラミング・ピンは、$1/3V_S$に内部的にバイアスされます。VREFピンは、$2/3V_S$のレベルを提供します。V_S（3.3V）とGND（0V）は、残りの2つのロジック・レベルを提供します。

AD9514は、ピコ秒未満のジッタをもつエンコード信号を使うことによりコンバータの性能を最大化できるようなデータ・コンバータ駆動用クロックとしてのアプリケーションに最適です。

AD9514は、32ピンLFCSPを採用しており、3.3Vの単電源で動作します。温度範囲は－40～＋85℃です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社
本　　社／〒105-6891 東京都港区海岸1-16-1　ニューピア竹芝サウスタワービル
電話03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36　新大阪MTビル2号
電話06（6350）6868

目次

特長 1
アプリケーション 1
機能ブロック図 1
概要 1
改訂履歴 2
仕様 3
　クロック入力 3
　クロック出力 3
　タイミング特性 4
　クロック出力の位相ノイズ 5
　クロック出力での増加時間ジッタ 8
　SYNCBピン、VREFピン、セットアップ・ピン 10
　電源 10
タイミング図 11
絶対最大定格 12
　熱特性 12
　ESDに関する注意 12
ピン配置と機能の説明 13
用語の説明 14
代表的な性能特性 15
機能説明 18
　概要 18
　CLK、CLKB—差動クロック入力 18
　同期 18
　パワーオン同期 18
　SYNCB 18
　R_{SET}抵抗 19
　VREF 19
　セットアップ設定 19
　デバイダの位相オフセット 22
　遅延ブロック 22
　出力 23
　電源 23
　　金属性の露出パドル 24
　電源管理 24
アプリケーション 25
　AD9514の出力をADCのクロック・アプリケーションに使用する方法 25
　LVPECLのクロック分配 25
　LVDSのクロック分配 26
　CMOSのクロック分配 26
　セットアップ・ピン（S0～S10） 26
　電源とグラウンドについての考慮事項、および電源電圧変動除去比 26
　位相ノイズとジッタの測定条件設定 27
外形寸法 28
　オーダー・ガイド 28

改訂履歴

7/05—Revision 0: Initial Version

仕様

特に指定のない限り、代表（typ）値は、V_S＝3.3V±5%、T_A＝25℃、R_{SET}＝4.12kΩ、LVPECL V_{OD}＝790mVのときの値です。最小（min）値と最大（max）値は、V_SとT_A（−40〜＋85℃）の最大変動に対する値です。

クロック入力

表1

パラメータ	Min	Typ	Max	単位	テスト条件／備考
クロック入力（CLK）					
入力周波数[1]	0		1.6	GHz	
入力感度[1]		150		mVp-p	
入力コモンモード電圧（V_{CM}）	1.5	1.6	1.7	V	セルフバイアス、ACカップリングが可能
入力コモンモード電圧範囲（V_{CMR}）	1.3		1.8	V	200mVp-p信号を印加、DCカップリング
入力感度（シングルエンド）		150		mVp-p	CLKはACカップリング、CLKBはRFグラウンドにACバイパス
入力抵抗	4.0	4.8	5.6	kΩ	セルフバイアス
入力容量		2		pF	

[1] ジッタ、位相ノイズ、および伝搬遅延の仕様を満たすために、1V/nsのスルーレートが必要です。

クロック出力

表2

パラメータ	Min	Typ	Max	単位	テスト条件／備考
LVPECLクロック出力					終端＝50Ω〜V_S−2V
（OUT0、OUT1）差動					
出力周波数	0		1.6	GHz	
出力ハイレベル電圧（V_{OH}）	V_S−1.1	V_S−0.96	V_S−0.82	V	
出力ローレベル電圧（V_{OL}）	V_S−1.90	V_S−1.76	V_S−1.52	V	
出力差動電圧（V_{OD}）	640	790	960	mV	
LVDSクロック出力					終端＝100Ω差動
（OUT2）差動					
出力周波数	0		800	MHz	
差動出力電圧（V_{OD}）	250	350	450	mV	
ΔV_{OD}			30	mV	
出力オフセット電圧（V_{OS}）	1.125	1.23	1.375	V	
ΔV_{OS}			25	mV	
短絡電流（I_{SA}、I_{SB}）		14	24	mA	出力をGNDに短絡
CMOSクロック出力					シングルエンドでの測定値、終端はオープン
（OUT2）シングルエンド					相補出力オン（OUT2B）
出力周波数	0		250	MHz	5pF負荷
出力ハイレベル電圧（V_{OH}）	V_S−0.1			V	@1mA負荷
出力ローレベル電圧（V_{OL}）			0.1	V	@1mA負荷

タイミング特性

CLK入力スルーレート＝1V/ns以上

表3

パラメータ	Min	Typ	Max	単位	テスト条件／備考
LVPECL					終端＝50Ω～V_S－2V
出力立上がり時間（t_{RP}）		60	100	ps	20～80%、差動で測定
出力立下がり時間（t_{FP}）		60	100	ps	80～20%、差動で測定
伝搬遅延（t_{PECL}、CLKからLVPECL出力）					
分周＝1	355	480	635	ps	
分周＝2～32	395	530	710	ps	
温度による変動		0.5		ps/°C	
出力スキュー（LVPECL）					
同一デバイス上のOUT0からOUT1へ（t_{SKP}[1]）	－50	0	＋55	ps	
複数デバイス間の2つのLVPECL出力（t_{SKP_AB}[2]）			125	ps	
複数デバイス間の同一LVPECL出力（t_{SKP_AB}[2]）			125	ps	
LVDS					終端＝100Ω差動、3.5mA
出力立上がり時間（t_{RL}）		200	350	ps	20～80%、差動で測定
出力立下がり時間（t_{FL}）		210	350	ps	80～20%、差動で測定
伝搬遅延（t_{LVDS}、CLKからLVDS出力）					オプションの遅延をオフ
分周＝1	1.00	1.25	1.55	ns	
分周＝2～32	1.05	1.30	1.60	ns	
温度による変動		0.9		ps/°C	
出力スキュー（LVDS）					オプションの遅延をオフ
複数デバイス間のLVDS出力（t_{SKV_AB}[2]）			230	ps	
CMOS					B出力は反転、終端＝オープン
出力立上がり時間（t_{RC}）		650	865	ps	20～80%、C_{LOAD}＝3pFシングルエンド
出力立下がり時間（t_{FC}）		650	990	ps	80～20%、C_{LOAD}＝3pFシングルエンド
伝搬遅延（t_{CMOS}、CLKからCMOS出力）					オプションの遅延をオフ
分周＝1	1.10	1.45	1.75	ns	
分周＝2～32	1.15	1.50	1.80	ns	
温度による変動		1		ps/°C	
出力スキュー（CMOS）					オプションの遅延をオフ
複数デバイス間のCMOS出力（t_{SKC_AB}[2]）			300	ps	
LVPECLからLVDS出力					
出力遅延（t_{SKV_C}）	560	790	950	ps	
LVPECLからCMOS出力					
出力遅延（t_{SKV_C}）	700	970	1150	ps	
遅延調整（OUT2、LVDSとCMOS）					
S0＝1/3					
ゼロスケール遅延時間[3]		0.34		ns	
温度によるゼロスケール変動		0.20		ps/°C	
フルスケール遅延時間[3]		1.7		ns	
温度によるフルスケール変動		－0.38		ps/°C	
S0＝2/3					
ゼロスケール遅延時間[3]		0.45		ns	
温度によるゼロスケール変動		0.31		ps/°C	
フルスケール遅延時間[3]		5.9		ns	
温度によるフルスケール変動		－1.3		ps/°C	

パラメータ	Min	Typ	Max	単位	テスト条件／備考
S0＝1					
ゼロスケール遅延時間[3]		0.56		ns	
温度によるゼロスケール変動		0.47		ps/°C	
フルスケール遅延時間[3]		11.4		ns	
温度によるフルスケール変動		−5		ps/°C	
直線性（DNL）		0.2		LSB	
直線性（INL）		0.2		LSB	

[1] 同じ電圧と温度で動作する単一デバイスにおける任意の2つの類似遅延パス間の差異。
[2] 同じ電圧と温度で動作する複数のデバイス間における任意の2つの類似遅延パス間の差異。
[3] 遅延増分（伝搬遅延を含まず）。

クロック出力の位相ノイズ

CLK入力スルーレート＝1V/ns以上

表4

パラメータ	Min	Typ	Max	単位	テスト条件／備考
CLKからLVPECL出力の増加位相ノイズ					
CLK＝622.08MHz、OUT＝622.08MHz					
分周＝1					
@10Hzオフセット		−125		dBc/Hz	
@100Hzオフセット		−132		dBc/Hz	
@1kHzオフセット		−140		dBc/Hz	
@10kHzオフセット		−148		dBc/Hz	
@100kHzオフセット		−153		dBc/Hz	
＞1MHzオフセット		−154		dBc/Hz	
CLK＝622.08MHz、OUT＝155.52MHz					
分周＝4					
@10Hzオフセット		−128		dBc/Hz	
@100Hzオフセット		−140		dBc/Hz	
@1kHzオフセット		−148		dBc/Hz	
@10kHzオフセット		−155		dBc/Hz	
@100kHzオフセット		−161		dBc/Hz	
＞1MHzオフセット		−161		dBc/Hz	
CLK＝622.08MHz、OUT＝38.88MHz					
分周＝16					
@10Hzオフセット		−135		dBc/Hz	
@100Hzオフセット		−145		dBc/Hz	
@1kHzオフセット		−158		dBc/Hz	
@10kHzオフセット		−165		dBc/Hz	
@100kHzオフセット		−165		dBc/Hz	
＞1MHzオフセット		−166		dBc/Hz	
CLK＝491.52MHz、OUT＝61.44MHz					
分周＝8					
@10Hzオフセット		−131		dBc/Hz	
@100Hzオフセット		−142		dBc/Hz	
@1kHzオフセット		−153		dBc/Hz	
@10kHzオフセット		−160		dBc/Hz	
@100kHzオフセット		−165		dBc/Hz	
＞1MHzオフセット		−165		dBc/Hz	

パラメータ	Min	Typ	Max	単位	テスト条件／備考
CLK＝491.52MHz、OUT＝245.76MHz					
分周＝2					
@10Hzオフセット		−125		dBc/Hz	
@100Hzオフセット		−132		dBc/Hz	
@1kHzオフセット		−140		dBc/Hz	
@10kHzオフセット		−151		dBc/Hz	
@100kHzオフセット		−157		dBc/Hz	
＞1MHzオフセット		−158		dBc/Hz	
CLK＝245.76MHz、OUT＝61.44MHz					
分周＝4					
@10Hzオフセット		−138		dBc/Hz	
@100Hzオフセット		−144		dBc/Hz	
@1kHzオフセット		−154		dBc/Hz	
@10kHzオフセット		−163		dBc/Hz	
@100kHzオフセット		−164		dBc/Hz	
＞1MHzオフセット		−165		dBc/Hz	
CLKからLVDS出力の増加位相ノイズ					
CLK＝622.08MHz、OUT＝622.08MHz					
分周＝1					
@10Hzオフセット		−100		dBc/Hz	
@100Hzオフセット		−110		dBc/Hz	
@1kHzオフセット		−118		dBc/Hz	
@10kHzオフセット		−129		dBc/Hz	
@100kHzオフセット		−135		dBc/Hz	
@1MHzオフセット		−140		dBc/Hz	
>10MHzオフセット		−148		dBc/Hz	
CLK＝622.08MHz、OUT＝155.52MHz					
分周＝4					
@10Hzオフセット		−112		dBc/Hz	
@100Hzオフセット		−122		dBc/Hz	
@1kHzオフセット		−132		dBc/Hz	
@10kHzオフセット		−142		dBc/Hz	
@100kHzオフセット		−148		dBc/Hz	
@1MHzオフセット		−152		dBc/Hz	
>10MHzオフセット		−155		dBc/Hz	
CLK＝491.52MHz、OUT＝245.76MHz					
分周＝2					
@10Hzオフセット		−108		dBc/Hz	
@100Hzオフセット		−118		dBc/Hz	
@1kHzオフセット		−128		dBc/Hz	
@10kHzオフセット		−138		dBc/Hz	
@100kHzオフセット		−145		dBc/Hz	
@1MHzオフセット		−148		dBc/Hz	
>10MHzオフセット		−154		dBc/Hz	

パラメータ	Min	Typ	Max	単位	テスト条件／備考
CLK＝491.52MHz、OUT＝122.88MHz					
分周＝4					
@10Hzオフセット		−118		dBc/Hz	
@100Hzオフセット		−129		dBc/Hz	
@1kHzオフセット		−136		dBc/Hz	
@10kHzオフセット		−147		dBc/Hz	
@100kHzオフセット		−153		dBc/Hz	
@1MHzオフセット		−156		dBc/Hz	
>10MHzオフセット		−158		dBc/Hz	
CLK＝245.76MHz、OUT＝245.76MHz					
分周＝1					
@10Hzオフセット		−108		dBc/Hz	
@100Hzオフセット		−118		dBc/Hz	
@1kHzオフセット		−128		dBc/Hz	
@10kHzオフセット		−138		dBc/Hz	
@100kHzオフセット		−145		dBc/Hz	
@1MHzオフセット		−148		dBc/Hz	
>10MHzオフセット		−155		dBc/Hz	
CLK＝245.76MHz、OUT＝122.88MHz					
分周＝2					
@10Hzオフセット		−118		dBc/Hz	
@100Hzオフセット		−127		dBc/Hz	
@1kHzオフセット		−137		dBc/Hz	
@10kHzオフセット		−147		dBc/Hz	
@100kHzオフセット		−154		dBc/Hz	
@1MHzオフセット		−156		dBc/Hz	
>10MHzオフセット		−158		dBc/Hz	
CLKからCMOS出力の増加位相ノイズ					
CLK＝245.76MHz、OUT＝245.76MHz					
分周＝1					
@10Hzオフセット		−110		dBc/Hz	
@100Hzオフセット		−121		dBc/Hz	
@1kHzオフセット		−130		dBc/Hz	
@10kHzオフセット		−140		dBc/Hz	
@100kHzオフセット		−145		dBc/Hz	
@1MHzオフセット		−149		dBc/Hz	
>10MHzオフセット		−156		dBc/Hz	
CLK＝245.76MHz、OUT＝61.44MHz					
分周＝4					
@10Hzオフセット		−125		dBc/Hz	
@100Hzオフセット		−132		dBc/Hz	
@1kHzオフセット		−143		dBc/Hz	
@10kHzオフセット		−152		dBc/Hz	
@100kHzオフセット		−158		dBc/Hz	
@1MHzオフセット		−160		dBc/Hz	
>10MHzオフセット		−162		dBc/Hz	

パラメータ	Min	Typ	Max	単位	テスト条件／備考
CLK＝78.6432MHz、OUT＝78.6432MHz					
分周＝1					
@10Hzオフセット		−122		dBc/Hz	
@100Hzオフセット		−132		dBc/Hz	
@1kHzオフセット		−140		dBc/Hz	
@10kHzオフセット		−150		dBc/Hz	
@100kHzオフセット		−155		dBc/Hz	
@1MHzオフセット		−158		dBc/Hz	
>10MHzオフセット		−160		dBc/Hz	
CLK＝78.6432MHz、OUT＝39.3216MHz					
分周＝2					
@10Hzオフセット		−128		dBc/Hz	
@100Hzオフセット		−136		dBc/Hz	
@1kHzオフセット		−146		dBc/Hz	
@10kHzオフセット		−155		dBc/Hz	
@100kHzオフセット		−161		dBc/Hz	
＞1MHzオフセット		−162		dBc/Hz	

クロック出力での増加時間ジッタ

表5

パラメータ	Min	Typ	Max	単位	テスト条件／備考
LVPECL出力での増加時間ジッタ					
CLK＝622.08MHz LVPECL（OUT0とOUT1）＝622.08MHz 分周＝1		40		fs rms	BW＝12kHz−20MHz OUT2オフ
CLK＝622.08MHz LVPECL（OUT0とOUT1）＝155.52MHz 分周＝4		55		fs rms	BW＝12kHz−20MHz OUT2オフ
CLK＝400MHz LVPECL（OUT0とOUT1）＝100MHz 分周＝4		215		fs rms	ADCのS/N比算出法で計算 OUT2オフ
CLK＝400MHz LVPECL（OUT0、OUT1）＝100MHz 分周＝4		215		fs rms	ADCのS/N比算出法で計算 他のLVPECLとOUT2 LVDSは同じ周波数
CLK＝400MHz LVPECL（OUT0またはOUT1）＝100MHz 分周＝4 他のLVPECL＝50MHz LVDS（OUT2）＝50MHz		225		fs rms	ADCのS/N比算出法で計算 干渉 干渉
CLK＝400MHz LVPECL（OUT0またはOUT1）＝100MHz 分周＝4 他のLVPECL＝50MHz CMOS（OUT2）＝50MHz		230		fs rms	ADCのS/N比算出法で計算 干渉 干渉

パラメータ	Min	Typ	Max	単位	テスト条件／備考
LVDS出力での増加時間ジッタ					遅延オフ
CLK＝400MHz LVDS（OUT2）＝100MHz 分周＝4		300		fs rms	ADCのS/N比算出法で計算 OUT0は同じ周波数、OUT1はオフ
CLK＝400MHz LVDS（OUT2）＝100MHz 分周＝4 両方のLVPECL＝50MHz		350		fs rms	ADCのS/N比算出法で計算 干渉
CMOS出力での増加時間ジッタ					遅延オフ
CLK＝400MHz CMOS（OUT2）＝100MHz 分周＝4		290		fs rms	ADCのS/N比算出法で計算 OUT0は同じ周波数、OUT1はオフ
CLK＝400MHz CMOS（OUT2）＝100MHz 分周＝4 両方のLVPECL＝50MHz		315		fs rms	ADCのS/N比算出法で計算 干渉
遅延ブロックでの増加時間ジッタ[1]					100MHz出力、増分ジッタ
遅延FS＝1.5ns微調整00000		0.71		ps rms	
遅延FS＝1.5ns微調整11111		1.2		ps rms	
遅延FS＝5ns微調整00000		1.3		ps rms	
遅延FS＝5ns微調整11111		2.7		ps rms	
遅延FS＝10ns微調整00000		2.0		ps rms	
遅延FS＝10ns微調整11111		2.8		ps rms	

[1] この値は増分であり、遅延なしのLVDS出力やCMOS出力のジッタとは別です。合計ジッタを概算するときは、2乗和の平方根（RSS）則を使用して、この値にLVDS出力またはCMOS出力のジッタを加算します。

SYNCBピン、VREFピン、セットアップ・ピン

表6

パラメータ	Min	Typ	Max	単位	テスト条件／備考
SYNCB					
ロジック・ハイ	2.7			V	
ロジック・ロー			0.40	V	
容量		2		pF	
VREF					
出力電圧	$0.62V_S$		$0.76V_S$	V	最小～最大（0～1mAの負荷）
S0～S10					
レベル					
0			$0.1V_S$	V	
1/3	$0.2V_S$		$0.45V_S$	V	
2/3	$0.55V_S$		$0.8V_S$	V	
1	$0.9V_S$			V	

電源

表7

パラメータ	Min	Typ	Max	単位	テスト条件／備考
パワーオン同期[1] 2.2Vから3.1VへのV_S遷移時間			35	ms	図24を参照。
消費電力	295	405	550	mW	すべての出力がオン。2本のLVPECL（分周＝2）、1本のLVDS（分周＝2）。クロックなし。外付け抵抗の消費電力は含みません。
	380	490	635	mW	すべての出力がオン。2本のLVPECL（分周＝2）、1本のCMOS（分周＝2）。62.5MHz出力（5pF負荷）。
	410	525	680	mW	すべての出力がオン。2本のLVPECL、1本のCMOS（分周＝2）。125MHz出力（5pF負荷）。
各部消費電力デルタ					
デバイダ（分周＝2から分周＝1）	15	30	45	mW	各デバイダ。クロックなし。
LVPECL出力	65	90	125	mW	各出力。クロックなし。
LVDS出力	20	50	85	mW	クロックなし。
CMOS出力（静的）	30	40	50	mW	クロックなし。
CMOS出力（@62.5MHz）	80	110	140	mW	シングルエンド。5pF負荷で62.5MHz出力時。
CMOS出力（@125MHz）	110	150	190	mW	シングルエンド。5pF負荷で125MHz出力時。
遅延ブロック	30	45	65	mW	1.5ns fsまでオフ、遅延ワード＝60。62.5MHzでクロック出力。

[1] パワーアップ時に出力の同期を行うために必要なV_S電源の立上がり時間です。重要な要素は、V_Sが2.2Vから3.1Vの範囲を遷移するのに要する時間です。立上がり時間が長すぎる場合、出力は同期しません。

タイミング図

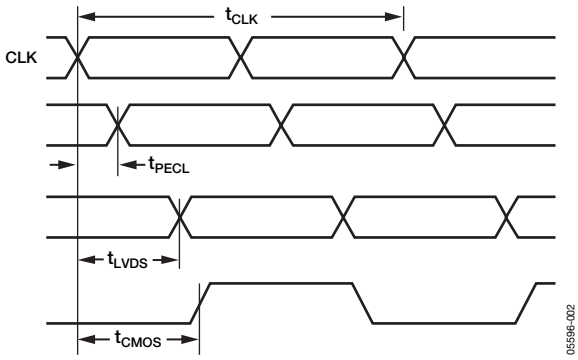


図2. CLK/CLKBからクロック出力までのタイミング（分周＝1モード）

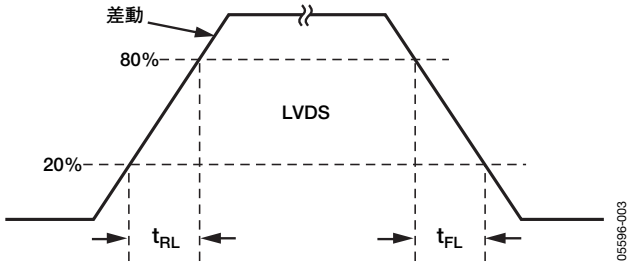


図4. LVDSのタイミング（差動）

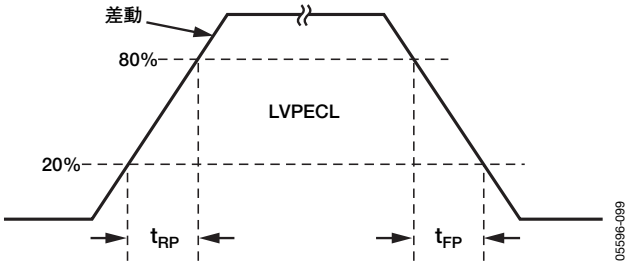


図3. LVPECLのタイミング（差動）

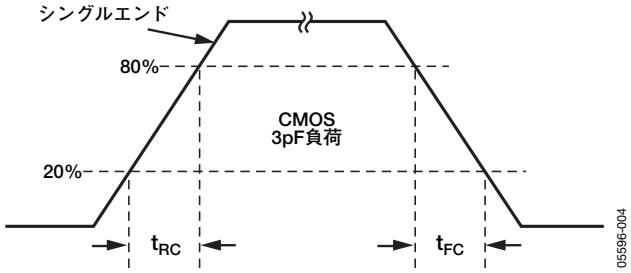


図5. CMOSのタイミング（シングルエンド、3pF負荷）

絶対最大定格

表8

パラメータまたはピン	基準	Min	Max	単位
VS	GND	−0.3	+3.6	V
RSET	GND	−0.3	V_S+0.3	V
CLK	GND	−0.3	V_S+0.3	V
CLK	CLKB	−1.2	+1.2	V
OUT0、OUT1、OUT2	GND	−0.3	V_S+0.3	V
FUNCTION	GND	−0.3	V_S+0.3	V
STATUS	GND	−0.3	V_S+0.3	V
ジャンクション温度[1]			150	°C
保存温度		−65	+150	°C
ピン温度（10秒）			300	°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性[2]

熱抵抗

32ピンLFCSP[3]
θ_{JA}＝36.6℃/W

[1] θ_{JA}については「熱特性」を参照。
[2] 熱抵抗の測定は、EIA/JESD51-7に準拠して自然空冷の4層ボードで実施。
[3] このパッケージの外付けパッドは、ボード上の適切な銅ランドにハンダ付けしてください。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

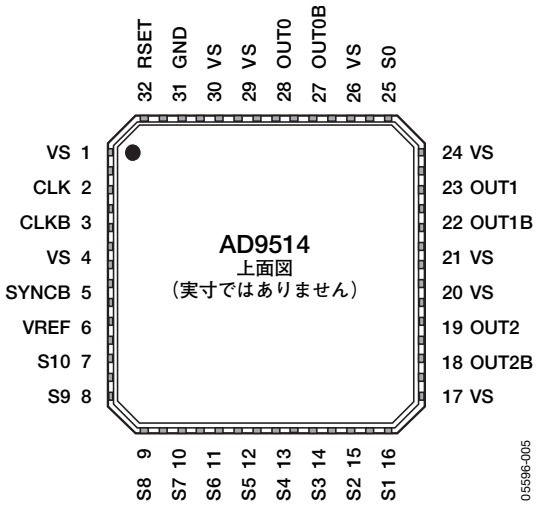


図6.　32ピンLFCSPのピン配置

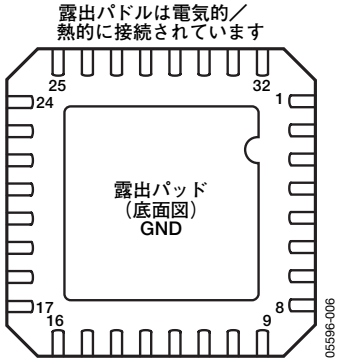


図7.　露出パドル

なお、このパッケージの露出パドルは、電気的に接続されており、同時に熱特性を強化する役割を果たします。デバイスが正常に機能するためには、パドルを熱放散パスだけでなく電気的アース（アナログ）としても機能するPCボードのランドにハンダ付けしてください。

表9.　ピン機能の説明

ピン番号	記号	機能
1、4、17、20、21、24、26、29、30	VS	電源（3.3V）
2	CLK	クロック入力
3	CLKB	相補クロック入力
5	SYNCB	出力の同期に使用。開放のままにしないこと。
6	VREF	S0～S10で4つのロジック・レベルの1つとして使用する$2/3V_S$を提供。
7～16、25	S10～S0	セットアップ・セレクト・ピン。これらは4ステート・ロジックです。ロジック・レベルは、V_S、GND、$1/3V_S$、$2/3V_S$です。VREFピンは$2/3V_S$を与えます。各ピンは$1/3V_S$に内部的にバイアスされるため、そのロジック・レベルを必要とするピンは未接続（NC）のままにします。
18	OUT2B	相補LVDS／反転CMOS出力
19	OUT2	LVDS/CMOS出力
22	OUT1B	相補LVPECL出力
23	OUT1	LVPECL出力
27	OUT0B	相補LVPECL出力
28	OUT0	LVPECL出力
31、露出パドル	GND	グラウンド。チップの裏の露出パドルもGNDです。
32	RSET	グラウンドに接続する電流設定抵抗。公称値＝4.12kΩ

用語の説明

位相ジッタと位相ノイズ

理想的なサイン波は、各サイクルで時間の経過とともに0～360度の連続的な位相進みを持つものと考えられます。しかし実際の信号では、時間が経過するにつれ理想的な位相進みから一定の偏差が見られます。この現象は位相ジッタと呼ばれます。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス（正規）分布として特性化されています。

この位相ジッタにより、周波数領域でサイン波のエネルギーが分散され、連続パワー・スペクトルが発生します。通常、このパワー・スペクトルは、一連の数値として報告されます。この数値は、サイン波（キャリア）からの特定の周波数オフセット位置で単位dBc/Hzで表されます。この値は、キャリア周波数のパワーに対する1Hz帯域幅内に含まれるパワーとの比（dB）です。各測定値は、キャリア周波数からのオフセット周波数を伴います。

オフセット周波数のある区間内（たとえば、10kHz～10MHzの区間）に含まれる合計パワーを求めることは意味のあることです。これは、その周波数オフセット区間での積分位相ノイズと呼ばれ、そのオフセット周波数区間内の位相ノイズに起因する時間ジッタと容易に関連づけることができます。

位相ノイズは、ADC、DAC、RFミキサーの性能に悪影響を与え、コンバータやミキサーのダイナミック・レンジを低下させることになります（ただし、影響の仕方は異なります）。

時間ジッタ

位相ノイズは、周波数領域の現象です。時間領域では、同じ影響が時間ジッタとして現れます。サイン波を観察すると、連続するゼロ交差の時間がずれているのがわかります。方形波の場合、時間ジッタは理想的な（正常な）時間からのエッジのずれとして現れます。いずれの場合も、タイミングが理想値からずれているのが時間ジッタです。これらの変動はランダムであるため、時間ジッタは2乗平均（rms）の単位またはガウス分布の1シグマで規定されます。

DACまたはADCのサンプリング・クロックで発生する時間ジッタは、コンバータのS/N比とダイナミック・レンジを低下させます。サンプリング・クロックのジッタを最小にすると、そのコンバータの最高性能が得られることになります。

増加位相ノイズ

これは、測定中のデバイスやサブシステムから発生する位相ノイズの大きさを表します。すべての外部発振器やクロック源の位相ノイズは除かれています。これにより、さまざまな発振器とクロック源を組み合わせて使用する場合に、システムの合計位相ノイズに対するデバイスの影響が予測できます。なお、発振器やクロック源の位相ノイズは、それぞれが合計値に寄与します。通常、1つの要素から発生する位相ノイズがシステムの位相ノイズを支配します。

増加時間ジッタ

これは、測定中のデバイスやサブシステムから発生する時間ジッタの大きさを表します。外部発振器やクロック源の時間ジッタは除かれています。これにより、さまざまな発振器とクロック源を組み合わせて使用する場合に、システムの合計時間ジッタに対するデバイスの影響が予測できます。なお、発振器やクロック源の時間ジッタは、それぞれが合計値に寄与します。通常、外部発振器とクロック源から発生する時間ジッタがシステムの時間ジッタを支配します。

代表的な性能特性

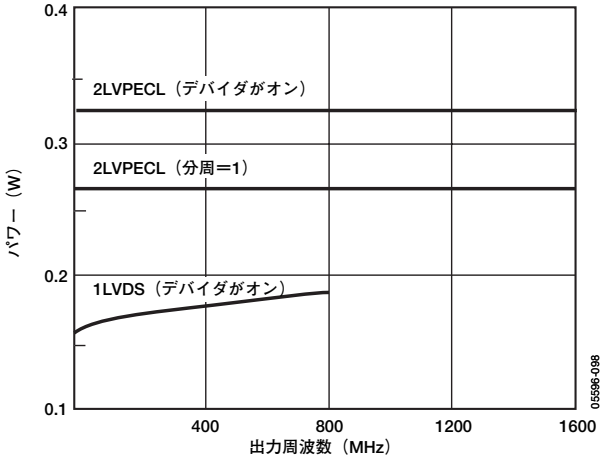


図8.　パワーの周波数特性（LVPECL、LVDS）

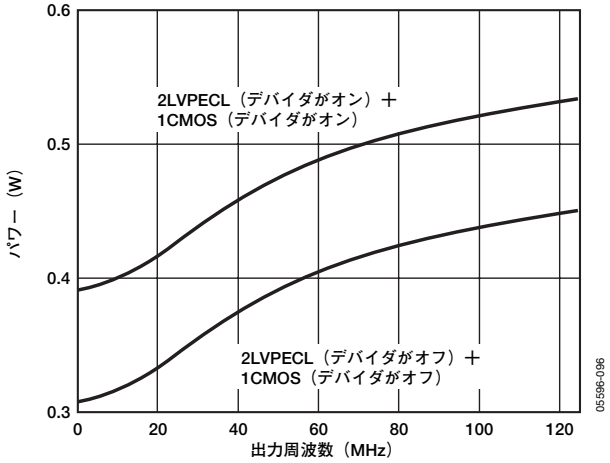


図10.　パワーの周波数特性（LVPECL、CMOS）

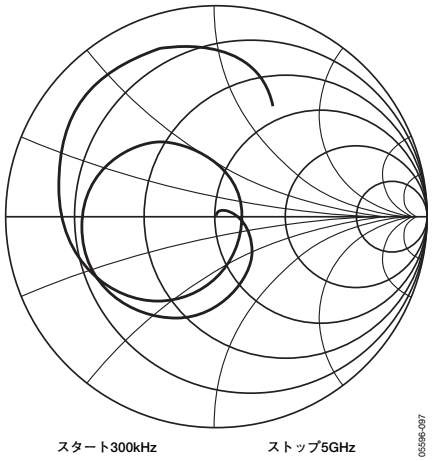


図9.　CLKのスミス・チャート（評価用ボード）

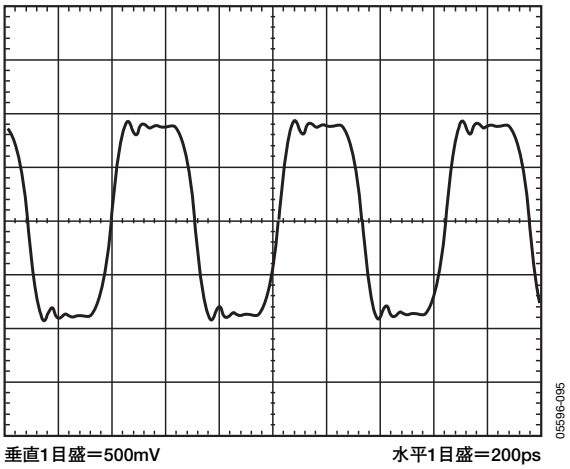


図11.　LVPECLの差動出力（@1600MHz）

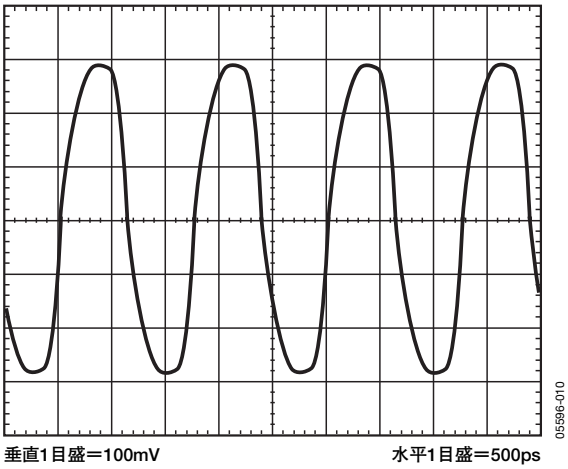


図12.　LVDSの差動出力（@800MHz）

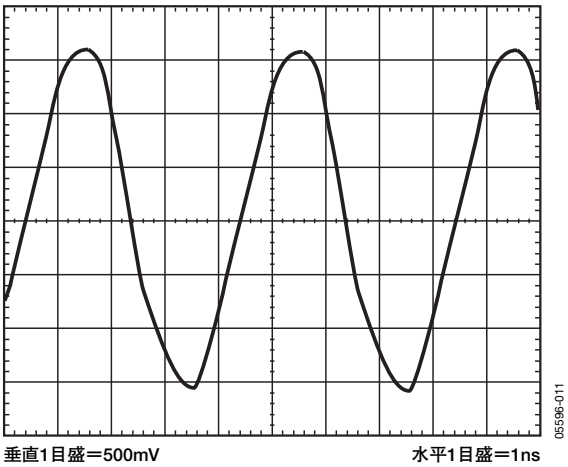


図13.　CMOSのシングルエンド出力
（@250MHz、10pF負荷）

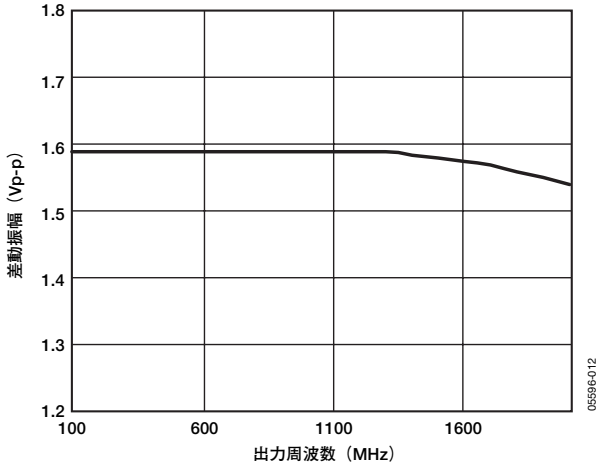


図14.　LVPECLの差動ピークtoピーク出力振幅
の周波数特性

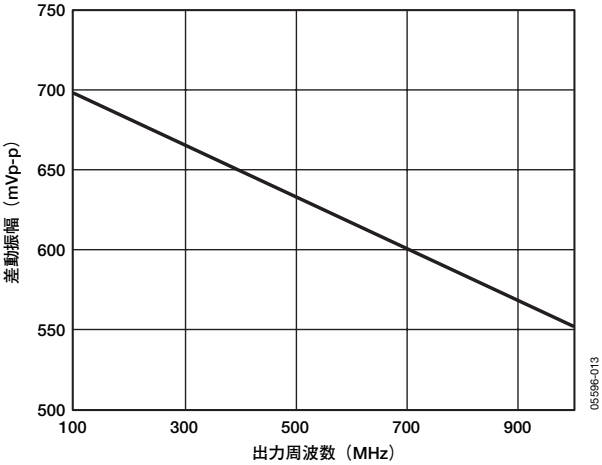


図15.　LVDSの差動ピークtoピーク出力振幅の
周波数特性

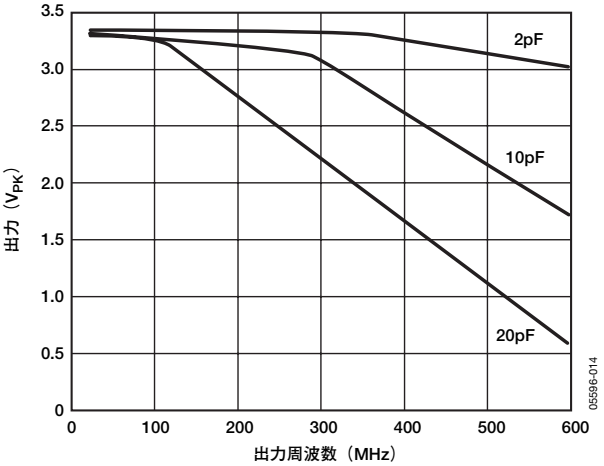


図16.　CMOSのシングルエンド出力振幅の
周波数特性と負荷

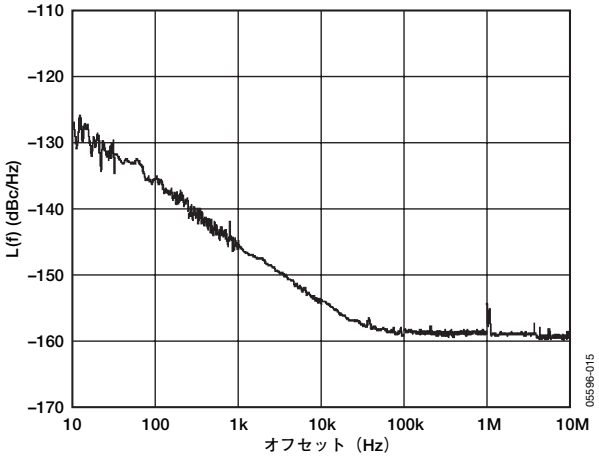


図17.　増加位相ノイズ
（LVPECL分周＝1、245.76MHz）

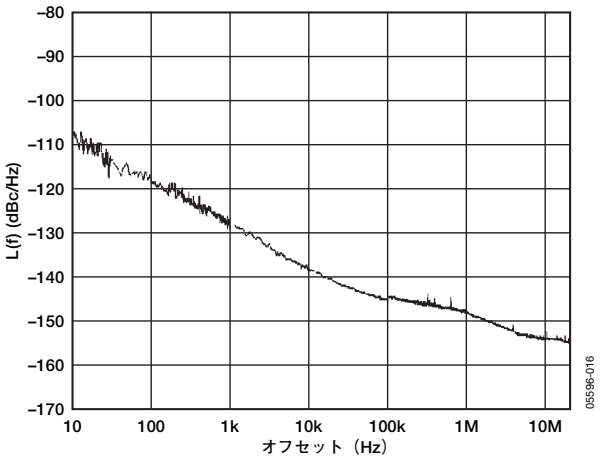


図18.　増加位相ノイズ
（LVDS分周＝1、245.76MHz）

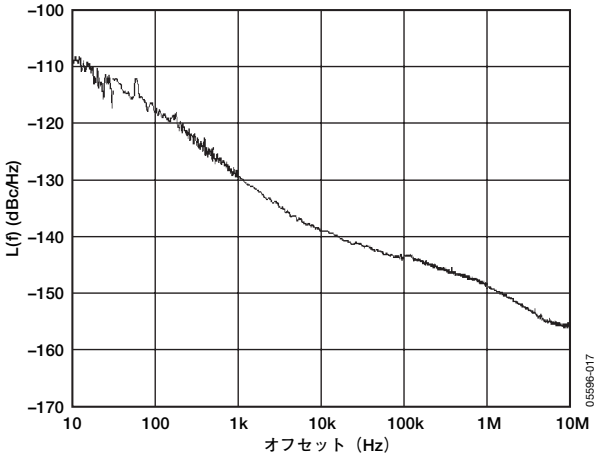


図19.　増加位相ノイズ
（CMOS分周＝1、245.76MHz）

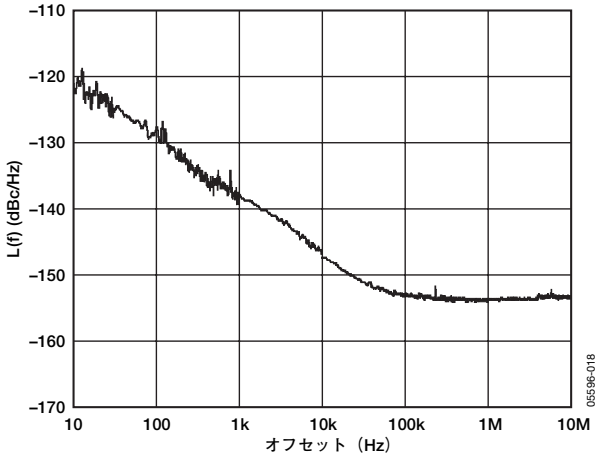


図20.　増加位相ノイズ
（LVPECL分周＝1、622.08MHz）

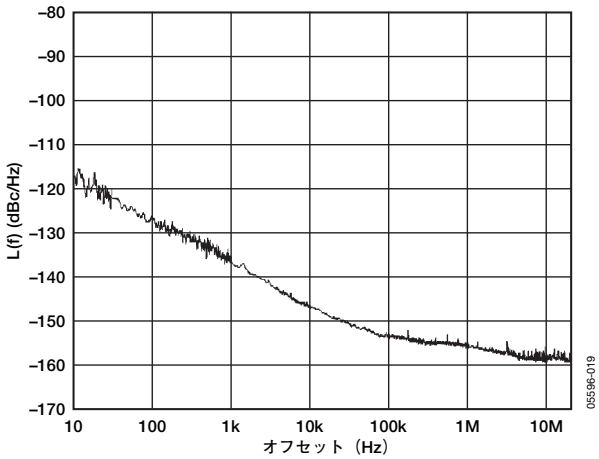


図21.　増加位相ノイズ
（LVDS分周＝2、122.88MHz）

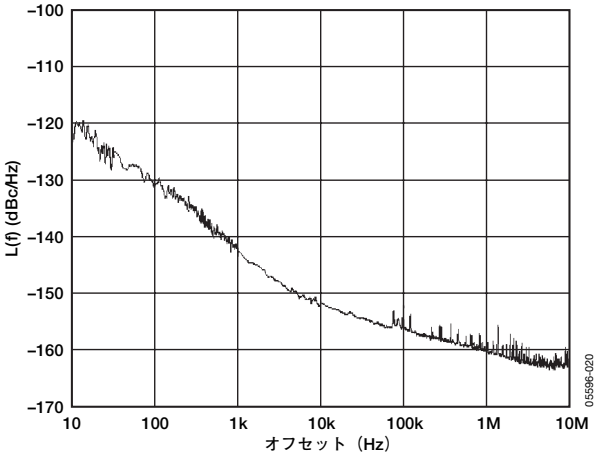


図22.　増加位相ノイズ
（CMOS分周＝4、61.44MHz）

機能説明

概要

AD9514には、その入力クロックを同時に3本までの出力に分配する機能があります。OUT0とOUT1はLVPECLレベルです。OUT2はLVDSレベルまたはCMOSレベルに設定できます。各出力には専用のデバイダがあり、その分周比は1（バイパス）から32までの整数値から選択できます。

OUT2に内蔵されているアナログ遅延ブロックは、1.5ns、5ns、10nsのフルスケール（それぞれ16レベルの微調整が可能）の追加遅延を付加するように設定できます。

CLK、CLKB—差動クロック入力

CLKピンとCLKBピンは差動クロック入力ピンです。この入力は1600MHzまで機能します。ジッタ性能は1V/nsを下回るスルーレートだけ低下します。入力レベルはおおよそ150mVp-pから2Vp-pの間にしてください。これより大きくすると、入力ピン上の保護ダイオードがオンになることがあります。

図23はCLKの入力等価回路を示します。この入力は完全差動でセルフバイアスされています。信号はコンデンサを使用してACカップリングします。シングルエンド入力を使用する必要がある場合は、差動入力の一方の側にACカップリングするだけで対処できます。入力のもう一方の側は、コンデンサを用いてノイズのないACグラウンドにバイパスしてください。

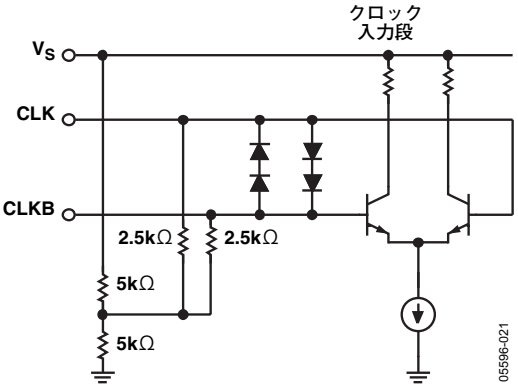


図23.　クロックの入力等価回路

同期

パワーオン同期

V_S電源がオンにされると、パワーオン同期（POS）が発行され、出力が同期して開始されます。パワーオン同期が機能するのは、V_S電源が35ms以内に2.2Vから3.1Vまで領域を遷移する場合のみです。POSが機能できるのは、V_Sが2.2Vを超えてから65msまでです。同期がとれるのは、分周＝1でない出力のみです。

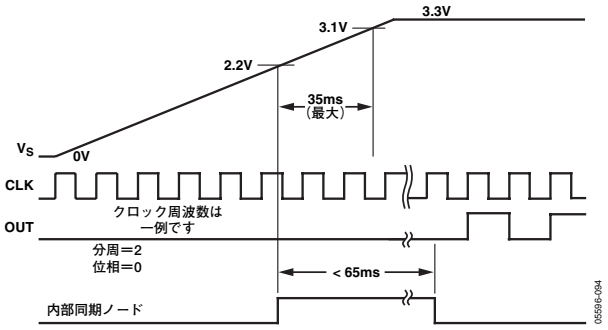


図24.　パワーオン同期のタイミング

SYNCB

動作中にAD9514のセットアップ設定が変更された場合、出力は非同期になることがあります。出力は、いつでも互いに再同期することができます。同期がとられるのは、SYNCBピンがローレベルにされて解放されたときです。クロック出力（分周＝1の場合を除く）は、分周と位相の設定によって決まる固定状態に強制的に設定され、SYNCBピンがハイレベルに戻るまでそこでスタティック状態に保持されます。SYNCBピンが解放され、CLKでのクロック信号の4サイクル後に、すべての出力のクロック同期が継続されます（分周＝1の場合を除く）。

出力が分周＝1のとき、その出力はSYNCBの影響を受けません。

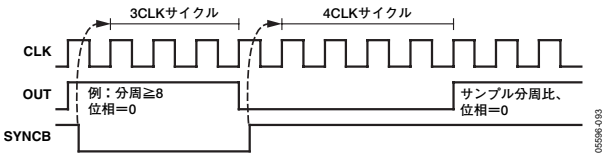


図25.　SYNCBのタイミング（クロックあり）

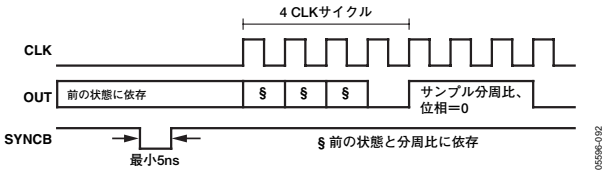


図26.　SYNCBのタイミング（クロックなし）

AD9514の出力を同期させるには、SYNCBピンを使用します。同期により、特定出力のデバイダに設定された位相オフセットを考慮しながら、クロック出力の位相が合わせられます。

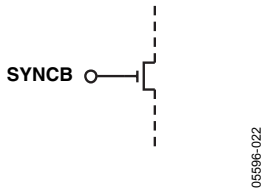


図27.　SYNCBの入力等価回路

同期は、SYNCBピンを最小5nsの間ローレベルにすると始まります。コマンドの発行時点では、入力クロックは必要ありません。同期は4つの入力クロック・サイクルの後で行われます。

同期は、クロック出力が以下の場合に適用されます。

- オフにされていない場合
- デバイダが分周＝1（デバイダのバイパス）でない場合

出力のデバイダが分周＝1（デバイダのバイパス）に設定されていれば、その出力は常に入力クロックと同期しています（伝搬遅延あり）。

通常の動作では、SYNCBピンはプルアップしてください。SYNCBピンをフローティング状態にしないでください。

R_{SET}抵抗

AD9514の内部バイアス電流は、R_{SET}抵抗によって設定されます。この抵抗の値は、「仕様」に記載されている条件値（R_{SET}＝4.12kΩ）にできるだけ近づけてください。これは標準の1%抵抗値であり、容易に入手できるはずです。この抵抗によって設定されたバイアス電流は、AD9514の内部ブロックのロジック・レベルと動作条件を決定します。「仕様」に記載されている性能値は、この抵抗値がR_{SET}に使用されることを想定しています。

VREF

VREFピンは、2/3V_Sの電圧レベルを提供します。この電圧は、セットアップ・ピン（S0～S10）で使用される4つのロジック・レベルの1つです。これらのピンは、AD9514の動作を設定します。VREFピンは、必要に応じて1つのデバイスのセットアップ・ピンをすべて駆動できるだけの駆動能力を提供します。VREFピンは、他の目的に使用しないでください。

セットアップ設定

AD9514の具体的な動作は、セットアップ・ピン（S0～S10）に入力されるロジック・レベルによって設定されます。これらのピンでは、4ステート・ロジックを使用します。ロジック・レベルは、V_SとGNDに加えて1/3V_Sと2/3V_Sも使用します。1/3V_Sレベルは、各セットアップ・ピン（S0～S10）の内部セルフバイアスによって提供されます。これは、未接続（NC）のままのセットアップ・ピンによって認識されるレベルです。2/3V_Sレベルは、VREFピンによって提供されます。2/3V_Sレベルを必要とするすべてのセットアップ・ピンは、VREFピンに接続してください。

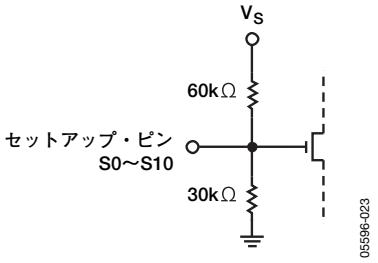


図28.　セットアップ・ピン（S0～S10）の等価回路

AD9514の動作は、セットアップ・ピンに存在するロジック・レベルの組合わせによって決定されます。表10と表15に、AD9514のセットアップ設定を示します。4つのロジック・レベルはそれぞれ、0、1/3、2/3、1と呼ばれます。これらの数値は、ロジック・レベルを定義するV_S電圧の分数比を表します。表6はセットアップ・ピンのスレッショールドを示します。

一部のセットアップ・ピンの意味は、他のピンに設定されたロジック・レベルに依存します。たとえば、S3～S4ペアのピンの影響は、S0＝0であるかどうかに依存します。S0＝0の場合、OUT2に対する遅延ブロックがオフであり、S3～S4のロジック・レベルはOUT2デバイダの位相ワードを設定します。しかし、S0≠0の場合は、OUT2に対するフルスケール遅延はS0でのロジック・レベルによって設定され、S3～S4は遅延ブロックの微調整（フルスケールの分数）を設定します。

S1とS2はともに、各出力のロジック・レベル、またはチャンネルがオフかどうかを決定します。OFFに設定された出力は、デバイダを含めて、パワーダウンされます。

OUT0とOUT1はLVPECLです。LVPECL出力の差動電圧（V_{OD}）は、410mV、790mV、960mVという、3つのレベルを持つことができます（可能な組合わせについては表11を参照）。OUT2は、LVDSレベルまたはCMOSレベルに設定できます。

S5とS6の影響はS2に依存します。S2＝0（OUT2はオフ）の場合、S5とS6はOUT1位相ワードを設定します。S2≠0の場合は、S5とS6はOUT2の分周比を設定します。S2＝2/3の場合は、S9とS10の値がOUT2に対する分周比をオーバーライドします。

S7とS8はS2とS0に依存します。S2≠1の場合、これらのピンはOUT1の分周比を設定します。しかし、S2＝1（OUT1はオフ）でS0≠0の場合は、S7とS8はOUT2に対する位相ワードを設定します。

S9とS10はS2に依存します。S2≠2/3の場合、これらのピンはOUT0の分周比を設定します。S2＝2/3の場合は、OUT2の分周比を設定してS5とS6をオーバーライドします。

表10.　S0（OUT2の遅延）

S0	遅延フルスケール
0	オフ（バイパス）
1/3	1.5ns
2/3	5ns
1	10ns

表11.　S1、S2（出力選択）

S1	S2	OUT0 LVPECL	OUT1 LVPECL	OUT2 LVDS/CMOS
0	0	OFF	410mV	OFF
1/3	0	790mV	790mV	OFF
2/3	0	410mV	410mV	OFF
1	0	960mV	960mV	OFF
0	1/3	790mV	790mV	CMOS
1/3	1/3	410mV	410mV	LVDS
2/3	1/3	410mV	410mV	CMOS
1	1/3	790mV	790mV	LVDS
0	2/3	OFF	OFF	OFF
1/3	2/3	OFF	OFF	LVDS
2/3	2/3	OFF	OFF	CMOS
1	2/3	OFF	790mV	OFF
0	1	410mV	OFF	CMOS
1/3	1	790mV	OFF	LVDS
2/3	1	410mV	OFF	LVDS
1	1	790mV	OFF	CMOS

表12.　S3、S4（OUT2の遅延微調整または位相）

		S0≠0	S0＝0
S3	S4	OUT2の遅延微調整（FSの分数）	OUT2の位相
0	0	0	0
1/3	0	1/16	1
2/3	0	1/8	2
1	0	3/16	3
0	1/3	1/4	4
1/3	1/3	5/16	5
2/3	1/3	3/8	6
1	1/3	7/16	7
0	2/3	1/2	8
1/3	2/3	9/16	9
2/3	2/3	5/8	10
1	2/3	11/16	11
0	1	3/4	12
1/3	1	13/16	13
2/3	1	7/8	14
1	1	15/16	15

表13. S5、S6（OUT2の分周またはOUT1の位相）

S5	S6	S2≠0 OUT2の分周 （デューティサイクル[1]）	S2＝0 OUT1の位相
0	0	1	0
1/3	0	2（50%）	1
2/3	0	3（33%）	2
1	0	4（50%）	3
0	1/3	5（40%）	4
1/3	1/3	6（50%）	5
2/3	1/3	8（50%）	6
1	1/3	9（44%）	7
0	2/3	10（50%）	8
1/3	2/3	12（50%）	9
2/3	2/3	15（47%）	10
1	2/3	16（50%）	11
0	1	18（50%）	12
1/3	1	24（50%）	13
2/3	1	30（50%）	14
1	1	32（50%）	15

[1] デューティサイクルは、クロック信号のハイレベル時間を合計周期で除算した値です。

表14. S7、S8（OUT1の分周またはOUT2の位相）

S7	S8	S2≠1 OUT1の分周 （デューティサイクル[1]）	S2＝1でS0≠0 OUT2の位相
0	0	1	0
1/3	0	2（50%）	1
2/3	0	3（33%）	2
1	0	4（50%）	3
0	1/3	5（40%）	4
1/3	1/3	6（50%）	5
2/3	1/3	8（50%）	6
1	1/3	9（44%）	7
0	2/3	10（50%）	8
1/3	2/3	12（50%）	9
2/3	2/3	15（47%）	10
1	2/3	16（50%）	11
0	1	18（50%）	12
1/3	1	24（50%）	13
2/3	1	30（50%）	14
1	1	32（50%）	15

[1] デューティサイクルは、クロック信号のハイレベル時間を合計周期で除算した値です。

表15. S9、S10（OUT0の分周またはOUT2の分周）

S9	S10	S2≠2/3 OUT0の分周 （デューティサイクル[1]）	S2＝2/3 OUT2の分周 （デューティサイクル[1]）
0	0	1	7（43%）
1/3	0	2（50%）	11（45%）
2/3	0	3（33%）	13（46%）
1	0	4（50%）	14（50%）
0	1/3	5（40%）	17（47%）
1/3	1/3	6（50%）	19（47%）
2/3	1/3	8（50%）	20（50%）
1	1/3	9（44%）	21（48%）
0	2/3	10（50%）	22（50%）
1/3	2/3	12（50%）	23（48%）
2/3	2/3	15（47%）	25（48%）
1	2/3	16（50%）	26（50%）
0	1	18（50%）	27（48%）
1/3	1	24（50%）	28（50%）
2/3	1	30（50%）	29（48%）
1	1	32（50%）	31（48%）

[1] デューティサイクルは、クロック信号のハイレベル時間を合計周期で除算した値です。

デバイダの位相オフセット

OUT1やOUT2の位相は、選択した分周比と出力設定に応じて選択できます。これにより、たとえば、OUT0とOUT1の相対位相を設定できます。

SYNC動作（「同期」を参照）の後、出力クロック・エッジを開始するまでに待機すべき入力クロック（CLK）サイクル数は、各デバイダの位相オフセット・ワードによって決まります。各デバイダに異なる位相オフセットを設定すると、出力間の遅延は、高速クロックの周期t_{CLK}単位で設定できます。

図29に、デバイダを分周＝4に設定した場合の4つのケースを示します。位相オフセットを0から3までインクリメントさせると、出力は初期エッジからt_{CLK}の整数倍でオフセットされます。

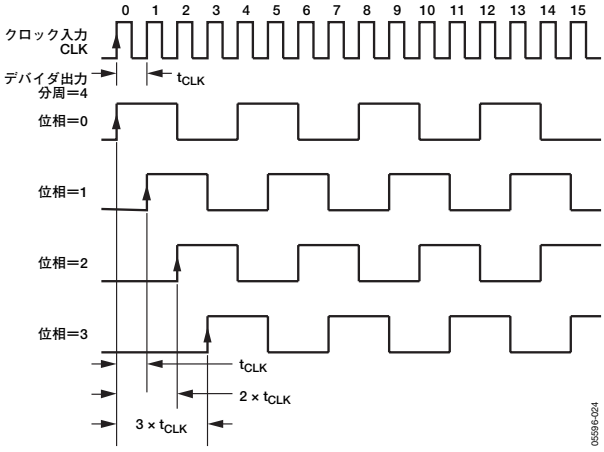


図29.　位相オフセット（デバイダは分周＝4に設定、位相は0～2に設定）

例：

CLK＝491.52 MHz

t_{CLK}＝1/491.52 = 2.0345ns

分周＝4の場合：

位相オフセット0＝0ns

位相オフセット1＝2.0345ns

位相オフセット2＝4.069ns

位相オフセット3＝6.104ns

出力は次のように設定することもできます。

位相オフセット0＝0°

位相オフセット1＝90°

位相オフセット2＝180°

位相オフセット3＝270°

位相オフセットを位相＝4に設定すると、位相＝0°または360°の場合と同じ相対位相になります。

位相オフセットの分解能は、CLKの高速クロック周期（t_{CLK}）によって設定されます。固有の最大位相オフセットは分周比よりも小さく、最高15までとします。

位相オフセットは、特定の分周比に対する位相ステップの計算により、次式で度数と関連付けられます。

位相ステップ＝360°／分周比

同じ例を使うと、

分周＝4

位相ステップ＝360°/4＝90°

固有の位相オフセットを度数で表すと、位相＝0°、90°、180°、270°になります。

分周＝9

位相ステップ＝360°/9＝40°

固有の位相オフセットを度数で表すと、位相＝0°、40°、80°、120°、160°、200°、240°、280°、320°になります。

遅延ブロック

OUT2に内蔵されるアナログ遅延素子は、その出力を通過するクロック信号に可変遅延時間（ΔT）を与えます。

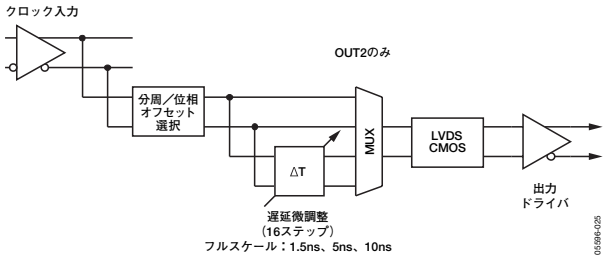


図30.　アナログ遅延ブロック

使用可能な遅延量は、出力周波数によって決まります。遅延量は、クロック周期の1/2サイクル未満に限定されます。たとえば、10MHzのクロックの場合、遅延素子部で可能な最大遅延時間10nsまで延ばすことができます。しかし、100MHzのクロックの場合の最大遅延時間は5ns（1/2周期）未満となります。

AD9514では、遅延時間のフルスケール（表10を参照）によって設定される3つのフルスケール遅延時間（1.5ns、5ns、10ns）を選択できます。これらのフルスケール遅延は、それぞれ遅延ワード（表12を参照）によって16通りのの微調整遅延を設定できます。

遅延ブロックでは、出力に若干のジッタが加わります。つまり、遅延機能は主に、データ・コンバータにサンプル・クロックを提供するためではなく、FPGA、ASIC、DUC、DDCなどのデジタル・チップをクロック駆動するために使用されます。遅延ブロックではランプ・ポイントとトリップ・ポイントを使用して可変遅延を生成するため、長いフルスケールではジッタが高くなります。ランプが長くなれば、ノイズが発生する可能性も高くなります。

遅延ブロックがOFF（バイパス）のときには、パワーダウンも行われます。

出力

AD9514では、LVPECL、LVDS、CMOSという3種類の出力レベルを選択できます。OUT0/OUT0BとOUT1/OUT1BはLVPECL差動出力です。表11からは、410mV、790mV、960mVという、3つのLVPECL差動電圧振幅（V_{OD}）を選択できます。

OUT2/OUT2Bは、LVDS差動出力または1ペアのCMOSシングルエンド出力として選択できます。CMOSとして選択された場合、OUT2は非反転のシングルエンド出力、OUT2Bは反転されたシングルエンド出力となります。

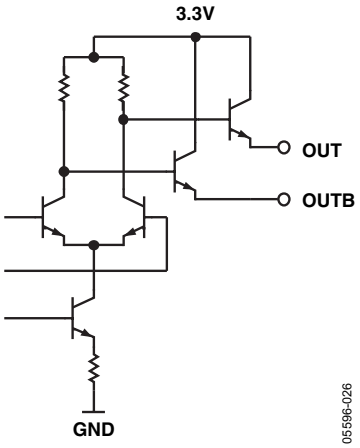


図31.　LVPECL出力の簡略等価回路

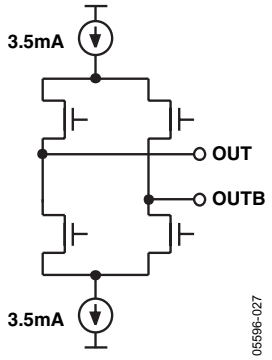


図32.　LVDS出力の簡略等価回路

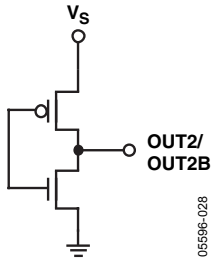


図33.　CMOSの出力等価回路

電源

AD9514はV_Sに3.3V±5%の電源を必要とします。「仕様」の表には、この電源電圧範囲を使用したときのAD9514の性能が示されています。VSピン上の電源電圧はGND基準で－0.3～＋3.6Vの絶対最大範囲を決して超えないようにしてください。

PCボードのグラウンド・プレーンと電源パターンのレイアウトは、GEP（Good Engineering Practice：適切な技術的実践）に基づいて行ってください。電源はPCボード上で十分な容量（>10μF）によりバイパスします。十分なコンデンサ（0.1μF）をできるだけデバイスの近くに接続し、AD9514のすべての電源ピンをバイパスする必要があります。AD9514評価用ボード（AD9514/PCB）のレイアウトが適切な例になります。

金属性の露出パドル

AD9514パッケージの露出金属パドルは、電気的な接続を行い、同時に熱特性を強化するためにあります。デバイスが正常に機能するためには、パドルをグラウンド（GND）に正しく接続する必要があります。

AD9514パッケージの露出パドルは、ハンダ付けしてください。AD9514は、その露出パドルを通じて放熱する必要があります。PCボードはAD9514のヒート・シンクとして機能するため、PCボードへの接続がPCボード上のグラウンド・プレーンなど大きな放熱領域に優れた熱パスになる必要があります。これには、最上層からグラウンド・プレーンまでに図のようにビアのグリッドが必要です（図34を参照）。AD9514の評価用ボード（AD9514/PCB）は、デバイスとPCボードの適切な接続例です。

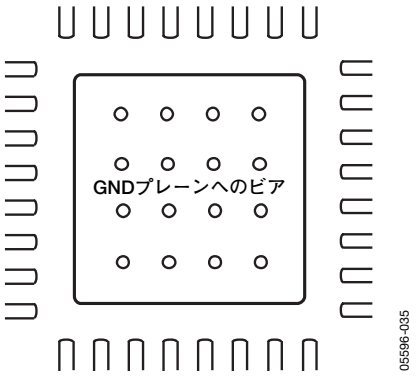


図34. 露出パドルを接続するためのPCボードのランド

電源管理

AD9514は、場合によっては未使用の機能をオフにすることで、消費電力を削減できます。

節電オプションを次に示します。

- 分周＝1（バイパス）に設定すると、デバイダはパワーダウンします。
- OUT2上の調整可能な遅延ブロックは、オフ・モード（S0＝0）でパワーダウンします。
- 場合によっては、不要な出力をパワーダウンできます（表11を参照）。これにより、その出力用のデバイダもパワーダウンします。

アプリケーション

AD9514の出力をADCのクロック・アプリケーションに使用する方法

高速A/Dコンバータ（ADC）は、ユーザから提供されるサンプリング・クロックの品質にきわめて敏感です。ADCはサンプリング・ミキサーとみなすことができるため、クロックのノイズや歪み、タイミング・ジッタが、A/D出力から得られる希望の信号に混入してしまいます。クロック条件は、アナログ入力の周波数と分解能に比例し、アナログ入力周波数が高いアプリケーションほど厳しくなり、14ビット以上の分解能では最も厳しくなります。ADCの理論的なS/N比は、ADCの分解能とサンプリング・クロックのジッタによって制限されます。ステップ・サイズと量子化誤差を無視できる無限分解能を持つ理想的なADCのS/N比は、次式で近似値が得られます。

$$SNR = 20 \times \log\left[\frac{1}{2\pi f_A T_J}\right]$$

ここで、f_Aは、デジタル化される最高アナログ周波数です。

T_Jは、サンプリング・クロックのrmsジッタです。

図35に、アナログ周波数の関数としての所要サンプリング・クロック・ジッタと有効ビット数（ENOB）を示します。

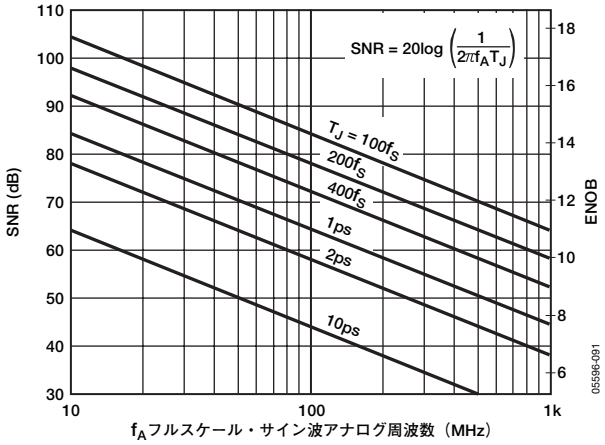


図35. S/N比とENOB 対 アナログ入力周波数

アナログ・デバイセズのウェブサイト（www.analog.com）に掲載されているアプリケーション・ノート「AN-756」と「AN-501」を参照してください。

多くの高性能ADCは、ノイズの多いPCボード上で必要な低ジッタ・クロックを簡単に提供できるように、差動クロック入力を備えています。（ノイズの多いPCボード上でシングルエンド・クロックを分配すると、サンプル・クロックにノイズが混入することがあります。差動分配にはもともと同相ノイズ除去機能があるため、ノイズの多い環境で優れたクロック性能を提供できます）。AD9514は差動クロック出力を提供するLVPECL出力とLVDS出力の両方を備えており、コンバータのS/N比性能を最大限に引き出すクロック・ソリューションが可能になります。最適なクロッキング／コンバータ・ソリューションを選択するときは、ADCの入力条件（差動またはシングルエンド、ロジック・レベル、終端）を考慮してください。

LVPECLのクロック分配

AD9514の低電圧エミッタ結合ロジック（LVPECL）の正出力は、AD9514の中で最小ジッタのクロック信号を提供します。LVPECL出力は（オープン・エミッタであるため）、出力トランジスタをバイアスするためのDC終端が必要となります。図31に、LVPECL出力段の簡略等価回路を示します。

多くのアプリケーションでは、標準のLVPECL遠端終端を推奨します（図36）。抵抗ネットワークは、伝送線インピーダンス（50Ω）とスイッチング・スレッショールド（V_S−1.3V）に合わせて設計されています。

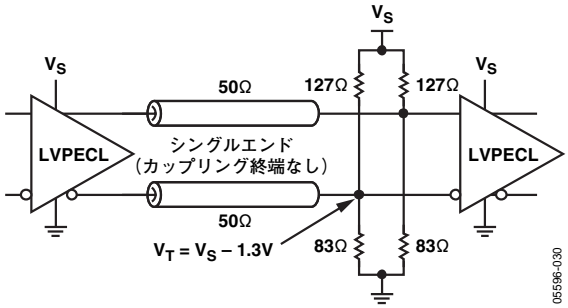


図36. LVPECLの遠端終端

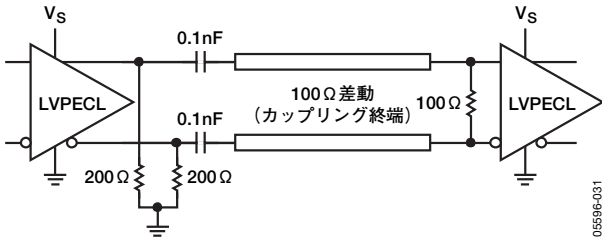


図37. パラレル伝送線を使用したLVPECL

LVDSのクロック分配

AD9514では、CMOSレベルまたはLVDSレベルとして選択可能な1つのクロック出力（OUT2）を提供します。低電圧差動信号（LVDS）は、OUT2用の差動出力オプションです。LVDSでは電流モードの出力段を使用します。電流は3.5mAで、100Ω抵抗の両端で350mVの出力振幅を生成します。LVDS出力は、すべてのANSI/TIA/EIA-644仕様を満たしています。

図38に、LVDS出力の推奨終端回路を示します。

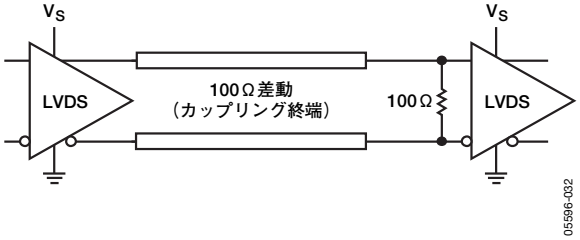


図38.　LVDSの出力終端

LVDSの詳細については、ADIのウェブサイト（www.analog.com）に掲載されているアプリケーション・ノート「AN-586」を参照してください。

CMOSのクロック分配

AD9514には、CMOSレベルまたはLVDSレベルとして選択可能な1本の出力（OUT2）が備わっています。CMOSとして選択すると、この出力は、クロック入力においてCMOSレベル・ロジックを必要とするデバイスを駆動します。

シングルエンドCMOSクロックの使用に際しては、以下の一般的なガイドラインに従ってください。

可能な限り、1個のドライバが1個のレシーバを駆動するように1対1の回路を設計する必要があります。これにより終端方式が簡素化され、回路のインピーダンス不整合によるリンギングを最小限に抑えることができます。伝送線のマッチングを実現し、ドライバ側での過渡電流を削減するためには、一般にソース側で直列終端が必要となります。抵抗の値は、ボード設計とタイミング条件に依存します（一般に、10～100Ωを使用）。CMOS出力には、駆動可能な容量性負荷やパターン長の制限があります。一般に、信号の立上がり／立下がり時間と信号の完全性を確保するには、3インチ未満のパターン長を推奨します。

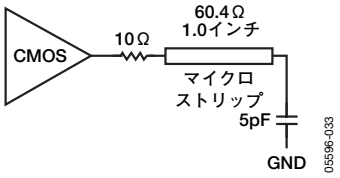


図39.　CMOS出力の直列終端

第2の方法は、PCボード・パターンの遠端での終端です。図40に示すように、AD9514のCMOS出力は、低インピーダンス抵抗による遠端終端に対してフル電圧振幅を可能にする十分な電流を供給しません。遠端終端回路は、PCボードのパターン・インピーダンスに整合させ、希望のスイッチング・ポイントを提供する必要があります。アプリケーションによっては、信号振幅が小さくなった場合でも、レシーバの入力条件を満たすことが可能です。これは、それほど重要でない回路で長いパターンを駆動するときに便利です。

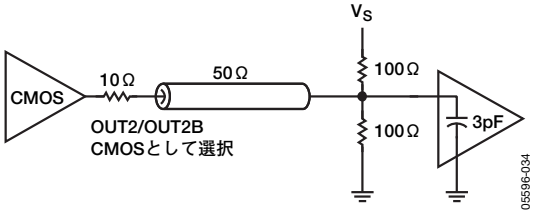


図40.　遠端終端を持つCMOS出力

シングルエンドCMOSクロッキングには制限があるため、長いパターンにわたって高速信号を駆動する際は、差動出力の使用を検討してください。AD9514はLVPECL出力とLVDS出力を持っており、長いパターンを駆動するのに適しています。差動信号に固有のノイズ耐性がコンバータのクロック駆動に対して優れた性能を提供します。

セットアップ・ピン（S0～S10）

1/3V_S（内部セルフバイアス）のロジック・レベルを必要とするセットアップ・ピンは、互いに接続して、コンデンサを介してグラウンドにバイパスしてください。

2/3V_Sのロジック・レベルを必要とするセットアップ・ピンは、VREFピンとともに互いに接続して、コンデンサを介してグラウンドにバイパスしてください。

電源とグラウンドについての考慮事項、および電源電圧変動除去比

多くのアプリケーションでは、決して理想的とはいえない動作条件のもとで、高速かつ高性能を追求します。このようなアプリケーション回路では、PCボードの実装と構成は、回路設計と同じぐらい重要となります。最適性能を保証するためには、適切なRF技術を用いて、デバイスの選択、配置、配線、電源バイパス、グラウンディングを行う必要があります。

位相ノイズとジッタの測定条件設定

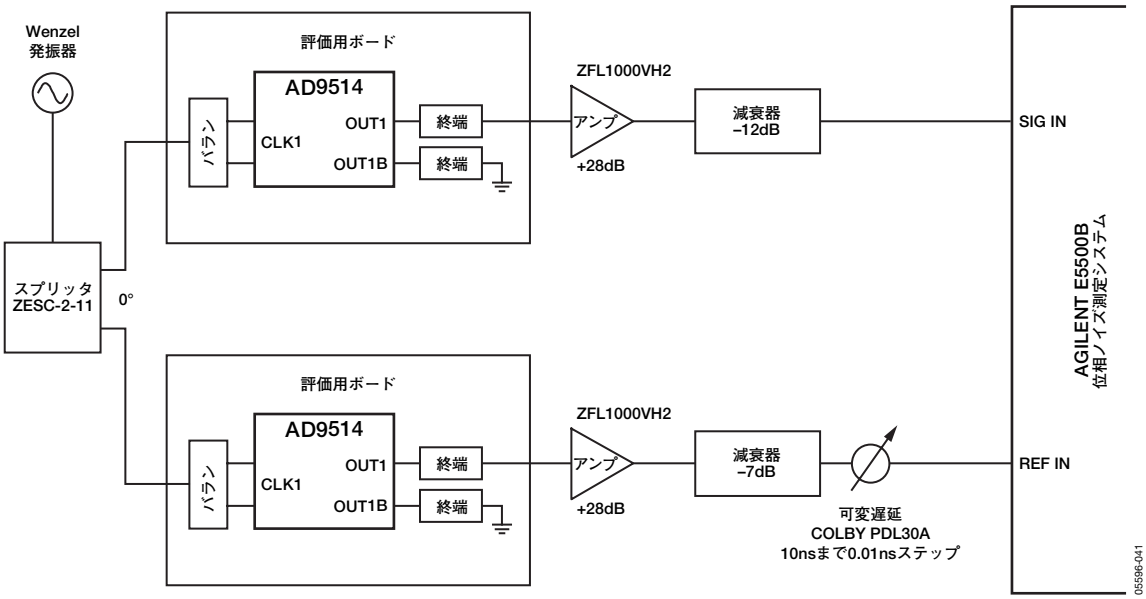


図41. 増加位相ノイズの測定設定

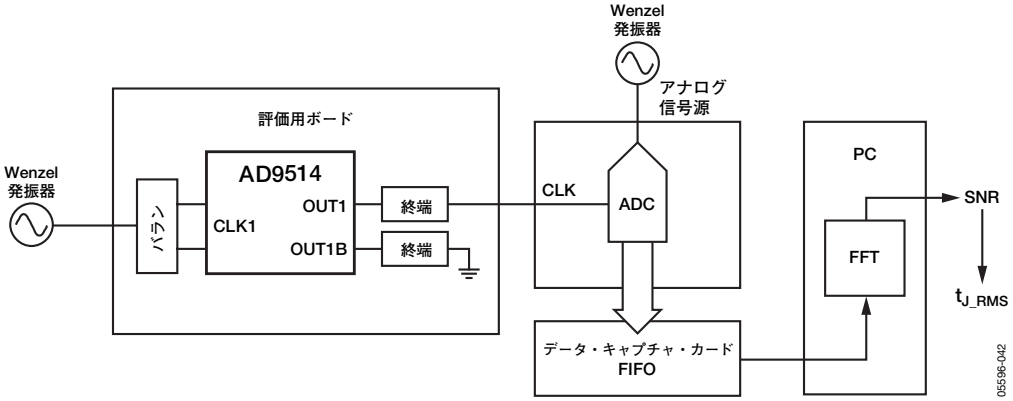


図42. ADCのS/N比測定によるジッタ判定

$$t_{J_RMS} = \sqrt{\frac{\left[\frac{V_{A_RMS}}{10^{\frac{SNR}{20}}}\right]^2 - (SND \times \sqrt{BW})^2 - (\theta_{QUANTIZATION}{}^2 + \theta_{THERMAL}{}^2 + \theta_{DNL}{}^2)}{[2\pi \times f_A \times V_{A_PK}]^2}}$$

ここで：

t_{j_RMS}はrms時間ジッタ

SNRはS/N比

SNDは信号源ノイズ密度（nV/$\sqrt{\text{Hz}}$単位）

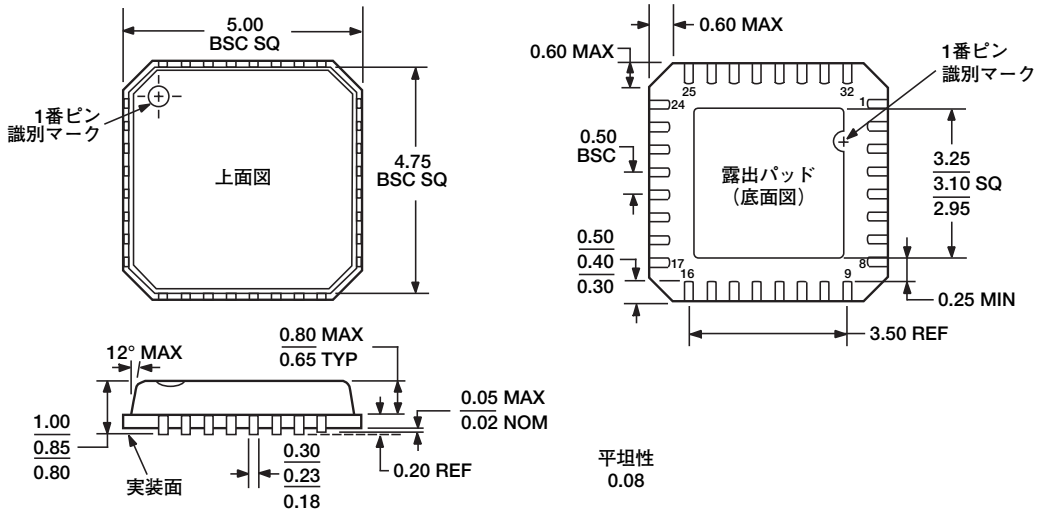
BWはSNDフィルタ帯域幅

V_Aはアナログ信号源電圧

f_Aはアナログ周波数

θ項は量子化誤差、熱誤差、DNL誤差

外形寸法



JEDEC規格MO-220-VHHD-2に準拠

図43.　32ピン・リード・フレーム・チップ・スケール・パッケージ［LFCSP_VQ］
5mm×5mmボディ、極薄クワッド（CP-32-2）
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9514BCPZ[1]	−40～＋85°C	32ピン・リード・フレーム・チップ・スケール・パッケージ（LFCSP_VQ）	CP-32-2
AD9514BCPZ-REEL7[1]	−40～＋85°C	32ピン・リード・フレーム・チップ・スケール・パッケージ（LFCSP_VQ）	CP-32-2
AD9514/PCB		評価用ボード	

[1] Z＝鉛フリー製品

D05596-0-7/05(0)-J