

AD8320

特長

8ビット・シリアル・ゲイン・コントロール

V/V/LSB で直線利得応答

ゲイン範囲 : 36 dB

精度 ± 0.20 dB

上限帯域幅 : 150 MHz

1 dB 圧縮ポイント : 22 dBm (75 Ω)

75 Ω 負荷低ひずみ信号ドライブ :

周波数 42 MHz、出力レベル 12 dBm における SFDR : - 57 dBc

周波数 42 MHz、出力レベル 18 dBm における SFDR : - 46 dBc

単電源動作 : 5 V ~ 12 V

パワーアップおよびパワーダウン状態でも 75 Ω の出力インピーダンスを維持

SPI 入力コントロール標準をサポート

アプリケーション

同軸ケーブル・ドライバ

HFC ケーブル電話システム

HFC 高速データ・モデム

双方向・セット・トップ・ボックス

PC プラグイン・モデム

AD9853 I2C コントロール・ディジタル・モジュレータ

高性能ディジタル・コントロール可変ゲイン・ブロック

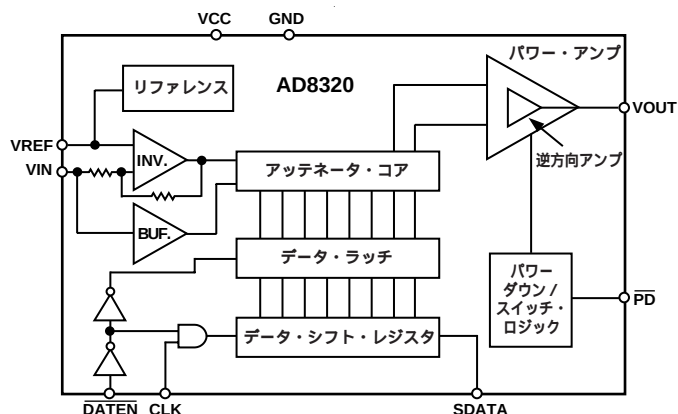
概要

AD8320 は、同軸ライン・ドライバ・アプリケーション用に最適化されたディジタル・コントロール可変ゲイン・アンプです。その出力ゲインは、8 ビットのシリアル・ワードを使用して、36 dB の範囲 (256 ゲイン・レベル) で設定することができます。AD8320 から、直線的なゲイン応答が得られます。

AD8320 は、0 dB から - 36 dB までの範囲で減衰率がディジタル・コントロールされる可変アッテネータを核として、その前段を低ノイズ固定ゲイン・バッファ、その後段を低ノイズ高出力アンプとして構成されます。AD8320 は、入力インピーダンスが 220 Ω あり、最大で 0.310 V p-p までの仕様アナログ入力レベルのシングルエンド信号を入力させることができます。出力仕様は、同軸ケーブル等の 75 Ω 負荷のドライブ用に規定されていますが、これ以外の負荷を AD8320 を用いてドライブすることも可能です。ひずみ特性は、周波数 42 MHz、出力レベル 12 dBm (3.1 V p-p) において - 57 dBc が、出力レベル 18 dBm (6.2 V p-p) において - 46 dBc が達成されます。

性能面ならびにコスト面における AD8320 の主な利点は、パワーアップおよびパワーダウン間も出力インピーダンスが一定の 75 Ω に維持されることにあります。これによって、外部 75 Ω 逆方向終端

機能ブロック図



が不必要になり、標準のオペアンプに比較すると、有効出力電圧が 2 倍になります。さらに、オンチップの 75 Ω 終端抵抗は、パワーアップの間およびパワーダウンの間の出力グリッチを低く抑えるので、外部スイッチが必要ありません。

AD8320 は、20 ピンの SOIC でパッケージ化され、+ 5 V から + 12 V までの単電源を用いて、- 40 から + 85 までの温度範囲で動作させることができます。

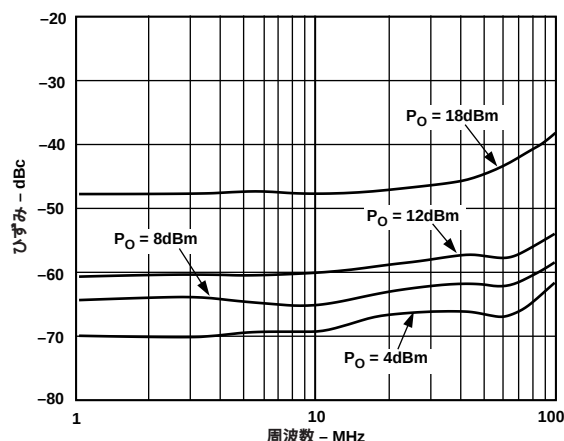


図 1. $V_{CC} = 12$ V の各種出力レベルにおける周波数と最悪高調波ひずみの関係

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD8320—仕様

(特に指定のない限り、 $V_{CC} = 12\text{ V}$ 、 $T_A = +25$ 、 $V_{IN} = 0.310\text{ V p-p}$ 、 $R_L = 75\ \Omega$ 、 $CR_S = 75\ \Omega$)

パラメータ	条件	Min	Typ	Max	単位
入力特性					
フルスケール入力電圧	最大ゲイン $P_{OUT} = 18\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ 最大ゲイン $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 5\text{ V}$		0.310 0.155		V p-p V p-p
入力抵抗			220		Ω
入力キャパシタンス			2.0		pF
ゲイン・コントロール・インターフェース					
ゲイン範囲			36		dB
フルスケール(最大)ゲイン			26(20)		dB(V/V)
ゲイン・オフセット(最小)ゲイン			-10.0(0.316)		dB(V/V)
ゲイン・スケーリング・ファクタ			0.077		V/V/LSB
出力特性					
帯域幅(-3 dB)	全ゲイン・コード $F = 65\text{ MHz}$		150		MHz
帯域幅のロール・オフ	$F = 65\text{ MHz}$		0.7		dB
帯域幅のピーキング	$F = 65\text{ MHz}$		0		dB
出力オフセット電圧	全ゲイン・コード		± 40		mV
出力オフセット・ドリフト	温度範囲全域		± 0.25		mV/
出力ノイズ・スペクトル密度	最大ゲイン 、周波数 = 10 MHz 最小ゲイン 、周波数 = 10 MHz $PD = 0$ 、周波数 = 10 MHz		73 53 4.5		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
1 dB 圧縮ポイント	$V_{CC} = 12\text{ V}$ $V_{CC} = 5\text{ V}$		22.5 16		dBm dBm
出力インピーダンス	パワーアップおよびパワーダウン	65	75	85	Ω
過負荷復帰時間	最大ゲイン $V_{IN} = 500\text{ mV p-p}$		40		ns
全般性能					
最悪高調波ひずみ	$F = 42\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ $F = 42\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 5\text{ V}$ $F = 42\text{ MHz}$ 、 $P_{OUT} = 18\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ $F = 65\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ $F = 65\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 5\text{ V}$ $F = 65\text{ MHz}$ 、 $P_{OUT} = 18\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$		-57.0 -43.0 -46.0 -57.0 -42.5 -43.0	-52.0 -39.0 -42.0 -52.0 -39.0 -40.0	dBc dBc dBc dBc dBc dBc
3 次インターセプト	$F = 42\text{ MHz}$ 、 $P_{OUT} = 18\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ $F = 42\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 5\text{ V}$ $F = 65\text{ MHz}$ 、 $P_{OUT} = 18\text{ dBm}$ 、 $V_{CC} = 12\text{ V}$ $F = 65\text{ MHz}$ 、 $P_{OUT} = 12\text{ dBm}$ 、 $V_{CC} = 5\text{ V}$		34 32 32.5 28.5		dBm dBm dBm dBm
フルスケール(最大ゲイン)精度	$F = 10\text{ MHz}$		± 0.1		dB
ゲイン・オフセット(最小ゲイン)精度	$F = 10\text{ MHz}$		± 0.2		dB
ゲイン精度	$F = 10\text{ MHz}$ 、 全ゲイン・コード	-0.75	± 0.2	0.75	dB
ゲイン・ドリフト	温度範囲全域		± 0.5		mdB/
電源によるゲイン変動	$V_{CC} = +5\text{ V} \sim 12\text{ V}$		35		mdB/V
1 mV までの出力安定時間	最小ゲインから最大ゲイン $V_{IN} = 0.31\text{ V p-p}$		30		ns
ゲイン変化 @ $T_{DATEN} = 1$	最大ゲイン $V_{IN} = 0\text{ V} \sim 0.31\text{ V p-p}$		25		ns
入力変化					
消費電力コントロール					
1 mV までのパワーダウン・安定時間	最大ゲイン $V_{IN} = 0$		45		ns
1 mV までのパワーアップ・安定時間	最大ゲイン $V_{IN} = 0$		65		ns
パワーダウン・ベDESTAL・オフセット	最大ゲイン $V_{IN} = 0$		± 30		mV
スペクトル出力リーク	$F(PD) = 400\text{ Hz}$ @ 15% デューティ・サイクル $5\text{ MHz} \leq F \leq 65\text{ MHz}$		-70		dBm
最大逆方向電力	$PD = 0$		5		dBm
電源					
仕様動作範囲		+5		+12	V
無負荷電流	$PD = 1$ 、 $V_{CC} = +5\text{ V}$		80	85	mA
パワーダウン	$PD = 0$ 、 $V_{CC} = +5\text{ V}$		25	30	mA
パワーアップ $V_{CC} = +12\text{ V}$	$PD = 1$ 、 $V_{CC} = +12\text{ V}$		97	105	mA
パワーダウン $V_{CC} = +12\text{ V}$	$PD = 0$ 、 $V_{CC} = +12\text{ V}$		32	37	mA

ロジック入力(TTL/CMOS ロジック) (DATEN, CLK, SDATA, $5V \leq V_{CC} \leq 12V$; 全温度範囲)

パラメータ	Min	Typ	Max	単位
ロジック "1" 電圧	2.1		5.0	V
ロジック "0" 電圧	0		0.8	V
ロジック "1" 電流 ($V_{INH} = 5V$) CLK, $\overline{SDATA}$	0		20	nA
ロジック "0" 電流 ($V_{INL} = 0V$) CLK, $\overline{SDATA}$	- 450		- 75	nA
ロジック "1" 電流 ($V_{INH} = 5V$) $\overline{PD}$	0		190	μA
ロジック "0" 電流 ($V_{INL} = 0V$) $\overline{PD}$	- 320		- 70	μA

タイミング条件(特に指定のない限り、全温度範囲, V_{CC} 電源範囲, $T_R = T_F = 4ns$, $F_{CLK} = 8MHz$)

パラメータ	Min	Typ	Max	単位
クロック・パルス幅(T_{WH})	12.0			ns
クロック周期(T_C)	32.0			ns
クロックに対する SDATA のセットアップ時間(T_{DS})	6.5			ns
クロックに対する $\overline{DATEN}$ のセットアップ時間(T_{ES})	17.0			ns
クロックに対する SDATA のホールド時間(T_{DH})	5.0			ns
クロックに対する $\overline{DATEN}$ のホールド時間(T_{EH})	3.0			ns
入力立ち上がり、立ち下がり時間, SDATA, $\overline{DATEN}$, クロック(T_R, T_F)			10	ns

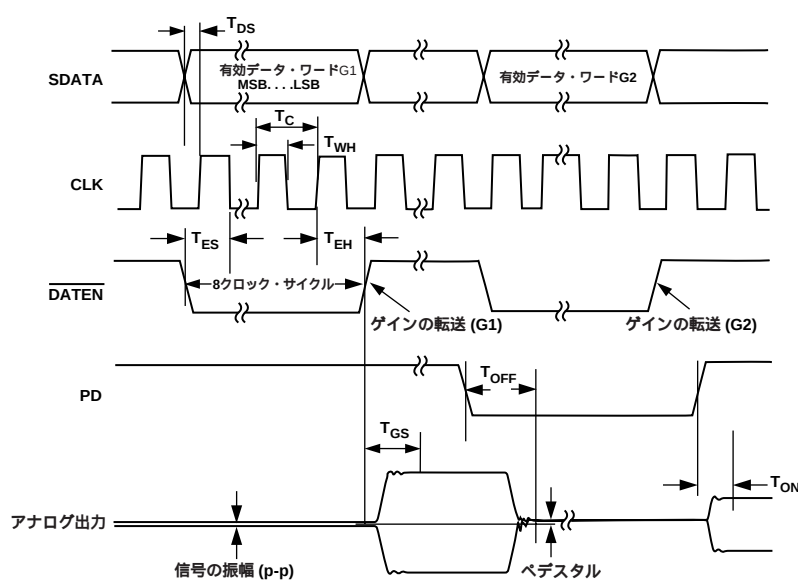


図 2. シリアル・インターフェースのタイミング

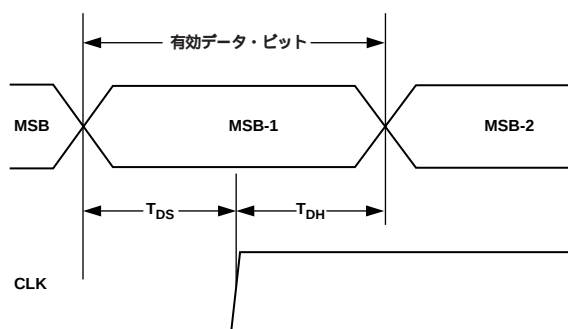


図 3.

AD8320

最大絶対定格*

電源電圧 + V_S
ピン 7, 8, 9, 17, 20 - 0.8 V ~ + 13 V

入力電圧
ピン 19 ± 3 V
ピン 1, 2, 3, 6 - 0.8 V ~ + 5 V

内部消費電力

スモール・アウトライン (RP) 1.3 W

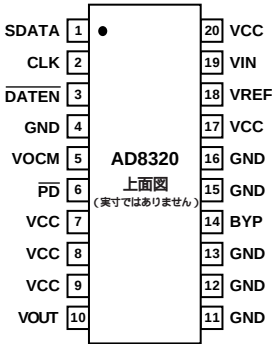
動作温度範囲 - 40 ~ + 85

保管温度範囲 - 65 ~ + 150

リード温度 ,ハンダ付け 60 秒 + 300

* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは、本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

ピン構成



オーダー・ガイド

モデル	温度範囲	パッケージ説明	QJA	パッケージ・オプション
AD8320ARP AD8320-EB	- 40 ~ + 85	20 ピン熱強化パワー SOIC* 評価ボード	53 /W	RP-20

* J-STD-020 に準じてドライ・バックされ、チューブ(1 チューブは38 個入り)により出荷されます。

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD8320には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン機能の説明

ピン	機能	説明
1	SDATA	シリアル・データ入力。このデジタル入力により、8 ビットのシリアル(ゲイン)ワードを内蔵レジスタにロードします。読み込みは、MSB(最上位ビット)が最初になります。
2	CLK	クロック入力。このクロック・ポートは、8 ビットのマスター・スレーブ・レジスタに対するシリアル・アッテネータ・データの伝送レートをコントロールします。ロジック「0」から「1」への遷移においてデータ・ビットがラッチされ、「1」から「0」への遷移においてデータ・ビットがスレーブに転送されます。このため、クロックの遷移の前およびその時点でシリアル・データ・ワードが有効になっている必要があります。
3	DATEN	データ・イネーブル・ロー入力。このポートは、8 ビットのパラレル・データ・ラッチとシフト・レジスタをコントロールします。ロジック「0」から「1」への遷移においては、ラッチしたデータがアッテネータ・コアに転送され(ゲインの更新) 同時に、レジスタへのシリアル・データの転送が禁止されます。「1」から「0」への遷移においては、データのラッチが禁止され(直前のゲイン状態のホールド) 同時に、レジスタへのシリアル・データのロードをイネーブルします。
4, 11, 12, 13, 15, 16	GND	共通外部基準グラウンド。
5	VOCM	VCC/2 リファレンス・ピン。電源電圧(VCC)の 1/2 に等しい DC 出力リファレンス・レベルです。このポートは、外部で AC 減結合(0.1 μF のキャパシタ)を行う必要があります。
6	PD	パワーダウン・ロー・ロジック入力。ロジック「0」においては、パワーアンプがパワーダウン(シャット・オフ)し、出力信号がディセーブル、逆方向アンプがイネーブルになります。また、ロジック「1」においては、出力パワー・アンプがイネーブル、逆方向アンプがディセーブルになります。
7, 8, 9, 17, 20	VCC	正の共通外部電源電圧。
10	VOUT	出力信号ポート。約 VCC/2 に DC バイアスされています。
14	BYP	内部バイパス。外部でこのピンに対する AC デカップル(0.1 μF のキャパシタ)を行わなければなりません。
18	VREF	入力リファレンス電圧(標準値は、27 において 1.9 V) このポートは、外部で AC デカップル(0.1 μF のキャパシタ)を行う必要があります。
19	VIN	アナログ電圧入力信号ポート。VREF 電圧に DC バイアスされています。

代表的性能特性—AD8320

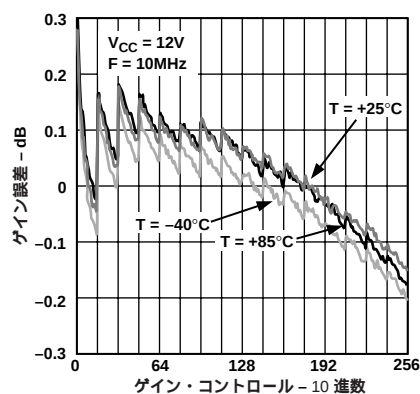


図 4. 各温度におけるゲイン・コントロールとゲイン誤差の関係

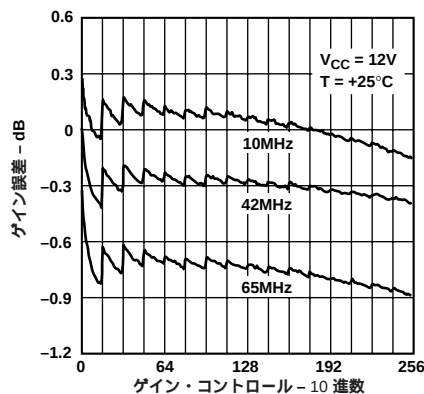


図 5. 各周波数におけるゲイン・コントロールとゲイン誤差の関係

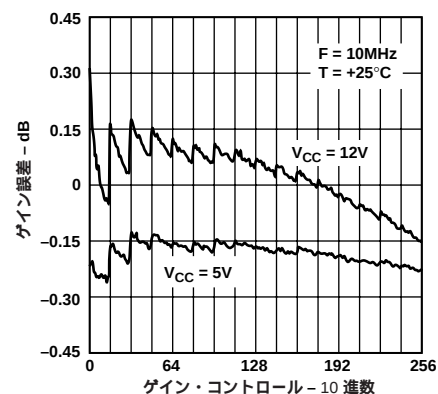


図 6. 異なる電源電圧におけるゲイン・コントロールとゲイン誤差の関係

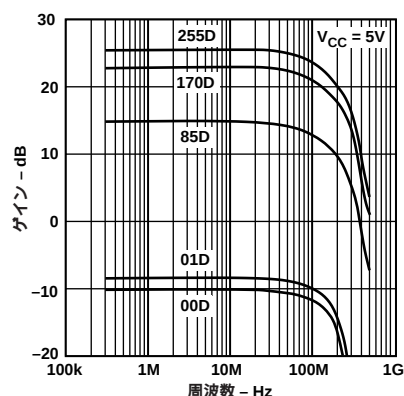


図 7. AC リスpons

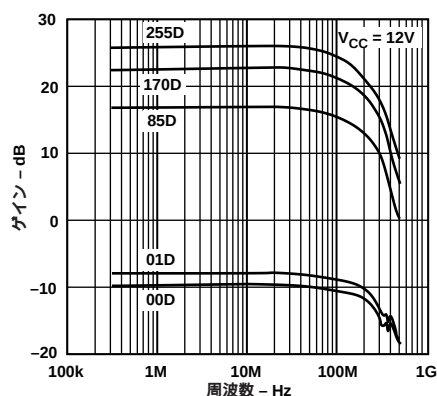


図 8. AC 特性

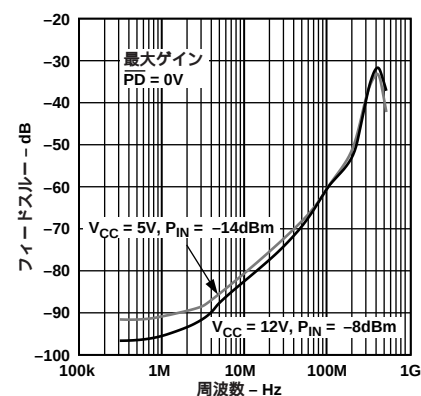


図 9. 周波数と入力信号フィードスルーの関係

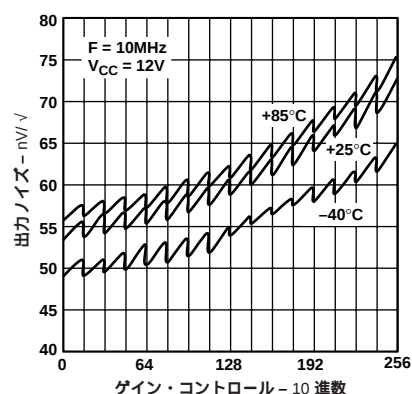


図 10. 各温度におけるゲイン・コントロールと出力ノイズの関係

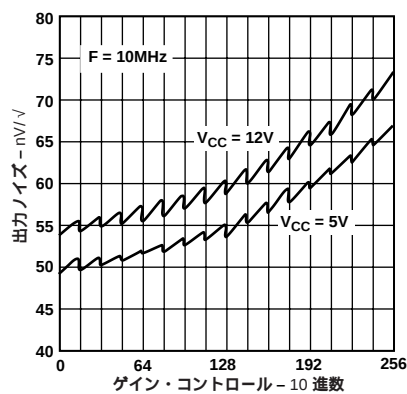


図 11. 異なる電源電圧におけるゲイン・コントロールと出力ノイズの関係

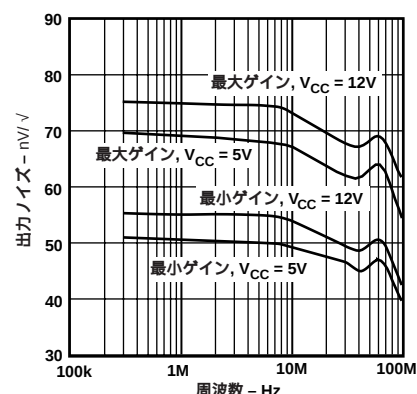


図 12. 周波数と出力ノイズの関係

AD8320

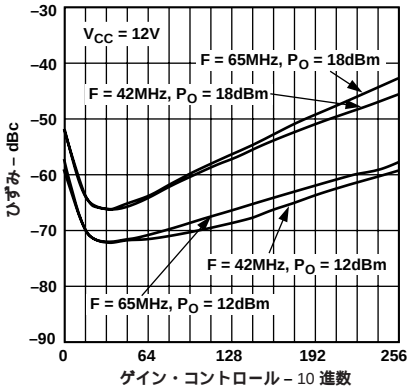


図 13. ゲイン・コントロールと最悪高調波ひずみの関係

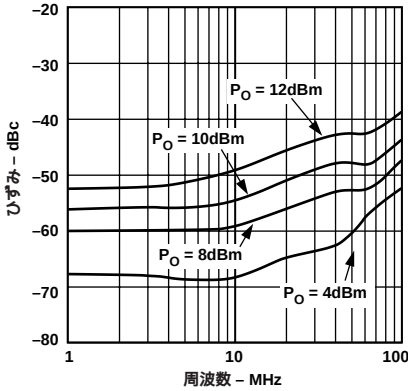


図 14. $V_{CC} = 5V$ 動作時の各出力レベルにおける周波数と最悪高調波ひずみの関係

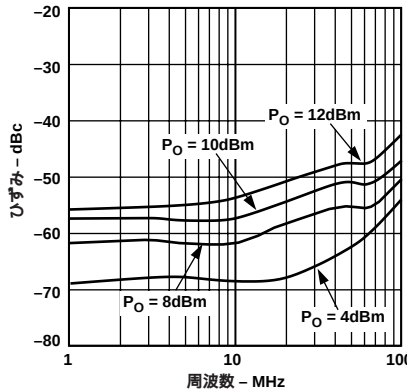


図 15. $V_{CC} = 6V$ 動作時の各出力レベルにおける周波数と最悪高調波ひずみの関係

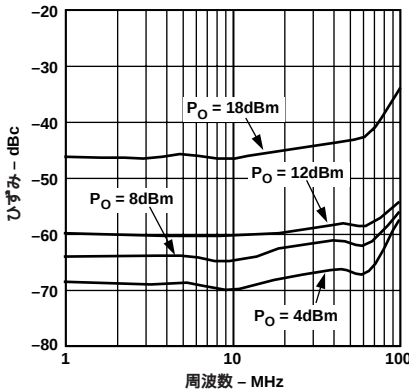


図 16. $V_{CC} = 10V$ 動作時の各出力レベルにおける周波数と最悪高調波ひずみの関係

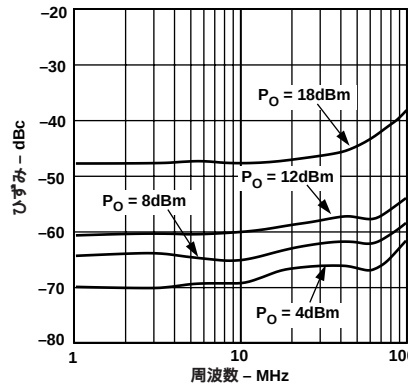


図 17. $V_{CC} = 12V$ 動作時の各出力レベルにおける周波数と最悪高調波ひずみの関係

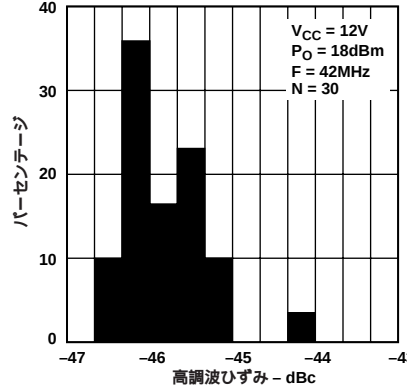


図 18. 最悪高調波ひずみの分布

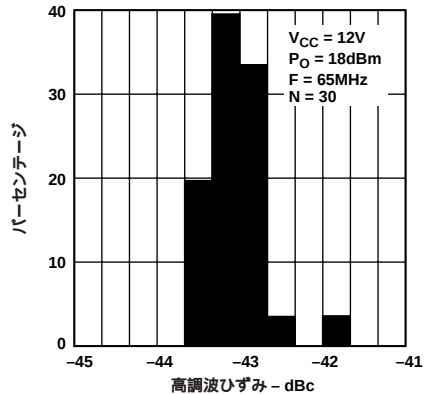


図 19. 最悪高調波ひずみの分布

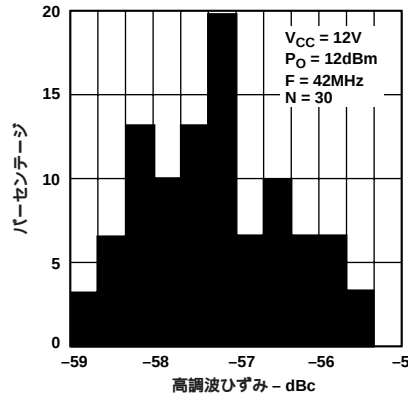


図 20. 最悪高調波ひずみの分布

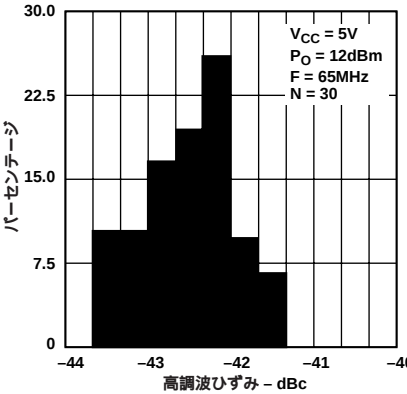


図 21. 最悪高調波ひずみの分布

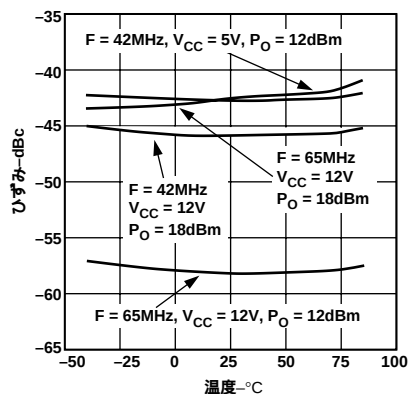


図 22. 温度と高調波ひずみの関係

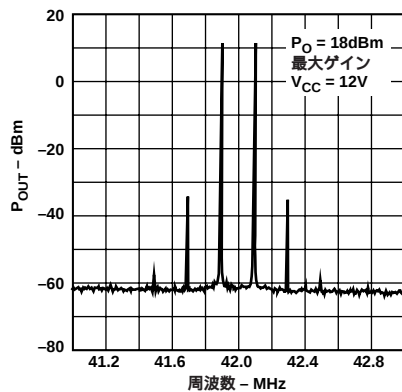


図 23. 2周波相互変調ひずみ

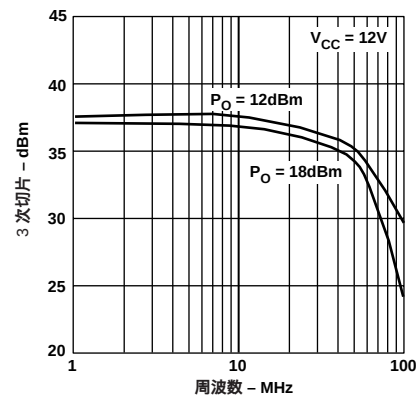


図 24. 周波数と3次妨害波の関係

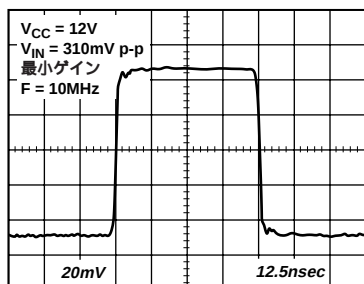


図 25. 過渡特性

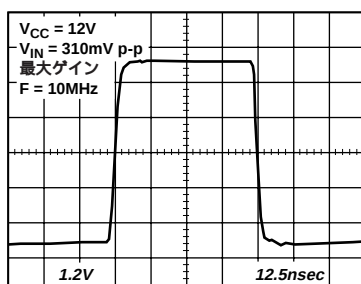


図 26. 過渡特性

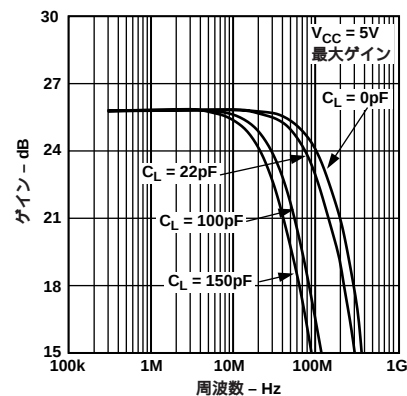


図 27. 各容量性負荷における AC 特性

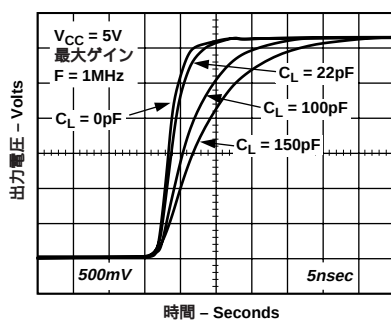


図 28. 各容量性負荷における過渡特性

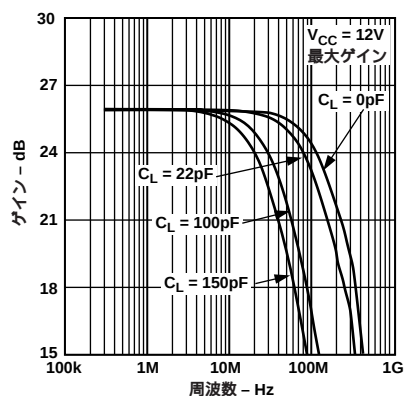


図 29. 各容量性負荷における AC 特性

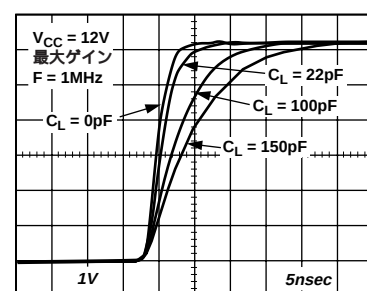


図 30. 各容量性負荷における過渡特性

AD8320

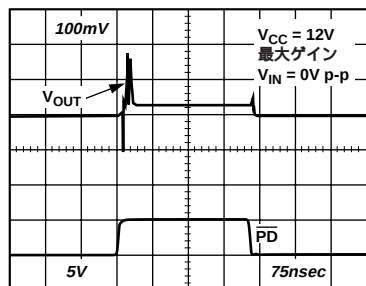


図 31. パワーアップ/パワーダウンのグリッチ

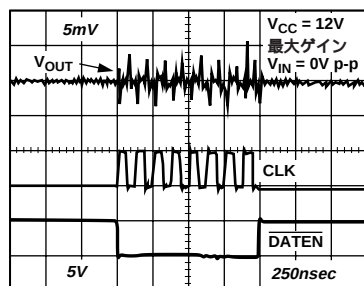


図 32. クロックのフィードスルー

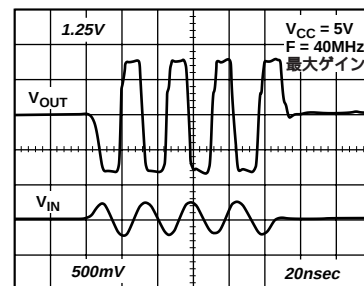


図 33. 過負荷復帰

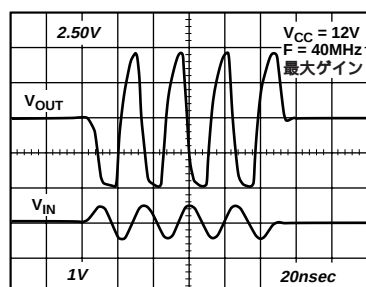


図 34. 過負荷復帰

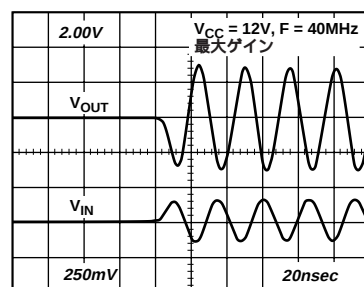


図 35. 入力の変化と出力安定時間

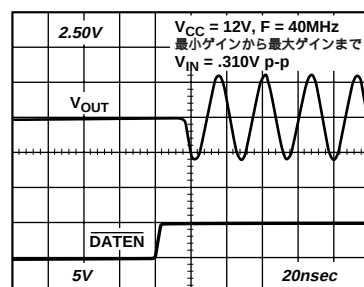


図 36. ゲインの変化と出力安定時間

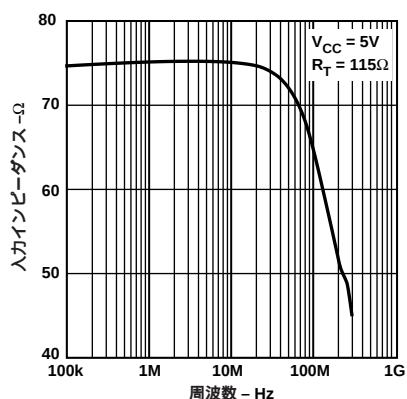


図 37. 周波数と入力インピーダンスの関係

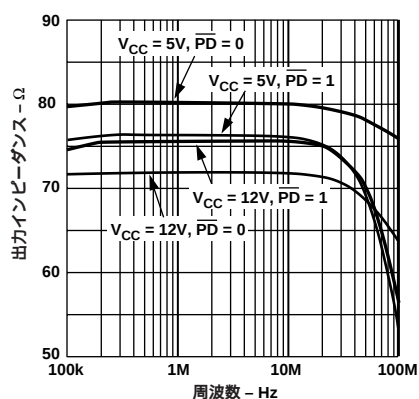


図 38. 周波数と出力インピーダンスの関係

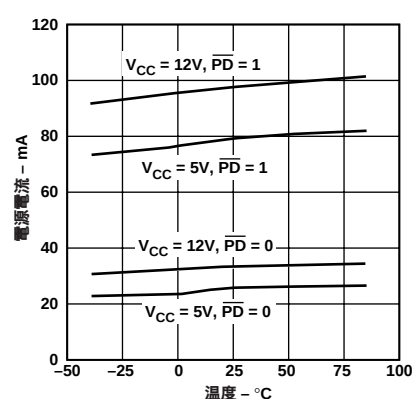


図 39. 温度と電源電流の関係

動作説明

AD8320 は、75 Ω ケーブルのドライブ用に最適化されたデジタル・コントロールの可変ゲイン・パワー・アンプです。シングル・チップに実装したマルチファンクションのこのバイポーラ・デバイスには、リバース・パス(アップストリーム)用の高速(5 MHz ~ 65 MHz)ケーブル・データ・モデムおよびケーブル電話に求められる条件を満たすために必要となる、すべてのアナログ機能が備わっています。AD8320 の総合的なゲイン範囲は 36 dB(- 10 dB ~ 26 dB) であり、100 MHz を超える周波数で動作し、18 dBm を超える出力信号レベルを提供します。総合的に見てこのデバイスは、広いゲイン幅、低いひずみ、広帯域特性および可変負荷ドライブを有することから、多くの可変ゲイン・ブロック・アプリケーションに適用することができます。

ゲインのデジタル・プログラムは、3 線式の " SPI " 互換入力によってコントロールされます。それぞれの入力は、SDATA(シリアル・データ入力ポート)、DATEN(データ・イネーブル・ロー入力ポート)およびCLK(クロック入力ポート)と呼ばれます。詳しくは、ピン機能の説明と機能ブロック図を参照してください。AD8320 をプログラムするときは、8 ビットの " アッテネータ " ワードを使用します。この 8 ビットのワードで、256 とおりのプログラマブル・ゲイン・セッティングを決定します。このアッテネータ・コアについて次に説明します。ゲインは、V/V/LSB において直線性があり、次の式を用いて表わすことができます。

$$A_V = 0.316 + 0.077 \times \text{コード} (R_L = 75 \Omega)$$

ここで、コードは、8 ビットのワードの等価 10 進数です。たとえば、8 ビットすべてがロジック " 1 " のとき、等価 10 進数が 255 になるので、 A_V は 19.95 V/V、つまり 26 dB になります。ゲインのスケール・ファクタは 0.077 V/V/LSB、オフセットは 0.316 V/V(- 10dB) です。図 40 に 10 進数のコードとリニア・ゲインの関係を、図 41 に 10 進数のコードと dB で表わしたゲインの関係をそれぞれ示します。dB を用いてコードとの関係を表わすと非直線的になる点に注意してください。dB ステップ・サイズは、減衰の増加(つまりゲインの低下)に伴って増加し、最大で約 1.9 dB(ゲインが 10 進数 00 と 01 の間で変化)に達します。

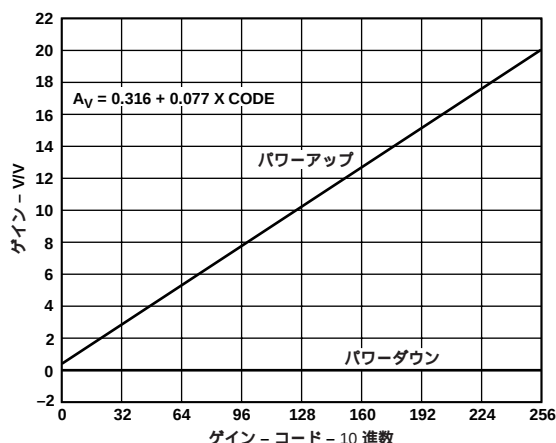


図 40. ゲイン・コントロール・コードとリニア・ゲインの関係

AD8320 は、パワーアップ・モードつまり順方向モードにおいて機能する、3 つのアナログ機能を備えています(図 42)。入力インバータ/バッファ・アンプは、シングルエンドから差動出力への変換を行います。その出力信号は、定格で位相が 180 度異なり、振幅においては均一な差動電圧ゲイン 2(6 dB)が得られます。仕様動作周波数にわたって、このように 180 度に近い位相差と均一な振幅を維持することは、適正な精度のアッテネータ・コアを実現する上で欠かせません。また、入力インバータ/バッファ・アンプは、内部リファレンスを通じて、等しい DC 電圧をコア入力に提供します。これは、仕様電源電圧の全範囲(5 V ~ 12 V)にわたり適正なコアの直線性を確保する上で必要になります。

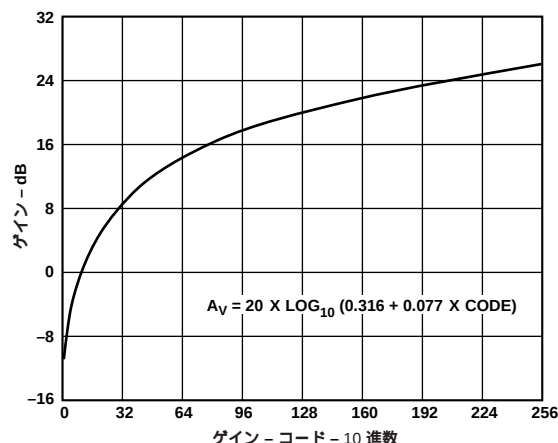


図 41. ゲイン・コントロール・コードとリニア・ゲインの関係

アッテネータ・コアは、それぞれに対応する差動負荷抵抗(図示していません)と並列に接続された 8 つの段すべてに " 同相 " 電流出力のある、8 つのバイナリ重みづけ(差動入力 - 差動出力)トランスコンダクタンス(gm)段と考えることができます。このコアの差動出力信号においても 180 度の位相差と均一な振幅が維持されます。同様に入力段は、図示したように、反転入力アンプおよびバッファの出力と並列に接続されます。このようにして仕様周波数、電源電圧、および温度範囲にわたり、すべてのゲイン・セッティングにおいて 9 ビット強の精度が達成されています。実際の総合コア GM × RL 減衰は、データ・ラッチにより選択されたバイナリに重みづけられた gm 段の組み合わせによって決定されます。8 ビットの場合、256 とおりのレベルの減衰をプログラムすることができます。この結果、36 dB の減衰範囲(0 dB から - 36 dB まで)が得られます。前述した式を参照してください。

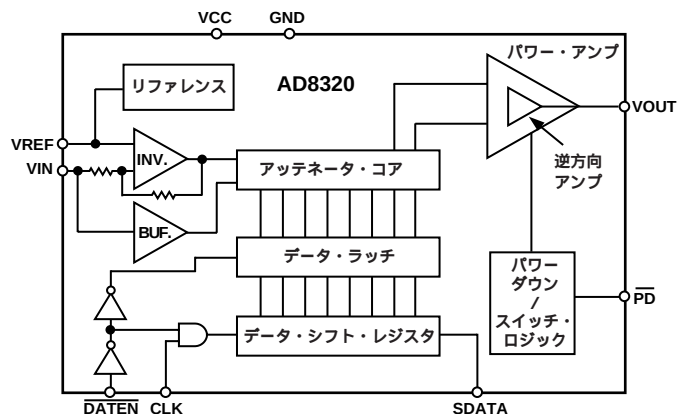


図 42. 機能ブロック図

AD8320 のゲインを更新するときは、次のようなデジタル・ロード・シーケンスが必要になります。減衰セッティングは、データ・ラッチ内の 8 - ビット・ワードによって決定されます。この 8 - ビット・ワードは、クロックの各立ち上がりエッジでシフト・レジスタにシリアルにロード(MSB が先頭)されます。図 43 を参照してください。このデータ・ロード時間(T)の間は、DATEN がローとなり、データ・ラッチがホールディング・モードにラッチされるので、直前(T-1)のデータ・ワードが保持され、減衰レベルは変更されません。8 つ目のクロック・サイクルが到来した時点で新しいデータ・ワードが完全にロードされ、DATEN がハイに切り替わります。これによってデータ・ラッチがイネーブルになり(トランスペアレントになり)、ロードされたレジスタ・データがアッテネータに渡されてゲイン値の更新が行われます。さらに、この DATEN の遷移では、内部クロックがディセーブルになって、新しいシリアル入力データの取り込みが禁止されます。

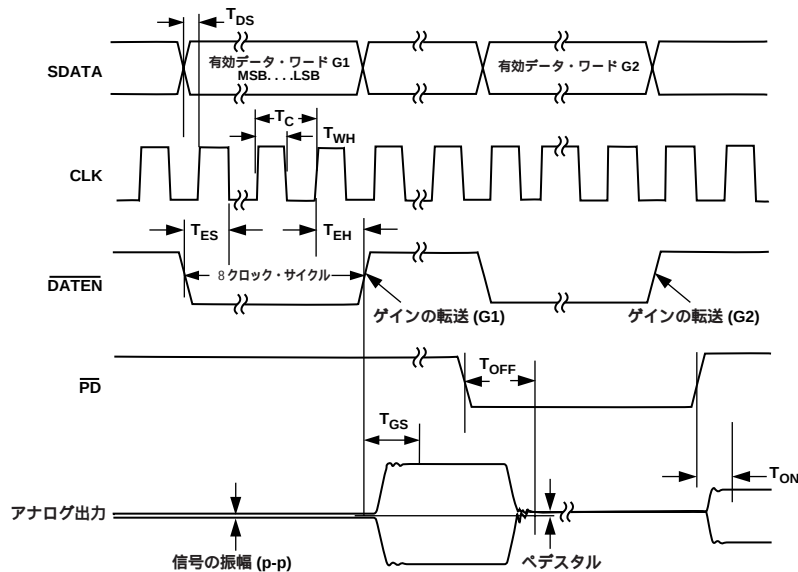


図 43. シリアル・インターフェースのタイミング

パワー・アンプは、2つの基本モード、つまり順方向すなわちパワーアップ・モードと、逆方向すなわちパワーダウン・モードで動作します。パワーアップ・モード($\overline{\text{PD}}=1$)においては、パワー・アンプ段がイネーブルになり、差動出力コアの信号が 20 dB 増幅されます。AD8320 の全体的なゲイン範囲は、0 dB から -36 dB に至るコアの減衰範囲と、6 dB の入力ゲインによって、26 dB から -10 dB になります。このモードでは、シングルエンドの出力信号が大きさ $V_{CC}/2$ の DC 電圧を保持します。この DC 出力レベルは、最適な大信号の直線性をもたらす、必要であれば出力の DC 結合を可能にします。出力段は、動的出力インピーダンスを 75 Ω に維持するという他に見られない特長を持っています。これによって、75 Ω ケーブルとのダイレクトな接続が可能になり、75 Ω の直列逆方向終端抵抗を必要とする従来の低出力インピーダンス・アンプに比べて 6 dB 高い負荷電力が得られます。このパワー・アンプにより、これよりも低い負荷、あるいはこれよりも高い負荷をドライブすることができ、それに応じてデバイスのゲイン(ゲイン範囲ではありません)が変化します(「アプリケーション」のセクションを参照してください)。

パワーダウン・モード($\overline{\text{PD}}=0$)においては、パワー・アンプがオフになり、「逆方向」アンプ(図 42 に示した内側の三角形)がイネーブルになります。 $\overline{\text{PD}}$ が「1」から「0」に移る間に、出力パワー・アンプの入力段もディセーブルになり、その結果、順方向出力信号がなくなります($S_{21}=0$)。入力アンプ/パワファ信号は影響を受けませんが($S_{11}\approx 0$)。逆方向アンプの機能は、パワーダウンの間、出力ポート(V_{OUT})を 75 Ω 、 $V_{CC}/2$ に保持することです。これは、反射を最小に抑え($S_{22}\approx 0$)、同一のバスを共有する(つまり、多重化構成)順方向モードのデバイスの適正なフィルタ動作を確保するために必要な機能です(「アプリケーション」のセクションを参照してください)。時間領域においては、 $\overline{\text{PD}}$ の状態を変化させると、遷移グリッチとベデスタル・オフセットを生じます(図 31 および図 43 を参照してください)。なお、パワーダウン・モードでは、パワーアップ・モードで 97 mA($V_{CC}=12\text{ V}$)あった電源電流が 32 mA まで下がります。

通常は、このアクティブ・ローのパワーダウン入力($\overline{\text{PD}}$)を切り替えに使用すると、スプリッタを用いた複数デバイスの多重化(N-1 個をオフ、1 個をオン)が可能になり、ケーブル・データ・アプリケーションに必要な合計消費電力を抑えることができます。ケーブル電話の場合、一般に、スリープ・モードあるいはスタンバ

イ・モードと呼ばれている間のパワーダウン電流をさらに低く抑える必要があり、「アプリケーション」のセクションで説明するように、PFETs もしくはこれと等価な手段を用いた VCC 電源の切り替えが必要になります。

アプリケーション

AD8320 は、基本的にケーブル・モデム・アプリケーションやケーブル電話アプリケーションのリターン・パス(アップストリーム・パスと呼ばれることもあります)のライン・ドライバを意図して設計されています。この場合、送信されるデータが QPSK フォーマットもしくは QAM フォーマットのいずれかによって変調されます。この変調が DSP 内で行われることもあれば、AD9853 等の専用の QPSK/QAM 変調器が用いられることもあります。

アンプは、専用 QPSK/QAM 変調器もしくは DAC から入力信号を受け取ります。いずれの場合でも、ロー・パス・フィルタを通してから信号をライン・ドライバ・アンプに印加する必要があります。

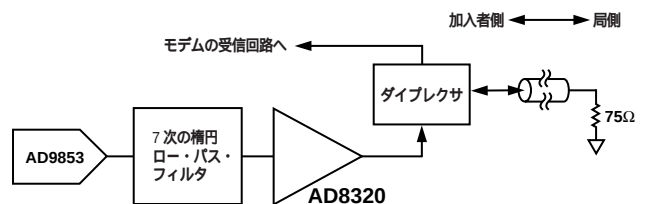


図 44. ケーブル・モデムの上り方向・ドライバ・セクションのブロック図

このアンプは、ダイプレクサを経由してラインをドライブします。ダイプレクサの挿入損失は、通常 -3 dB です。つまり、ライン・ドライバは、対応するケーブル・モデム標準から求められる電力レベルより、約 3 dB 高い電力を出力して、ダイプレクサの損失を相殺しなければなりません。

加入者ごとに中央局までの距離が異なることから、各加入者から中央局に届く信号が受ける減衰は、それぞれ異なります。このため、すべての信号が等しい振幅で中央局に届くように、ラインドライバのゲインをそれぞれ調整する必要があります。

基本接続

図 45 は、AD8320 の基本回路図です。このアンプが単電源で動作することから、 $0.1\ \mu\text{F}$ のキャパシタを使用して入力信号を AC 結合する必要があります。入力ピンには、約 $1.9\ \text{V}$ のバイアス・レベルがあります。このバイアス・レベルは、VREF ピン(ピン 18)において得られ、DC 結合が望ましいときには、これを使用して外部で信号をバイアスすることができます。ただし、どのような条件を用いた場合でも、VREF ピンに $0.1\ \mu\text{F}$ のデカップルキャパシタを接続しなければなりません。なお、VREF 電圧を外部で使用する場合には、まずバッファを行う必要があります。

AD8320 の VIN ピン(ピン 19)は、入力インピーダンスが $220\ \Omega$ あります。一般に、ビデオ・アプリケーションにおいては $75\ \Omega$ の終端抵抗がよく使用されます。このため、グラウンドとの間に $115\ \Omega$ のシャント抵抗(R1)を接続して、全体としての入力インピーダンスを $75\ \Omega$ に下げることがあります。 $50\ \Omega$ で終端する必要があるときは、これに代えて、 $64.9\ \Omega$ のシャント抵抗を使用します。なお、VIN ピンへの DC 負荷を避けるために、図 45 に示したように、入力ピンとシャント抵抗の間に AC 結合キャパシタを挿入します。

出力側においても、VOUT ピンが DC バイアス・レベルを有しています。この場合のバイアス・レベルは、電源電圧とグラウンドの中間になります。このため、負荷に印加する前に出力信号を AC 結合する必要があります。この DC バイアス電圧は、VOCM ピン(ピン 5)から引き出すことが可能で、DC 結合アプリケーションにおいて使用することができます。このノードは、 $0.1\ \mu\text{F}$ のキャパシタを使用して減結合しなければなりません。なお、この VOCM 電圧を外部で使用する場合には、バッファが必要です。

AD8320 は、 $75\ \Omega$ の動的出力インピーダンスを有することから、逆方向終端抵抗が必要ありません。ただし、入力インピーダンスが $50\ \Omega$ のスペクトル・アナライザ等のテスト装置を用いて出力信号の評価を行うときは、 $75\ \Omega$ を $50\ \Omega$ に変換するアダプタ(一般に「パッド」と呼ばれています)を使用して適切な整合を確保する必要があります。

ゲインの変更

AD8320 のゲインは、8 ビットのゲイン・セッティング・ワードを変えることによって、 $-10\ \text{dB}$ から $+26\ \text{dB}$ までの $36\ \text{dB}$ の範囲で変化させることができます。

ここで、図 43 に示した AD8320 のシリアル・インターフェースのタイミング図を参照してください。

書き込みサイクルは、DATENN の立ち下がりエッジから開始されます。コントロール・ワードは、これに続く 8 つのクロック・パルスによって読み込まれます。このクロック信号がレベル・トリガであることから、CLK の立ち下がりエッジでデータを効果的にクロックすることができます。

コントロール・ワードが読み込まれると、DATENN がハイに戻り、ゲインの更新が可能になります(これに要する時間は、約 $30\ \text{ns}$ です)。

コントロール・ワードとゲインの関係は、次式を用いて表すことができます。

$$\text{ゲイン}(V/V) = 0.077 \times \text{コード} + 0.316$$

これにおいて、コードは、コントロール・ワードの等価 10 進数です($0 \sim 255$)。

ゲインを dB で表わす場合には、次式を使用します。

$$\text{ゲイン}(\text{dB}) = 20 \log_{10}(0.077 \times \text{コード} + 0.316)$$

デジタル・インターフェースにも非同期パワーダウン・モードがあります。ノーマル・ハイの PD ラインは、随時ローに引き込むことができます。このラインをローに引き込むと、その $45\ \text{ns}$ 後に出力信号がオフになり、無負荷電流が $25\ \text{mA}$ ないし $32\ \text{mA}$ (具体的な値は電源電圧に応じて異なります)まで抑えられます。このモードにおいても、プログラムしたゲインは保持されます。

クロック・ラインのフィードスルー

クロックのフィードスルーは、出力信号に重畳された $5\ \text{mV}_{\text{p-p}}$ の信号として現れます(図 32 を参照してください)。これがアプリケーションのダイナミック・レンジに影響を及ぼす場合は、クロック信号を不連続、つまりゲインのプログラムを行う間の 8 クロック分だけオンにします。

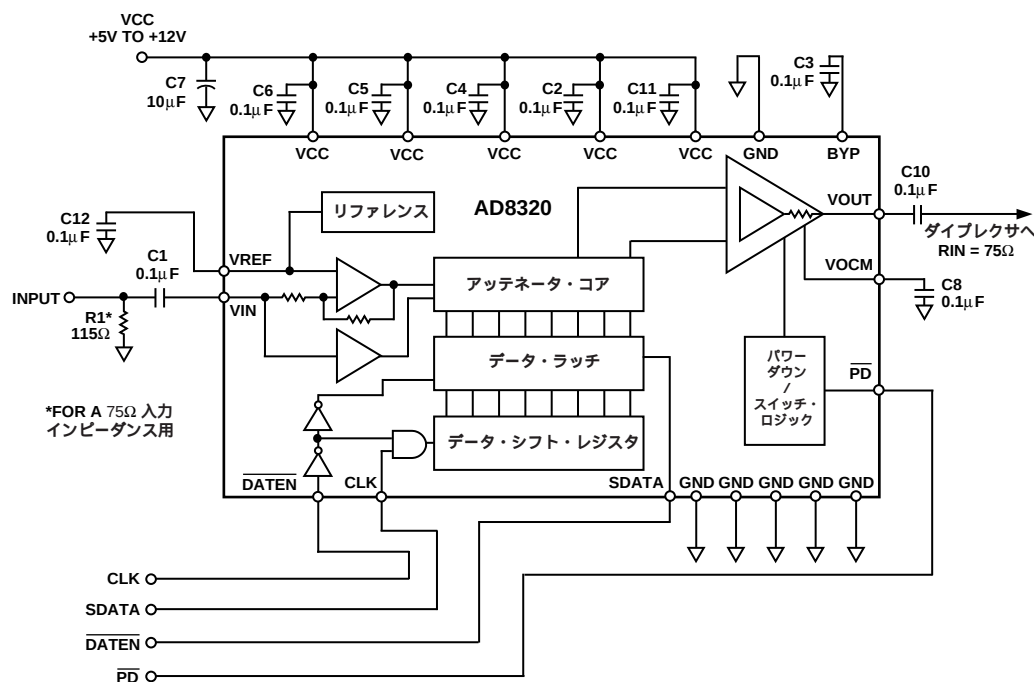


図 45. 基本接続

AD8320

電源とデカップリング

AD8320 には、+5 V から +12 V までの品質の良い(すなわち低ノイズの)単電源を使用します。75 Ω の負荷を +18 dBm(6.2 V p-p)の出力電力レベルでドライブするために必要な最低電源電圧は、+10 V になります。また、75 Ω の負荷を +12 dBm(3.1 V p-p)の出力電力レベルでドライブするときには、少なくとも +5 V の電源電圧が必要です。しかしながら、ひずみを可能な限り低くするためには、電源電圧を可能な限り高くする必要があります。なお電源電圧を +5 V から +12 V まで変化させると、無負荷電流が 80 mA から 97 mA に増加します。

ところで、電源ピンのデカップリングには充分な注意が必要です。つまり、デバイスの直近で 10 μ F のキャパシタを使用し、低周波信号に対する良好なデカップリングを確保します。さらに、0.1 μ F のデカップリングキャパシタを 5 つ用意して、5 つの電源ピン(7、8、9、17 および 20)のそれぞれの直近で接続します。BYP というラベルのついたピン(ピン 14)にも 0.1 μ F のキャパシタを接続し、デバイスの内部ノードに対するデカップリングを確保する必要があります。6 つのグラウンド・ピンは、すべてロー・インピーダンスのグラウンド面に接続します。

代替パワーダウン・モード

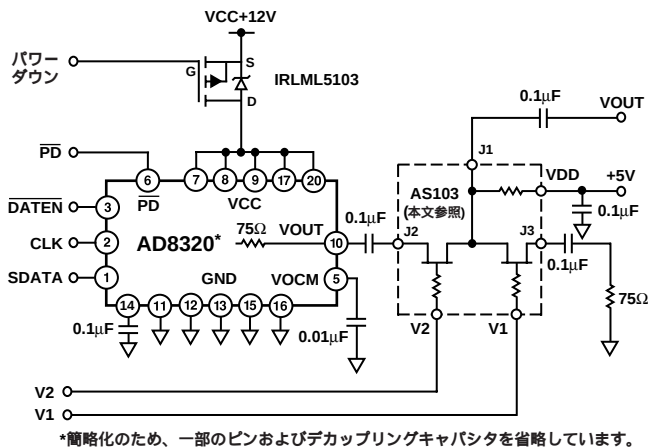
すでに述べたように、 $\overline{\text{PD}}$ ピンをローに引き込むことによって AD8320 を低消費電力のスリープ・モードに設定することができます。パワーダウン・モードの間の消費電力をこれよりもさらに抑える必要がある場合には、図 46 に示したような代替方法の使用も可能です。

AD8320 の電源ピンに対する電流のオン / オフ切り替えには、HEXFET パワー MOSFET (International Rectifier 社部品番号 IRLML5103)を使用します。通常の動作条件においては、ゲート(ラベル: POWER-DOWN)をグラウンドに接続します。このゲート電圧を電源電圧から 2 V 以内の範囲まで引き上げると、スイッチが開き、アンプに流れる電流がゼロになります。

ところで、ケーブル・モデムやケーブル電話のアプリケーションにおいては、ラインに対するモデムの出力インピーダンスが常に 75 Ω にならなければなりません。このことは、ダイプレクサに対して、ライン・ドライバが、常に 75 Ω のインピーダンスを示さなければならないことを意味します。このアプリケーションにおいては、シングル・ボールの両投式 RF スイッチ(AS103: Alpha Semiconductor)を使用して、AD8320 がオフのとき、外部の 75 Ω のインピーダンスに切り替え接続します。この切り替え接続後は、この抵抗が AD8320 の動的出力インピーダンスに代わって作用します。なお、2 レベルの電圧(V1 および V2)による RF スイッチのドライブには、TTL または CMOS ロジックを使用することができます。

AD8320 を再度オンに戻す前に、ゲインを既知のレベルにセットする必要があります。これは、POWER-DOWN がハイになった後に、AD8320 の $\overline{\text{PD}}$ ピンをローにホールドすることによって得られます。 $\overline{\text{PD}}$ ピンをローにホールドしている間は、8 ビットのシリアル・データ・ストリームを AD8320 に読み込むことができます。この間に、無負荷電流は、32 mA まで上昇します。しかし、この期間は、約 1 μ s まで短縮することが可能です。このモードにおいては、 $\overline{\text{PD}}$ の立ち上がりエッジから約 45 ns で出力が安定します。

これに代えて、AD8320 をパワーアップするとき DATEN をローにホールドすると、最小のゲインでデバイスがパワーアップします。このモードにおいては、約 200 μ s 後に出力が安定します。いずれの場合でも、VOCM に接続するキャパシタを 0.1 μ F から 0.01 μ F に下げて、ターン・オン時間の短縮を図っています。回路内のこのほかのキャパシタの接続については、図 45 に示したとおりです。



*簡略化のため、一部のピンおよびデカップリングキャパシタを省略しています。

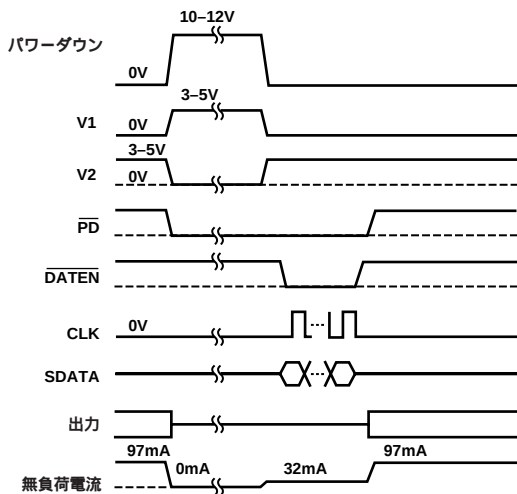


図 46. 代替パワーダウン・モードおよびタイミング図

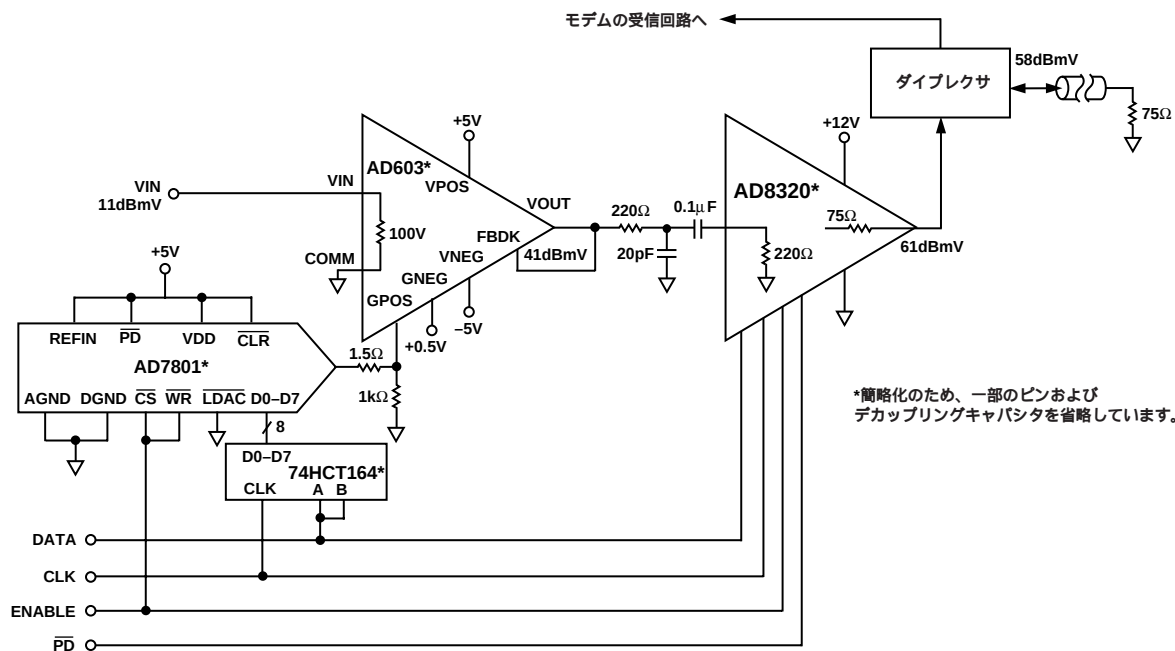


図 47. 拡張ダイナミック・レンジ回路

拡張ダイナミック・レンジ・アプリケーション

図 47 に示すように、AD8320 と AD603 を組み合わせてさらにダイナミック・レンジを得ることができます。AD603 は、電圧制御可変ゲイン・アンプです。AD603 のゲインは、GPOS ピンと GNEG ピンの間の電位差によって決定されます。この例においては、GNEG の電圧を +0.5 V に固定しています。GPOS の電圧を 0 V から 1 V まで変化させると、AD603 のゲインが -10 dB から +30 dB まで変化し、その勾配は 25 mV/dB (つまり dB に対して直線) になります。ゲイン・コントロール電圧は、AD7801 DAC から供給します。この DAC の出力電圧は、0 V から +2.5 V までの範囲となるので、AD603 の電圧範囲、0 V から 1 V までに適合するように、抵抗アッテネータ回路を用いて分圧します。

AD603 と AD8320 に同一のゲイン・コントロール・ワードを使用するようにするため、シリアル・パラレル・シフト・レジスタを用いて、シリアル・データ・ストリームを AD7801 DAC のパラレル・フォーマットに変換します。データの更新は、イネーブル・パルスの立ち上がりエッジで両方のアンプに対して同時に行われます。

コントロール・ワードが 10 進数 00 から 10 進数 255 まで変化するとき、この信号路のゲインは、-26 dB から +50 dB まで (AD603 と AD8320 の間には 6 dB の減衰があります) 変化します。実際には、小さい入力信号 (11 dBmV または約 10 mV p-p) に起因してこの回路のゲイン範囲の下限付近は使用できません。図 48 に周波数を 42 MHz、出力レベルを 61 dBmV (3.1 V p-p, 最大ゲイン) としたときの出力信号スペクトルを図示します。

図 49 は、2 つのアンプを組み合わせた総合的なゲイン対コードの伝達関数と、それぞれのアンプの伝達関数を示したグラフです。総合的なゲイン伝達関数は、dB に関して直線的な伝達関数と、V/V に関して直線的な伝達関数の組み合わせです。図 49 を参照すると、総合的なゲイン伝達関数は、高い側から 50 dB の範囲でほぼ直線的と見なすことができます。

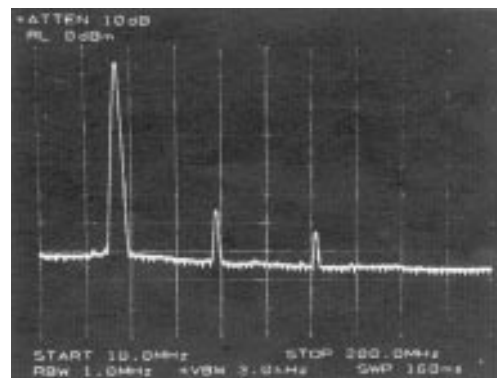


図 48. 拡張ダイナミック・レンジ回路の出力スペクトル (出力レベル = 61 dBmV, 周波数 = 42 MHz)

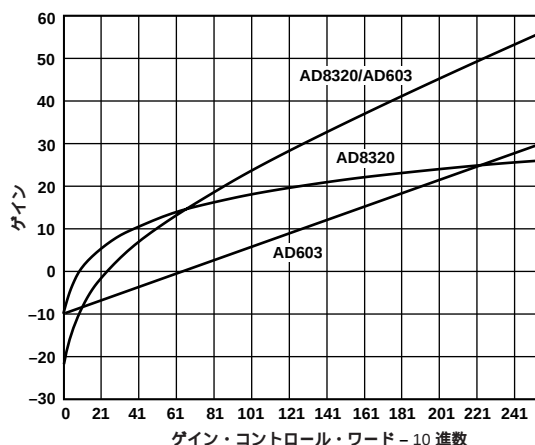


図 49. 拡張ダイナミック・レンジ回路のゲイン伝達関数

AD8320

負荷インピーダンスの変化によるゲインの変化

前述したように、AD8320 の動的出力インピーダンスは、75 Ω です。このため、仕様ゲイン範囲も、出力が 75 Ω の負荷インピーダンスによって終端されていることを前提としています。しかし、負荷インピーダンスを変化させると、最大で仕様ゲインの 2 倍 ($R_L = \infty$ の場合) までゲインを変化させることができます。負荷インピーダンスによるゲインの変化を、ゲイン・コントロール・ワードが 10 進数 255 の場合(つまり最大ゲイン)を例にして図 50 に示します。

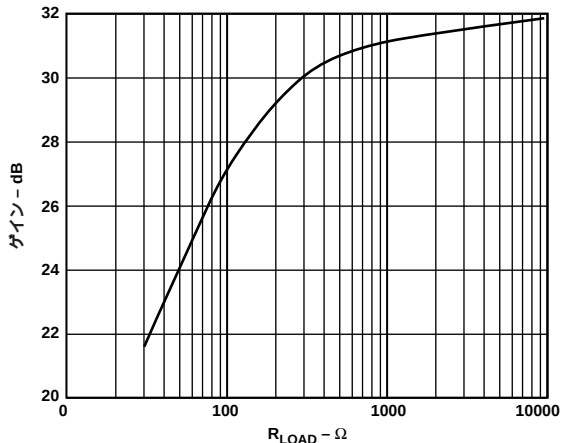


図 50. ゲイン対 R_{LOAD} (ゲイン・コントロール・ワード = 10 進数 255)

この場合のゲインは、次の式を用いて表わすことができます。

$$A_V = 20 \log_{10} \left[\frac{2R_{LOAD}}{R_{LOAD} + 75} \right] \{0.316 + 0.077 \times \text{コード}\}$$

ここで、コードは、8 ビットのワードの等価 10 進数です。

評価ボード

AD8320 には、2 層の評価ボード(部品番号: AD8320-EB)が用意されています。このボードは、慎重なレイアウトが施されており、テストにより、このデバイスの仕様にある高速性能が立証されています。図 51 は、この評価ボードの回路図です。図 52 は、コンポーネント・サイドのレイヤのシルクスクリーンを示しています。また、このボードのレイアウトを図 53 および図 54 に示します。

評価ボードのパッケージには、BNC タイプのコネクタを全部取り付けたボードを始め、標準プリンタ・ケーブルを経由して PC のプリンタ・ポートからボードをコントロールする Windows® ベースのソフトウェアが含まれています。

ボード上に設けられたプロトタイピング・エリアでは、回路の追加を行うことができます。ボードへの単電源およびグラウンドは、このエリアを通過しており、2 本のストリップからアクセスが得られます。また、プロトタイピング・エリアに追加された別の 2 本のストリップは、追加の電源に利用できます。

ボードには、+5 V から +12 V までの品質の良い低ノイズの単電源を使用します。このボードは、各種のデカップリングを備えています。デバイスの極めて近くに備えられた 10 μF のキャパシタは、低周波信号に対する良好なデカップリングをもたらします。さらに、より重要なことですが、5 つの電源ピン(7、8、9、17 および 20)のそれぞれの近くに 0.1 μF のデカップリングキャパシタ(合計 5 つ)が備えられています。

PC を用いた評価ボードのコントロール

評価ボードには、Windows ベースのソフトウェアが付属しています。この評価ボードと PC のプリンタ・ポート(パラレル・ポートと呼ばれることもあります)との接続には、標準のプリンタ・ケーブルが使用できます。ただし、ケーブルの長さは、5 フィートを超えないようにしてください。図 55 に、信号ラインに関するプリンタ・ケーブルの結線図を示しました。ソフトウェアのコントロールは、PC のパラレル・ポートを経由して行われますが、AD8320 のデジタル・インターフェースは、シリアルです。パラレル・ポートの 8 つのビットのうちの 3 つ(およびデジタル・グラウンド・ライン × 1)を、このシリアル・インターフェースに使用しています。4 番目のビットは、 $\overline{PD}$ のコントロールに使用します。

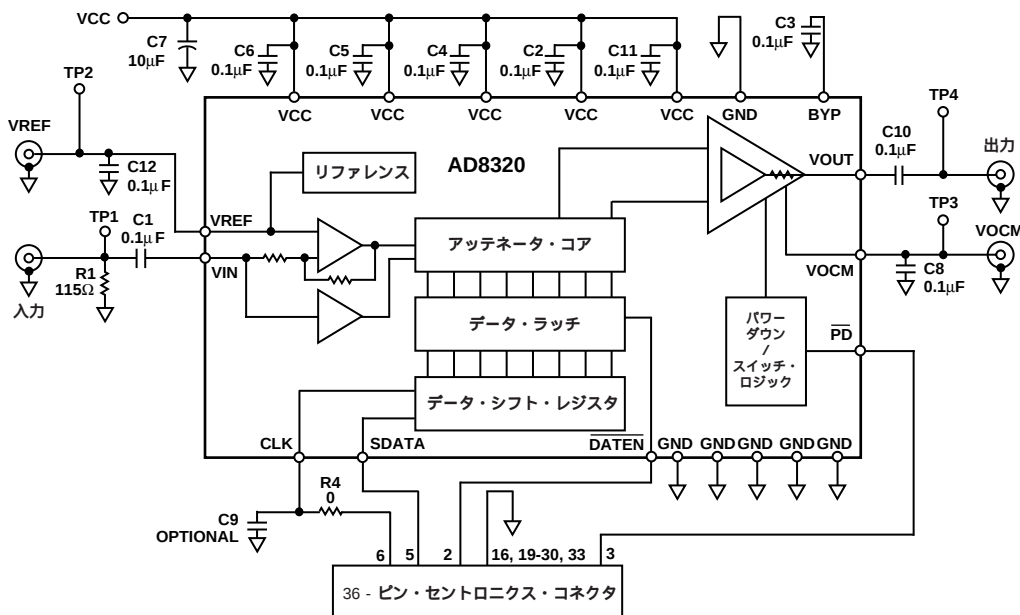


図 51. 評価ボードの回路図

コントロール・ソフトウェアの動作には、Windows 3.1 以降が必要です。ソフトウェアのインストールは、まず、"Disk #1 of 2" というラベルの貼られたディスクを PC のスロットに挿入し、SETUP.EXE ファイルを起動します。以下は、スクリーンに現れるインストール・プログラムの指示に従って、インストールを行ってください。なお、インストールを異常なく完了するためには、動作中の他の Windows アプリケーションがあれば、インストールの開始前にすべて終了しておくことが重要です。

インストールしたコントロール・ソフトウェアを Windows から起動すると、使用するプリンタ・ポートの選択を求められます。最近の PC のほとんどは、通常は LPT1 と呼ばれるプリンタ・ポートが 1 つしかありません。しかし、一部のラップトップ・コンピュータには、PRN ポートを使用するものもあります。

コントロール・ソフトウェアのメイン・スクリーンを図 56 に示します。スライダをドラッグすれば、36 dB の範囲内で AD8320 のゲインを任意に設定することができます。ゲインは、dB および V/V を単位とする 2 とおりの表示でスクリーン上に表示されます。また、それに対応する 8 ビットのゲイン・セッティングについても、2 進数 (binary code)、16 進数 (HEX code) および 10 進数 (decimal code) を用いた表示が行われます。

スライダをドラッグするごとに、ソフトウェアから AD8320 に自

動的に 8 ビットのデータ・ストリームが送られ、ラッチされます。また、デバイスのパワーダウンまたはリセットは、対応するボタンをクリックするだけで得られます。さらにこのソフトウェアには、特定のゲインをストアすることができる揮発性メモリ・ロケーションが 1 つ用意されています。このメモリは、電卓のメモリ機能とまったく同じに機能します。

PC プリンタ・ポートのデータ・ラインにおけるオーバーシュート

ある種のプリンタ・ポートのデータ・ラインには、過剰なオーバーシュートが見られます。シリアル・クロックとして使用するピン (D-Sub-25 コネクタのピン 6) にオーバーシュートがあると、通信に問題を生じることがあります。このオーバーシュートは、評価ボード上で CLK ラインに適度なフィルタリングを施すことによって除去することができます。フィルタリングにおいては、CLK ラインと直列に値の小さい抵抗を挿入し、さらにキャパシタを介して CLK ラインをグラウンドに接続します。評価ボードのコンポーネント・サイドには、パッド (C9、R4) が備わっており、これらのデバイスの挿入が容易になっています。使用する抵抗およびキャパシタの値は、何らかの実験を通じて決定します。プリンタ・ポートからのオーバーシュートによって異なりますが、通常は、キャパシタが 0.01 μ F 程度、抵抗が 50 Ω から 100 Ω 程度の大きさとなります。

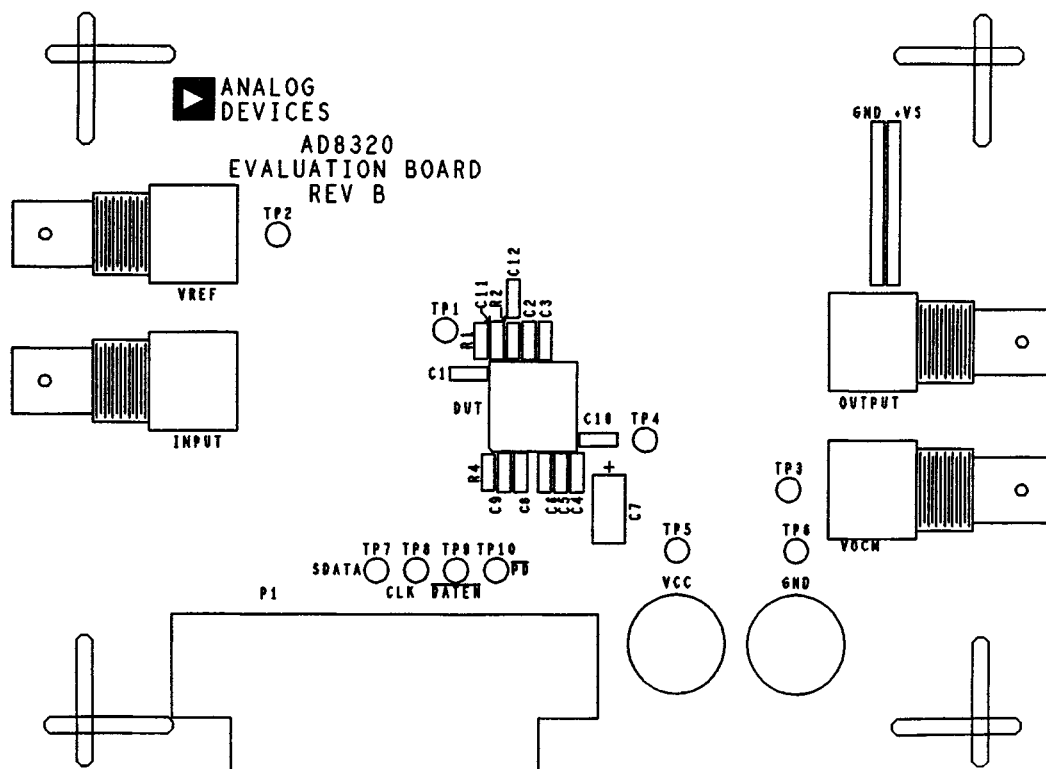


図 52. 評価ボードのシルクスクリーン (部品実装側)

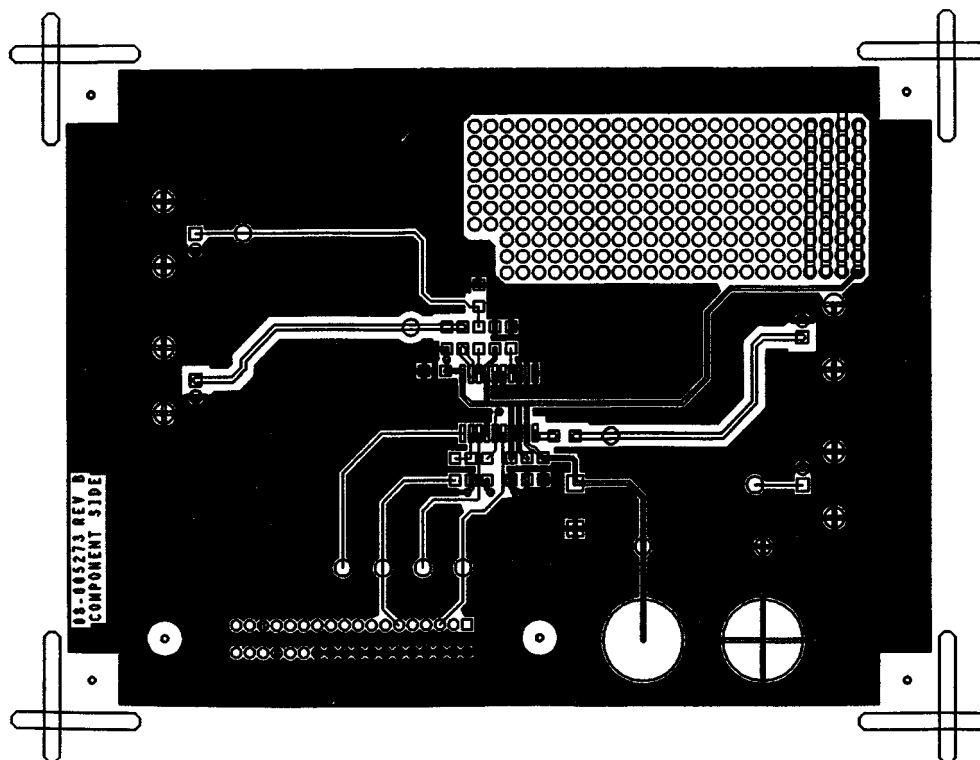


図 53. 評価ボードのレイアウト(部品実装側)

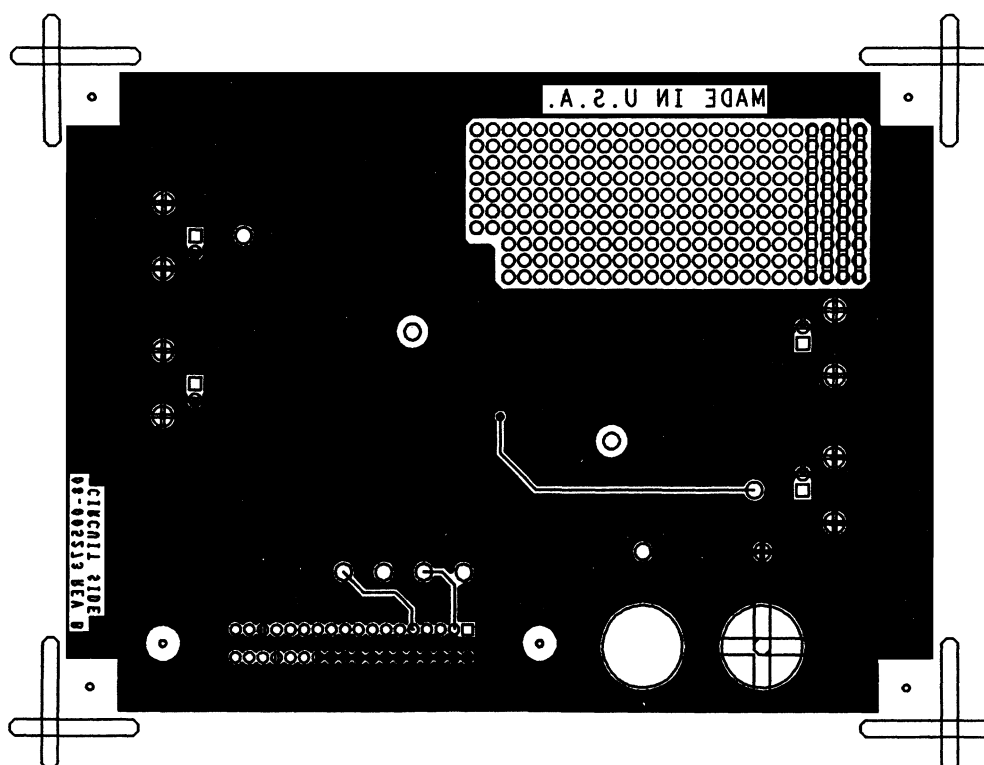


図 54. 評価ボードのレイアウト(半田側)

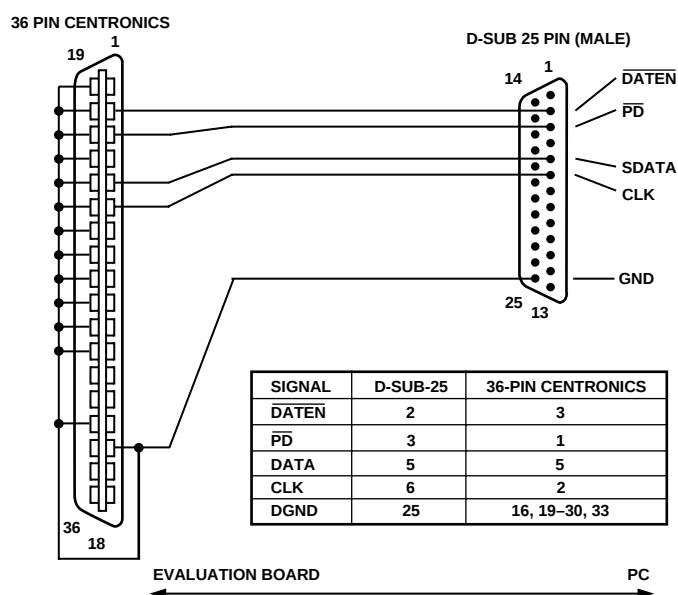


図 55. AD8320EB と PC のプリンタ・ポートとの間の結線図

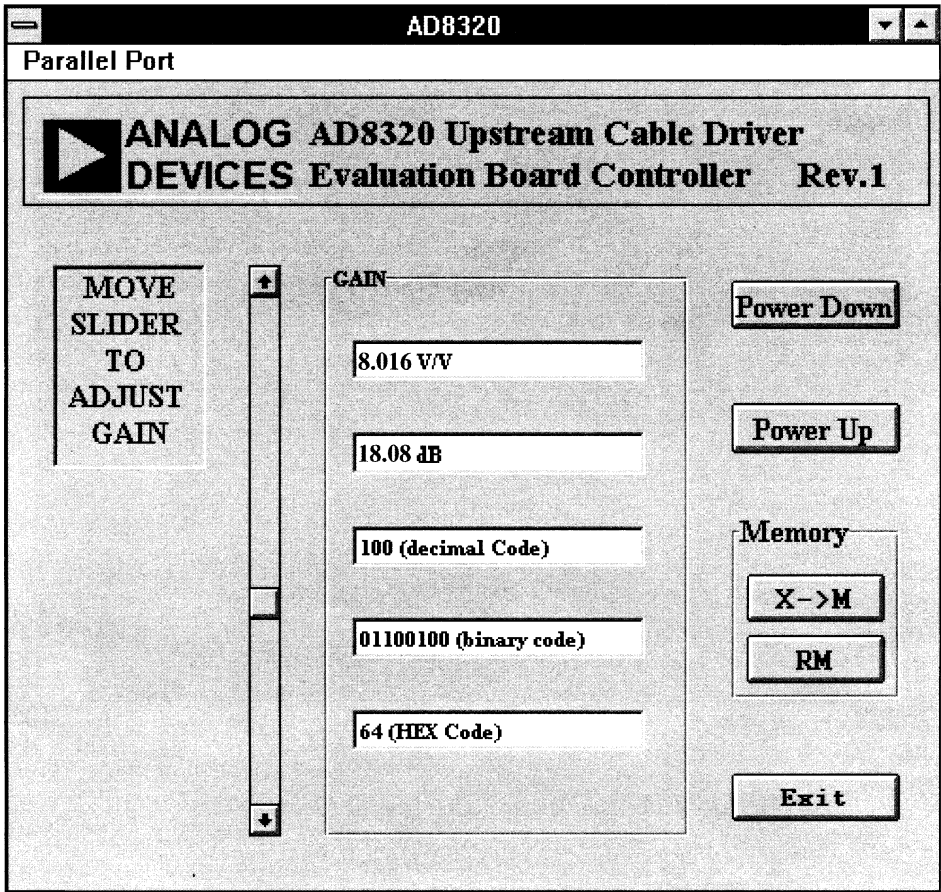


図 56. Windows ベースのコントロール・ソフトウェアのスクリーン表示

外形寸法

サイズはインチと(mm)で示します。

20ピン・温度特性強化・スモール・アウトライン・パッケージ
(RP-20)

