

特長

ピンまたはソフトウェアで選択可能な複数の入力範囲：

5V、10V、±5V、±10V

ピンまたはシリアルSPI®互換で入力範囲/モード選択

スループット

750kSPS (ワーブ・モード)

600kSPS (ノーマル・モード)

500kSPS (インパルス・モード)

INL：±0.75LSB (typ)、±1.5LSB (max) (FSRの±23ppm)

ノー・ミスコードの16ビット分解能

S/N比：92dB (min) @2kHz (5V)、94dB (typ) @2kHz (±10V)

THD：-107dB (typ)

iCMOS™プロセス技術

5V内部リファレンス：ドリフト3ppm/°C (typ)、TEMP出力
パイプライン遅延なし (SARアーキテクチャ)

パラレル (16/8ビット・バス) とシリアル5V/3.3Vインター
フェース

SPI®/QSPI™/MICROWIRE™/DSP互換

消費電力：190mW (typ) @750kSPS

鉛フリー、48ピンLQFPおよびLFCSP (7mm×7mm) パッ
ケージ

アプリケーション

プロセス制御

医療機器

高速データ・アクイジション

デジタル・シグナル・プロセッシング

計測機器

スペクトル・アナライザ

ATE

概要

AD7612は、アナログ・デバイセズ社のiCMOS高電圧プロセスで製造された、16ビット電荷再配分式の逐次比較型 (SAR) アーキテクチャ採用のA/Dコンバータ (ADC) です。AD7612の入力範囲と動作モードは、ハードウェアまたは専用のシリアル設定ポート (書込み専用) によって設定されます。AD7612は、高速16ビット・サンプリングADC、内部変換クロック、内部リファレンス (およびバッファ)、誤差補正回路、シリアルとパラレルのシステム・インターフェース・ポートを内蔵しています。IN+でのアナログ入力、CNVSTの立下がりエッジでグラウンド・センスIN-を基準にしてサンプリングされます。AD7612は、4種類のアナログ入力範囲に加えて、3種類のサンプリング・モードを備えています。すなわち、最大のスループットが得られるワーブ・モード、最大の非同期スループットが得られるノーマル・モード、消費電力がスループットに応じて直線的に変化するインパルス・モードです。動作温度範囲は-40~+85°Cで仕様規定されています。

機能ブロック図

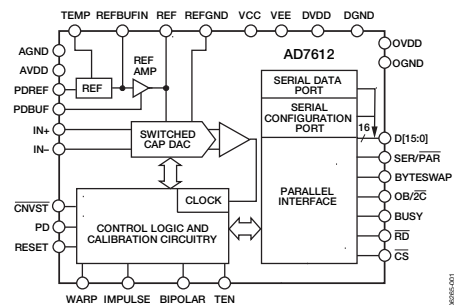


図1

表1. 48ピン14/16/18ビットPulSARセレクション

Type	100 kSPS to 250 kSPS	500 kSPS to 570 kSPS	800 kSPS to 1000 kSPS	>1000 kSPS
Pseudo Differential	AD7651	AD7650	AD7653	
	AD7660	AD7652	AD7667	
	AD7661	AD7664	AD7666	
True Bipolar	AD7663	AD7665	AD7612 AD7671	
True Differential	AD7675	AD7676	AD7677	AD7621 AD7622 AD7623
18-Bit, True Differential	AD7678	AD7679	AD7674	AD7641 AD7643
Multichannel/ Simultaneous		AD7654 AD7655		

製品のハイライト

- プログラマブルな入力範囲とモード選択
ピンまたはシリアル・ポートで入力範囲/モードが選択できます。
- 高速スループット
ワーブ・モードでは、750kSPSを実現します。
- 優れた直線性
16ビットのノー・ミスコード、±1.5LSB (max) のINLを特長とします。
- 内部リファレンス
±3ppm/°C (typ) のドリフトを持つ5V内部リファレンスとオンチップ温度センサーを備えています。
- シリアル/パラレル・インターフェース
3.3Vまたは5Vロジックと互換性を持つ、多機能のパラレル・インターフェース (16/8ビット・バス) または2線式シリアル・インターフェースを内蔵。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

AD7612

目次

特長	1	アナログ入力	20
アプリケーション	1	ドライバ・アンプの選択	21
概要	1	電圧リファレンス入力／出力	21
機能ブロック図	1	電源	22
製品のハイライト	1	変換制御	23
改訂履歴	2	インターフェース	24
仕様	3	デジタル・インターフェース	24
タイミング仕様	5	パラレル・インターフェース	24
絶対最大定格	7	シリアル・インターフェース	25
ESDに関する注意	7	マスター・シリアル・インターフェース	25
ピン配置と機能の説明	8	スレーブ・シリアル・インターフェース	27
代表的な性能特性	12	ハードウェア設定	29
用語の説明	16	ソフトウェア設定	29
動作原理	17	マイクロプロセッサとのインターフェース	30
概要	17	アプリケーション	31
コンバータの動作	17	レイアウトのガイドライン	31
動作モード	18	AD7612の性能評価	31
伝達関数	18	外形寸法	32
代表的な接続図	19	オーダー・ガイド	32

改訂履歴

10/06—Revision 0: Initial Version

仕様

AVDD=DVDD=5V、OVDD=2.7~5.5V、VCC=15V、VEE=-15V、V_{REF}=5V。特に指定のない限り、T_{MIN}~T_{MAX}で全仕様を規定。

表2

Parameter	Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range, V _{IN}	V _{IN+} - V _{IN-} = 0 V to 5 V	-0.1		+5.1	V
	V _{IN+} - V _{IN-} = 0 V to 10 V	-0.1		+10.1	V
	V _{IN+} - V _{IN-} = ±5 V	-5.1		+5.1	V
	V _{IN+} - V _{IN-} = ±10 V	-10.1		+10.1	V
Analog Input CMRR	V _{IN-} to AGND f _{IN} = 100 kHz	-0.1	75	+0.1	dB
Input Current	V _{IN} = ±5 V, ±10 V @ 750 kSPS		220 ¹		μA
Input Impedance	See Analog Inputs section				
THROUGHPUT SPEED					
Complete Cycle	In warp mode			1.33	μs
Throughput Rate	In warp mode	1		750 ²	kSPS
Time Between Conversions	In warp mode			1	ms
Complete Cycle	In normal mode			1.67	μs
Throughput Rate	In normal mode	0		600	kSPS
Complete Cycle	In impulse mode			2	μs
Throughput Rate	In impulse mode	0		500	kSPS
DC ACCURACY					
Integral Linearity Error ³		-1.5	±0.75	+1.5	LSB ⁴
No Missing Codes ³		16			Bits
Differential Linearity Error ³		-1		+1.5	LSB
Transition Noise			0.55		LSB
Zero Error (Unipolar or Bipolar)		-35		+35	LSB
Zero Error Temperature Drift			±1		ppm/°C
Bipolar Full-Scale Error		-50		+50	LSB
Unipolar Full-Scale Error		-70		+70	LSB
Full-Scale Error Temperature Drift			±1		ppm/°C
Power Supply Sensitivity	AVDD = 5 V ± 5%		3		LSB
AC ACCURACY					
Dynamic Range	V _{IN} = 0 V to 5 V, f _{IN} = 2 kHz, -60 dB	92.5	93.5		dB ⁵
	V _{IN} = 0 V to 10 V, ±5 V, f _{IN} = 2 kHz, -60 dB		94		dB
	V _{IN} = ±10 V, f _{IN} = 2 kHz, -60 dB		94.5		dB
Signal-to-Noise Ratio	V _{IN} = 0 V to 5 V, 0 V to 10 V, f _{IN} = 2 kHz	92	93		dB
	V _{IN} = ±5 V, ±10 V, f _{IN} = 2 kHz		94		dB
Signal-to-(Noise + Distortion) (SINAD)	V _{IN} = ±5 V, f _{IN} = 2 kHz		92.5		dB
	V _{IN} = 0 V to 10 V, ±5 V, f _{IN} = 2 kHz		93		dB
	V _{IN} = ±10 V, f _{IN} = 2 kHz		93.5		dB
Total Harmonic Distortion	f _{IN} = 2 kHz		-107		dB
Spurious-Free Dynamic Range	f _{IN} = 2 kHz		107		dB
-3dB Input Bandwidth	V _{IN} = 0 V to 5 V		45		MHz
Aperture Delay			2		ns
Aperture Jitter			5		ps rms
Transient Response	Full-scale step			500	ns
INTERNAL REFERENCE					
Output Voltage	PDREF = PDBUF = low REF @ 25°C	4.965	5.000	5.035	V
Temperature Drift	-40°C to +85°C		±3		ppm/°C
Line Regulation	AVDD = 5 V ± 5%		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	C _{REF} = 22 μF		10		ms

AD7612

Parameter	Conditions/Comments	Min	Typ	Max	Unit
REFERENCE BUFFER REFBUFIN Input Voltage Range	PDREF = high	2.4	2.5	2.6	V
EXTERNAL REFERENCE Voltage Range Current Drain	PDREF = PDBUF = high REF 750 kSPS throughput	4.75	5 250	AVDD + 0.1	V μ A
TEMPERATURE PIN Voltage Output Temperature Sensitivity Output Resistance	@ 25°C		311 1 4.33		mV mV/°C k Ω
DIGITAL INPUTS Logic Levels V _{IL} V _{IH} I _{IL} I _{IH}		-0.3 2.1 -1 -1		+0.6 OVDD + 0.3 +1 +1	V V μ A μ A
DIGITAL OUTPUTS Data Format Pipeline Delay ⁶ V _{OL} V _{OH}	Parallel or serial 16-bit I _{SINK} = 500 μ A I _{SOURCE} = -500 μ A			0.4	V V
POWER SUPPLIES Specified Performance AVDD DVDD OVDD VCC VEE Operating Current ^{8,9} AVDD With Internal Reference With Internal Reference Disabled DVDD OVDD VCC VEE Power Dissipation With Internal Reference With Internal Reference Disabled In Power-Down Mode ¹⁰	@ 750 kSPS throughput VCC = 15 V, with internal reference buffer VCC = 15 V VEE = -15 V	4.75 ⁷ 4.75 2.7 7 -15.75	5 5 15 -15	5.25 5.25 5.25 15.75 0	V V V V V mA mA mA mA mA mA mA mW mW μ W
TEMPERATURE RANGE ¹¹ Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ V_{IN}=0~5Vまたは0~10Vの範囲では、入力電流は70 μ A (typ)です。すべての入力範囲で、入力電流はスルーブットに応じて変化します。「アナログ入力」を参照してください。

² すべての仕様性能は750kSPSのスルーブットまで保証されます。900kSPSまでのスルーブットを使用できますが、直線性性能はいくぶん低下します。

³ 直線性は、ベスト・ストレート・ライン近似ではなくエンドポイントを使用しテストされます。すべての直線性は、5Vの外部リファレンスによりテストされます。

⁴ LSBは最下位ビットを意味します。LSB単位のすべての仕様には、リファレンスによる誤差分は含まれません。

⁵ dB表示の仕様はすべてフルスケール入力 (FSR) を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテストされます。

⁶ 変換結果は、変換完了後直ちに出力されます。

⁷ 4.75VまたはV_{REF}-0.1Vのうち、いずれか大きな方。

⁸ パラレル読出しモードでテスト。

⁹ 内部リファレンス使用時、PDREF=PDBUF=ローレベル。内部リファレンスのディスエーブル時、PDREF=PDBUF=ハイレベル。内部リファレンス・バッファ使用時、PDBUF=ローレベル。

¹⁰ すべてのデジタル入力をOVDDに接続。

¹¹ 拡張温度範囲については、代理店および弊社営業部にお問い合わせください。

タイミング仕様

AVDD=DVDD=5V、OVDD=2.7~5.5V、VCC=15V、VEE=-15V、V_{REF}=5V。特に指定のない限り、T_{MIN}~T_{MAX}で全仕様を規定。

表3

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION AND RESET (See Figure 33 and Figure 34)					
Convert Pulse Width	t ₁	10			ns
Time Between Conversions	t ₂				
Warp Mode/Normal Mode/Impulse Mode ¹		1.33/1.67/2			μs
$\overline{\text{CNVST}}$ Low to BUSY High Delay	t ₃			35	ns
BUSY High All Modes (Except Master Serial Read After Convert)	t ₄				
Warp Mode/Normal Mode/Impulse Mode				950/1250/1450	ns
Aperture Delay	t ₅		2		ns
End of Conversion to BUSY Low Delay	t ₆	10			ns
Conversion Time	t ₇				
Warp Mode/Normal Mode/Impulse Mode				950/1250/1450	ns
Acquisition Time	t ₈				
Warp Mode/Normal Mode/Impulse Mode		380			ns
RESET Pulse Width	t ₉	10			ns
PARALLEL INTERFACE MODES (See Figure 35 and Figure 37)					
$\overline{\text{CNVST}}$ Low to DATA Valid Delay	t ₁₀				
Warp Mode/Normal Mode/Impulse Mode				910/1160/1410	ns
DATA Valid to BUSY Low Delay	t ₁₁	20			ns
Bus Access Request to DATA Valid	t ₁₂			40	ns
Bus Relinquish Time	t ₁₃	2		15	ns
MASTER SERIAL INTERFACE MODES² (See Figure 39 and Figure 40)					
$\overline{\text{CS}}$ Low to SYNC Valid Delay	t ₁₄			10	ns
$\overline{\text{CS}}$ Low to Internal SDCLK Valid Delay ²	t ₁₅			10	ns
$\overline{\text{CS}}$ Low to SDOUT Delay	t ₁₆			10	ns
$\overline{\text{CNVST}}$ Low to SYNC Delay, Read During Convert	t ₁₇				
Warp Mode/Normal Mode/Impulse Mode			65/315/560		ns
SYNC Asserted to SDCLK First Edge Delay	t ₁₈	3			ns
Internal SDCLK Period ³	t ₁₉	30		45	ns
Internal SDCLK High ³	t ₂₀	15			ns
Internal SDCLK Low ³	t ₂₁	10			ns
SDOUT Valid Setup Time ³	t ₂₂	4			ns
SDOUT Valid Hold Time ³	t ₂₃	5			ns
SDCLK Last Edge to SYNC Delay ³	t ₂₄	5			ns
$\overline{\text{CS}}$ High to SYNC HI-Z	t ₂₅			10	ns
$\overline{\text{CS}}$ High to Internal SDCLK HI-Z	t ₂₆			10	ns
$\overline{\text{CS}}$ High to SDOUT HI-Z	t ₂₇			10	ns
BUSY High in Master Serial Read After Convert ³	t ₂₈		See Table 4		
$\overline{\text{CNVST}}$ Low to SYNC Delay, Read After Convert					
Warp Mode/Normal Mode/Impulse Mode	t ₂₉		830/1070/1310		ns
SYNC Deasserted to BUSY Low Delay	t ₃₀		25		ns

AD7612

Parameter	Symbol	Min	Typ	Max	Unit
SLAVE SERIAL/SERIAL CONFIGURATION INTERFACE MODES ² (See Figure 42, Figure 43, and Figure 45)					
External SDCLK, SCCLK Setup Time	t_{31}	5			ns
External SDCLK Active Edge to SDOOUT Delay	t_{32}	2		18	ns
SDIN/SCIN Setup Time	t_{33}	5			ns
SDIN/SCIN Hold Time	t_{34}	5			ns
External SDCLK/SCCLK Period	t_{35}	25			ns
External SDCLK/SCCLK High	t_{36}	10			ns
External SDCLK/SCCLK Low	t_{37}	10			ns

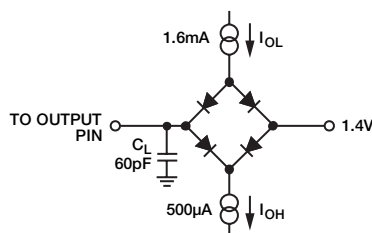
¹ ワープ・モード時のみ、変換と変換の最大間隔は1ms。その他の場合、最大時間は不要。

² シリアル・インターフェース・モードでは、SDSYNC、SDSCLK、SDOUTのタイミングは $C_L=10\text{pF}$ の最大負荷で規定。その他の場合は最大負荷60pFで規定。

³ 変換中に事前の結果をシリアル・マスターから読み出すモード時。変換終了後のシリアル・マスター読み出しモードのタイミング仕様については、表4を参照。

表4. 変換終了後のマスター読み出しモードでのシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]	Symbol	0 0	0 1	1 0	1 1	Unit
SYNC to SDCLK First Edge Delay Minimum	t_{18}	3	20	20	20	ns
Internal SDCLK Period Minimum	t_{19}	30	60	120	240	ns
Internal SDCLK Period Maximum	t_{19}	45	90	180	360	ns
Internal SDCLK High Minimum	t_{20}	15	30	60	120	ns
Internal SDCLK Low Minimum	t_{21}	10	25	55	115	ns
SDOUT Valid Setup Time Minimum	t_{22}	4	20	20	20	ns
SDOUT Valid Hold Time Minimum	t_{23}	5	8	35	90	ns
SDCLK Last Edge to SYNC Delay Minimum	t_{24}	5	7	35	90	ns
BUSY High Width Maximum	t_{28}					
Warp Mode		1.65	2.35	3.75	6.53	μs
Normal Mode		1.9	2.6	4.00	6.78	μs
Impulse Mode		2.15	2.85	4.25	7.03	μs

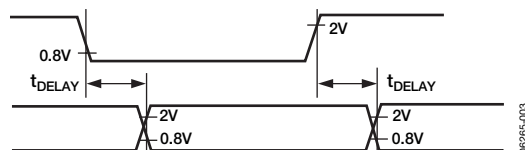


NOTES

1. IN SERIAL INTERFACE MODES, THE SYNC, SCLK, AND SDOOUT ARE DEFINED WITH A MAXIMUM LOAD C_L OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

06285-002

図2. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SCLKの各出力、 $C_L=10\text{pF}$



06285-003

図3. タイミングの電圧リファレンス・レベル

絶対最大定格

表5

Parameter	Rating
Analog Inputs/Outputs	
IN ⁺ , IN ⁻ to AGND	VEE - 0.3 V to VCC + 0.3 V
REF, REFBUFIN, TEMP, REFGND to AGND	AVDD + 0.3 V to AGND - 0.3 V
Ground Voltage Differences	
AGND, DGND, OGND	±0.3 V
Supply Voltages	
AVDD, DVDD, OVDD	-0.3 to +7 V
AVDD to DVDD, AVDD to OVDD	±7 V
DVDD to OVDD	±7 V
VCC to AGND, DGND	-0.3 V to +16.5
VEE to GND	+0.3 V to -16.5
Digital Inputs	-0.3 V to OVDD + 0.3 V
PDREF, PDBUF ²	±20 mA
Internal Power Dissipation ³	700 mW
Internal Power Dissipation ⁴	2.5 W
Junction Temperature	125°C
Storage Temperature Range	-65°C to +125°C

¹ 「アナログ入力」を参照。

² 「電圧リファレンス入力」を参照。

³ 自然空冷、48ピンLQFP、 $\theta_{JA}=91^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。

⁴ 自然空冷、48ピンLFCSP、 $\theta_{JA}=26^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

AD7612

ピン配置と機能の説明

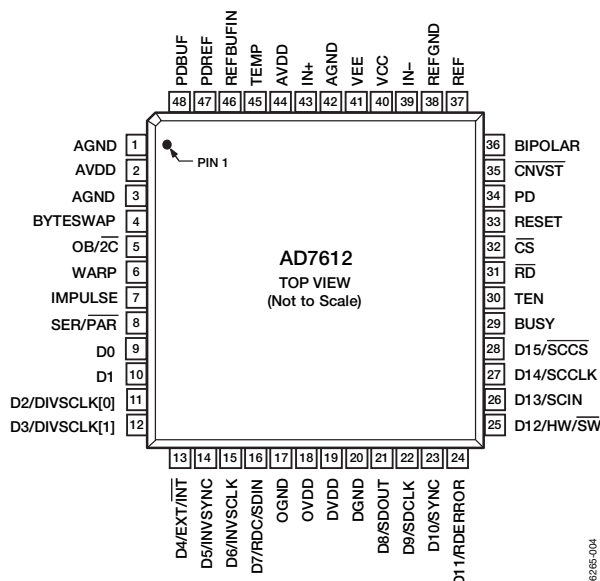


図4. ピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明															
1、3、42	AGND	P	アナログ電源グラウンド・ピン。すべてのアナログI/Oのグラウンド基準ポイント。すべてのアナログI/Oは、AGNDを基準とし、システムのアナログ・グラウンド・プレーンに接続してください。さらに、AGND、DGND、OGNDの電圧は同じ電位にしてください。															
2、44	AVDD	P	アナログ電源ピン。通常、4.75~5.25Vで、10μFと100nFのコンデンサでデカップリングされます。															
4	BYTESWAP	DI	パラレル・モードの選択 (8/16ビット)。ハイレベルにすると、LSB側バイトはD[15:8]で出力され、MSB側バイトはD[7:0]で出力されます。ローレベルにすると、LSB側はD[7:0]で出力され、MSB側はD[15:8]で出力されます。															
5	OB/2C	DI ²	ストレート・バイナリ/バイナリ2の補数出力。ハイレベルにすると、デジタル出力はストレート・バイナリになりますが、ローレベルにすると、MSBが反転されて内部シフト・レジスタから2の補数で出力されます。															
6	WARP	DI ²	変換モードの選択。以下に基づいて、IMPULSE入力と組み合わせて使用します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>変換モード</th> <th>WARP</th> <th>IMPULSE</th> </tr> </thead> <tbody> <tr> <td>ノーマル</td> <td>ローレベル</td> <td>ローレベル</td> </tr> <tr> <td>インパルス</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> <tr> <td>ワープ</td> <td>ハイレベル</td> <td>ローレベル</td> </tr> <tr> <td>ノーマル</td> <td>ハイレベル</td> <td>ハイレベル</td> </tr> </tbody> </table> 詳細については「動作モード」を参照してください。	変換モード	WARP	IMPULSE	ノーマル	ローレベル	ローレベル	インパルス	ローレベル	ハイレベル	ワープ	ハイレベル	ローレベル	ノーマル	ハイレベル	ハイレベル
変換モード	WARP	IMPULSE																
ノーマル	ローレベル	ローレベル																
インパルス	ローレベル	ハイレベル																
ワープ	ハイレベル	ローレベル																
ノーマル	ハイレベル	ハイレベル																
7	IMPULSE	DI ²	変換モードの選択。前項のWARPピンの説明を参照してください。詳細については、「動作モード」を参照してください。															
8	SER/PAR	DI	シリアル/パラレル選択入力。 SER/PAR=ローレベルの場合、パラレル・モードが選択されます。 SER/PAR=ハイレベルの場合、シリアル・モードが選択されます。データ・バスの一部のビットはシリアル・ポートとして使用され、残りのデータビットは高インピーダンス出力となります。															
9、10	D[0:1]	DO	パラレル・ポート・データ出力バスのビット0とビット1。これらのピンは、SER/PARの状態とは無関係に常に出力です。															
11、12	D[2:3]または DIVSCLK[0:1]	DI/O	パラレル・モードでは、これらの出力は、パラレル・ポート・データ出力バスのビット2およびビット3として使用されます。シリアル・データ分周クロックの選択。変換後のシリアル・マスター読出しモード (SER/PAR=ハイレベル、EXT/INT=ローレベル、RDC/SDIN=ローレベル) では、これらの入力を使用して、データを出力させる内部シリアル・データ・クロックの速度を低下させることができます。他のシリアル・モードでは、これらのピンは高インピーダンス出力です。															

ピン番号	記号	タイプ ¹	説明
13	D4または EXT/ $\overline{\text{INT}}$	DI/O	<p>パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット4として使用されます。</p> <p>シリアル・データ・クロック源の選択。シリアル・モードでは、この入力、AD7612の出力データ用として内部生成された（マスター）シリアル・データ・クロックと外部（スレーブ）シリアル・データ・クロックの選択に使用されます。</p> <p>EXT/$\overline{\text{INT}}$ = ローレベルの場合、マスター・モードです。SDCLK出力では内部シリアル・クロックが選択されます。</p> <p>EXT/$\overline{\text{INT}}$ = ハイレベルの場合、スレーブ・モードです。出力データは、外部クロック信号に同期し、($\overline{\text{CS}}$によってゲーティングされ) SDCLK入力に接続されます。</p>
14	D5または INVS $\overline{\text{SYNC}}$	DI/O	<p>パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット5として使用されます。</p> <p>シリアル・データ反転SYNCの選択。シリアル・マスター・モード (SER/$\overline{\text{PAR}}$ = ハイレベル、EXT/$\overline{\text{INT}}$ = ローレベル) では、この入力はSYNC信号のアクティブ状態の選択に使用されます。</p> <p>INVS$\overline{\text{SYNC}}$ = ローレベルの場合、SYNCはアクティブ・ハイとなります。</p> <p>INVS$\overline{\text{SYNC}}$ = ハイレベルの場合、SYNCはアクティブ・ローとなります。</p>
15	D6または INVS $\overline{\text{CLK}}$	DI/O	<p>パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット6として使用されます。</p> <p>すべてのシリアル・モードで、SDCLK/SCCLK選択を反転します。この入力は、SDCLKとSCCLKの反転に使用されます。</p> <p>INVS$\overline{\text{CLK}}$ = ローレベルの場合、SDCLK/SCCLKの立上がりエッジが使用されます。</p> <p>INVS$\overline{\text{CLK}}$ = ハイレベルの場合、SDCLK/SCCLKの立下がりエッジが使用されます。</p>
16	D7または RDCまたは SDIN	DI/O	<p>パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット7として使用されます。</p> <p>変換中のシリアル・データ読出し。シリアル・マスター・モード (SER/$\overline{\text{PAR}}$ = ハイレベル、EXT/$\overline{\text{INT}}$ = ローレベル) では、RDCは読出しモードの選択に使用されます。「マスター・シリアル・インターフェース」を参照。</p> <p>RDC = ローレベルの場合、変換後に現在の結果が読み出されます。なお、このモードでは最大スループットを達成できません。</p> <p>RDC = ハイレベルの場合、現在の変換中に前の変換結果が読み出されます。</p> <p>シリアル・データ入力。シリアル・スレーブ・モード (SER/$\overline{\text{PAR}}$ = ハイレベル、EXT/$\overline{\text{INT}}$ = ローレベル) で、SDINは複数のADCからの変換結果を1本のSDOUTラインにデジタイズするためのデータ入力として使用できます。SDINのデジタル・データ・レベルは、読出しシーケンス開始からSDCLKの16周期分の遅延でSDOUT上に出力されます。</p>
17	OGND	P	I/Oインターフェースのデジタル電源グラウンド。デジタル出力のグラウンド基準ポイント。システムのデジタル・グラウンドに対して、理想的にはAGNDやDGNDと同じ電位で接続してください。
18	OVDD	P	入出力インターフェースのデジタル電源。通常は、ホスト・インターフェースの電源(2.5V、3V、または5V)と同じ電源で、10 μ Fと100nFのコンデンサでデカップリングされます。
19	DVDD	P	デジタル電源。通常、4.75~5.25Vで、10 μ Fと100nFのコンデンサでデカップリングされます。AVDDから供給できます。
20	DGND	P	デジタル電源グラウンド。デジタル出力用のグラウンド基準ポイント。システムのデジタル・グラウンドに対して、理想的にはAGNDやOGNDと同じ電位で接続してください。
21	D8または SDOUT	DO	<p>パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット8として使用されます。</p> <p>シリアル・データ出力。すべてのシリアル・モードで、このピンは、SDCLKに同期されたシリアル・データ出力として使用されます。変換結果は、内蔵レジスタに格納されます。AD7612は、その内部シフト・レジスタから変換結果をMSBファーストで提供します。データ・フォーマットは、OB/$\overline{2C}$のロジック・レベルによって決定されます。</p> <p>EXT/$\overline{\text{INT}}$ = ローレベルの場合、マスター・モードで、SDOUTはSDCLKの両方のエッジで有効です。</p> <p>EXT/$\overline{\text{INT}}$ = ハイレベルの場合、スレーブ・モードです。</p> <p>INVS$\overline{\text{CLK}}$ = ローレベルの場合、SDOUTはSDCLKの立上がりエッジで更新されます。</p> <p>INVS$\overline{\text{CLK}}$ = ハイレベルの場合、SDOUTはSDCLKの立下がりエッジで更新されます。</p>
22	D9または	DI/O	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット9として使用されます。

AD7612

ピン番号	記号	タイプ ¹	説明															
23	SDCLK		シリアル・データ・クロック。すべてのシリアル・モードで、EXT/INTピンのロジック状態に応じて、このピンはシリアル・データ・クロックの入力または出力として使用されます。データSDOUTが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。															
	D10または SYNC	DO	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット10として使用されます。 シリアル・データ・フレーム同期。シリアル・マスター・モード (SER/PAR=ハイレベル、EXT/INT=ローレベル) では、この出力は、内部データ・クロックとともに使用するデジタル出力フレーム同期として使用されます。 読出しシーケンスが開始され、INVSYNC=ローレベルの場合、SYNCはハイレベルに駆動され、SDOUT出力が有効である間はハイレベルのままです。 読出しシーケンスが開始され、INVSYNC=ハイレベルの場合、SYNCはローレベルに駆動され、SDOUT出力が有効である間はローレベルのままです。															
24	D11または RDERROR	DO	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット11として使用されます。 シリアル・データ読出しエラー。シリアル・スレーブ・モード (SER/PAR=ハイレベル、EXT/INT=ハイレベル) では、この出力は、データ読出し未完了エラー・フラグとして使用されます。現在の変換の完了時に、データ読出しが開始されているが完了はしていない場合は、現在のデータは失われ、RDERRORにハイレベル・パルスが出力されます。															
	D12または HW/SW	DI/O	パラレル・モードでは、この出力は、パラレル・ポート・データ出力バスのビット12として使用されます。 シリアル設定ハードウェア/ソフトウェア選択。シリアル・モードでは、この入力は、ハードウェアまたはソフトウェアによるAD7612の設定に使用されます。「ハードウェア設定」と「ソフトウェア設定」を参照してください。 HW/SW=ローレベルの場合、AD7612はシリアル設定レジスタを使用するソフトウェアを通じて設定されます。 HW/SW=ハイレベルの場合、AD7612は専用のハードウェア入力ピンを通じて設定されます。															
26	D13または SCIN	DI/O	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット13として使用されます。 シリアル設定データ入力。シリアル・ソフトウェア設定モード (SER/PAR=ハイレベル、HW/SW=ローレベル) では、この入力、シリアル設定レジスタに設定データをMSBファーストでシリアルに書き込むために使用されます。この入力上のデータは、SCCLKでラッチされます。「ソフトウェア設定」を参照してください。															
	D14または SCCLK	DI/O	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット14として使用されます。 シリアル設定クロック。シリアル・ソフトウェア設定モード (SER/PAR=ハイレベル、HW/SW=ローレベル) では、この入力SCINにデータを入力するために使用されます。SCINのデータが更新されるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。「ソフトウェア設定」を参照してください。															
28	D15または SCCS	DI/O	パラレル・モードでは、この出力はパラレル・ポート・データ出力バスのビット15として使用されます。 シリアル設定チップ・セレクト。シリアル・ソフトウェア設定モード (SER/PAR=ハイレベル、HW/SW=ローレベル) では、この入力シリアル設定ポートをイネーブルにします。「ソフトウェア設定」を参照してください。															
	BUSY	DO	ビジー出力。変換が開始されるとハイレベルに遷移し、変換が完了してデータが内蔵のシフト・レジスタにラッチされるまで、ハイレベルのままです。BUSYの立下がりエッジは、データ・レディ・クロック信号として使用できます。なお、変換後のマスター読出しモード (SER/PAR=ハイレベル、EXT/INT=ローレベル、RDC=ローレベル) では、ビジー時間は表4に基づいて変化します。															
30	TEN	DI ²	入力範囲選択。以下に基づいて、BIPOLARと組み合わせて使用されます。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>入力範囲</th> <th>BIPOLAR</th> <th>TEN</th> </tr> </thead> <tbody> <tr> <td>0~5V</td> <td>ローレベル</td> <td>ローレベル</td> </tr> <tr> <td>0~10V</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> <tr> <td>±5V</td> <td>ハイレベル</td> <td>ローレベル</td> </tr> <tr> <td>±10V</td> <td>ハイレベル</td> <td>ハイレベル</td> </tr> </tbody> </table>	入力範囲	BIPOLAR	TEN	0~5V	ローレベル	ローレベル	0~10V	ローレベル	ハイレベル	±5V	ハイレベル	ローレベル	±10V	ハイレベル	ハイレベル
入力範囲	BIPOLAR	TEN																
0~5V	ローレベル	ローレベル																
0~10V	ローレベル	ハイレベル																
±5V	ハイレベル	ローレベル																
±10V	ハイレベル	ハイレベル																

ピン番号	記号	タイプ ¹	説明
31	$\overline{\text{RD}}$	DI	データ読出し。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が両方ともローレベルの場合、インターフェースの平行またはシリアル出力バスがイネーブルになります。
32	$\overline{\text{CS}}$	DI	チップ・セレクト。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が両方ともローレベルの場合、インターフェースの平行またはシリアル出力バスがイネーブルになります。 $\overline{\text{CS}}$ は、スレーブ・シリアル・モードで外部クロックのゲーティングにも使用されます。(プログラマブル・シリアル・ポートには使用されません)。
33	RESET	DI	リセット入力。ハイレベルの場合、AD7612をリセットします。実行中の変換があればアポートされます。RESETの立下がりエッジでは、データ出力がオール・ゼロにリセットされ (OB/2C=ハイレベル)、設定レジスタがクリアされます。「デジタル・インターフェース」を参照してください。使用しない場合には、このピンはOGNDに接続できます。
34	PD	DI ²	パワーダウン入力。PD=ハイレベルの場合、ADCをパワーダウンします。消費電力が低下し、現在の変換の完了後は変換が禁止されます。パワーダウン中、デジタル・インターフェースはアクティブのままです。
35	$\overline{\text{CNVST}}$	DI	変換スタート。 $\overline{\text{CNVST}}$ の立下がりエッジで、内部サンプル&ホールド回路がホールド状態になり、変換を開始します。
36	BIPOLAR	DI ²	入力範囲選択。ピン30の説明を参照。
37	REF	AI/O	リファレンス入出力 PDREF/PDBUF=ローレベルの場合、内部リファレンスとバッファがイネーブルになり、このピン上に5Vが出力されます。 PDREF/PDBUF=ハイレベルの場合、内部リファレンスとバッファがディスエーブルになり、AVDDまでの電圧リファレンスを外部から供給できるようになります。内部リファレンスおよびバッファの有無とは無関係に、少なくとも22 μ Fでのデカップリングが必要です。「リファレンスのデカップリング」を参照。
38	REFGND	AI	リファレンス入力アナログ・グラウンド。アナログ・グラウンド・プレーンに接続します。
39	IN-	AI	アナログ入力グラウンド・センス。アナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続します。
40	VCC	P	高電圧正電源。通常は+7~+15V。
41	VEE	P	高電圧負電源。通常は0~-15V (ユニポーラ範囲での0V)。
43	IN+	AI	アナログ入力。IN-を基準。
45	TEMP	AO	温度センサー・アナログ出力
46	REFBUFIN	AI	リファレンス・バッファ入力。内部リファレンス・バッファ (PDBUF=ローレベル、PDREF=ハイレベル) 付きの外部リファレンスを使用する場合に、このピンに2.5Vを印加すると、REFピン上に5Vが出力されます。「電圧リファレンス入力」を参照。
47	PDREF	DI	内部リファレンスのパワーダウン入力 ローレベルの場合、内部リファレンスがイネーブルになります。 ハイレベルの場合、内部リファレンスがパワーダウンされるので、外部リファレンスを使用します。
48	PDBUF	DI	内部リファレンス・バッファのパワーダウン入力 ローレベルの場合、バッファがイネーブルになります (内部リファレンス使用時にはローレベル)。 ハイレベルの場合、バッファがパワーダウンされます。

¹ AI=アナログ入力、AI/O=双方向アナログ、AO=アナログ出力、DI=デジタル入力、DI/O=双方向デジタル、DO=デジタル出力、P=電源。

² シリアル設定モード (SER/PAR=ハイレベル、HW/SW=ローレベル) では、この入力はシリアル設定レジスタでプログラムされ、このピンはドント・ケアです。「ハードウェア設定」と「ソフトウェア設定」を参照。

代表的な性能特性

AVDD=DVDD=5V、OVDD=5V、VCC=15V、V_{REF}=5V、T_A=25°C。

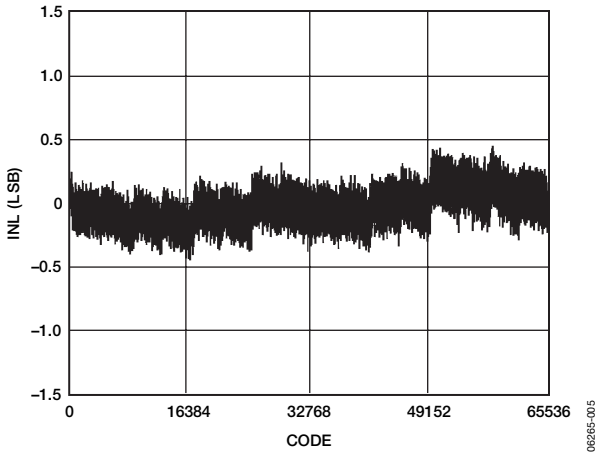


図5. コード対 INL

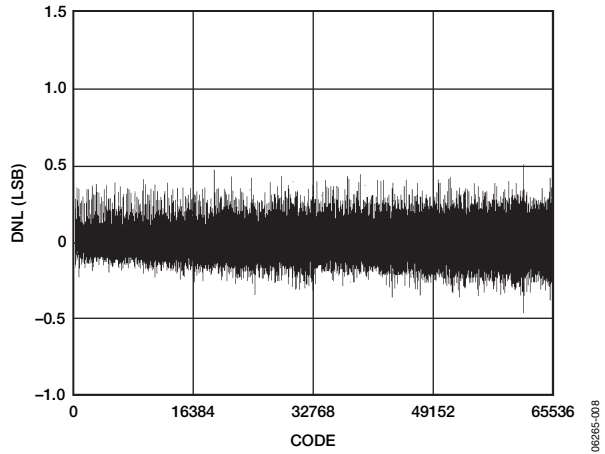


図8. コード対 DNL

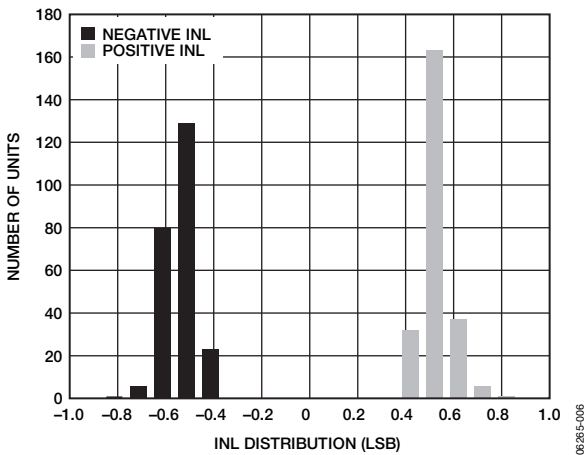


図6. 積分非直線性 (INL) 分布 (239ユニット)

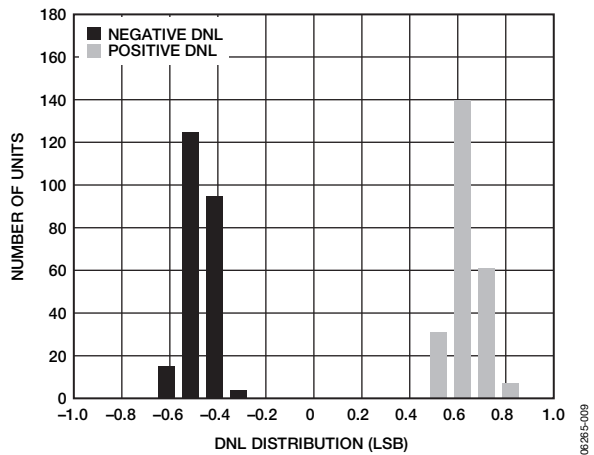


図9. 微分非直線性 (DNL) 分布 (239ユニット)

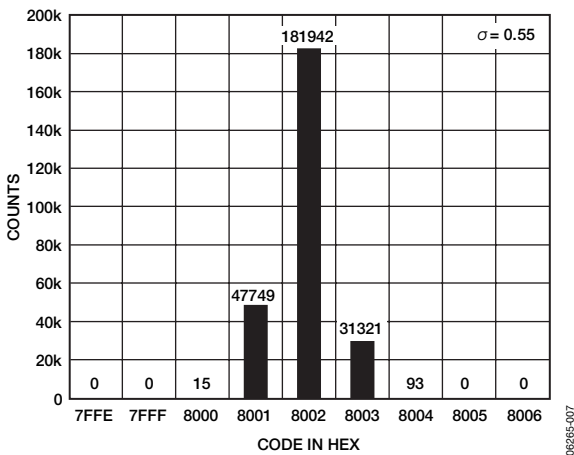


図7. コード中央値のDC入力を261,120回変換した場合のヒストグラム

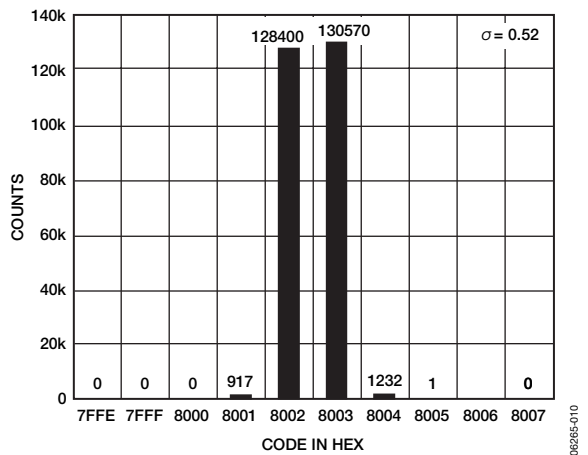


図10. コード遷移のDC入力を261,120回変換した場合のヒストグラム (2.5V外部リファレンス)

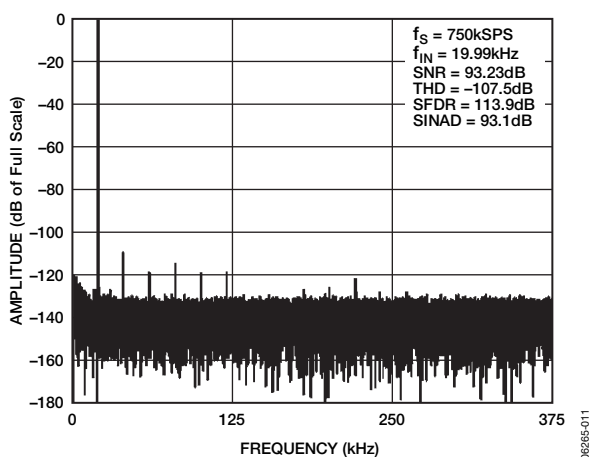


図11. FFT (20kHz)

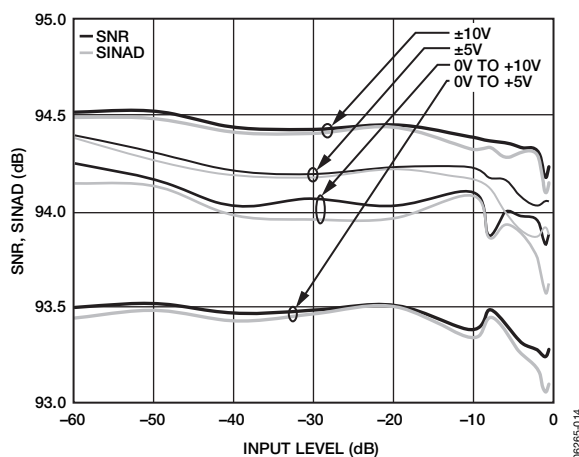


図14. 入力レベル 対 S/N比とSINAD (フルスケール基準)

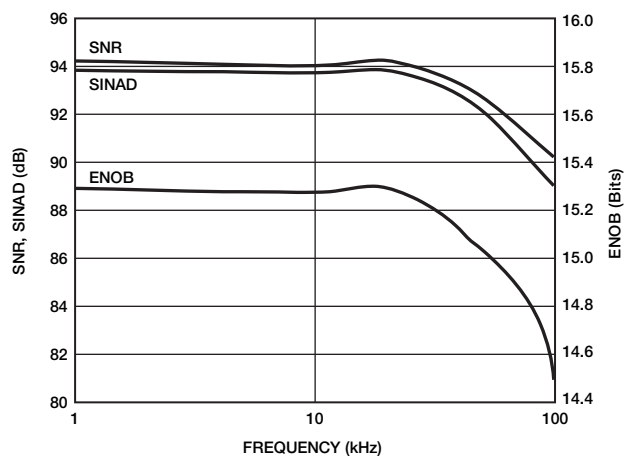


図12. S/N比、SINAD、ENOBの周波数特性

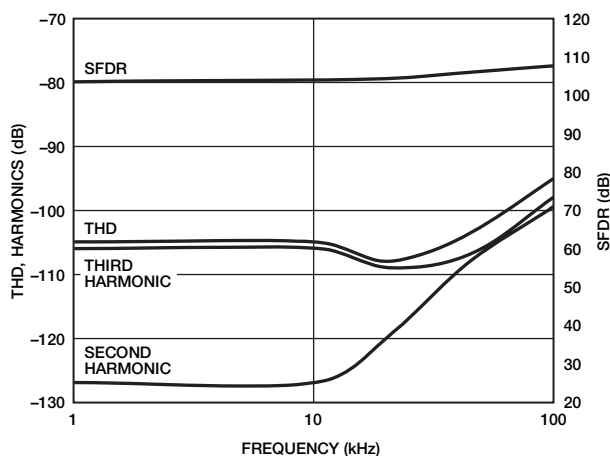


図15. THD、高調波、SFDRの周波数特性

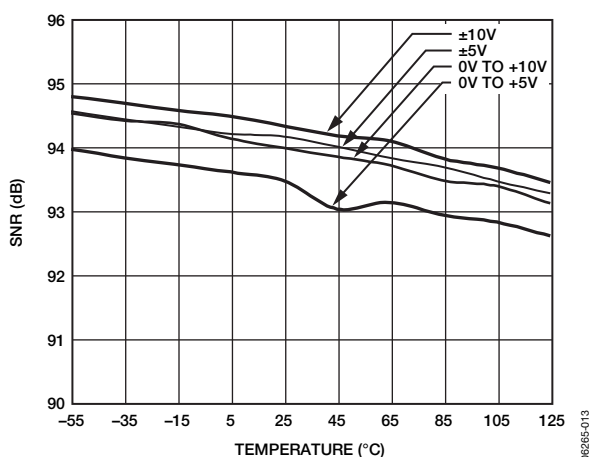


図13. S/N比の温度特性

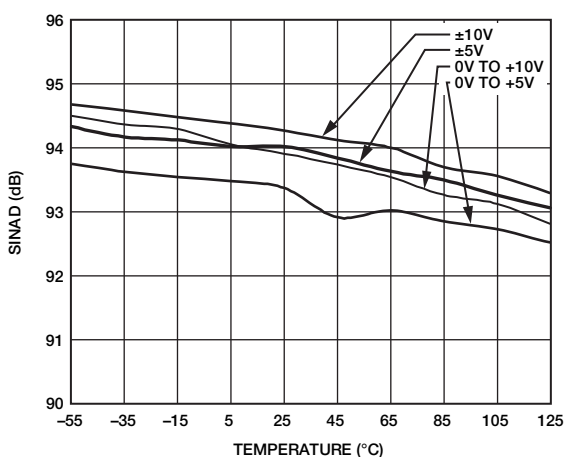


図16. SINADの温度特性

AD7612

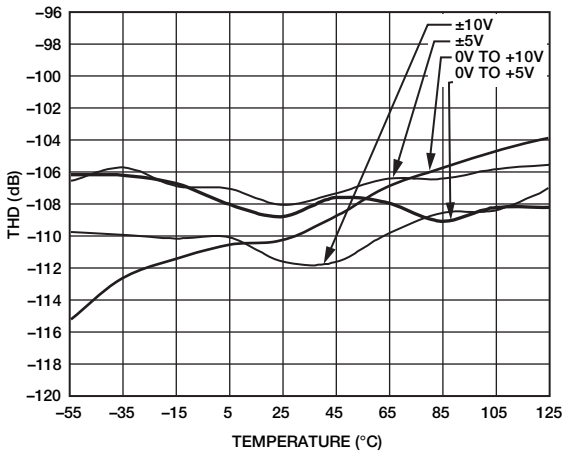


図17. THDの温度特性

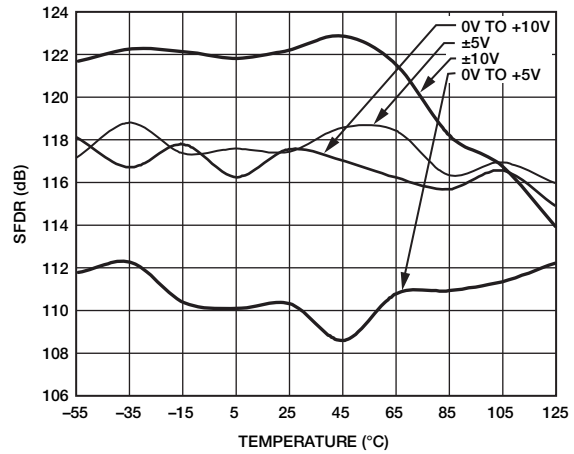


図20. SFDRの温度特性 (高調波を除く)

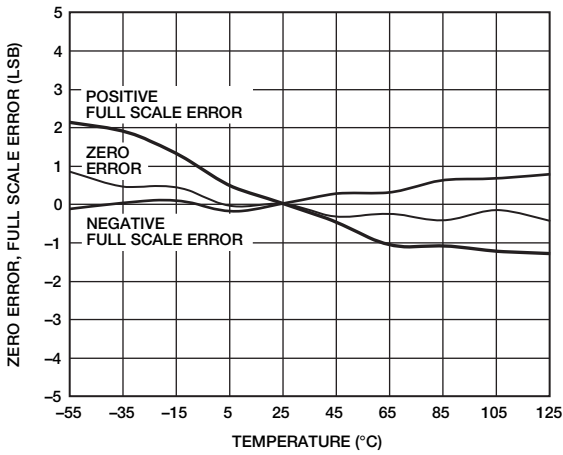


図18. ゼロ誤差、正側/負側フルスケールの温度特性

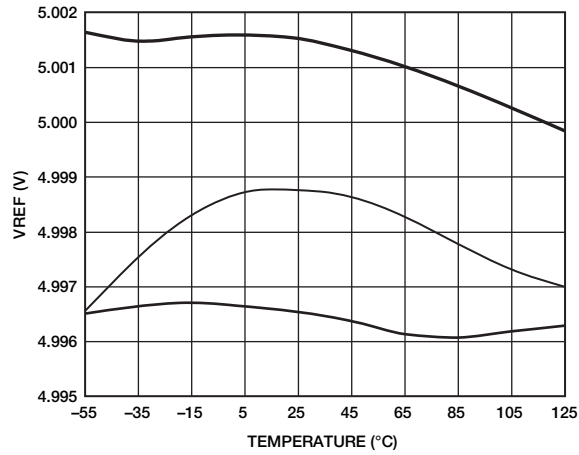


図21. 代表的なリファレンス電圧出力の温度特性 (3ユニット)

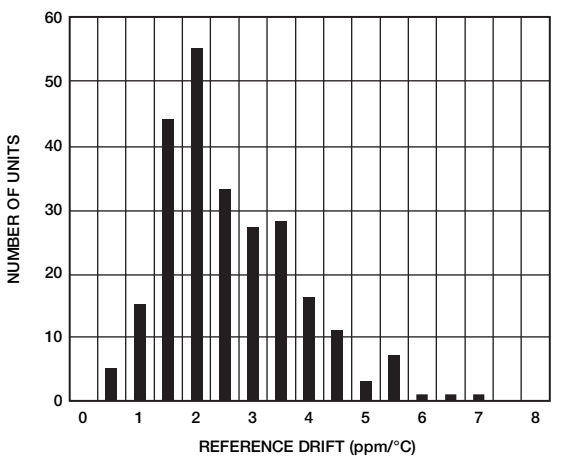


図19. リファレンス電圧温度係数の分布 (247ユニット)

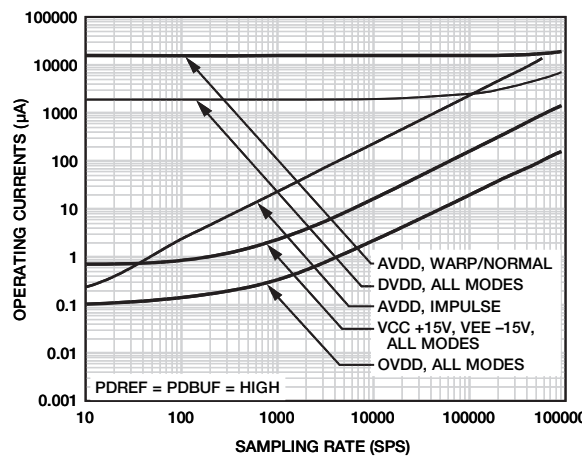


図22. サンプル・レート 対 動作電流

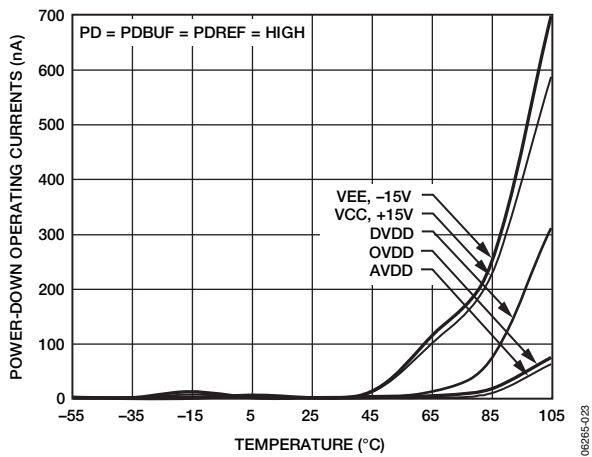


図23. パワーダウン動作電流の温度特性

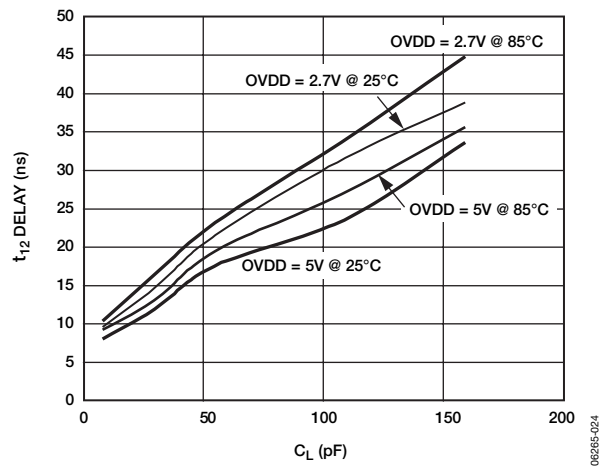


図24. 負荷容量C_L 对 代表的な遅延

用語の説明

最下位ビット (LSB)

最下位ビット (LSB) は、コンバータで表せる最小のインクリメントです。Nビットの分解能を持つADCでは、ボルトで表すLSBは次のとおりです。

$$LSB(V) = \frac{V_{INPP}}{2^N}$$

積分非直線性誤差 (INL)

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との距離として測定されます。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理論値からの最大偏差のことです。通常は、ノー・ミスコードが保証される分解能として規定されます。

バイポーラ・ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ユニポーラ・オフセット誤差

最初の遷移はアナログ・グラウンドより1/2LSB高いレベルで発生する必要があります。ユニポーラ・オフセット誤差は、そのポイントと実際の遷移との偏差です。

フルスケール誤差

最後の遷移 (111....10から111....11) は、公称フルスケールより1.5LSB低いアナログ電圧で発生します。フルスケール誤差は、最後の遷移の理想レベルと実際のレベルとの偏差をLSB (またはフルスケール・レンジの%) で表した値で、オフセット誤差の影響を含みます。ゲイン誤差 (LSBまたはフルスケール・レンジの%) と密接に関連していますが、ゲイン誤差にはオフセット誤差の影響は含まれません。

ダイナミック・レンジ

ダイナミック・レンジは、フルスケールのRMS値と、-60dB (typ) での入力に対して測定されたRMSノイズとの比で、dB値で表します。

S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

全高調波歪み (THD)

最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比で、dB値で表します。

信号/ノイズ&歪み比 (SINAD)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比で、dB値で表します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数 (ENOB)

サイン波を入力したときの分解能の測定値で、ビット数で表します。SINADとの関係は次式で表します。

$$ENOB = [(SINAD_{dB} - 1.76) / 6.02]$$

オーバーチャージ遅延

アキュジション性能を表し、 \overline{CNVST} 入力の立下がりエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

AD7612の入力にフルスケールのステップ関数が与えられてから、AD7612が定格精度を達成するまでに要する時間です。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 T (25°C)、 T_{MAX} の3点で測定されたリファレンス出力電圧 (V_{REF}) の最大値と最小値の差の電圧と、25°Cでの出力電圧の代表的なシフトから得られ、次のようにppm/°Cで表します。

$$TCV_{REF}(\text{ppm}/^\circ\text{C}) = \frac{V_{REF}(\text{Max}) - V_{REF}(\text{Min})}{V_{REF}(25^\circ\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$V_{REF}(\text{Max}) = T_{MIN}$ 、 T (25°C)、または T_{MAX} での最大 V_{REF}

$V_{REF}(\text{Min}) = T_{MIN}$ 、 T (25°C)、または T_{MAX} での最小 V_{REF}

$V_{REF}(25^\circ\text{C}) = 25^\circ\text{C}$ での V_{REF}

$T_{MAX} = +85^\circ\text{C}$

$T_{MIN} = -40^\circ\text{C}$

動作原理

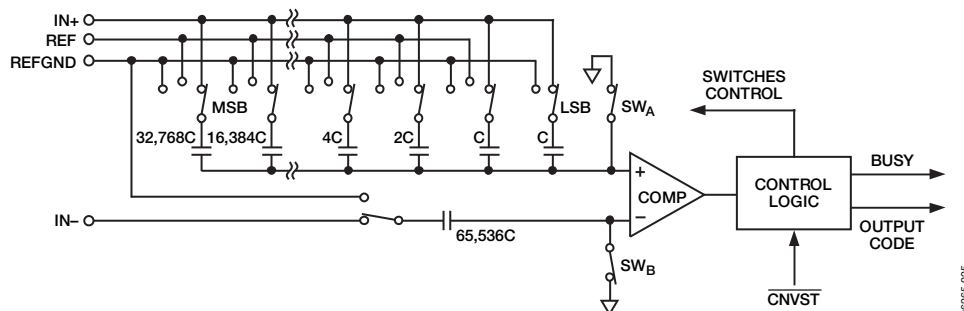


図25. 簡易回路図

概要

AD7612は、逐次比較型の容量性D/A（CDAC）アーキテクチャを使用する、きわめて精密、高速、低消費電力の16ビットADCです。

AD7612は、パラレルとシリアルハードウェア・モードの入力により、あるいはシリアルソフトウェア・モードの設定レジスタを介した書き込み専用のSPI互換インターフェースにより、4つの入力範囲の1つと変換モードをいつでも設定できます。AD7612は、アナログ・デバイゼズ独自のiCMOS高電圧プロセスを使用して、従来の薄膜を使用せずに0～5V、0～10V、±5V、±10Vの入力範囲に対応します。入力を正しい設定にラッチするために必要なアキュイジション・サイクルは、 t_s だけです。ADCを再設定するのに、リセットやパワー・サイクリングは必要ありません。

AD7612は、アプリケーションに応じて性能を最適化するために、さまざまなモードを備えています。変換能力は、ワープ・モードでは750,000サンプル/秒（750kSPS）、ノーマル・モードでは600kSPS、インパルス・モードでは500kSPSです。

AD7612はトラック&ホールドを内蔵し、パイプラインやレイテンシ（遅延）のない逐次比較型ADCであるため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

ユニポーラ入力範囲の場合は、一般にAD7612は3つの電源が必要です。つまり、VCC、AVDD（DVDDを供給可能）、OVDD（5V、3.3V、または2.5Vのデジタル・ロジックに接続可能）です。バイポーラ入力範囲の場合は、追加のVEE電源が必要です。

AD7612は、省スペースと柔軟性を兼ね備えた、鉛フリーの48ピンLQFPまたは小型のLFCSP 7mm×7mmパッケージで提供されます。さらに、AD7612はパラレルまたはシリアルSPI互換インターフェースとして設定できます。

コンバータの動作

AD7612は、電荷再配分式DACをベースにした逐次比較型ADCです。図25は、このADCの簡略回路図です。容量性DACは、2進数の重みを持った16個のコンデンサから成る2列の同じアレイで構成されており、各アレイはコンパレータの2つの入力に接続されています。

アキュイジション・フェーズでは、コンパレータの入力に接続されたアレイのピンが、SW+とSW-を経由してAGNDに接続されます。独立したスイッチはすべて、アナログ入力に接続されています。このようにして、コンデンサ・アレイはサンプリング・コンデンサとして使用され、IN+入力とIN-入力上のアナログ信号を取り込みます。アキュイジション・フェーズが完了し、CNVST入力がローレベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まずSW+とSW-が開きます。2列のコンデンサ・アレイは入力から切り離されて、REFGND入力に接続されます。したがって、アキュイジション・フェーズの終わりに取り込まれた入力IN+とIN-の間の差動電圧がコンパレータ入力に加えられて、コンパレータの平衡性が失われます。コンデンサ・アレイの各エレメントをREFGNDとREFの間でスイッチングすることにより、コンパレータ入力は2進数重みの電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$ 、... $V_{REF}/65536$ ）で変化します。コンパレータを再度平衡状態にするため、コントロール・ロジックではこれらのスイッチをトグルします（MSBファーストで開始）。

この処理が終了すると、コントロール・ロジックはADC出力コードを生成し、BUSY出力をローレベルにします。

AD7612

動作モード

AD7612には3つの動作モード（ワープ、ノーマル、インパルス）があります。これらの各モードは、特定のアプリケーションで効果を発揮します。モードを設定するには、入力ピン（WARPとIMPULSE）または設定レジスタを使用します。ピンの詳細については、表6を参照してください。ピンまたは設定レジスタによるモード選択のプログラミングについては、「ハードウェア設定」と「ソフトウェア設定」を参照してください。なお、設定レジスタを使用するときは、WARP入力とIMPULSE入力はドント・ケアで、ハイレベルまたはローレベルに接続してください。

ワープ・モード

WARP=ハイレベル、IMPULSE=ローレベルに設定すると、最大750kSPSの最速の変換レートが得られます。しかし、このモードでは、フル仕様精度は変換と変換の間隔が1msを超えない場合にのみ保証されます。連続する2回の変換の間隔が1msを超える場合（パワーアップ後）には、最初の変換結果を無視しなければなりません。なぜならワープ・モードでは、ADCはSAR変換プロセス中にバックグラウンド・キャリブレーションを実行するからです。変換と変換の間隔が1msを超える場合には、キャリブレーションがドリフトして、最初の変換にオフセットが生じることがあります。このモードで、AD7612は、高い精度と速いサンプル・レートの両方が必要なアプリケーションに最適となります。AD7612は、最大900kSPSのスループットで動作できますが、若干の性能低下が生じます（主にDC直線性）。

ノーマル・モード

WARP=IMPULSE=ローレベルまたはWARP=IMPULSE=ハイレベルに設定すると、変換と変換の間隔とは無関係に、最速モード（600kSPS）が可能になります。このモードでは、AD7612は、高い精度と速いサンプル・レートの両方が必要とされるデータ・アキュイジション・システムなどの非同期アプリケーションに最適となります。

表7. 出力コードと入力電圧の理論値

Description	$V_{REF} = 5\text{ V}$				Digital Output Code	
	$V_{IN} = 5\text{ V}$	$V_{IN} = 10\text{ V}$	$V_{IN} = \pm 5\text{ V}$	$V_{IN} = \pm 10\text{ V}$	Straight Binary	Twos Complement
FSR - 1 LSB	4.999924 V	9.999847 V	+4.999847 V	+9.999695 V	0xFFFF ¹	0x7FFF ¹
FSR - 2 LSB	4.999847 V	9.999695 V	+4.999695 V	+9.999390 V	0xFFFE	0x7FFE
Midscale + 1 LSB	2.500076 V	5.000153 V	+152.6 μV	+305.2 μV	0x8001	0x0001
Midscale	2.5 V	5.000000 V	0 V	0 V	0x8000	0x0000
Midscale - 1 LSB	2.499924 V	4.999847 V	-152.6 μV	-305.2 μV	0x7FFF	0xFFFF
-FSR + 1 LSB	76.3 μV	152.6 μV	-4.999847 V	-9.999695 V	0x0001	0x8001
-FSR	0 V	0 V	-5 V	-10 V	0x0000 ²	0x8000 ²

¹ これはアナログ入力範囲より上に対するコードでもあります ($V_{IN+} - V_{IN-} > V_{REF} - V_{REFGND}$)。

² これはアナログ入力範囲より下に対するコードでもあります ($V_{IN+} - V_{IN-} < -V_{REF} + V_{REFGND}$)。

インパルス・モード

WARP=ローレベル、IMPULSE=ハイレベルに設定すると、最小消費電力モードになり、変換と変換の間に消費電力を節約できます。このモードでは、最大スループットは500kSPSで、変換後にADCは回路をパワーダウンします。したがって、AD7612はバッテリー駆動のアプリケーションに最適です。

伝達関数

OB/2Cデジタル入力を使用したり、設定レジスタを介して、AD7612は、2つの出力コーディング（ストレート・バイナリと2の補数）を提供します。理想的な伝達特性と、さまざまなアナログ入力範囲 V_{IN} に対するデジタル出力コードについては、図26と表7を参照してください。なお、設定レジスタを使用するときは、OB/2C入力はドント・ケアで、ハイレベルまたはローレベルに接続してください。

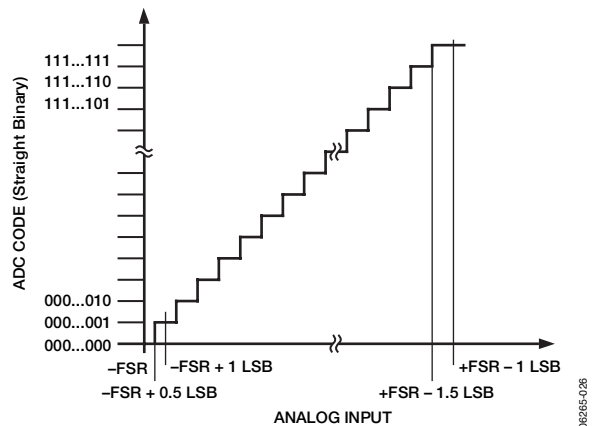
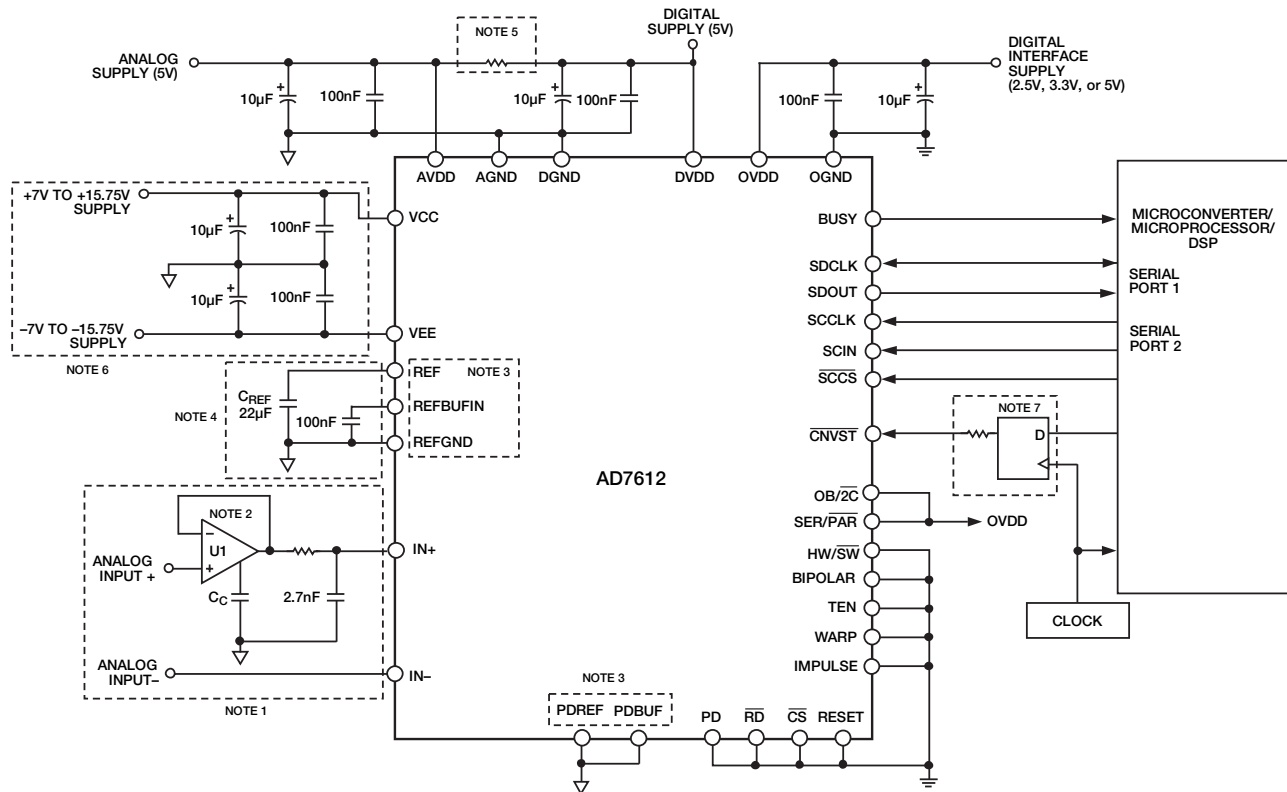


図26. ADCの理論的な伝達関数

代表的な接続図

図27には、内部リファレンス、シリアル・データ・インターフェース、シリアル設定ポートを使用するAD7612の代表的な接続図を示します。図27に示すものと異なる回路はオプションであり、以下のセクションで説明します。



NOTES

1. SEE ANALOG INPUT SECTION. ANALOG INPUT(-) IS REFERENCED TO AGND $\pm 0.1V$.
2. THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.
3. THE CONFIGURATION SHOWN IS USING THE INTERNAL REFERENCE. SEE VOLTAGE REFERENCE INPUT SECTION.
4. A 22 μF CERAMIC CAPACITOR (X5R, 1206 SIZE) IS RECOMMENDED (FOR EXAMPLE, PANASONIC ECJ4YB1A226M).
SEE VOLTAGE REFERENCE INPUT SECTION.
5. OPTION, SEE POWER SUPPLY SECTION.
6. THE VCC AND VEE SUPPLIES SHOULD BE $VCC = [VIN(MAX) + 2V]$ and $VEE = [VIN(MIN) - 2V]$ FOR BIPOLAR INPUT RANGES.
FOR UNIPOLAR INPUT RANGES, VEE CAN BE 0V. SEE POWER SUPPLY SECTION.
7. OPTIONAL LOW JITTER CNVST, SEE CONVERSION CONTROL SECTION.

図27. 代表的な接続図 (シリアル・インターフェースとプログラマブル・シリアル・ポート付き)

AD7612

アナログ入力

入力範囲の選択

パラレル・モードとシリアル・ハードウェア・モードで入力範囲を選択するには、BIPOLAR（バイポーラ）入力とTEN（10ボルト範囲）入力を使用します。ピンの詳細については表6を参照してください。ピンまたは設定レジスタによるモード選択のプログラミングについては、「ハードウェア設定」と「ソフトウェア設定」を参照してください。なお、設定レジスタを使用するときは、BIPOLAR入力とTEN入力はドント・ケアで、ハイレベルまたはローレベルに接続してください。

入力段構造

図28は、AD7612の入力段構造の等価回路を示します。

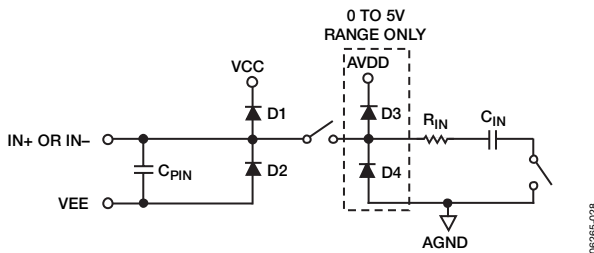


図28. AD7612の簡略化したアナログ入力

4個のダイオード（D1～D4）は、アナログ入力IN+とIN-にESD保護機能を提供します。アナログ入力信号は、絶対に両電源レールを0.3V以上超えないように注意してください。さもなければ、ダイオードが順方向にバイアスされて、電流が流れてしまいます。ダイオードは、最大120mAの順方向バイアス電流を処理できます。このような状態は、たとえば、入力バッファのU1電源がAVDD、VCC、VEEと異なるときに発生します。その場合には、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護できます。ただし、大部分のオペアンプの短絡電流は100mA未満です。なお、D3とD4は、高い電圧範囲からスイッチするアプリケーションでの保護を強化するために、0～5Vの範囲でのみ使用されます。

このアナログ入力構造を使うと、IN+とIN-との間の差動信号のサンプリングが可能になります。この差動入力を使用すると、図29に示すように、2つの入りに同相の小信号が除去されます。なお、この図は代表的なCMRRの周波数特性を示します。たとえば、IN-を使ってリモート信号グラウンドを検出すると、センサーとローカルADCグラウンドの間のグラウンド電位差が除去されます。

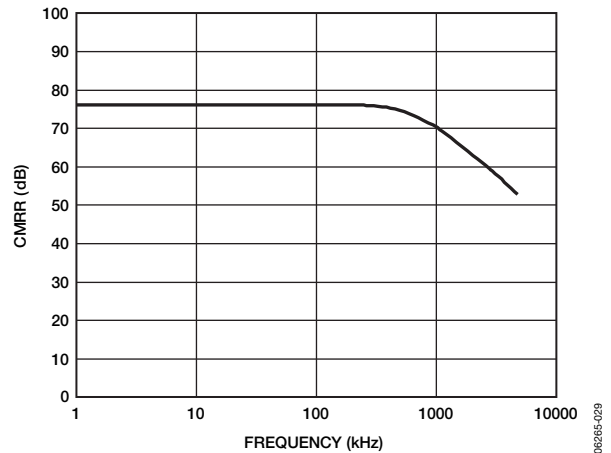


図29. アナログ入力CMRRの周波数特性

AC信号のアクイジション・フェーズでは、アナログ入力（IN+とIN-）のインピーダンスは、 R_{IN} と C_{IN} の直列接続で構成された回路とコンデンサ C_{PIN} との並列組み合わせとして、モデル化できます。 C_{PIN} は主にピン容量です。 R_{IN} は通常70Ωで、直列抵抗とスイッチのオン抵抗から構成されます。 C_{IN} は、主にADCサンプリング・コンデンサであり、選択された入力範囲に応じて、0～5Vの範囲では48pF（typ）、0～10Vと±5Vの範囲では24pF（typ）、±10Vの範囲では12pF（typ）となります。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。

AD7612の入力インピーダンスはきわめて高いため、低インピーダンス信号源から直接駆動してもゲイン誤差はありません。図27に示すように、アンプ出力とADCアナログ入力との間に外付けの単極RCフィルタを挿入して、AD7612アナログ入力回路によるノイズ・フィルタ処理を強化できます。ただし、ソース・インピーダンスが大きい場合には、AC性能、特に全高調波歪み（THD）に多大な影響を与えます。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。THDはソース・インピーダンスと最大入力周波数の関数となっており、それに応じて劣化します。

ドライバ・アンプの選択

AD7612は簡単に駆動できますが、ドライバ・アンプには次の条件が求められます。

- マルチチャンネル、多重化アプリケーションの場合は、ドライバ・アンプとAD7612のアナログ入力回路は、コンデンサ・アレイのフルスケール・ステップに対して16ビット・レベル（0.0015%）でセトリングできなければなりません。アンプの場合は、一般に0.1～0.01%でのセトリングが規定されています。これは16ビット・レベルでのセトリング時間と大幅に異なるため、ドライバを選択する前に確認する必要があります。超低ノイズで広いゲイン帯域幅を備えた小型オペアンプAD8021なら、最大13の高いゲインで使用した場合も、このセトリング・タイムの条件を満たします。
- AD7612の遷移ノイズ性能とS/N比を維持するには、ドライバ・アンプによって生じるノイズをできるだけ低く抑える必要があります。図27に示すように、ドライバから発生するノイズは、外付けの単極ローパス・フィルタで除去します。アンプに起因するS/N比の低下は、次式で求められます。

$$SNR_{Loss} = 20 \log \left(\frac{V_{NADC}}{\sqrt{V_{NADC}^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、 V_{NADC} はADCのノイズで、次式で求められます。

$$V_{NADC} = \frac{V_{INp-p}}{10^{\frac{2\sqrt{2}}{SNR}}}$$

f_{-3dB} は入力フィルタのカットオフ周波数です（3.9MHz）。 N は、アンプのノイズ係数（バッファ構成の場合には+1）。

e_N は、オペアンプの等価入力電圧ノイズ密度（nV/√Hz）。

- ドライバは、AD7612のTHD性能に見合うTHD性能を持っている必要があります。図15に、ドライバが満たすべきTHDの周波数特性を示します。

AD8021はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021では優れた直線性を得るために、NPOセラミックやマイカ・タイプのような10pFの外付け補償コンデンサが必要となります。さらに、ゲイン+1の非反転回路の使用が推奨され、これを使うと最適なS/N比が得られます。

デュアル・バージョンが必要でゲイン=1を使用する場合は、AD8022も使用できます。高周波（100kHz超）性能がそれほど重要でないアプリケーションでは、AD829を使用することもできます。ゲイン=1のアプリケーションでは、82pFの補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合は、AD8610を使用することができます。

AD7612では大きな形状の高電圧入力スイッチを使用するため、最高の直線性性能を得るには、アンプをその最大フル・パワー帯域幅で使用します。ADCのダイナミック・レンジをより多く使用するアンプの場合は、直線性誤差が増大します。高い分解能を必要とするアプリケーションの場合には、AD7612を駆動するユニティ・フォロアの前に、ゲインのあるアンプを追加使用してください。表8は、推奨されるオペアンプのリストを示します。

表8. 推奨されるドライバ・アンプ

Amplifier	Typical Application
ADA4841-x	12 V supply, very low noise, low distortion, low power, low frequency
AD829	±15 V supplies, very low noise, low frequency
AD8021	±12 V supplies, very low noise, high frequency
AD8022	±12 V supplies, very low noise, high frequency, dual
AD8610/AD8620	±13 V supplies, low bias current, low frequency, single/dual

電圧リファレンス入力／出力

AD7612は、温度ドリフトが非常に小さい内部電圧リファレンス、外部リファレンス、またはバッファ付き外部リファレンスを選択できます。

AD7612の内部リファレンスは、優れた性能を備え、ほとんどすべてのアプリケーションに使用できます。ただし、直線性性能が保証されるのは外部リファレンスを使用した場合だけです。

AD7612

内部リファレンス (REF=5V)

(PDBUF=ローレベル、PDREF=ローレベル)

内部リファレンスを使用するには、PDREF入力とPDBUF入力がローレベルであることが必要です。そうすると、内蔵のバンド・ギャップ・リファレンス、バッファ、温度センサーがイネーブルになり、REFピン上で5.00Vのリファレンス電圧になります。

内部リファレンス電圧は、 $5.000V \pm 35mV$ に温度補償されています。リファレンス電圧は、ドリフトが $3ppm/^\circ C$ (typ)に調整されています。このドリフト特性 (typ) を図19に示します。

外部2.5Vリファレンスと内部バッファ (REF=5V)

(PDREF=ハイレベル、PDBUF=ローレベル)

内部バッファ付きの外部リファレンスを使用するには、PDREFをハイレベル、PDBUFをローレベルにしてください。これにより、内部リファレンスがパワーダウンされ、REFBUFINに2.5Vリファレンスが印加されてREFピン上で5Vの電圧になります。複数のコンバータを使用するアプリケーションでは一般にバッファが必要なため、内部リファレンス・バッファが役立ちます。

外部5Vリファレンス

(PDREF=ハイレベル、PDBUF=ハイレベル)

外部リファレンスを直接REFピン上で使うときは、PDREFとPDBUFは両方もハイレベルにする必要があります。PDREFとPDBUFは、それぞれ内部リファレンスと内部リファレンス・バッファをパワーダウンします。ドリフト性能を向上させるには、ADR445やADR435などの外部リファレンスを推奨します。

リファレンスのデカップリング

内部リファレンスと外部リファレンスのいずれを使用しても、AD7612の電圧リファレンス入力 (REF) には動的入力インピーダンスがあります。したがって、REF入力とREFGND入力との間に効率的なデカップリングを行い、低インピーダンス信号源を使用して駆動する必要があります。デカップリングは使用する電圧リファレンスによって異なりますが、通常は、寄生インダクタンスを最小に抑えた、REFとREFGNDに接続した低ESRコンデンサから構成されます。内部リファレンス電圧を使用する場合や、ADR445/ADR435の外部リファレンスを使用する場合は、 $22\mu F$ (X5R、1206サイズ) のセラミック・チップ・コンデンサ (または $47\mu F$ のタンタル・コンデンサ) が適しています。

AD7612の性能には、リファレンス・デカップリングの配置も重要です。デカップリング・コンデンサは、ADCと同じ側面で比較的厚いPCボード・パターンでREFピンに接続するように実装してください。REFGNDも、最短距離でリファレンスのデカップリング・コンデンサに接続してください。また、いくつかのビアでアナログ・グラウンド・プレーンにも接続してください。

複数のAD7612または他のPulSARデバイスを使用するアプリケーションでは、2.5Vの外部リファレンス電圧のバッファリングには、内部リファレンス・バッファを使用すると効果的です。

電圧リファレンスの温度係数 (TC) は、フルスケールに直接影響を与えます。したがって、フルスケール精度が重要なアプリケーションでは、TCに注意する必要があります。たとえば、温度係数 $\pm 15ppm/^\circ C$ のリファレンスでは、フルスケール精度が $\pm 1LSB/^\circ C$ 変化します。

温度センサー

TEMPピンでは、AD7612の温度を測定します。温度範囲の全域でキャリブレーション精度を高めるため、TEMPピンの出力はアナログ・スイッチ (ADG779など) の入力の1つに印加され、ADC自身を使用してその温度を測定します。この構成を図30に示します。

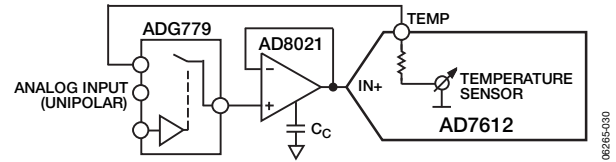


図30. 温度センサーの使い方

電源

AD7612では、次の5種類の電源ピンを使用します。

- AVDD：アナログ5Vコア電源
- VCC：アナログ高電圧正電源
- VEE：高電圧負電源
- DVDD：デジタル5Vコア電源
- OVDD：デジタル入出力インターフェース電源

コア電源

AVDDとDVDDは、AD7612にそれぞれアナログ・コアとデジタル・コアを供給します。これらの電源には、各電源に少なくとも $10\mu F$ のコンデンサと $100nF$ のコンデンサを接続する、十分なデカップリングが要求されます。 $100nF$ のコンデンサは、AD7612のできるだけ近くに接続します。必要な電源の数を減らすため、図27に示すように、DVDDは簡単なRCフィルタを使ってアナログ電源から供給できます。

高電圧電源

高電圧バイポーラ電源VCCとVEEが必要であり、最大入力 V_{IN} よりも2V以上高いことが必要です。たとえば、10Vのバイポーラ・レンジを使用する場合は、電源は $\pm 12V$ (min)であることが必要です。これらの電源には、各電源に少なくとも $10\mu F$ のコンデンサと $100nF$ のコンデンサを接続する、十分なデカップリングが要求されます。ユニポーラ動作の場合には、VEE電源を接地できますが、THD性能は若干低下します。

デジタル出力電源

OVDDは、デジタル出力を供給し、2.3~5.25Vで動作する任意のロジックと直接接続できます。OVDDは、システム・インターフェースと同じレベルに設定してください。少なくとも $10\mu F$ のコンデンサと $100nF$ のコンデンサで構成される、十分なデカップリングが要求されます。なお、 $100nF$ のコンデンサは、AD7612のできるだけ近くに接続します。

電源シーケンス

図31に示すように、AD7612は電源シーケンスに依存しないため、広い周波数レンジにわたってAVDDの電源変動の影響を受けがありません。

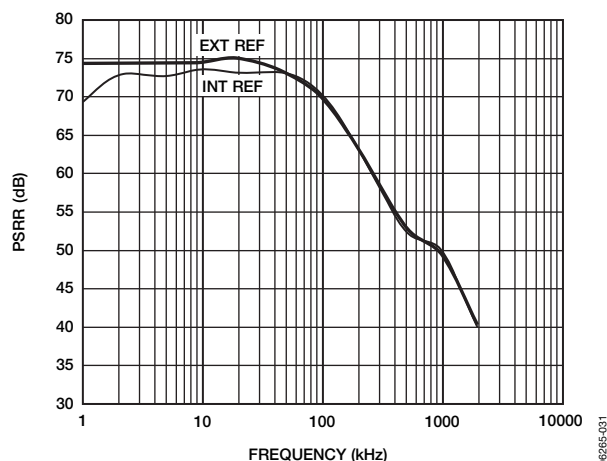


図31. AVDD PSRRの周波数特性

スループット 対 消費電力

AD7612は、インパルス・モードでは、各変換フェーズが終わると自動的に消費電力を低減します。アキュイジション・フェーズでは動作電流が非常に小さくなるため、変換速度を下げれば消費電力の大幅低減が可能になります(図32)。この機能により、AD7612は、消費電力のきわめて低いバッテリー駆動のアプリケーションに最適です。

アキュイジション・フェーズでも、デジタル・インターフェースはアクティブです。動作デジタル電源電流をさらに低減するため、デジタル入力を電源レール(つまり、OVDDとOGND)の近くで駆動します。

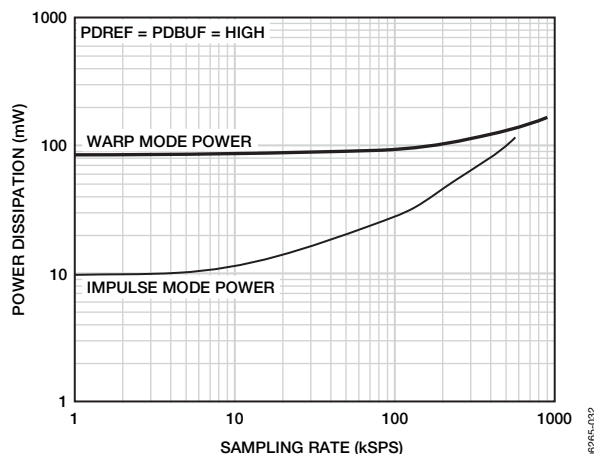


図32. サンプリング・レート 対 消費電力

パワーダウン

図23に示すように、PD=ハイレベルに設定するとAD7612がパワーダウンするため、電源電流は最小値まで減少します。ADCがパワーダウン状態になると、現在の変換(もしあれば)が完了し、デジタル・バスはアクティブ状態のままです。デジタル電源電流をさらに減らすには、入力をOVDDまたはOGNDに駆動します。

パワーダウンは、設定レジスタによってもプログラムできます。詳細については「ソフトウェア設定」を参照してください。なお、設定レジスタを使用するときは、PD入力はドント・ケアで、ハイレベルまたはローレベルに接続してください。

変換制御

AD7612は、 $\overline{\text{CNVST}}$ 入力によって制御されます。変換の開始に必要なのは、 $\overline{\text{CNVST}}$ の立下がりエッジのみです。図33に、変換プロセスの詳細なタイミング図を示します。いったん変換が開始されると、変換が完了するまでは、たとえパワーダウン入力(PD)によっても、再起動したりアボートしたりできません。 $\overline{\text{CNVST}}$ 信号は、CS信号やRD信号とは無関係に動作します。

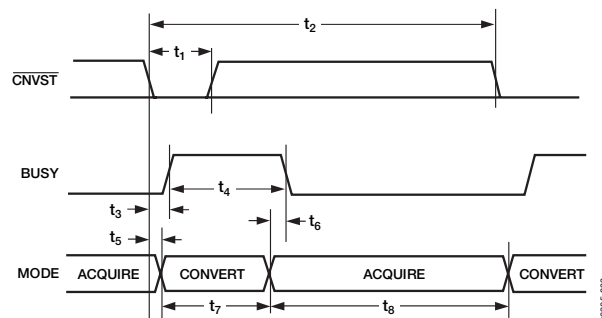


図33. 基本的な変換タイミング

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速できれいなエッジとレベルにすること、オーバーシュート/アンダーシュートやリングングを最小にすることに注意して設計してください。

$\overline{\text{CNVST}}$ のパターンはグラウンドでシールドし、このラインを駆動する部品出力側に近接して小さな値(たとえば50Ω)の直列終端抵抗を接続してください。

S/N比が重要なアプリケーションでは、 $\overline{\text{CNVST}}$ 信号のジッタを非常に小さく抑える必要があります。そのためには、 $\overline{\text{CNVST}}$ の発生に専用の発振器を使うか、高周波の低ジッタ・クロックで $\overline{\text{CNVST}}$ を駆動してください(図27)。

インターフェース

デジタル・インターフェース

AD7612には汎用のデジタル・インターフェースがあり、ホスト・システムとのシリアルまたはパラレル・インターフェースとして設定できます。シリアル・インターフェースは、パラレル・データ・バス上でマルチプレクスされます。AD7612のデジタル・インターフェースは、2.5V、3.3V、5Vのロジックにも対応します。多くのアプリケーションでは、AD7612のOVDD電源ピンは、ホスト・システム・インターフェースの2.5Vまたは5.25Vデジタル電源に接続します。最後に、OB/2C入力ピンを使用して、2の補数またはストレート・バイナリのコーディングを使用できます。

インターフェースは、2つの信号 \overline{CS} と \overline{RD} により制御されます。これらの信号の少なくとも1つがハイレベルの場合、インターフェース出力は高インピーダンスになります。通常、複数のAD7612を使用するアプリケーションでは、 \overline{CS} によって各AD7612を選択します。AD7612を1個使用する設計では \overline{CS} をローレベルに固定します。 \overline{RD} は、一般にデータ・バス上に変換結果を出力するときに使います。

RESET

RESET入力によって、AD7612をリセットします。RESETの立上がりエッジで、現在の変換（もしあれば）がアボートされ、データ・バスはスリーステートになります。RESETの立下がりエッジで、AD7612がリセットされ、データ・バスと設定レジスタがクリアされます。RESETのタイミングの詳細については、図34を参照してください。

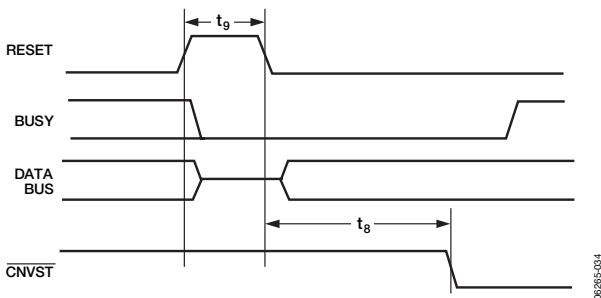


図34. RESETのタイミング

パラレル・インターフェース

$\overline{SER}/\overline{PAR}$ をローレベルにすると、AD7612はパラレル・インターフェースを使用するように設定されます。

マスター・パラレル・インターフェース

\overline{CS} と \overline{RD} をローレベルに接続すると、データを連続的に読み出すことができます。したがって、マイクロプロセッサの接続を最小限に抑えられます。しかし、このモードでは、データ・バスが常に駆動されているため、デバイスがRESET状態に保持されない限り共有バス・アプリケーションでは使用できません。このモードのタイミングの詳細を図35に示します。

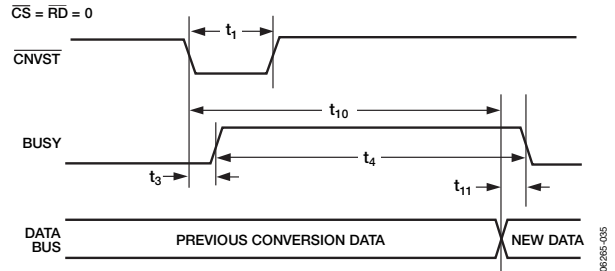


図35. 読み出し用のマスター・パラレル・データ・タイミング (連続読み出し)

スレーブ・パラレル・インターフェース

スレーブ・パラレル読み出しモードでは、データは、各変換の後（つまり次のアクイジション・フェーズ中）または次の変換中に読み出すことができます（それぞれ図36と図37を参照）。変換中にデータを読み出すときは、変換フェーズの前半に行うことを推奨します。これによって、デジタル・インターフェース上の電圧変化と最もクリティカルなアナログ変換回路との間の潜在的なフィードスルーを防止できます。

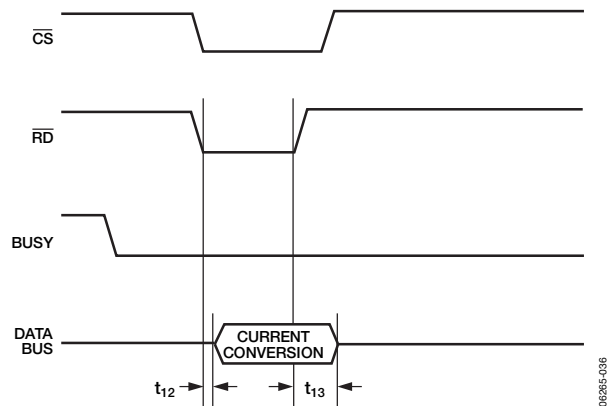


図36. 読み出し用のスレーブ・パラレル・データ・タイミング (変換後の読み出し)

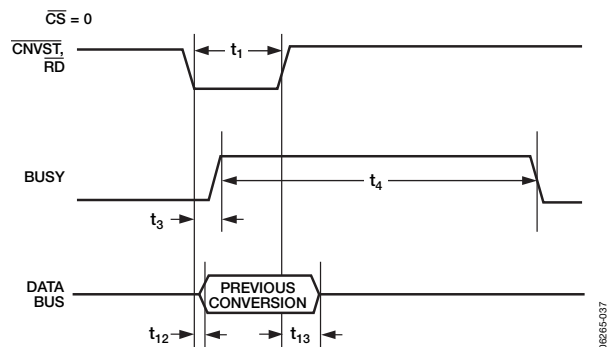


図37. 読み出し用のスレーブ・パラレル・データ・タイミング (変換中の読み出し)

8ビット・インターフェース (マスターまたはスレーブ)

BYTESWAPピンを使うと、8ビット・バスに対するグルーレンなインターフェースが可能になります。図38に示すように、BYTESWAPがローレベルの場合、LSBバイトがD[7:0]に、MSBがD[15:8]に、それぞれ出力されます。しかし、BYTESWAPがハイレベルの場合は、LSBバイトとMSBバイトは入れ替わり、LSBがD[15:8]に、MSBがD[7:0]に、それぞれ出力されます。BYTESWAPをアドレス・ラインに接続すると、16ビット・データをD[15:8]またはD[7:0]から2バイトで読み出すことができます。このインターフェースは、マスターとスレーブ両方のパラレル読み出しモードで使用できます。

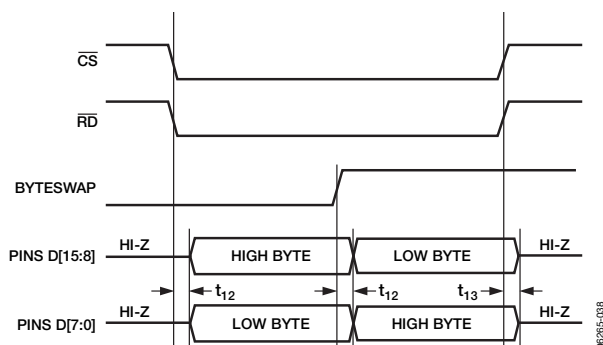


図38. 8ビットと16ビットのパラレル・インターフェース

シリアル・インターフェース

AD7612のシリアル・インターフェース (SPI互換) は、データ・ピンD[15:2]上に多重化されています。SER/PARがハイレベルに保持されると、AD7612はシリアル・インターフェースを使用する設定になります。

データ・インターフェース

AD7612は、16ビットのデータをMSBファーストでSDOUTピンに出力します。このデータは、SDCLKピン上の16個のクロック・パルスに同期化されています。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です。

シリアル設定インターフェース

AD7612は、シリアル・モードでのみ、シリアル設定レジスタを通じて設定できます。それは、シリアル設定ピンもデータ・ピンD[15:12]上に多重化されるためです。詳細については「ハードウェア設定」と「ソフトウェア設定」を参照してください。

マスター・シリアル・インターフェース

D[10:2]上に多重化されてマスター・シリアル・インターフェースに使用されるピンは、DIVSCLK[0]、DIVSCLK[1]、EXT/INT、INVSYNC、INVSCLK、RDC、SDOUT、SDCLK、SYNCです。

内部クロック

(SER/PAR=ハイレベル、EXT/INT=ローレベル)

EXT/INTピンをローレベルに保持すると、AD7612はシリアル・データ・クロックSCLKを内部で生成し外部に供給する設定になります。AD7612はSYNC信号も生成し、シリアル・データが有効になるタイミングをホストに知らせます。SDCLKとSYNC信号は、必要に応じて、それぞれINVSCLK入力とINVSYNC入力を使用して反転できます。入力RDCに応じて、データは、次の変換中または各変換の後に読み出すことができます。図39と図40に、この2つのモードの詳しいタイミング図を示します。

変換中の読み出し (RDC=ハイレベル)

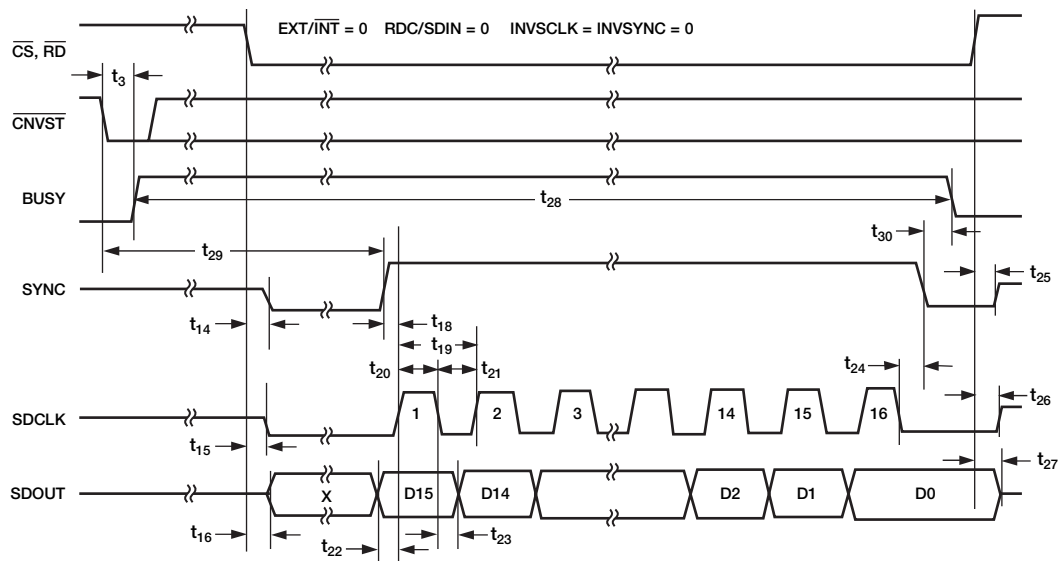
RDC=ハイレベルに設定すると、変換モード中に (以前の変換結果を) マスター読み出すことができます。通常、AD7612は高速スループットで使用されるため、このモードが最も推奨されるシリアル・モードです。このモードでは、シリアル・クロックとデータが適切なタイミングでトグルするので、デジタル動作とクリティカルな変換判定との間のフィードスルーを最小限に抑えます。このモードでは、LSBのセトリングに時間がかかり、SDCLKはSAR変換サイクルから得られるため、SDCLK周期が変化します。AD7612は2つの周期の不連続なSDCLKを生成するため、ホストはSPIインターフェースを使用してください。

変換中の読み出し

(RDC=ローレベル、DIVSCLK[1:0]=[0~3])

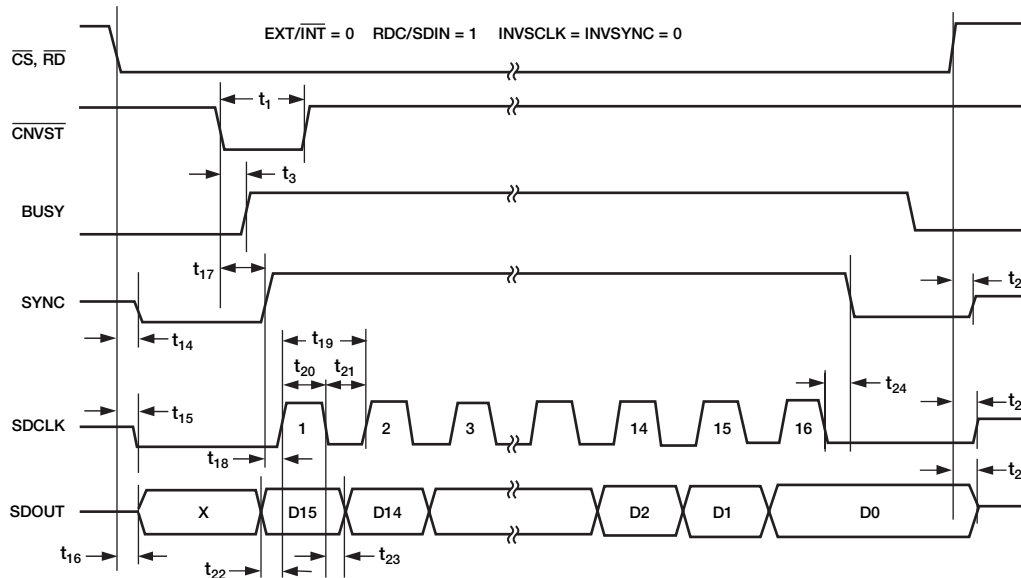
RDC=ローレベルに設定すると、変換後の読み出しモードを使用できます。他のシリアル・モードとは異なり、BUSY信号は、変換終了後すぐにローレベルに戻るのではなく、16ビットのデータがパルス出力されてからローレベルに戻るため、BUSYの幅が長くなります (BUSYのタイミング仕様については表4を参照)。DIVSCLK[1:0]入力は、SDCLK周期とSDOUTデータレートを制御します。その結果、このモードでは最大スループットを達成できません。このモードでは、AD7612は不連続なSDCLKも生成します。しかし、固定周期と、SPIとシリアル・ポートの両方に対応するホストも使用できます。

AD7612



06265-039

図39. 読出し用のマスター・シリアル・データ・タイミング (変換後の読出し)



06265-040

図40. 読出し用のマスター・シリアル・データ・タイミング (変換中における前の変換の読出し)

スレーブ・シリアル・インターフェース

D[11:4]上に多重化されてスレーブ・シリアル・インターフェースに使用されるピンは、EXT/INT、INV_SCLK、SDIN、SDOUT、SDCLK、RDERRORです。

外部クロック

(SER/PAR=ハイレベル、EXT/INT=ハイレベル)

EXT/INT=ハイレベルに設定すると、AD7612は、外部シリアル・データ・クロックをSDCLKピンで入力できます。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックは、CSによってゲーティングされます。CSとRDが両方もローレベルの場合、各変換の後または次の変換中にデータの読出しができます。クロックは、非アクティブのときに、ノーマル・ハイレベルまたはノーマル・ローレベルにできます。図42と図43に詳細なタイミング図を示します。

AD7612がビット判定を行っているときに、デジタル入出力ピンで電圧変化が発生しないようにすることが大切です。さもないと、変換結果が劣化することがあります。これは、変換フェーズの最後の475nsで特に重要です。後半には、変換フェーズの前半で行われたビット判定の誤りを補正できる誤差補正回路があるためです。このため、外部クロックを入力する場合は、BUSYがローレベルの場合だけ遷移し、さらにBUSYがハイレベルである最後の475nsの間は遷移しない不連続クロックを推奨します。

変換後の外部不連続クロックによるデータ読出し

このモードでは最大スループットを達成できませんが、シリアル・スレーブ・モードでは最も推奨されるモードです。図42に、この方法の詳細なタイミング図を示します。BUSYがローレベルに戻って変換の完了が表示されると、この変換結果は、CSとRDがともにローレベルの場合読み出すことができます。データはMSBファーストで、16個のクロック・パルスでシフト出力され、SDCLK周波数に応じて、クロックの立上がり/立下がりエッジで有効です。

この方法の1つの利点は、変換処理中にデジタル・インターフェース上で電圧変化が発生しないため、変換性能の低下がないことです。もう1つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読出しの両方に対応できる、最大40MHzまでの任意の速度でデータを読み出せることです。

デジチェーン機能

変換後の読出しモードでは、AD7612は、シリアル・データ入力(SDIN)ピンを使って複数のコンバータをカスケード接続するデジチェーン機能も使用できます。この機能によって部品数と接続配線数を削減できます。たとえば、絶縁された複数のコンバータを使用するアプリケーションでこの接続が使用されます。タイミングの詳細については、図42を参照してください。

2個のデバイスを接続する例を図41に示します。共通のCNVST信号を使用すると、同時サンプリングが可能です。SDIN入力は、SDOUT上でデータをシフト出力する際に使うSDCLKのエッジとは反対側のエッジでラッチされることに注意してください(INV_SCLK=ローレベルの場合のSDCLK立下がりエッジ)。このため、次のSDCLKサイクルで、上流側コンバータのMSBは下流側コンバータのLSBの直後に続きます。このモード

では、SDINからSDCLKのセットアップ時間 t_{33} は仕様規定された最小時間より短いため、40MHzのSDCLKレートは使用できません。(SDCLKからSDOUTまでの遅延 t_{32} は、同時にサンプリングされたときには、すべてのコンバータで同じです)。正常動作のためには、SDINをラッチするためのSDCLKエッジ(またはSDCLKの1/2周期)は、次のようになります。

$$t_{1/2SDCLK} = t_{32} + t_{33}$$

あるいは、SDCLKの最大周波数は次のようになります。

$$f_{SDCLK} = \frac{1}{2(t_{32} + t_{33})}$$

デジチェーン機能を使用しない場合は、SDIN入力をハイレベルまたはローレベルに接続してください。

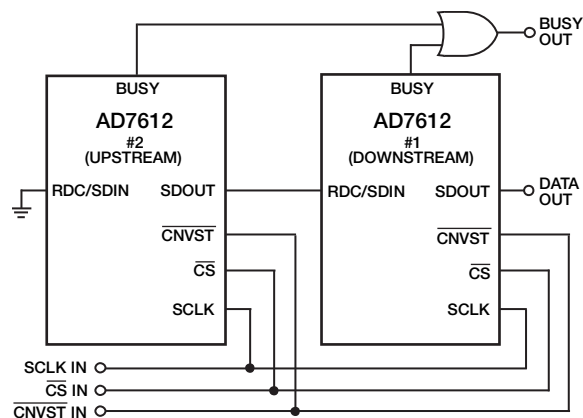


図41. デジチェーン接続した2個のAD7612

外部クロックによる前の変換中のデータ読出し

図43に、この方法の詳細なタイミング図を示します。変換中に、CSとRDの両方がローレベルの場合、前の変換結果を読み出すことができます。データはMSBファーストで、16個のクロック・パルスでシフト出力され、SDCLK周波数に応じて、クロックの立上がり/立下がりエッジで有効です。現在の変換が完了する前に、この16ビットを読み出す必要があります。さもないと、RDERRORにハイレベル・パルスが出力されます。これは、不完全なデータ読出しを防止するために、ホスト・インターフェースの割込みに使用できます。

デジタル動作による性能の低下を少なくするため、SAR変換フェーズの前半で全ビットを読み出すことができるように、40MHz以上の高速な不連続クロックを使用することを推奨します。

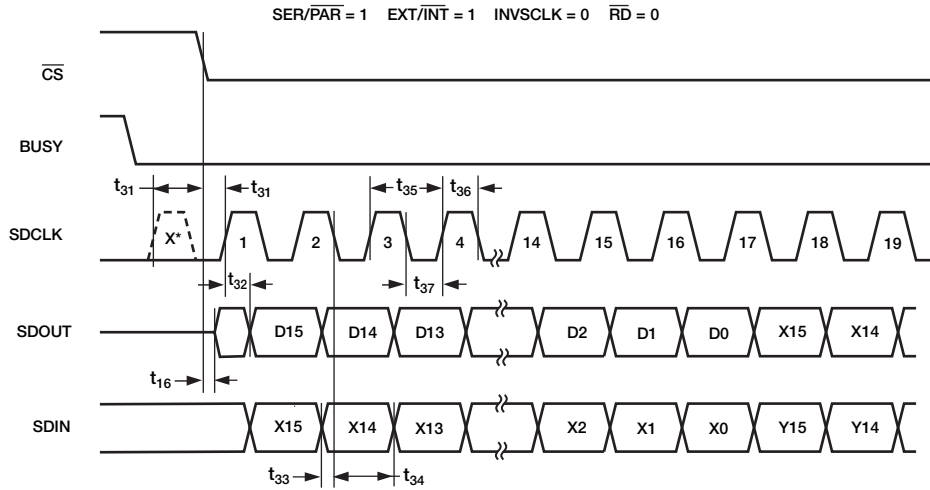
このモードでは、デジチェーン機能を使用しないでください。SAR変換フェーズの後半でデジタル動作が発生して、性能が低下する可能性があります。

AD7612

外部クロックによる変換後/変換中のデータ読出し

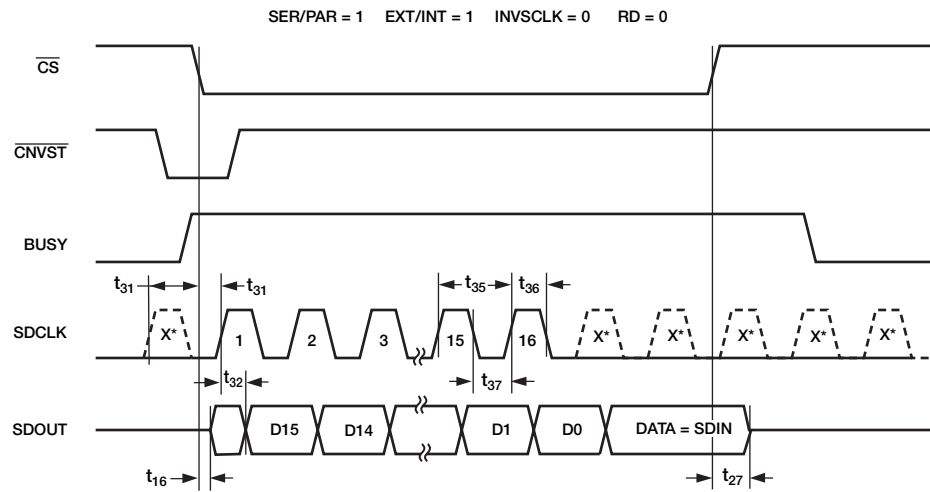
変換後にデータの読出しを開始し、新しい変換が開始された後も引き続き最終ビットまで読み出すことも可能です。この方法では、フル・スループットと低いSDCLK周波数の使用が可能になります。この場合もやはり、ビット判定を誤る可能性を最

小限に抑えるために、可能ならば不連続なSDCLKの使用を推奨します。ワープ・モードでは20MHz、ノーマル・モードでは15MHz、インパルス・モードでは13MHzなど、遅いSDCLKを使用できます。



*A DISCONTINUOUS SDCLK IS RECOMMENDED.

図42. 読出し用のスレーブ・シリアル・データ・タイミング (変換後の読出し)



*A DISCONTINUOUS SDCLK IS RECOMMENDED.

図43. 読出し用のスレーブ・シリアル・データ・タイミング (変換中における前の変換の読出し)

ハードウェア設定

AD7612は、専用のハードウェア・ピンWARP、IMPULSE、BIPOLAR、TEN、OB/2C、PDを使い、いつでもパラレル・モード（SER/PAR=ローレベル）またはシリアル・ハードウェア・モード（SER/PAR=ハイレベル、HW/SW=ハイレベル）に設定できます。AD7612のモード選択や入力範囲の設定は、変換前または変換中に行うことができます。RESET入力と同様、図44に示すように、ADCのセトリングには少なくとも1つのアキュイジション時間が必要です。ピンの説明については表6を参照してください。ソフトウェア設定モードを使用するとき、これらの入力は高インピーダンスであることに注意してください。

ソフトウェア設定

D[15:12]上に多重化されてソフトウェア設定に使用されるピンは、HW/SW、SCIN、SCCLK、SCCSです。AD7612の変換モード、入力範囲の選択、出力コーディング、シリアル設定レジスタを使用するパワーダウンは、書き込み専用のシリアル設定ポート（SCP）を使ってプログラムできます。設定レジスタの各ビットの詳細については、表9を参照してください。SCPは、SER/PAR=ハイレベルとHW/SW=ローレベルにより選択されたシリアル・ソフトウェア・モードでだけ使用できます。このポートはパラレル・インターフェース上に多重化されているためです。

SCPにアクセスするには、ポートのチップ・セレクトSCCSをアサートしてから、SCCLKに同期化されたSCINを書き込みます。SCCLKは（SDCLKと同様に）、INVSCLKの状態に依存してエッジ・センシティブです。タイミングの詳細については、図45を参照してください。SCINは、MSBファーストで設定レジスタに入力されます。設定レジスタは、スタート・ビットのビット8から始まる内部シフト・レジスタです。SPPCLKの9番目のエッジでレジスタが更新され、新しい設定を使用できます。タイミング図に示すように、SCCLKの9番目のエッジからは少なくとも1つのアキュイジション時間が必要です。ビット[1:0]は予備ビットであり、SCPの更新中には書き込まれません。

SCPは、最大40MHzまでいつでも書き込みが可能ですが、図45に示すように、AD7612の変換がビジーでない間に書き込むことを推奨します。このモードでは、SCPアクセスに必要な時間が最小で $(t_{s1} + 8 \times 1/SCCLK + t_g)$ となるため、最大の750kSPSは達成できません。フル・スループットが必要な場合には、変換中にSCPに書き込むことができます。しかし、変換の最後の475nsの間（BUSY=ハイレベル）は、性能が低下することがあるため、SCPへの書き込みは推奨できません。SCPには、変換中と変換後のシリアル・マスター読出しモードとシリアル・スレーブ読出しモードでアクセスできます。

なお、パワーアップ時には、設定レジスタは未定義の状態です。RESET入力により、設定レジスタがクリアされ（全ビットを0に設定）、0~5V入力、ノーマル・モード、2の補数出力に設定されます。

表9. 設定レジスタの説明

ビット	名前	説明															
8	START	スタート・ビット。SCPがイネーブル（SCCS=ローレベル）で、STARTがハイレベルの場合、SCCLKの最初の立上がりエッジ（INVSCLK=ローレベル）でレジスタに新しい設定のロードが開始されます。															
7	BIPOLAR	入力範囲の選択。以下に基づいて、ビット6のTENとともに使用します。 <table border="1"> <thead> <tr> <th>入力範囲</th> <th>BIPOLAR</th> <th>TEN</th> </tr> </thead> <tbody> <tr> <td>0~5V</td> <td>ローレベル</td> <td>ローレベル</td> </tr> <tr> <td>0~10V</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> <tr> <td>±5V</td> <td>ハイレベル</td> <td>ローレベル</td> </tr> <tr> <td>±10V</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> </tbody> </table>	入力範囲	BIPOLAR	TEN	0~5V	ローレベル	ローレベル	0~10V	ローレベル	ハイレベル	±5V	ハイレベル	ローレベル	±10V	ローレベル	ハイレベル
入力範囲	BIPOLAR	TEN															
0~5V	ローレベル	ローレベル															
0~10V	ローレベル	ハイレベル															
±5V	ハイレベル	ローレベル															
±10V	ローレベル	ハイレベル															
6	TEN	入力範囲の選択。ビット7のBIPOLARを参照。															
5	PD	パワーダウン。 PD=ローレベル、通常動作。 PD=ハイレベル、ADCをパワーダウン。SCPはパワーダウン時にアクセス可能です。ADCをパワーアップするには、次の設定時にPD=ローレベルを書き込みます。															
4	IMPULSE	モード選択。以下に基づいて、ビット3のWARPとともに使用します。 <table border="1"> <thead> <tr> <th>モード</th> <th>WARP</th> <th>IMPULSE</th> </tr> </thead> <tbody> <tr> <td>ノーマル</td> <td>ローレベル</td> <td>ローレベル</td> </tr> <tr> <td>インパルス</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> <tr> <td>ワープ</td> <td>ハイレベル</td> <td>ローレベル</td> </tr> <tr> <td>ノーマル</td> <td>ハイレベル</td> <td>ハイレベル</td> </tr> </tbody> </table>	モード	WARP	IMPULSE	ノーマル	ローレベル	ローレベル	インパルス	ローレベル	ハイレベル	ワープ	ハイレベル	ローレベル	ノーマル	ハイレベル	ハイレベル
モード	WARP	IMPULSE															
ノーマル	ローレベル	ローレベル															
インパルス	ローレベル	ハイレベル															
ワープ	ハイレベル	ローレベル															
ノーマル	ハイレベル	ハイレベル															
3	WARP	モード選択。ビット4のIMPULSEを参照。															
2	OB/2C	出力コーディング。 OB/2C=ローレベル、2の補数出力を使用。 OB/2C=ハイレベル、ストレート・バイナリ出力を使用。															
1	RSV	予備。															
0	RSV	予備。															

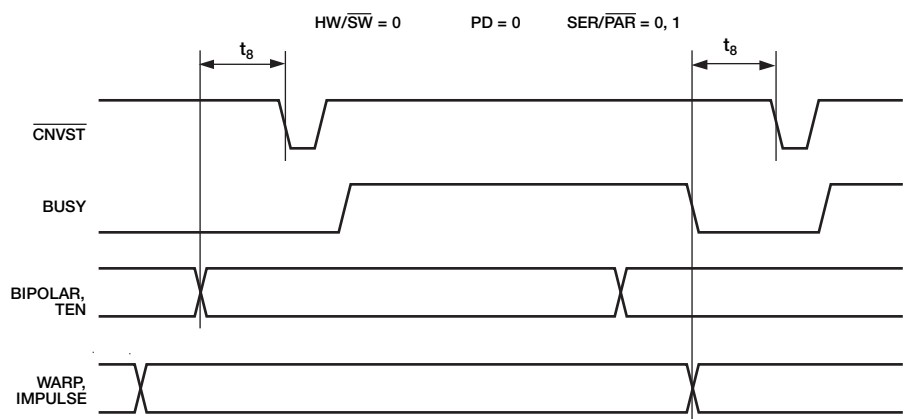


図44. ハードウェア設定のタイミング

AD7612

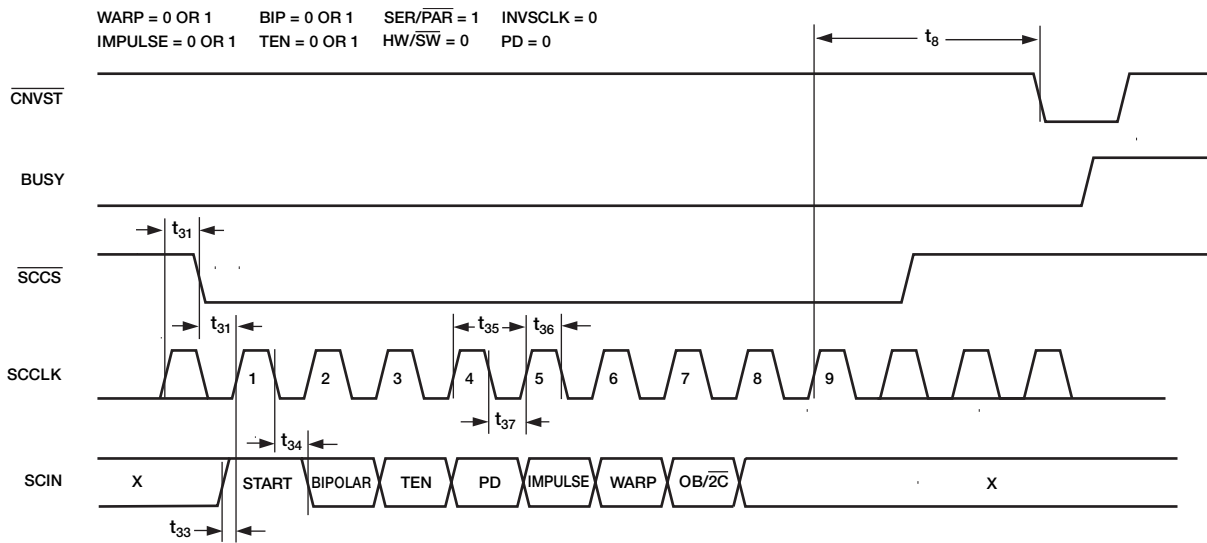


図45. シリアル設定ポートのタイミング

マイクロプロセッサとのインターフェース

AD7612は、マイクロプロセッサをサポートする従来のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーション向けに最適です。AD7612は、パラレル8ビットまたは16ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラのI/Oポートを使って接続するように設計されています。さまざまな外付けバッファを使用することにより、デジタル・ノイズがADCに混入するのを防止できます。

SPIインターフェース

AD7612は、SPIやQSPIデジタル・ホストに加えて、Blackfin® ADSP-BF53xやADSP-218x/ADSP-219xなどのDSPと互換性があります。図46に、SPIを備えたADSP-219xとAD7612とのインターフェース図を示します。DSPの低速に対応するため、AD7612はスレーブ・デバイスとして動作し、変換後にデータを読み出す必要があります。このモードではデイジーチェーン機能も可能です。内部タイマ割込みに呼応して変換コマンドを起動できます。

読出し処理は、DSPの割込みラインを使用する変換終了信号 (BUSYがローレベルに変化) に応じて開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース (SPI) は、

SPIコントロール・レジスタ (SPICLTx) への書き込みにより、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1、およびSPI割込みイネーブル (TIMOD) = 00に設定されます。

すべてのタイミング条件を満たすために、SPIクロックを17Mb/sに制限します。この速度では、ADC変換結果を1μs以内に読み出すことが可能です。より高速なサンプリング・レートが必要な場合には、パラレル・インターフェース・モードを使用します。

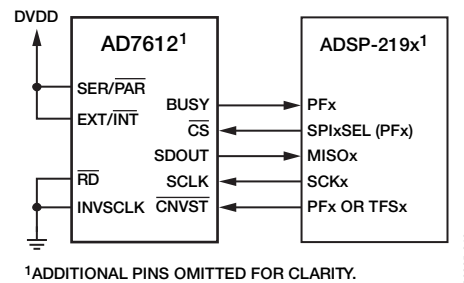


図46. AD7612とSPIのインターフェース

アプリケーション

レイアウトのガイドライン

AD7612は電源ノイズに対する耐性が優れていますが、グラウンディングのレイアウトについては注意が必要です。分離が容易なグラウンド・プレーンを使用できるようにするため、AD7612を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するように設計してください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。できればAD7612の真下、あるいは少なくともAD7612にできるだけ近い場所で接続してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD7612を使用する場合にも、この接続は1か所だけで行う必要があります。すなわち、AD7612のできるだけ近くでスター結線してください。

ノイズがチップに混入するのを防ぎ、ノイズの放射を防止し、フィードスルーを減らすには：

- デジタル・ラインがデバイスの真下を通らないようにします。
- AD7612の下はアナログ・グラウンド・プレーンとします。
- CNVSTやクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。
- デジタル信号とアナログ信号の交差を回避します。
- ボード部品面にもっとも近いレイヤでのパターンは、互いに直角となるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らせます。

AD7612への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7612に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。電源ピンAVDD、DVDD、OVDD、VCC、VEEには、100nF (typ) のデカップリング用セラミック・コンデンサを配置します。理想的にはこれらのピンおよび対応するグラウンド・ピンのすぐ隣に配置します。さらに、低ESRの10 μ FコンデンサをADCの近くに配置して、低周波リップルをさらに抑えるようにしてください。

AD7612のDVDD電源は、別の電源、アナログ電源AVDD、またはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合や、高速のスイッチング・デジタル信号が存在する場合に、別の電源を使用できなければ、RCフィルタを介してDVDDデジタル電源をアナログ電源AVDDに接続し、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。図27にこの構成例を示します。DVDDにシステム電源を接続する場合には、高周波スパイクをさらに抑えるためにビードを挿入すると有効です。

AD7612には、REFGND、AGND、DGND、OGNDの4種類のグラウンド・ピンがあります。

- リファレンス電圧を感知するREFGNDにはパルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにしてください。
- AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準に使います。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続してください。
- DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続する必要があります。
- OGNDはデジタル・システム・グラウンドに接続します。

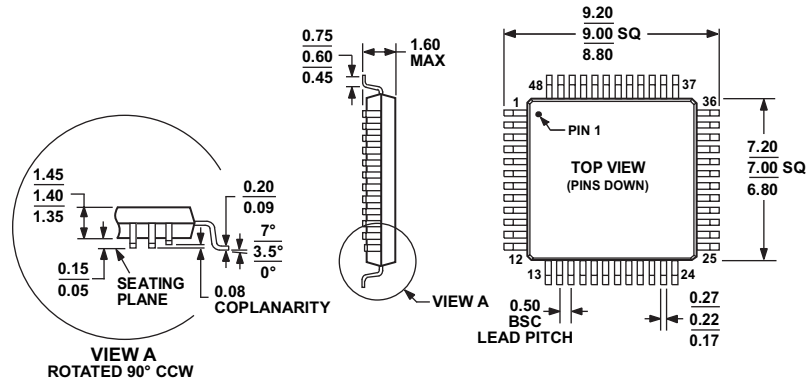
リファレンス電圧のデカップリングのレイアウトは重要です。寄生インダクタンスを最小限に抑えるには、デカップリング・コンデンサをADCの近くに配置し、短く太いパターンで接続してください。

AD7612の性能評価

AD7612の推奨レイアウトの概要は、EVAL-AD7612CB評価用ボードの付属資料に記載してあります。評価用ボードのパッケージには、テスト済みの評価用ボード（組立不要）、付属資料、「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

AD7612

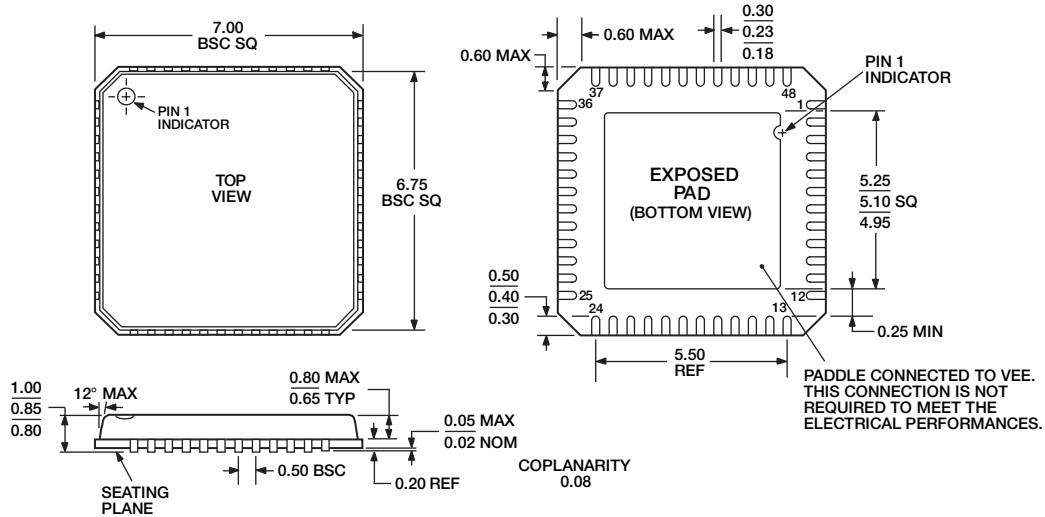
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BBC

図47. 48ピン薄型クワッド・フラット・パッケージ [LQFP] (ST-48)

寸法単位：mm



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2

図48. 48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ] 7mm×7mmボディ、極薄クワッド (CP-48-1)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7612BCPZ ¹	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-48-1
AD7612BCPZ-RL ¹	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-48-1
AD7612BSTZ ¹	-40°C to +85°C	48-Lead Low Profile Quad Flat Package (LQFP)	ST-48
AD7612BSTZ-RL ¹	-40°C to +85°C	48-Lead Low Profile Quad Flat Package (LQFP)	ST-48
EVAL-AD7612CB ²		Evaluation Board	
EVAL-CONTROL BRD ³		Controller Board	

¹ Z=鉛フリー製品。

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROL BRD3と組み合わせて使用したりできます。

³ このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイス製評価用ボード全製品の制御と通信をPCで行うことができます。