

特長

- 低消費電力のデュアル16ビットnanoDAC
- 相対精度： ± 12 LSB (max)
- 設計により単調増加性を保証
- 10ピンMSOPおよび3mm \times 3mm LFCSP_WD
- 電源電圧：2.7~5.5V
- チャンネルごとのパワーダウン
- DAC出力をゼロスケールまたはミッドスケールにパワーオン・リセット
- ハードウェアLDAC機能とCLR機能
- シリアル・インターフェース：最高50MHz

アプリケーション

- プロセス制御
- データ・アキュイジション・システム
- バッテリー駆動の携帯型計測器
- ゲインとオフセットのデジタル調整
- プログラマブルな電圧源と電流源
- プログラマブル減衰器

概要

nanoDACファミリーのAD5663は低消費電力、16ビット、バッファ付きの電圧出力デュアルD/Aコンバータ (DAC) です。2.7~5.5Vの単電源で動作し、設計によって単調増加性が保証されています。

AD5663は、DACの出力電圧範囲を設定するために外部リファレンス電圧が必要です。パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0Vまたはミッドスケール (AD5663-1) にリセットされ、有効な書き込みが行われるまでこの電圧を維持します。また、5V電源でデバイスの消費電流を480nAまで低減するパワーダウン機能があり、パワーダウン・モード時の出力負荷をソフトウェアで選択できます。

通常動作時の消費電力が低いため、携帯型のバッテリー駆動機器に最適です。消費電力は5V電源で1.25mWですが、パワーダウン・モード時は2.4 μ Wまで低減します。

AD5663のオンチップの高精度出力アンプにより、レールtoレールの出力振幅が可能です。

AD5663は最高50MHzのクロック速度で動作する多機能の3線式シリアル・インターフェースを使用し、業界標準のSPI[®]、QSPI[™]、MICROWIRE[™]、DSPインターフェース規格と互換性があります。

機能ブロック図

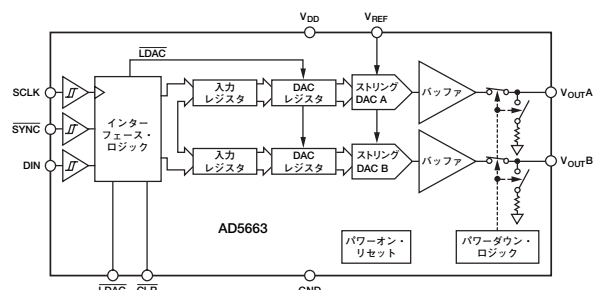


図1

表1. 関連デバイス

製品番号	説明
AD5623R/AD5643R/AD5663R	デュアル12/14/16ビットDAC、2.7~5.5V、リファレンス内蔵

製品のハイライト

- デュアル16ビットDAC：相対精度は ± 12 LSB (max)
- パッケージ：10ピンMSOPおよび3mm \times 3mmの10ピンLFCSP_WD
- 低消費電力：一般に3V電源時に0.6mW、5V電源時に1.25mW
- 最大セットリング時間：7 μ s

AD5663

目次

特長	1	出力アンプ	14
アプリケーション	1	シリアル・インターフェース	14
機能ブロック図	1	入力シフト・レジスタ	14
概要	1	SYNC割込み	15
製品のハイライト	1	パワーオン・リセット	15
改訂履歴	2	ソフトウェア・リセット	15
仕様	3	パワーダウン・モード	16
AC特性	4	LDAC機能	16
タイミング特性	5	マイクロプロセッサとのインターフェース	18
タイミング図	5	アプリケーション	19
絶対最大定格	6	AD5663のリファレンスの選択方法	19
ESDに関する注意	6	AD5663の電源としてリファレンスを使用する方法	19
ピン配置と機能の説明	7	AD5663を使用したバイポーラ動作	20
代表的な性能特性	8	デジタル・アイソレータ (iCoupler) を用いた絶縁	
用語の説明	12	インターフェース	20
動作原理	14	電源のバイパスとグラウンディング	20
D/A部	14	外形寸法	21
抵抗ストリング	14	オーダー・ガイド	21

改訂履歴

4/06—Revision 0: Initial Version

仕様

$V_{DD}=2.7\sim 5.5V$ 、 $R_L=2k\Omega$ (GNDに接続)、 $C_L=200pF$ (GNDに接続)、 $V_{REF}=V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ	Aグレード ¹			Bグレード ¹			単位	条件/備考
	Min	Typ	Max	Min	Typ	Max		
静的性能 ²								
AD5663								
分解能	16			16			ビット	
相対精度		±8	±16		±6	±12	LSB	
微分非直線性			±1			±1	LSB	設計により単調増加性を保証
ゼロスケール誤差		+2	+10		+2	+10	mV	DACレジスタに全ビット「0」をロード
オフセット誤差		±1	±10		±1	±10	mV	
フルスケール誤差		-0.15	±1		-0.15	±1	FSRの%	DACレジスタに全ビット「1」をロード
ゲイン誤差			±1.5			±1.5	FSRの%	
ゼロスケール誤差ドリフト ³		±2			±2		μV/°C	
ゲイン温度係数		±2.5			±2.5		ppm	FSRのppm/°C
DC電源電圧変動除去比		-100			-100		dB	DACコード=ミッドスケール、 $V_{DD}\pm 10\%$
DCクロストーク		10			10		μV	フルスケール出力の変化による $R_L=2k\Omega$ (GNDまたは V_{DD} に接続)
		10			10		μV/mA	負荷電流の変化による
		5			5		μV	パワーダウンによる (各チャンネル)
出力特性 ²								
出力電圧範囲	0		V_{DD}	0		V_{DD}	V	
容量性負荷安定性		2			2		nF	$R_L=\infty$
		10			10		nF	$R_L=2k\Omega$
DC出力インピーダンス		0.5			0.5		Ω	
短絡電流		30			30		mA	$V_{DD}=5V$
パワーアップ時間		4			4		μs	パワーダウン・モードからの復帰、 $V_{DD}=5V$
リファレンス入力								
リファレンス電流		170	200		170	200	μA	$V_{REF}=V_{DD}=5.5V, 3.6V$
リファレンス入力範囲	0.75		V_{DD}	0.75		V_{DD}	V	
リファレンス入力インピーダンス		26			26		kΩ	
ロジック入力 ³								
入力電流			±2			±2	μA	すべてのデジタル入力
V_{INL} (ローレベル入力電圧)			0.8			0.8	V	$V_{DD}=5V, 3V$
V_{INH} (ハイレベル入力電圧)	2			2			V	$V_{DD}=5V, 3V$
ピン容量		3			3		pF	\overline{DIN} 、 \overline{SCLK} 、 \overline{SYNC}
		19			19		pF	\overline{LDAC} 、 \overline{CLR}

AD5663

パラメータ	Aグレード ¹			Bグレード ¹			単位	条件/備考
	Min	Typ	Max	Min	Typ	Max		
電源条件								
V_{DD}	2.7		5.5	2.7		5.5	V	$V_{IH}=V_{DD}$ および $V_{IL}=GND$
I_{DD} (ノーマル・モード) ⁴								
$V_{DD}=4.5\sim 5.5V$		250	450		250	450	μA	
$V_{DD}=2.7\sim 3.6V$		200	425		200	425	μA	
I_{DD} (すべてのパワーダウン・モード) ⁵								$V_{IH}=V_{DD}$ 、 $V_{IL}=GND$
$V_{DD}=4.5\sim 5.5V$		0.48	1		0.48	1	μA	
$V_{DD}=2.7\sim 3.6V$		0.2	1		0.2	1	μA	

¹ 温度範囲：AグレードとBグレードのいずれも $-40\sim +105^{\circ}C$ 。

² 直線性はコード範囲を縮小して計算（AD5663：コード512～65,024）。出力は無負荷時の条件を適用。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

⁴ インターフェースが非アクティブ、全DACがアクティブ、DAC出力が無負荷時の条件を適用。

⁵ 両DACがパワーダウン。

AC特性

$V_{DD}=2.7\sim 5.5V$ 、 $R_L=2k\Omega$ (GNDに接続)、 $C_L=200pF$ (GNDに接続)、 $V_{REF}=V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。¹

表3

パラメータ ²	Min	Typ	Max	単位	条件/備考
出力電圧セトリング時間		4	7	μs	コード1/4～3/4スケール（ $\pm 2LSB$ 以内）
スルーレート		1.8		V/ μs	
デジタルからアナログへの グリッチ・インパルス		10		nV-s	メジャー・キャリー周辺の1LSBの変化
デジタル・フィードスルー		0.1		nV-s	
リファレンス・フィードスルー		-90		dBs	$V_{REF}=2V\pm 0.1Vp-p$ 、周波数=10～20MHz
デジタル・クロストーク		0.1		nV-s	
アナログ・クロストーク		1		nV-s	
DAC間クロストーク		1		nV-s	
乗算帯域幅		340		kHz	$V_{REF}=2V\pm 0.1Vp-p$
全高調波歪み		-80		dB	$V_{REF}=2V\pm 0.1Vp-p$ 、周波数=10kHz
出力ノイズ・スペクトル密度		120		nV/ \sqrt{Hz}	DACコード=ミッドスケール、1kHz
		100		nV/ \sqrt{Hz}	DACコード=ミッドスケール、10kHz
出力ノイズ		15		$\mu Vp-p$	0.1～10Hz

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

² 「用語の説明」を参照。

タイミング特性

すべての入力信号は、 $t_R = t_F = 1\text{ns}/V$ (V_{DD} の10~90%)で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。 $V_{DD} = 2.7 \sim 5.5\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹

表4

パラメータ	T_{MIN} 、 T_{MAX} での限界値 $V_{DD} = 2.7 \sim 5.5\text{V}$	単位	条件/備考
t_1^2	20	ns (min)	SCLKサイクル時間
t_2	9	ns (min)	SCLKハイレベル時間
t_3	9	ns (min)	SCLKローレベル時間
t_4	13	ns (min)	$\overline{\text{SYNC}}$ からSCLK立下がりエッジまでのセットアップ時間
t_5	5	ns (min)	データのセットアップ時間
t_6	5	ns (min)	データのホールド時間
t_7	0	ns (min)	SCLK立下がりエッジから $\overline{\text{SYNC}}$ 立上がりエッジまで
t_8	15	ns (min)	$\overline{\text{SYNC}}$ の最小ハイレベル時間
t_9	13	ns (min)	$\overline{\text{SYNC}}$ 立上がりエッジからSCLK立下がりエッジまで
t_{10}	0	ns (min)	SCLK立下がりエッジから $\overline{\text{SYNC}}$ 立下がりエッジまで
t_{11}	10	ns (min)	$\overline{\text{LDAC}}$ ローレベル・パルス幅
t_{12}	15	ns (min)	SCLK立下がりエッジから $\overline{\text{LDAC}}$ 立上がりエッジまで
t_{13}	5	ns (min)	$\overline{\text{CLR}}$ ローレベル・パルス幅
t_{14}	0	ns (min)	SCLK立下がりエッジから $\overline{\text{LDAC}}$ 立下がりエッジまで
t_{15}	300	ns (max)	$\overline{\text{CLR}}$ パルス起動時間

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

² SCLKの最大周波数は、 $V_{DD} = 2.7 \sim 5.5\text{V}$ で50MHz。

タイミング図

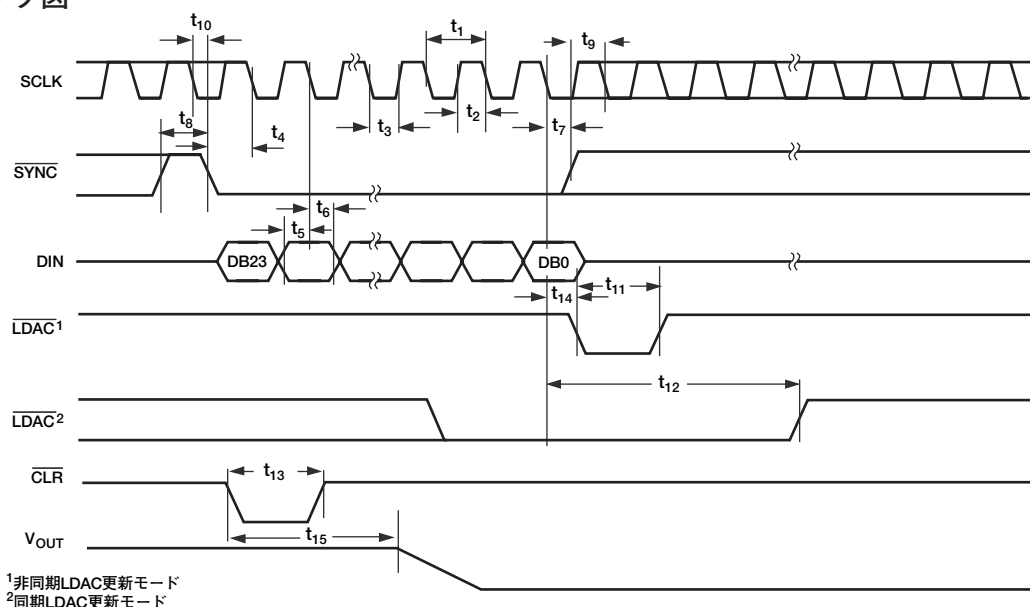


図2. シリアル書き込み動作

03855-002

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表5

パラメータ	定格値
GNDに対する V_{DD}	$-0.3 \sim +7\text{V}$
GNDに対する V_{OUT}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する V_{REF}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用	$-40 \sim +105^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
ジャンクション温度 ($T_J \text{ max}$)	150°C
消費電力	$(T_J \text{ max} - T_A) / \theta_{JA}$
LFCSP_WDパッケージ (4層ボード)	
θ_{JA} 熱抵抗	$61^{\circ}\text{C}/\text{W}$
MSOPパッケージ (4層ボード)	
θ_{JA} 熱抵抗	$142^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.7^{\circ}\text{C}/\text{W}$
リフロー・ハンダ処理のピーク温度	
鉛フリー	$260(+0/-5)^{\circ}\text{C}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明



図3. ピン配置

表6. ピン機能の説明

ピン番号	記号	説明
1	V_{OUTA}	DAC Aからのアナログ出力電圧。出力アンプはレールtoレールで動作
2	V_{OUTB}	DAC Bからのアナログ出力電圧。出力アンプはレールtoレールで動作
3	GND	AD5663の全回路のグラウンド・リファレンス・ポイント
4	\overline{LDAC}	このピンをローレベルに設定すると、入力レジスタに新しいデータがある場合にDACレジスタのいずれかまたはすべてを更新できます。これにより、すべてのDAC出力の同時更新が可能です。このピンを常にローレベルに固定しておくこともできます。
5	\overline{CLR}	非同期クリア入力。 \overline{CLR} 入力は立下がりエッジ・センシティブです。 \overline{CLR} がローレベルの間、すべての \overline{LDAC} パルスが無視されます。 \overline{CLR} がアクティブになると、すべての入力レジスタとDACレジスタにゼロスケールがロードされ、出力は0Vにクリアされます。AD5663は、次の書込みの24番目の立下がりエッジでクリア・コード・モードを終了します。書込みシーケンス中に \overline{CLR} がアクティブになると、その書込みはアボートされます。
6	\overline{SYNC}	アクティブ・ローレベルのコントロール入力。入力データ用のフレーム同期信号です。 \overline{SYNC} がローレベルになると、SCLKおよびDINバッファがパワーオンし、入力シフト・レジスタがイネーブルになります。データは、次に続く24個のクロックの立下がりエッジで転送入力されます。24番目の立下がりエッジの前に \overline{SYNC} をハイレベルにすると、 \overline{SYNC} の立上がりエッジが割込みとして機能し、書込みシーケンスが無視されます。
7	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタに入力されます。最高50MHzのレートでデータを転送できます。
8	DIN	シリアル・データ入力。このデバイスには24ビットのシフト・レジスタがあります。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
9	V_{DD}	電源入力。AD5663は2.7~5.5Vで動作できます。10 μ Fのコンデンサと0.1 μ FのコンデンサをこのピンとGNDとの間に並列接続して、電源をデカップリングする必要があります。
10	V_{REF}	リファレンス電圧入力

代表的な性能特性

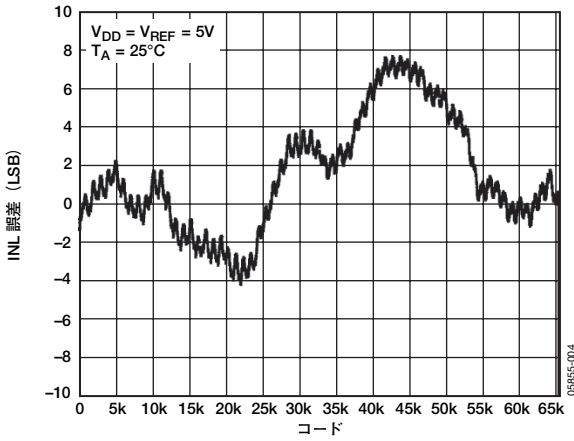


図4. INL

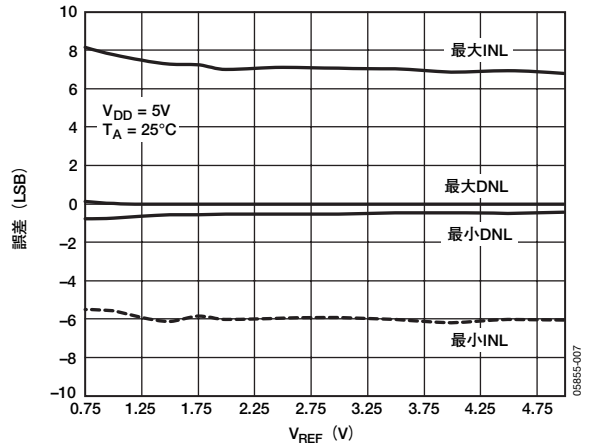


図7. V_{REF} 対 INLおよびDNL誤差

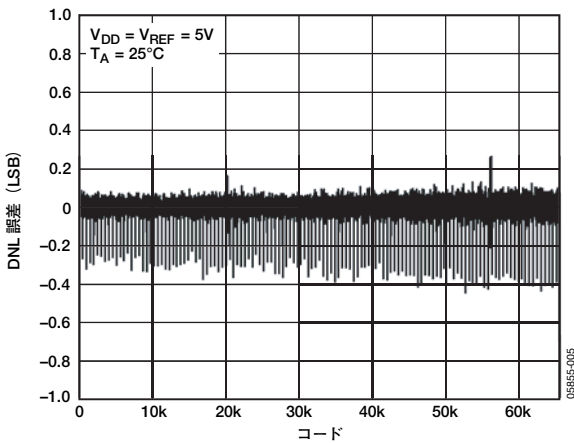


図5. DNL

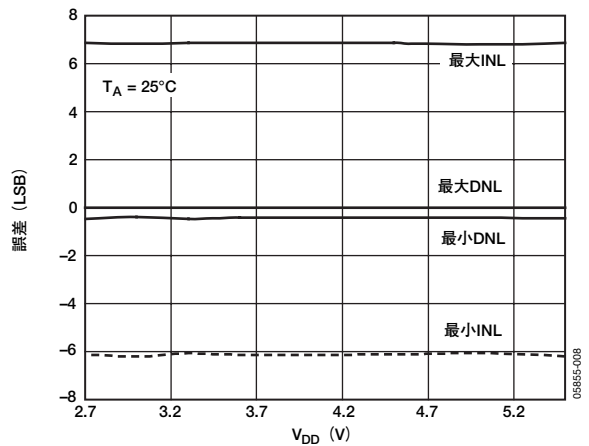


図8. 電源対 INLおよびDNL誤差

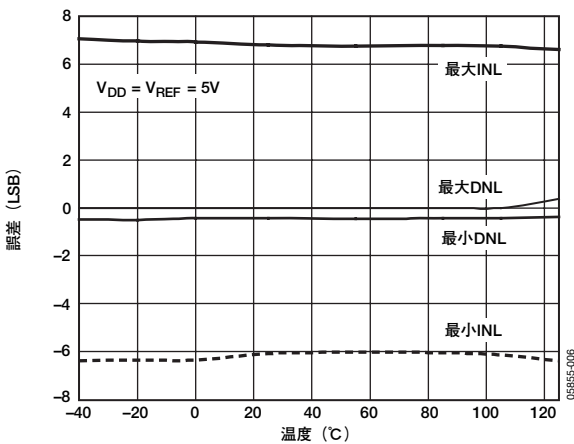


図6. INL誤差とDNL誤差の温度特性

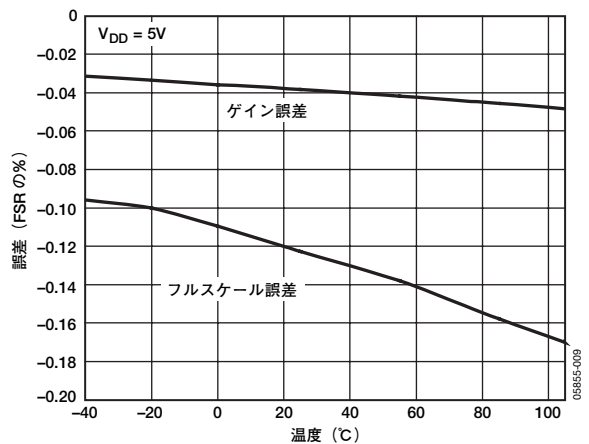


図9. ゲイン誤差とフルスケール誤差の温度特性

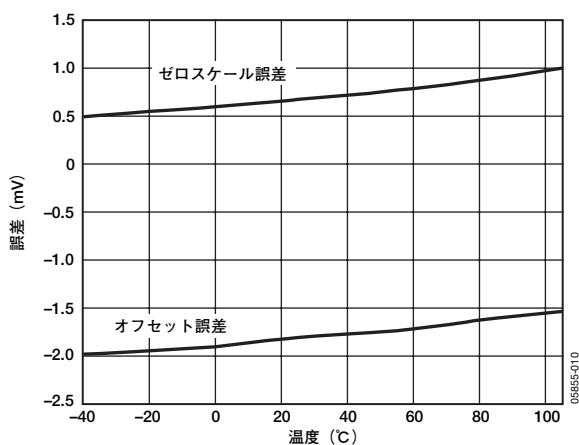


図10. ゼロスケール誤差とオフセット誤差の温度特性

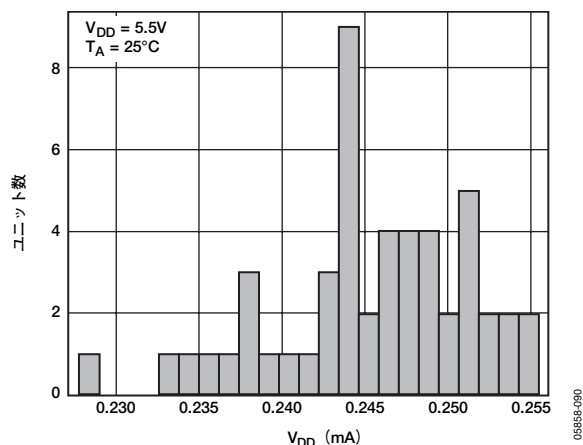


図13. I_{DD} のヒストグラム ($V_{DD}=5.5V$)

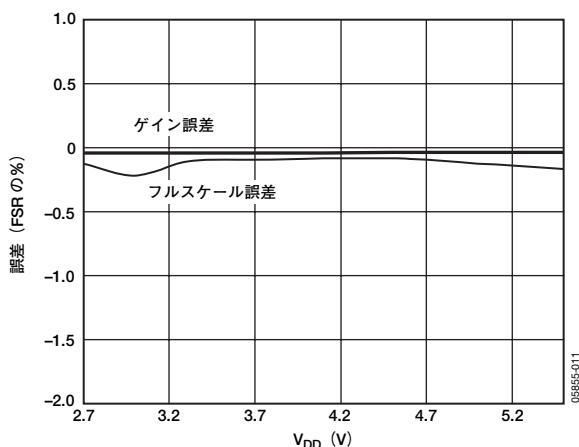


図11. 電源対ゲイン誤差およびフルスケール誤差

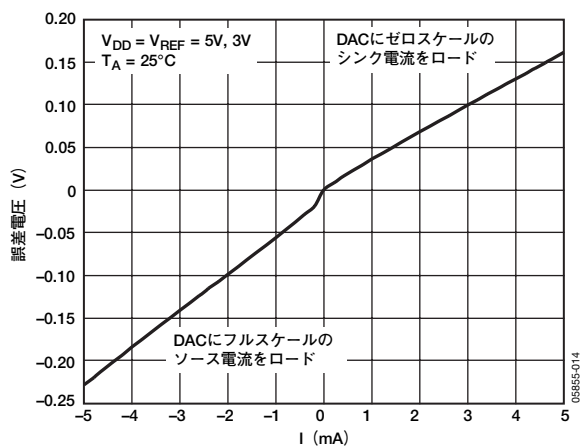


図14. ソースおよびシンク電流対電源レールのヘッドルーム

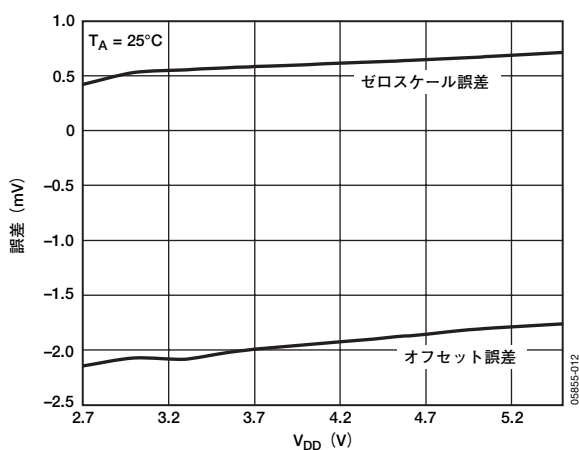


図12. 電源対ゼロスケール誤差およびオフセット誤差

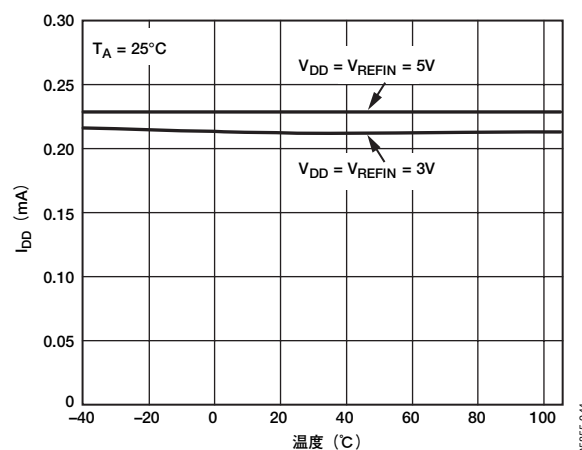


図15. 電源電流の温度特性

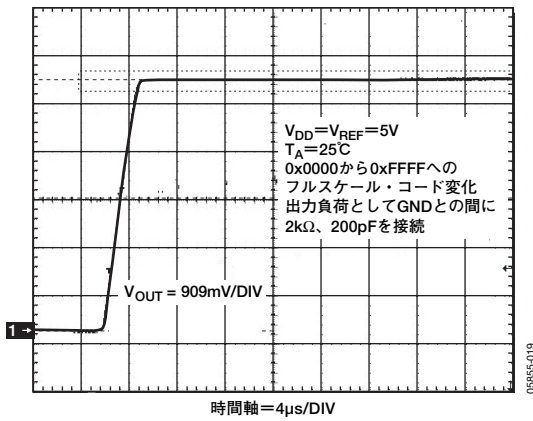


図16. フルスケールのセリング時間 (5V)

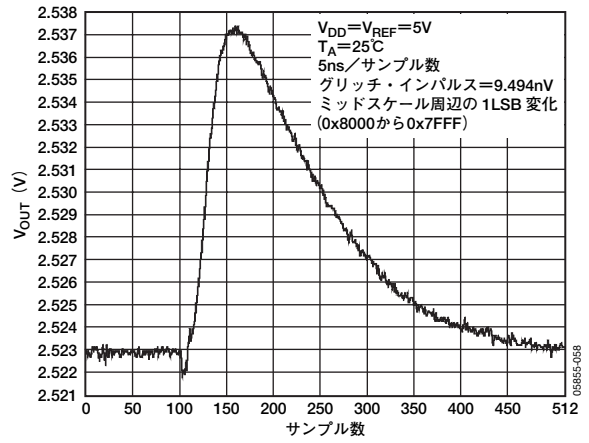


図19. デジタルからアナログへのグリッチ・インパルス (負極性)

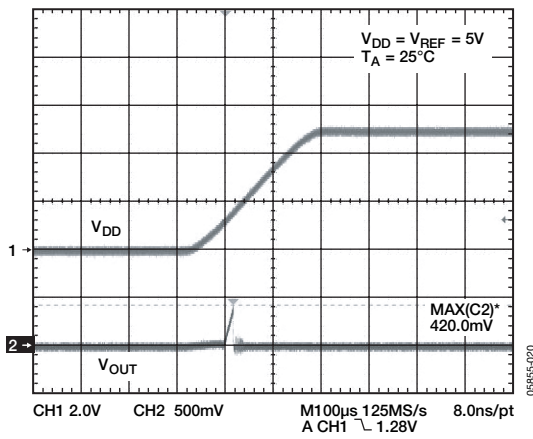


図17. パワーオン・リセット時の0V出力

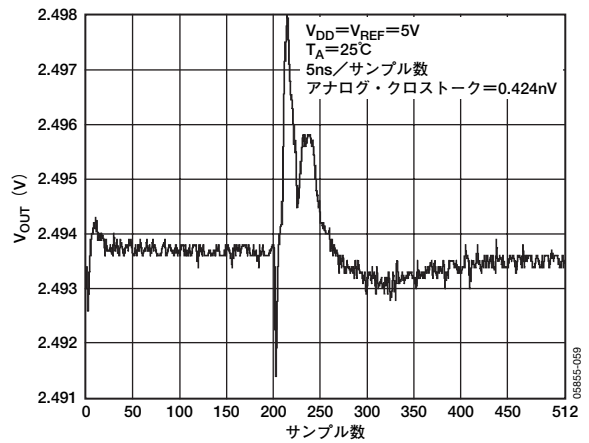


図20. アナログ・クロストーク

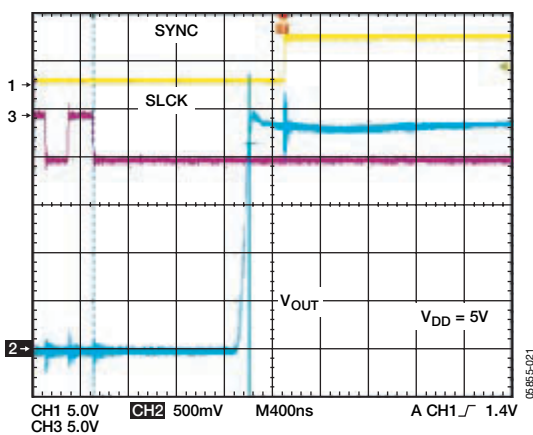


図18. パワーダウン終了後のパワーオン・リセット時のミッドスケール出力

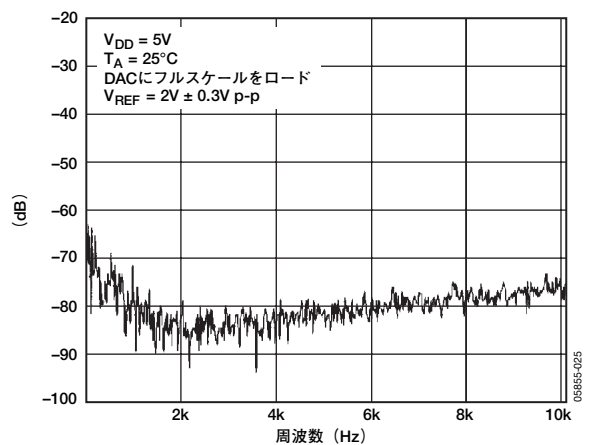


図21. 全高調波歪み (THD)

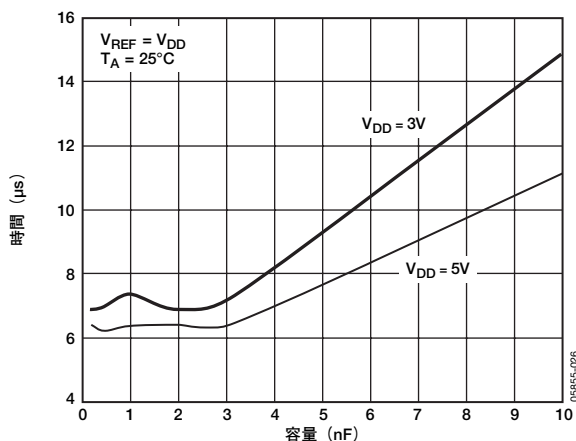


図22. 容量性負荷 対 セットリング時間

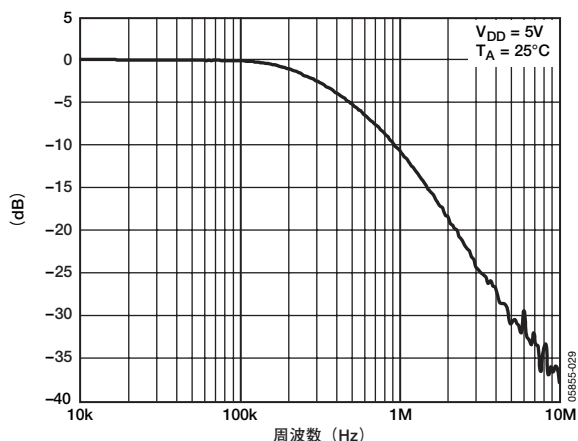


図25. 乗算帯域幅

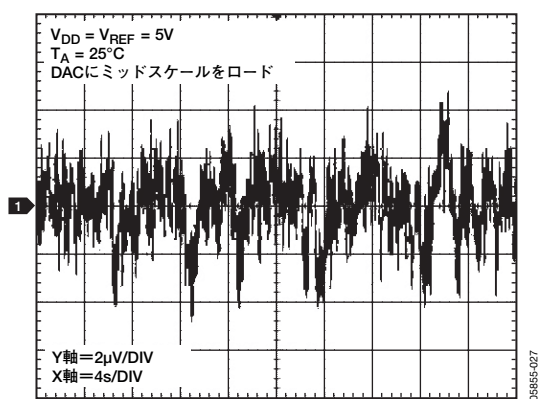


図23. 0.1~10Hzの出力ノイズ・プロット

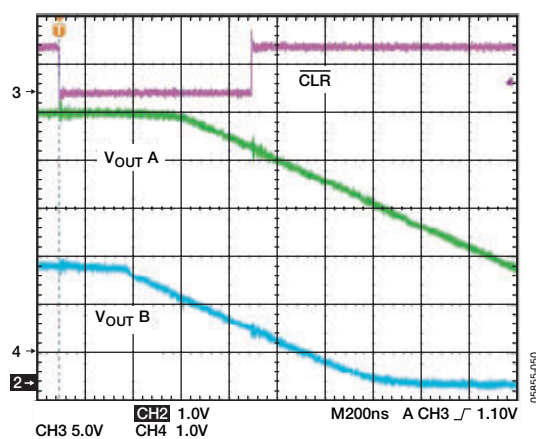


図26. CLRパルス起動時間

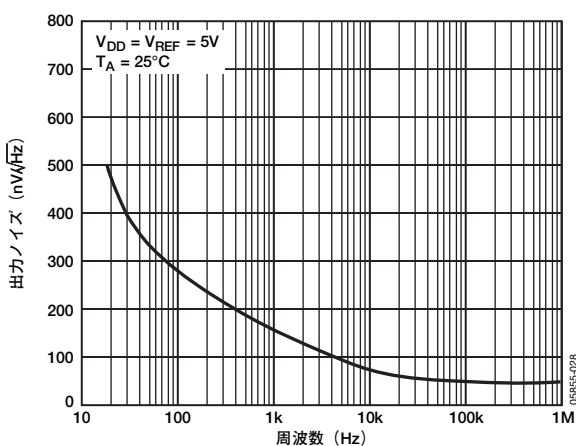


図24. ノイズ・スペクトル密度

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図4に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図5に示します。

ゼロスケール誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5663ではDAC出力が0Vよりも低くなることはないため、ゼロスケール誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロスケール誤差はmVの単位で表します。ゼロスケール誤差の温度特性を図10に示します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジ (FSR) の%値で表します。フルスケール誤差の温度特性を図9に示します。

ゲイン誤差

DACのスペン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、FSRの%値で表します。

ゼロスケール誤差ドリフト

温度変化にともなうゼロスケール誤差の変化を表し、 $\mu V/^\circ C$ の単位で表します。

ゲイン温度係数

温度変化にともなうゲイン誤差の変化を表し、(FSRのppm)/ $^\circ C$ の単位で表します。

オフセット誤差

伝達関数の直線領域における V_{OUT} (実際の出力電圧) と V_{OUT} (理想的な出力電圧) との差をmVの単位で表します。AD5663のオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

DC電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関する V_{OUT} の変動と V_{DD} の変動の比を表します。これはdBの単位で測定します。 V_{REF} を2Vに保持し、 V_{DD} を $\pm 10\%$ のレンジで変動させます。

出力電圧セトリング時間

入力フルスケールの1/4から3/4に変化するときに、DACの出力が規定のレベルにセトリングするまでの所要時間を表し、SCLKの24番目の立下がりエッジから測定します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図19を参照。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

全高調波歪み (THD)

DACを使用して減衰したサイン波と理論的なサイン波との偏差を表します。DACのリファレンスにサイン波を使用し、DACの出力上に存在する高調波成分を測定した値がTHDになります。dBの単位で測定します。

ノイズ・スペクトル密度

内部で発生するランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度 (\sqrt{Hz} を基準とする電圧) として特性付けられます。この測定は、DACにミッドスケールをロードし、そのときに出力で発生するノイズを計測する方法によって行います。これはnV/ \sqrt{Hz} の単位で測定します。図24に、ノイズ・スペクトル密度のプロットを示します。

DCクロストーク

1つのDACの出力変動に呼応して、もう1つのDACで起こる出力レベルのDC変化を表します。測定では、1つのDAC出力でフルスケールのコード変化を発生させて (あるいはソフト・パワーダウンとパワーアップを行って)、ミッドスケールに保持されているもう1つのDACをモニタリングします。 μV 単位で表します。

負荷電流の変化によって生じるDCクロストークは、DACの負荷電流の変化がミッドスケールに保持されているもう1つのDACに及ぼす影響を表します。これは、 $\mu V/mA$ の単位で表します。

デジタル・クロストーク

1つのDACの入力レジスタで発生するフルスケール・コード変化 (全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移) に呼応して、ミッドスケールでもう1つのDACの出力に注入されるグリッチ・インパルスです。スタンドアロン・モードで測定し、nV-s単位で表します。

アナログ・クロストーク

1つDACの出力変化に起因してもう1つのDACの出力に注入されるグリッチ・インパルスです。 $\overline{\text{LDAC}}$ をハイレベルに保持している間に、フルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移）を入力レジスタの1つにロードして測定します。次いで、 $\overline{\text{LDAC}}$ をローレベルに引き込み、デジタル・コードが変化しなかったDACの出力をモニタリングします。グリッチの面積をnV-s単位で表します。

DAC間クロストーク

1つのDACのデジタル・コード変化とこれに続く出力変化に起因して、もう1つのDACの出力に注入されるグリッチ・インパルスです。デジタルとアナログのクロストークがあります。 $\overline{\text{LDAC}}$ をローレベルに保持している間に、DACの1つにフルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移）をロードし、もう1つのDACの出力をモニタリングして測定します。グリッチのエネルギーをnV-s単位で表します。

乗算帯域幅

DACに内蔵されているアンプの帯域幅は有限です。乗算帯域幅はこの測定値です。リファレンス上のサイン波（フルスケール・コードをDACにロードした状態）が出力上に現れます。乗算帯域幅は、出力振幅が入力よりも3dB低くなる時の周波数です。

動作原理

D/A部

AD5663 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。図27に、DACアーキテクチャのブロック図を示します。

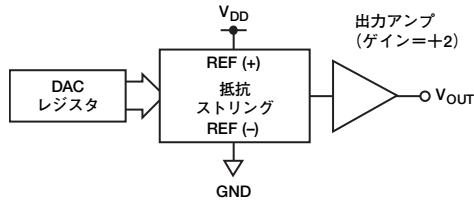


図27. DACアーキテクチャ

DACへの入力コーディングはストレート・バイナリを使っているため、理論的な出力電圧は、以下の式から求められます。

$$V_{OUT} = V_{REF} \times \left(\frac{D}{65,536} \right)$$

ここで、DはDACレジスタにロードされるバイナリ・コードの10進値で、0～65,535の値です。

抵抗ストリング

図28に抵抗ストリングの構造を示します。各値がRの抵抗のストリングになっています。DACレジスタにロードされるコードに基づいて、ストリングのどのノードから電圧が出力アンプに送り込まれるかが決まります。ストリングとアンプを接続するスイッチの1つが閉じると、電圧が供給されます。抵抗のストリングであるため、単調増加性が保証されます。

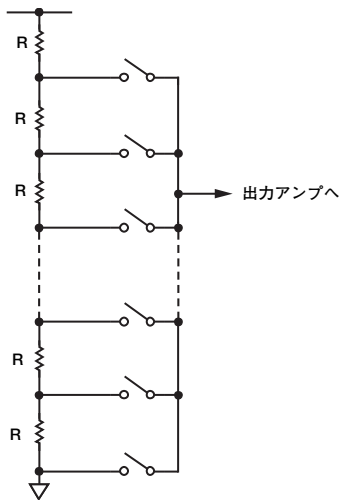


図28. 抵抗ストリング

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、0VからV_{DD}の範囲の電圧を出力できます。このアンプは、GNDとの間に並列に接続された1000pFコンデンサと2kΩの抵抗の負荷を駆動できます。

出力アンプの電流ソース能力およびシンク能力を図14に示します。スルーレートは1.8V/μsで、フルスケールの1/4から3/4に変化するときのセトリング時間は10μsです。

シリアル・インターフェース

AD5663は、3線式シリアル・インターフェース（ $\overline{\text{SYNC}}$ 、SCLK、DIN）を備えており、業界標準のSPI、QSPI、MICROWIREインターフェース、そして大半のDSPと互換性があります。代表的な書き込みシーケンスのタイミング図については、図2を参照してください。

$\overline{\text{SYNC}}$ ラインをローレベルにすることによって、書き込みシーケンスが開始します。DINラインからのデータは、SCLKの立下がりエッジで24ビットのシフト・レジスタにクロック入力されます。最大50MHzのシリアル・クロック周波数を使用できるため、AD5663は高速DSPにも対応できます。クロックの24番目のエッジが立ち下がると、最後のデータビットがクロック入力され、プログラムした機能が実行されます（DACレジスタのデータ内容や動作モードが変更）。この時点で、 $\overline{\text{SYNC}}$ ラインをローレベルに保持するか、またはハイレベルに遷移させることができます。いずれの場合も、 $\overline{\text{SYNC}}$ の立下がりエッジで次の書き込みシーケンスを開始できるように、書き込みシーケンスが開始される前に少なくとも15nsの間 $\overline{\text{SYNC}}$ ラインをハイレベルに保持する必要があります。 $\overline{\text{SYNC}}$ バッファはV_{IN}=0.10VのときよりもV_{IN}=2.0Vのときの方が電流を多く消費するため、消費電力をさらに低減するには、書き込みシーケンスが終了して次の書き込みシーケンスが開始されるまでの間、 $\overline{\text{SYNC}}$ をローレベルのアイドル状態にしておきます。ただし、上述のように、次の書き込みシーケンスが開始される直前には $\overline{\text{SYNC}}$ を再びハイレベルに戻す必要があります。

入力シフト・レジスタ

入力シフト・レジスタは24ビット幅です（図29を参照）。最初の2ビットはドント・ケア・ビットで、次の3ビットはコマンド・ビットC2～C0（表7を参照）、その後3ビットのDACアドレスA2～A0（表8を参照）、最後に16ビットのデータワードが続きます。これらのビットは、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

表7. コマンド定義

C2	C1	C0	コマンド
0	0	0	入力レジスタnへの書き込み
0	0	1	DACレジスタnの更新
0	1	0	入力レジスタnへの書き込み、すべて更新（ソフトウェアLDAC）
0	1	1	DACチャンネルnへの書き込みと更新
1	0	0	DACのパワーダウン（パワーアップ）
1	0	1	リセット
1	1	0	$\overline{\text{LDAC}}$ レジスタ・セットアップ
1	1	1	予備

表8. アドレス・コマンド

A2	A1	A0	アドレス (n)
0	0	0	DAC A
0	0	1	DAC B
0	1	0	予備
0	1	1	予備
1	1	1	全DAC

SYNC割込み

通常の書込みシーケンスでは、SCLKの少なくとも24個の立下がりエッジの間、SYNCラインがローレベルに保持され、SCLKの24番目の立下がりエッジでDACが更新されます。ただし、24番目のエッジが立ち下がる前にSYNCをハイレベルにすると、書込みシーケンスの割込み信号として機能します。このとき、入力シフト・レジスタがリセットされ、書込みシーケンスは無効とみなされます。DACレジスタのデータ内容は更新されず、動作モードも変更されません（図30を参照）。

パワーオン・リセット

AD5663ファミリーは、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。AD5663のDAC出力はパワーアップ時に0Vにリセットされ、AD5663-1ではミッドスケールにリセットされます。DACに有効な書込みシーケンスが行われるまで、出力はこのままの状態を維持します。この機能は、パワーアップ時にDACの出力状態を把握しておかなければならないアプリケーションで特に便利です。パワーオン・リセット中のLDACやCLRのイベントは、すべて無視されます。

表10. ソフトウェア・リセット・コマンドに対する24ビット入力シフト・レジスタの内容

MSB								LSB									
DB23~DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB1	DB0	DB23~DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB1	DB0
x	1	0	1	x	x	x	x	1/0	x	x	x	x	x	x	x	x	1/0
ドント・ケア		コマンド・ビット (C2~C0)				アドレス・ビット (A2~A0)				ドント・ケア		ソフトウェア・リセット・モードを指定					

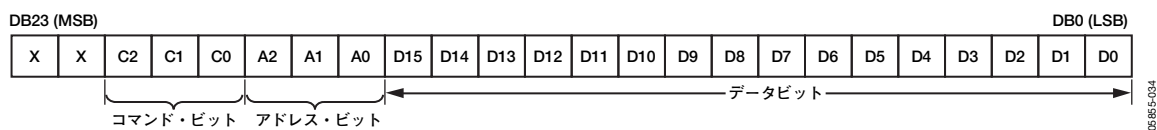


図29. 入力レジスタの内容

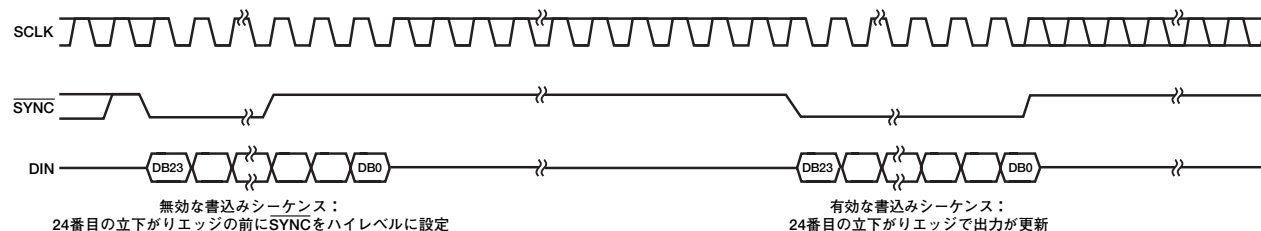


図30. SYNCの割込み機能

ソフトウェア・リセット

AD5663には、ソフトウェア・リセット機能があります。コマンド101がソフトウェア・リセット機能用に予約されています（表7を参照）。ソフトウェア・リセット・コマンドには、コントロール・レジスタのDB0ビットの設定によってソフトウェアからプログラムできるリセット・モードが2種類あります。

表9に、ビットの状態とそれに対応するデバイスの動作モードを示します。表10には、ソフトウェア・リセット動作モード中の入力シフト・レジスタの内容を示します。

表9. AD5663のソフトウェア・リセット・モード

DB0	0にリセットされるレジスタ
0	DACレジスタ 入力レジスタ
1 (パワーオン・リセット)	DACレジスタ 入力レジスタ LDACレジスタ パワーダウン・レジスタ

AD5663

パワーダウン・モード

AD5663には4種類の動作モードがあります。コマンド100がパワーダウン機能用に予約されています(表7を参照)。これらの動作モードは、コントロール・レジスタの2つのビット(DB5とDB4)を設定することでソフトウェアからプログラムできます。表11に、この2つのビットの設定とそれに対応するデバイスの動作モードを示します。対応する2つのビット(DB1とDB0)を1に設定することによって、DACのいずれかまたはすべて(DAC BとDAC A)を選択したモードにパワーダウンできます。同じコマンド100を実行し、ビットDB5とビットDB4を設定すれば、任意の組合わせのDACを通常動作モードにパワーアップできます。パワーアップするDACチャンネルの組合わせを選択するには、対応する2つのビット(DB1とDB0)を1に設定してください。パワーダウン/パワーアップ動作時の入力シフト・レジスタの内容については、表12を参照してください。

$\overline{\text{LDAC}}$ がローレベルの間は、DACはパワーアップ時に入力レジスタの値を出力しますが、 $\overline{\text{LDAC}}$ がハイレベルの場合は、パワーダウン前のDACレジスタに保持されていた値を出力します。

両ビットを0に設定すると、デバイスは5V電源で500 μA という通常の消費電流で通常の動作を行います。ただし、3つのパワーダウン・モードでは、電源消費電流が5V電源で480nA(3V電源時で100nA)まで低下します。電源電流が低下するだけでなく、出力段も内部的に出力アンプから切り離されて既知の値をもつ抵抗ネットワークに接続されます。これには、パワーダウン・モード中のデバイスの出力インピーダンスが既知になるという利点があります。1k Ω または100k Ω の抵抗を介して出力を内部でGNDに接続するか、オープン回路(スリーステート)にしておくことができます(図31を参照)。

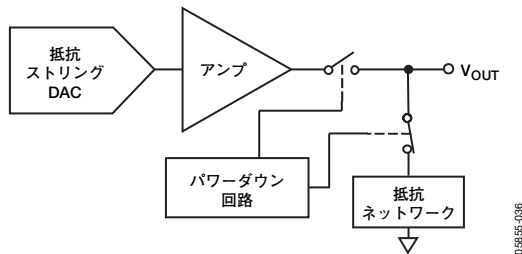


図31. パワーダウン時の出力段

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリングなどの関連するリニア回路がすべてシャットダウンします。ただし、パワーダウン中にDACレジスタの内容が変わることはありません。

表12. パワーアップ/パワーダウン機能に対する24ビット入力シフト・レジスタの内容

MSB								LSB						
DB23~DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB6	DB5	DB4	DB3	DB2	DB1	DB0	
x	1	0	0	x	x	x	x	PD1	PD0	x	x	DAC B	DAC A	
ドント・ケア	コマンド・ビット (C2~C0)			アドレス・ビット (A2~A0)、ドント・ケア			ドント・ケア	パワーダウン・モード	ドント・ケア		パワーダウン/パワーアップするチャンネルの選択。ビットを1に設定してチャンネルを選択			

パワーダウン・モードからの復帰時間は、一般に $V_{DD}=5V$ でも $V_{DD}=3V$ でも4 μs です(図18を参照)。

表11. AD5663のパワーダウン動作モード

DB5	DB4	動作モード
0	0	通常動作
		パワーダウン・モード
0	1	1k Ω を介してGNDに接続
1	0	100k Ω を介してGNDに接続
1	1	スリーステート

LDAC機能

AD5663 DACは、入力レジスタとDACレジスタの2列のレジスタで構成されるダブルバッファ・インターフェースを備えています。入力レジスタは入力シフト・レジスタに直接接続され、有効な書込みシーケンスが終了するとデジタル・コードが該当する入力レジスタに転送されます。DACレジスタには、抵抗ストリングで使用するデジタル・コードが格納されます。

DACレジスタへのアクセスは、 $\overline{\text{LDAC}}$ ピンによって制御されます。 $\overline{\text{LDAC}}$ ピンがハイレベルのとき、DACレジスタがラッチされ、DACレジスタの内容を変えずに入力レジスタの状態を変えることができます。 $\overline{\text{LDAC}}$ がローレベルになると、DACレジスタが透過的になり、入力レジスタの内容がDACレジスタに転送されます。ダブルバッファ・インターフェースは、すべてのDAC出力を同時に更新する必要がある場合に便利です。入力レジスタの1つに別々に書込みを行い、次いで他のDAC入力レジスタに書込みを行うときに $\overline{\text{LDAC}}$ をローレベルにすることによって、すべての出力を同時に更新できます。

このほかに、最後に $\overline{\text{LDAC}}$ をローレベルにしてから入力レジスタが更新されていなければ、DACレジスタも更新されない機能も追加されています。通常は、 $\overline{\text{LDAC}}$ がローレベルになると、DACレジスタに入力レジスタの内容がロードされます。AD5663の場合は、DACレジスタが最後に更新されてから入力レジスタの内容に変更があった場合に限り、DACレジスタが更新されます。これにより、不要なデジタル・クロストークがなくなります。

すべてのDACの出力を同時に更新するには、ハードウェア $\overline{\text{LDAC}}$ ピンを使用します。

同期LDAC：24番目のSCLKパルスの立下がりエッジで新しいデータが読み込まれた後、DACレジスタが更新されます。図2に示すように、LDACは常にローレベルに固定するかパルスを与えることができます。

非同期LDAC：入力レジスタの書き込み動作と出力の更新は、同時に行われません。LDACがローレベルになると、DACレジスタが入力レジスタの内容に更新されます。

LDACレジスタを使用すれば、ハードウェアLDACピンをきわめて柔軟に制御できます。このレジスタで、ハードウェアLDACピンの実行時に同時に更新するチャンネルの組合わせを選択できます。DACチャンネルのLDACビット・レジスタに0を設定すると、LDACピンでこのチャンネルの更新を制御できます。このビットを1に設定すると、チャンネルが同期して更新されます。すなわち、LDACピンの状態とは無関係に、新しいデータが読み込まれた後でDACレジスタが更新されます。事実上、LDACピンはローレベルとみなされます。LDACレジスタの動作モードについては、表13を参照してください。

この柔軟性は、選択したチャンネルを同時に更新し、残りのチャンネルを同期して更新したいアプリケーションで役に立ちます。

コマンド110を使用してDACに書き込むと、2ビットのLDACレジスタ[DB1:DB0]にロードされます。各チャンネルのデフォルトは0で、LDACピンは普通に動作します。ビットを1に設定すると、LDACピンの状態とは無関係にDACレジスタが更新されます。LDACレジスタのセットアップ・コマンド実行中の入力シフト・レジスタの内容については、表14を参照してください。

表13. LDACレジスタの動作モード

LDACビット (DB1~DB0)	LDACピン	LDACの動作
0	1/0	LDACピンにより指定
1	x=ドント・ケア	24番目のSCLKパルスの立下がりエッジで新しいデータが読み込まれた後、DACレジスタが更新されます。

表14. LDACレジスタのセットアップ・コマンドに対する24ビット入力シフト・レジスタの内容

MSB								LSB	
DB23~DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB2	DB1	DB0
x	1	1	0	x	x	x	x	DAC B	DAC A
ドント・ケア	コマンド・ビット (C2~C0)			アドレス・ビット (A3~A0)、 ドント・ケア			ドント・ケア	DACを0または1に設定して、必要な動作モードを指定	

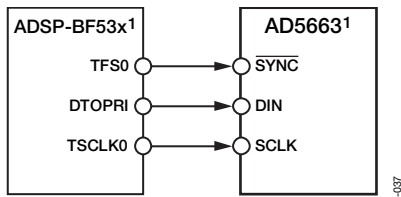
AD5663

マイクロプロセッサとのインターフェース

AD5663とBlackfin® ADSP BF53xとのインターフェース

図32に、AD5663とBlackfin ADSP-BF53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53xプロセッサ・ファミリーには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート (SPORT1とSPORT0) が内蔵されています。SPORT0を用いたAD5663との接続では、次のようにインターフェースをセットアップします。

- DTOPRIがAD5663のDINピンを駆動
- TSCLK0がAD5663のSCLKを駆動
- SYNCピンはTFS0から駆動



¹わかりやすくするため他のピンは省略しています。

図32. AD5663とBlackfin ADSP-BF53xとのインターフェース

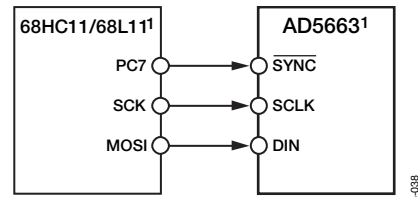
AD5663と68HC11/68L11とのインターフェース

図33に、AD5663と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5663のSCLKを駆動し、MOSI出力はDACのシリアル・データ・ラインを駆動します。

SYNC信号はポート・ライン (PC7) から取ります。このインターフェースを適切に動作させるには、次のセットアップ条件に従います。

- 68HC11/68L11のCPOLビットを0に設定
- 68HC11/68L11のCPHAビットを1に設定

データがDACに送信されているとき、SYNCラインをローレベルにします (PC7)。68HC11/68L11が前述のように設定されていれば、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。68HC11/68L11からのシリアル・データは8ビットのバイトで転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで送信されます。AD5663にデータをロードするには、最初の8ビットの転送後もPC7をローレベルのままにして、DACに2番目のシリアル書き込み動作を行います。この手順の終わりに、PC7をハイレベルにします。



¹わかりやすくするため他のピンは省略しています。

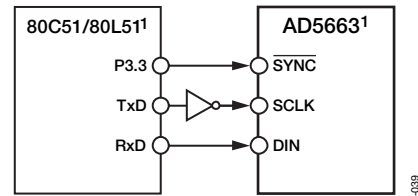
図33. AD5663と68HC11/68L11とのインターフェース

AD5663と80C51/80L51とのインターフェース

図34に、AD5663と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。インターフェースのセットアップは、次のとおりです。

- 80C51/80L51のTxDがAD5663のSCLKを駆動
- RxDがAD5663のシリアル・データ・ラインを駆動

SYNC信号は、ポート上のビット・プログラマブル・ピンから取ります。この場合、ポート・ラインP3.3を使用します。データがAD5663に転送される時、P3.3をローレベルにします。80C51/80L51は8ビットのバイトのみでデータを転送するため、送信サイクルでは8個の立下がりクロック・エッジだけが発生します。DACにデータをロードするには、最初の8ビットの転送後もP3.3をローレベルのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトが転送されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51は、LSBファーストのフォーマットでシリアル・データを出力します。AD5663は、MSBファーストでデータを受信する必要があります。80C51/80L51の送信ルーチンでは、この点を考慮に入れてください。

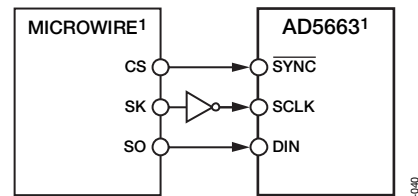


¹わかりやすくするため他のピンは省略しています。

図34. AD5663と80C51/80L51とのインターフェース

AD5663とMICROWIREとのインターフェース

図35に、AD5663とMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立下がりエッジで出力され、SKの立上がりエッジでAD5663に入力されます。



¹わかりやすくするため他のピンは省略しています。

図35. AD5663とMICROWIREとのインターフェース

アプリケーション

AD5663のリファレンスの選択方法

AD5663の最適な性能を得るには、高精度の電圧リファレンスを注意して選ぶ必要があります。AD5663のリファレンス入力には V_{REF} のみです。このリファレンス入力の電圧をDACの供給電圧として使用します。したがって、リファレンスに少しでも誤差があると、DACにも影響が出ます。

高精度アプリケーション向けの電圧リファレンスの選択に際しては、誤差源となる初期精度、ppmドリフト、長期ドリフト、出力電圧ノイズを考慮します。DACの出力電圧の初期精度は、DACのフルスケール誤差を発生させる要因となるため、これらの誤差を最小限に抑えるには初期精度の優れたリファレンスを選んでください。また、ADR423などの出力調整機能付きのリファレンスを選択すれば、リファレンス電圧をその公称値以外の電圧に設定してシステム誤差を抑えられます。この調整機能を使用することによって、温度変化に応じて発生するいかなる誤差も調整できます。

長期ドリフトは、リファレンスの経時変化を測定した値です。精度の高い長期ドリフト仕様を備えたリファレンスは、製品寿命を通じて比較的安定した状態に精度が維持されています。

リファレンスの出力電圧の温度係数は、INL、DNL、TUEに影響を及ぼします。周囲条件に対するDAC出力電圧の温度依存性を低く抑えるために、精度の高い温度係数仕様を備えたリファレンスを選択してください。

比較的低いノイズが求められる高精度のアプリケーションでは、リファレンスの出力電圧ノイズを考慮に入れる必要があります。要求されるシステム・ノイズ分解能に対して、可能な限り出力ノイズ電圧が低いリファレンスを選択することが大切です。ADR425などの高精度電圧リファレンスは、0.1~10Hzの範囲で出力ノイズが低く抑えられています。AD5663の電源として推奨する高精度リファレンスの例を表15に示します。

表15. AD5663用の高精度リファレンス製品のリスト（一部）

製品番号	初期精度 (mV max)	温度ドリフト (ppm/°C max)	0.1~10Hzノイズ (μVp-p typ)	V_{OUT} (V)
ADR425	±2	3	3.4	5
ADR395	±6	25	5	5
REF195	±2	5	50	5
AD780	±2	3	4	2.5/3
ADR423	±2	3	3.4	3

AD5663の電源としてリファレンスを使用する方法

AD5663に必要な電源電流は非常に低いため、電圧リファレンスを使用してAD5663に必要な電圧を供給することができます（図36を参照）。電源ノイズが非常に大きい場合、あるいはシステムの電源電圧が5Vまたは3V以外の場合（15V）は、この方法が特に便利です。電圧リファレンスは、AD5663に対して定常の電源電圧を出力します。適切な電圧リファレンスについては、表15を参照してください。低ドロップアウト電圧のREF195を使用する場合は、DACの出力に負荷を接続していない状態でAD5663に250μAの電流を供給する必要があります。DAC出力に負荷がある場合も、REF195は負荷に電流を供給する必要があります。必要な電流の合計値（DAC出力に5kΩの負荷を接続している場合）は、以下のようになります。

$$250\mu\text{A} + (5\text{V}/5\text{k}\Omega) = 1.25\text{mA}$$

通常、REF195の負荷レギュレーションは2ppm/mAであるため、REF195から1.25mAの電流を供給すると2.5ppm (12.5μV) の誤差が生じます。これは、0.164LSBの誤差に相当します。

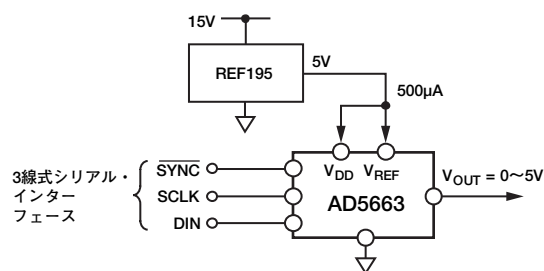


図36. AD5663の電源としてREF195を使用する回路

06945-041

AD5663

AD5663を使用したバイポーラ動作

AD5663は単電源動作用に設計されていますが、図37の回路を使用して、バイポーラ出力電圧範囲を設定することも可能です。この回路では、出力電圧範囲が±5Vとなります。出力アンプにAD820またはOP295を使用すると、アンプ出力のレールtoレール動作が可能になります。

任意の入力コードに対応する出力電圧は、以下の式で計算できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65,536} \right) \times \left(\frac{R1+R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、Dは10進数値（0～65,535）で表した入力コードです。

$V_{DD}=5V$ 、 $R1=R2=10k\Omega$ の場合

$$V_o = \left(\frac{10 \times D}{65,536} \right) - 5V$$

出力電圧範囲は±5Vとなり、0x0000が-5V出力、0xFFFFが+5V出力に相当します。

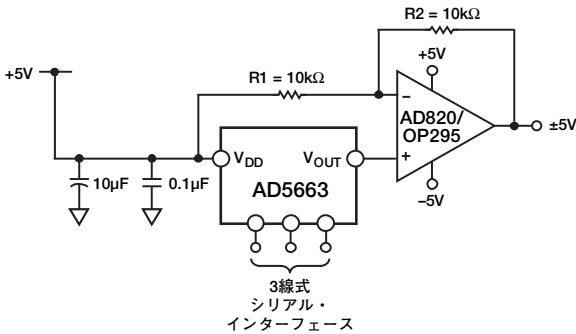


図37. AD5663を使用したバイポーラ動作

デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、DACが動作している環境で発生する危険な同相電圧から制御回路を保護したり絶縁するために、絶縁インターフェースが必要になることがあります。iCoupler®は2.5kVを超える絶縁が可能です。AD5663は3線式シリアル・ロジック・インターフェースを使用しているため、3チャンネルのデジタル・アイソレータ「ADuM1300」によって必要な絶縁が得られます（図38を参照）。AD5663の電源も絶縁する必要がありますが、これにはトランスを使用します。トランスのDAC側では、5VのレギュレータがAD5663に必要な5V電源を供給します。

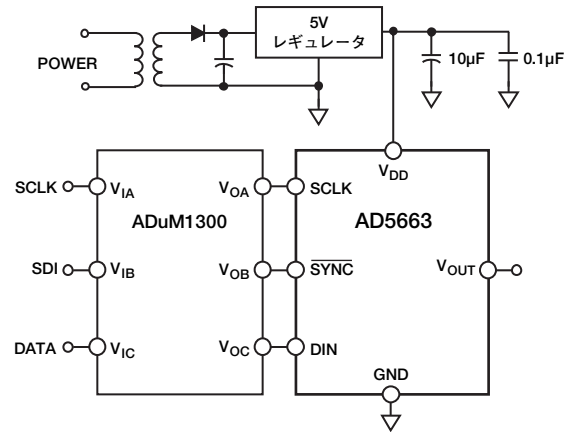


図38. iCouplerを用いた絶縁インターフェース

電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンレイアウトに注意してください。AD5663を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5663を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD5663のできるかぎり近くに配置してください。

AD5663の電源は、10µFと0.1µFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1µFのコンデンサは理想的にはデバイスの真上に配置してください。10µFのコンデンサはタンタルのビード型を使います。0.1µFのコンデンサは、セラミック型の等価直列抵抗（ESR）が小さく、かつ等価直列インダクタンス（ESL）が小さいものを使うことが重要です。この0.1µFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

外形寸法

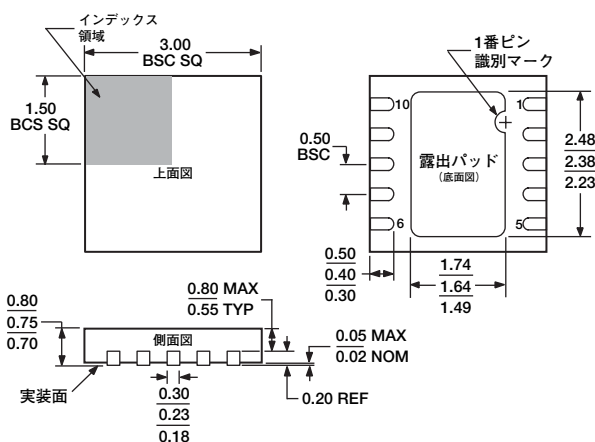


図39. 10ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_WD]
3mm×3mmボディ、極薄型、デュアル・リード
(CP-10-9)
単位寸法：mm

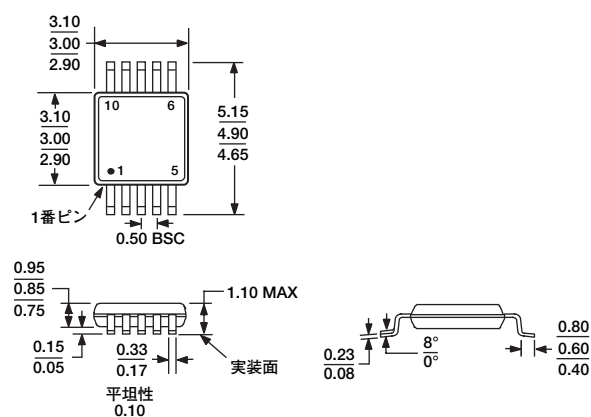


図40. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
単位寸法：mm

オーダー・ガイド

モデル	温度範囲	パワーオン・リセット・コード	精度	パッケージ	パッケージ・オプション	マーキング
AD5663ARMZ ¹	-40~+105℃	ゼロ	±16 LSB INL	10ピンMSOP	RM-10	D80
AD5663ARMZ-REEL7 ¹	-40~+105℃	ゼロ	±16 LSB INL	10ピンMSOP	RM-10	D80
AD5663BRMZ ¹	-40~+105℃	ゼロ	±12 LSB INL	10ピンMSOP	RM-10	D8C
AD5663BRMZ-REEL7 ¹	-40~+105℃	ゼロ	±12 LSB INL	10ピンMSOP	RM-10	D8C
AD5663BRMZ-1 ¹	-40~+105℃	ミッドスケール	±12 LSB INL	10ピンMSOP	RM-10	D7J
AD5663BRMZ-1REEL7 ¹	-40~+105℃	ミッドスケール	±12 LSB INL	10ピンMSOP	RM-10	D7J
AD5663BCPZ-250RL7 ¹	-40~+105℃	ゼロ	±12 LSB INL	10ピンLFCSP_WD	CP-10-9	D8C
AD5663BCPZ-REEL7 ¹	-40~+105℃	ゼロ	±12 LSB INL	10ピンLFCSP_WD	CP-10-9	D8C

¹ Z=鉛フリー製品