

特長

動作電源電圧: 2.5~5.5 V
真の 12 ビット精度
1 μ A 以下での 5 V 動作
高速な 3 線式シリアル入力
高速な 5 μ s セトリング・タイム
1.9 MHz の 4 象限乗算帯域幅
DAC8043 と **DAC8043A** に対するアップグレード品
標準ピン配置と回転したピン配置

アプリケーション

工業用制御での PLC アプリケーションに最適
プログラマブルなアンプおよび減衰器
デジタル制御によるキャリブレーションおよびフィルタ
モーション・コントロール・システム

概要

AD5441 は、省スペースの 8 ピン・パッケージを採用した機能強化型高精度 12 ビット乗算 D/A コンバータ(DAC)です。シリアル入力、ダブル・バッファ、優れたアナログ性能を持つ AD5441 は、PC ボードの省スペースが重要となるアプリケーションに最適です。リニアリティとゲイン誤差性能の向上により、調整部品が不要になり、部品数の削減が可能になります。入力クロック・ラインとロード DAC コントロール・ラインが個別に用意されているため、データのロードとアナログ出力をフルに制御することができます。

この回路は、12 ビットのシリアル・イン/パラレル・アウト・シフト・レジスタ、12 ビットの DAC レジスタ、12 ビットの CMOS DAC、コントロール・ロジックから構成されています。シリアル・データは、クロック・パルスの立ち上がりエッジで入力レジ

機能ブロック図

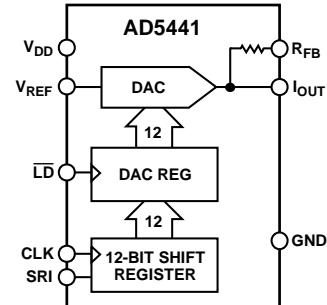


図 1

スタに入力されます。新しいデータ・ワードが入力されると、LD 入力ピンにより DAC レジスタにロードされます。DAC レジスタ内のデータは、DAC により出力電流に変換されます。

AD5441 は、5 V 単電源で動作し消費電流は 1 μ A と小さいため、多くのアプリケーション問題に対する最適な低消費電力小型高性能ソリューションになっています。

AD5441 の仕様は、拡張工業用温度範囲(-40°C~+125°C)で規定されています。このデバイスは、8 ピン LFCSP または 8 ピン MSOP を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関する、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2007 Analog Devices, Inc. All rights reserved.

目次

特長	1	代表的な性能特性	7
アプリケーション	1	用語	10
機能ブロック図	1	パラメータの定義	11
概要	1	回路の概要	11
改訂履歴	2	アプリケーション情報	11
仕様	3	ユニポーラ 2 象限乗算	11
電気的特性	3	バイポーラ 4 象限乗算	12
タイミング特性	4	インターフェース・ロジック情報	12
絶対最大定格	5	デジタル・セクション	12
熱抵抗	5	外形寸法	13
ESD の注意	5	オーダー・ガイド	13
ピン配置およびピン機能説明	6		

改訂履歴

1/08—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、 $V_{DD} = 5$ V、 $V_{REF} = 10$ V、 $-40^{\circ}\text{C} < T_A < +155^{\circ}\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Condition
STATIC PERFORMANCE						
Resolution	N			12	Bits	
Relative Accuracy	INL			± 0.5	LSB	
Differential Nonlinearity	DNL			± 0.5	LSB	All grades monotonic to 12 bits
Gain Error	G_{FSE}			± 1	LSB	Data = FFF_H
Gain Temperature Coefficient ¹	TCG_{FS}			± 5	ppm/ $^{\circ}\text{C}$	I_{OUT} pin measured
Output Leakage Current	I_{LKG}			± 5	nA	Data = 000_H , I_{OUT} pin measured
				± 25	nA	$T_A = -40^{\circ}\text{C}, +125^{\circ}\text{C}$, data = 000_H , I_{OUT} pin measured
Zero-Scale Error	I_{ZSE}			± 0.03	LSB	Data = 000_H
				± 0.15	LSB	$T_A = -40^{\circ}\text{C}, +125^{\circ}\text{C}$, data = 000_H
REFERENCE INPUT						
Input Resistance	R_{REF}	7		15	k Ω	Absolute temperature coefficient < 50 ppm/ $^{\circ}\text{C}$
Input Capacitance ¹	C_{REF}		5		pF	
ANALOG OUTPUT						
Output Capacitance ¹	C_{OUT}		1		pF	Data = 000_H
			4		pF	Data = FFF_H
DIGITAL INPUTS						
Digital Input Low	V_{IL}			0.8	V	
Digital Input High	V_{IH}	2.4			V	
Input Leakage Current	I_{IL}			1	μA	$V_{LOGIC} = 0$ V to 5 V
Input Capacitance ¹	C_{IL}		4.0		pF	$V_{LOGIC} = 0$ V
AC CHARACTERISTICS ¹						
Output Current Settling Time	t_s		5		μs	To $\pm 0.01\%$ of full-scale, external op amp OP42
				0.5	μs	To $\pm 0.01\%$ of full-scale, 100 Ω terminated to ground
DAC Glitch	Q		40		nVs	Data = 000_H to FFF_H to 000_H , $V_{REF} = 0$ V, OP42
				1	nVs	Data = 000_H to FFF_H to 000_H , $V_{REF} = 0$ V, 100 Ω
Digital Feedthrough			5		nV	Using external op amp OP42
Feedthrough (V_{OUT}/V_{REF})	FT		1.4		mV p-p	$V_{REF} = 20$ V p-p, data = 000_H , $f = 10$ kHz
Total Harmonic Distortion	THD		-85		dB	$V_{REF} = 6$ V rms, data = FFF_H , $f = 1$ kHz
Output Noise Density	e_n			17	nV/ $\sqrt{\text{Hz}}$	10 Hz to 100 kHz between R_{FB} and I_{OUT}
Multiplying Bandwidth	BW		1.9		MHz	-3 dB, V_{OUT}/V_{REF} , $V_{REF} = 100$ mV rms, data = FFF_H
SUPPLY CHARACTERISTICS ¹						
Power Supply Range	V_{DD} RANGE	2.5		5.5	V	
Positive Supply Current	I_{DD}			10	μA	$V_{LOGIC} = 0$ V or V_{DD}
Power Dissipation	P_{DISS}	2.5		5.5	μW	$V_{LOGIC} = 0$ V or V_{DD}
Power Supply Sensitivity	PSS			0.002	%/%	$\Delta V_{DD} = \pm 5\%$

¹これらのパラメータはデザインで保証されるため、テストは行いません。

タイミング特性

特に指定のない限り、すべての入力制御信号は、 $t_R = t_F = 2$ ns (V_{DD} の 10%~90%)、電圧レベル($V_{IL} + V_{IH}$)/2 からのタイミング、 $V_{DD} + 2.5$ V ~5.5 V、 $V_{REF} = 10$ V、温度範囲=−40°C~+125°Cで規定します。すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定します。

表 2.タイミング特性

Parameter	2.5 V	5.5 V	Unit	Conditions/Comments
t_{DS}	10	5	ns min	Data setup
t_{DH}	5	5	ns min	Data hold
t_{CH}	15	10	ns min	Clock width high
t_{CL}	15	10	ns min	Clock width low
t_{LD}	20	10	ns min	Load pulse width
t_{LD1}	0	0	ns min	LD DAC high to MSB CLK high
t_{ASB}	0	0	ns min	LSB CLK to LD DAC

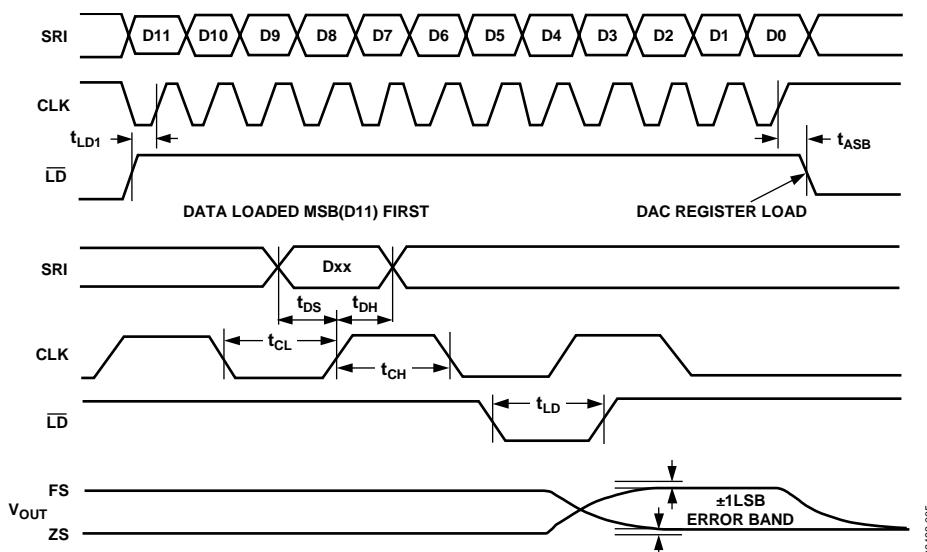


図 2.タイミング図

表 3.コントロール・ロジックの真理値表

CLK	\overline{LD}	Serial Shift Register Function	DAC Register Function
\uparrow^1	H	Shift register data advanced one bit	Latched
\uparrow	L	Shift register data advanced one bit	Transparent
H or L	L	No effect	Updated with current shift register contents
L	\uparrow^1	No effect	Latched all 12 bits

¹ \uparrow は立ち上がり変化を表します。

絶対最大定格

表 4.

Parameter	Rating
V _{DD} to GND	-0.3 V, +8 V
V _{REF} to GND	±18 V
R _{FB} to GND	±18 V
Logic Inputs to GND	-0.3 V, V _{DD} + 0.3 V
I _{OUT} to GND	-0.3 V, V _{DD} + 0.3 V
I _{OUT} Short Circuit to GND	50 mA
Package Power Dissipation	(T _J max - T _A) / θ _{JA}
Maximum Junction Temperature (T _J max)	150°C
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.

Package Type	θ _{JA}	θ _{JC}	Unit
8-Lead MSOP	142	44	°C/W
8-Lead LFCSP ¹	75	18	°C/W

¹露出パッドはアプリケーション・ボードへハンダ付け。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

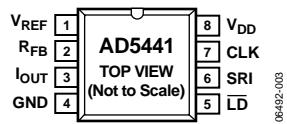


図 3.8 ピン LFCSP のピン配置

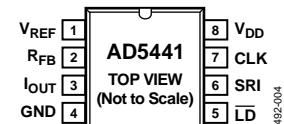


図 4.8 ピン MSOP のピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	V _{REF}	DAC リファレンス入力ピン。DAC のフル・スケール電圧を設定します。コードに対して一定の入力抵抗。
2	R _{FB}	内蔵のマッチング帰還抵抗。外付けオペアンプ出力へ接続します。
3	I _{OUT}	DAC 電流 output。フル・スケール出力はリファレンス入力電圧-V _{REF} より 1 LSB 小さい値になります。
4	GND	アナログおよびデジタル・グラウンド。
5	\overline{LD}	ロード・ストローブ。レベル検出のデジタル入力。アクティブ・ローのとき、シフトレジスタのデータが DAC レジスタへ転送されます。 動作については、表 3 を参照してください。
6	SRI	12 ビットのシリアル・レジスタ入力。データは、直接シフトレジスタに MSB 先頭でロードされます。先頭にある余分なビットは無視されます。
7	CLK	クロック入力。立ち上がりエッジで、データがシフトレジスタに入力されます。
8	V _{DD}	正電源入力。動作仕様範囲 5 V ±10%。

代表的な性能特性

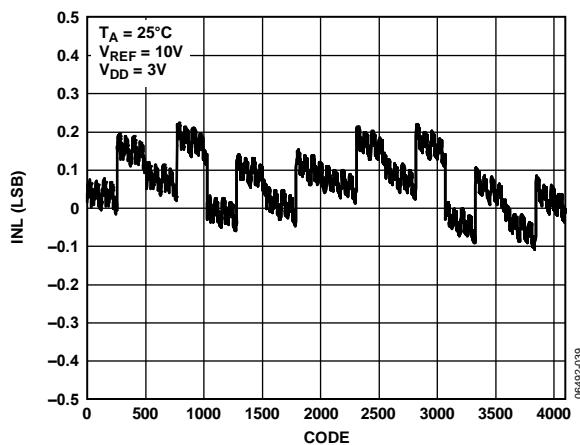


図 5.INL 対コード、3 V

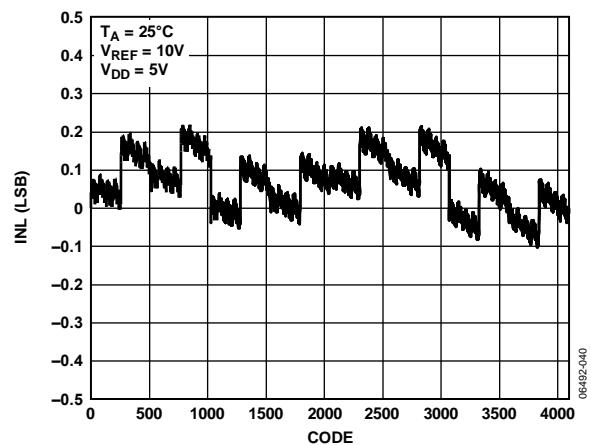


図 8.INL 対コード、5 V

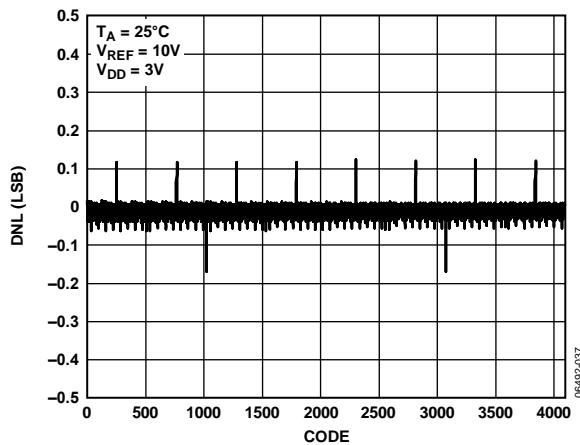


図 6.DNL 対コード、3 V

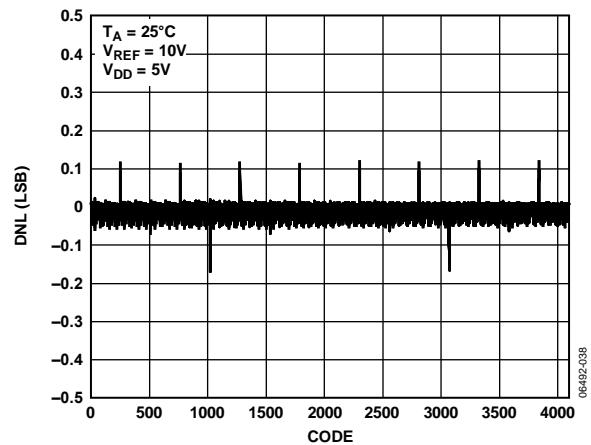


図 9.DNL 対コード、5 V

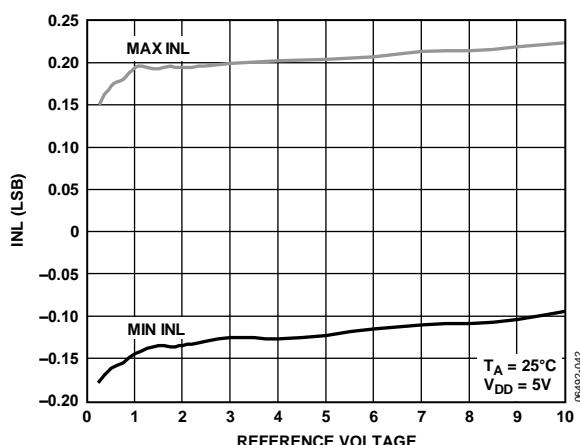


図 7.INL 対リファレンス電圧、5 V

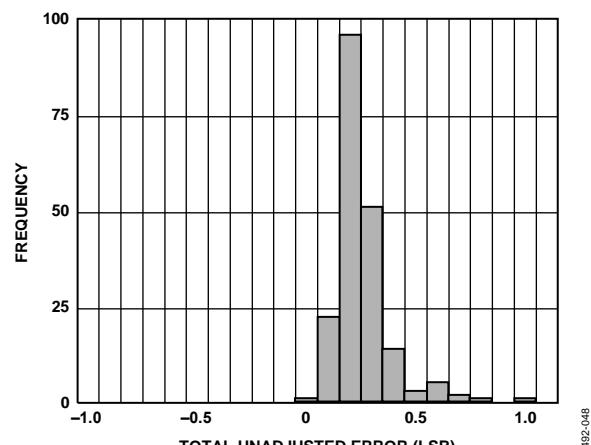


図 10.総合未調整誤差ヒストグラム

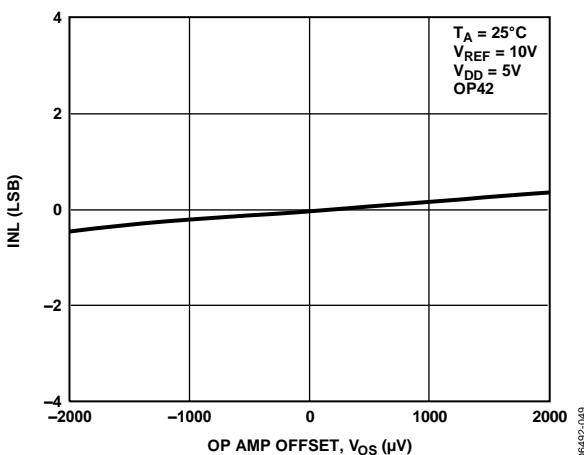


図 11. 積分非直線性誤差対外付けオペアンプ

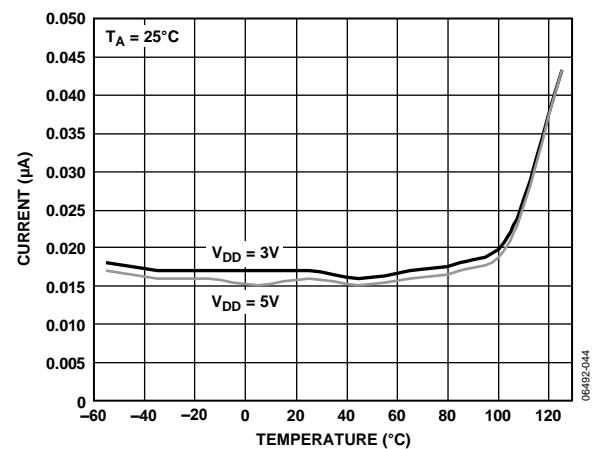


図 14. 電源電流の温度特性

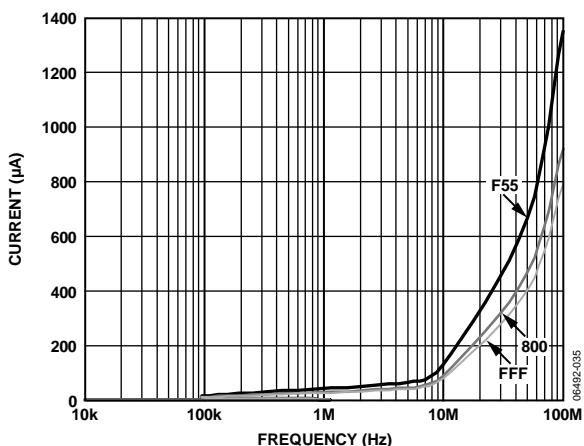


図 12. 電源電流対クロック周波数

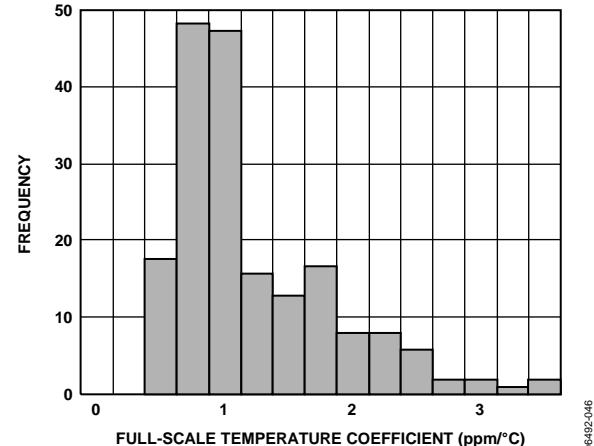


図 15. フル・スケール出力温度係数のヒストグラム

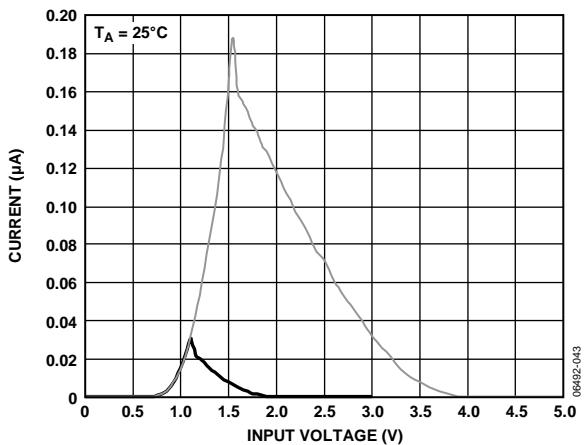


図 13. 電源電流対ロジック入力電圧

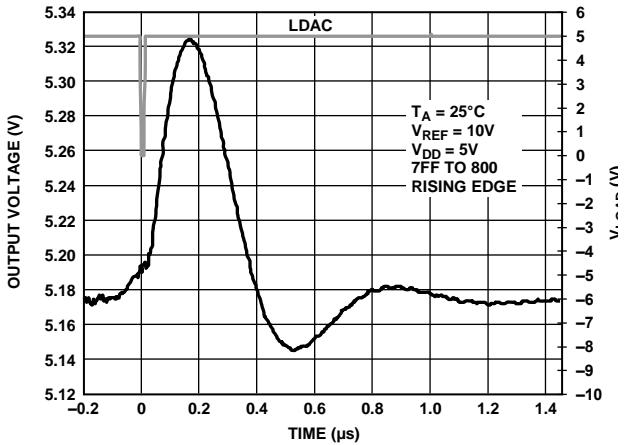


図 16. ミッドスケール変化

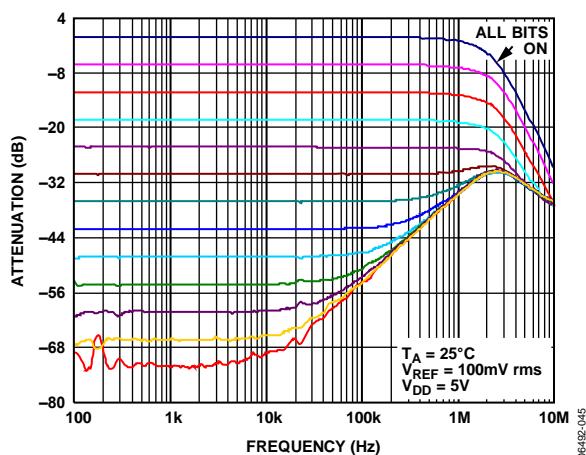


図 17.リファランス乗算帯域幅

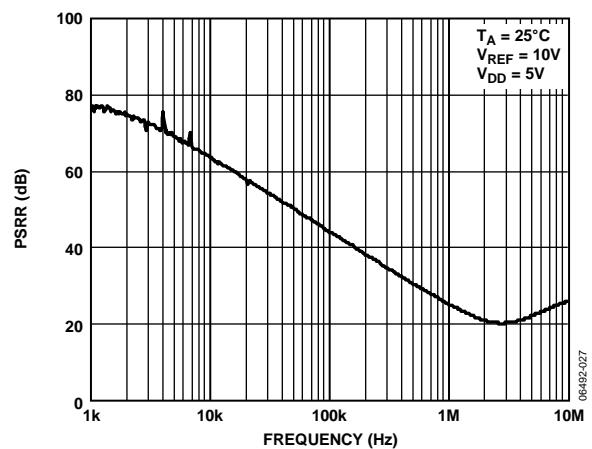


図 18.PSRR の周波数特性

用語

相対精度(INL)

相対精度または端点非直線性とは、DAC 伝達関数の両端を結ぶ直線からの最大偏差を表します。0 およびフル・スケールに調節した後に測定し、一般に LSB 数またはフル・スケールのパーセント値で表されます。

微分非直線性(DNL)

DNL は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。全動作温度範囲に対して微分非直線性を最大-1 LSB と規定することは、単調性の保証を意味します。

ゲイン誤差

ゲイン誤差またはフル・スケール誤差は、DAC の理論出力値とデバイスの実際の出力との間の出力誤差を表します。これらの DAC では、理論最大出力は $V_{REF} - 1$ LSB になります。DAC のゲイン誤差は、外付け抵抗を使って 0 に調整することができます。

ゼロ・スケール誤差

ワーストケース R_{REF} から計算します。

$$I_{ZSE}(\text{ LSB }) = (R_{REF} \times I_{LKG} \times 4096) / V_{REF}.$$

出力リーク電流

出力リーク電流は、DAC のラダー・スイッチがターンオフしているときに、これらに流入する電流を表します。 I_{OUT} ピンの場合は、全ビット「0」を DAC にロードして I_{OUT} 電流を測定します。

出力容量

I_{OUT1} と AGND との間の容量。

デジタルからアナログへのグリッヂ・インパルス

入力で状態変化があったとき、デジタル入力からアナログ出力へ混入される電荷の大きさを表します。グリッヂが電流信号または電圧信号のいずれで測定するかに応じて、それぞれ pA-sec または nV-sec で表したグリッヂの面積として規定されます。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイス内で容量結合して、 I_{OUT} ピンにノイズとして現れることを意味します。このノイズは、デバイス出力から後段の回路へ引き継がれます。このノイズがデジタル・フィードスルーです。

乗算フィードスルー誤差

DAC に全ビット「0」をロードしたときの、DAC のリファレンス電圧入力から DAC の I_{OUT1} ピンへの容量性フィードスルーに起因する誤差を表します。

総合高調波歪み(THD)

DAC は、AC リファレンス電圧で駆動されます。THD は、DAC 出力の各高調波の rms 和と基本波の比を表します。次に示すように、一般に 2~5 次のような低い高調波だけで表されます。

$$THD = 20 \log \frac{\sqrt{V2^2 + V3^2 + V4^2 + V5^2}}{VI}$$

電圧適合性範囲

デバイスが仕様特性を提供するピン電圧(出力)の最大範囲を表します。

出力ノイズ・スペクトル密度

次式から計算します。

$$e_n = \sqrt{4KTRB}$$

ここで、

K はボルツマン定数 (J/°K)。

R は抵抗(Ω)。

T は抵抗温度(°K)。

B は 1 Hz 帯域幅。

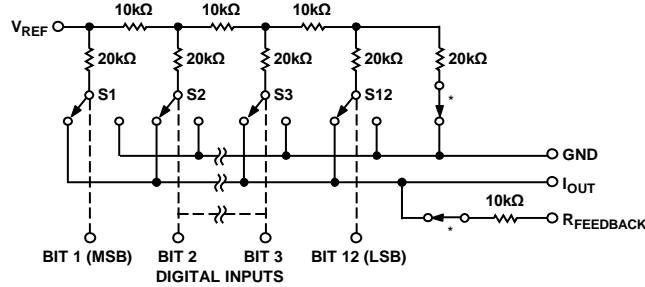
パラメータの定義

回路の概要

AD5441 は、温度係数の小さい 12 ビット乗算 DAC です。R-2R 抵抗ラダー回路、データ入力、コントロール・ロジック、2 個のデータ・レジスタを内蔵しています。

デジタル回路はインターフェースを構成しています。このインターフェースでは、マイクロプロセッサの制御でシリアル・データを 12 ビット・シフト・レジスタへロードした後に、12 ビット DAC レジスタへ並列転送することができます。

AD5441 のアナログ部分には、シリコン・クロムの安定な(50 ppm/°C)薄膜抵抗から構成された反転 R-2R ラダー回路と、12 対の NMOS 電流切替えスイッチが含まれています。図 19 を参照してください。これらのスイッチは、2 進数の重みを持つ電流を I_{OUT} または GND の間で切替えます。これにより、デジタル入力コードとは無関係に、各ラダーの脚に一定電流が流れます。この一定電流と V_{REF} から一定の入力抵抗が得られて R に等しくなります。 V_{REF} 入力は、**絶対最大定格**で規定される範囲内の任意のリファレンス電圧または電流、AC または DC で駆動することができます。



*THESE SWITCHES PERMANENTLY ON.

NOTES

1. SWITCHES SHOWN FOR DIGITAL INPUTS HIGH.

抵抗ラダーまたは $R_{FEEDBACK}$ のテスト時には(例えば、受入検査)、これらの直列スイッチをオンにするために V_{DD} が必要です。

出力インピーダンス

AD5441 の出力抵抗は、出力容量の場合と同様に、デジタル入力コードに応じて変化します。この抵抗(I_{OUT} ピンから見た抵抗)は、10 kΩ(すべてのデジタル入力がロー・レベルのときの帰還抵抗単体)~7.5 kΩ(任意の 1 ビットのみがハイ・レベルのとき、R-2R ラダー回路抵抗の約 30 kΩ と帰還抵抗との並列接続)の範囲の値になります。静的精度と動的性能はこれらの変化により影響を受けています。

アプリケーション情報

多くのアプリケーションでは、リニアリティは I_{OUT} と GND ピンが同じ電位であるか否かに依存します。DAC は、外付けの高精度オペアンプの反転入力に接続されます。外付けアンプの非反転入力は通常のバイアス電流補償抵抗を使用しないで直接グラウンドに接続する必要があります。(図 20 と図 22 を参照)。アンプは、低入力バイアス電流と低温度ドリフトのものを選択する必要があります。アンプの入力オフセット電圧は、200 mV(1 LSB の 10%)以下にする必要があります。グラウンドに接続するすべてのピンは 1 つの共通グラウンド・ポイントに接続して、グラウンド・ループが発生しないようにします。 V_{DD} 電源には適切なバイパスを行ってノイズ・レベルを小さくする必要があります。AD5441 には、アナログ用の電源とグラウンドを使用することが最適です。

ユニポーラ 2 象限乗算

AD5441 の最も簡単なアプリケーションは、図 20 に示す 2 象限乗算構成です。リファレンス入力信号を固定の DC リファレンス電圧とした場合、DAC 出力には次の伝達関数に従って比例した DC 電圧出力が得られます。

$$V_{OUT} = -D/4096 \times V_{REF}$$

ここで、

D は DAC レジスタにロードされた 10 進データ。

V_{REF} は外付けのリファレンス電圧源。

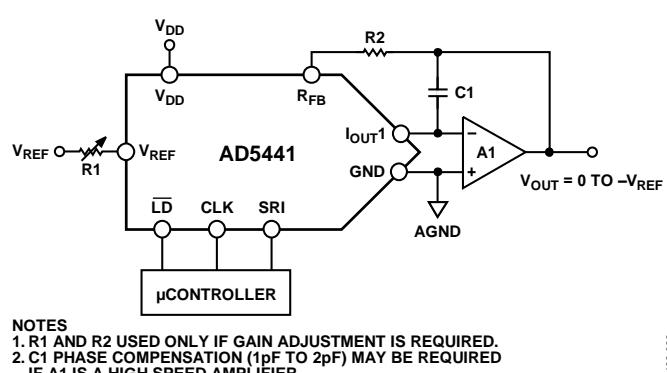


図 20. ユニポーラ(2 象限)動作

バイポーラ 4 象限乗算

図 22 に、4 象限乗算を行う推奨回路を示します。加算アンプでは V_{OUT1} に 2 を乗算し、ミッドスケール・デジタル入力コードが 2048 のときに $V_{OUT2} = 0 \text{ V}$ となるようにリファレンス電圧で出力にオフセットを与えます。DAC にすべてゼロをロードしたときの、負のフル・スケール電圧は V_{REF} になります。DAC にすべて 1 をロードしたときの、正のフル・スケール出力は $-(V_{REF} - 1 \text{ LSB})$ になります。したがって、デジタル・コーディングはオフセット・バイナリになります。種々の入力データとリファレンス電圧値(すなわち信号)に対する電圧出力の伝達関数は次のようにになります。

$$V_{OUT2} = (D/2048 - 1) - V_{REF}$$

ここで、

D は DAC レジスタにロードされた 10 進データ。

V_{REF} は外付けのリファレンス電圧源。

インターフェース・ロジック情報

AD5441 は、容易な動作が可能であるようにデザインされています。入力レジスタのロード・シーケンスを図 2 のタイミング図に示します。最上位ビット(MSB)が先にロードされていることに注意してください。12 ビットの入力レジスタがフルになると、 \overline{LD} を短時間ロー・レベルにすることにより、データが DAC レジスタへ転送されます。

デジタル・セクション

AD5441 のデジタル入力である SRI 、 \overline{LD} 、 CLK は TTL 互換です。入力電圧レベルは電源電流の大きさに影響を与えます。ピーク電源電流は、デジタル入力 (V_{IN}) が変化領域を通過するときに発生します。電源電流対ロジック入力電圧については図 13 デジタル入力電圧レベルをできるだけ電源 (V_{DD} と GND) に近づけると、消費電流を小さくすることができます。AD5441 のデジタル入力は、慎重なレイアウトと入力保護回路の採用により ESD 抵抗を内蔵するようにデザインされています。図 21 に、入力保護ダイオードと直列抵抗を示します。この入力構造が各デジタル入力に採用されています。入力に与えられた高電圧の静電荷は、順方向にバイアスされたダイオードを経由して電源レールとグラウンド・レールへ移動します。これらの保護ダイオードは、静電気の放電時に危険なレベルを下回るように入力をクランプするためにデザインされています。

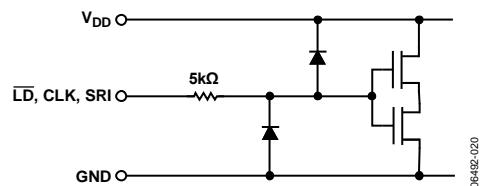
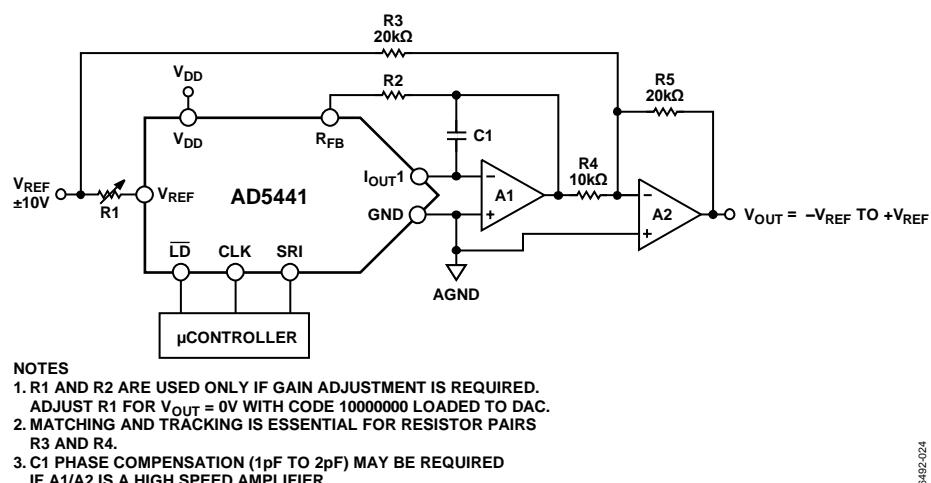


図 21. デジタル入力保護機能



06492-024

図 22. バイポーラ(4 象限)動作

外形寸法

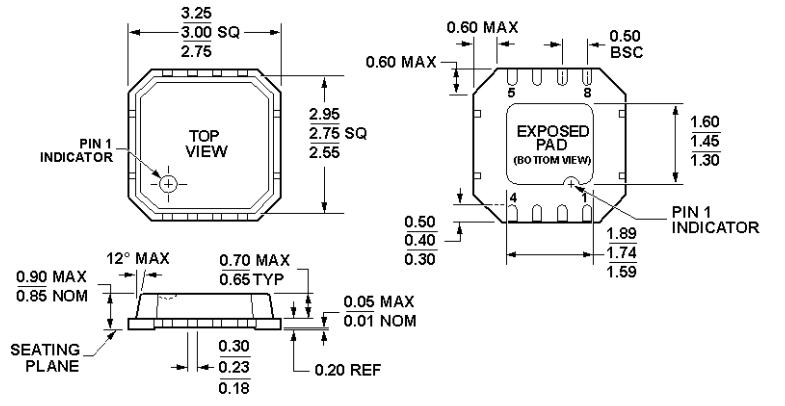
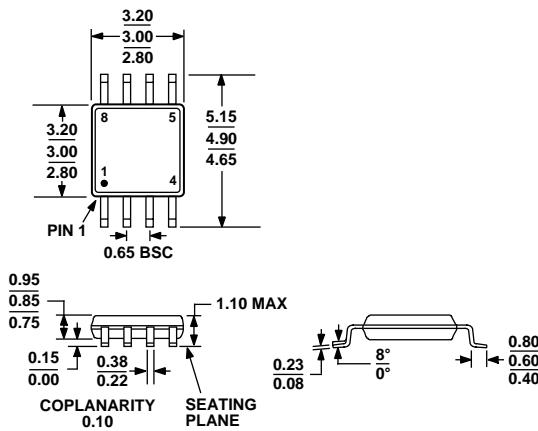


図 23. 8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VD]
3 mm × 3 mm ボディ、極薄、デュアル・ピン
(CP-8-2)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 24. 8 ピン・ミニ・スマール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model	INL (LSB)	Temperature Range	Package Description	Package Option	Branding
AD5441BCPZ-R2 ¹	±0.5	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	DBD
AD5441BCPZ-REEL7 ¹	±0.5	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	DBD
AD5441BRMZ ¹	±0.5	-40°C to +125°C	8-Lead MSOP	RM-8	DBC
AD5441BRMZ-REEL7 ¹	±0.5	-40°C to +125°C	8-Lead MSOP	RM-8	DBC

¹Z = RoHS 準拠製品