

特長

2個のデバイス・イネーブル出力と6個のプログラマブルなモニター入力を装備 (表 1 参照)

外部デバイスのシャットダウン制御機能付きの 30 V モニター入力を 2 個装備

過電圧、低電圧、ターンオン/ターンオフのスレッシュホールドとシャットダウン・タイミングが設定可能

故障検出によるシャットダウン警告

外部デバイスのリセット制御

外部デバイスのリセット制御機能付きの 5 V および 7.96 V モニター入力を装備

リセット・スレッシュホールドとホールド・タイムが設定可能

eMOST 互換入力

V_{2MON} と V_{4MON} を使用する診断アプリケーション

2 種類の監視機能

タイムアウトとフローティング入力が設定可能なウォッチドッグ・リセット・コントローラ

外部デバイスのマニュアル・リセット制御

デジタル・インターフェースと設定機能

I²C 互換インターフェース

スレッシュホールドとタイミングの固定設定用 OTP¹

OTP はダイナミック調整時に上書き可能

エッジ・トリガー信号でパワーアップ

I²C バスを介するパワーダウン

動作範囲

電源電圧: 6.0 V ~ 30 V

温度範囲: -40°C ~ +125°C

シャットダウン電流: 5 μA max

動作電流: 2 mA max

高電圧入力混入防止シールド・ピン配置

アプリケーション

車載システム

ネットワーク装置

コンピュータ、コントローラ、組込み型システム

¹OTP として使用する前の変更回数が無制限なランタイム・プログラマブル EPROM

概要

AD5100 は、4 チャンネルの電圧モニター機能とウォッチドッグ監視機能を組み合わせたプログラマブルなシステム管理 IC です。AD5100 は、外部電源のシャットダウン、プロセッサのリセット、またはシステム故障時の他のシステム電子回路のディスエーブルに使用することができます。また、AD5100 は不適切なデバイス・パワーアップ・シーケンス動作からシステムを保護するときにも使用することができます。堅固なこのウォッチドッグ・リセット・コントローラである AD5100 を使うと、シャットダウン制御機能とリセット制御機能付きの 2 つの 30 V 入力 (1 つは 2.3 V ~ 5.0 V 入力、他の 1 つは 1.6 V ~ 7.96 V 入力) を監視することができます。大部分のモニター入力スレッシュホールドとタイミングの設定は、OTP メモリ機能を使って即座にまたは固定的に設定することができます。

AD5100 は、クリティカルなマイクロプロセッサ、DSP、組込型システムが車載環境、工業用環境、または通信ネットワーク環境のような厳しい条件で動作するシステム・モニター・アプリケーションで広い用途を持っています。

AD5100 は小型の 16 ピン QSOP パッケージを採用し、-40°C ~ +125°C の拡張車載温度範囲で動作することができます。

表 1. AD5100 の入力/出力概要

Input	Monitoring Range ¹	Shutdown Control	Reset Control	Fault Detection
V _{1MON}	6 V to 28.29 V	Yes	Yes	Yes
V _{2MON}	3 V to 24.75 V	Yes	Yes	Yes
V _{3MON}	2.32 V to 4.97 V	No	Yes	Yes
V _{4MON}	1.67 V to 7.96 V	No	Yes	Yes
WDI	0 V to 5 V	Yes	Yes	No
MR	0 V to 5 V	No	Yes	No

¹スレッシュホールドと遅延が設定可能

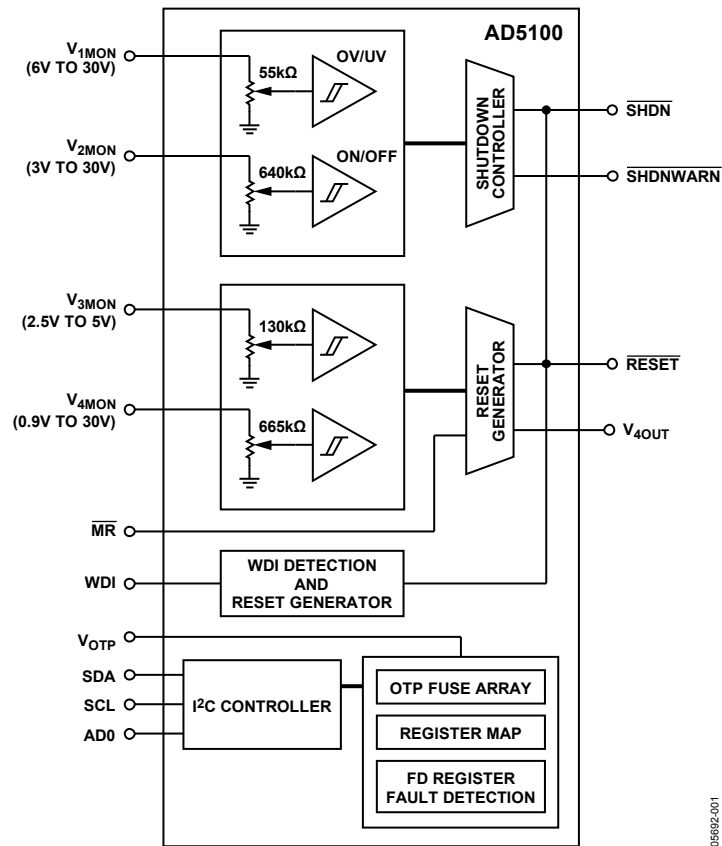
目次

特長.....	1	リセット出力 $\overline{\text{RESET}}$	19
アプリケーション.....	1	シャットダウン警告 $\overline{\text{SHDNWARN}}$	20
概要.....	1	$\text{V}_{4\text{OUT}}$ 出力.....	20
改訂履歴.....	2	電源条件.....	21
機能ブロック図.....	3	内蔵電源 V_{REG}	21
仕様.....	4	V_{OTP}	21
電気的仕様.....	4	保護機能.....	23
タイミング仕様.....	7	AD5100 のレジスタ・マップ.....	24
絶対最大定格.....	8	I ² C シリアル・インターフェース.....	27
ESD の注意.....	8	AD5100 へのデータの書き込み.....	28
ピン配置およびピン機能説明.....	9	AD5100 からのデータの読み出し.....	28
ワнтаイム・プログラマブル(OTP)オプション.....	10	AD5100 レジスタの固定設定(OTP 機能).....	29
動作原理.....	12	デフォルト設定の一時上書き.....	29
モニター入力.....	13	アプリケーション情報.....	30
$\text{V}_{1\text{MON}}$	13	自動車バッテリーとインフォテイメント・システム電源のモニター.....	30
$\text{V}_{2\text{MON}}$	14	ファン制御付きのバッテリー・モニター機能.....	33
$\text{V}_{3\text{MON}}$	15	バッテリー充電状態の表示とシャットダウン早期警告モニター.....	33
$\text{V}_{4\text{MON}}$	16	立ち上がりエッジ・トリガーのウェイクアップ・モード.....	34
ウォッチドッグ入力.....	16	外形寸法.....	35
マニュアル・リセット入力.....	18	オーダー・ガイド.....	35
出力.....	19		
シャットダウン出力 $\overline{\text{SHDN}}$	19		

改訂履歴

9/08—Revision 0: Initial Version

機能ブロック図



056692-001

図 1.

仕様

電氣的仕様

特に指定がない限り、 $6\text{ V} \leq V_{1\text{MON}} \leq 30\text{ V}$ かつ $3\text{ V} \leq V_{2\text{MON}} \leq 30\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
HIGH VOLTAGE MONITORING INPUTS						
$V_{1\text{MON}}$						
Voltage Range	$V_{1\text{MON}}$		6		30	V
Input Resistance	$R_{\text{IN}_V1\text{MON}}$		36	55	70	k Ω
OV, UV Threshold Tolerance (See Figure 7 and Table 6)	$\Delta\text{OV}, \Delta\text{UV}$	$T_A = 25^\circ\text{C}$	-1.6		+1.6	%
		$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	-1.8		+1.8	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-2		+2	%
Hysteresis				1.5		%
Programmable Shutdown Hold Time Tolerance (See Figure 7 and Table 8)	$\Delta t_{\text{1SD_HOLD}}$	$T_A = 25^\circ\text{C}$; does not apply to Code 0x7	-10		+10	%
Programmable Shutdown Delay Tolerance (See Figure 7 and Table 8)	$\Delta t_{\text{1SD_DELAY}}$	$T_A = 25^\circ\text{C}$; does not apply to Code 0x7	-10		+10	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$; does not apply to Code 0x7	-17		+17	%
Fault Detection Delay	$t_{\text{FD_DELAY}}$			60		μs
Glitch Immune Time	t_{GLITCH}	Guaranteed by evaluation		45		μs
$V_{2\text{MON}}$						
Input Voltage	$V_{2\text{MON}}$	Minimum voltage on $V_{2\text{MON}}$ to ensure AD5100 V_{REG} power-up	2.2			V
Voltage Range ²	$V_{2\text{MON}}$		3		30	V
Input Resistance	$R_{\text{IN}_V2\text{MON}}$		500	640	760	k Ω
On, Off Threshold Tolerance ³ (See Figure 7 and Table 6)	$\Delta\text{On}, \Delta\text{Off}$	$T_A = 25^\circ\text{C}$	-2		+2	%
		$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	-2.4		+2.4	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-2.5		+2.5	%
Hysteresis				1.5		%
Turn-On Programmable $\overline{\text{SHDN}}$ Hold Time Tolerance (See Figure 7 and Table 8)	$\Delta t_{\text{2SD_HOLD}}$	$T_A = 25^\circ\text{C}$; does not apply to Code 0x7	-10		+10	%
Turn-Off Programmable $\overline{\text{SHDN}}$ Delay Time Tolerance (See Figure 7 and Table 8)	$\Delta t_{\text{2SD_DELAY}}$	$T_A = 25^\circ\text{C}$; does not apply to Code 0x07	-10		+10	%
		$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$; does not apply to Code 0x7	-17		+17	%
Fault Detection Delay	$t_{\text{FD_DELAY}}$	$V_{2\text{MON_OFF}}$ only		60		μs
Glitch Immune Time	t_{GLITCH}			45		μs
$\overline{\text{SHDN}}$						
$\overline{\text{SHDN}}$ Output High	V_{OH}	$V_{\text{RAIL}} = V_{\text{REG}}$, $I_{\text{SOURCE}} = 40\ \mu\text{A}$	2.4			V
		$V_{\text{RAIL}} = V_{1\text{MON}}$, $I_{\text{SOURCE}} = 600\ \mu\text{A}$	$V_{1\text{MON}} - 0.5$			V
$\overline{\text{SHDN}}$ Output Low	V_{OL}	$I_{\text{SINK}} = 1.6\ \text{mA}$			0.4	V
		$V_{1\text{MON}} = 12\ \text{V}$, $I_{\text{SINK}} = 40\ \text{mA}$		1.5	3	V
$\overline{\text{SHDN}}$ Sink Current	I_{SINK}	$V_{1\text{MON}} = 12\ \text{V}$, $\overline{\text{SHDN}}$ forced to 12 V		10	13.5	mA
$\overline{\text{SHDNWARN}}$ (Open-Drain Output)						
$\overline{\text{SHDNWARN}}$ Inactive Leakage Current	$I_{\text{OH_SHDNWARN}}$			0.9		μA
$\overline{\text{SHDNWARN}}$ Active	$V_{\text{OL_SHDNWARN}}$	$I_{\text{SINK}} = 3\ \text{mA}$			0.4	V
LOW VOLTAGE MONITORING INPUTS						
$V_{3\text{MON}}, V_{4\text{MON}}$						
$V_{3\text{MON}}$ Voltage Range	$V_{3\text{MON}}$		2.0		5.5	V
Input Resistance	$R_{\text{IN}_V3\text{MON}}$		110	130	155	k Ω
$V_{3\text{MON}}$ Threshold Tolerance (See Figure 10 and Table 6)	$\Delta V_{3\text{MON}}$	$T_A = 25^\circ\text{C}$	-2.5		+2.5	%
		$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	-2.75		+2.75	%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
V_{3MON} Hysteresis	$V_{3_HYSTERESIS}$	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$	-3	1.2	+3	%
V_{4MON} Voltage Range ⁴	V_{4MON}		0.9		30	V
Input Resistance	R_{IN_V4MON}		580	665	775	k Ω
V_{4MON} Threshold Tolerance (See Figure 12 and Table 6)	ΔV_{4MON}	$T_A = 25^\circ\text{C}$	-2.5		+2.5	%
		$T_A = -40^\circ\text{C to } +85^\circ\text{C}$	-2.75		+2.75	%
		$T_A = -40^\circ\text{C to } +125^\circ\text{C}$	-3		+3	%
V_{4MON} Hysteresis	$V_{4_HYSTERESIS}$			5		%
RESET						
RESET Hold Time Tolerance (See Figure 10, Figure 12, and Table 8)	Δt_{RS_HOLD}	$T_A = 25^\circ\text{C}$; does not apply to Code 0x6 and Code 0x7	-10		+10	%
		$T_A = -40^\circ\text{C to } +125^\circ\text{C}$; does not apply to Code 0x6 and Code 0x7	-17		+17	%
V_{3MON}/V_{4MON} -to-RESET Delay	t_{RS_DELAY}			60		μs
RESET Output Voltage High	V_{OH}	$V_{3MON} \geq 4.38\text{ V}$, $I_{SOURCE} = 120\ \mu\text{A}$	$V_{3MON} - 1.5$			V
		$2.7\text{ V} < V_{3MON} \leq 4.38\text{ V}$, $I_{SOURCE} = 30\ \mu\text{A}$	$0.8 \times V_{3MON}$			V
		$2.3\text{ V} < V_{3MON} \leq 2.7\text{ V}$, $I_{SOURCE} = 20\ \mu\text{A}$	$0.8 \times V_{3MON}$			V
		$1.8\text{ V} \leq V_{3MON} \leq 2.3\text{ V}$, $I_{SOURCE} = 8\ \mu\text{A}$	$0.8 \times V_{3MON}$			V
RESET Output Voltage Low	V_{OL}	$V_{3MON} > 4.38\text{ V}$, $I_{SINK} = 3.2\text{ mA}$			0.4	V
		$V_{3MON} < 4.38\text{ V}$, $I_{SINK} = 1.2\text{ mA}$			0.3	V
RESET Output Short-Circuit Current ⁵	I_{SOURCE}	RESET = 0, $V_{3MON} = 5.5\text{ V}$			825	μA
		RESET = 0, $V_{3MON} = 3.6\text{ V}$			400	μA
Glitch Immune Time	t_{GLITCH}			50		μs
V_{4OUT} Maximum Output	V_{4OUT_MAX}	Open drain			5.5	V
V_{4OUT} Propagation Delay	t_{V4OUT_DELAY}			70		μs
V_{4OUT} Maximum Frequency	f_{V4OUT}	Applies to RESET disabled only		10		kHz
WDI (WATCHDOG INPUT)						
WDI Programmable Timeout Tolerance (see Figure 13 and Table 8)	Δt_{WD}	$T_A = 25^\circ\text{C}$	-10		+10	%
		$T_A = -40^\circ\text{C to } +125^\circ\text{C}$	-17		+17	%
WDI Pulse Width	t_{WDI}		50			ns
Watchdog Initiated RESET Pulse Width	t_{WDR}	When no WDI		$t_{WD}/50$		ms
Watchdog Initiated SHDN	t_{WD_SHDN}	When no WDI activity $> 4 t_{WD}$		1		sec
WDI Input Voltage Low	V_{IL_WD}				$0.3 \times V_{3MON}$	V
WDI Input Voltage High	V_{IH_WD}		$0.7 \times V_{3MON}$			V
WDI Input Current		WDI = V_{3MON}			160	μA
		WDI = 0	-20			μA
MR (MANUAL RESET) INPUT						
MR Input Voltage Low	V_{IL_MR}				$0.3 \times V_{3MON}$	V
MR Input Voltage High	V_{IH_MR}		$0.7 \times V_{3MON}$			V
Input Current					1	μA
MR Pulse Width	t_{MR}		1			μs
MR Deglitching	t_{MR_GLITCH}			100		ns
MR-to-RESET Delay	t_{MR_DELAY}			1		μs
MR Pull-Up Resistance (Internal to V_{3MON})			50	60	75	k Ω
RESET Hold Time Tolerance (see Figure 12 and Table 8)	Δt_{RS_HOLD}	$T_A = 25^\circ\text{C}$; does not apply to Code 0x6 and Code 0x7	-10		+10	%
		$T_A = -40^\circ\text{C to } +125^\circ\text{C}$; does not apply to Code 0x06 and Code 0x7	-17		+17	%
SERIAL INTERFACES						
Input Logic High (SCL, SDA) ⁶	V_{IH}	External $R_{PULL-UP} = 2.2\text{ k}\Omega$	2.0		5.5	V
Input Logic Low (SCL, SDA)	V_{IL}	External $R_{PULL-UP} = 2.2\text{ k}\Omega$	0		0.8	V
Output Logic High (SDA)	V_{OH}	$V_{RAIL} = 2\text{ V to } 5.5\text{ V}$	$0.7 \times V_{RAIL}$			V

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
Output Logic Low (SDA)	V _{OL}	I _{OL} = 3 mA	0		0.4	V
Input Current		V _{IN} = 0 V to 5.5 V			1	μA
Input Capacitance	C _I			5		pF
POWER SUPPLY						
Supply Voltage Range	V _{1MON}		6.0		30	V
Sleep Mode Supply Current	I _{SLEEP_V1MON}	V _{2MON} = 0 V			5	μA
Active Mode Supply Current	I _{POWER_V1MON}	V _{2MON} = 12 V			2	mA
		V _{2MON} edge triggered mode selected			2	mA
Device Power-On Threshold	V _{2MON, IH}		2.2			V
	V _{2MON, IL}				0.4	V
Device Power-Up V_{2MON}, Minimum Pulse Width	t _{V2MON_PW}		4			ms
Device Power-Down Delay	T _{VREG_OFF_DE LAY}	V _{2MON} < 0.4 V (normal mode)		2		sec
		I ² C-initiated power-down		10		μs
OTP Supply Voltage⁷	V _{OTP}	For OTP only		5.5		V
OTP Supply Current⁸	I _{VOTP}	For OTP only		84		mA
OTP Settling Time ⁹	t _{S_OTP}			12		ms

¹ Typ 値は、25°C、V_{1MON} = 12 V、V_{2MON} = 12 V での値。

² 最初の V_{2MON} ターンオン最小値は 2.2 V ですが、それ以降は 3 V ~ 30 V の仕様が適用されます。

³ V_{2MON} がデジタル信号の場合は適用されません。

⁴ V_{4MON} スレッショルド値 (表 6) は、基本的に V_{4MON} で低電圧入力をモニターできるようにデザインされています。V_{4MON} 入力ピンの耐圧は最大 30 V です。30 V 耐圧が有効なアプリケーションとしては、eMOST (electronic media-oriented systems transport) 診断回路があります。

⁵ RESET 短絡電流は、マイクロプロセッサの双方向リセット・ピンから RESET がロー・レベルに駆動されたときの最大プルアップ電流です。

⁶ 一般に、SCL と SDA には V_{3MON} へのプルアップ抵抗が使用されていますが、SCL と SDA がプルアップ抵抗を持たない低電圧ロジック・コントローラから直接駆動される際には、V_{IH} 最小値を満たすように注意する必要があります。

⁷ 出荷時の書き込みでは、V_{OTP} には内蔵電源とは異なる 5.5 V の外付け電源を使います。OTP ヒューズのプログラムの有無にかかわらず動作時には V_{OTP} に 10 μF のタンタル・コンデンサを接続する必要があります。

⁸ typ 値の 84 mA より少し大きい電流を要する AD5100 デバイスがあるため、OTP 電源電流は最小 100 mA 必要です。

⁹ OTP セットリング・タイムは、OTP 機能を使用した後のみ発生します。

タイミング仕様

表 3.

Parameter	Description	Min	Typ	Max	Unit
I ² C INTERFACE TIMING CHARACTERISTICS ^{1,2}					
f_{SCL}	SCL clock frequency			400	kHz
t_1	t_{BUF} , bus free time between start and stop	1.3			μ s
t_2	$t_{HD,STA}$, hold time after (repeated) start condition; after this period, the first clock is generated	0.6			μ s
t_3	t_{LOW} , low period of SCL clock	1.3			μ s
t_4	t_{HIGH} , high period of SCL clock	0.6	50		μ s
t_5	$t_{SU,STA}$, setup time for start condition	0.6			μ s
t_6	$t_{HD,DAT}$, data hold time			0.9	μ s
t_7	$t_{SU,DAT}$, data setup time	0.1			μ s
t_8	t_F , fall time of both SDA and SCL signals			0.3	μ s
t_9	t_R , rise time of both SDA and SCL signals			0.3	μ s
t_{10}	$t_{SU,STO}$, setup time for stop condition	0.6			μ s

¹ 設計上保証しますが、出荷テストは行いません。

² 図 2 参照。

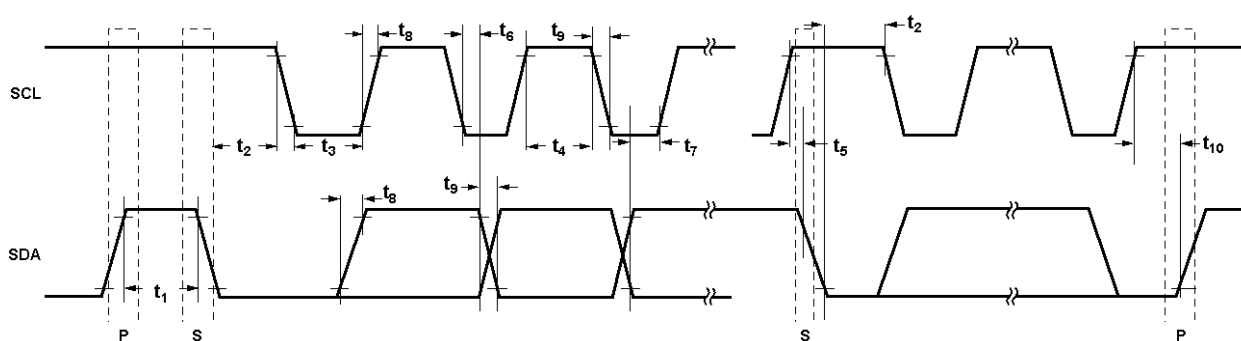


図 2. デジタル・インターフェースのタイミング図

絶対最大定格

表 4.

Parameter	Rating
V _{1MON} to GND	-0.3 V, +33 V
V _{2MON} to GND	-0.3 V, +33 V
V _{3MON} to GND	-0.3 V, +7 V
V _{4MON} to GND	-0.3 V, +33 V
V _{OTP} to GND	-0.3 V, +7 V
Digital Input Voltage to GND (MR, WDI, SCL, SDA, AD0)	0 V, +7 V
Digital Output Voltage to GND (RESET, V _{4OUT} , SHDNWARN)	0 V, +7 V
Digital Output Voltage to GND (SHDN)	0 V, +33 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
ESD Rating (HBM)	3.5 kV
Maximum Junction Temperature (T _{Jmax})	150°C
Power Dissipation ¹	(T _{Jmax} - T _A ²)/θ _{JA}
Thermal Impedance ³	
θ _{JA} Junction-to-Ambient	105.44°C/W
θ _{JC} Junction-to-Case	38.8°C/W
<i>IR Reflow Soldering (RoHS-Compliant Package)</i>	
<i>Peak Temperature</i>	260°C (+0°C)
<i>Time at Peak Temperature</i>	20 sec to 40 sec
<i>Ramp-Up Rate</i>	3°C/sec max
<i>Ramp-Down Rate</i>	-6°C/sec max
<i>Time from 25°C to Peak Temperature</i>	8 minutes max

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

¹ 値は、4 層ボード上で使用するパッケージに関するものです。

² T_A = 周囲温度。

³ ジャンクション-ケース間の抵抗は、特定の空気流方向を持つデバイス、たとえばヒート・シンク上に実装したデバイスに適用可能です。空冷 PCB に実装されたデバイスに対しては、ジャンクション-周囲間の抵抗の方が適しています。

ピン配置およびピン機能説明

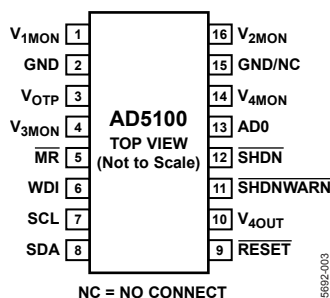


図 3. ピン配置

表 5. AD5100 ピン機能説明 s

ピン番号	記号	説明
1	V _{1MON}	高電圧モニター入力。AD5100 内部電源は V _{1MON} から発生されます。このピンと GND との間に 10 μF の電解コンデンサを接続し、V _{1MON} ピンのできるだけ近くに配置する必要があります。
2	GND	グラウンド。
3	V _{OTP}	EPROM のワнтаイム・プログラマブル電源電圧。非書き込み時には、GND との間に 10 μF のデカップリング・コンデンサ(低 ESR)が必要です。
4	V _{3MON}	低電圧モニター入力。
5	MR	マニュアル・リセット入力。アクティブ・ロー。
6	WDI	ウォッチドッグ入力。
7	SCL	I ² C のシリアル入力レジスタ・クロック。オープン・ドレイン入力。プルアップ抵抗なしでロジック・ドライバから直接駆動するときは、最小 V _{IH} =3.3 V を守ってください。
8	SDA	I ² C のシリアル・データ入力/出力。オープン・ドレイン入力/出力。プルアップ抵抗なしでロジック・ドライバから直接駆動するときは、最小 V _{IH} =3.3 V を守ってください。
9	RESET	リセット。レール電圧 V _{3MON} のプッシュプル出力。
10	V _{4OUT}	オープン・ドレイン出力。V _{4MON} によりトリガーされます。
11	SHDNWARN	シャットダウン警告。アクティブ・ローのオープン・ドレイン出力。
12	SHDN	シャットダウン出力。プッシュプル出力、レール電圧は V _{1MON} または V _{REG} (最大 30 V の AD5100 内蔵電源) に設定可能。
13	AD0	I ² C のスレーブ・アドレス設定。このピンをハイ・レベルに固定するときは、最大 3.3 V へ接続することができます。
14	V _{4MON}	低電圧モニター入力。耐圧 30 V。
15	GND/NC	グラウンド/未接続。解放のまま、またはグラウンドへ接続できますが、他の電位には接続しないでください。
16	V _{2MON}	高電圧モニター入力。また、内蔵電源電圧のイネーブル入力としても機能します。

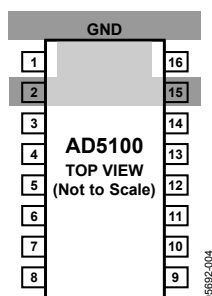


図 4. 高電圧入力シールド用の推奨 PCB レイアウト

ワンタイム・プログラマブル(OTP)オプション

すべての値は typ 定格。偏差については表 2 参照。

表 6. 使用可能なプログラマブル・スレッショールド、 $T_A = 25^\circ\text{C}$

$V_{1\text{MON OV Threshold}}$	$V_{1\text{MON UV Threshold}}$	$V_{2\text{MON On Threshold}}$	$V_{2\text{MON Off Threshold}}$	$V_{3\text{MON Threshold}}$	$V_{4\text{MON Threshold}}$
7.92 V	6.00 V	3.00 V	3.00 V	2.32 V	1.67 V
9.00 V	6.49 V	3.5 V	3.5 V	2.64 V	2.31 V
9.90 V	6.95 V	4.00 V	4.00 V	2.93 V ¹	3.05 V
11.00 V	7.47 V	4.77 V	4.77 V	3.10 V	4.62 V
12.00 V	7.92 V	6.00 V	6.00 V	4.36 V	6.51 V
13.20 V	8.43 V ¹	6.49 V	6.49 V	4.65 V	7.16 V
14.14 V	9.00 V	6.95 V	6.95 V ¹	4.75 V	7.54 V ¹
15.23 V	9.43 V	7.47 V ¹	7.47 V	4.97 V	7.96 V
15.84 V	9.90 V	7.92 V	7.92 V	Reserved	Reserved
17.22 V	10.42 V	8.43 V	8.43 V	Reserved	Reserved
18.00 V ¹	11.00 V	9.00 V	9.00 V	Reserved	Reserved
18.86 V	11.65 V	9.43 V	9.43 V	Reserved	Reserved
19.80 V	12.00 V	9.90 V	9.90 V	Reserved	Reserved
22.00 V	12.38 V	15.23 V	15.23 V	Reserved	Reserved
24.75 V	13.20 V	19.80 V	19.80 V	Reserved	Reserved
28.29 V	13.66 V	24.75 V	Rising edge triggered wake-up mode	Reserved	Reserved

¹ デフォルト。 $V_{1\text{MON OV}} > V_{1\text{MON UV}}$ である必要があります。 $V_{2\text{MON OFF}}$ が $V_{2\text{MON ON}}$ より大きく、かつ $V_{2\text{MON OFF}}$ が $V_{2\text{MON ON}}$ と一致しないとき、 $V_{2\text{MON OFF}}$ は無視されます。

表 7. プログラミング・コードと表 6 のスレッショールド(Typ)の対応表

Code	$V_{1\text{MON OV Threshold}}$	$V_{1\text{MON UV Threshold}}$	$V_{2\text{MON On Threshold}}$	$V_{2\text{MON Off Threshold}}$	$V_{3\text{MON Threshold}}$	$V_{4\text{MON Threshold}}$
0000	18.00 V ¹	8.43 V ¹	7.47 V ¹	6.95 V ¹	2.93 V ¹	7.54 V ¹
0001	18.86 V	7.92 V	6.95 V	7.47 V	4.65 V	1.67 V
0010	15.84 V	9.43 V	6.49 V	6.00 V	4.75 V	2.31 V
0011	17.22 V	9.00 V	6.00 V	6.49 V	4.97 V	3.05 V
0100	24.75 V	6.49 V	4.77 V	4.00 V	2.32 V	4.62 V
0101	28.29 V	6.00 V	4.00 V	4.77 V	2.64 V	6.51 V
0110	19.80 V	7.47 V	3.50 V	3.00 V	4.36 V	7.16 V
0111	22.00 V	6.95 V	3.00 V	3.50 V	3.10 V	7.96 V
1000	9.90 V	12.38 V	24.75 V	19.80 V	Reserved	Reserved
1001	11.00 V	12.00 V	19.80 V	Rising edge triggered wake-up mode	Reserved	Reserved
1010	7.92 V	13.66 V	15.23 V	9.90 V	Reserved	Reserved
1011	9.00 V	13.20 V	9.90 V	15.23 V	Reserved	Reserved
1100	14.14 V	10.42 V	9.43 V	9.00 V	Reserved	Reserved
1101	15.23 V	9.90 V	9.00 V	9.43 V	Reserved	Reserved
1110	12.00 V	11.65 V	8.43 V	7.92 V	Reserved	Reserved
1111	13.20 V	11.00 V	7.92 V	8.43 V	Reserved	Reserved

¹ デフォルト。

表 8. 使用可能なプログラマブル・ホールド・タイムと遅延

$t_{\text{ISD_HOLD}}$	$t_{\text{ISD_DELAY}}$	$t_{\text{2SD_HOLD}}$	$t_{\text{2SD_DELAY}}$	$t_{\text{RS_HOLD}}$	t_{WD}
0.07 ms	0.07 ms	0.07 ms	0.07 ms	0.1 ms	100 ms
20 ms	50 ms	10 ms ¹	50 ms	1 ms	250 ms
40 ms	100 ms	20 ms	100 ms ¹	15 ms	500 ms
60 ms	200 ms	30 ms	200 ms	30 ms	750 ms
80 ms	400 ms	40 ms	400 ms	50 ms	1000 ms
100 ms	800 ms	50 ms	800 ms	100 ms	1250 ms
150 ms	1000 ms	100 ms	1000 ms	150 ms	1500 ms ¹
200 ms ¹	1200 ms ¹	200 ms	1200 ms	200 ms ¹	2000 ms

¹ デフォルト。

表 9. プログラミング・コードと表 8 のタイミング(Typ)の対応表

Code	$t_{\text{ISD_HOLD}}$	$t_{\text{ISD_DELAY}}$	$t_{\text{2SD_HOLD}}$	$t_{\text{2SD_DELAY}}$	$t_{\text{RS_HOLD}}$	t_{WD}
000	200 ms ¹	1200 ms ¹	10 ms ¹	100 ms ¹	200 ms ¹	1500 ms ¹
001	150 ms	1000 ms	20 ms	50 ms	150 ms	2000 ms
010	100 ms	800 ms	30 ms	200 ms	100 ms	1250 ms
011	80 ms	400 ms	40 ms	400 ms	50 ms	1000 ms
100	60 ms	200 ms	50 ms	800 ms	30 ms	750 ms
101	40 ms	100 ms	100 ms	1000 ms	15 ms	500 ms
110	20 ms	50 ms	200 ms	1200 ms	1 ms	250 ms
111	0.07 ms	0.07 ms	0.07 ms	0.07 ms	0.1 ms	100 ms

¹ デフォルト。

モニター入力

V_{1MON}

V_{1MON} は、外部デバイスの SHDN 機能と RESET 機能を制御する高電圧モニター入力です。さらに、システムへのシャットダウン警告も提供します。V_{1MON} は、6 V~30 V の入力をモニターします。

V_{1MON} ピンは、過電圧検出と低電圧検出の 2 つのコンパレータによりモニターされます。両コンパレータとも、1.5% のヒステリシスを持つようにデザインされています。

V_{1MON} 入力が設定済みの過電圧(OV)スレッシュホールドを超えると、コンパレータが直ちにアクティブになり、OV 状態が発生したことを表示します。ヒステリシスがあるため、V_{1MON} 入力が設定済みの OV スレッシュホールドより 1.5% 下回ったときに、コンパレータが非アクティブになり、OV 状態が解消されたことを表示します(図 6 参照)。

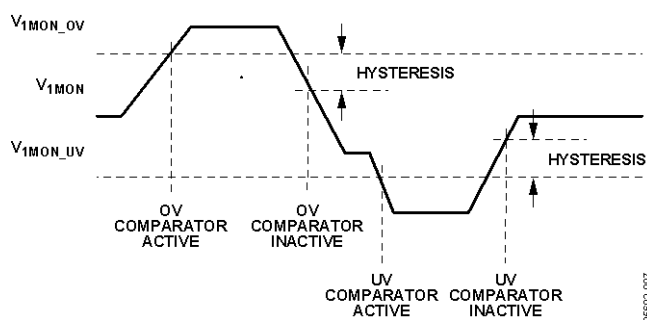


図 6.V_{1MON} のヒステリシス

V_{1MON} 入力が設定済みの低電圧(UV)スレッシュホールドを下回ると、コンパレータは直ちにアクティブになり、UV 状態が発生したことを表示します。同様に、ヒステリシスがあるため、V_{1MON} 入力が設定済みの UV スレッシュホールドを 1.5% 上回ったときに、コンパレータは非アクティブになり、UV 状態が解消されたことを表示します。

両 V_{1MON} コンパレータは、SHDN ピンと RESET ピンを制御するときに、ホールド・タイマと遅延タイマと組み合わせて使います。

V_{1MON} は、16 レベルのプログラマブルな OV スレッシュホールド(レジスタ 0x01)と UV スレッシュホールド(レジスタ 0x02)を持ち、0.07 ms~200 ms の 8 ステップのシャットダウン・ホールド・タイム(t_{1SD_HOLD})と 0.07 ms~1200 ms のシャットダウン遅延(t_{1SD_DELAY})を持っています。このシャットダウン・ホールド・タイムとは、V_{1MON} が UV スレ

ッシュホールドと OV スレッシュホールド以内に帰った後に、SHDN 信号を t_{1SD_HOLD} 間ロー・レベルに維持することを意味します。シャットダウン遅延とは、設定済みの t_{1SD_DELAY} が経過するまで SHDN 信号がアクティブになるのを遅延させることを意味します。V_{1MON} 電圧が OV スレッシュホールドまたは UV スレッシュホールドの外側に t_{GLITCH} より長い時間留まったときに、SHDN はアクティブになります。RESET は、V_{1MON} からトリガーされるとき、SHDN 遅延とホールド・タイミングに従います。

OV スレッシュホールドは、UV スレッシュホールドより大きく設定する必要があります。シャットダウンがトリガーされると、入力が OV スレッシュホールドまたは UV スレッシュホールドに到達しているため、この故障状態は一時的に故障検出レジスタに格納されます。

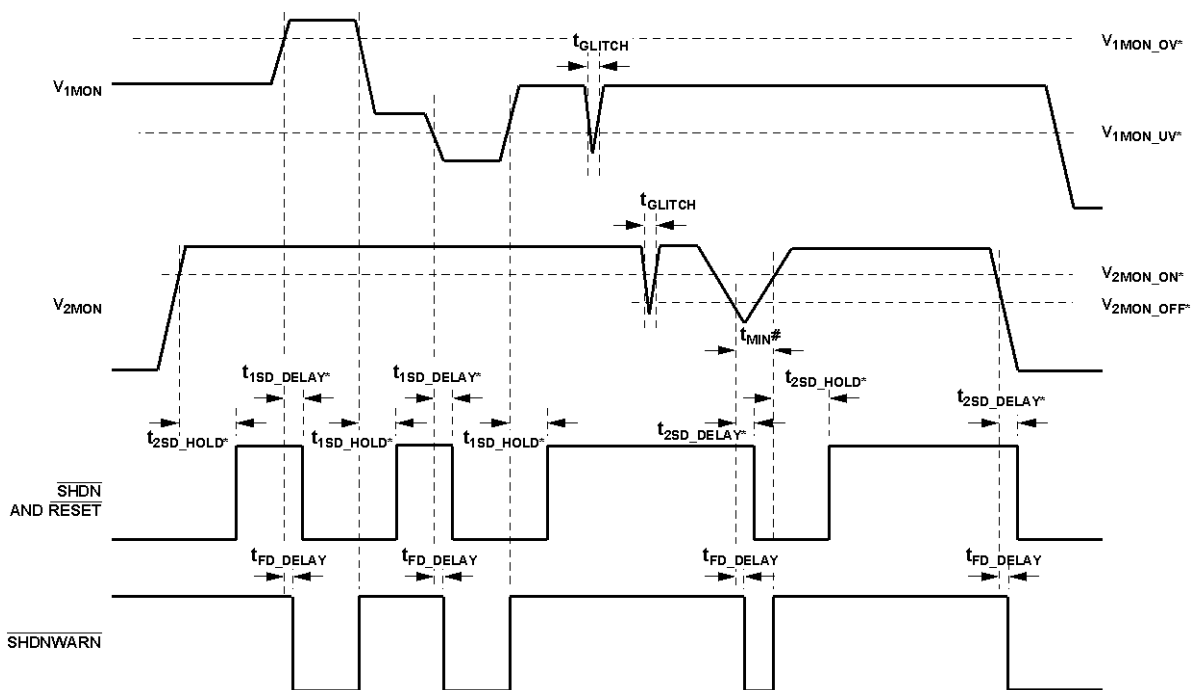
SHDNWARN 出力はロー・レベルに変化して、シャットダウン出力 SHDN がアクティブになる前に通知します。SHDN 出力のタイミングは、SHDNWARN の伝搬遅延(t_{FD_DELAY})に対してシャットダウン遅延(t_{1SD_DELAY})をどのくらい長く設定したかに依存します。この機能は、外部デバイスのシャットダウン前に、システムがクリティカルなハウスキーピング・タスクを完了する時間を確保するためのものです。

V_{1MON}、シャットダウン、シャットダウン警告タイミング図を図 7 に示します。

OV スレッシュホールドと UV スレッシュホールドの範囲を表 6 に、スレッシュホールド選択のプログラミング・コードを表 7 に、それぞれ示します。デフォルト OV スレッシュホールドは 18.00 V に、デフォルト UV スレッシュホールドは 8.43 V に、それぞれ設定されています。同様に、シャットダウン・ホールド・タイムと遅延時間の範囲を表 8 に、タイミング選択のプログラミング・コードを表 9 に、それぞれ示します。デフォルト・シャットダウン・ホールド・タイムは 200 ms に、デフォルト・シャットダウン遅延時間は 1200 ms に、それぞれ設定されています。

V_{1MON} は 55 kΩ (typ) の入力抵抗を持っています。この負荷効果はユーザー側で考慮する必要があります。

V_{1MON} の電圧は AD5100 に電源を供給しますが、内蔵電源レール V_{REG} が動作を開始する前に有効な信号を V_{2MON} に入力する必要があります。詳細については、電源条件のセクションを参照してください。



NOTES

- * = PROGRAMMABLE.
- # = THE DURATION OF THE t_{MIN} MUST BE SHORTER THAN $t_{VREG_OFF_DELAY}$ OR ELSE THE AD5100 WILL BE POWERED OFF.

05692-006

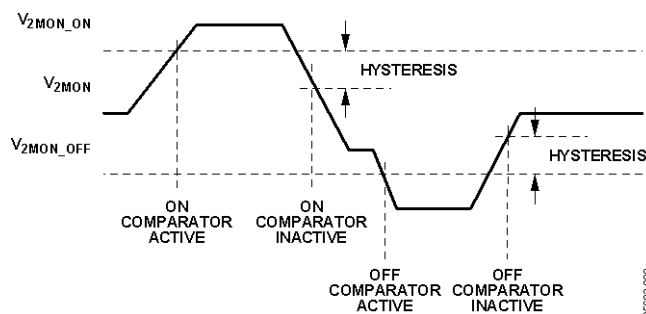
図 7. V_{1MON} と V_{2MON} のシャットダウン・タイミング図、レベル検出モード (\overline{RESET} は \overline{SHDN} に追従)V_{2MON}

V_{2MON} は、外部デバイスの \overline{SHDN} 機能と \overline{RESET} 機能を制御する高電圧モニター入力です。V_{2MON} は 3 V ~ 30 V の入力をモニターし、16 レベルのプログラマブルなターンオン/ターンオフ(オン、オフ)ヒステリシス・スレッシュホールド(レジスタ 0x03 とレジスタ 0x04)を持ち、0.07 ms ~ 200 ms の 8 ステップ・シャットダウン・ホールド・タイム (t_{2SD_HOLD}) と 0.07 ms ~ 1200 ms のシャットダウン遅延 (t_{2SD_DELAY}) を持っています。

V_{2MON} ピンは、レベル検出パワーアップ・モードでターンオン検出とターンオフ検出の 2 つのコンパレータによりモニターされます。両コンパレータとも、1.5% のヒステリシスを持つようにデザインされています。立ち上がりエッジ・トリガーのウェイクアップ・モードを選択する場合は、ターンオン・モニター・コンパレータのみが使用されます。

V_{2MON} 入力が設定済みの V_{2MON} オン・スレッシュホールドを超えると、コンパレータが直ちにアクティブになり、オン状態が発生したことを表示します。ヒステリシスがあるため、V_{2MON} 入力が設定済みのスレッシュホールドより 1.5% 下回ったときに、コンパレータが非アクティブになり、オン状態でなくなったことを表示します(図 8 参照)。

V_{2MON} 入力が設定済みのスレッシュホールドを下回ると、コンパレータは直ちにアクティブになり、V_{2MON} のオフ状態が発生したことを表示します。同様に、ヒステリシスがあるため、V_{2MON} 入力が設定済みのスレッシュホールドを 1.5% 上回ったときに、コンパレータは非アクティブになり、オフ状態がなくなったことを表示します。

図 8. V_{2MON} のヒステリシス

デフォルトでは、V_{2MON} がレベル検出で、オンとオフの両スレッシュホールドがモニターされます。オン・スレッシュホールドは、オフ・スレッシュホールドより大きく設定する必要があります。

入力が V_{2MON_OFF} スレッシュホールドに到達して \overline{SHDN} 出力がアクティブになると、この故障状態は一時的に故障検出レジスタに格納されます。 $\overline{SHDNWARN}$ 出力はロー・レベルに変化して、シャットダウン出力 \overline{SHDN} がアクティブになる前に通知します。 \overline{SHDN} 出力のタイミングは、 $\overline{SHDNWARN}$ の伝搬遅延 (t_{FD_DELAY}) に対してシャットダウン遅延 (t_{2SD_DELAY}) をどのくらい長く設定したかに依存します。この機能は、外部デバイスのシャットダウン前に、システムがクリティカルなハウスキーピング・タスクを完了する時間を確保するためのものです。V_{2MON} の電圧が t_{GLITCH} より長くスレッシュホールドの外側に留まると、 \overline{SHDN} はアクティブになります。 \overline{RESET} は、V_{2MON} によりトリガーされるとき、 \overline{SHDN} 遅延とホールド・タイミングに従います。

V_{2MON}、シャットダウン、シャットダウン警告タイミング図を 図 7 に示します。

05692-006

オン・スレッシュヨールドとオフ・スレッシュヨールドの範囲を表 6 に、スレッシュヨールド選択のプログラミング・コードを表 7 に、それぞれ示します。デフォルト・オン・スレッシュヨールドは 7.47 V に、デフォルト・オフ・スレッシュヨールドは 6.95 V に、それぞれ設定されています。同様に、シャットダウン・ホールド・タイムと遅延時間の範囲を表 8 に、タイミング選択のプログラミング・コードを表 9 に、それぞれ示します。デフォルト・シャットダウン・ホールド・タイムは 10 ms に、遅延時間は 100 ms に、それぞれ設定されています。

V_{2MON_OFF} が V_{2MON_ON} より大きく、かつ V_{2MON_OFF} が V_{2MON_ON} と一致しないとき、 V_{2MON_OFF} は無視されます。

V_{2MON} が立ち上がりエッジ・トリガーのウェイクアップ・モードで選択された場合は、オン・スレッシュヨールドだけがモニターされて、オフ・スレッシュヨールドは無視されます。 V_{2MON} オフ・スレッシュヨールドを設定すると(レジスタ 0x04[3:0]を 1001 に設定)、 V_{2MON} は立ち上がりエッジ・トリガー・モードになります。

V_{1MON} の電圧は AD5100 に電源を供給しますが、内蔵電源 V_{REG} が動作を開始する前に有効な信号を V_{2MON} に入力する必要があります。詳細については、電源条件のセクションを参照してください。

V_{2MON} は 640 k Ω (typ)の入力抵抗を持っています。この負荷効果はユーザー側で考慮する必要があります。

V_{3MON}

V_{3MON} は、外部デバイスの \overline{RESET} 機能を制御する低電圧モニター入力です。

V_{3MON} ピンは、低電圧状態検出のコンパレータによりモニターされます。このコンパレータは、1.5%のヒステリシスを持つようにデザインされています。 V_{3MON} 入力が設定済みの UV スレッシュヨールドを下回ると、コンパレータは直ちにアクティブになり、UV 状態が発生したことを表示します。ヒステリシスがあるため、 V_{3MON} 入力が設定済みのスレッシュヨールドを 1.5%上回ったときに、コンパレータが非アクティブになり、UV 状態でなくなったことを表示します(図 9 参照)。

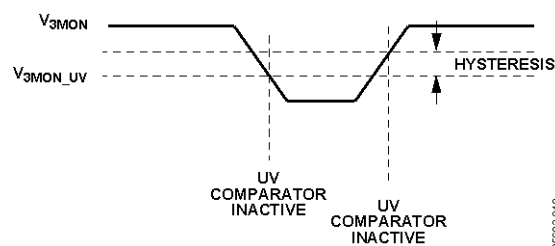


図 9. V_{3MON} のヒステリシス

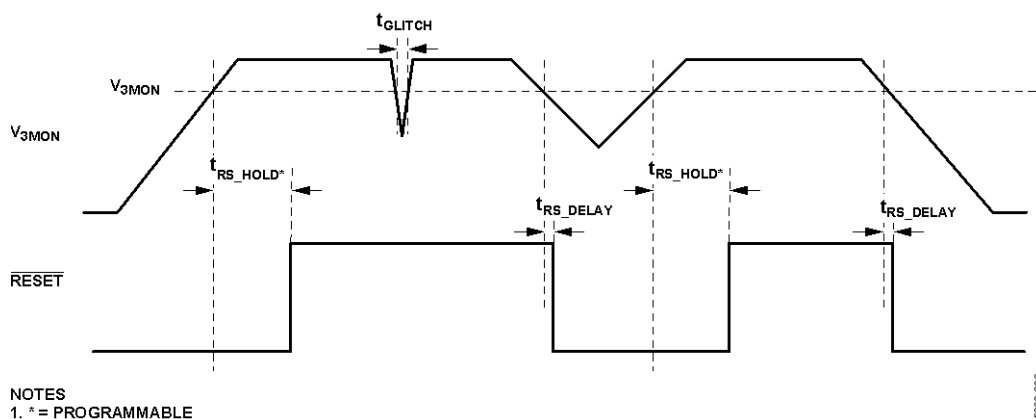
V_{3MON} コンパレータは、 \overline{RESET} ピンを制御するときに、ホールド・タイムと組み合わせて使います。

V_{3MON} は、2.0 V~5.5 V の入力をモニターし、8 ステップのプログラマブルなリセット・スレッシュヨールド(レジスタ 0x05)と 0.1 ms~200 ms の 8 ステップのリセット・ホールド・タイム (t_{RS_HOLD})を持っています。このリセット・ホールド・タイムとは、 V_{3MON} が UV スレッシュヨールドを超えて、 t_{RS_HOLD} が経過するまで \overline{RESET} 出力がアクティブ状態を維持することを意味します。この機能により、設定済みの時間が経過するまで外部デバイスのリセットを維持することが可能になります。

V_{3MON} と \overline{RESET} のタイミング図を図 10 に示します。スレッシュヨールド範囲を表 6 に、スレッシュヨールド選択のプログラミング・コードを表 7 に、それぞれ示します。デフォルトのモニター・スレッシュヨールドは 2.93 V です。リセット・ホールド・タイムの範囲を表 8 に、タイミング選択のプログラミング・コードを表 9 に、それぞれ示します。デフォルトの \overline{RESET} ホールド・タイムは 200 ms です。

V_{3MON} は 130 k Ω (typ)の入力抵抗を持っています。この負荷効果はユーザー側で考慮する必要があります。

\overline{MR} 入力は内部に V_{3MON} への弱いプルアップ抵抗を持っています。 \overline{RESET} 出力は、 V_{3MON} と GND の間のプッシュプルです。



NOTES
1. * = PROGRAMMABLE

図 10. V_{3MON} と \overline{RESET} のタイミング図

V_{4MON}

V_{4MON} は、外部デバイスの **RESET** 機能を制御する、またはコンパレータ出力 V_{4OUT} を発生する低電圧モニター入力です。V_{4MON} ピンは、低電圧状態検出のコンパレータによりモニターされます。このコンパレータは、5%のヒステリシスを持つようにデザインされています。

V_{4MON} 入力が設定済みの UV スレッシュホールドを下回ると、コンパレータは直ちにアクティブになり、UV 状態が発生したことを表示します。ヒステリシスがあるため、V_{4MON} 入力が設定済みのスレッシュホールドを 5% 上回ったときに、コンパレータが非アクティブになり、UV 状態でなくなったことを表示します(図 11 参照)。

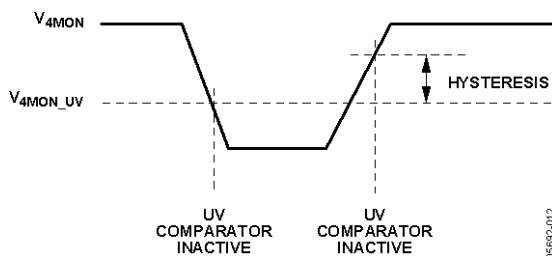


図 11.V_{4MON} のヒステリシス

V_{4MON} コンパレータは、V_{4OUT} ピンを制御するとき、およびホールド・タイムと組み合わせて **RESET** ピンを制御するときに使います。**RESET** ピンを制御するように V_{4MON} を設定するときは、レジスタ 0x0D[3] を 0 に設定します。このビットを 1 に設定すると、V_{4MON} により **RESET** がアクティブされるのが防止されます。

V_{4MON} の入力電圧範囲は最大 30 V です。この入力は、8 ステップのプログラマブルな 1.67 V~7.96 V のリセット・スレッシュホールド(レ

ジスタ 0x06)と 0.1 ms~200 ms の 8 ステップのリセット・ホールド・タイム(t_{RS_HOLD})を持っています。

V_{4MON}、**RESET**、V_{4OUT} のタイミング図を図 12 に示します。スレッシュホールド範囲を表 6 に、スレッシュホールド選択のプログラミング・コードを表 8 に、それぞれ示します。デフォルトのモニター・スレッシュホールドは 7.54 V です。リセット・ホールド・タイムの範囲を表 8 に、タイミング選択のプログラミング・コードを表 9 に、それぞれ示します。

V_{4MON} は 665 kΩ (typ) の入力抵抗を持っています。この負荷効果はユーザー側で考慮する必要があります。

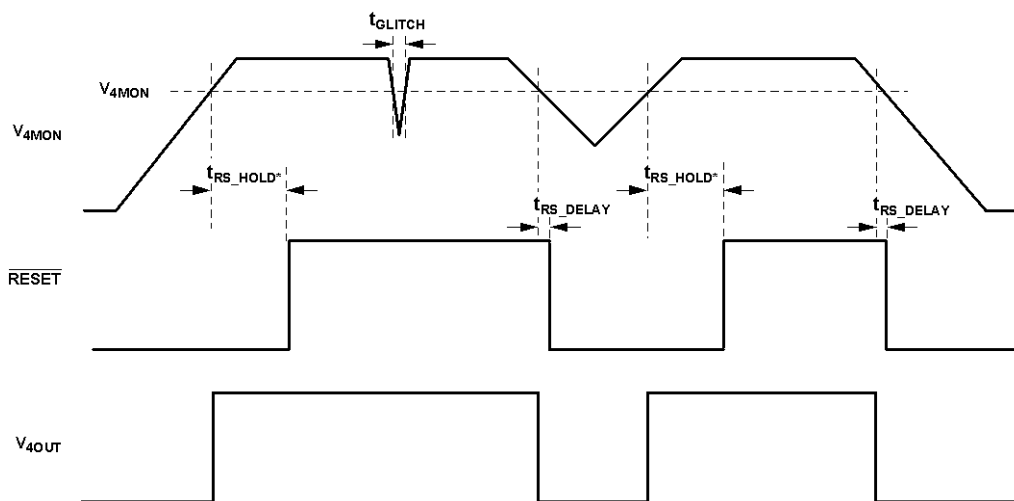
ウォッチドッグ入力

ソフトウェアまたはハードウェア・グリッチによりシステム・プロセッサがタイムアウト周期より長い継続時間非アクティブになると、ウォッチドッグ入力(WDI)回路はシステムを既知状態にリセットしようとしています。タイムアウト周期 t_{WD} は、100 ms~2000 ms で 8 ステップで設定することができます。ウォッチドッグ回路は、ウォッチドッグがモニターしている CPU クロックに依存しません。

ウォッチドッグ・タイムアウト範囲を表 8 に、タイムアウト選択のプログラミング・コードを表 9 に、それぞれ示します。デフォルト・タイムアウトは 1500 ms です。

ウォッチドッグは、パワーアップ時にディスエーブルされます。WDI は、**RESET** がハイ・レベルになるとモニターを開始します。AD5100 は、標準または高度なウォッチドッグ・モニター機能を提供します。レジスタ 0x0F[3] により、ウォッチドッグ機能の標準モードまたは高度モードを指定します。

レジスタ 0x0F[3] = 0: 標準ウォッチドッグ・モード
 レジスタ 0x0F[3] = 1: 高度ウォッチドッグ・モード



NOTES

- * = PROGRAMMABLE.
- MOST APPLICATIONS USING V_{4OUT} REQUIRE DISABLING OF V_{4MON} TRIGGERED RESET.

図 12.V_{4MON}、**RESET**、V_{4OUT} のタイミング図

標準ウォッチドッグ・モード

デフォルトの標準ウォッチドッグ・モードでは、タイムアウト周期 t_{WD} より長い時間 WDI がハイ・レベルまたはロー・レベルを維持すると、RESETパルスが発生されて、システム・プロセッサが WDI 信号を再設定できるようにします。有効なウォッチドッグ信号(WDI の立ち上がりまたは立ち下がりエッジ信号)が受信されるまで、RESETパルスは継続します。リセットがアサートされると、内部ウォッチドッグ・タイマがクリアされます。標準 WDI と RESET のタイミング図を図 13 に示します。

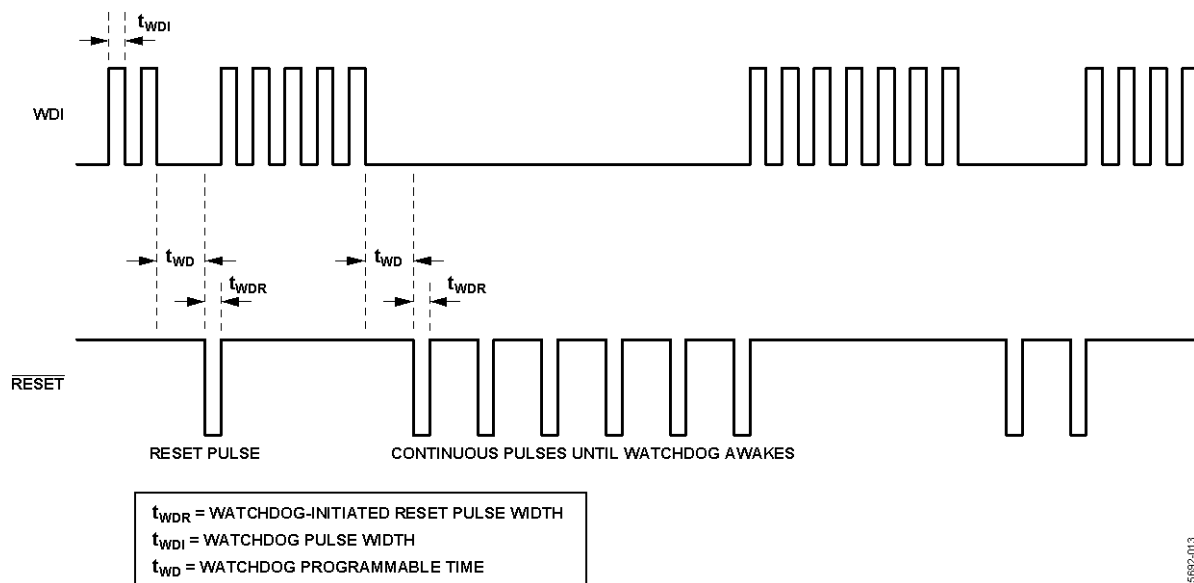


図 13. 標準ウォッチドッグ—ウォッチドッグ解除までリセット・パルスを出力

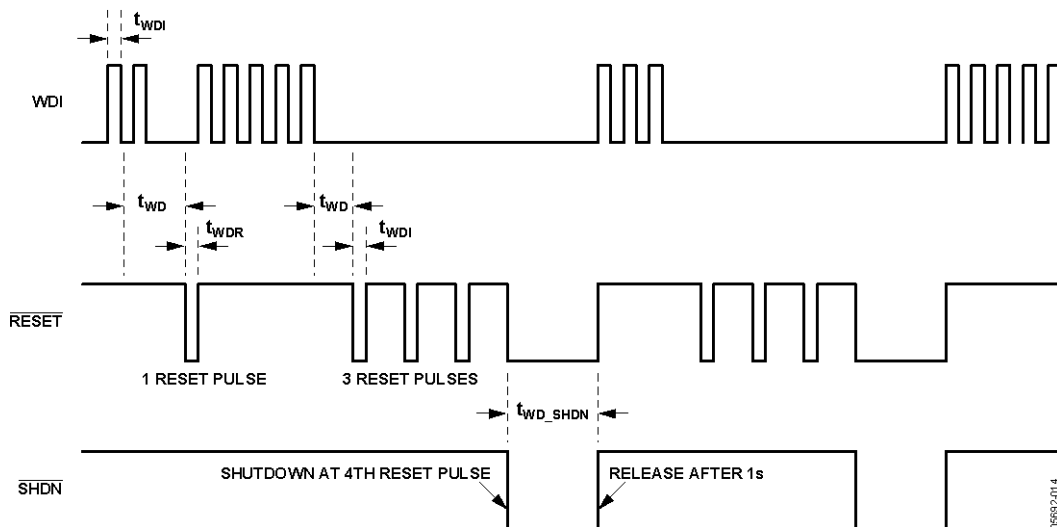


図 14. 高度ウォッチドッグ—ウォッチドッグのリセットを 3 回行った後に \overline{SHDN} をアサート (\overline{SHDN} を 1 sec に解除してサイクルを繰り返します)

WDI 入力のフローティング

WDI ピンをフローティングにすると、デフォルトでウォッチドッグ機能がディスエーブルされます。ただし、フローティングされたウォッチドッグは、 $\overline{\text{RESET}}$ 設定レジスタからイネーブルすることができます。イネーブルすると、WDI をフローティングにする WDI 接続の断線または任意の異常状態により、リセットがトリガーされます。

- レジスタ $0x0D[3] = 0$: フローティング WDI 入力により $\overline{\text{RESET}}$ をアサート
- レジスタ $0x0D[3] = 1$: フローティング WDI 入力により $\overline{\text{RESET}}$ をアサートしない

$\overline{\text{RESET}}$ 設定レジスタの OTP ヒューズを切断していない場合または OTP 優先機能を選択している場合には、フローティング WDI 機能のイネーブル/ディスエーブルはダイナミックに変更することができます。

マニュアル・リセット入力

マニュアル・リセット($\overline{\text{MR}}$)は、AD5100 へのアクティブ・ロー入力で、 $V_{3\text{MON}}$ への内部プルアップ抵抗が付いています。 $\overline{\text{MR}}$ の入力信号がロー・レベルになると、 $\overline{\text{RESET}}$ がアクティブになります。 $\overline{\text{MR}}$ は CMOS ロジック信号で駆動することができます。

$\overline{\text{MR}}$ と $\overline{\text{RESET}}$ のタイミング図を図 15 に示します。 $\overline{\text{RESET}}$ は $t_{\text{MR_DELAY}}$ の経過後にアクティブになり、 $\overline{\text{MR}}$ 信号がハイ・レベルに戻った後 $t_{\text{RS_HOLD}}$ 間維持されることに注意してください。

$\overline{\text{MR}}$ は $\overline{\text{RESET}}$ の発生で、他のモニター入力より高い優先順位を持っています。

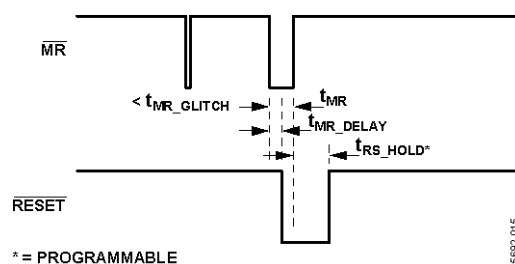


図 15. マニュアル・リセット($\overline{\text{MR}}$)のタイミング図

出力

シャットダウン出力 $\overline{\text{SHDN}}$

シャットダウン出力 $\overline{\text{SHDN}}$ は、 $V_{1\text{MON}}$ または $V_{2\text{MON}}$ の上側または下側スレッシュホールド値により、あるいはウォッチドッグ入力 of the failureにより、発生します。 $\overline{\text{SHDN}}$ は AD5100 内の所定のレジスタに対する書き込み時にも発生します。

シャットダウン・ジェネレータは、次の条件でロジック・ローの $\overline{\text{SHDN}}$ 信号を発生します。

- パワーアップ時
- $V_{1\text{MON}}$ が上側または下側スレッシュホールドを超えたとき(図 7 参照)
- レベル検出モードで、 $V_{2\text{MON}}$ が立ち上がりエッジではターンオン・スレッシュホールドを、または立ち下がりエッジではターンオフ・スレッシュホールドを下回ったとき(図 7 参照)
- 外部モニター・プロセッサが必要な WDI 信号を発行できなく、かつ高度 WDI モードが選択されているとき(図 10 と図 9 を参照)
- I^2C ®によりシャットダウンが設定されたとき

デバイスへ書き込みを行って $\overline{\text{SHDN}}$ をアクティブにするときは、先にレジスタ 0x18[4]へ書き込みを行ってこの機能をイネーブルする必要があります。

- レジスタ 0x18[4] = 0: $\overline{\text{SHDN}}$ のソフトウェア制御をイネーブル
- レジスタ 0x18[4] = 1: $\overline{\text{SHDN}}$ のソフトウェア制御をディスエーブル

この機能をイネーブルすると、 $\overline{\text{SHDN}}$ の制御はレジスタ 0x16[2]への書き込みにより実行されます。

- レジスタ 0x16[2] = 0: ソフトウェアから $\overline{\text{SHDN}}$ 出力を制御しない
- レジスタ 0x16[2] = 1: $\overline{\text{SHDN}}$ 出力をロー・レベルに設定する

$\overline{\text{SHDN}}$ 信号は、プログラマブルなホールド・タイム $t_{\text{SD_HOLD}}$ の経過後に解除されます。 $\overline{\text{SHDN}}$ 出力は、 I^2C から選択可能なレール電圧をデフォルトの $V_{1\text{MON}}$ または内部 V_{REG} として、プッシュプル構成になります。レジスタ 0x0E は、 $\overline{\text{SHDN}}$ の電圧レールを制御します。

- レジスタ 0x0E[3] = 0: $\overline{\text{SHDN}}$ に $V_{1\text{MON}}$ レールを使用
- レジスタ 0x0E[3] = 1: $\overline{\text{SHDN}}$ に V_{REG} レールを使用

図 16 に、 $\overline{\text{SHDN}}$ 出力の設定を示します。プルダウン抵抗 R_1 により、AD5100 の電源がオフのとき、 $\overline{\text{SHDN}}$ が確実にグラウンド・レベルにされます。AD5100 の電源がターンオンすると、M2a と M2b がターンオンします。M2a は M2b より低いインピーダンスを持つため、 $\overline{\text{SHDN}}$ はシャットダウン時ロー・レベルを維持します。AD5100 が安定すると、SW1 がターンオンします。M1 は M2a より強いため、 $\overline{\text{SHDN}}$ は電源レール・レベルになるので、AD5100 はシャットダウン・モードから抜け出します。

アプリケーションによっては、入力ピンとイネーブル・ピンが互いに狭い間隔で隣接している電源レギュレータを使用し、AD5100 がこのレギュレータをモニター/制御する場合があります。これが異常状態によっては信頼性の問題となることがあります。誤動作の発生を防止するため、AD5100 シャットダウン出力はスマート負荷検出機能を採用して、シャットダウンが確実に機能するようにしています。たとえば、自動車のバッテリーを長期間動作させないと、 $\overline{\text{SHDN}}$ ピンとバッテリー端子($V_{1\text{MON}}$)の間に抵抗性樹状突起が形成されることがあります。この樹状突起は直ちに溶断されます。これは、M2a が十分な電流シンク能力を持ち、このような保護機能を提供するためオン・ポジションを維持するようにデザインされているためです。別の状況では、 $\overline{\text{SHDN}}$ ピンが 12 V バッテリーに短絡した場合、短絡検出器が SW2 を開いて、高インピーダンス M2b により電流を制限します。

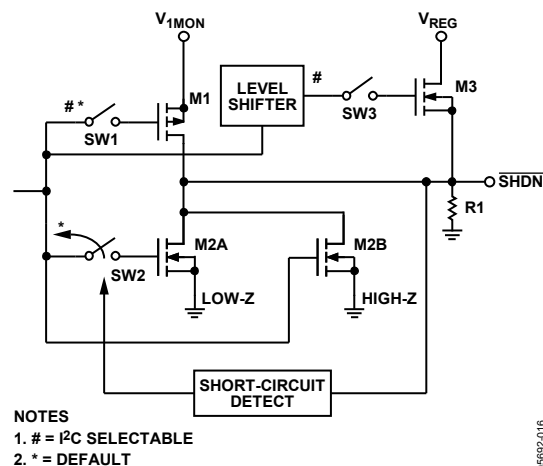


図 16. シャットダウン出力

リセット出力 $\overline{\text{RESET}}$

リセット出力 $\overline{\text{RESET}}$ は、 $V_{3\text{MON}}$ または $V_{4\text{MON}}$ の下側スレッシュホールド値によりトリガーされます。プロセッサが正常なウォッチドッグ信号を発生しない場合、MR 入力 that トリガーされた場合、または $\overline{\text{SHDN}}$ がトリガーされた場合にも、 $\overline{\text{RESET}}$ が発生します。

リセット・ジェネレータは、次の条件で $\overline{\text{RESET}}$ 信号を発生します。

- パワーアップ時
- $V_{3\text{MON}}$ がスレッシュホールドを下回ったとき(図 10 参照)
- $V_{4\text{MON}}$ がスレッシュホールドを下回ったとき(図 12 参照)
- $\overline{\text{SHDN}}$ 出力がアサートされたとき(図 7 と図 14 参照)。 $\overline{\text{RESET}}$ が $\overline{\text{SHDN}}$ 出力からトリガーされた場合、 $\overline{\text{SHDN}}$ ホールドと遅延のタイミングに従います。
- 外部モニター・プロセッサが必要な WDI 信号を発行できないとき(図 13 と図 14 を参照)
- MR がアサートされたとき(図 15 参照)

$\overline{\text{RESET}}$ はデフォルトでアクティブ・ローになっていますが、アクティブ・ハイ動作に設定することができます。レジスタ 0x0D[1]が $\overline{\text{RESET}}$ のアクティブ・ハイ/ローを制御します。

- レジスタ 0x0D[1] = 0: $\overline{\text{RESET}}$ をアクティブ・ローに設定
- レジスタ 0x0D[1] = 1: $\overline{\text{RESET}}$ をアクティブ・ハイに設定

$\overline{\text{RESET}}$ 信号は、WDI からトリガーされた場合(ウォッチドッグ入力のセクション参照)を除き、アサートされたままになります。 $\overline{\text{RESET}}$ 信号は、プログラマブルなホールド・タイム $t_{\text{RS_HOLD}}$ の経過後に解除されます。

図 17 に示すように、 $\overline{\text{RESET}}$ 出力はレール電圧 $V_{3\text{MON}}$ を使ったプッシュプル構成になっています。

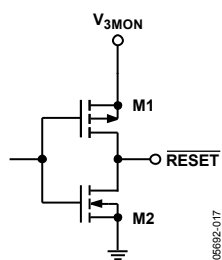


図 17.リセット出力

シャットダウン警告SHDNWARN

早期シャットダウン警告をシステム・プロセッサに提供し、故障原因を特定して、外部デバイスをシャットダウンする前に対策をとれるようにします。V_{1MON} の電圧が過電圧または低電圧として検出された場合、あるいは V_{2MON} の電圧がスレッシュホールドを下回った場合、SHDNWARNはロジック 0 を出力します。プロセッサがこのピンでロー・レベルを検出すると、プロセッサは I²C 読み出しコマンドを発行して、アドレス 0x19 の故障検出/ステータス・レジスタに

報告される故障原因を調べることができます。プロセッサはその情報を故障履歴として外部 EEPROM に保存することができます。

V_{4OUT} 出力

V_{4OUT} はオープン・ドレイン出力であり、最小伝搬遅延 t_{V4OUT_DELAY} で V_{4MON} からトリガーされます。V_{4OUT} は、外部デバイスに対する PWM 制御またはモニター信号として使うことができます。

V_{4OUT} を使用する大部分のアプリケーションでは、V_{4MON} からトリガーされるリセット機能をディスエーブルすることが必要です。この機能は、レジスタ 0x0D[2]への書き込みによりディスエーブルされます。

- レジスタ 0x0D[2] = 0: RESETを発生する V_{4MON} 下側スレッシュホールドをイネーブル
- レジスタ 0x0D[2] = 1: V_{4MON} 下側スレッシュホールドによる RESETの発生を防止

電源条件

内蔵電源 V_{REG}

AD5100 の内蔵電源 V_{REG} は V_{1MON} から発生され、 V_{2MON} が 2.2 V に到達すると、アクティブになります。 V_{2MON} は AD5100 のターンオン/ターンオフに使用され、 V_{2MON} モニター・モードの選択に応じて異なる動作をします。

デフォルトでは、 V_{2MON} 電圧がロジック・スレッシュホールド V_{2MON_ON} を超えたときに AD5100 がターンオンします。 V_{2MON} がロジック・スレッシュホールド V_{2MON_OFF} を下回ると、 \overline{SHDN} が解除された 2 sec 後に AD5100 がターンオフします。AD5100 のスタートアップには 5 μ s 必要なため、 V_{1MON} は V_{2MON} の前に入力する必要があります。AD5100 のターンオフ時間を延ばすと、システムがシステムがパワーオフする前にハウスキーピング・タスクを完了できるようになります。図 19 に、デフォルトの V_{2MON} 波形と V_{REG} 波形を示します。

立ち上がりエッジ・トリガーのウェイクアップ・モード

代わりに、立ち上がりエッジ・トリガーのウェイクアップ V_{2MON} モードを選択すると、 V_{2MON} がロー・レベルに戻っても AD5100 はターンオフしません。デバイスを立ち上がりエッジ・トリガー・モードに設定するときは、 V_{2MON} オフ・スレッシュホールド・レジスタ(レジスタ 0x04[3:1])へ 1001 を設定します。

このモードでデバイスがパワーオンすると、 I^2C パワーダウン命令よるか、または V_{1MON} ピンから電源を切り離す以外に、パワーダウンできなくなります。立ち上がりエッジ・トリガー・モードで I^2C バスを介してデバイスをパワーダウンさせるときは、ソフトウェア・パワーダウン機能がイネーブルされていることを先に確認する必要があります。

- レジスタ 0x18[3] = 0: ソフトウェア・パワーダウン機能をイネーブル
- レジスタ 0x18[3] = 1: ソフトウェア・パワーダウン機能をディスエーブル

その後、レジスタ 0x17[0]へ書き込みを行って、AD5100 を実際にパワーダウンさせる必要があります。

- レジスタ 0x17[0] = 0: AD5100 をソフトウェア・パワーダウンさせない
- レジスタ 0x17[0] = 1: AD5100 をパワーダウンさせる

この機能は、ウェイクアップ信号を使うアプリケーションを対象としています。

V_{OTP}

5.5 V 電源電圧は、OTP ヒューズ・プログラミング時のみ必要です。この電圧は出荷時プログラミングで外部電源から供給し、5.5 V/100 mA の駆動能力が必要です。OTP プログラミングには、各レジスタあたり最大 12 ms を要します。 V_{OTP} はノーマル動作で必要ありません。 V_{OTP} は共用ピンで、不揮発性メモリ・ヒューズ・アレイのプログラミングまたは内蔵電源安定性の補償回路として使われます。このため、常時バイパス・コンデンサを V_{OTP} ピンに接続しておく必要があります。低 ESR の 10 μ F タンタル・コンデンサの使用が推奨されます。

AD5100 では、内部ヒューズを溶断することにより OTP 機能を実現しています。最初にヒューズ・プログラミングを行うときは、必ず 5.5 V のワнтаイム・プログラマブル電圧を供給する必要があります。この条件に違反すると、ヒューズ構成が変わるので、プログラミング不能になります。

PCB レイアウトが不適切な場合、寄生インダクタンスが発生してヒューズ・プログラミング電圧に悪影響を与えることがあります。このため、10 μ F のタンタル・コンデンサをできるだけ V_{OTP} ピンの近くに接続する必要があります。C2 の値とタイプは重要です。高速応答、大きな電流処理能力、プログラミング時に最小の電圧低下を持つ必要があります(図 18 参照)。

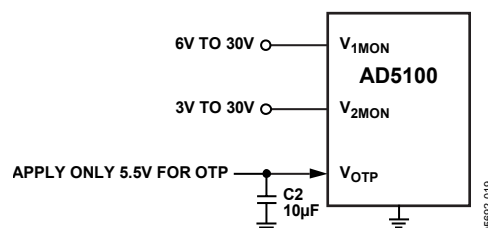


図 18. 電源条件

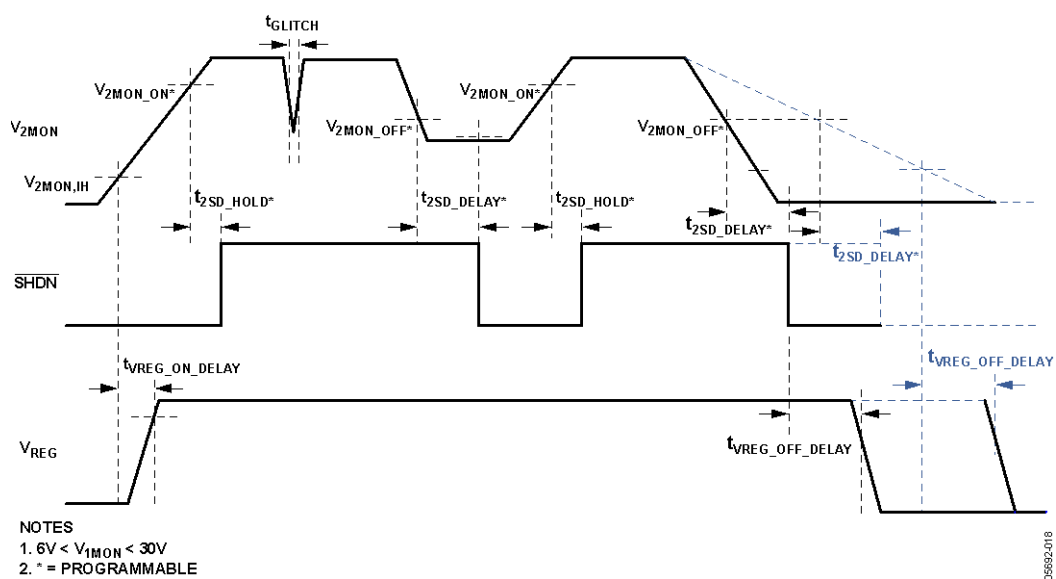


図 19.内蔵電源 V_{REG} と V_{2MON} のタイミング図(デフォルト)

保護機能

車載アプリケーションの場合、信頼度の高い動作のために AD5100 に適切な外部保護機能が必要です。V_{1MON} はバッテリー・モニター機能に、V_{2MON} はイグニッション・スイッチまたは他のクリティカル入力に、それぞれ使用されるものと考えられます。このため、これらの入力には、EMI、負荷ダンプ、ESD 保護などの追加保護が必要です。さらに、バッテリー入力には、逆極性バッテリー保護と短絡ヒューズ保護が必要です(図 20 参照)。

過電流保護

V_{1MON} が AD5100 内部で GND に短絡されると、短絡保護が機能して、ノーマル動作では 150 mA に、V_{OTP} の実行中は 50 mA に、それぞれ電流を制限します。

サーマル・シャットダウン

AD5100 のジャンクション温度がジャンクション温度限界値に近づくと、自動的にシャットダウンして V_{1MON} の電源を切断します。デバイスのジャンクション温度が通常に戻ると、デバイスは動作を再開します。

ESD 保護

±8 kV の接触定格と±15 kV の非接触または空隙定格の ESD 保護は車載電子機器で一般的に採用されています。このため、40 W のデュアル・トランジェント・サプレッサ(TVS)である MMBZ27VCL のような ESD 定格の保護デバイスを V_{1MON} と V_{2MON} に使用する必要があります。

負荷ダンプ保護

負荷ダンプとは大きな過電圧サージを意味し、自動車バッテリーを回転中の発電機から切り離すと発生し、長い継続時間の高電圧サージが電源ラインに誘導されます。このため、外部負荷ダンプ保護機能の使用が推奨されます。一般に、負荷ダンプ過電圧は数百 msec 間継続し、ピークは約 40 V~70 V で、電流は 1 A にもなります。このため、SMCJ17 のような負荷ダンプ定格 TVS の D1 と D2 を使ってサージ・エネルギーを処理する必要があります。直列抵抗で電流を制限します。大きな電圧降下なしに電流を制限するのに十分で、かつ入力モニター精度に影響を与えない程に小さい必要があります。

逆極性バッテリー保護

逆極性バッテリー保護機能は、バッテリー・モニター精度に問題なければ、通常のダイオードで実現することができます。そうでない場合は、NDT2955 のような 60 V の P チャンネル・パワー MOSFET を使用することができます。MOSFET には内部ダイオードがあるため、電圧がソース端子に届くと直ちに P1 ボディダイオードを通してバッテリー電流が流れます。電圧分圧器が適切なゲートソース間電圧を供給して P1 がターンオンし、FET の電圧降下は無視できます。抵抗分圧器の値は、P1 の最大 V_{GS} を満たし、かつバッテリー電流が数 μ A になるように選択します。

EMI 保護

EMI 保護には、フェライト・ビードまたは DR331-7-103 のような EMC 定格のインダクタを使用することができます。

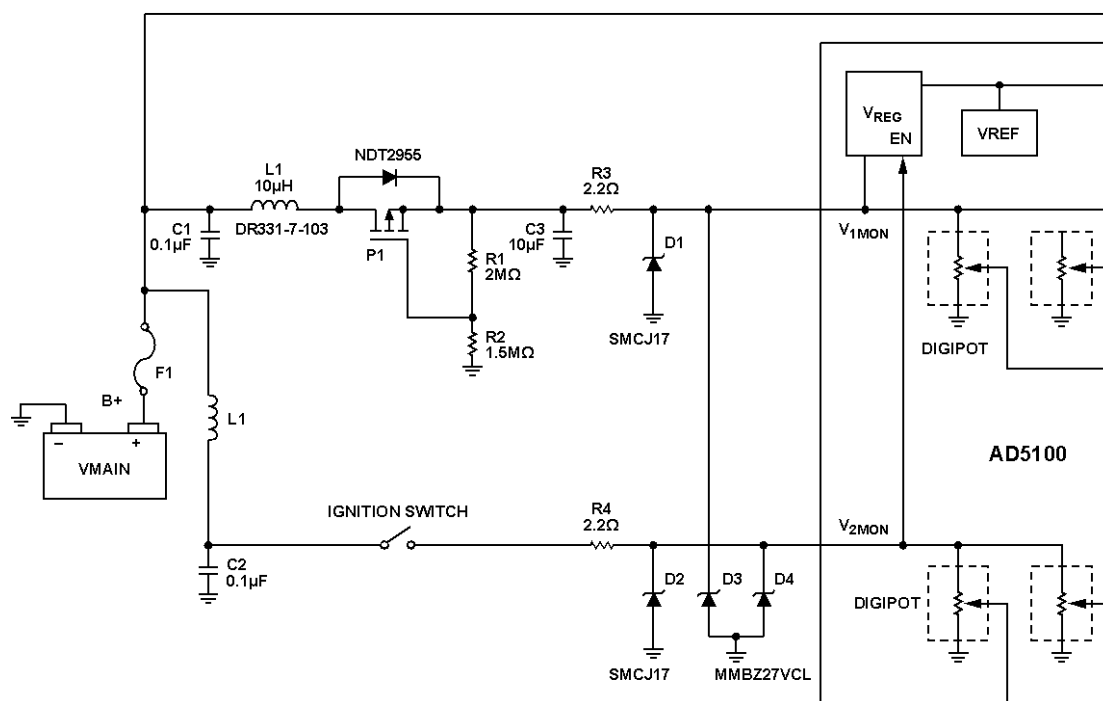


図 20.保護回路

AD5100のレジスタ・マップ

表 11 に、AD5100 のレジスタ・マップを示します。このレジスタ・マップは、AD5100 内のすべてのパラメータと機能の設定と制御に使用され、レジスタが、書き込み可能、読み出し可能、固定設定可能であるか否かを表示しています。すべてのレジスタは、読み出し動作と書き込み動作で同じアドレスを使用します。

AD5100 は、最後の列に示すデフォルトのパワーアップ値を設定して出荷されます。ユーザーは、種々のスレッシュホールド・レジスタ、遅延レジスタ、設定レジスタで異なる設定を試すことができます。評価が終了したら、ユーザー固有のパワーアップ・デフォルト値をランタイム・プログラム(OTP)機能を使って書き込むことができます。すべての設定を書き込んだ後(または出荷時設定のデフォルト値が使用可能の場合)、ロックアウト・ビットを書き込んで(OTP 使用)、追加設定/誤設定の書き込みを防止することができます。ロックアウト・ビットはレジスタ 0x15[3]にあります。

ユーザーによっては、デフォルト値を設定した後、これらの値をアプリケーションの寿命中変更しない AD5100 の使い方を行う場合がありますが、即座に変更する柔軟性、すなわちデフォルト値以外の値に設定を変更する機能が必要とするユーザーもいます。AD5100 の追加機能として、OTP を使って行った設定を一時的に上書きして、ユーザーが現場でダイナミックに書き込みできる機能があります。上書きされたすべての値は、AD5100 のパワーオンを再実行すると、OTP で設定した値に戻されます。

レジスタの書き込み、読み出し、OTP、上書きは、I²C シリアル・インターフェースのセクションで説明します。

表 11. AD5100 のレジスタ・マップ

Register Address	Read/Write	Permanently Settable	Register Name and Bit Description		Pre-OTP Power-On Default ¹
0x01	R/W	Yes	V _{1MON} overvoltage threshold		0x00 (18.00 V)
			Bit No.	Description	
			[3:0]	Four bits used to program V _{1MON} OV threshold	
			[7:4]	Reserved	
0x02	R/W	Yes	V _{1MON} undervoltage threshold		0x00 (8.43 V)
			Bit No.	Description	
			[3:0]	Four bits used to program V _{1MON} UV threshold	
			[7:4]	Reserved	
0x03	R/W	Yes	V _{2MON} turn-on threshold		0x00 (7.47 V)
			Bit No.	Description	
			[3:0]	Four bits used to program V _{2MON} on threshold	
			[7:4]	Reserved	
0x04	R/W	Yes	V _{2MON} turn-off threshold		0x00 (6.95 V)
			Bit No.	Description	
			[3:0]	Four bits used to program V _{2MON} off threshold	
			[7:4]	Reserved	
0x05	R/W	Yes	V _{3MON} RESET Threshold		0x00 (2.93 V)
			Bit No.	Description	
			[2:0]	Three bits used to program V _{3MON} RESET threshold	
			[7:3]	Reserved	
0x06	R/W	Yes	V _{4MON} RESET threshold		0x00 (7.54 V)
			Bit No.	Description	
			[2:0]	Three bits used to program V _{4MON} RESET threshold	
			[7:3]	Reserved	
0x07	R/W	Yes	V _{1MON} OV/UV triggered SHDN hold (t _{1SD_HOLD})		0x00 (200 ms)
			Bit No.	Description	
			[2:0]	Three bits used to program V _{1MON} OV/UV triggered SHDN hold time	
			[7:3]	Reserved	
0x08	R/W	Yes	V _{1MON} OV/UV triggered SHDN delay (t _{1SD_DELAY})		0x00 (1200 ms)
			Bit No.	Description	
			[2:0]	Three bits used to program V _{1MON} OV/UV triggered SHDN delay time	
			[7:3]	Reserved	
0x09	R/W	Yes	V _{2MON} turn-on triggered SHDN hold (t _{2SD_HOLD})		0x00 (10 ms)
			Bit No.	Description	
			[2:0]	Three bits used to program V _{2MON} t _{ON} triggered SHDN hold time	
			[7:3]	Reserved	

Register Address	Read/Write	Permanently Settable	Register Name and Bit Description	Pre-OTP Power-On Default ¹	
0x0A	R/W	Yes	V _{2MON} turn-off triggered $\overline{\text{SHDN}}$ delay (t_{2SD_DELAY})	0x00 (100 ms)	
			Bit No.		Description
			[2:0]		Three bits used to program V _{2MON} t _{OFF} triggered $\overline{\text{SHDN}}$ delay time
			[7:3]	Reserved	
0x0B	R/W	Yes	RESET hold (t_{RS_HOLD})	0x00 (200 ms)	
			Bit No.		Description
			[2:0]		Three bits used to program RESET hold time
			[7:3]	Reserved	
0x0C	R/W	Yes	Watchdog timeout (t_{WD})	0x00 (1500 ms)	
			Bit No.		Description
			[2:0]		Three bits used to program watchdog timeout time
			[7:3]	Reserved	
0x0D	R/W	Yes	RESET configuration	0x00	
			Bit No.		Description
			[0]		0: $\overline{\text{RESET}}$ is active when $\overline{\text{SHDN}}$ is active 1: $\overline{\text{RESET}}$ is not active when $\overline{\text{SHDN}}$ is active
			[1]		0: $\overline{\text{RESET}}$ active low 1: $\overline{\text{RESET}}$ active high
			[2]		0: enables V _{4MON} under threshold, causing $\overline{\text{RESET}}$ 1: prevents V _{4MON} under threshold from causing $\overline{\text{RESET}}$ (for V _{4OUT} applications)
[3]	0: floating WDI does not activate $\overline{\text{RESET}}$ 1: floating WDI activates $\overline{\text{RESET}}$				
			[7:4]	Reserved	
0x0E	R/W	Yes	SHDN rail voltage configuration	0x00	
			Bit No.		Description
			[2:0]		Reserved
			[3]		0: $\overline{\text{SHDN}}$ rail = V _{1MON} 1: $\overline{\text{SHDN}}$ rail = V _{REG}
			[7:4]	Reserved	
0x0F	R/W	Yes	Watchdog mode	0x00	
			Bit No.		Description
			[2:0]		Reserved
			[3]		0: standard mode 1: advanced mode
			[7:4]	Reserved	
0x15	R/W	Yes	Program lock (inhibit further programming)	0x00	
			Bit No.		Description
			[2:0]		Reserved
			[3]		0: further fuse programming allowed 1: further fuse programming disabled (note that this bit is OTP only)
			[7:4]	Reserved	
0x16	R/W	No	Special function 1	0x00	
			Bit No.		Description
			[0]		0: OTP enables 5 μA fuse readback sense current 1: OTP enables 0.55 μA fuse readback sense current
			[1]		0: OTP disables blowing fuses 1: OTP enables blowing fuses
			[2]		0: software assertion of $\overline{\text{SHDN}}$ pin is inactive 1: pulls $\overline{\text{SHDN}}$ pin low
[3]	0: override of permanent settings inactive 1: override of permanent settings active				
			[7:4]	Reserved	
0x17	R/W	No	Special function 2	0x00	

Register Address	Read/Write	Permanently Settable	Register Name and Bit Description		Pre-OTP Power-On Default ¹
			Bit No.	Description	
			[0]	0: software power-down of AD5100 inactive 1: software power-down of AD5100 active ²	
			[7:1]	Reserved	
0x18	R/W	No	Disable special functions ³		0x00
			[0]	0: allows override of any of the registers in memory except Register 0x16 Bit[2:0] and Register 0x17 Bit[0] 1: disables override of any of the registers in memory except Register 0x16 Bit[2:0] and Register 0x17 Bit[0]	
			[1]	0: allows OTP function 1: disables OTP function	
			[2]	Reserved	
			[3]	0: allows software power-down function 1: disables software power-down function	
			[4]	0: allows software assertion of SHDN pin 1: disables software assertion of SHDN pin	
			[7:5]	Reserved	
0x19	Read-only	No	Fault detect and status (Bits[3:0] are level triggered bits that indicate the current state of the comparators monitoring the V _{1MON} and V _{2MON} input pins; Bits[6:4] are edge triggered fault detection bits that indicate what error conditions were present when a SHDN event occurred)		0x40
			[0]	1 = V _{2MON} input < V _{2MON} off threshold	
			[1]	1 = V _{2MON} input > V _{2MON} on threshold	
			[2]	1 = V _{1MON} input < V _{1MON} UV threshold	
			[3]	1 = V _{1MON} input > V _{1MON} OV threshold	
			[6:4]	000: none 001: V _{1MON} UV only 010: V _{1MON} OV only 011: never occurred 100: V _{2MON} below off only (default) 101: V _{1MON} UV and V _{2MON} below off both occurred 110: V _{1MON} OV and V _{2MON} below off both occurred 111: never occurred	
			[7]	Reserved	

¹ AD5100 の出荷時デフォルト設定。

² ソフトウェア・パワーダウンでは、V_{2MON} = 0 V である必要があります (すなわち、V_{2MON} はエッジ検出モードに設定する必要があります)。

³ これらのビットはセット専用です。これらをクリアするときは、AD5100 の電源をオン/オフする必要があります。場合によっては、ADV3000 を頻繁に動作する I²C バスに接続することができます。これらのビットのセット機能は、バスの誤動作により AD5100 のスペシャル・ファンクションが起動されないようにするもう 1 つの方法です。

I²C シリアル・インターフェース

AD5100 の制御は、I²C 互換シリアル・バスを經由して行います。AD5100 はマスター・デバイスの制御の下で、このバスにスレーブ・デバイスとして接続されます(AD5100 にはマスターの機能がありません)。

2 線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターは、SCL がハイ・レベルのときに、SDA をハイ・レベルからロー・レベルにしてスタート条件を発生してデータ転送を開始させます。次のバイトはスレーブ・アドレス・バイトで、7 ビットのスレーブ・アドレス、それに続く R/W ビットから構成されます。R/W ビットは、スレーブ・デバイスに対するデータの読み出し/書き込みを指定します。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データ・ビットの読み出しまたは書き込みが終わると、マスターによりストップ条件が設定されます。ストップ条件は、SCL のハイ・レベル中に SDA ラインがロー・レベルからハイ・レベルへ変化することとして定義されます。書き込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態をアサートします。読み出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

AD5100 に対し、書き込み動作では 1 バイトまたは 2 バイトが、読み出し動作では 1 バイトのみが、それぞれ転送可能です。AD5100 では、アドレス・ポインタ・レジスタを使用しています。このアドレス・ポインタ・レジスタは、他のレジスタの内から 1 つを指定し、書き込み動作での 2 番目のバイトとして使い、あるいは後続の読み出し動作で使います。ビット[6:0]は、読み書きの対象となるレジスタのアドレスを指定します。ビット 7 は OTP モードで使用され(このビットの使用についてはワンタイム・プログラマブル(OTP)オプションのセクションで説明)、通常の書き込み/読み出し動作では 0 である必要があります。

表 12. アドレス・ポインタ・レジスタの構成

Bit Number	Function
7	OTP enable
6	Address Bit 6
5	Address Bit 5
4	Address Bit 4
3	Address Bit 3
2	Address Bit 2
1	Address Bit 1
0	Address Bit 0 (LSB)

SCL

シリアル入力レジスタ・クロック・ピンは、立ち上がりクロック・エッジで 1 ビット・シフトさせます。2.2 k Ω ~ 10 k Ω の外付けプルアップ抵抗が必要です。このプルアップ抵抗は V_{3MON} に接続する必要があります。ただし、V_{3MON} は 5 V より低い必要があります。

SDA

シリアル・データ入力/出力ピンは、立ち上がりクロック・エッジで 1 ビットを MSB ファーストでシフト入力します。2.2 k Ω ~ 10 k Ω の外付けプルアップ抵抗が必要です。このプルアップ抵抗は V_{3MON} に接続する必要があります。ただし、V_{3MON} は 5 V より低い必要があります。

AD0

AD5100 は 7 ビットのスレーブ・アドレスを持っています。上位 6 ビットは 010111 で、下位ビットは AD0 ピンの状態で指定されます。I²C スレーブ・アドレス・ピン AD0 がロー・レベルの場合、7 ビットの AD5100 スレーブ・アドレスは 0101110 になります。AD0 がハイ・レベルの場合、7 ビットの AD5100 スレーブ・アドレスは 0101111 になります(3.3 V 最大プルアップ)。

AD0 ピンを使うと、2 個の AD5100 デバイスを同じ I²C バスに接続することができます。表 13 と図 21 に、同じシリアル・バス上で独立に動作する 2 個の AD5100 デバイスの例を示します。

表 13. スレーブ・アドレスのデコーディング

AD0 Programming Bit	AD0 Device Pin	Device Addressed
0	0 V	0x2E (U1)
1	3.3 V max	0x2F (U2)

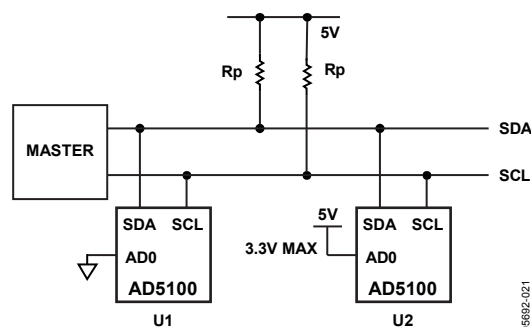


図 21. 同じバス上で動作する 2 個の AD5100 デバイス

AD5100 へのデータの書き込み

AD5100 へデータを書き込むときは、アドレス・バイトを書き込み、続いて 0 に設定した R/W ビットを書き込みます。AD5100 は、9 番目のクロック・パルスで SDA ラインをロー・レベルにしてアクノリッジします(アドレス・バイトが正しい場合)。さらに続いて 2 バイトのデータを書き込みます。先頭のデータ・バイトは、アドレス・ポインタ・レジスタに格納されている書き込みの対象となる内部データ・レジスタのアドレスになっています。2 番目のデータ・バイトは、内部データ・レジスタに書き込まれるデータです。各バイトの後、9 番目のクロック・パルス区間中に、AD5100 は SDA ラインをロー・レベルにプルダウンして応答します。図 22 にこの動作を示します。

AD5100 からのデータの読み出し

AD5100 レジスタからデータを読み出すときは、次の 2 つのケースがあります。

- AD5100 のアドレス・ポインタ・レジスタ値が未知の場合または正しくない場合は、まず、該当する値を設定し、その後でデータ・レジスタに対するデータの読み書きを行う必要があります。この動作は AD5100 に対する書き込み動作で実行されますが、この場合はデータをレジスタに書き込まないため、レジスタの読み出しアドレスを含むデータ・バイトのみが出力されます。この動作を図 23 に示します。その後で、シリアル・バス・アドレス、1 に設定された R/W ビット、それに続いてデータ・レジスタから読み出されたデータ・バイトのシーケンスで、読み出し動作が実行されます。この動作を図 24 に示します。

- アドレス・ポインタ・レジスタ値が既知アドレスである場合は、アドレス・ポインタ・レジスタに書き込みを行うことなく、データに対応するデータ・レジスタから読み出すことができます。

表 14 に、読み出しされるデータ・バイト構成を示します。ビット [6:0] には、読み出されたレジスタのデータが格納されます。ビット 7 は OTP モードでのみ使用され、通常の読み出し動作では無視する必要があります。大部分の AD5100 レジスタは 4 ビット幅ですが、故障検出/ステータス・レジスタとディスエーブル・スペシャル・ファンクション・レジスタは、それぞれ 7 ビット幅と 5 ビット幅です。

表 14. リードバック・データ・バイト構成

Bit Number	Function
7	OTP Okay
6	D6
5	D5
4	D4
3	D3
2	D2
1	D1
0	D0 (LSB)

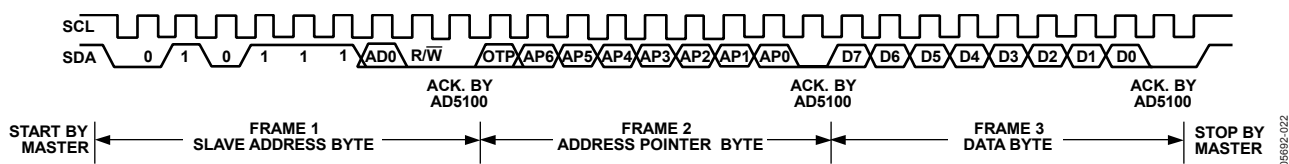


図 22. アドレス・ポインタ・レジスタに対するレジスタ・アドレスの書き込み、およびその後の選択したレジスタに対するデータの書き込み

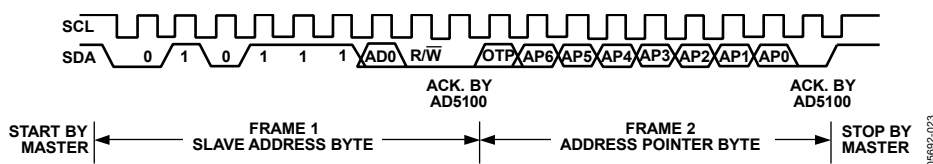


図 23. 正しいアドレス・ポインタ設定のためのダミー書き込み

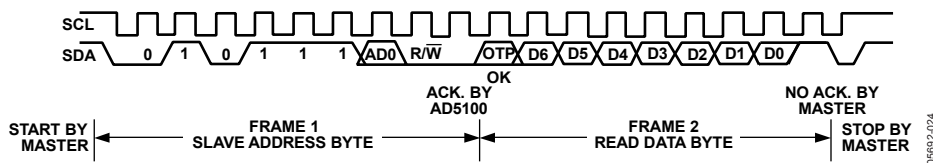


図 24. アドレス・ポインタ・レジスタからのデータ読み出し

アプリケーション情報

自動車バッテリーとインフォテイメント・システム電源のモニター

AD5100 には、外部デバイスに対するシャットダウン制御とリセット制御が付いた 2 つの高電圧モニター入力があります。たとえば、 V_{1MON} と V_{2MON} は、それぞれ自動車のバッテリーとイグニッション・キーからの信号のモニターに使うことができます(図 26 参照)。シャッ

トダウン出力は外部レギュレータのシャットダウン・ピンに接続して、バッテリーの充電不足または過充電のような異常状態を防止することができます。リセット出力は、ハードウェアまたはソフトウェアの故障時にプロセッサをリセットするために使用することができます。この回路の入力と出力の応答例を図 27 に示します。

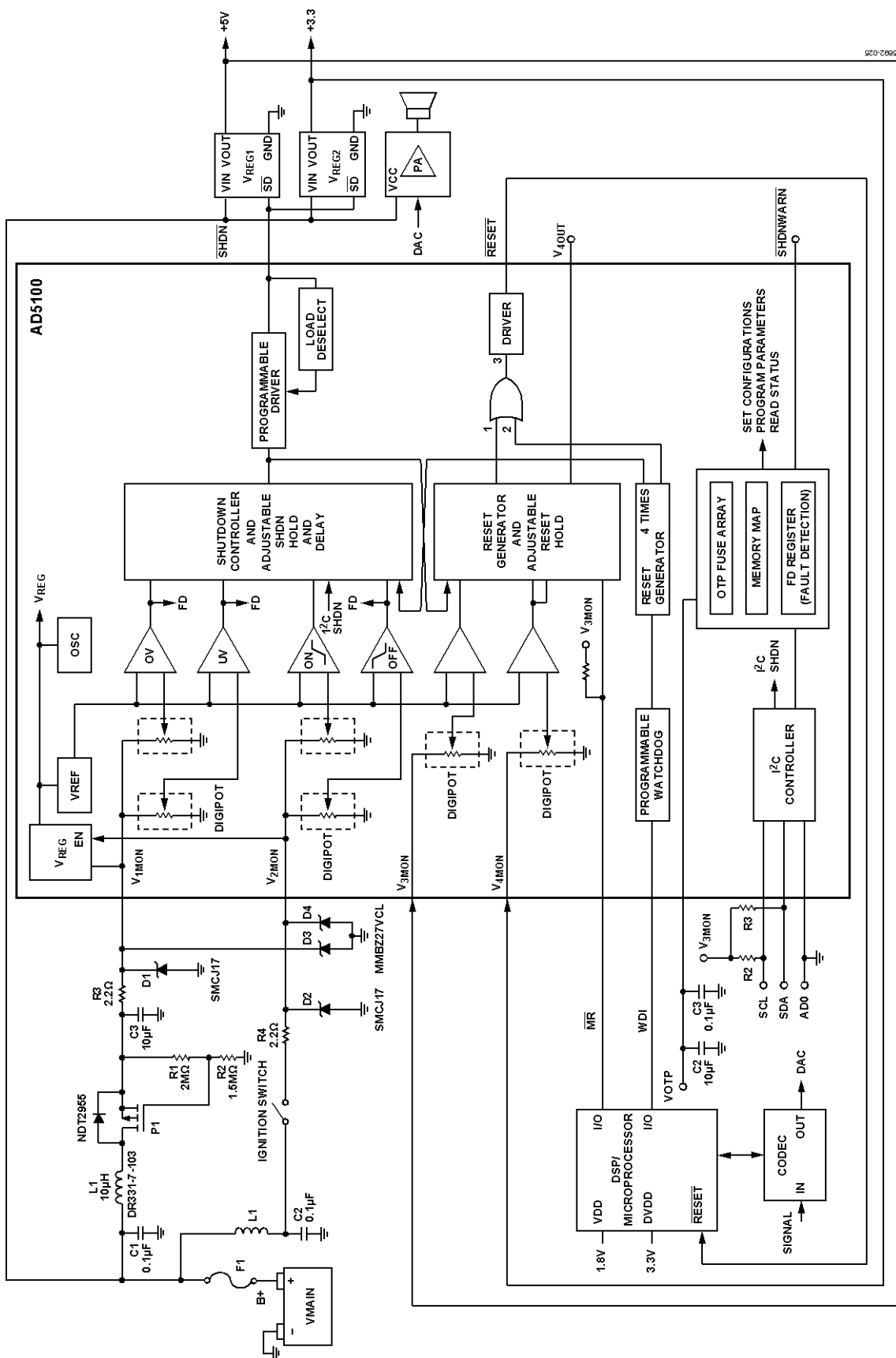


図 26.自動車インフォテイメント・アプリケーションでの DSP

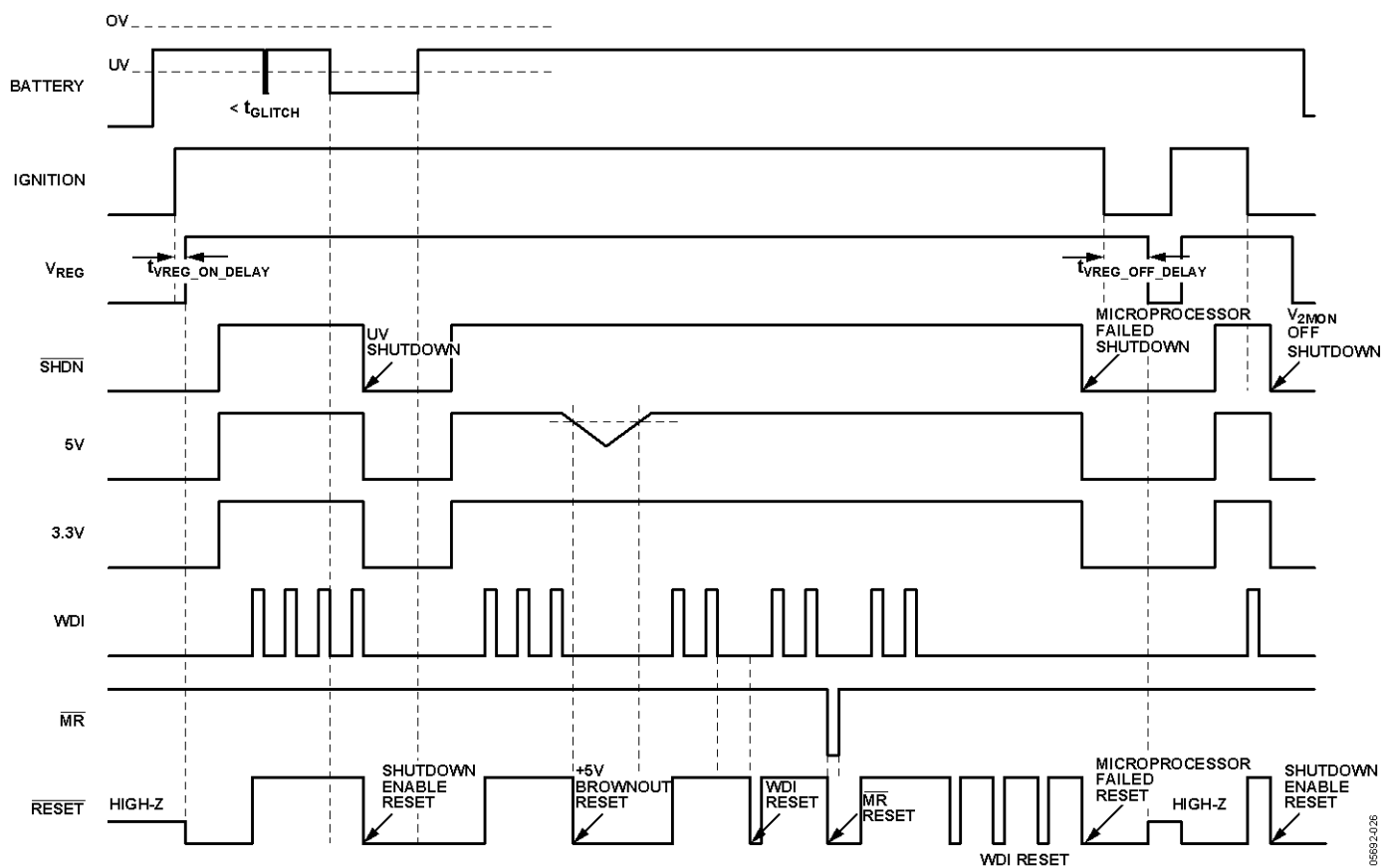


図 27. 図 26 の回路でのSHDN とRESETの応答例

05692-036

ファン制御付きのバッテリー・モニター機能

V_{4MON} と V_{4OUT} を直列に接続して、シンプルな PWM 制御回路を構成することができます。たとえば、図 28 に示すように、温度センサー出力を V_{4MON} 入力に接続し、適切なスレッシュホールド・レベルを設定すると、温度がスレッシュホールドを超えたとき V_{4OUT} 出力はハイ・レベルを出力します。これにより FET スイッチをターンオンさせ、ファンを起動させます。 V_{TEMP} がスレッシュホールドを下回ると、 V_{4OUT} が低下して、ファンをターンオフさせます。

バッテリー充電状態の表示とシャットダウン早期警告モニター

車載アプリケーションでは、バッテリー・スレッシュホールドを最低レベルに設定してワーストケース条件での自動車の始動を可能にすることがあります。バッテリーが低電圧レベルに留まる場合、バッテリーは弱くなりますが、ドライバに警告する方法はありません。このため、 V_{4OUT} をバッテリー警告インジケータとして使用することができます。 V_{4MON} でモニターされるバッテリー電圧を分圧することにより、LED を点灯させて、バッテリー交換警告を表示させます。この回路を図 30 に示します。

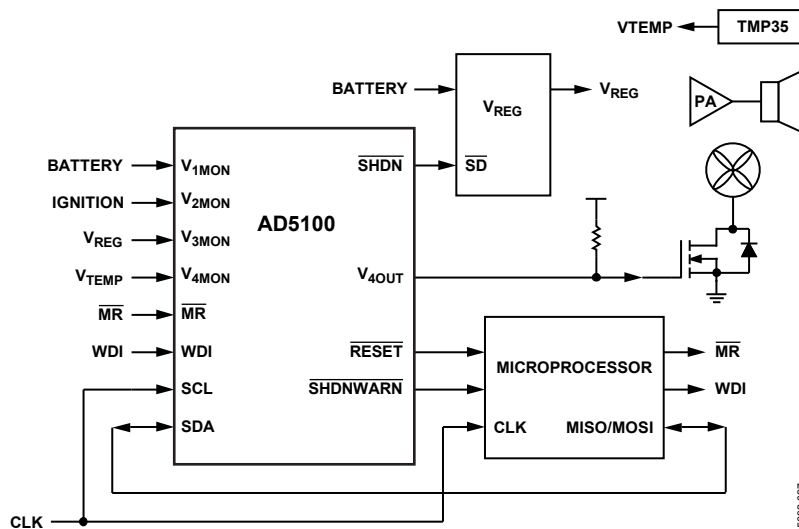
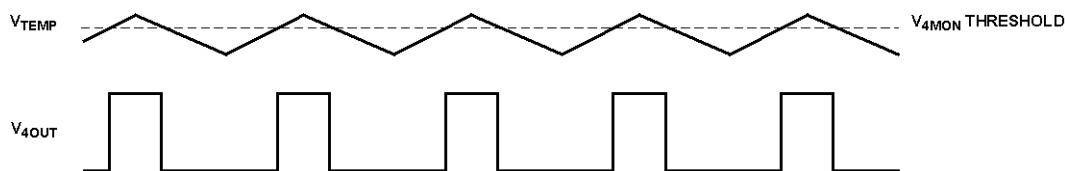


図 28. パワーアンプのモニターとファン制御



NOTES
1. V_{4MON} RESET DISABLED.

図 29. 図 28 の回路で、 V_{TEMP} 対 V_{4OUT} 、 V_{4MON} \overline{RESET} をディスエーブル

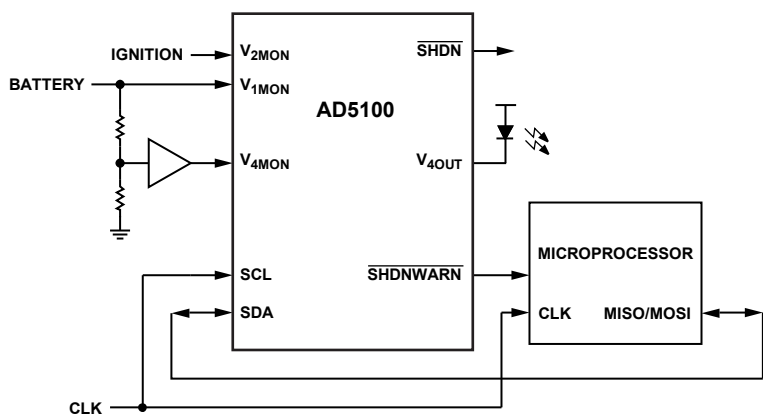


図 30. バッテリー充電状態の表示

立ち上がりエッジ・トリガーのウェイクアップ・モード

図 31 に示すように、マイクロプロセッサは立ち上がりエッジ・トリガーのウェイクアップ信号を使って自分自身のパワーダウン・シーケンスを制御することができます。オペレータがレジスタ $0x04[3:1] = 1001$ を設定して、 V_{2MON} ターンオフ・スレッシュホールド値の立ち上がりエッジ・トリガーのウェイクアップ・モード設定を選択する必要があります(表 6 参照)。

V_{2MON} により立ち上がりエッジ・ウェイクアップ信号が検出されると、AD5100 は \overline{SHDN} ピンをハイ・レベルに駆動してパワーアップします。外部レギュレータがターンオンしてマイクロプロセッサへ電

源を供給します。ウォッチドッグ動作がない場合には、リセット出力にリセット・パルス列が発生されます。正常なウォッチドッグ信号が AD5100 WDI ピンに現れるまでこのパルスが続きます。シャットダウン・ピンは、AD5100 が正常なウォッチドッグ信号を受信し続けるかぎり、ハイ・レベルを維持します。

マイクロプロセッサがハウスキーピング・タスクを完了するか、またはソフトウェア・ルーチンをパワーダウンさせると、ウォッチドッグ信号の送信を停止します。これに反応して、AD5100 はリセットを発生します。シャットダウン・ピンは 2 sec 後にロー・レベルになり、レギュレータ出力が 0 V に低下し、これによりマイクロプロセッサがシャットダウンします。この時点で、AD5100 はスリープ・モードになります。

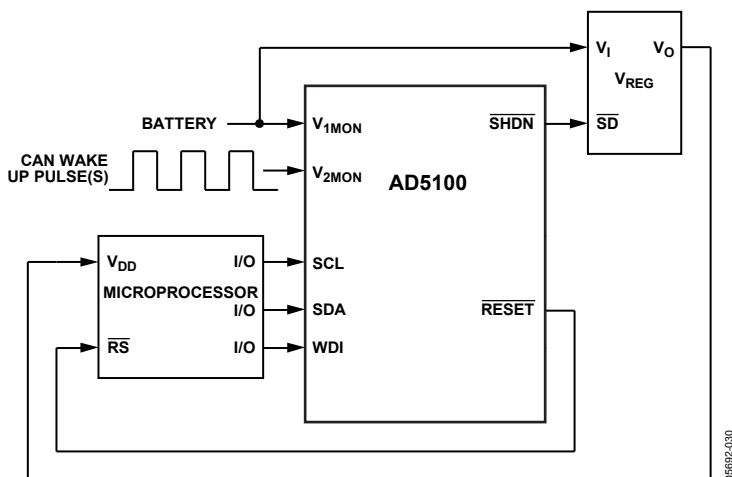
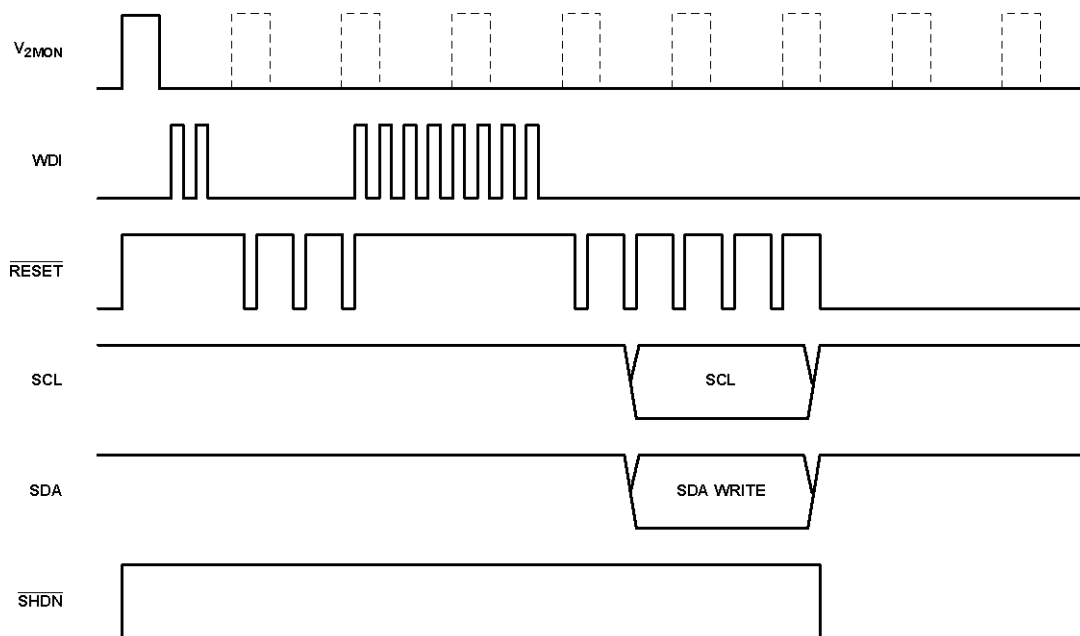


図 31.立ち上がりエッジ・トリガーのウェイクアップ・モード

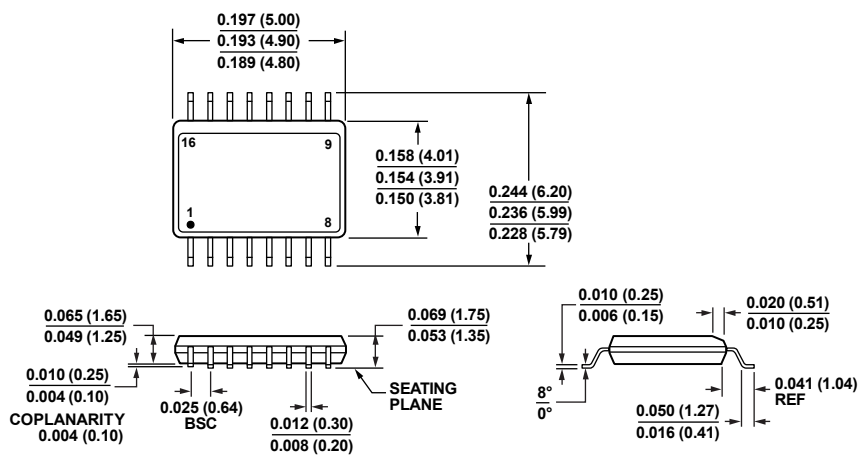


NOTES

1. $6V < V_{1MON} < 30V$.
2. SELECT $V_{2MON_OFF} = \text{RISING EDGE TRIGGER/CAN WAKE UP MODE}$.

図 32.図 31 の回路での立ち上がりエッジ・トリガー動作

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-137-AB
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETERS DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 33.16 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
 (RQ-16)
 寸法:インチ

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
AD5100YRQZ-RL7 ¹	-40°C to +125°C	16-Lead QSOP	RQ-16	1,000
AD5100YRQZ ¹	-40°C to +125°C	16-Lead QSOP	RQ-16	9,800

¹ Z = RoHS 準拠製品