

ミックスド・シグナル（デジタル・アナログ混在）回路の技術

はじめに

一般的な回路設計と比べても、ミックスド・シグナル（デジタル・アナログ混在）回路をきちんと設計することは、かなり多くの問題が伴ってきます。図面上で電子回路を設計するとき、昔風に紙と鉛筆を使うにせよ、現代風にコンピュータと SPICE などのソフトウェアを使うにせよ、正しくハードウェアを設計するための最も重要なことを忘れがちです。設計しているのが現実のハードウェアである以上、シミュレーション上ではなく、実際に正しく動作することが確認されるまでは設計は完了していない、ということです。

ここでは、理論とモデリング上においては申し分ない設計を、現実の回路として動作させたときに発生する諸問題を検討します。実際に起きることは、設計した回路レイアウトに起因する疑似的成分や寄生成分、そしてモデリングの際に現実的要素の影響を検討していなかったことによるものです。またおそらく、この解説は「マーフィーの法則に関するものである」と言っても過言ではないかもしれません。

マーフィーの法則

どんな状況でも、
起こりうる最悪のことは、いずれ起こる。

- 無視できると思うあらゆる影響は、無視できない。
- 自然はいつも見えない欠陥に味方する。

図 1

マーフィーの法則は、おふざけ的に表現されることが多いのですが、まったくのジョークであるというものではありません。物理システムの複雑さを認識し、過度の単純化に対し警告を発するものです。アインシュタインの「何事もできる限り単純化しなければならないが、単純化しすぎてはいけない」¹という警告に通じるところがあります。

マーフィーの法則から導き出される 重要な原則

- 2週間正常に機能した後に、最初の公開デモ中に故障する。
- 装置はヒューズを保護するために壊れる。
- 交換不可能なパーツに限って壊れる。
- フェイルセーフは機能しない。

図 2

ここではミックスド・シグナル・システムのハードウェア設計において検討しなければならない、さまざまな物理現象の影響を説明します。この種の影響を検討してたどり着くところは、これ以上は検討不要ということを示すための簡単な計算になりがちですが、場合によっては、詳細な解析や実際の実験が必要になることもあります。しかし問題が明白であることはめったになく、予想できないことさえあるので簡単な計算も省略してはいけません。ここで検討していく影響には、物理学の基本法則がたくさん含まれています。

ミックスド・シグナル回路の 設計に関する基本法則

- オームの法則
- キルヒホッフの法則
- ファラデーの法則
- レンツの法則

図 3

10V フルスケール・コンバータのビット・サイズ

RESOLUTION	1 LSB	0.5 LSB	% FS	ppm FS	dB FS
4-bit	625mV	313mV	6.25	62500	-24
6-bit	156mV	78mV	1.56	15625	-36
8-bit	39mV	19.5mV	0.39	3906	-48
10-bit	9.76mV	4.88mV	0.098	977	-60
12-bit	2.44mV	1.22mV	0.024	244	-72
14-bit	610 μ V	305 μ V	0.0061	61	-84
16-bit	153 μ V	76 μ V	0.0015	15	-96
18-bit	38 μ V	19 μ V	0.0004	4	-108
20-bit	9.5 μ V	4.8 μ V	0.0001	1	-120
22-bit	2.4 μ V	1.2 μ V	0.000024	0.24	-132
24-bit	0.6 μ V	0.3 μ V	0.000006	0.06	-144

図 4

そこでここでは各章の見出しに、その章ごとに主として議論する現象名を用いることにします（たとえば「抵抗」という見出しの章では、抵抗の非理想的な動作について論じますが、これには厳密にはオームの法則に該当しないノイズ効果、熱電効果、誘導的影響なども含まれます）。

回路条件による影響を検討するとき、当然私たちはシステム全体の性能へ与える影響を考えます。この検討を怠ってしまうことが、これから議論する問題のほとんどの原因になっています。たとえば 16 ビット・システムでは、そのフルスケール (FS) レンジは 2^{16} つまり 65536 に分割されます。したがって FS 10V のシステムにおける 1LSB はわずか 153 μ V になります。仕様で許容誤差を 0.5LSB とすると、FS 10V の 16 ビット・システムでは、合計誤差を 76 μ V 未満にしなければなりません。これは銅/ニッケル・リード線のニクロム巻線抵抗で、抵抗両端間の温度差が約 2°C のときの熱起電力とほぼ同じ値です。

一方、論理回路では論理 0 と論理 1 という 2 状態しかなく、数百～数千 mV のノイズ・マージンがあります。このためデジタル回路しか知らない回路設計者は、ここで論じている誤差の発生源を往々にして見落してしまいがちです。

図 4 はさまざまな分解能での 0.5LSB のサイズを示しています (FS 10V を基準とした値をここでは示していますが、これは標準的なコンバータのレンジがその値であるためです。本稿では LSB に mV の単位を表記する場合、特に明記しない限り FS 10V を前提としています。ほかの FS 値に変換するのも簡単です)。誰もアナログ設計者であれば、この表を熟知しておくべきでしょう。この表があれば、さまざまな規格で規定されるコンバータを比較できるだ

けでなく、その設計が合理的かどうかとも判るからです。ノイズまたはシステム誤差が 1mV に達するのであれば、分解能が 12 ビットを超えるようなシステムを設計する意味はほとんどありません。

抵抗

導体の抵抗

抵抗 (リード付きの小さい同軸形状のもの) を知らない技術者はいません。しかし抵抗がもつ「癖」のすべてを知る技術者は、あまり多くないかもしれません。さらにシステムや回路を構成するリード線やプリント基板 (PCB) パターンが「すべて抵抗成分である」と考える技術者はもっと少ないでしょう。

純銅の抵抗率は 25°C において 1.724E-6 Ω cm、プリント基板の標準的な (1 オンスの) 銅箔の厚さは 0.038mm (0.0015") です。したがって標準的なプリント基板銅箔の抵抗は 0.45m Ω /□になります。そのためデジタル回路の CAD 設計でよく使用される 0.25mm 幅パターンの抵抗は、18m Ω /cm というかなりの大きさになります。さらに銅の抵抗温度係数が室温で約 0.4%/°C にもなるため、余計始末が悪くなります。

基板パターンの抵抗の影響を理解するために、図 5 の入力抵抗 5k Ω の 16 ビット ADC を例にしてみましょう。この ADC と信号源の間には長さ 5cm 幅 0.25mm のパターンがあります。このパターンは約 0.09 Ω の抵抗を持つため、0.09 Ω /5000 Ω (0.0018%) のゲイン誤差が生じます。これは 1LSB (16 ビットで 0.0015%) をはるかに上回る値です。

プリント基板パターンの抵抗

オームの法則によれば、標準的な 5cm のパターンで
1LSB の性能低下という予測になりますが……
オームの法則を信じられるでしょうか？

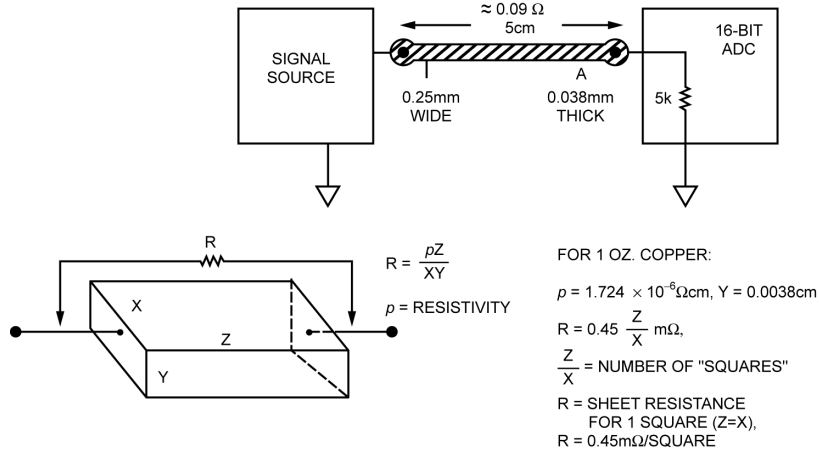


図 5

表皮効果

ここまでの話はもちろん直流的な影響です。高周波では誘導効果によって電流が導体表面だけを流れる、図 6 のような「表皮効果」も考慮する必要があります。表皮効果のため高周波では導体抵抗が増加します（なお表皮効果は、後述する導体の自己インダクタンスに起因する周波数上昇によるインピーダンス増加とは別物です）。表皮効果はきわめて複雑な現象のため、詳細な計算はこの解説の範囲を超えます。しかし銅の場合の表皮深さを十分な精度の近似値で計算すると、次のように cm 単位として表されます。

$$\frac{6.6}{\sqrt{f}} \quad (f \text{ は Hz 単位})$$

「表皮深さがパターン銅箔厚の 50% 未満のときに表皮効果が問題になる」と仮定すれば、通常の 0.038mm 厚のパターン銅箔の場合、約 12MHz を超える周波数のとき表皮効果を考慮しなければならぬことになります。

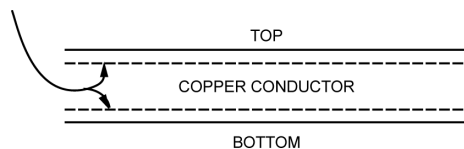
表皮効果が問題になる場合、銅の単位面積当たりの抵抗は次の値で表されます。

$$2.6 \times 10^{-7} \sqrt{f} \Omega/\square \quad (f \text{ の単位は Hz})$$

プリント基板の表皮効果を計算する場合、電流がパターン両面に流れる（図 7 のようなマイクロストリップ・ラインの場合は必ずしもそうではありません）ため、パターンの単位面積当たりの実際の抵抗値は上式の半分になることを覚えておいてください。

表皮効果

- 高周波電流は薄い表皮層のみを流れます



- 表皮深さ： $6.61 / \sqrt{f}$ 、 f の単位は Hz
- 表皮抵抗： $2.6 \times 10^{-7} \sqrt{f} \Omega/\square$ 、 f の単位は Hz
- パターン両面に表皮電流が流れるため、表皮抵抗の大きさはこれを考慮したものにする必要があります

図 6

表皮効果

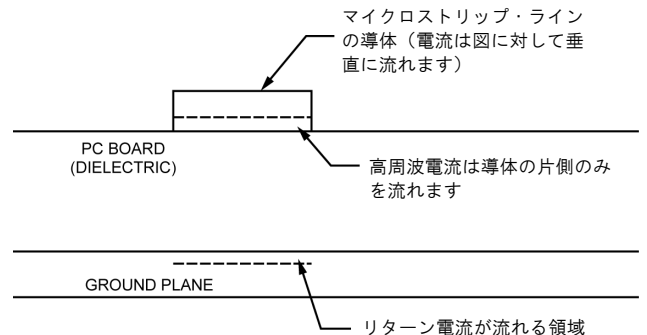


図 7

信号リード線の電圧降下には「ケルビン帰還」

信号リード線の抵抗性電圧降下によるゲイン誤差が、大きい問題になるのは、高分解能（例を参照）か大電流が流れる場合だけです。負荷インピーダンスが一定で抵抗性の場合、全体のシステム・ゲインを調整することで補償できます。それ以外の場合には図8のような「ケルビン帰還」つまり電圧センスによる帰還方式を用いて除去できます。

センス接続によって 負荷が高精度になります

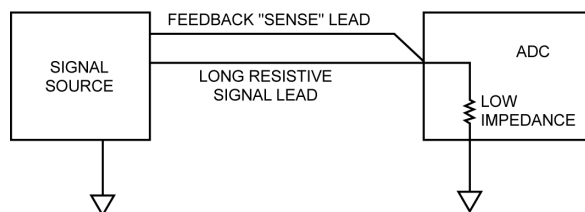


図 8

負荷端子において、電源（信号）供給用接続と電圧検出接続を分離することで、電源（信号）リード線での電圧降下による誤差を無くすることができます。しかしこれは負帰還システムでしか使用できません。また帰還（検出接続点）が1点のみからであるため、この方法では複数の負荷を同じ精度で駆動できません。

絶縁体のリーク抵抗

導体は超伝導体であると考えてしまうことがあるように、絶縁体

も「完全な絶縁体」であると誤解されることが多いです。しかし実際は「高抵抗体」だと考えていたほうが正しいです。

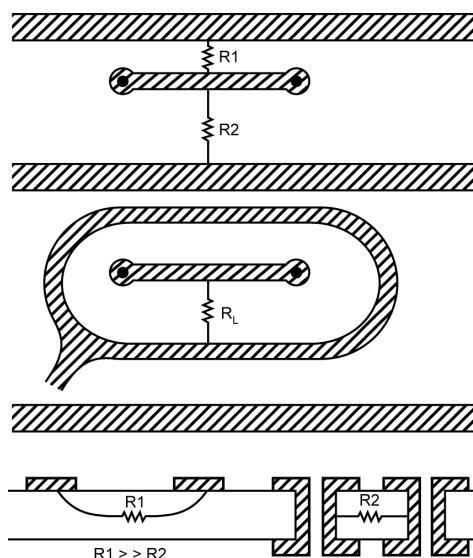
ほとんどのプリント基板材料は非常に優れた絶縁体ですが、完全なものではありません。洗浄が不十分な基板材料であれば、きわめてお粗末な絶縁体だといえるかもしれません。さらにプリント基板には異方向性があります。清浄なプリント基板でさえ、部分によって表面の抵抗率が異なることがあり、また一般に端子間絶縁抵抗（2つのメッキ・スルーホール間のリーク抵抗など）は2本のパターン間の浴面抵抗より小さい値になります。

リーク抵抗は変動が大きい（さらに温度と湿度によって変化します）、特定の状況下での値を予測することは困難ですが、清浄なプリント基板上の2本のパターン間の抵抗が $10^{10} \sim 10^{11} \Omega$ からさらに小さくなることはまずないと考えてよいでしょう。テフロン基板材料（これは大変高価です）は一般に $10^{12} \Omega$ を超えると考えて良いでしょう。

ガード・リング

インピーダンスが高く、電流がきわめて低い用途では、低絶縁抵抗の影響を、図9のようなガード・リングというものを使用して最小限に抑えることができます。重要な高インピーダンスの端子をその端子と同じ（またはきわめて近い）電位のリング状導体で囲むと、端子からのリーク電流を最小にできます。端子がグラウンド（またはそれに近い）電位にある場合は、接地されたガード・リングを使用するとよいでしょう。端子が別の電位の場合は、高入力インピーダンスのバッファ・アンプを使用し、このバッファの入力端子を高インピーダンス端子に接続し、このバッファ出力によりガード・リングの電位を強制的にこの端子電位と等しくさせる必要があるかもしれません。またスルーホールを使ってプリント基板の両面にガード・リングを配置しなければなりません。

プリント基板のリーク抵抗



基板表面のリークは予測困難です。R1 は必ずしも R2 より小さいとは言えません。

影響を受けやすいパターンをそのパターンと同じ電位にあるガード・リングによって（基板の両面において）囲むと、リーク抵抗の影響を最小限に抑えることができます。

一般に基板の上層パターン間のリーク抵抗は、メッキ・スルーホール間のリーク抵抗を大きく上回ります。

図 9

しかしガード・リングが必要なほど外部の影響を受けやすい端子には、本来はスルーホールを使わないでください（テフロン基板の場合を除きます）。これは上述のように、基板材料の端子間絶縁抵抗率が沿面抵抗率より小さいためです。

ガード・リングを使わない場合は、その代わりに図 10 のように、高インピーダンスの端子をテフロン製隔離スタンドで支持して形成します。無垢のテフロンを使用すれば、約 $10^{15}\Omega$ の絶縁抵抗が可能です（「無垢のテフロン」とは、粉末や粒子を溶かして結合したのではなく、純粋なテフロン材料を機械加工して形成したものです）。それ以外の部分の基板材料は、高絶縁抵抗にする必要は特にありません。

バージン・テフロンの隔離スタンドは
基板パターンよりもずっとリーク電流が
小さくなります

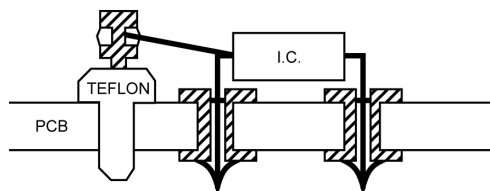


図 10

静電気損傷 (ESD)

きわめて抵抗が大きい場合で特に低湿度条件のときは、常に静電気帯電や静電気損傷 (ESD) が発生する可能性があります。ESD とその対策の詳細は、無料で入手できるアナログ・デバイセズのアプリケーション・ノートをご覧ください²。

このアプリケーション・ノートでは、損傷を受けやすいデバイスの静電気損傷を最小限に抑えるための手順を紹介しています。ESD 保護の一番の基本原則は、放電路上に損傷を受けやすいものを置かないことです。工場で採用されている数多くの対策は、たとえ不注意があっても、有害な放電の発生を最小限に抑えるものです。経験豊かな技術者が IC を取り扱う場合は、放電路になりそうな位置に IC を配置しないように注意するだけで、ESD 保護部品をほとんど使わずに済ますこともできます。たとえば導電性発泡マットから回路ユニットを抜くときは、まず発泡マットに触れて電荷量

を等しくしてから回路ユニットに触れます。同様に回路ユニットを発泡マットに差し込むときは、その発泡マットに先に手を触れるようにします。また同僚の誰かに IC を渡すときは、その人の手を握ってからにします。

静電放電 (ESD)

ESD PREVENTION MANUAL



図 11

すべての半導体集積構造は、たとえわずかな静電放電でも、放電に伴う高電圧と高ピーク電流により損傷を受けやすいものです。さらに高精度アナログ回路では別の被害が発生します。ESD から集積回路を保護するための回路により、その回路のアナログ精度が低下してしまうことがあるのです。高性能をとるか、高度な ESD 保護をとるか、どちらかを選択しなければなりません。どちらを選択するかはそれぞれの状況によりますが、この選択の必要性は認識しておく必要があります。精度を重視すると決めたのであれば、静電放電の気中にその回路をさらしてはいけません。

ESD にさらされた高精度アナログ回路は、完全に機能しなくなるわけではありません。アナログ的性能が低下し、動作寿命が短くなるだけです。IC が性能不良だとして故障解析のためにアナログ・デバイセズに返却されると、開梱時に行われる最初のチェックは、静電気損傷の痕跡があるかどうかを目視で調べることです。多くの場合その痕跡を見つける結果になります。

フィンランドにおいて、はっきりしない、また面白い ESD の例が発生しました。この国では非常に寒冷な冬季に、湿度が大幅に低下し、深刻な静電気問題が発生します。ここである顧客から苦情が寄せられました。低バイアス電流 BIFET オペアンプ AD549 の長期的信頼性がお粗末で、2~3 年使うと低雑音性能が低下するというものでした。

静電放電保護

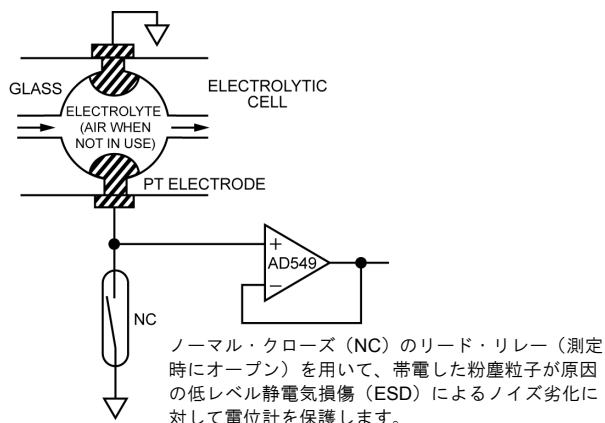


図 12

このアンプは図 12 のように電気化学セルと一緒に使われ、ユニティ・ゲイン・バッファとして動作しており、その非反転入力端子はプラチナ電極のみに接続されていました。この電極は使用時に電解液に浸漬されますが、使用後は自動的に脱イオン水で洗浄され、空気乾燥されます。その後は次回機械を使用するときまで、未接続のままです。

その間に人が電極に接触する可能性はありませんでしたが (機械の真ん中に設置されていました)、静電気を帯びた粉塵粒子がランダムに降りかかる可能性がありました。低雑音性能を徐々に劣化させるには、この粉塵粒子の放電に伴うパルス電流だけでも十分でした。そこで電極を使用しないとき接地 (最小限にリーク電流を抑えるために NC リード・リレーを使用しました) することにしたら、問題はたちまち解消しました。

抵抗の寄生効果

回路をモデリングする際には、簡略的に考えるにせよ SPICE などを使用することにせよ、抵抗を「抵抗量のみをもつ単純な素子」と考えます。しかし抵抗は図 13 のように実際にはもっともっと複雑なデバイスであり、少なくともインダクタンス・ノイズ源・コンデンサ・2つの熱電対要素を持っています。

抵抗の等価回路は、
次の図のようなものではなく



この図のようになります

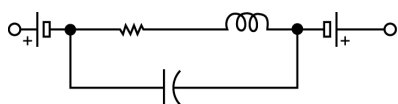


図 13

誘導抵抗

どんな抵抗でも若干のインダクタンス成分を持ちます (ご承知のように 1 本の短いリード線さえ若干のインダクタンスを持ちます) が、巻線抵抗はコイル状のワイヤになっているため必然的に誘導性を持ちます。たとえそのコイル状ワイヤが時計回りに N 回、反時計回りに N 回巻いてあり「無誘導性」とされている場合でも、それでもいくらかの巻きずれがあるために残留インダクタンスが生じます。10k Ω 以下の「無誘導性」と言われる巻線抵抗でも、最大 20 μH の残留インダクタンス値が予想されますが、10k Ω を超える場合は約 5pF の容量も持つことがあります。

被膜抵抗の中でも、円筒形セラミックに螺旋状に抵抗体を巻きつけたものは誘導成分を持ちます。一般的にこの場合のインダクタンスは数 μH です。したがって高周波回路では誘導抵抗を使用してはいけません。高周波でのインピーダンスは抵抗量と等しくなく、周波数により変化します。抵抗のインダクタンスが問題になるとは思えない低周波回路でさえ、その抵抗内のインダクタンスにより生じる、予想外の高周波での振る舞いによって、動作が不安定になることがあります (低周波オペアンプの内部トランジスタでも最大 1GHz の f_t を持つものがあります)。

熱電効果

巻線抵抗にはもう 1 つの問題があります。抵抗体とリード線間の接合で形成される熱電対には、42 $\mu\text{V}/^\circ\text{C}$ の熱起電力が生じます (巻線抵抗で標準的な「アロイ 180」/ニクロム接合において)。より高価な銅/ニクロム接合の抵抗を選択すれば、2.5 $\mu\text{V}/^\circ\text{C}$ になります (「アロイ 180」は、77%の銅と 23%のニッケルで構成される標準的な部品のリード線用合金です)。

このような熱電対効果は、交流の場合や抵抗温度が均一な場合にはたいした影響は与えません。しかし抵抗内の熱拡散や熱源との位置関係によって素子両端の温度が異なる場合は、熱起電力によって回路に DC 誤差が発生します。通常巻線抵抗でもわずか 4 $^\circ\text{C}$ の温度差で 168 μV の DC 誤差が発生します。これは FS 10V/16 ビット・システムでは 1LSB を超えてしまいます。

この問題を最小限に抑えるには、温度差が最小になるように巻線抵抗を取り付けることです。それには図 14 のように、2 つのリード線を同じ長さにして熱伝導を等しくし、抵抗体と垂直に空気流 (強制対流であれ自然対流であれ) を流し、プリント基板上の熱源から抵抗両端が等距離になるようにします。これらの対策を実施するにしても、抵抗には「アロイ 180 リード線」よりも「銅リード線」のものを使用し、できるだけ熱源から遠くに配置することをお勧めします。

巻線抵抗の熱電効果を抑制する方法

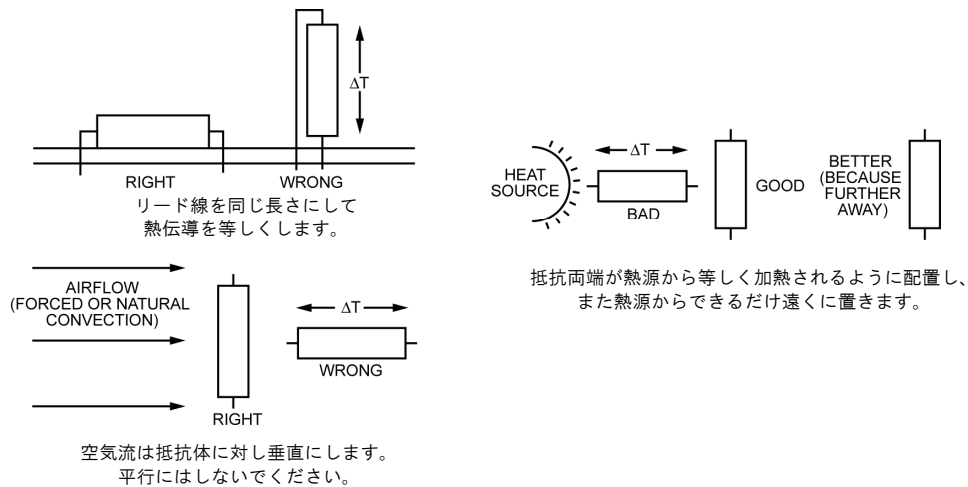
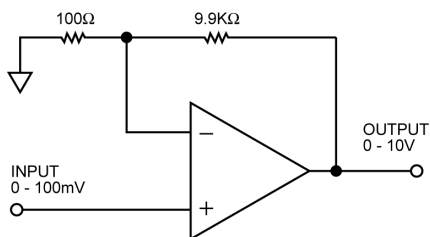


図 14

安定性とマッチング

抵抗を使用した回路では、熱電対効果以外の熱的効果も回路精度に影響を与えることがあります。抵抗は温度に対して必ずしも安定ではなく、高精度回路で2本の抵抗の温度係数が合わない場合、あるいは抵抗ごとの温度が異なっている場合には、回路性能が低下してしまいます。同じような環境に置かれた同じ2本の抵抗の温度が同じにならない原因は、自己発熱量の違いやその他の原因も考えられます³。

100 倍のゲイン段



- 温度係数のミスマッチ、温度のミスマッチ（主に自己発熱などが原因）、またはその両方に起因する抵抗のミスマッチによってゲイン誤差が生じることがあります。
- 精度が抵抗のマッチングによって左右される場合は、理想的にはすべての抵抗を一枚のサブストレート上に形成する必要があります。

図 15

一般的な個別抵抗素子の温度係数は約 100ppm/°C 以上です。抵抗の温度係数の影響を最小限に抑え、抵抗ごとの温度差による影響を除去するための最善の方法は、抵抗のマッチングによりシステム精度に対して影響を与えるすべての抵抗を、一枚のサブストレート上に形成することです。薄膜抵抗ネットワークのガラスやセラミックのサブストレートが使用可能です。

さらに良い方法として、可能であれば IC のシリコン・サブストレート上にレーザ・トリミングした集積回路として薄膜抵抗を形成することです。このような抵抗の温度係数は 20ppm/°C よりさらに低く、同一サブストレート上の 2 本の抵抗間の温度係数差は 0.5ppm/°C 以下のレベルにまで実現可能です。

抵抗の電圧変動

薄膜や IC サブストレート上に極端な高抵抗を形成することは不可能であり、高抵抗のディスクリート抵抗は、低抵抗に比べて安定性がかなり劣ります。したがって安定した高抵抗を仮定した性能実現をシステムに求めることはよくありません。高抵抗は、ものによってはさらに別の欠点もあります。電圧/電流曲線がわずかに非線形を持ち、オームの法則に正確に従わないのです。

高い値の抵抗

- 安定性が劣る可能性がある
および
- 電圧に対して特性が非線形

図 16

ジョンソン・ノイズ

最後の「抵抗の不完全性」はとても厄介なものです。ただしこれは、どんな抵抗にでも備わっている物理特性であるため、必ずしも「不完全なもの」とは言えないかもしれません。これは熱ノイズすなわちジョンソン・ノイズのことです。

抵抗のジョンソン・ノイズ

■ すべての抵抗に存在するノイズ： $V_N = \sqrt{4kTBR}$

T = 絶対温度

B = 帯域幅（単位は Hz）

R = 抵抗（単位は Ω ）

k = ボルツマン定数（ $1.38E-23$ J/K）

■ T、B、Rのいずれかを小さくすれば、抵抗のノイズを低減できるが、ボルツマン氏はすでに亡くなっているため、kを小さくすることはできない。

図 17

絶対零度以上の温度であれば、熱運動によるノイズがすべての抵抗で発生します。このノイズは次式で表すことができます。

$$V_n = \sqrt{4kTBR}$$

（ここで、k = ボルツマン定数： $1.38E-23$ J/°K）

すべての抵抗にジョンソン・ノイズが発生しますが、これを小さくするには、R（抵抗そのもの）、B（対象となる帯域幅）、T（温度）のいずれかを小さくするしかありません。この式は平方根になっているため、温度が室温（ 298°K ）から液体窒素の温度（ 77°K ）まで低下しても、ノイズは 50%ほどしか改善しません。したがって液体ヘリウムでも使わない限り、抵抗を冷却するという方法はあまり有益ではありません。

ジョンソン・ノイズは、純粋な抵抗成分によるものです。複素インピーダンスでのジョンソン・ノイズはそのインピーダンスの抵抗成分のジョンソン・ノイズだけで構成されます。したがって純粋な容量やインダクタンス成分は、インピーダンス量にはなっても、ジョンソン・ノイズは発生しません。

容量

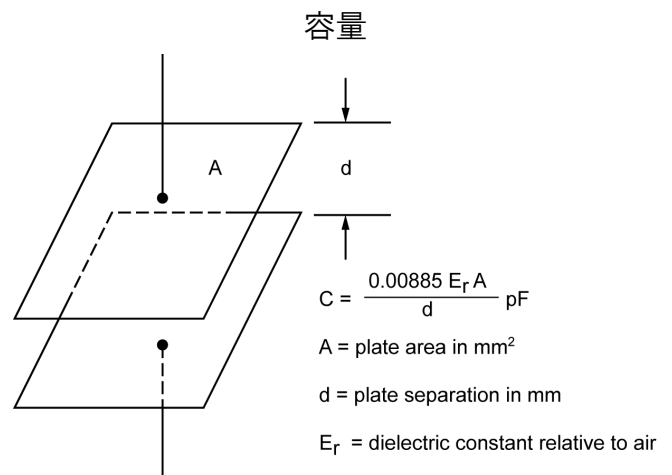
浮遊容量

2つの導体が互いに短絡していない場合、あるいは導電（ファラデー）遮蔽板で互いに完全にシールドされていない場合、それらの導体間には容量成分が生じます。したがってどんな回路でも、その回路モデル上で考慮する・しないにせよ、実際には多数のコンデンサ成分が内在しています。高周波性能が重要である場合（DC回路や超低周波回路さえも、高い Ft のデバイスが使用されることもあり、高周波の不安定性に左右される場合があります）、浮遊容量の影響を考えることはきわめて重要です。

どんな電磁気学入門書でも、並列配線、同心球、同軸、その他数多くの物理的構造における容量の式が示されています⁴。しかしここで検討しなくてはならない事項はたった1つです。それは導体がプリント基板両面に配置されることによって形成される平行板コンデンサです。

電界のエッジ効果を見れば、平行板の面積が $A \text{ mm}^2$ 、2枚の平行板の距離が $d \text{ mm}$ 、平行板間の媒体の比誘電率（空気を基準にした比）が E_r の場合、この2枚の平行板の容量は次式で表すことができます（図 18）。

$$0.00885 E_r A/d \text{ pF}$$



■ 最も一般的なタイプのプリント基板では、 $E_r = 4.7$ で 1.5mm のガラス繊維エポキシ材を使用しています。

■ グラウンド・プレーン上のパターンの容量は、およそ $2.8\text{pF}/\text{cm}^2$ になります。

図 18

この式から汎用の基板材料（ $E_r = 4.7$ 、 $d = 1.5\text{mm}$ ）の場合、基板両面の導体間の容量は $3\text{pF}/\text{cm}^2$ 弱になります。このような容量のことを一般に「寄生容量」と呼び、これによって回路性能が影響を受けないように設計する必要があります。しかしこの基板間容量を

小容量のコンデンサの代わりとして使うこともできます。と言っても一般的な基板材料の誘電特性（高価なテフロン材は例外ですが）では、このようなコンデンサはかなり高い温度係数を持ち、また高い周波数で Q 値が低下します。これは多くの用途では利用できないレベルのものであります。

容量性ノイズとファラデー・シールド

誘電体で分離された 2 つの導体間には、容量が生じます（空気や真空も誘電体です）。一方の電圧が変化すると、他方の導体でも電荷の移動が生じます。図 19 にこの基本的なモデルを示します。

容量結合の等価回路

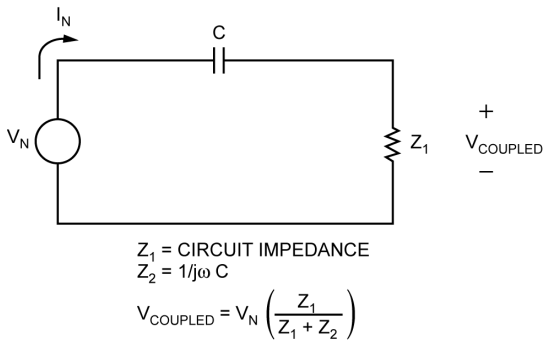


図 19

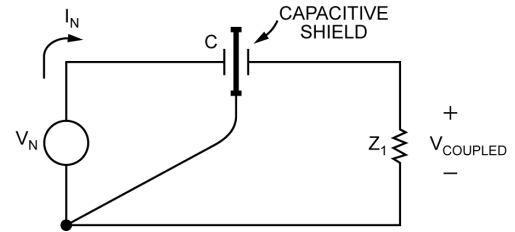
信号電圧 V_N 、周波数、容量、 Z_1 のいずれかを減らせば、 Z_1 に加わる電圧を間違いなく減らすことはできます。しかし多くの場合、これらのいずれもさえ変更できません。一番良い解決法は、ノイズ源とその影響を受ける回路との間に、接地した導体（ファラデー・シールドと呼ばれます）を挿入することです。

ファラデー・シールドは実装が簡単で、ほとんどの場合にうまくいきます。ファラデー・シールドにより、容量結合によるノイズが厄介な問題を引き起こすことはほぼ無くなります。しかしシールド効果を有効にするには、シールドによってノイズ源とシールドされる回路間の電界を完全に遮断する必要があります。さらにこのシールドの接続では、回路のどこかにノイズ電流が流れて伝導ノイズが生じてしまうことがないように、そのノイズ源にノイズ電流を還流させなければなりません。ファラデー・シールド用の導体を未接続のままにしておくと、必ずと言ってよいほど容量が増加して問題が悪化しますので、これは絶対に避けてください。

このような問題は、半田封止型セラミック IC パッケージを例として見ることができます。この DIP パッケージでは、セラミック・パッケージ上部の金属の外枠に、正方形の導電コバール（ニッケ

容量シールド

容量シールドによって電界の結合を遮断します



この等価回路は、容量シールドによってノイズ電流が Z_1 に流れることなく、どのようにノイズ源に電流が還流していくかを示しています

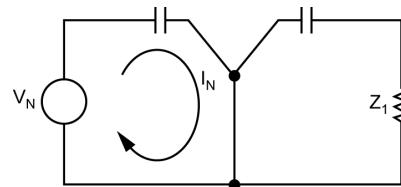
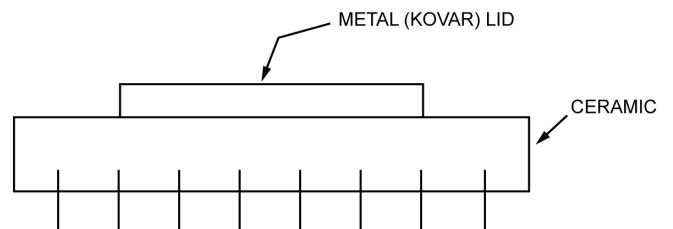


図 20

ル・コバルトの合金) の小さいふたがハンダ付けされています。ここでパッケージ・メーカーが提供する選択肢は 2 つしかありません。金属外枠をパッケージのコーナー・ピンの 1 本に接続するか、未接続のままにするかのどちらかです。大部分のデジタル回路では、パッケージのいずれかの角がグラウンド・ピンであるため、このふたを接地できます。しかし多くのアナログ回路はパッケージの角がグラウンド・ピンではないため、ふたは未接続のままです。この場合、同じチップであっても全くシールドされていないプラスチック DIP パッケージの場合と比較しても、電界ノイズによる影響をはるかに受けやすくなります。

金属のふたに起因する容量効果



- 半田封止型セラミック DIP パッケージには、絶縁された金属ふたがあるものもあります。
- これは容量性干渉の影響を受けやすく、接地する必要があります（可能な場合）。

図 21

外来ノイズの大小にかかわらず、半田封止型セラミック IC のふたは、メーカーのほうで接地されていなければ、ユーザにて接地することをお勧めします。この場合はリード線をふたにハンダ付けします（チップは熱的／電氣的にふたと絶縁されているため、デバイスは損傷しません）。ふたに対してハンダ処理ができない場合は、接地されたリン青銅クリップを用いてグラウンドとの接続をすとか、ふたからグラウンド・ピンまで導電塗装することも考えられます。このようにふたを接地する際には、本当に未接続かどうかを必ず確認してからにしてください。デバイスの種類によっては、まれにふたがグラウンドではなく電源に接続されていることもありますので。

ファラデー・シールドが利用できない例としては、集積回路チップのボンディング・ワイヤ間があります（図 22）。これは厄介な問題を引き起こします。

チップのボンディング・ワイヤ間の浮遊容量

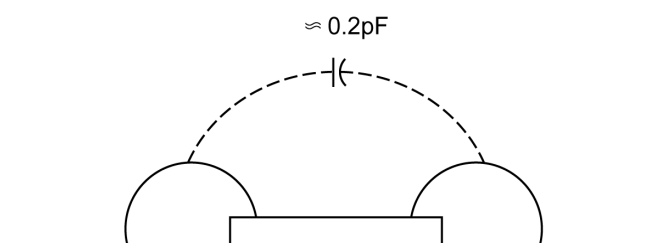


図 22

チップ内の 2 本のボンディング・ワイヤとこれらが接続するリードフレーム間の浮遊容量は、 0.2pF 程度のオーダーになります（ 0.2pF に「近い」レベルではなく「程度」であることに注意してください。現実の値はだいたい $0.05\sim 0.6\text{pF}$ の範囲になります）。高速データ・バスに高分解能コンバータ（ADC または DAC）が接続されている場合、コンバータのデータ・バスのそれぞれのライン（ $dV/dT = 2\sim 5\text{V/ns}$ の変動によりノイズを生じる）は、この浮遊容量を介してコンバータのアナログ・ポートと結合されてしまいます。バスがアクティブになるたびに、アナログ・ポートに対して許容できない量のノイズが容量的に結合し、本来のコンバータ性能が著しく低下します。

高速データ・バスに高性能コンバータを接続すると、デジタル・ノイズからアナログ・ポートが保護できません

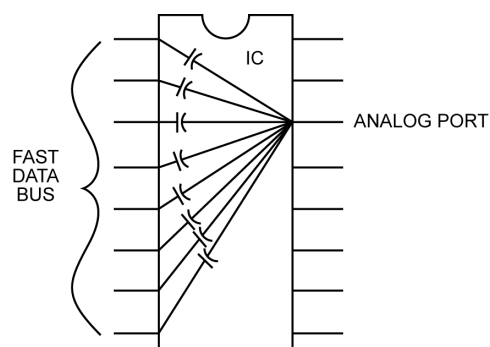
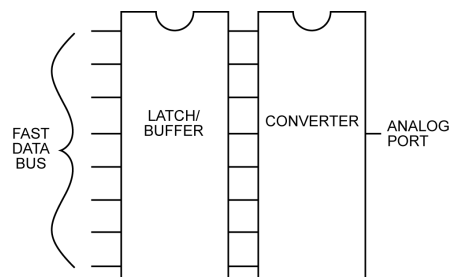


図 23

この問題に対しては現在の技術でも打つ手がありません。アナログ／デジタル回路がワンチップに集積された広帯域ミックスド・シグナル IC も、この問題のために性能自体が制約されてしまいます。しかしデータ・バスをコンバータに直接接続せずに、ラッチ付きバッファでインターフェースすることで、とても簡単にこの問題を回避できることもあります。この解決方法はコストが高く、基板面積が大きくなり、信頼性が（ごくわずか）低下し、消費電力が増大し、設計が複雑になりますが、コンバータの S/N 比を間違いなく改善できます。それだけの価値があるかどうかは、個々の事例に応じて設計者が判断しなくてはなりません。

ファラデー・シールドとして使用したラッチ付きバッファ



■ 高速データ・バスと高性能コンバータ間でラッチ付きバッファはファラデー・シールドとして機能します。

■ コスト増、基板面積の拡大、消費電力の増大、信頼性の低下、設計の複雑化を招きますが、性能は改善できます。

図 24

実際のコンデンサの等価回路

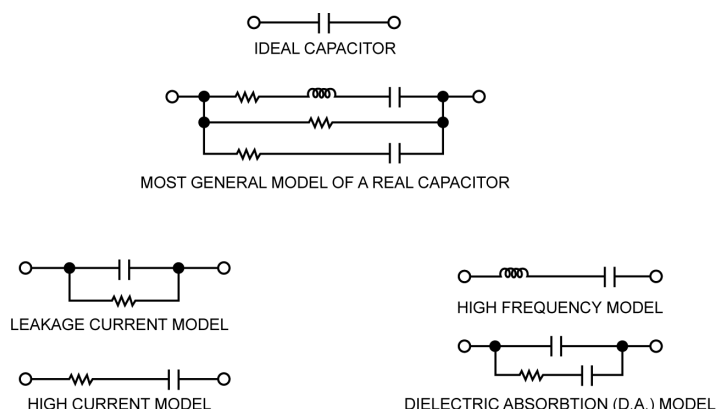


図 25

コンデンサの寄生効果

抵抗は完璧な「抵抗」だと、私たちが思い込みがちなのと同じように、コンデンサの寄生成分についても過小に評価しがちです。図 25 に、理想的なコンデンサのモデル、実際のコンデンサの詳細モデル、そして多くの用途において現実的動作での解析に十分なレベルにまで単純化したモデルを複数示します。

コンデンサはカップリング（交流信号を通し、直流を遮断する）、デカップリング（電源回路と信号回路間で直流電源に重畳した交流を除去する）、フィルタや周波数選択回路の実現、「サンプル & ホールド」回路（「トラック & ホールド」回路、SHA、SAH、THA とも言います）での電荷蓄積に使用されます。

コンデンサのリーク電流

カップリングや SHA の用途では、コンデンサのリーク電流が重要な問題になることがあります。電解コンデンサは電気化学反応により誘電体が形成されているので、リーク電流が比較的高くマイクロアンペア以上になるため、リーク電流を問題とする用途では使用できません。電解コンデンサのリーク電流は、一定の非導通期間経過後の最初の数分間に大きくなります（コンデンサの誘電体特性は、動作時にはリーク電流により良い状態に維持されますが、保管中（非導通中）はわずかに劣化することがあります）。長い休止期間の後に正しく動作しなければならない機器では、この特性が問題になることがあります。

タンタル・コンデンサのリーク電流は、アルミニウム電解コンデンサより低いものです。数十 μF 以上（電解コンデンサなら簡単に実現できます）の容量が必要で、リーク電流を特に低く抑えなければならない用途の場合には、コスト増になるにもかかわらず、タンタル・コンデンサが使用されます。アルミニウム電解コンデンサのリーク電流は、室温で $20\text{nA}/\mu\text{F}$ 程度であり、タンタル・コンデンサは $5\text{nA}/\mu\text{F}$ 程度になります。

アルミニウム/タンタルを問わず、この種のコンデンサのもう 1 つの特性は、そのほとんどが極性を持っていることで、正しくコンデンサを動作させるためには DC バイアスが必要です。逆バイアスをかけるとコンデンサが損傷してしまうことがあり、確実にリーク電流が増大します（どちらの方向にもバイアスできる無極性電解コンデンサもありますが、これはあまり一般的ではなく、極性のある電解コンデンサに比べても、かなり大型になります）。

ほかの大部分のタイプのコンデンサは、数百 $\text{G}\Omega$ を上回るリーク抵抗であるため、ほとんどの用途でこのリーク電流は無視できます。

直列／損失抵抗

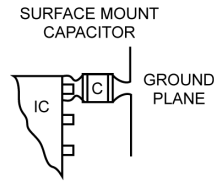
波高の高い交流電流がコンデンサに流入すると、コンデンサの直列抵抗による電力で発熱します。このためリップル電流が大きいデカップリング用電源コンデンサや高周波回路では、深刻な影響をおよぼすことがあります。しかし高精度アナログ回路の場合はそれほど影響はないでしょう。ただしその直列インダクタンス成分は、非常に悪い結果を招いてしまうことがあります。

コンデンサのインダクタンス

高精度アナログ回路で使用するトランジスタは、たとえ回路そのものが DC または低周波で動作するものであっても、トランジション周波数 (F_t) が数百 MHz、場合によっては数 GHz のものが使われます。したがってこのような回路の電源端子は、高い周波数でも正しくデカップリングする必要があります。

コンデンサの一般的な構造は、2 枚の金属箔を複数枚のプラスチックまたは紙の誘電体によって分離しロール状にしたものです。このような構造には結構な自己インダクタンスを持ち、数 MHz を超える周波数での動作は、コンデンサというよりインダクタンスになります。したがって高い周波数のデカップリング用に、電解コンデンサや、紙やプラスチック・フィルムのコンデンサを使用することはお勧めできません。

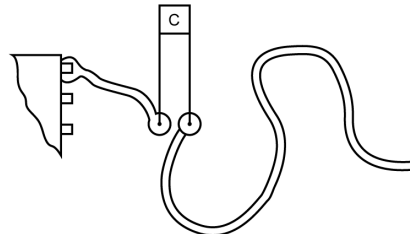
高周波でのデカップリング (低周波アナログ回路でも必要)



理想的な高周波デカップリングのポイント

1. 低インダクタンスのコンデンサ（積層セラミック）
2. ICのごく近くに実装
3. リード線なし（表面実装）またはきわめて短いリード線
4. 短くて太いプリント基板のパターン

タンタル・コンデンサを並列接続すれば、優れた低周波デカップリングも可能です。



このような接続は論外です。

図 26

積層セラミック・コンデンサは直列インダクタンスがきわめて低いものです（導体とセラミック誘電体で構成される多層サンドイッチ構造となっており、すべての導体は直列に接続されるのではなく、並列に端子に接続されています）。したがってこのようなコンデンサは、高周波デカップリングに最適です。しかし積層セラミック・コンデンサは振動による圧電雑音を発生することがあり、またものによっては比較的高い Q 値があるために自己共振してしまいます。これに対しディスク型セラミック・コンデンサは安価ですが、場合によってはインダクタンスが高くなる場合があります。

アナログ回路を高い周波数と低い周波数の両方で、十分にデカップリングする最善の方法は、タンタル・コンデンサと積層セラミック・コンデンサとを並列接続で使用することです。この組み合わせは高容量になりますが、VHF 周波数帯でも容量性が維持できます。各 IC とタンタル・コンデンサ間が 10cm 未満の比較的広いパターンであれば、タンタル・コンデンサをそれぞれの IC に付加する必要はなく、複数の IC で 1 つのタンタル・コンデンサを共用させればよいです。

いくら慎重に無誘導性コンデンサを選択したとしても、適切に部品配置をしなければ、あまり意味がありません。短いワイヤでもかなりのインダクタンスがあるため、デカップリング点のできるだけ近くに、短く太いパターンで高周波用のデカップリング・コンデンサを実装する必要があります。理想的には、高周波用デカップリング・コンデンサを表面実装してリード線によるインダクタンスを排除すべきですが、リード線が 1.5mm 以下であればリード端子型のコンデンサも利用できます。また、高周波信号のデカッ

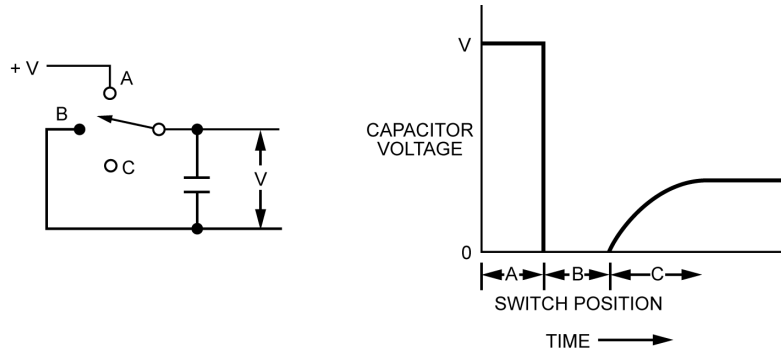
プリング電流をどの経路に流すべきかということ、なぜ高周波デカップリングが特定の箇所特に重要になるかを理解しておくことも重要です。この問題についてはアナログ・デバイセズのアプリケーション・ノートでも詳しく論じられています⁵。

アナログ回路が高周波で不安定になる問題は、意外によく起きます。数百 MHz の寄生発振により高精度回路に深刻な誤動作を生じさせますが、オシロスコープではこの問題を発見できないことがあります（オシロスコープのプロブが接続されていると発振が減衰してしまい、接続されていない間でしか現象が再現しないことさえあるくらいです。これはトラブルシュートにおいて重要なポイントです）。はっきりした理由がわからず誤動作するアナログ回路には、広帯域スペクトラム・アナライザ（たとえば 1~1500MHz）に低容量 FET プロブを接続し、寄生発振が無いかわかることをお勧めします。このテストにより、回路で生じている誤動作が外来の強力な高周波電磁界に起因するものかも判断できます。

誘電体吸収

積層セラミック・コンデンサは、高周波デカップリングには良好ですが、誘電体吸収が大きいので、SHA のホールド・コンデンサには適切ではありません。急激に放電させて無電荷状態になったコンデンサは、電荷の一部が誘電体吸収によって回復してきます。回復した電荷量は過去蓄積された電荷量の関数になるため、事実上これは電荷メモリと言えます。このため SHA のホールド・コンデンサに誘電体吸収がある場合、誤差が生じてしまいます。

誘電体吸収が大きいコンデンサは
サンプル&ホールド用途には使えません



短時間で放電したコンデンサは、無電荷になったときに誘電体吸収によってそれまでの電荷の一部が回復します。

図 27

したがって、このような用途で用いるコンデンサには、誘電体吸収特性が最小のものを選択する必要があります。一番良い方法は、SHA メーカーがコンデンサ内蔵の SHA を販売している場合、または SHA と一緒にコンデンサを供給している場合、これらを使用することです。これが不可能な場合（たとえば長いホールド時間が必要なときは、大きめの容量値が必要な場合があります）は、データシート記載の誘電体吸収値が小さいコンデンサを選択してください。

このようなコンデンサは一般にフィルム・コンデンサ（ポリスチレン、ポリプロピレン、テフロン）ですが、誘電体吸収を低く確実に抑えるには特別な加工処理とテストが必要のため、どんなフィルム・コンデンサでも SHA に大丈夫というわけではありません。SHA と一緒に使用するコンデンサは、特定用途向けに低誘電体吸収特性が仕様規定されたものを選択してください。

インダクタンス

浮遊インダクタンス

すべての導体は誘導成分を持ち、高周波ではきわめて短いワイヤ片のインダクタンスでさえも大きな問題になることがあります。長さ L mm、半径 R mm の円形断面を持つ真直ぐなリード線のインダクタンスは、自由空間において次式で表すことができます。

$$0.0002L \left[\ln \left(\frac{2L}{R} \right) - 0.75 \right] \mu\text{H}$$

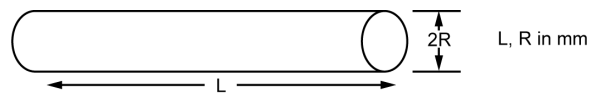
自由空間での幅 W mm、厚さ H mm のストリップ・ライン（基板パターンのようなもの）のインダクタンスは、次式で表すことができます。

$$0.0002L \left[\ln \left(\frac{2 \cdot L}{W+H} \right) + 0.2235 \left(\frac{W+H}{L} \right) + 0.5 \right] \mu\text{H}$$

これら 2 つの式は、いずれも近似値を表しているのみですが、実際のシステムでは、これでも関与するインダクタンス量の概略値をつかむには十分です。これらの式で計算すると、長さ 1cm、直径 0.5mm のワイヤは 7.26nH のインダクタンスになり、長さ 1cm、幅 0.25mm の基板パターンは 9.59nH のインダクタンスになります。これらはいずれも測定値と十分近い値になっています。

7.26nH のインダクタンスは 10MHz で 0.46Ω のインピーダンスになるため、50Ω 系で 1% の誤差を生じさせる可能性があります。

インダクタンス



リード線のインダクタンス = $0.0002L \left[\ln \left(\frac{2L}{R} \right) - 0.75 \right] \mu\text{H}$

例：直径 0.5mm の 1cm のリード線は 7.26nH のインダクタンスになります (2R = 0.5mm, L = 1cm)



基板パターンのインダクタンス = $0.0002L \left[\ln \left(\frac{2L}{W+H} \right) + 0.2235 \left(\frac{W+H}{L} \right) + 0.5 \right] \mu\text{H}$

例：幅 0.25mm の 1cm のパターンは 9.59nH のインダクタンスになります (H = 0.038mm, W = 0.25mm, L = 1cm)

図 28

信号の配線設計の悪い例と改善された例

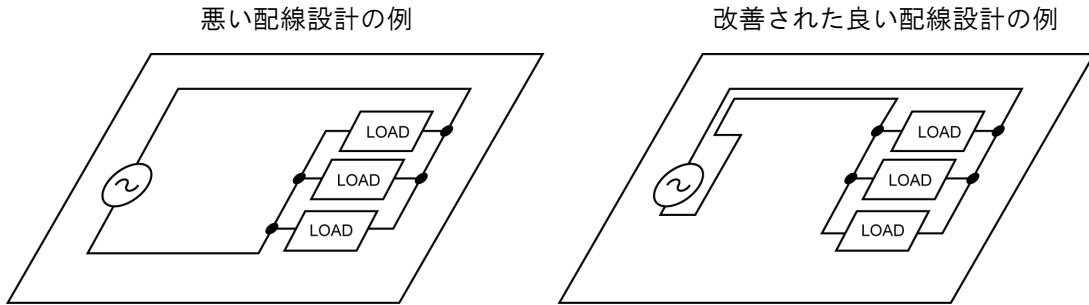


図 29

相互インダクタンス

インダクタンスについて考慮しなければならない別の点は、流出する電流とリターン電流が別経路になっていることです。後でも詳しく述べますが、キルヒホッフの法則によると、電流は閉回路を流れ、常に往路と帰路があります。つまり経路全体でシングルターン（単巻）のインダクタになります。この1周が囲む領域が大きければ、インダクタンスが大きくなり、交流インピーダンスも同じく大きくなります。逆に往路と帰路が近接していれば、インダクタンスはずっと小さくなります。この原理を図 29 に示します。

図 29 に示す悪い配線設計の例には、欠点がもう 1 つあります。導体を作る大きな領域から広く外部磁界が発生し、ほかの回路と干渉しあい、余計な結合が引き起こされることがあります。同様に領域が広がると、外部磁界との相互誘導の影響を受けやすくなり、ループ内に不要な信号が誘導されることがあります。この基本原理を図 30 に示します。これが不要な信号（ノイズ）が回路間で伝達される一般的なメカニズムです。

その他の多くのノイズ源と同様、作用原理が理解できれば、その影響を抑える方法もすぐにわかります。図 30 に示す、式のすべてもしくは一部のパラメータを小さくすれば、結合が減少できます。干渉を引き起こす信号の電流の周波数や振幅を小さくすることは現実的ではないので、干渉を及ぼしている回路と干渉を受けている回路の両方で、それぞれのループ領域（面積）を縮小し、できれば回路間の距離も離すことで、相互インダクタンスを減少できます。

適切な信号の配線設計で相互インダクタンスを減少できます

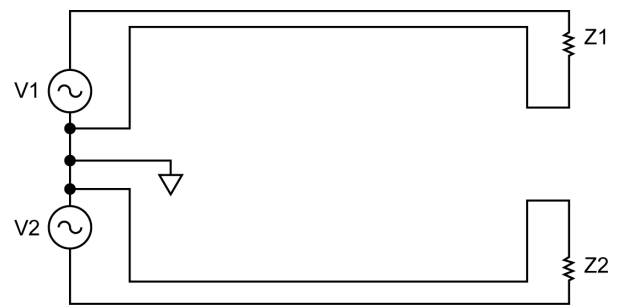


図 31

誘導性結合の基本原則

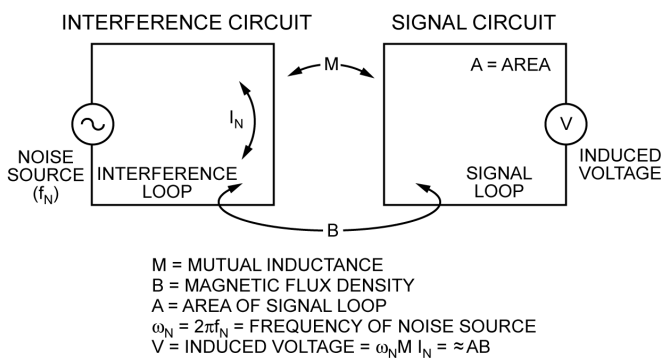
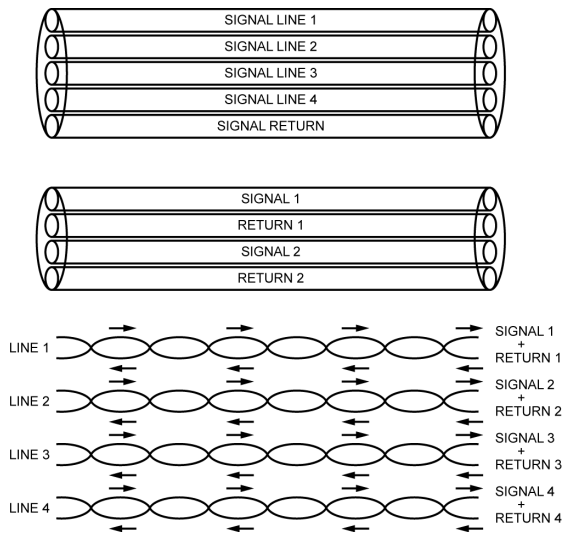


図 30

フラット・リボン・ケーブルの場合、それも特に、複数の信号で 1 本のリターン経路を共用している場合は、相互インダクタンスが問題になりがちです。信号ごとに信号ラインとリターン・ラインを分離すれば問題を軽減できます。また信号ごとにツイスト・ペア・ケーブルを使用すれば、さらに良好になります（ただしこれは高価になり、多くの場合そこまでする必要はありません）。

リボン・ケーブルでの相互インダクタンスと信号結合



フラット・リボン・ケーブルでリターン経路が1本の場合、回路間に大きな相互インダクタンスがあります

回路ごとに信号ラインとリターン・ラインを分離して交互に入れ替れば、相互インダクタンスが抑制できます

ツイストペアにより、相互インダクタンスがさらに抑制できます

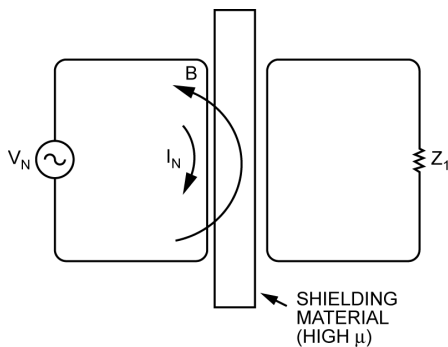
図 32

磁気シールドによって相互インダクタンスを抑制することもできますが、電界をファラデー・シールドでシールドするほど簡単ではありません。高周波磁界は導電材料でブロックできますが、低周波電磁界と直流磁界にはミューメタル・シートで作られたシールド材料で遮蔽します。ミューメタルはきわめて高い透磁率を持つ合金ですが、高価であり、機械的ストレスで磁気特性が低下してしまい、あまり高い磁界にさらされると磁気飽和してしまいます。そのためできるだけ使用しないほうがよいでしょう。

波数応答を定義するために広く用いられますが、問題を引き起こすこともあります。

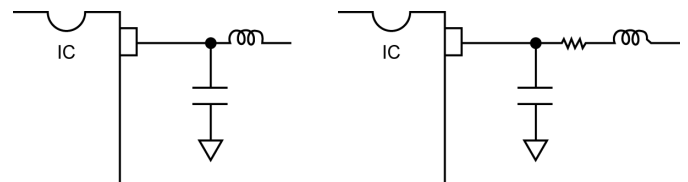
回路内の浮遊インダクタンスと容量（浮遊の場合もそうでない場合もあります）で同調回路が形成される場合、回路内の信号によってこの同調回路が励起され、同調回路の共振周波数でリングングが起きることがあります。その例を図 34 に示します。この例では誘導性の電源ラインとデカップリング・コンデンサで共振回路が形成され、IC に流れるパルス電流によって共振する可能性があります。

磁気シールド



● 磁気シールドは静電シールドほど簡単ではありませんが、高周波では簡単な導電スクリーンによって、低周波と直流ではミューメタルなどの高透磁率材料での遮蔽で実現できます。

デカップリングされた電源ラインにより形成される共振回路



デカップリングした電源ラインの等価回路：次の周波数で共振します

IC の近くに配置した小さい直列抵抗で Q 値を低減できます

$$f = \frac{1}{2\pi\sqrt{LC}}$$

図 34

リングング

直列または並列にコンデンサとインダクタを接続すると、共振（つまり「同調」）回路が形成されます。この回路の主な特徴は、狭周波数範囲で急激にインピーダンスが変化することです（変化の急峻さは同調回路の Q 値に依存します）。Q 値は狭帯域回路の周

この影響を最小限に抑えるには、インダクタンスの Q 値を小さくします。そのためには、電源ライン上の IC 近くに小さい抵抗を挿入するのが一番簡単です。

インダクタの寄生効果

インダクタンスは電子回路の基本特性の1つですが、抵抗やコンデンサに比べると、高精度なインダクタはあまり多くありません。この理由は、抵抗やコンデンサに比べてインダクタの製造は難しく、安定性に乏しく、物理的堅牢性も劣っているからです。インダクタンスが nH から数十ないし数百 μH の、安定した高精度なインダクタであれば比較的簡単に製造できますが、もっと大きい値のインダクタになると安定性が難しく、大型になる傾向があります。

このような状況から想像できるように、一般論として、回路に高精度なインダクタをできるだけ使用しない設計をします。高周波での狭帯域回路用途の同調回路以外では、高精度アナログ回路で安定した高精度インダクタを使うことはほとんどありません。

もちろん電源ラインフィルタやスイッチング電源など、高い精度があまり要求されない用途では、インダクタが広く使われています。このような用途で使用するインダクタにおける重要な特徴は、電流許容特性、電流飽和特性、そして Q 値です。インダクタが空芯巻線できている場合、基本的にそのインダクタンスはインダクタを流れる電流量に影響されません。しかしコアが磁性材料（磁性合金またはフェライト）の場合、大電流になるとコアが飽和し始めるため、インダクタンスが非線形になります。

飽和

- 空芯でないコア（磁性合金またはフェライト）を使ったインダクタは、電流が大きすぎると動作が非線形になる。
- 高精度回路ではこれがただちに問題になることはまずないが、電源ノイズ性能に影響を与えることがあるため、間接的に高精度回路特性を阻害することがある。

図 35

このような飽和は、インダクタを使った回路の効率を低下させ、ノイズや高調波を増やす可能性があります。

先の説明のようにインダクタとコンデンサが一緒になっていれば同調回路が形成されます。どんなインダクタでもいくらか浮遊容量があるため、共振周波数を持ちます（これは通常、データシートに記載されています）。高精度インダクタとして使用する場合は、インダクタの共振周波数を十分に下回る周波数で使用してください。

すべてのインダクタは浮遊容量を持ち同調回路になります

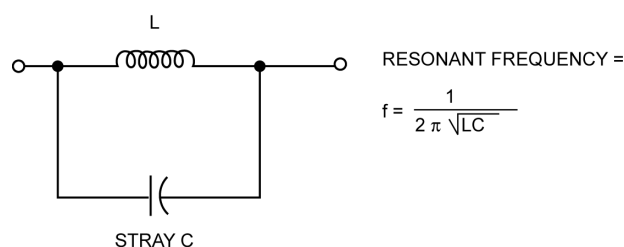


図 36

Q値あるいは「Quality Factor」

次のインダクタの寄生特性は、Q 値（つまり「Quality Factor」）です。これはインピーダンスのリアクタンス成分とその抵抗成分との比です。

$$Q = 2\pi fL / R$$

ほとんどの場合、インダクタの Q 値を DC 抵抗値から計算できません。表皮効果（およびインダクタに磁心がある場合は鉄損）によって、高い周波数におけるインダクタの Q 値は DC 抵抗値から予測される値よりも必ず小さくなるからです。

Q 値自体もまた、同調回路の特性でもあります（さらにコンデンサの特性でもありますが、一般にコンデンサの Q 値は十分に高いため、実際の用途の大部分では Q 値は考えません）。同調回路の Q 値は共振周波数を中心とする帯域幅の大きさを示していますが、一般的に使用するインダクタの Q 値が支配的になります（抵抗を追加して故意に低くする場合を除きます）。

Q 値あるいは「Quality Factor」

- インダクタまたは共振回路の Q 値は、そのリアクタンスと抵抗との比を表す。

$$Q = 2\pi fL / R$$

- 抵抗は高周波での値であり、直流での値ではない。
- 単同調回路の 3dB 帯域幅は F_c/Q である（ F_c = 中心周波数）。

図 37

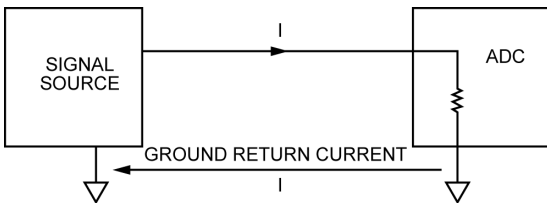
LC 同調回路では Q 値が 100 (3dB 帯域幅が 1%) を超えることはめったにありませんが、セラミック共振器の Q 値は数千、水晶共振器の Q 値は数万にもなることがあります。

グラウンド設計と信号配線

信号のリターン電流

キルヒホッフの法則によれば、回路内の任意の接続点での電流の代数和はゼロです。つまりすべての電流はループ状に流れており、回路を解析するときは必ずリターン電流を考慮する必要があることがわかります⁶。

キルヒホッフの法則



回路内の任意の点において電流の代数和はゼロになります
つまり出て行ったものは帰って来なければならず、
すべての電圧は差分量である（たとえ接地されていても）
ということになります

図 38

多くの人が完全差動回路の構成を考えるときは、リターン電流のことを考えます。しかし信号が「グラウンド」を基準とする普通の回路として考えるときは、回路図上のグラウンド記号が書き込まれているすべての点を同電位だと想定するのがふつうです。ただしこれは賢明な考え方ではありません。

理想のグラウンド

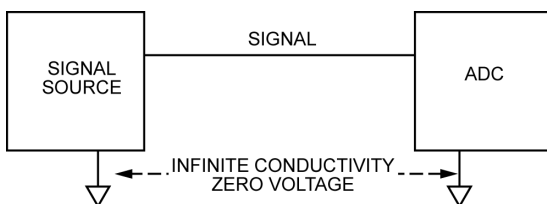


図 39

グラウンド・ノイズとグラウンド・ループ

現実的なグラウンドのモデルを図 40 に示します。図 39 に示す 2 つの「グラウンド」点間に存在する複素インピーダンスにリターン電流が流れ、信号の経路全体で電圧降下が生じるだけでなく、これ以外の回路電流も同じ経路を流れて、ADC が無相関な電圧ノイズを検出してしまふことがあります。

より現実的なグラウンド

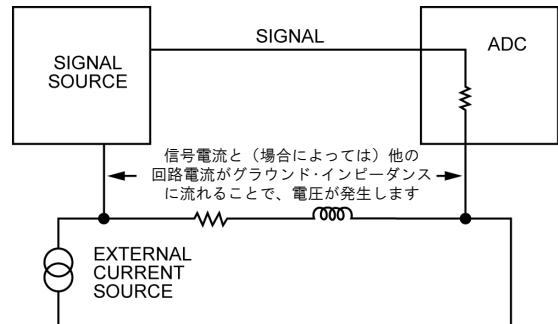
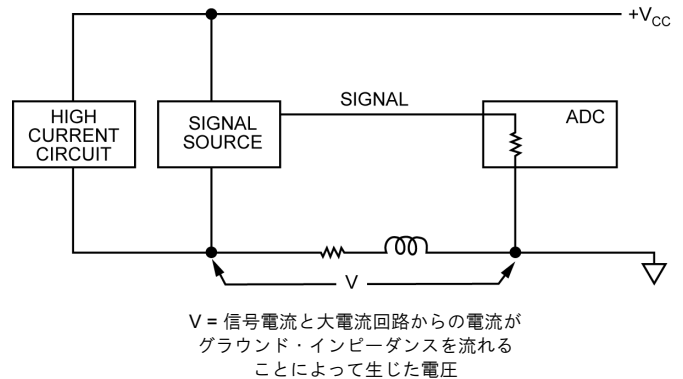


図 40

もちろんこれ以外の回路の電流も、電流が流れる経路になってさえいればこのグラウンド・インピーダンスに流れる可能性があります。図 40 に「グラウンド電位」として考えるときの、そのような経路を示します。これが悪名高き「グラウンド・ループ」です。しかし信号電流と他の回路電流がグラウンド・リターン経路（ループになっていなくても）を共有しており、この電源とグラウンド・リターン経路に大きい変動電流が流れてしまう回路でも、同様な深刻な問題が生じることがあります。

共通グラウンドに流れるすべての電流は
ノイズを発生させます
必ずしもグラウンド・ループである
必要はありません



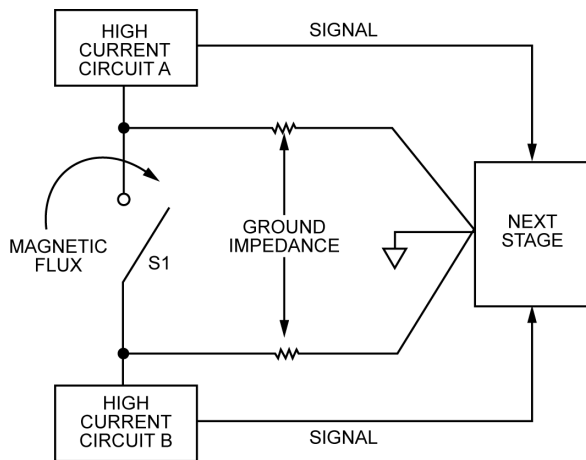
V = 信号電流と大電流回路からの電流が
グラウンド・インピーダンスを流れる
ことによって生じた電圧

図 41

図 42 を見てもわかるように、グラウンドがループになっている場合は、外部磁界からの誘導誘起電圧が生じやすくなります。また、グラウンド電流は大電流が流れる部分以外を流れるようになり、これによって重要な回路部分でノイズ発生の可能性が高くなります。これらの理由により、グラウンド・ループはできる限り避けたほうがよいでしょう。

しかしループ・グラウンドによって許容できないレベルのノイズの生じる可能性が低く、このような接続が安全性やインピーダンス低減の点で有益だという場合もあります。この場合には最適なグラウンド配置でもループが含まれることもあります。解析と実験が綿密に行なわれた結果、このような設計が実用途上で最適だと判明されれば、「グラウンド・ループ」という言葉が作り上げる迷信的恐怖のせいで、そのような設計の採用を躊躇してはいけません。

グラウンド・ループ



S1 を閉じると、グラウンド・ループが形成されます。

ノイズには、次の原因が考えられます。

- 磁束がグラウンド・ループを横切っていること
- A のグラウンド電流が B のグラウンド・インピーダンスに流れていること
- B のグラウンド電流が A のインピーダンスに流れていること

図 42

「超伝導グラウンド」を使用するという非現実的方法を除いても、グラウンド・ノイズ問題に対処するには、いくつか方法が考えられます。ある方法で対処すると、ほかの方法が使えないということはめったになく、現実のシステムでは複数の方法を組み合わせて対処します。しかしここでは説明のために、それぞれの方法を 1 つずつ論じてみましょう。

一点グラウンド（一点アース）

一点グラウンドという設計原則は、「回路内のすべての電圧に対し基準となる 1 点が存在する」という理論に基づいています。この点を一点グラウンド点と呼びます。

一点グラウンド（一点アース）

システム内すべての信号電圧が 1 点を基準にして規定されている場合、その点をシステムの一点グラウンド（アース）と言う。

図 43

この設計の考え方は合理的ですが、実際には往々にして支障があります。たとえば私たちがシステムを一点グラウンドで設計していて、信号の相互作用や、高インピーダンス信号やグラウンド経路の影響が最小限に抑えられるような信号経路を、設計図面上に

すべて書き込んだとしましょう。それでも回路図に電源が加えられたとき、この電源により望ましくないグラウンド経路が生じたり、もともとあったグラウンド経路に流れてしまう電源電流が大きかったり、ノイズがあったり（あるいはその両方）して、信号伝送特性が損なわれることがあります。この問題は、回路の部分ごとに電源を分離すると解決できることがあります。ミックスド・シグナル設計で一般的なことは、アナログ電源とデジタル電源を分離し、またアナログ・グラウンドとデジタル・グラウンドを分離し一点で接続することです。

アナログ・グラウンドとデジタル・グラウンドの分離

デジタル回路にはノイズが多く存在します。飽和型論理デバイスでは、レベル切替え時に電源から高速かつ大きい電流スパイクが流れますが、数百 mV 以上のノイズ・マージンがあるため、高度な電源デカップリングの必要はほとんどありません。

一方でアナログ回路は、電源やグラウンドからのノイズに敏感です。したがって、アナログ回路とデジタル回路を分離して、アナログ回路の性能がデジタル・ノイズによって低下しないようにすることが賢明でしょう。このような分離方法では、グラウンドと電源の両方を分離しますが、ミックスド・シグナル・システムではこれが出来ないことがあります。それでも本来の性能をシステムで発揮させるためには、アナログとデジタルのグラウンドと電源を分離したほうが確実です。たとえば+5V 単電源で動作するアナログ回路だとしても、これはマイクロプロセッサや DRAM、扇風機、あるいは電磁削岩機などで使われているのと同じ、ノイズの多い+5V 電源で問題なく動作するという意味ではありません。

電源とグラウンドのノイズ

- デジタル回路にはノイズが多い。
- アナログ回路にはノイズが少ない。
- デジタル回路の回路ノイズは電源リード線やグラウンド・リード線を介して伝達され、高精度アナログ回路を台なしにすることがある。
- システムのデジタル部分とアナログ部分で電源とグラウンドを分離するとよい。
- アナログ・グラウンドとデジタル・グラウンドは1点で接続する必要がある。

図 44

しかしアナログ・グラウンドとデジタル・グラウンドを1つのシステム内のどこかで結線し、信号の基準となる共通な電位を作る必要があります。この一点接続点、つまりアナログとデジタルの共通ポイントは、システムのアナログ部分のグラウンドに対してデジタル電流が流れないように位置に選びます。多くの場合、この接続ポイントを電源のところにすると良いです。

多くの ADC と DAC は「アナログ・グラウンド」ピンと「デジタル・グラウンド」ピンが別であり、データシートでは、これらのピンをパッケージの外側で互いに接続するように推奨しています。これは「アナログ・グラウンドとデジタル・グラウンドを電源のところで接続する」というアドバイスに矛盾するように思えます。また複数のコンバータが使われるシステムでは、「アナログ・グラウンドとデジタル・グラウンドを1点で接続する」というアドバイスにも矛盾するように思えます。

アナログ・グラウンドと デジタル・グラウンド

- 単一チップ ADC とハイブリッド ADC には、一般に AGnd ピンと DGnd ピンが別々にあり、これらをデバイスの外側で結合する必要がある。
- こうする理由は、問題をさらに難しくしたいからではなく、ボンディング・ワイヤの電圧降下が大きすぎて内部的に接続することが不可能だからである。
- この条件から生じるグラウンド問題を解決する最善の方法は、2本のピンをシステムの「アナログ・グラウンド」に接続することである。
- この方法でシステムの AGnd に流れるデジタル・ノイズ量や、デジタル回路のノイズ・マージン低下は、システムの性能に深刻な影響を与えるものにはならないと考えられる。

図 45

しかし実際には、矛盾は何もありません。これらのピンの「アナログ・グラウンド」と「デジタル・グラウンド」というラベルは、ピンが繋がっているコンバータ内部の部分を表しているだけであって、接続先であるシステム・グラウンドを意味しているわけではありません。一般にこれら 2 つのピンは、システムのアナログ・グラウンドに対し一緒に接続します。これらのピンを IC パッケージ内では接続できません。というのは、コンバータのアナログ回路部分は、ボンディング・ワイヤからチップにデジタル電流が流れることで生じる電圧降下を許容できないからです。

このようにこれらのピンを接続すると、コンバータのデジタル・ノイズ耐性は、デジタル・グラウンドとアナログ・グラウンド間の同相ノイズ量だけ減少してしまいます。しかしデジタル回路のノイズ・マージンは数百または数千 mV のレベルであるため、問題にはなりません。

ADC/DAC のアナログ・グラウンド (AGND) とデジタル・グラウンド (DGND) は システムのアナログ・グラウンドに 戻してください

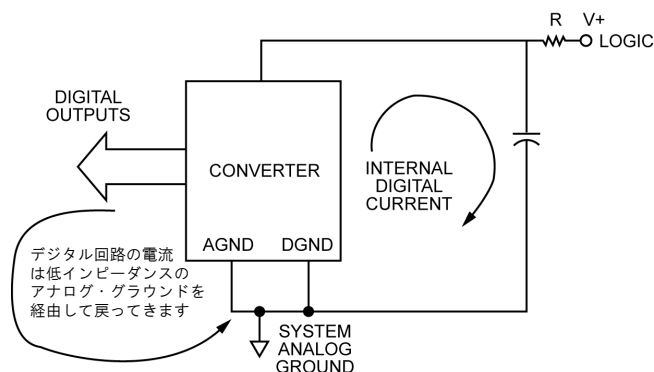


図 46

アナログ回路部分のノイズ耐性が減少する量は、アナログ・グラウンド上に流れるコンバータそのもののデジタル電流によってだけです。これらの電流はきわめて小さく、コンバータ出力が大きなファンアウト数を駆動しないようにすれば、さらに最小限に抑えることができます。小抵抗でコンバータへのロジック電源と分離され、コンバータのできるだけ近くに 0.1μF コンデンサを配置し、アナログ・グラウンドをデカップリングしている場合、コンバータ内部のデジタル電流は、すべてコンデンサを通じてグラウンドに戻り、外部グラウンド回路には流れません。アナログ性能を十分に発揮するのに十分なだけアナログ・グラウンドのインピーダンスが低ければ、外部デジタル・グラウンド電流によってノイズが増えても、まず問題になることはありません。

グラウンド・プレーン

一点グラウンド・システムは、グラウンド・プレーンを使うことと関係しています。両面プリント基板の片面、または多層プリント基板の1層を連続した導体面(べた)のままにし、これをグラウンドにします。導体部分が大きいほど抵抗値が低くなり、インダクタンスも小さくなるという考えに基づいています。

グラウンド・プレーン

- PCBの1つの面または層の全体が、接地された連続導体面である。
- これによってグラウンド抵抗とインダクタンスを最小にできるが、すべてのグラウンド問題を解決するには必ずしも十分ではない。
- グラウンド・プレーン内のスリットは、回路性能を向上させることもあれば低下させることもある(一般的原則はない)。
- 20年前はグラウンド・プレーンの製造は困難だったが、現在はそうではない。
- グラウンド・プレーンつき基板の製造に基板製造工場が反対してくるのであれば…新しい工場を探すこと!

図 47

製造や組立て上で問題が生じやすいという理由で、グラウンド・プレーンを使用しないほうがよいという意見を聞くことがあります。たしかにプリント基板層間接着剤の開発がまだ不十分で、フロー半田の信頼性が低く、ソルダー・レジスト技術もあまり理解されていなかった20年前では、このような意見ももっともだと言えることもありましたが、しかし今日ではとんでもありません。

グラウンド・プレーンを使用することによってグラウンド・インピーダンスによる多くの問題が解決します。しかし、すべてが解決できるわけではありません。銅張連続(べた)面でさえ残留抵抗とインダクタンスがあり、場合によっては正常な回路機能を妨げることさえあります。図48にこの問題の例、そして解決策を示します。

基板のグラウンド・プレーンが幅100mmで、一端がグラウンドに接続され、もう一方にパワーアンプがあり、15Aを消費しているとします。グラウンド・プレーンの銅厚さは0.038mmで、それに15Aが流れる場合、68μV/mmの電圧降下が生じます。この電圧降下は、プリント基板上でグラウンド基準を共有している高精度回路に対しきわめて深刻な問題を引き起こします。しかしグラウンド・プレーンにスリットを入れて、高精度回路の領域に大電流が流れないようにすれば、たとえグラウンド・プレーンに電流が流れることで電位傾斜が増加しても、問題を解決できるでしょう。

グラウンド・プレーン内のスリットによって電流の流れを変え、精度を改善します

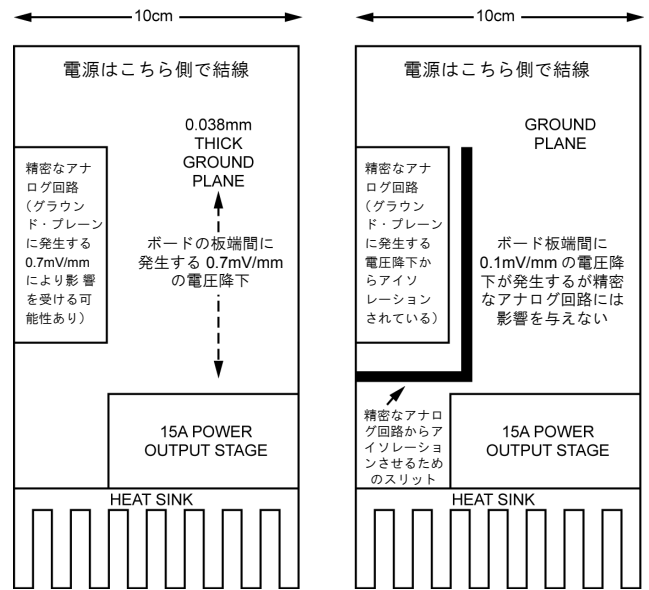


図 48

伝送ライン

スリットをグラウンド・プレーンに入れることは、必ずしも良いことばかりではありません。「往きと帰りの信号経路を接近させれば、インダクタンスを最小限に抑えることができる」というポイントは、ここまで述べてきました。図7に示したように、グラウンド・プレーン上の層となるパターンに高周波信号が流れると、この物理的形狀はマイクロ・ストリップ伝送ラインになり、このパターン下の層であるグラウンド・プレーンにリターン電流の大部分が流れます。

ラインの特性インピーダンスは、パターン幅、基板材料の厚さ、誘電率で決まります。ほとんどの低周波信号用途では、ラインが正しく終端がされていないため、特性インピーダンスは重要ではありません。しかしUHFや高周波信号用途で、正しくライン終端されたシステムでは、基板上的パターンをマイクロ・ストリップ伝送ラインとして使用できます。このようなシステムで損失を最小限に抑えるには、高周波損失が低い基板材料を選択する必要があります。これは一般的には高価なテフロン基板材料を用いることを意味します。

マイクロ・ストリップ伝送ライン

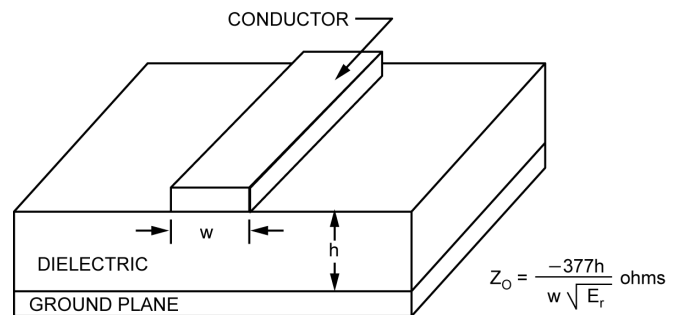


図 49

グラウンド・プレーン内のスリットでインダクタンスが増加します

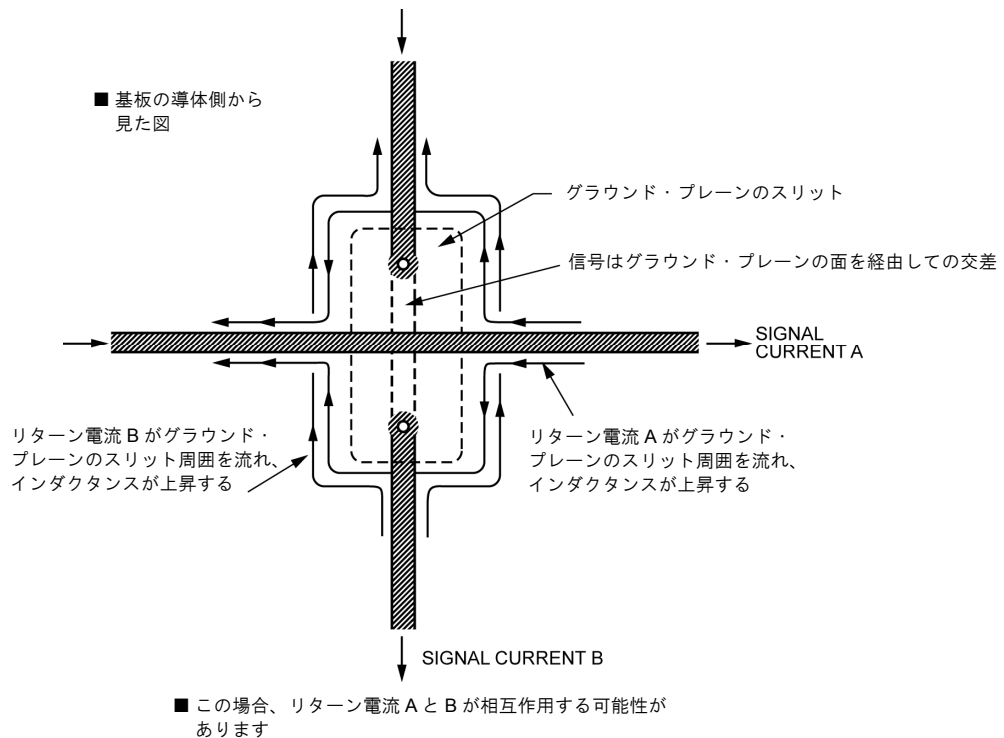


図 50

パターン下層のグラウンド・プレーン内にスリットがある場所では、リターン電流がスリットの周囲を流れることになり、外部電磁界の影響を回路が受けやすくなるとともに、インダクタンスが増加します。

2つの直交するパターンを交差させるためにこのようなスリットを作るのであれば、1本目のパターンとグラウンド・プレーンを横切るかたちで、2番目の信号を「短いリード線」を用いて基板の背面で接続させることがずっとよいでしょう。これによって、グラウンド・プレーンが2信号導体間のシールドとして機能し、2つ信号のそれぞれのグラウンド・リターン電流は、表皮効果によって相互にグラウンド・プレーンの反対側を流れるため、干渉し合うことはありません。

多層基板では、ワイヤによるジャンプ結線の必要がなく、信号ラインの交差とグラウンド・プレーン連続面の両方が実現できます。多層基板は単純な両面基板に比べて、高価かつトラブルシュートも難しいのですが、シールド効果と信号配線の柔軟性が優れています。関係している原理は同じですが、レイアウトでの選択肢の幅が広がります。

両面基板であれ多層基板であれ、高性能ミックスド・シグナル回路の設計では、少なくとも1枚の連続したグラウンド・プレーンを基本として構築することが最良の方法です。通常グラウンド・プレーンは十分に低インピーダンスなため、システムのアナログ部分とデジタル部分の両方に1枚のグラウンド・プレーンを使用することができます。ただしこれはシステム内のデジタル・ノイズ量のほか、必要な帯域幅や分解能に依存します。

システム・グラウンド

複数の基板を使用するシステム（マルチカード・システム）では、グラウンド設計が大きな問題になることがあります。この問題は一見すると、単一基板の場合と同じように、グラウンド・ノイズを最小にすべき箇所に大きいグラウンド電流が流れないように、サブシステムごとを適切に配置する必要があると思われます。しかしマルチカード・システムでは、有害な相互作用を最小限に抑えるために、個々のプリント基板のグラウンド同士を相互に接続しなければなりません。

これには3つの問題があります。最初に、共通バックプレーンに数枚のカードを挿入して構成するシステムの物理的レイアウトは、変更できる可能性が非常に少ないということが挙げられます。次に、マルチカード・システムの多くは、多数のシステム・オプションを可能にするために、任意のカードを複数枚挿入できる方式で、簡単に再構成できるよう設計されています。どんなシステムが必要になるかを予測し、そのすべてでノイズが全くない状態にすることは不可能です。最後に、マルチカード・システムは比較的単純な単一基板構成と比べて、グラウンド電流が大きくなる可能性があります。カードごとに複数のグラウンド・ピンを使用している場合、カード間コネクタに内在する高めのインピーダンス経路をこの電流が流れなければなりません。

とはいえこの場合も、基本原則は当てはまります。つまりグラウンド・インピーダンスをできるだけ低くし、高レベルの信号と低レベルの信号が互いに干渉しないように分離し、容量と相互インダクタンスによる結合を避けるようにする必要があります。それでも基板間で高精度信号を高速に伝送する際に、許容できない信号劣化が生じる可能性には注意しなければなりません。

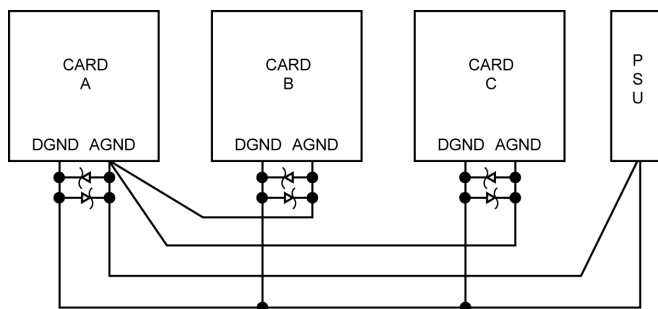
マルチカード・システム

- マルチカード・システムは、基板 1 枚の場合に比べ、グラウンド電流とグラウンド・インピーダンスが高くなる可能性がある。
- したがって、基板 1 枚のシステムの場合と比べて、グラウンドを基準電位とした信号をカード間で正確に伝送することは難しい。
- 場合によっては、グラウンド基準の信号を、許容できる品質低下のレベル内で、基板間で伝送することが不可能になる。

図 51

マルチカード・システムでグラウンド・インピーダンスを最小限に抑えるベストな方法は、もう 1 枚別基板をバックプレーンに使用し、そのマザー・ボード上にグラウンド・プレーンを 1 つ（あるいは、アナログ用とデジタル用に 2 つ）設けることです。前述の複数グラウンド・ピンについてのアドバイスに従ってれば、この配置で優れた性能を得ることが出来ます。複数のカード・ケージ（基板ラック）がある場合は、複数のマザー・ボードのグラウンド・プレーン同士を接続し、さらにカード・ケージを保持する金属シャーシ部分にも接続したほうがよいでしょう。なお正しい結線レイアウトは、システム全体の構成に依存します。

マルチカード・システムでのスター型 アナログ・グラウンド



- アナログ・グラウンドが失われた場合、ショットキー・ダイオードでカードを保護します。
- 大きなグラウンド電流が流れる場合や高分解能の場合、このグラウンド・システムでは不十分なことがあります。
- これによって、グラウンド基準の信号をカード間で正確に伝送できます。

図 52

グラウンド・プレーン付きマザー・ボードが使用不可能な場合は、基板ソケットのグラウンド・ピン同士を一緒に配線します。その際には、できるだけ低抵抗の太い多重撚り線を用い、電流の流れる経路や共通グラウンド・インピーダンスに十分に注意を払う必要があります。多くの場合、その結果形成されたグラウンド・スクリーンを複数ポイントでシャーシ・グラウンドに接続します。しかし場合によっては、単一の一点グラウンド・ポイントで接続したほうがよいこともあります。

高性能ミックスド・シグナル・システムで重要なことは、グラウンド・レイアウトだけではありません。システム全体の性能を決定する上では、さまざまなサブシステムの配置方法と信号配線設計が最も重要なこととなります。

信号配線設計

システム・レイアウトに注意を払い、さまざまな信号が互いに干渉しないようにすれば、明らかにノイズを最小限に抑えることができます。高レベルのアナログ信号と低レベルのアナログ信号を分離し、どちらもデジタル信号から離して配置してください。信号波形のサンプリング/再生システムでは、サンプリング・クロック（デジタル信号ですが）はノイズに対してアナログ信号と同じくらい脆弱なものです。デジタル信号と同じようにノイズを発生しやすいため、アナログ・システムからもデジタル・システムからも分離しておく必要があります。

ミックスド・シグナル・システムの 信号配線設計

- アナログ信号とデジタル信号を物理的に分離する。
- アナログ信号とデジタル信号が交差するのを避ける。
- サンプリング・クロックと A/D コンバータのアナログ入力信号のパターン経路に注意する。
- 高インピーダンスのポイントに注意する。
- 多数のグラウンド・プレーンを使用する。
- マイクロ・ストリップ技術によってインピーダンスを制御する。

図 53

グラウンド・プレーンを使うと、多くのケースとして、重要な信号が交差するところでシールドとして使えることがあります。図 54 はデータ収集システムの良いレイアウト例を示します。ここでは、重要な領域はすべて相互に分離されており、信号経路はできるだけ短くしてあります。これほど整然としていることは現実にはあまりありませんが、それでもこの原則は有効です。

プリント基板のフローチャート

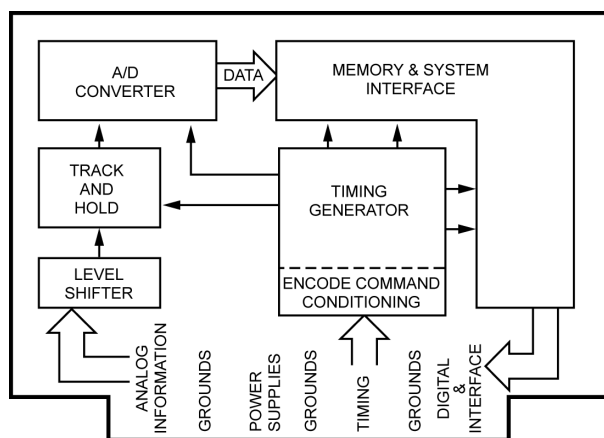


図 54

信号ラインと電源ラインの接続には、注意しなければならない、いくつかの大切なポイントがあります。すべての信号導体を並列に配線しなければならない箇所がシステム内に幾らか存在します。コネクタはそのひとつです。したがってこのようなときは、グラウンド・ピンで分離すると、信号間の結合を減らせるので良好です。

エッジ接続

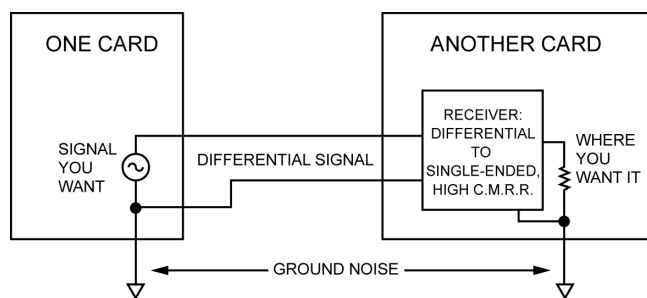
- 大切な信号はグラウンド・ピンによって分離する。
- 複数（全体の 20~30%）のグラウンド・ピンでグラウンド・インピーダンスを抑える。
- 各電源ラインに数本のピンを用意する。
- 特に重要な信号には、別のコネクタ（できる限り同軸）が必要になることがある。

図 55

このほかにもグラウンド・ピンを複数用いる重要性があります。複数のグラウンド・ピンを用いることで、ボードとバックプレーン間の接合部でグラウンド・インピーダンスを低く抑えられます。ボードがまだ新しいときは、基板コネクタのピン 1 本の接触抵抗はきわめて低い値（10mΩ 程度）です。しかしボードが古くなると、接触抵抗が高くなり、ボードの性能が低下することもあります。したがって余分に基板コネクタのピンを割り振り、多数のグラウンド接続が得られるようにすることは十分価値があります（基板コネクタ上の全ピン数のだいたい 20~30%をグラウンド・ピンにしてください）。同様な理由で、複数のピンが電源接続に対しても必要ですが、グラウンド・ピンほどの数は必要ありません。

現代の高性能ミックスド・シグナル・システムでは、500MHz を超えるサンプリング・レートで分解能 8 ビット、10MHz を超えるサンプリング・レートで分解能 14 ビットでの信号処理が可能です。マルチカード・システムでのカード間シグナル・インテグリティを、このような性能レベルまで持っていくことはきわめて難しく、場合によっては不可能なこともあります。

差動伝送でグラウンド誤差を最小限に抑えられます



- 直流と低い周波数では、レシーバは計装アンプを 사용합니다。
- 高い周波数では、レシーバはトランスを 사용합니다。
- 直流から高周波までの成分を持つビデオ信号では、理想的なレシーバはありません。

図 56

平衡伝送ラインを利用することは役立つこともありますが、直流まで信号帯域幅が及ぶ場合、グラウンド基準電位の信号を受信側で復元するためには、きわめて高性能な計装アンプが必要になります。

ビデオ信号の伝送

- マルチカード・システムにおいて、基板間で相当な広帯域、かつ高精度信号を伝送する場合、許容できないほど品質が低下してしまうことがある。
- この場合、1 個の基板上ですべてのアナログ処理を行うようにシステムを再構成する必要がある。
- このようにするのは、たとえ都合が悪くても、これしかシステムを機能させる方法はないから！

図 57

このたぐいの問題を解決する最良、かつ、ほとんど唯一の方法は、システムの分割設計の際に、最高品質が必要な信号をボード間をまたいで伝送させないようにすることです。

電源

電子回路を設計するときは、電源からはノイズの全くない電力が当たり前のように得られ、公称電圧もぴったりであり、あらゆる周波数で信号源インピーダンスもゼロだと思込みがちです。しかし実際にそのようなことはありません。

使用するデバイスについても、公表されている電源電圧変動除去比 (PSRR) は、直流から光の周波数までのあらゆる周波数でその性能が有効だと考えてしまいます。実際にこれもまた、そんなことはありません。

電源ノイズ

- 長期の電圧変動
(直流出力電圧または AC ライン電圧の長期的な変動)
- AC ライン・ノイズ
(整流器出力での 100/120Hz リップルと、直流出力に伝わる AC ラインの過渡ノイズの両方)
- スイッチング・ノイズ
(スイッチング電源からのデジタル・ノイズ)
- 電源ラインによるノイズ伝達
(共通電源ラインを通じて回路の素子間で伝わる不要な信号)

図 58

電源ノイズ

あらゆる電源にはノイズがあります。このノイズは長期の電圧ドリフト、100 または 120Hz のライン・リップル、スイッチング・レギュレータから出る高周波スパイク、これらのいずれか、あるいはこれら全部が一緒に含まれることもあります。電源は出力インピーダンスが有限であるため、回路電流が変動する場合、電源電圧も電流とともに変化します。共通電源で 2 つの回路に電源を供給する場合には、このようなしくみで 1 つの回路から別の回路に影響が及ぶことになります。これらの影響がすべて評価できれば、定量化して、システムへの悪影響を最小限に抑える対策が講じられるでしょう。

バッテリー寿命による電圧降下やライン電圧変動などの長期的な電源電圧変動が問題になることはめったにありません。このような変動により支障が生じることがわかっているならば、システムに電源電圧レギュレータを組み込んで、許容できる範囲内に変動を抑えられるからです。同様に AC ライン周波数の 2 倍のリップルや、AC 電源からシステムに入るおそれのあるスパイクや高周波ノイ

ズに対しては、しっかり設計を行いシステム性能が低下しないようにする必要があります。デカップリング・コンデンサでスパイクや高周波ノイズを整流回路内で十分に抑えられなくても、シリーズ・レギュレータがあればほぼ確実に除去可能です。とはいえどんな場合でも、サージ除去用の素子をシステムの AC ライン入力に取り付けておくといよいでしょう。普段生じるライン・ノイズによるシステム性能の低下を防ぐだけなら、おそらくこのような回路は必要ないでしょうが、落雷など突発的かつ大きいサージによって電源回路やその電源で動作するシステムが損傷するのを防ぐためには不可欠なものです。

スイッチング電源

電源ノイズで一番よくあるタイプはスイッチング・ノイズです。スイッチング電源は、小さく安価で効率的ですが、ほとんどの場合大きいノイズを発生します。スイッチング電源は、伝導ノイズだけでなく、容量的に結合したノイズ、磁氣的に結合したノイズ、電磁氣的なノイズもさかんに発生させます。一番良いことはスイッチング電源を使用しないことです。

スイッチング電源

- ありとあらゆる考えられる限りのノイズだけでなく、想定外のノイズも生成することがある。
- ノイズ特性が重要な場合は、使用しないこと！
- どうしても使用しなければならない場合は、決して安易に使用しないこと。あらゆるタイプのノイズに対し万全の注意を払うこと。
- 現在購入中のスイッチング電源について、メーカーが設計を変更している場合、公表されている仕様がかわらなくても、システム・ノイズに及ぼす影響が変化することがあるということを忘れないこと。

図 59

残念なことですが、いつもスイッチング電源を使わないで済むというわけではありません。どうしても使用しなければならない場合には、最大限の疑念とともに取り扱う必要があります。考えられる限りのあらゆる予防措置を講じて、スイッチング電源のノイズでアナログ回路の特性が損なわれないようにする必要があります。すなわち、すべての周波数でスイッチング電源の入出力ラインをデカップリングし、外部電磁界による干渉を防ぐためにシールドし、さらにできるだけ影響を受けやすい回路から離して配置することで、残留電磁界により深刻な障害が生じないように防止しなければなりません。

スイッチング電源を使用する場合に良くやる方法として、スイッチング電源を取り外し、バッテリーか低ノイズ実験用安定化電源を使ってシステムに電源を供給し、スイッチング電源によるシステム性能低下がないかを調べるとよいでしょう。実際にはシステム性能が低下していることがよくあります。

スイッチング電源の出力ライン・ノイズは、きわめて短時間の過渡的変動の電圧スパイクのようなものです。前述のように、電解コンデンサやフィルム・コンデンサなどの大容量コンデンサは、かなりのインダクタンスを持ち、高い周波数のインピーダンスが大きすぎるので、このような電圧スパイクを十分にデカップリングできません。最良のスイッチング電源用出力フィルタは、大容量コンデンサ（低周波ノイズを除去します）とセラミック・コンデンサ（短いリード線で高い周波数で低インピーダンスを示します）を併用し、電圧スパイクによる誘導電圧をブロックできる直列インダクタ（出力ライン上にフェライト・ビーズを挿入することもできます）を持つπ型フィルタでしょう。ケースなどの隔壁に取り付ける1個の貫通型部品などのπ型フィルタも使用できます。

電磁干渉

無線周波数干渉

電磁界放射によりノイズが回路に侵入することがあります。回路自体も電磁放射を生成しており、かなり離れた位置にある電子デバイスにさえも妨害を与えることもあります。最近では、米国・欧州共同体・そのほか多くの国々で、発生する雑音干渉量やこのような干渉に対する回路の脆弱性（耐性）について法規制がされています⁷。

このような法律やその対応に必要なとされる技術については、数多くのセミナーやトレーニング・コースがあり、アナログ・デバイセズのアプリケーション・ノート⁸でも論じられています。ここではこの問題の詳細には立ち入りません。

電磁ノイズの発生

- 最小限に外部電磁界を抑えられるように回路を設計する必要がある。
- そのためには、遮蔽やデカップリングを行い、高周波電流のループ面積を最小化し、できる限りEMIが発生しない回路を設計する。
- これは、単なる良いアイデアではない。
- これは、掟である！

図 60

外部への電磁放射を最小にするという原則は、すでに述べた低ノイズ設計の原則と密接に関連しています。高周波信号と高 dV/dT 信号はファラデー・シールドで遮蔽する、電流ループの面積を最小にする、不要な高周波信号が発生する箇所は導体を高周波デカップリングする、外部と接続される配線はインダクタやフェライト・ビーズで分離する、という原則です。

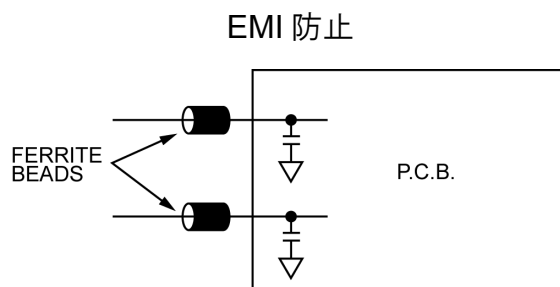
外部電磁界から回路を保護する必要性について、さきに挙げたようなセミナーでは、懐疑的な意見を今でも耳にすることがよくあります。このような懐疑論は20年前でさえ実際は不合理なものでした。しかし広く無線送信機が普及した現在では、これらはばかげた愚論でしかありません。ラジオ放送、緊急放送サービス、移動無線サービスは良く目につくものですが、そのほかにも携帯電話やコードレス電話、レーダー、ガレージ・ドア・オープナーなどのリモート・コントロール、テレメトリ、アマチュア無線やCB無線などがあります。自分の設計した回路がその稼働寿命の間、絶対に無線送信機と近接することがないと考えているとしたら、とてつもなく愚かな設計者と言えるでしょう。

電磁ノイズ干渉

- この世界は無線送信機だらけである。
- 警察、タクシー、放送、アマチュア、CB、携帯／コードレス電話、テレメトリ、ガレージ・ドア・オープナー。
- 自分の設計した回路がそのどれとも近接しないなどと思わないこと。

図 61

ある程度のレベルの電磁放射にも影響されない回路を設計することがさほど難しくないだけに、この考えはなおさら非現実的です。セラミック・コンデンサとフェライト・ビーズを使ってプリント基板から外部に出るすべての導体をデカップリングできれば、おそらくそれ以上の対策は必要ないでしょう。



フェライト・ビーズとコンデンサでのL型フィルタを基板の外部接続される導体ごとに用意するだけで、多くの場合で十分です。

図 62

入出力ポートによってはもっと脆弱なものがあり、L型フィルタではなくπ型フィルタが必要になることがあります。もちろん実際にボードにEMI信号が入出力するポートにはフィルタ処理を行います。そこでは目的の信号はそのまま通し、ほかのEMIは抑制するようにしなければなりません。

高レベルの高周波電磁界環境下での動作が要求されるボードは、導電ファラデー・シールドで遮蔽する必要があります。

光電効果

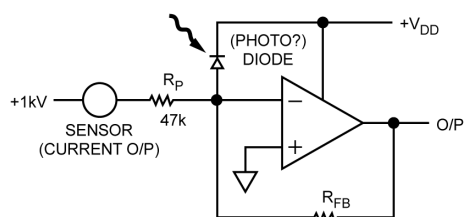
光は電磁放射線の一種であり、半導体デバイスに影響を与えます。あらゆるシリコン P-N 接合はフォトダイオードになりえますが、その光電効率は大きく異なります。周囲光からデバイスが遮蔽されていないと、光電効果が生じることがあります。

ほぼすべての集積回路は、遮光性パッケージに封入されています。(ただし、EPROM は例外であり、光度の変化に伴って EPROM のしきい値の変化が見て取れます。しかし EPROM はデジタル・デバイスであり、光量レベルが変化しても仕様の範囲を出ることはないため、たいした影響はありません)。

一方ダイオードは、ふつう半透明のガラス・パッケージに封入されており、このため 120Hz か 100Hz で明滅する蛍光灯の光に照らされると、それにより変調を受けハム雑音源になることがあります。

ところで、オペアンプの信号源にオペアンプの電源電圧をはるかに上回る回路電圧が使われている場合は、ダイオードと電流制限抵抗を使用すれば、センサが短絡した場合にオペアンプを保護できます。通常動作ではダイオードは逆バイアスされ、低いリーク電流が流れるだけです。しかしセンサが短絡するとダイオードを通じて短絡電流がオペアンプの電源に流れるため、この対策でオペアンプが破壊することを防止できます。もちろん抵抗の選択では、システムのノイズ性能を低下させたり、過大な電流が障害時

シリコン接合での予想外の光電効果によって回路性能が低下することがあります



障害が発生したときに、短絡電流を R_P によって制限しダイオードで電源ラインに迂回させることで、オペアンプを保護します。ダイオードには光電効果がないことが条件です。さもないとリーク電流が蛍光灯によって 100/120Hz で変調され、ハム雑音の原因になります。ガラス製ではなくプラスチック製のダイオードを使用することを推奨します。

図 63

に流れたりしない定数のものを選ぶことが大切です。

アナログ・デバイゼスの欧州アプリケーション部門では、上記のようなシステムで、客先で製造した全アンプの約 10%が、電力線周波数の 2 倍の周波数で猛烈なハム雑音を生じるというトラブルに遭遇しました。もちろん顧客はオペアンプの電源電圧除去性能が問題だと非難しました。しかし解析の結果、この回路をバッテリーで駆動しても問題は解決しませんでした。結局、蛍光灯が保護ダイオードに影響を与えていることが原因だと判明しました。このダイオードはガラスケース入りの 1N914 でした。

あるメーカーのダイオードの約 10%は、まったくフォトダイオードとして動作し、そのダイオードのリーク電流が蛍光灯の照明下で 100Hz で変調されていました（これが欧州で発生したトラブルでした）。もちろんその 100Hz はセンサ信号と共に増幅されました。黒いエポキシ・パッケージでダイオードを封入することでこの問題は完全に解決できました。

デジタル回路

ここまでの大部分は、ミックスド・シグナル・システムのアナログ部分での問題検討に説明を費やしてきました。しかしシステムのデジタル回路部分でも、ノイズ耐性をはるかに大きいにもかかわらず、基本的な決まりごとを設計者がおろそかにしてしまったことで問題に悩まされることがあります。コンバータや DSP プロセッサでの決まりごとは、よく問題が発生する箇所でもあるファンアウトやタイミングなどを含むバス・インターフェースの問題、サンプリング・クロックの供給方法と配線上の留意、最小限にノイズ発生を抑えるシステム設計（システムのアナログ部分にデジタル・ノイズが影響を与えないようにする方法はすでに述べましたが、デジタル・ノイズを最初から最小にしておけばこの作業はもっと簡単です）などがあります。

ミックスド・シグナル・システムにおけるデジタル回路での問題領域

- バス・インターフェース：ファンアウト
- タイミングの変動
- サンプリング・クロックのジッタ
- デジタル・ノイズ

図 64

ファンアウト

すべてのアナログ・デバイスの DSP プロセッサと大部分の DSP 用 ADC では、TTL 互換の CMOS 入出力ポートを持っています。その入力ポートは 0.8V の $V_{il(max)}$ と 2.0V の $V_{ih(min)}$ で、出力ポートは規定された電流量で 0.4V の $V_{ol(max)}$ と 2.4V の $V_{oh(min)}$ です。DSP プロセッサでは容量性負荷駆動定格も設定されており、タイミング遅延なしに駆動できるものもあります。

このようなデバイスのファンアウトを決定するには、デバイスのソース（吐出し）電流およびシンク（吸込み）電流や、負荷容量を考慮する必要があります。それは駆動されるデバイスのデータシートを確認することです。

ファンアウトを制限する要因

- 利用可能な最大ソース電流（ロジック・ハイ）：
抵抗性負荷の主な要因
- 利用可能な最大シンク電流（ロジック・ロー）：
TTL 負荷の主な要因
- 許容される最大ノード容量：
CMOS 負荷の主な要因
- ノード容量は、同一配線上にあるゲートの入力容量と、配線に関連するリード配線や基板パターンからの影響がある。

図 65

74F32（OR ゲート）など高速 TTL ゲートの代表的なものについて考えてみましょう。入力最大ハイ電流（ $I_{ih(max)}$ ）は 20 μ A、入力最大ロー電流（ $I_{il(max)}$ ）は 0.6mA、最大入力容量は 5pF です。ADSP-2100 は、出力がハイレベルのときに 1mA をソース（供給）し、出力がローレベルのときに 4mA をシンク（吸込み）し、最大 100pF の容量を駆動できます。

したがって ADSP-2100 は、74F32 のゲート 20 個ぶんの容量を駆動でき、ロジック 1（ハイレベル）状態ではこのようなゲート 50 個ぶんの入力電流を駆動できますが、ロジック 0（ローレベル）の入力電流については、わずか 6.7 個（実際には 7 個）のゲートぶんしか電流を流せません。このうち一番小さいゲート数が、駆動可能なファンアウト数になります。

一般的なシステムでは、いくつかのデバイスの組み合わせを駆動しなければならないことが多いため、もっと計算が複雑になります。しかし基本原則は同じです。TTL を使用する大部分のシステムでは、ファンアウトはシンク電流によって制限されます。しかし CMOS システムでは、合計容量がおそらく制限要因になるでしょう。この計算では、デバイスが駆動するリード配線やパターンの容量を考慮していません。しかし場合によってはこのような容量が制限要因になることがあり、常にこれらの容量も考慮する必要があります（たとえ除去するしかないにしても）。

ADSP-2100 の駆動能力

- 100pF を駆動できる
- ロジック 1 で 1mA をソースできる（ $\geq 2.4V$ ）
- ロジック 0 で 4mA をシンクできる（ $\leq 0.4V$ ）

したがって、以下を駆動できる。

- 22 個の 74ACT CMOS ゲート (= 99pF, $\pm 22\mu$ A)
- 10 個の 74LS ショットキー-TTL ゲート (= -4mA)
- 7 個の 74F ショットキー-TTL ゲート (= -4.2mA)
- 接地された 1 本の 2.4k 抵抗 (= 1mA)
- あるいは合計容量 100pF、ロジック 1 で合計 1mA のドレイン電流、ロジック 0 で合計 4mA のソース電流、任意の負荷の組み合わせがこれを上回らないこと（ただし基板パターンと配線容量も考慮が必要。）

図 66

プロセッサに比べてほとんどのデータ・コンバータは、高出力な出力段を持たず、ファンアウトが小さくなっています。さらにシステム・アナログ・グラウンドにコンバータ出力のリターン電流が流れる（すでにその理由は述べました）ため、システムのアナログ部分におけるデジタル・ノイズを最小限に抑えるには、リターン電流をできるだけ低くする必要があります。

そのため一番良い方法は、TTL 素子ではなく CMOS 素子を使用することです。CMOS の DC 入力電流は、TTL に比べても数桁低くなります。しかし入力容量は同等なため、スイッチング時の過渡電流はそれほど低くなりません。したがって ADC からのデジタル出力電流を最小限に抑えるには、ADC 出力をバッファ素子でバッファリングするとよいでしょう。このようなバッファは、システム内のそれ以外の部分からのデジタル・ノイズから ADC を分離するのにも役に立ちます。

タイミングの変動

デジタル・システム、なかでもミックスド・シグナル・システムでのデジタル部分で発生しがちな誤動作は、タイミングエラーが原因です。これは温度変化がシステムに対して及ぼす影響を考慮していなかったことが原因でよく発生します。

コンバータ、メモリ、プロセッサの仕様には、いずれも「セットアップ」時間や「ホールド」時間などのパラメータがあります。セットアップ時間はクロックが変化する前にデータが確定しているべき時間、ホールド時間はクロックの変化後にデータが有効状態を維持すべき時間です。室温では、ほとんどのデジタル回路はセットアップ/ホールド時間が仕様の最小値を下回っても問題な

く動作します。しかし特に高温や低温での動作状態では、回路に求められる条件はもっと厳しくなります。

デジタル回路のタイミングは温度で変化

- 「セットアップ」(ストロープ前に信号が確定しているべき時間)や「ホールド」(ストロープ後に信号が有効であるべき時間)などの仕様は、温度によって大幅に変化することがある。
- 室温における「typ」値のみで設計されたシステムは、室温でしか正しく動作しない。
- 常に正しい動作を保証するには、高温時と低温時の min/max の仕様を設計者は使用しなければならない。

図 67

システムがデジタル回路のみで構成されている場合、入出力タイミングは同じような挙動で変化するため、おそらくシステムは全温度範囲で機能し続けるでしょう(ただし確実にそうなるわけではありません)。デジタル・システムに ADC や DAC が接続されている場合、まったく異なるプロセス技術がコンバータに使用されているため、入出力タイミングの変化がそれぞれ追従していかないと、性能あるいは機能が低下してしまうこともあります。

ミックスド・シグナル・システムを設計する技術者は、システム内の回路全体でのタイミング仕様の最大値と最小値が、目的とする全温度範囲にわたって適合していることを常に確認しておく必要があります。疑いが少しでもあれば、バッファや単安定回路をパルス幅伸長回路として使用し、すべてのセットアップ/ホールド時間仕様に収まるようにする必要があります。

サンプリング・クロック・ノイズ

ここまで説明してきたように、サンプリング・データ・システムのクロックの位相ノイズは、信号そのものの位相ノイズと見分けが付きません。したがってサンプリング・クロックに十分なスペクトル純度をもたせ、その位相ノイズを測定対象信号の検出最小レベルよりも小さくすることがきわめて重要です。

そのためには、システムのデジタル部分で発生するノイズから、サンプリング・クロックの信号線をできるだけ分離します。特にサンプリング・クロック用のバッファ素子は、(理想的には)デジタル・システムの他の部分とは別チップとし、デカップリングされた別電源を使用します。さらにサンプリング・クロックの信号線は、システムの他の部分のデジタル・ノイズを拾う可能性のある場所に配置しないようにします。

サンプリング・クロック・ノイズ

- クロックの位相ノイズは、システム内の最小信号検出レベルよりも小さくしなければならない。
- したがってデジタル・ノイズからサンプリング・クロック信号を保護しなければならない。

しかし

- クロックはデジタル信号であり、システムのアナログ部分に影響を与えることがある。
- したがってサンプリング・クロックの信号線は、システムのアナログ部分とデジタル部分から分離しておく必要がある。
- サンプリング・クロックには、低位相ノイズの発振器を使用しなければならない。

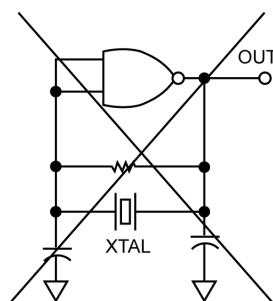
図 68

もちろん、サンプリング・クロックはそれ自体がデジタル信号です。このためほかのデジタル信号と同様に、システムのアナログ部分にノイズを与えてしまう可能性があります。実際にもサンプリング・クロックは、システムの SHA 部やコンバータ部で用いられるため、ノイズの主原因と考えられます。したがってサンプリング・クロック信号線は、システムのアナログ部分とデジタル部分の両方から分離しなければならないため、この信号線がきわめて厄介なものであることがわかります。

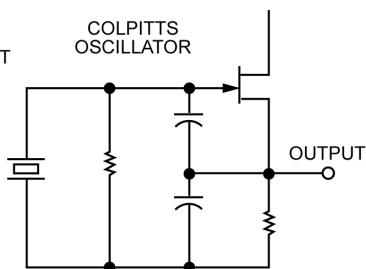
サンプリング・クロック発振器には、十分なスペクトル純度が必要です。RC やその他の弛張発振器は回路がコンパレータとして機能することから、振幅ノイズが出力信号の位相ノイズとして現れるため、使用できません。LC 発振器の位相ノイズはまだましですが、ノイズを最小にするには水晶発振器を使用します。きわめて高速のクロックの場合は、SAW (Surface Acoustic Wave: 表面弾性波) 発振器がよいでしょう。

よくやる水晶発振器の設計は、1本の抵抗、1つまたは複数のデジタル・ゲート、1個の水晶発振子、2本のコンデンサを使用したものです。このような設計は、水晶発振子や発振器のことをよく知っている技術者は採用しません。このタイプの回路は位相ノイズが悪化し、水晶発振子を過励振してしまう傾向があるからです(真空管を使用した自励式水晶制御送信機ではないので、破壊されてしまうほどではありませんが、長期的安定性には影響があります)。このような発振器を使用してもよいと考えられる唯一のものは、ウォッチ回路とクロック回路で使われている回路です。これらの回路は低電圧であるため過励振が最小限に抑えられ、長期にわたって位相ノイズが積分されるため、それほど影響はありません。

発振器



デジタル・ゲートで構成された水晶発振器には、大きな位相ノイズがあります。



低ノイズ水晶発振器は、ディスクリート部品で簡単に設計できます。

図 69

水晶発振器の場合、理想的には水晶メーカーが推奨する回路でディスクリートのバイポーラや FET デバイスを使用してください。このような回路は、水晶発振器励振レベルと位相ノイズの両方で最適化されています。次段で出力信号を増幅（たとえばこの段階でデジタル・ゲート素子を使用）してコンバータを駆動します。

デジタル・ノイズ

最も多いミックスド・シグナル・システムにおける性能劣化原因は、システムのデジタル回路部分からのノイズによるアナログ回路性能の劣化です。大切なアナログ回路部分からこのようなデジタル・ノイズを分離する方法はすでに詳しく説明しましたが、このノイズを根源から減らす方法を考えることも意味があります。

TTL はノイズが多いことは良く知られています。これはスイッチング時に「トータム・ポール」型の出力段構造が 1 ナノ秒ほどの瞬間、電源を短絡し、それによって大きな電流スパイクが生じること、あるいは入力に流れる電流量が変化し、特にロジック 0 とロジック 1 の間で急速に変化すること、あるいは数ナノ秒の間に変化する出力振幅が数ボルトになることなどの理由が関係しています。

高速 CMOS では入力電流は変化しませんが（スイッチング時に入力容量の充放電電流パルスはありますが、これはずっと小さいものです）、出力の大きい dV/dT により確実に出力振幅が大きくなるため、スイッチング時に電源電流がパルス状に流れることがあります。

4000 シリーズ CMOS は、約 20 年前に開発されたもので低速ですが、一般に入手しやすく、安価で、高周波干渉の耐性があり、出力 dV/dT が低く電源電流パルスが発生しないため、全くノイズが無いという特徴があります。

デジタル・ノイズ

- TTL の電圧振幅は大きい（大きく高速な入出力ポート電流パルスと非対称型の回路構成）。
- HCMOS の電圧振幅は大きい（大きく高速な入出力ポート電流パルスと対称形の回路構成）。
- 4000 シリーズ CMOS は、古く・低速だが、安価で、ノイズが際立って低い。
- ECL は高速だが、TTL や HCMOS に比べて電圧振幅が小さく、電流サージが小さい。
- 理想的なロジック・ファミリというものはひとつもない。

図 70

ECL はスイッチング時にほぼ一定の電流を引き込み（非対称負荷を駆動する場合を除きます）、出力電圧振幅は TTL や CMOS に比べてきわめて小さくなります。したがって ECL は TTL や CMOS より高速ですが、ノイズ発生は少なくなる傾向があります⁹。

いずれかの 1 ロジック・ファミリがすべての用途において理想的だということはありません（もしそうならロジック・ファミリは 1 つでよいこととなります）、高精度アナログ回路に TTL を使用するとノイズで性能劣化してしまう場合は、代わりに CMOS を用いるとよいと考えるほうが良いでしょう。

低速でよければ 4000 シリーズ CMOS はノイズにおいて圧倒的に優れています。しかし必ずしも必要とされるすべての用途で利用できるわけではなく、TTL との接続性もあまりよくありません（HCMOS ファミリーとのインターフェースは可能です）。

ノイズが重要な高速システムでは、HCMOS が使えるにしても、システムのアナログ/デジタル間を接続するには、ECL のほうがノイズ性能面で優れています。システム全体で ECL を使用する必要はなく、ノイズを低くしたい部分だけに利用してください。

問題の領域

SPICEモデリングの限界

ここまででお判りのように、実際の電子回路には、回路図には描かれていなかった多数の「要素」が含まれています。これらの要素は導体や回路基板や IC パッケージなどの物理的特性からくるものだからです。コンピュータのモデリング・ソフトウェアにこれらの要素を組み込むことは困難（たとえ不可能ではないにしても）ですが、回路性能に対して、分解能や高周波特性あるいはその両方でかなり影響を与えます。

このため、このような高性能アナログ回路の場合、その最終性能を予測するために SPICE などのソフトウェアを使用することはあまりお勧めできません。モデリングが完成した後は、性能を実験によって検証する必要があります。

これは「SPICE でのモデリングに価値がない」という意味ではありません。それどころか最新の高性能アナログ回路設計の大部分は、SPICE などのプログラムの助けがなければ決して実現できなかったでしょう。それでもこのようなシミュレーションは、使っているモデルの範囲内でのみ有効であり、しかもモデルが完全ではないということをお忘れはいけません。これまでプリント基板上の導体、絶縁体、部品から生じる寄生成分が及ぼす影響について検討してきましたが、SPICE シミュレーションで使用されているモデルも完全ではないと認識することも必要です。

オペアンプについて考えてみましょう。オペアンプには 20~40 個ほどのトランジスタ、ほぼ同じ数の抵抗、数個のコンデンサが含まれています。完全な SPICE モデルは、これらすべての部品のほか、拡散プロセスによってオペアンプ・チップ内に形成される寄生ダイオードや複数の重要な寄生容量が含まれます。これは IC 設計者が設計しながらデバイスを評価するときに使用するモデルです。このようなモデルでさえ、シミュレーションでは実際のオペアンプにとってもよく似た動作をしたとしても、正確に同じ動作になるわけではありません。

しかしこのようなモデルは一般に公表されることはありません。そこには半導体業界の他社が、設計上でコピーしたり改良したりするのにとても有益な情報がたくさん含まれているからです。また、このようなモデルを含んだ複数オペアンプのシステムの場合は、シミュレーションで答えを引き出すにはあまりにも時間がかかります。これらの理由によってメーカーやソフトウェア会社が公開しているアナログ回路の SPICE モデルは、「マクロモデル」になります。部品の主な機能はそのマクロに盛り込まれていますが、細部はいくつか省かれています。したがって SPICE モデリングは必ずしも正しい回路性能を反映するものではなく、回路性能を実験的に検証することが必ず必要です。

SPICE モデリング

- SPICE モデリングは、アナログ回路の性能を予測するための強力なツールである。

ただし

- モデルは、現実の影響を一部省略している。
- いかなるモデルも、ディスクリート部品やプリント基板レイアウトのすべての寄生効果をシミュレーションできない。

ゆえに

- プロトタイプを作成し、実験で検証してから、製造に移行しなければならない。

図 71

ソケット

高価な IC は、回路に直接ハンダ付けしないで、ソケットに差し込んで取り付けたいと思うものです。回路を開発している最中は特にそうしたくなりますが、このような誘惑に開発技術者は負けないほうがよいでしょう。

高性能アナログ回路でのソケットの利用

- 使用しないこと！（可能であれば）
- Amp Part No: 5-330808-3 または 5-330808-6（それぞれキャップ付きとキャップなし）などの「ケーシング・ジャック」型の「ピン・ソケット」を使用すること。
- ソケットを使用している場合と使用しない場合で、システム性能を比較し、ソケットの影響を必ずテストすること。
- 生産で使用しているソケットの種類を変更する場合は、その変更が性能に及ぼす影響を必ず評価してからにすること。

図 72

ソケットは、回路の抵抗・インダクタンス・容量を増大させます。そのため許容できないレベルまで回路の性能を劣化させてしまうことがあります。しかしこの場合、クレームの矛先はソケットを使っていることではなく、必ず IC メーカーのほうに向かってしまいます。たとえ薄型で低挿抜力のソケットでも、高性能（高速または高精度、あるいはその両方）なデバイスの性能を低下させないという保証はありません。さらにソケットが古くなり、ボードが振動を受けると、低挿抜力ソケットだと、その接触抵抗が大きくなる可能性が高まります。ソケットを使用しなければならない場合には、個別のピン・ソケット（「ケージ・ジャック」とも言います）を使用して、プリント基板そのものにマルチピン・ソケットを構成すれば、性能の低下を最小限に抑えることができます。

高性能アナログ回路やミックスド・シグナル回路では、IC ソケットを使用しないのが一番です。使わないで済むのなら、そうすべきです。しかし中程度の速度と中程度の分解能では、性能と利便性をトレードオフすると、利便性のほうに傾くかもしれません。ソケットを使用するときは、ソケット付きとソケットなしの場合の回路性能の違いを評価することはたいへん重要です。このようにすることで、採用したソケットが回路動作に対して与える影響が本当に最小であるかを確かめられます。ソケットの変更で回路が受ける影響を、IC の変更と同じくらい慎重に評価することが必要です。図面を用意して、ソケットの製造部品変更手順が IC の場合と同じくらい厳密に行われるようにしてください。こうすれば電子回路技術について何も知らない購買担当者が、ソケットで 5 セント節約する代わりにシステム性能を台無しにするような事態を防ぐことができます。

高性能アナログ回路の試作評価

ここまで見てきたように、回路基板のレイアウトは、あらゆる高性能アナログ回路の回路設計の一部です。「端子接続を主として考える」考え方に由来する試作評価技術は、低速および中速のデジタル回路ブレッドボードの作成には最適ですが、アナログ回路にはまったく不向きです。デジタル回路でもきわめて高速に動作するものにも適当ではありません。ユニバーサル基板やワイヤラッピングによる試作では、実際に正しくアナログ回路がレイアウトされたときに、どのように動作するのか何もわかりません。

一番良いアナログ回路の試作評価方法は、最終的な基板のプロトタイプを使用することです。なにしろ最終的な基板レイアウトで要求されている性能が発揮できると証明されるまでは、設計自体も完了しないわけですから。それでも、いろいろな可能性をいくつも評価しなければならない場合やマルチカード・システムの場合などは、この方法でも限界があります。

ミックスド・シグナル回路の試作評価

- システムのアナログ回路部分には、決してユニバーサル基板やワイヤラッピングを使用しないこと（これらはデジタル回路部分のアドレス・ラインやデータ・バスの試作には有効でないことがある）。
- できる限りアナログ IC にはソケットを使用しないこと。
- 最終的な基板レイアウトのプロトタイプをできるだけ早めに使用すること。

図 73

この場合、銅べたグラウンド面（理想的にはボードの両面がべたパターンのものが良く、便利ですが、絶対にそうでなくてもかまいません）の基板に部品を取り付け、この面をグラウンド接続とし、その上下に部品を短いポイント to ポイント配線をつなげていきます。全体的な部品配置と信号配線を、できるだけ予定の最終レイアウトに近いものにする必要があります。

前述のように IC ソケットはアナログ IC の性能を低下させることがあります。部品を直接ハンダ付けするのが試作評価には最適ですが、ピン・ソケットで作られる IC ソケットを銅べたグラウンド面となる基板に取り付けてもかまいません（接地されない各ピン・ソケットの周囲は、基板の両面の銅箔を約 0.5mm 除去します。接地したいピン・ソケットはボードの両面でグラウンドにハンダ付けします）。

配線を宙に浮かせておくのは、ちょっと危ない場合があります。基板試作方式として概念的には上記とよく似ていますが、グラウンド面に貼り付けることができる粘着性プリント基板パッドを用いる方法があります。これにより部品の取り付けや配線をしっかり固定します。このシステムは Wainwright Instruments が製造しており、欧州では「Minimount」、米国では「Solder Mounts」という名前で知られています。このメーカーと販売代理店の連絡先については、末尾の参考資料をご覧ください¹⁰。

メーカーの評価用ボードもそれぞれ最高性能が得られるよう最適化されているため、システムの試作評価に役立ちます。アナログ・デバイスもさまざまな製品について数多くの評価用ボードを提供しています。これらの評価用ボードは設計者が部品配置を考えたときのスタートポイントとしても最適です。

試作基板のレイアウトを、プリント基板レイアウト用の CAD システムに移植するときには、ソフトウェアの自動配線や自動部品配置機能をディisable（無効）にするか、必要に応じて何らかの設定変更しておくことが重要です。このようなソフトウェアで採用されている考え方は「端子接続を主として考える」考え方と密接に関連しており、浮遊インダクタンスや容量を最適化したり、グラウンドの共通インピーダンスを最小限に抑えたりすることよりも、芸術的な部品配置を満足させるものにすぎません（確かにこういうことには自動部品配置機能を使うほうが簡単です）。

その他のプロトタイピングのヒント

- 試作基板でも最終設計でも、信号の配線、部品の配置、電源デカップリングには同じように注意を払うこと。
- 設計の各段階で回路の機能だけでなく性能も検証すること。
- 「フリーハンド」で試作製作を行う場合は、銅張べた基板を使用し、グラウンド・ピンで部品を取り付け、残りの接続部はポイント to ポイントで配線すること（宙に浮いたポイント to ポイント配線が、あまりにも危険に思われたら、Wainwright Instruments の粘着性プリント基板パッド Minimount/Solder Mount を使用すること）。

図 74

参考資料

1. アルバート・アインシュタイン
2. 「E.S.D. Prevention Manual」 (アナログ・デバイセズから無償提供)
3. これらの効果については、「Linear Design Seminar」 (アナログ・デバイセズ、1987年10月) の I-11 ページ以降の注を参照
4. 「Electricity & Magnetism」 B. I. Bleaney、B. Bleaney 共著、OUP 1957年、23、24、52 ページ
5. 「An I.C. Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change」 Paul Brokaw 著 (アナログ・デバイセズから無償提供)
6. 「Avoiding Ground Problems in High Speed Circuits」 Jeff Barrow 著、「R.F. Design」 1989年7月号、および「Grounding for Low- and High-Frequency Circuits」 Paul Brokaw、Jeff Barrow 共著、「Analog Dialogue」 1989年23-3号 (アナログ・デバイセズから無償提供)
7. 国際的な EMI 放射規制
 カナダ：CSA C108.8-M1983 ドイツ：VDE 0871/VDE 0875
 日本：CISPR (VCCI)/PUB 22 米国：FCC-15 Part J
8. 「Design & Layout of a Video Graphics System for Reduced EMI」 Bill Slattery、John Wynne 共著 (E1309-15-10/89) (アナログ・デバイセズから無償提供)
9. 「MECL System Design Handbook」 4th Edition、1983年 Motorola
10. Wainwright Instruments Inc.
 P.O.Box 2203, Capistrano Beach, CA 92624. Tel: 714-248-2490

 Wainwright Instruments GmbH, Widdersberger Strasse 14,
 DW-8138 Andechs-Frieding, Germany. Tel: +49-8152-2245