

データ・コンバータのグラウンディングと、 「AGND」および「DGND」に関する疑問の解消

著者：Walt Kester、James Bryant、Mike Byrne

はじめに

今日の信号処理システムは、高速のデジタル・シグナル・プロセッサ (DSP) はもちろん、A/D コンバータ (ADC) や D/A コンバータ (DAC) などのミックスド・シグナル・デバイスも使うのが一般的です。広いダイナミック・レンジを持つアナログ信号を処理する必要から、高性能な ADC や DAC に対するニーズが高まっています。苛酷なデジタル環境において低ノイズで広いダイナミック・レンジを維持するには、適切な信号配線、デカップリング、グラウンディングなど、優れた高速回路設計技術を用いる必要があります。

これまで、「高精度で低速」の回路は、いわゆる「高速」回路とは別物と見なされるのが一般的でした。ADC と DAC に関しては、速度の判定基準として、一般にサンプリング周波数 (または更新レート) が使用されてきました。しかし次の2つの例に示すように、実際には、今日の信号処理 IC の大部分が非常に「高速」であるため、高性能を維持するにはそれなりの取り扱いをする必要があります。これは、DSP はもとより、ADC や DAC についても同様に当てはまります。

信号処理アプリケーションに適したすべてのサンプリング ADC (内部サンプル&ホールド回路を使用する ADC) は、短い立ち上がり/立ち下がり時間 (一般に数ナノ秒) を持つ比較的高速のクロックで動作します。したがって、たとえスループット・レートが低いように見えても、高速デバイスとして扱う必要があります。たとえば、中速の 12 ビット逐次比較型 (SAR) ADC は 10 MHz の内部クロックで動作することもあります。サンプリング・レートはわずか 500 kSPS です。

シグマ・デルタ ($\Sigma\Delta$) ADC も、オーバーサンプリング比が高いため、高速クロックを必要とします。高分解能のいわゆる「低周波」工業計測用 $\Sigma\Delta$ ADC (スループットが 10 Hz~7.5 kHz) でも 5 MHz 以上のクロックで動作し、最大 24 ビットの分解能を備えています (たとえばアナログ・デバイセズの AD77xx シリーズ)。

アナログとデジタル両方のポートが存在するミックスド・シグナル IC では問題がより複雑で、適切なグラウンディング手法を講じるのも容易ではありません。さらに、ミックスド・シグナル IC には、デジタル電流が比較的小さいものと大きいものがあります。多くの場合、最適なグラウンディングという点に関しては、これら2つのタイプを区別して取り扱う必要があります。

ミックスド・シグナル・デバイスに対する観点は、デジタル設計技術者とアナログ設計技術者で異なる傾向があります。したがって、このチュートリアルの目的は、大部分のミックスド・シグナル・デバイスに関して、その内部回路の具体的な詳細を知らなくても応用できる一般的なグラウンディングの原理を示すことにあります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2015 Analog Devices, Inc. All rights reserved.

Rev. A, 10/08, WK

グラウンド・プレーンと電源プレーン

現在のすべてのアナログ回路とデジタル回路にとって、低インピーダンスで大きな面積のグラウンド・プレーンを維持することはきわめて重要です。グラウンド・プレーンは、高速デジタル・ロジックによって生じる高周波電流をデカップリングするための低インピーダンス・リターン・パスとして機能するだけでなく、EMI/RFI 放出を最小限に抑えます。グラウンド・プレーンのシールド作用によって、外部 EMI/RFI に対する回路の感受性も低くなります。

グラウンド・プレーンは、インピーダンス・コントロールが要求される伝送ライン技術（マイクロストリップまたはストリップライン）を使用して、高速なデジタル/アナログ信号を伝送することも可能にします。

「グラウンド」として「バス・ワイヤ」を使用することは、大抵のロジック・レベル遷移と等価な周波数におけるインピーダンスの観点から、まったく容認できません。たとえば、#22 ゲージのワイヤには約 20 nH/インチのインダクタンスがあります。ロジック信号によって生成されたスルーレート 10 mA/ns の過渡電流は、このワイヤを 1 インチ流れるときに、その周波数で 200 mV の不要な電圧降下を発生させます。

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} \times \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV} \quad \text{式 1}$$

2 V のピーク to ピーク範囲を持つ信号の場合、これは約 10% の誤差を発生させます（約 3.5 ビットの精度に相当）。デジタルのみの回路であっても、この誤差によってロジック・ノイズ・マージンは大幅に低下します。

図 1 は、デジタル・リターン電流がアナログ・リターン電流を変調する状況の典型的な例を示したものです（上側の図）。グラウンド帰線のインダクタンスと抵抗は、アナログ回路とデジタル回路で共有されます。これが、相互作用と誤差を生じさせる原因となります。考えられる解決策の 1 つは、下側の図に示すように、GND REF へ直接戻るデジタル・リターン電流経路を作成することです。これが、「スター型」グラウンド、つまりシングルポイント・グラウンド・システムの基本的な概念です。複数の高周波リターン・パスを含むシステムに真のシングルポイント・グラウンドを実装することは困難です。その理由は、個々のリターン電流ワイヤの物理的な長さによって寄生抵抗と寄生インダクタンスが発生し、そのために高周波域で低インピーダンスのグラウンドを得るのが難しくなることがあるからです。実際には、高周波電流に対するインピーダンスを低くするために、電流リターンは大面积のグラウンド・プレーンで構成する必要があります。低インピーダンスのグラウンド・プレーンなしでこのような共有インピーダンスを避けることはほとんど不可能であり、高周波数では特に困難が伴います。

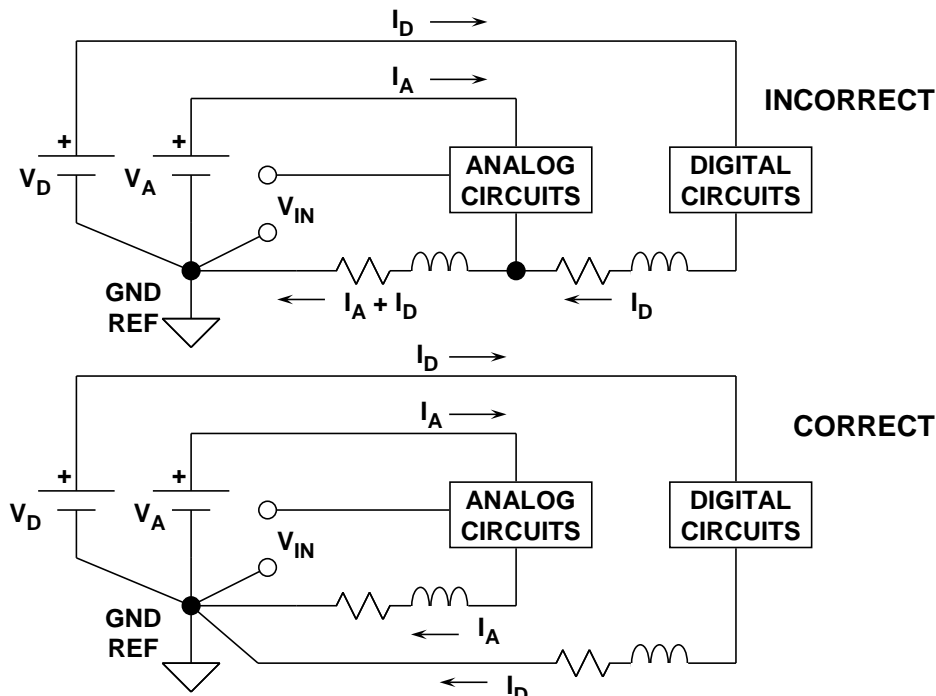


図 1. アナログ・リターン・パスに流れるデジタル電流によって誤差電圧が発生

直列インダクタンスと抵抗を最小限に抑えるため、すべての集積回路のグラウンド・ピンは、低インピーダンスのグラウンド・プレーンに直接ハンダ付けする必要があります。高速デバイスの場合、従来の IC ソケットの使用は推奨できません。たとえ「薄型」ソケットでも、そのインダクタンスと容量によって望ましくない共有パスが生じて、デバイスの性能を損なうことがあります。プロトタイプピンの場合のように、DIP パッケージでソケットを使用する必要がある場合、個々の「ピン・ソケット」や「ケージ・ジャック」は許容できることがあります。これらのピン・ソケットは、キャップ付きとキャップ無しのタイプがあります (AMP 部品番号 5-330808-3、および 5-330808-6)。これらはバネ式の金接点を用いているため、IC ピンへの電氣的、機械的な接続性に優れています。しかし、何度も挿抜を繰り返すと性能が劣化していくでしょう。

低周波および高周波デカップリング

各電源ラインは、高品質の電解コンデンサを使用し、PCB との接続点で低インピーダンスのグラウンド・プレーンにデカップリングする必要があります。これは、電源動作に伴う低周波ノイズを最小限に抑えます。さらに各アナログ段では、個々の IC パッケージの電源ピンにローカルで高周波フィルタリングを行う必要があります。

図 2 にこの方法を示しますが、左側が適切な例で、右側が不適切な例です。左側の例では、代表値 $0.1 \mu\text{F}$ のチップ・セラミック・コンデンサが、ビアを使って反対側にある PC ボード側のグラウンド・プレーンに直接接続されており、IC のグラウンド・ピンにももう 1 つのビアを使って接続されています。これに対し右側は望ましくないセットアップの例で、PC ボード・トレースのインダクタンスがデカップリング・コンデンサのグラウンド・パスに加わっており、その効果が損なわれています。

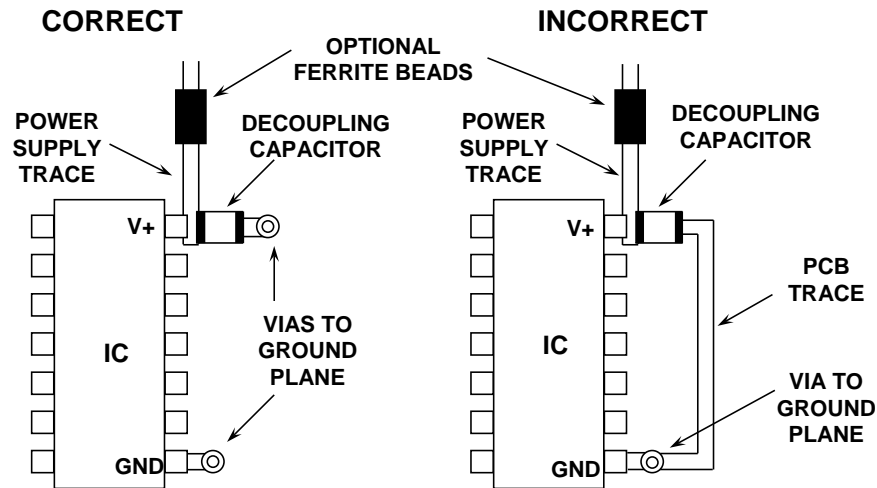


図2. 局所的な高周波電源フィルタが、短い低インピーダンス・パス（グラウンド・プレーン）を介して最適なフィルタリングとデカップリングを実現

すべての高周波（10 MHz 以上）IC の性能を最大限に引き出すには、図2と同様のバイパス方法を使用する必要があります。フェライト・ビーズは必須ではありませんが、高周波ノイズ除去とデカップリングの効果を向上させることから、多くの場合で使用することが望まれます。ここで注意すべき点は、IC で大電流を扱う場合にビーズが飽和しないかどうかを確認することです。

また、一部のフェライトでは、完全な飽和に達する前であっても非線形になることがあります。したがって、電力段が低歪み出力を求められる場合は、これも確認しておく必要があります。

両面プリント回路基板と多層プリント回路基板

システム内の各 PC ボードは、少なくとも 1 つの層すべてがグラウンド・プレーンに当てられている必要があります。両面ボードの場合は片面をすべてグラウンド専用として、反対側の面を接続に使用するのが理想的です。しかし、実際は信号線や電力線のクロスオーバー、ビア、およびスルーホールとして使用できるようにグラウンド・プレーンの一部を除去しなければならないため、これは不可能です。それでも、できるだけ広い面積を確保し、少なくとも 75% を残しておく必要があります。初期レイアウトが完了したら、グラウンド層を入念にチェックして、周囲のグラウンド・プレーンから孤立しているグラウンド部分がないことを確認します。IC のグラウンド・ピンがこのような孤立部分に位置していると、グラウンド・プレーンへの電流リターン・パスがなくなってしまうからです。また、隣接する 2 つの広いグラウンド・プレーン間に「細い」接続部分がないことも確認してください。このような部分は、グラウンド・プレーンの効果を大幅に低下させます。言うまでもありませんが、一般に、ミックスド・シグナル・ボードのレイアウトに自動配線によるレイアウト手法を用いると大きな失敗を招きやすいため、手動での配置配線と併用することを強く推奨します。

表面実装 IC が密集したシステムには数多くの相互接続箇所があるため、多層ボードが不可欠です。多層ボードを使用すれば、少なくとも 1 つの層をグラウンド専用で使用できます。単純な 4 層ボードは内部にグラウンド・プレーンと電源プレーンを持ち、外側の 2 層が表面実装部品の相互接続に使われます。電源プレーンとグラウンド・プレーンを互いに隣接させて配置すると追加的な層間容量が得られ、これが電源の高周波カップリングに役立ちます。ほとんどのシステムでは 4 層では不十分で、信号や電源の配線用に追加の層が必要になります。

マルチカード・ミックスド・シグナル・システム

複数のカードで構成されるシステムのグラウンド・インピーダンスを最小限に抑える最良の方法は、「マザーボード」となるPCボードを子カード間相互接続のバックプレーンとして使用すること、つまり、バックプレーンへ続く連続的なグラウンド・プレーンを形成することです。PCボード・コネクタは、少なくともピンの30~40%をグラウンド用にあて、さらにこれらのピンをバックプレーン・マザーボード上でグラウンド・プレーンに接続する必要があります。システム全体のグラウンディングを完了させる方法は2つあります。

1. バックプレーンのグラウンド・プレーンを多数のポイントでシャーシのグラウンドに接続し、さまざまなグラウンド・リターン・パスを分散して配置します。これは一般に「マルチポイント」グラウンド・システムと呼ばれます。図3を参照してください。
2. グラウンド・プレーンをシステムの1つの「スター・グラウンド」ポイント（通常は電源）に接続します。

1の方法はオール・デジタル・システムで最も多く使われていますが、アナログ回路も混在するミックスド・シグナル・システムでは、デジタル回路によるグラウンド電流が十分に小さく、広い面積に広がっている場合に限り使用できます。グラウンド・インピーダンスは、PCボード、バックプレーン、および最終的にはシャーシに至るすべての経路で低い値に維持されます。ただし、金属板製のシャーシにグラウンドを接続する箇所では、良好な電氣的接触を実現することが極めて重要です。これには、金属板用のセルフタッピング・スクリューか「噛み付き」型のワッシャが必要です。シャーシの材料に陽極酸化処理が施されたアルミニウムが使われている場合は、表面が絶縁層として働くので特に注意が必要です。

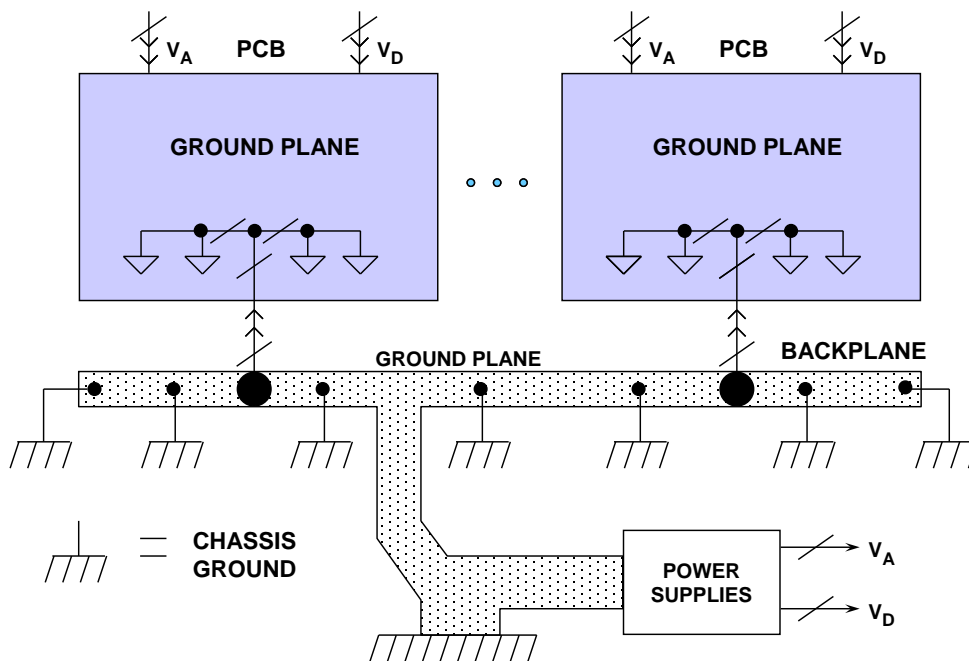


図3. マルチポイント・グラウンドの概念

2の方法（「スター・グラウンド」）は高速ミックスド・シグナル・システムに使われることが多く、アナログ側とデジタル側にグラウンド・システムが分けられています。この方法については以下に詳しく述べます。

アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの分離

多数のデジタル回路を含むミックスド・シグナル・システムでは、敏感なアナログ・コンポーネントとノイズの多いデジタル・コンポーネントを物理的に分離することが強く望まれます。また、アナログ回路とデジタル回路で別のグラウンド・プレーンを使うことも有効です。これらのプレーンは、両プレーン間の容量性カップリングを最小限に抑えるために、オーバーラップさせないようにする必要があります。これらの分離したアナログおよびデジタル・グラウンド・プレーンは、マザーボードのグラウンド・プレーンか、コネクタのグラウンド・ピン間における一連のワイヤ接続で構成される「グラウンド・スクリーン」を使用して、バックプレーンまで連続しています。図4に示す構成は、2つのプレーンが、通常は電源に設けられている共通のシステム「スター」グラウンドまでの全区間で分離していることを示しています。グラウンド・プレーン、電源、および「スター」間の接続は、抵抗とインダクタンスを最小限に抑えるために、複数のバス・バーまたは幅広い銅製ブレードによって行う必要があります。各PCボード上には、カードの挿抜時に2つのグラウンド・システム間に誤ってDC電圧が発生することがないように、バックツーバックのショットキー・ダイオードが挿入されます。この電圧は、アナログおよびデジタル・グラウンド・システムの両方に接続されたICの損傷を防ぐために、300 mV未満に維持する必要があります。ショットキー・ダイオードが望ましいのは、容量も順方向電圧降下も小さいことが理由です。容量が小さければ、アナログおよびデジタル・グラウンド・プレーン間のACカップリングを防止できます。ショットキー・ダイオードは約300 mVで導通が始まります。大電流が予想される場合は、複数のダイオードを並列に接続する必要があります。場合によってはショットキー・ダイオードの代わりにフェライト・ビーズを使用できますが、フェライト・ビーズはDCグラウンド・ループを発生させます。これは、精密システムにとっては厄介な問題となりかねません。

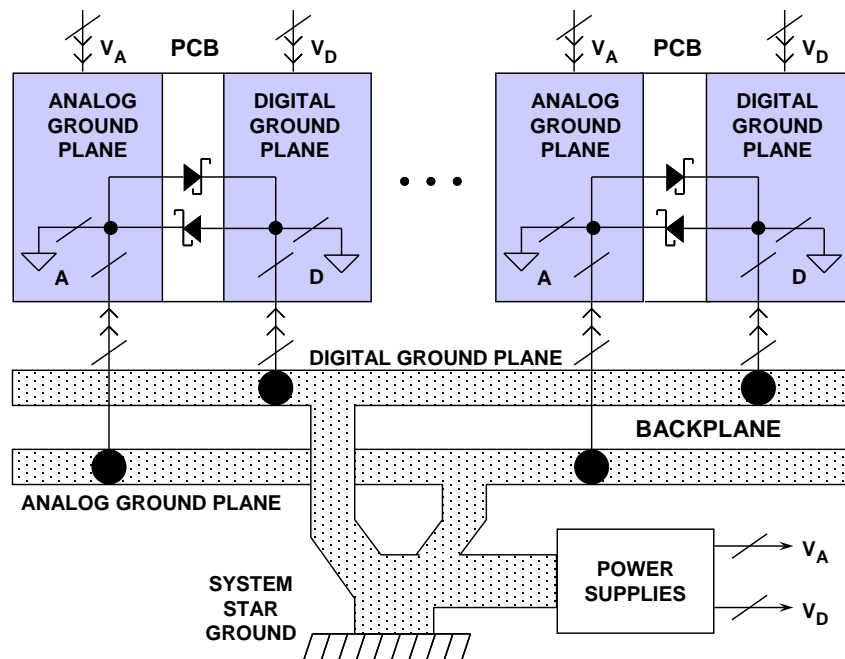


図4. アナログ/デジタル・グラウンドの分離

グラウンド・プレーンのインピーダンスは、システム・スター・グラウンドまでの全区間にわたってできるだけ低く保つことが必須条件です。2つのグラウンド・プレーン間に300mVを超えるDC電圧やAC電圧が生じると、ICを損傷させる恐れがあるばかりでなく、ロジック・ゲートの誤作動やラッチアップを発生させる恐れもあります。

デジタル電流が小さいミックスド・シグナルICのグラウンディングとデカップリング

アンプや電圧リファレンスなどのデリケートなアナログ部品は、常にアナログ・グラウンド・プレーンを基準としてデカップリングされます。低デジタル電流のADCとDAC（および、その他のミックスド・シグナルIC）は、一般にアナログ部品として扱う必要があります。アナログ・グラウンド・プレーンに対して接地とデカップリングが行われます。コンバータにはアナログとデジタルのインターフェースがあり、通常、アナログ・グラウンド（AGND）およびデジタル・グラウンド（DGND）と呼ばれるピンがあるため、一見したところ少し矛盾しているように思えるかもしれません。図5は、この「矛盾」を理解するのに役立ちます。

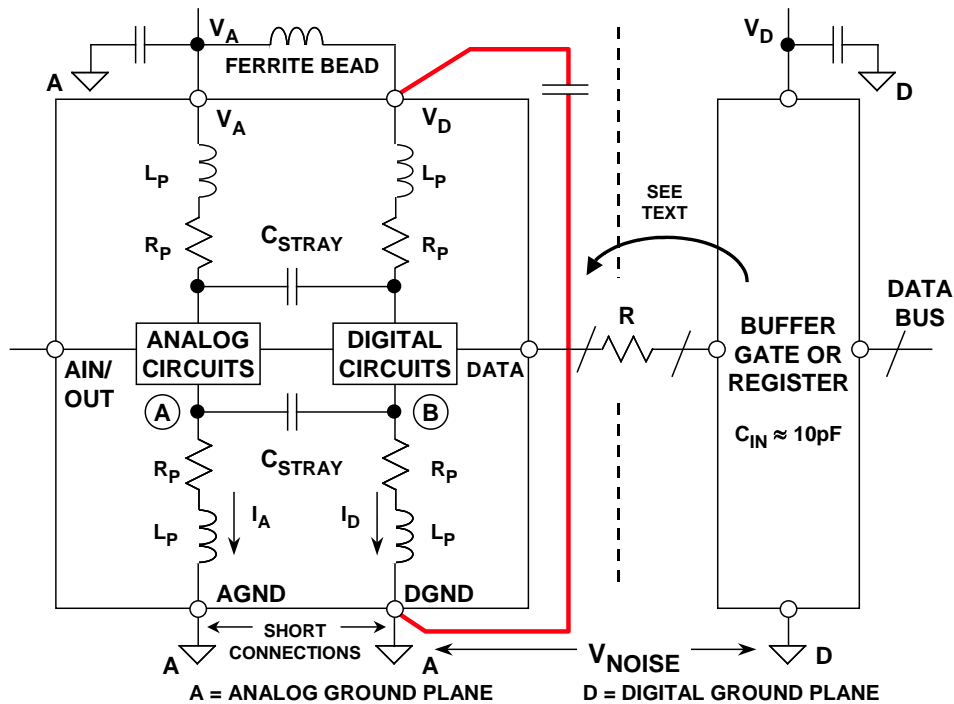


図5. 内部デジタル電流が小さいミックスド・シグナルICの適切なグラウンディング

アナログとデジタル両方の回路を備えたIC（ADCやDACなど）の内部では、デジタル信号がアナログ回路に混入することを避けるため、通常はグラウンドが切り離されています。図5は、コンバータの簡単なモデルを示します。チップ上のボンディング・パッドをパッケージ側のピンに接続することで引き起こされるワイヤボンディングのインダクタンスと抵抗については、その存在を認識しておくこと以外に、IC設計者ができることは何もありません。急速に変化するデジタル電流がポイントBに生成する電圧は、浮遊容量（ C_{STRAY} ）を通じてアナログ回路のポイントAに結合することは避けられません。さらに、ICパッケージのあらゆるピン間には、およそ0.2pFの避けられない浮遊容量が存在します。これらの問題を解決してチップを動作させることが、IC設計者の仕事です。ただし、さらなる結合を防ぐために、AGNDピンとDGNDピンは、最小のリード長で外部的にアナログ・グラウンド・プレーンに結合します。DGND接続に余分なインピーダンスがあると、ポイントBで発生するデジタル・ノイズが増え、浮遊容量を通じてアナログ回路に混入するデジタル・ノイズが増えることになります。なお、DGNDをデジタル・グラウンド・プレーンに接続すると、AGNDピンとDGNDピンにまたがって V_{NOISE} が印加され、最悪の結果を招きますのでご注意ください。

ICの「DGND」というピン名は、このピンをICのデジタル・グラウンドに接続できることを示しています。これは、このピンをシステムのデジタル・グラウンドに接続する必要があるという意味ではありません。

この配置によって、少量のデジタル・ノイズがアナログ・グラウンド・プレーンに流入してしまうことがあるのは事実です。これらの電流はきわめて小さく、コンバータの出力が大きなファンアウトを駆動しないようにすれば（通常は意図的に駆動できないようにします）最小限に抑えることができます。コンバータのデジタル・ポートのファンアウトを最小限に抑えると、コンバータのロジック遷移をリングが比較的少ない状態に保ってデジタル・スイッチング電流を最小限に抑え、それによってコンバータのアナログ・ポートへの結合を減らすことができます。図5に示すように、ロジック電源ピン（V_D）は、低損失のフェライト・ビーズを挿入することによって、アナログ電源からの分離を強化することができます。コンバータの内部デジタル過渡電流は、V_Dから小さなループに流れ込み、デカップリング・コンデンサを通じてDGNDに流れます（このパスは図に太線で示されています）。したがって、デジタル過渡電流は外部のアナログ・グラウンド・プレーンには現れず、ループ内に閉じ込められます。V_Dピンのデカップリング・コンデンサは、寄生インダクタンスを最小限に抑えるため、できるだけコンバータの近くに取り付ける必要があります。デカップリング・コンデンサは、一般に、容量が0.01 μF～0.1 μFで低インダクタンスのセラミック型としてください。

ADC デジタル出力の取り扱いに注意

コンバータのデジタル・ラインをデータ・バスのノイズから分離するために、バッファ・レジスタをコンバータに隣接して配置する方法は、どんな場合でも有効です（図5）。このレジスタは、コンバータのデジタル出力の負荷を最小限に抑える役割も果たし、デジタル出力とデータ・バス間のファラデー・シールドとして機能します。場合によっては、分離を強化するために、アナログ・グラウンド・プレーン上でコンバータ出力の隣にバッファ・レジスタを追加することが望ましいこともあります。

ADC出力とバッファ・レジスタ入力の間にある直列抵抗（図5では「R」と表示）は、コンバータ性能に影響を与える可能性のあるデジタル過渡電流を最小限に抑えるのに役立ちます。この抵抗は、デジタル出力ドライバをバッファ・レジスタ入力の容量から分離します。さらに、直列抵抗とバッファ・レジスタの入力容量によって形成されるRCネットワークは、ローパス・フィルタとして機能して高速エッジを減速させます。

PCボード配線とスルーホール、そしてCMOSゲートの合計負荷は、およそ10 pFです。絶縁抵抗がない場合、1 V/nsのロジック出力スレートによって10 mAの動的電流が生成されます。

$$\Delta I = C \frac{\Delta v}{\Delta t} = 10 \text{ pF} \times \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} \quad \text{式 2}$$

10 pF の入力容量のレジスタを駆動するとき、500 Ω の直列抵抗はこの出力電流を最小限に抑え、およそ 11 ns の立上がり／立下がり時間が得られます。

$$t_r = 2.2 \times \tau = 2.2 \times R \cdot C = 2.2 \times 500 \Omega \times 10 \text{ pF} = 11 \text{ ns}$$

式 3

TTL レジスタは避けてください。高い入力容量によってダイナミック・スイッチング電流が目立って増加することがあります。

バッファ・レジスタとその他のデジタル回路は、PC ボードのデジタル・グラウンド・プレーンにグラウンディングしてデカップリングしてください。アナログ／デジタル・グラウンド・プレーン間にノイズがあると、コンバータのデジタル・インターフェースでのノイズ・マージンが減少します。デジタル・ノイズ耐性は数百または数千ミリボルトのオーダーなので、これが問題になる可能性はあまりありません。通常、アナログ・グラウンド・プレーンのノイズはそれほど多くありません。しかし、デジタル・グラウンド・プレーン上のノイズが（アナログ・グラウンド・プレーンに比べて）数百ミリボルト上回る場合は、デジタル・グラウンド・プレーンのインピーダンスを減らす対策を講じ、デジタル・ノイズ・マージンを許容可能なレベルに維持する必要があります。どんな場合でも、2つのグラウンド・プレーン間の電圧が 300 mV を超えないようにしてください。そうしないと IC が損傷する恐れがあります。

アナログ回路とデジタル回路の電源は、電圧が同じであったとしても別個にすることが強く望まれます。コンバータの駆動には、アナログ電源を使用してください。コンバータにデジタル電源ピン（V_D）と呼ばれるピンがある場合、図に示すように、そのピンは別個のアナログ電源から駆動するか、またはフィルタする必要があります。コンバータ電源ピンはすべてアナログ・グラウンド・プレーンにデカップリングし、デジタル回路電源ピンはすべてデジタル・グラウンド・プレーンにデカップリングしてください（図 6 を参照）。

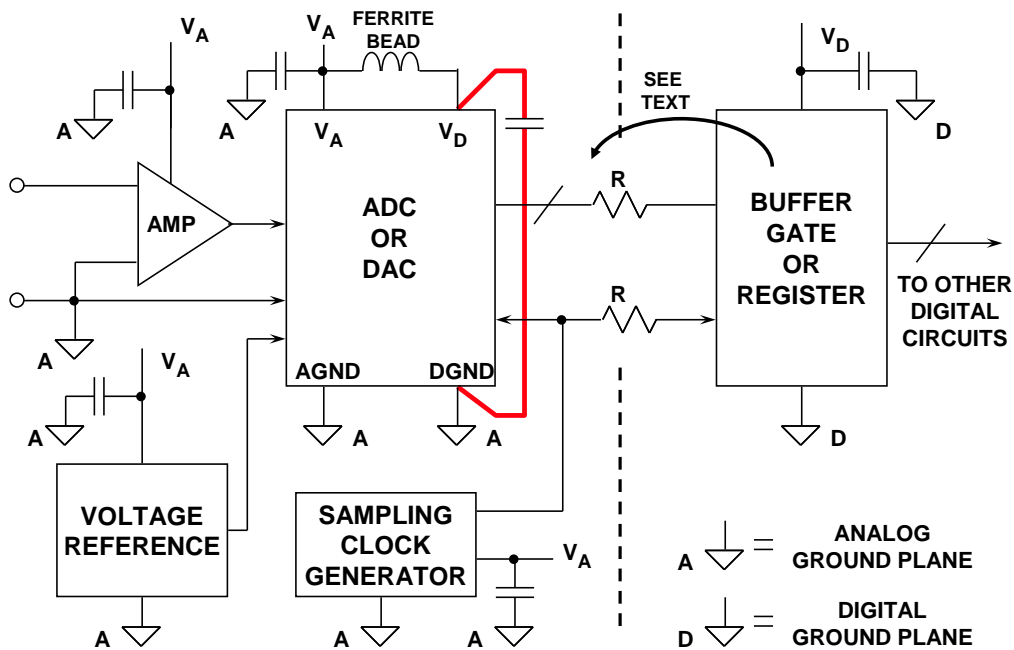


図 6. グラウンディング／デカップリング・ポイント

場合によっては、アナログ電源に V_D を接続できないこともあります。一部の新しい高速 IC はアナログ回路を +5 V で駆動しますが、デジタル・インターフェースは 3 V ロジックとのインターフェースのために +3 V で駆動されます。この場合、IC の +3 V ピンはアナログ・グラウンド・プレーンに直接デカップリングしてください。また、ピンを +3 V デジタル・ロジック電源に接続する電源パターンと直列に、フェライト・ビーズを接続することをお勧めします。

サンプリング・クロックの生成回路はアナログ回路のように取り扱い、アナログ・グラウンド・プレーンに接地して十分にデカップリングしてください。サンプリング・クロック上の位相ノイズは、以下に述べるように、システムの SNR に悪影響を与えます。

サンプリング・クロックに関する検討事項

高性能サンプリング・データ・システムでは、低位相ノイズの水晶発振器を用いて ADC (または DAC) のサンプリング・クロックを生成する必要があります。これは、サンプリング・クロックのジッタがアナログの入力/出力信号を変調し、ノイズ&歪みフロアを上昇させるからです。サンプリング・クロック・ジェネレータは、オペアンプや ADC と同様に、ノイズの多いデジタル回路から分離し、アナログ・グラウンド・プレーンに接地してデカップリングしてください。

サンプリング・クロックのジッタが ADC の S/N 比 (SNR) に与える影響は、次式で近似されます。

$$\text{SNR} = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right] \quad \text{式 4}$$

ここで、SNR は無限の分解能を持つ完全な ADC の SNR で、その唯一のノイズ源は rms サンプリング・クロック・ジッタ t_j です。上式の f はアナログ入力周波数です。簡単な例を挙げると、 $t_j = 50 \text{ ps rms}$ 、 $f = 100 \text{ kHz}$ の場合は $\text{SNR} = 90 \text{ dB}$ であり、およそ 15 ビットのダイナミック・レンジに相当します。クロック・ジッタが SNR に与えるこの影響については、[チュートリアル MT-007](#) に詳しく述べられています。

上の例における t_j は、外部クロック・ジッタと内部 ADC クロック・ジッタ (アパーチャ・ジッタと呼ばれます) の 2 乗和平方根 (rss) 値です。しかし、大部分の高性能 ADC では、サンプリング・クロックのジッタに比べて内部アパーチャ・ジッタはごくわずかです。

理想的には、サンプリング・クロックの発振器は、スプリット・アース・システムのアナログ・グラウンド・プレーンを基準にする必要があります。ただし、システムの制約もあるため、これが常に可能なわけではありません。多くの場合、サンプリング・クロックは、デジタル・グラウンド・プレーン上に生成される高周波数の多目的システム・クロックから生成する必要があります。その後、デジタル・グラウンド・プレーン上のその信号源から、アナログ・グラウンド・プレーン上の ADC に渡す必要があります。2つのプレーン間のグラウンド・ノイズはクロック信号に直接付加され、余分なジッタを生成します。ジッタは S/N 比を悪化させるほか、望ましくない高調波を生成することもあります。

これは、図 7 に示すような小型の RF トランス、または高速の差動ドライバ/レシーバ IC を用いて、サンプリング・クロック信号を差動信号として送信することによって、いくぶん改善できます。多くの高速 ADC は、この方法を容易に実現できるように差動サンプリング・クロック入力を使用しています。能動型の差動ドライバやレシーバを使用する場合は、位相ジッタを最小限に抑えるために、ECL、low-level ECL、LVDS のいずれかを選ぶ必要があります。+5 V 単電源システムでは、グラウンドと+5 V (PECL) の間に ECL ロジックを接続し、出力を ADC サンプリング・クロック入力に AC 結合することができます。いずれの場合も、オリジナル・マスター・クロックは、DSP、マイクロプロセッサ、あるいはマイクロコントローラのクロック出力からではなく、低位相ノイズの発振器から生成する必要があります。

システム・クロック管理を容易にするために、アナログ・デバイスはクロック生成・分配製品のファミリーと、あらゆる種類のフェーズ・ロックド・ループ (PLL) を提供しています。

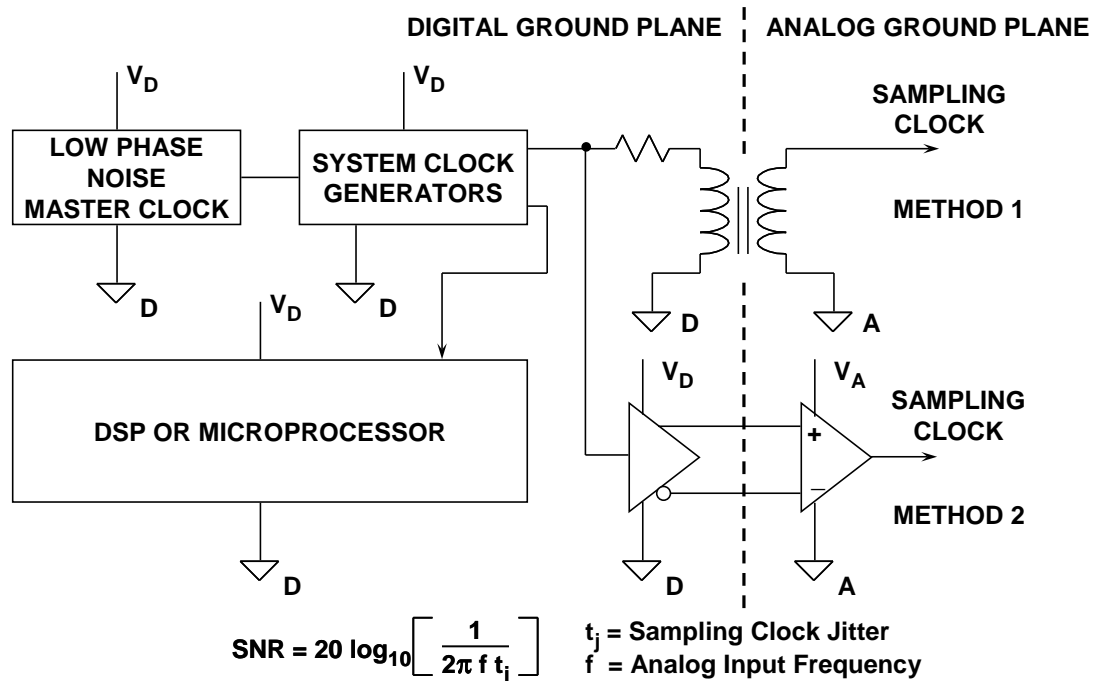


図 7. デジタル・グラウンド・プレーンからアナログ・グラウンド・プレーンへのサンプリング・クロック分配

ミックスド・シグナルのグラウンディングに関する混乱の原点：シングルカード・システムのグラウンディング概念をマルチカード・システムに適用

ADC や DAC をはじめとするミックスド・シグナル・デバイスのデータシートでは、たいていの場合、単一の PC ボード（通常は自社製評価用ボード）を基準にしてグラウンディングを説明しています。このことは、マルチカードやマルチ ADC/DAC システムにこれらの原理を適用しようとするとき、混乱の原因となっていました。推奨される対応策は、PC ボードのグラウンド・プレーンを常にアナログ・プレーンとデジタル・プレーンに分けることです。その他の推奨事項としては、コンバータの AGND ピンと DGND ピンを互いに接続すること、および、図 8 に示すように、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを同じポイントに接続することが挙げられます。基本的には、これでミックスド・シグナル・デバイスにシステムの「スター」グラウンドが作成されます。

ノイズの多いすべてのデジタル電流は、デジタル電源を通じてデジタル・グラウンド・プレーンに流れ、デジタル電源に戻ります。これらの電流は、ボードのデリケートなアナログ部分から分離されます。システム・スター・グラウンドは、ミックスド・シグナル・デバイスのところでアナログ/デジタル・グラウンド・プレーンが結合される場所です。この方法は、1つのPCボードと1つのADC/DACを持つ簡単なシステムでは一般にうまくいきますが、マルチカードのミックスド・シグナル・システムに必ずしも最適なわけではありません。異なるPCボード（あるいは同じPCボード）上に複数のADCやDACを持つシステムでは、アナログ/デジタル・グラウンド・プレーンが複数のポイントで接続されるため、グラウンド・ループの可能性が生まれ、シングル・ポイントの「スター」グラウンド・システムを設けることができなくなります。このような理由から、このグラウンディング方式はマルチカード・システムには推奨できません。低デジタル電流のミックスド・シグナルICには前述の方式を使用してください。

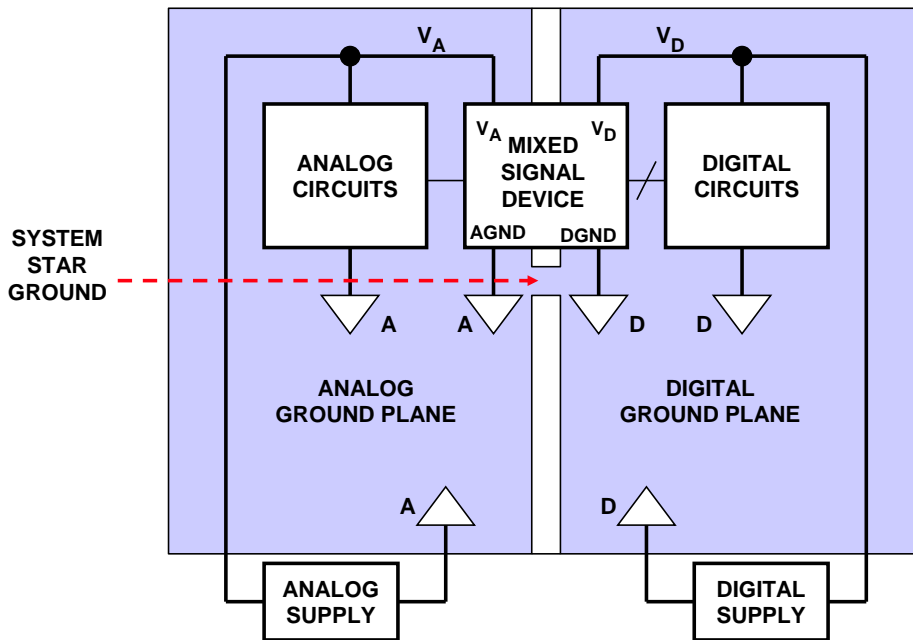


図 8. ミックスド・シグナル IC のグラウンディング：単一の PC ボード（標準的な評価/テスト用ボード）

まとめ：

マルチカード・システムにおける低デジタル電流ミックスド・シグナル・デバイスのグラウンディング

低デジタル電流のミックスド・シグナル・デバイスのグラウンディングについて、これまでに述べた方法の概要を図 9 に示します。少量のデジタル過渡電流は、 V_D 、デカップリング・コンデンサ、DGND で構成される小さなループ（太線で表示）に流れ込むため、アナログ・グラウンド・プレーンが損なわれることはありません。あらゆる意図と目的で使われるミックスド・シグナル・デバイスは、アナログ・コンポーネントとして扱われます。2つのグラウンド・プレーン間のノイズ V_N はデジタル・インターフェースのノイズ・マージンを減少させますが、システム・スター・グラウンドへ戻るまでの全区間にわたって低インピーダンスのデジタル・グラウンド・プレーンを使用することによって 300 mV 未満に保たれれば、一般に害はありません。

しかし、 $\Sigma\Delta$ ADC、コーデック、DSP などのアナログ機能を内蔵するミックスド・シグナル・デバイスは、ますますデジタル化の割合を増えています。新たなデジタル機能が追加されるのに伴って、デジタル電流やノイズも大きくなっています。たとえば、 $\Sigma\Delta$ ADC や DAC には複雑なデジタル・フィルタが含まれており、そのためにデバイス内のデジタル電流が大幅に増えています。これまでに述べた方法は、 V_D と DGND 間のデカップリング・コンデンサに依存して、デジタル過渡電流を小さなループ内に閉じ込めるものでした。しかし、このようなデジタル電流がかなり大きくなり、さらに DC あるいは低周波数の成分が含まれるようになると、デカップリング・コンデンサをかなり大きなものにしなければなりません。実際には困難です。 V_D と DGND 間のループの外側を流れるデジタル電流は、アナログ・グラウンド・プレーンをどうしても通ってしまいます。これは性能を低下させますが、高分解能システムの場合には特にその傾向が顕著です。

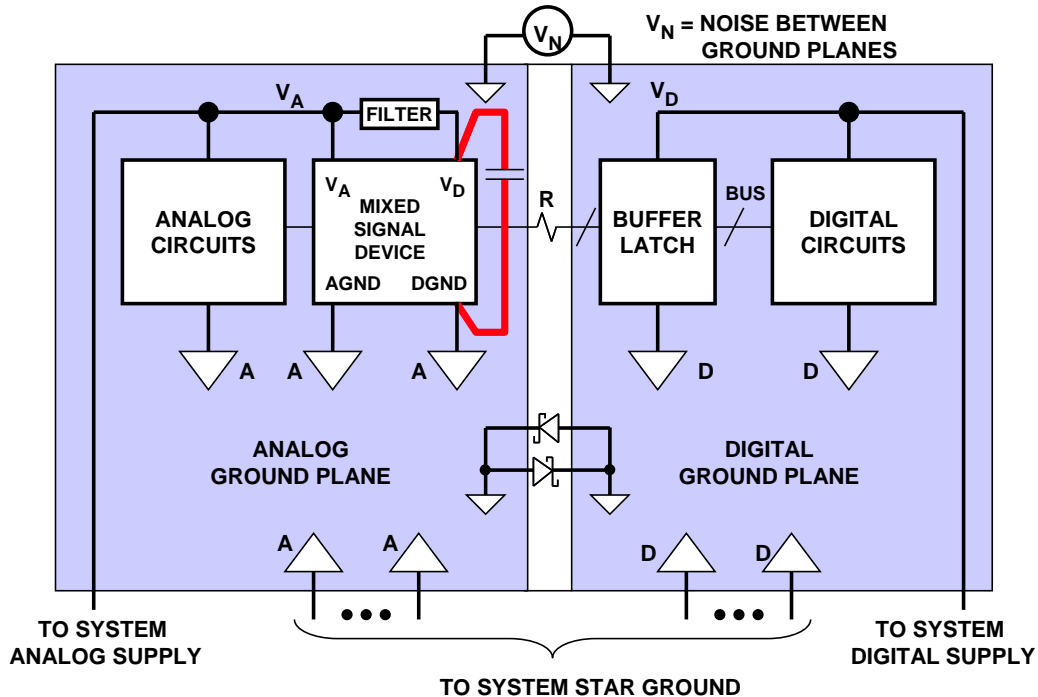


図9. 内部デジタル電流が小さいミックスド・シグナル IC のグラウンディング：複数の PC ボードの場合

デジタル電流がアナログ・グラウンド・プレーンに流れ込む場合、それがどれくらいのレベルになるとシステムの許容限度を超えてしまうかを予想することは困難です。この場合、より高性能の代替的なグラウンディング方法を提案する以外に方法はありません。

まとめ：

マルチカード・システムにおける高デジタル電流ミックスド・シグナル・デバイスのグラウンディング（この方法を使用する場合は注意が必要です）

大きいデジタル電流量が流れるミックスド・シグナル・デバイス用の代替的なグラウンディング方法を、図10に示します。ミックスド・シグナル・デバイスの AGND はアナログ・グラウンド・プレーンに接続し、DGND はデジタル・グラウンド・プレーンに接続しています。デジタル電流はアナログ・グラウンド・プレーンから分離されますが、デバイスの AGND ピンと DGND ピンの間には2つのグラウンド・プレーン間のノイズが直接加わります。この方法を成功させるには、ミックスド・シグナル・デバイス内のアナログ回路とデジタル回路を確実に分離する必要があります。AGND ピンと DGND ピン間のノイズが大きくなりすぎて、内部ノイズ・マージンを減少させたり内部アナログ回路を損なったりしないようにしなければなりません。

図 10 には、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを接続するオプションのショットキー・ダイオード（バックツープック）またはフェライト・ビーズを示しています。ショットキー・ダイオードは、2つのプレーン間に大きな DC 電圧スパイクや低周波電圧スパイクが発生することを防ぎます。これらの電圧は AGND ピンと DGND ピン間に直接加わるため、その値が 300 mV を超えるとミックスド・シグナル IC を損傷させる恐れがあります。フェライト・ビーズは、バックツープック・ショットキー・ダイオードに代わるものとして 2つのプレーン間を接続しますが、数 MHz 以上の周波数ではフェライト・ビーズの抵抗が増すので両プレーンを分離します。これは、AGND と DGND 間の DC 電圧から IC を保護しますが、フェライト・ビーズによる DC 接続が、不要な DC グラウンド・ループを生じさせる可能性があるため、高分解能システムには適しません。

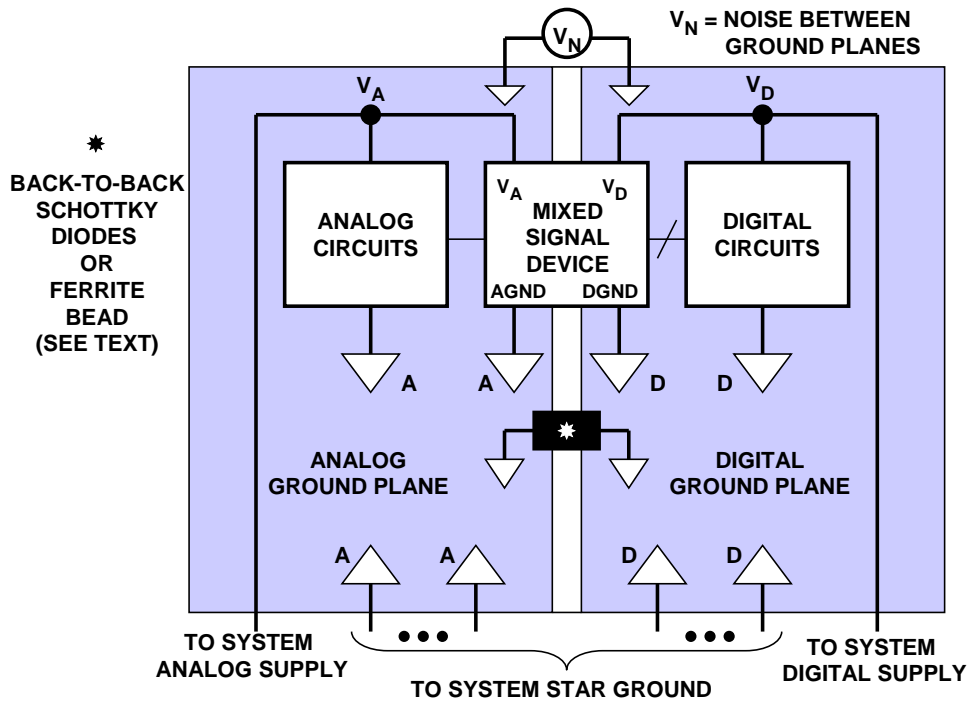


図 10. 内部デジタル電流が大きいミックスド・シグナル IC の代替グラウンディング方法：複数の PC ボードの場合

高デジタル電流 IC の AGND ピンと DGND ピンが分かれているという特別なケースでは、必要に応じてそれらのピンを接続する必要があります。ジャンパやストラップといった方法を使用すれば、両方の方法を試して、どちらの方がより良い全体的システム性能を実現できるかを検証することができます。

グラウンディングのまとめ

1つのグラウンディング方法だけで、常に最適な性能を保証することはできません。この項では、問題となる特定のミックスド・シグナル・デバイスの特性に応じて、いくつかの可能なオプションを提示しました。しかし、最初に PC ボードをレイアウトする際には、できるだけ多くのオプションがあるほうが有益です。

PC ボードの少なくとも 1 つの層を、グラウンド・プレーン専用にするには必須条件です。初期基板レイアウトでは、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンが重なり合わないようにはしなければなりません。パッドとビアはいくつかの場所に複数設ける必要があります。これは、必要に応じてバックツーバックのショットキー・ダイオードやフェライト・ビーズを取り付けるためです。また、必要に応じてアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンをジャンパで互いに接続できるように、パッドとビアを設けることも非常に重要です。「マルチポイント」（単一グラウンド・プレーン）と「スター」（アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分離）、どちらのグラウンド方法を使用すれば最良の全体的システム性能を実現できるかを予測することは困難です。したがって、ジャンパを使い、最終的な PC ボードを使って何度か実験を行う必要があります。

確信が持てない場合は、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分け、後でそれをジャンパで接続する方が、最初に単一グラウンド・プレーンにして、後からそれを分離する方法よりも確実です。

ミックスド・シグナル・システムの PC ボード・レイアウトに関する一般的なガイドライン

システム・レイアウトに注意を払って異なる信号同士の干渉を防ぐことにより、ノイズを最小限に抑えることができるのは明らかです。高レベルのアナログ信号と低レベルのアナログ信号は分離し、さらにこれら両方のアナログ信号をデジタル信号から切り離す必要があります。波形サンプリングおよび再構成システムのサンプリング・クロック（デジタル信号）は、あらゆるアナログ信号同様にノイズに対して脆弱です。これはさまざまな例によって確認されていますが、このクロックは、他のデジタル信号同様にノイズの原因ともなります。したがって、アナログ・システムからもデジタル・システムからも分離しなければなりません。クロック分配にクロック・ドライバ・パッケージを使用した場合は、1 つのパッケージを通過する周波数クロックを 1 つだけにする必要があります。同じパッケージ内の異なる周波数クロック間でドライバを共有すると、過大なジッタやクロストークが発生して性能が低下します。

グラウンド・プレーンは、敏感な信号が交差する場所のシールドとしての役割を果たすことができます。データ・アキュイジション・ボード用の適切なレイアウト例を図 11 に示します。この例では、すべての敏感な部分が互いに分離されており、信号経路はできるだけ短く抑えられています。実際にはこれほど整理された形になることは稀ですが、方法的には正しいものです。

信号線や電力線を接続するにあたっては、考慮すべきいくつかの重要な点があります。まず、コネクタは、システム内ですべての信号導線を平行に配置しなければならない数少ない場所のひとつです。したがって、信号導線同士のカップリングを防ぐために、グラウンド・ピンを使用してこれらの導線を分離する（ファラデー・シールドを形成する）ことが不可欠です。

グラウンド・ピンを複数にすることが重要な理由はもうひとつあります。これらのグラウンド・ピンは、ボードとバックプレーンの結合部におけるグラウンド・インピーダンスを低く抑えます。ボードが新しい場合は、PC ボード・コネクタのピン 1 本あたりの接点抵抗は極めて低い値ですが（10 mΩ 程度）、ボードが古くなるに従って増大し、ボード性能に悪影響を与える傾向があります。したがって、数多くのグラウンド接続を確保できるように、追加的な PC ボード・コネクタ・ピンを割り当てるようにするのが効果的です（PC ボード・コネクタの全ピンの 30~40% をグラウンド・ピンとする必要があるでしょう）。同じ理由により、それほど数のグラウンド・ピンは必要ないとしても、各電源接続にはいくつかのピンを設けておく必要があります。

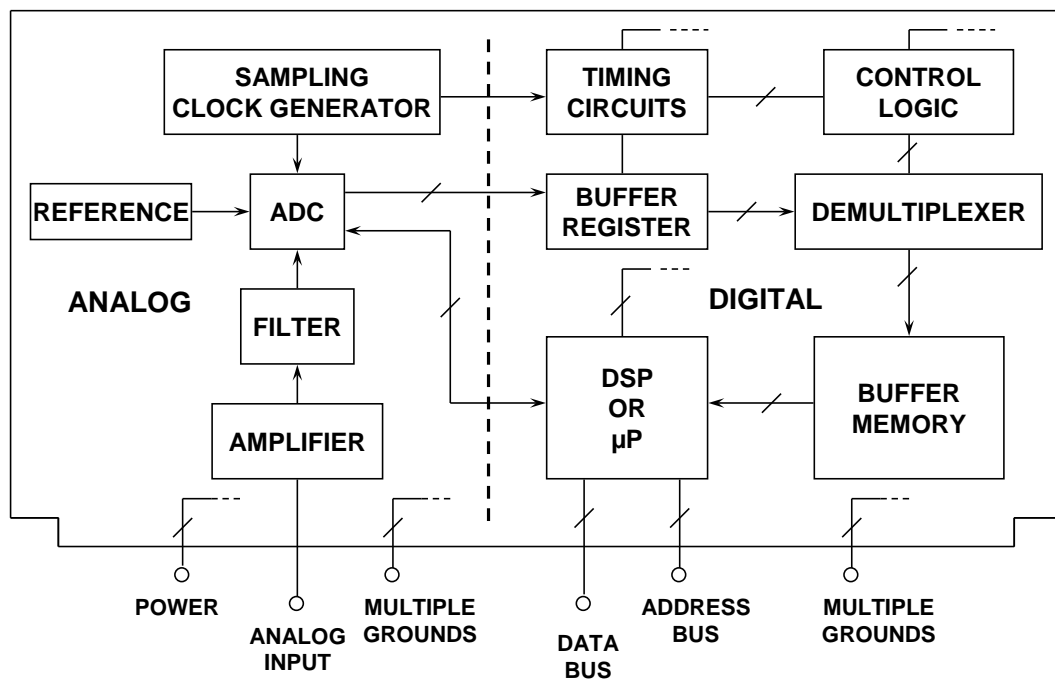


図 11. PC ボードのレイアウトにおいてはアナログ回路とデジタル回路の分割が必要

アナログ・デバイセズをはじめ、高性能ミックスド・シグナル IC のメーカーは、初期評価およびレイアウトのための評価用ボードを提供しています。ADC 評価用ボードには、通常、オンボード低ジッタ・サンプリング・クロック発振器、出力レジスタ、および適切な電源および信号用コネクタが含まれています。さらに、ADC 入力バッファ・アンプや外部リファレンスなどの追加的なサポート回路が組み込まれている場合もあります。

評価用ボードのレイアウトは、グラウンディング、デカップリング、および信号配線に関して最適化されており、システム内の ADC PC ボードをレイアウトする際のモデルとして使用することができます。実際の評価用ボード・レイアウトは、通常、ADC メーカーから CAD ファイル（ガーバー・ファイル）の形で入手できます。多くの場合は、そのデバイスのデータシートにさまざまな層のレイアウトが記載されています。

参考文献

1. Ralph Morrison, *Grounding and Shielding Techniques, 4th Edition*, John Wiley, Inc., 1998, ISBN: 0471245186.
2. Henry W. Ott, *Noise Reduction Techniques in Electronic Systems, 2nd Edition*, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
3. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change", Analog Devices Application Note [AN-202](#).
4. Paul Brokaw and Jeff Barrow, "Grounding for Low- and High-Frequency Circuits," Analog Devices Application Note [AN-345](#).
5. Howard W. Johnson and Martin Graham, *High-Speed Digital Design*, PTR Prentice Hall, 1993, ISBN: 0133957241.
6. Ralph Morrison, *Solving Interference Problems in Electronics*, John Wiley, 1995.
7. Crystal Oscillators:MF Electronics, 10 Commerce Drive, New Rochelle, NY, 10801, 914-576-6570.
8. Mark Montrose, *EMC and the Printed Circuit Board*, IEEE Press, 1999 (IEEE Order Number PC5756).
9. John Ardizzoni, "[A Practical Guide to High-Speed Printed-Circuit-Board Layout](#)," *Analog Dialogue*, Vol. 39, Sept. 2005.
10. Grant, Doug and Scott Wurcer, "Avoiding Passive-Component Pitfalls," Analog Devices Application Note [AN-348](#)
11. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.

Copyright 2015, Analog Devices, Inc. All rights reserved. アナログ・デバイセズは、お客様の製品設計、その製品の使用あるいは応用、もしくはアナログ・デバイセズの支援の結果から生じる第三者の特許または権利の侵害については、一切責任を負いません。本紙記載の商標および登録商標は、それぞれの所有者の財産です。アナログ・デバイセズのアプリケーション・エンジニアおよび開発ツール・エンジニアによって提供される情報は正確かつ信頼できるものと見なされていますが、アナログ・デバイセズは、アナログ・デバイセズ・チュートリアルが提供する内容の技術的な正確さや適時性については責任を負いません。