

SmartMesh IP ネットワーク・マネージャ 2.4GHz 802.15.4e ワイヤレス・マネージャ

ネットワークの特長

- 自己回復メッシュ・ネットワークを形成するための完全な無線トランシーバ、組み込みプロセッサ、およびネットワーク・ソフトウェア
- SmartMesh[®] ネットワークが実装する機能：
 - ネットワーク規模の時間同期式スケジューリング
 - 伝送単位の周波数ホッピング
 - 空間冗長性のある多様なトポロジー
 - ネットワーク規模の信頼性と電力の最適化
 - NIST 認証済みのセキュリティ
- SmartMesh ネットワークが実現する性能：
 - 最も厳しい RF 環境で 99.999% 超のネットワーク信頼性を実現
 - ルーティング・ノードの電流が 50μA 未満
- 6LoWPAN インターネット・プロトコル (IP) および IEEE 802.15.4e 標準規格に準拠

LTC5800-IPR の特長

- ネットワーク管理機能とセキュリティ機能を提供
- 最大 32 ノード (LTC5800-IPRA) または最大 100 ノード (LTC5800-IPRB) のネットワークを管理
- 1mA 未満の平均消費電流により、バッテリー駆動のネットワーク管理が可能
- RF モジュール認証取得 PCB モジュール・バージョンを供給可能 (LTP™ 5901/2-IPR)
- 10mm×10mm の 72 ピン QFN パッケージ

概要

SmartMesh IP™ ワイヤレス・センサ・ネットワークは、モートと呼ばれるワイヤレス・ノードから構築された自己管理式の低消費電力インターネット・プロトコル (IP) ネットワークです。LTC[®]5800-IPR は、IEEE 802.15.4e システムオンチップ (SoC) ソリューションの Eterna[®]* ファミリーにおける IP Manager-on-Chip™ で、Dust Networks[®] 社による集積度の高い低消費電力無線設計とともに、Dust 社の組み込み SmartMesh IP ネットワーク・ソフトウェアが動作する ARM Cortex-M3 32ビット・マイクロプロセッサを特長としています。

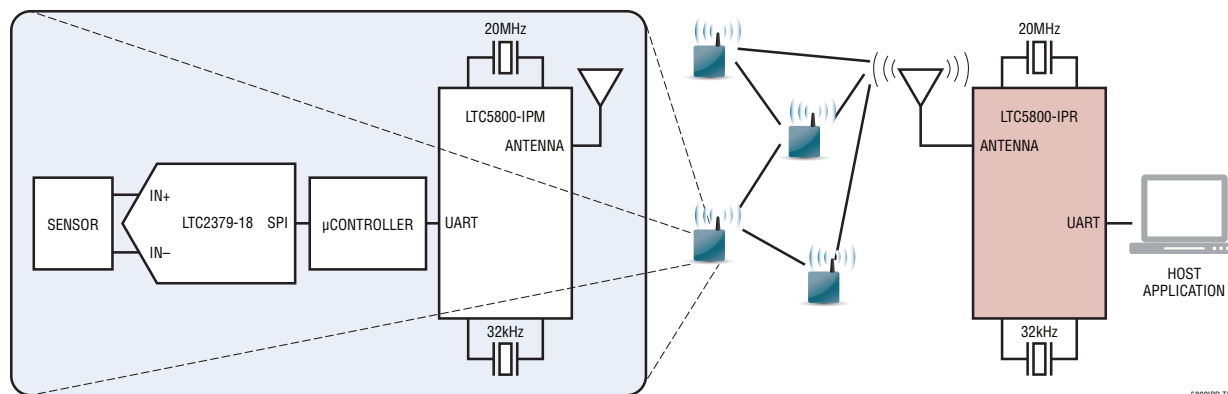
LTC5800-IPR SoC は、IETF 6LoWPAN および IEEE-802.15.4e 標準規格に基づいて、SmartMesh IP ネットワーク管理ソフトウェアを実行し、ネットワークの性能をモニタして管理し、UART インタフェースを介してデータの入口点/出口点となります。LTC5800-IPR に付属の SmartMesh IP ソフトウェアは、テストと検証が完全に行われており、ソフトウェアのアプリケーション・プログラミング・インタフェース (API) を介して簡単に設定できます。Dust 社の時間同期 SmartMesh IP ネットワークでは、ネットワーク内のすべてのモートがデータのルーティング、送信、または終了処理を実行しながら、バッテリー電源で何年も動作できます。

SmartMesh IP モートは信頼性の実績がある柔軟性の高いネットワークを実現し、組み込みが容易なプラットフォームで低消費電力性能を示します。

LT, LTC, LTM, Linear Technology, Linear のロゴ、Dust, Dust Networks, SmartMesh および Eterna はリニアテクノロジー社の登録商標です。LTP, Dust Networks のロゴ、SmartMesh IP および Manager-on-Chip はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7375594, 7420980, 7529217, 7791419, 7881239, 7898322, 8222965 を含む米国特許によって保護されています。

* Eterna は Dust Networks の低消費電力無線 SoC アーキテクチャです。

標準的応用例



5800IPR TA01

目次

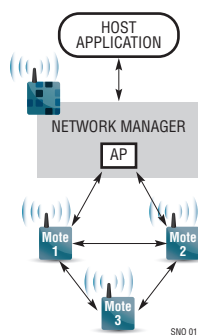
ネットワークの特長	1	動作.....	23
LTC5800-IPR の特長	1	電源.....	23
標準的応用例	1	電源モニタとリセット	24
概要.....	1	高精度のタイミング	24
SmartMesh ネットワークの概要	3	アプリケーションの時間同期	24
絶対最大定格.....	4	時間基準.....	24
発注情報.....	4	無線.....	25
推奨動作条件.....	4	UART.....	25
ピン配置	4	CLI UART	27
DC 特性.....	5	自律 MAC	27
無線規格.....	5	セキュリティ	28
無線レシーバ特性	6	温度センサ.....	28
無線トランスミッタ特性	6	無線禁止.....	28
デジタル I/O 特性	7	フラッシュのプログラミング	28
温度センサ特性	7	フラッシュのデータ保持	28
システム特性.....	7	ネットワーク化.....	29
UART の AC 特性	8	状態図.....	30
TIME _n の AC 特性	9	アプリケーション情報	33
RADIO_INHIBIT の AC 特性	9	法規制と標準規格の順守.....	33
フラッシュの AC 特性	10	半田付け情報	33
フラッシュ SPI スレーブの AC 特性	10	関連資料.....	34
外部バスの AC 特性.....	11	パッケージ	35
電氣的特性.....	12	標準的応用例.....	36
標準的性能特性.....	13	関連製品.....	36
ピン機能	18		

SmartMesh ネットワークの概要

SmartMesh ネットワークは、データを収集して中継する自己形成型マルチホップ・メッシュ・ノード(モートと呼ばれるもの)と、ネットワークの性能およびセキュリティをモニタして管理し、ホスト・アプリケーションとデータを交換するネットワーク・マネージャで構成されます。

SmartMesh ネットワークは、Dust Networksが開発したタイムスロット・チャネル・ホッピング(TSCH)リンク層を使用して通信します。TSCH ネットワークでは、ネットワーク内のすべてのモートが1ミリ秒以内に同期しています。ネットワーク内の時間は複数のタイムスロットに編成されるので、衝突のないパケット交換と伝送単位のチャネル・ホッピングが可能になります。SmartMesh ネットワークでは、すべてのデバイスに1つ以上の親(上位ノード)があり(たとえば、モート3には親としてモート1およびモート2があり)、干渉、物理的妨害、または多経路フェージングに起因する通信の遮断を克服するための冗長経路を実現します。ある経路でパケット伝送が失敗した場合は、次の再伝送を別の経路および別のRFチャネルで試行できます。

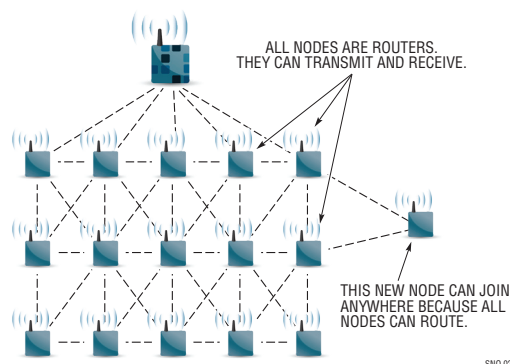
ネットワーク・マネージャがその内蔵アクセス・ポイント(AP)に指示してアドバタイズメントの送信を開始すると、ネットワークが形成され始めます。アドバタイズメントとは、デバイスがネットワークに同期して参加を要求できるようにする情報が入っているパケットのことです。このメッセージ交換は、マネージャまたはアプリケーションとモートの間の暗号化通信を確立するセキュリティ・ハンドシェイクの一部です。モートはネットワークに参加すると、パケットの acknowledgments を受け取ったときの時間補正によって同期を維持します。



進行中のディスカバリ処理により、RFの状態が変化するのに応じてネットワークが新しい経路を絶えず検出することが保証されます。さらに、ネットワーク内の各モート性能の統計情報(例: 使用した経路の品質や潜在的経路のリスト)を追跡し、その情報を健全性レポートと呼ばれるパケットでネットワーク・マネージャに定期的送信します。ネットワーク・マネージャは健全性レポートを使用してネットワークを絶えず最適化

し、最も困難なRF環境でも99.999%を超えるデータ信頼性を維持します。

TSCHを使用すると、SmartMeshデバイスを予定の通信間にスリープ状態にすることができるので、この状態では電力をほとんど消費せずに済みます。モートがアクティブ状態になるのは、モートによる送信または受信を予定しているタイムスロット内に限られるので、通常はデューティ・サイクルが1%未満になります。ネットワーク・マネージャ内の最適化ソフトウェアにより、この予定は自動的に調整されます。低消費電力の無線システムであるEternaと組み合わせると、SmartMesh ネットワーク内のすべてのモートは、ルーティングが混雑したモートであっても、数年間はバッテリーで動作を継続できます。デフォルトでは、ネットワーク内のすべてのモートは他のモートからのトラフィックのルーティングが可能なので、別個のルータと非ルーティング・エンド・ノードという複雑な構造を回避することにより設置を簡素化しています。モートを非ルーティング・ノードとして構成し、その特定のモートの消費電力をさらに低減して、多種多様なネットワーク・トポロジーに対応できます。



SmartMesh モートとネットワーク・マネージャの中核をなすのは、Eterna IEEE 802.15.4e システムオンチップ(SoC)であり、Dust Networks社の集積度の高い低消費電力無線設計に加えて、SmartMesh ネットワーク・ソフトウェアが動作するARM Cortex-M3 32ビット・マイクロプロセッサを特長としています。SmartMesh ネットワーク・ソフトウェアは完全にコンパイルされた状態で付属していますが、豊富な一連のアプリケーション・プログラミング・インタフェース(API)を介して構成可能です。これらのAPIにより、ホスト・アプリケーションがネットワークと対話して(たとえば、情報をデバイスに転送して)、1つ以上のモートのデータ発行レートを設定したり、ネットワークの状態や性能測定基準をモニタすることができます。データの発行は均一でもデバイスごとに異なってもかまいません。モートによる発行頻度は、必要に応じて低頻度にするか1秒に1回より頻繁にすることができます。

LTC5800-IPR

絶対最大定格

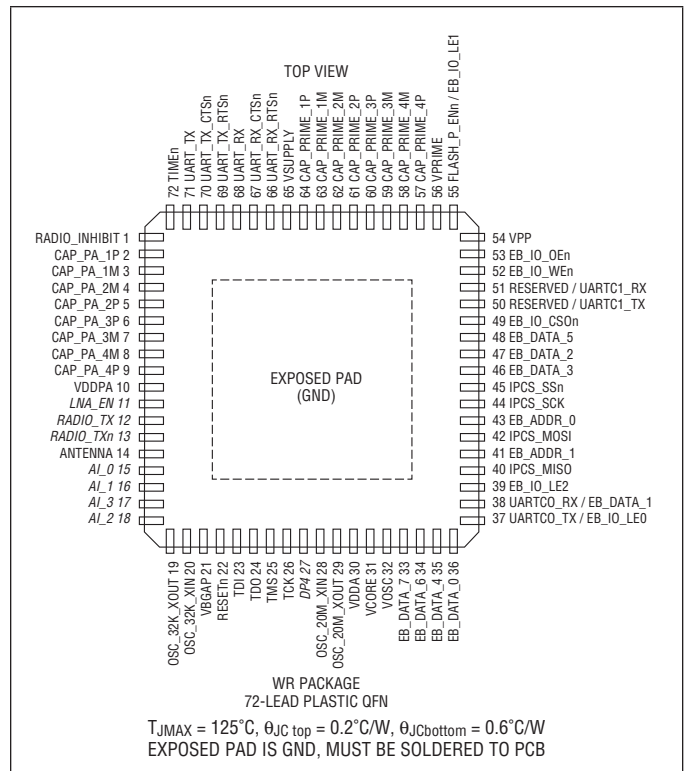
(Note 1)

VSUPPLYでの電源電圧	3.76V
AI_0/1/2/3 入力での入力電圧	1.80V
すべてのデジタル I/O ピンでの 電圧	-0.3V ~ VSUPPLY + 0.3V
入力 RF レベル	10dBm
保存温度範囲 (Note 3)	-55°C ~ 125°C
接合部温度 (Note 3)	125°C
動作温度範囲	-40°C ~ 85°C

注意: このデバイスは、静電放電 (ESD) の影響を受けやすい。
LTC5800-IPR を取り扱う場合は、適切な ESD 予防策に従うことが非常に重要である。

ピン配置

イタリック体で表示しているピン機能は、現時点ではソフトウェアでサポートされていません。



発注情報

無鉛仕上げ	製品マーキング	パッケージ	規定温度範囲
LTC5800IWR-IPRA#PBF	LTC5800WR-IPRA	72-Lead (10mm×10mm×0.85mm) Plastic QFN	-40°C to 85°C
LTC5800IWR-IPRB#PBF	LTC5800WR-IPRB	72-Lead (10mm×10mm×0.85mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
ダッシュ・コード・オプションについては、「IP マネージャのオプション」セクションを参照してください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/> を参照してください。

推奨動作条件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $VSUPPLY = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
VSUPPLY	Supply Voltage	Including Noise and Load Regulation	● 2.1		3.76	V
	Supply Noise	Requires Recommended RLC Filter, 50Hz to 2MHz	●		250	mV
	Operating Relative Humidity	Non-Condensing	● 10		90	% RH
	Temperature Ramp Rate While Operating in Network		● -8		8	°C/Min

DC 特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

OPERATION/STATE	CONDITIONS	MIN	TYP	MAX	UNITS
Power-On Reset	During Power-On Reset, Maximum $750\mu\text{s}$ + V_{SUPPLY} Rise Time from 1V to 1.9V		12		mA
Doze	RAM On, ARM Cortex-M3, Flash, Radio, and Peripherals Off, All Data and State Retained, 32.768kHz Reference Active		1.2		μA
Deep Sleep	RAM On, ARM Cortex-M3, Flash, Radio, and Peripherals Off, All Data and State Retained, 32.768kHz Reference Inactive		0.8		μA
In-Circuit Programming	RESETn and FLASH_P_ENn Asserted, IPCS_SCK at 8MHz		20		mA
Peak Operating Current 8dBm 0dBm	System Operating at 14.7MHz, Radio Transmitting, During Flash Write. Maximum Duration 4.33ms		30 26		mA mA
Active	ARM Cortex M3, RAM and Flash Operating, Radio and All Other Peripherals Off. Clock Frequency of CPU and Peripherals Set to 7.3728MHz, $V_{\text{CORE}} = 1.2\text{V}$		1.3		mA
Flash Write	Single Bank Flash Write		3.7		mA
Flash Erase	Single Bank Page or Mass Erase		2.5		mA
Radio Tx 0dBm 8dBm	Current With Autonomous MAC Managing Radio Operation, CPU Inactive. Clock Frequency of CPU and Peripherals Set to 7.3728MHz.		5.4 9.7		mA mA
Radio Rx	Current With Autonomous MAC Managing Radio Operation, CPU Inactive. Clock Frequency of CPU and Peripherals Set to 7.3728MHz.		4.5		mA

無線規格

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Frequency Band		● 2.4000		2.4835	GHz
Number of Channels		●	15		
Channel Separation		●	5		MHz
Channel Center Frequency	Where $k = 11$ to 25, as Defined by IEEE.802.4.15	●	$2405 + 5 \cdot (k - 11)$		MHz
Modulation	IEEE 802.15.4 Direct Sequence Spread Spectrum (DSSS)				
Raw Data Rate		●	250		kbps
Antenna Pin ESD Protection	HBM Per JEDEC JESD22-A114F		± 1000		V
Range (Note 4) Indoor Outdoor Free Space	25°C , 50% RH, 2dBi Omni-Directional Antenna, Antenna 2m Above Ground		100 300 1200		m m m

無線レシーバ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Receiver Sensitivity	Packet Error Rate (PER) = 1% (Note 5)		-93		dBm
Receiver Sensitivity	PER = 50%		-95		dBm
Saturation	Maximum Input Level the Receiver Will Properly Receive Packets		0		dBm
Adjacent Channel Rejection (High Side)	Desired Signal at -82dBm, Adjacent Modulated Channel 5MHz Above the Desired Signal, PER = 1% (Note 5)		22		dBc
Adjacent Channel Rejection (Low Side)	Desired Signal at -82dBm, Adjacent Modulated Channel 5MHz Below the Desired Signal, PER = 1% (Note 5)		19		dBc
Alternate Channel Rejection (High Side)	Desired Signal at -82dBm, Alternate Modulated Channel 10MHz Above the Desired Signal, PER = 1% (Note 5)		40		dBc
Alternate Channel Rejection (Low Side)	Desired Signal at -82dBm, Alternate Modulated Channel 10MHz Below the Desired Signal, PER = 1% (Note 5)		36		dBc
Second Alternate Channel Rejection	Desired Signal at -82dBm, Second Alternate Modulated Channel Either 15MHz Above or Below, PER = 1% (Note 5)		42		dBc
Co-Channel Rejection	Desired Signal at -82dBm, Undesired Signal is an 802.15.4 Modulated Signal at the Same Frequency, PER = 1%		-6		dBc
LO Feed Through			-55		dBm
Frequency Error Tolerance (Note 6)			± 50		ppm
Symbol Error Tolerance			± 50		ppm
Received Signal Strength Indicator (RSSI) Input Range			-90 to -10		dBm
RSSI Accuracy			± 6		dB
RSSI Resolution			1		dB

無線トランスミッタ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output Power High Calibrated Setting Low Calibrated Setting	Delivered to a 50 Ω load		8 0		dBm dBm
Spurious Emissions 30MHz to 1000 MHz 1GHz to 12.75GHz 2.4GHz ISM Upper Band Edge (Peak) 2.4GHz ISM Upper Band Edge (Average) 2.4GHz ISM Lower Band Edge	Conducted Measurement with a 50 Ω Single-Ended Load, 8dBm Output Power. All Measurements Made with Max Hold. RF Implementation Per Eterna Reference Design RBW = 120kHz, VBW = 100Hz RBW = 1MHz, VBW = 3MHz RBW = 1MHz, VBW = 3MHz RBW = 1MHz, VBW = 10Hz RBW = 100kHz, VBW = 100kHz		<-70 -45 -37 -49 -45		dBm dBm dBm dBm dBc
Harmonic Emissions 2nd Harmonic 3rd Harmonic	Conducted Measurement Delivered to a 50 Ω Load, Resolution Bandwidth = 1MHz, Video Bandwidth = 1MHz. RF Implementation Per Eterna Reference Design		-50 -45		dBm dBm

デジタルI/O特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS (Note 7)	MIN	TYP	MAX	UNITS
V_{IL}	Low Level Input Voltage		●	-0.3	0.6	V
V_{IH}	High Level Input Voltage	(Note 8)	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
V_{OL}	Low Level Output Voltage	Type 1, $I_{\text{OL}}(\text{MAX}) = 1.2\text{mA}$	●		0.4	V
V_{OH}	High Level Output Voltage	Type 1, $I_{\text{OH}}(\text{MAX}) = -0.8\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
V_{OL}	Low Level Output Voltage	Type 2, Low Drive, $I_{\text{OL}}(\text{MAX}) = 2.2\text{mA}$	●		0.4	V
V_{OH}	High Level Output Voltage	Type 2, Low Drive, $I_{\text{OH}}(\text{MAX}) = -1.6\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
V_{OL}	Low Level Output Voltage	Type 2, High Drive, $I_{\text{OL}}(\text{MAX}) = 4.5\text{mA}$	●		0.4	V
V_{OH}	High Level Output Voltage	Type 2, High Drive, $I_{\text{OH}}(\text{MAX}) = -3.2\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
	Input Leakage Current	Input Driven to V_{SUPPLY} or GND		50		nA
	Pull-Up/Pull-Down Resistance			50		k Ω

温度センサ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Offset	Temperature Offset Error at 25°C		± 0.25		$^\circ\text{C}$
Slope Error			± 0.033		$^\circ\text{C}/^\circ\text{C}$

システム特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Doze to Active State Transition			5		μs
	Doze to Radio Tx or Rx			1.2		ms
Q_{CCA}	Charge to Sample RF Channel RSSI	Charge Consumed Starting from Doze State and Completing an RSSI Measurement		4		μC
Q_{MAX}	Largest Atomic Charge Operation	Flash Erase, 21ms Max Duration	●		200	μC
	RESETn Pulse Width		●	125		μs

UARTのAC特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Permitted Rx Baud Rate Error	Both Application Programming Interface (API) and Command Line Interface (CLI) UARTs	●	-2		2	%
	Generated Tx Baud Rate Error	Both API and CLI UARTs	●	-1		1	%
$t_{\text{RX_RTS to RX_CTS}}$	Assertion of UART_RX_RTSn to Assertion of UART_RX_CTSn, or Negation of UART_RX_RTSn to Negation of UART_RX_CTSn		●	0		2	ms
$t_{\text{CTS_R to RX}}$	Assertion of UART_RX_CTSn to Start of Byte		●	0		20	ms
$t_{\text{EOP to RX_RTS}}$	End of Packet (End of the Last Stop Bit) to Negation of UART_RX_RTSn		●	0		22	ms
$t_{\text{BEG_TX_RTS to TX_CTS}}$	Assertion of UART_TX_RTSn to Assertion of UART_TX_CTSn		●	0		22	ms
$t_{\text{END_TX_RTS to TX_CTS}}$	Negation of UART_TX_RTSn to Negation of UART_TX_CTSn	Mode 2 Only				22	ms
$t_{\text{END_TX_CTS to TX_RTS}}$	Negation of UART_TX_CTSn to Negation of UART_TX_RTSn	Mode 4 Only		2			Bit Period
$t_{\text{TX_CTS to TX}}$	Assertion of UART_TX_CTSn to Start of Byte		●	0		2	Bit Period
$t_{\text{EOP to TX_RTS}}$	End of Packet (End of the Last Stop Bit) to Negation of UART_TX_RTSn		●	0		1	Bit Period
$t_{\text{RX_INTERBYTE}}$	Receive Inter-Byte Delay		●			100	ms
$t_{\text{TX to TX_CTS}}$	Start of Byte to Negation of UART_TX_CTSn		●	0			ns

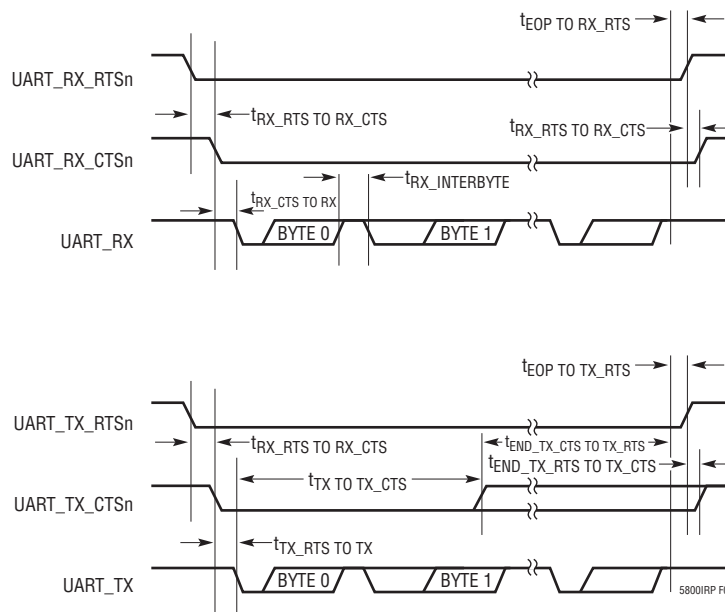


図1. API UARTのタイミング

TIMEnのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{STROBE}	TIMEn Signal Strobe Width		●	125		μs
t_{RESPONSE}	Delay from Rising Edge of TIMEn to the Start of Time Packet on API UART		●	0	100	ms
$t_{\text{TIME_HOLD}}$	Delay from End of Time Packet on API UART to Falling Edge of Subsequent TIMEn		●	0		ns
	Timestamp Resolution (Note 9)		●	1		μs
	Network-Wide Time Accuracy (Note 10)		●	± 5		μs

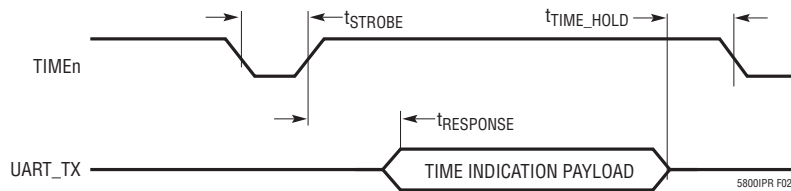


図2. タイムスタンプのタイミング

RADIO_INHIBITのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{\text{RADIO_OFF}}$	Delay from Rising Edge of RADIO_INHIBIT to Radio Disabled		●		20	ms
$t_{\text{RADIO_INHIBIT_STROBE}}$	Maximum RADIO_INHIBIT Strobe Width		●		2	s

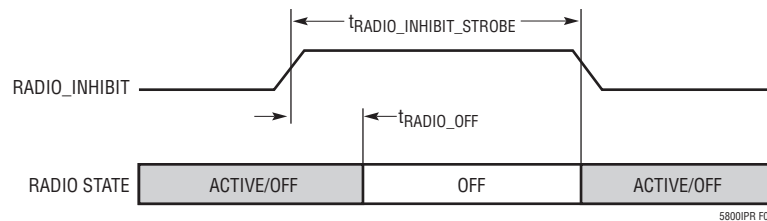


図3. RADIO_INHIBITのタイミング

フラッシュのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{WRITE}	Time to Write a 32-Bit Word (Note 11)		●		21	μs
$t_{\text{PAGE_ERASE}}$	Time to Erase a 2kB Page (Note 11)		●		21	ms
$t_{\text{MASS_ERASE}}$	Time to Erase 256kB Flash Bank (Note 11)		●		21	ms
	Data Retention	25°C 85°C 105°C	100 20 8			Years Years Years

フラッシュSPIスレーブのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{\text{FP_EN_to_RESET}}$	Setup from Assertion of FLASH_P_ENn to Assertion of RESETn		●	0		ns
$t_{\text{FP_ENTER}}$	Delay from the Assertion RESETn to the First Falling Edge of IPCS_SS _n		●	125		μs
$t_{\text{FP_EXIT}}$	Delay from the Completion of the Last Flash SPI Slave Transaction to the Negation of RESETn and FLASH_P_ENn (Note 12)		●	10		μs
t_{SSS}	IPCS_SS _n Setup to the Leading Edge of IPCS_SCK		●	15		ns
t_{SSH}	IPCS_SS _n Hold from Trailing Edge of IPCS_SCK		●	15		ns
t_{CK}	IPCS_SCK Period		●	50		ns
t_{DIS}	IPCS_MOSI Data Setup		●	15		ns
t_{DIH}	IPCS_MOSI Data Hold		●	5		ns
t_{DOV}	IPCS_MISO Data Valid		●	3		ns
t_{OFF}	IPCS_MISO Data Tri-state		●	0	30	ns

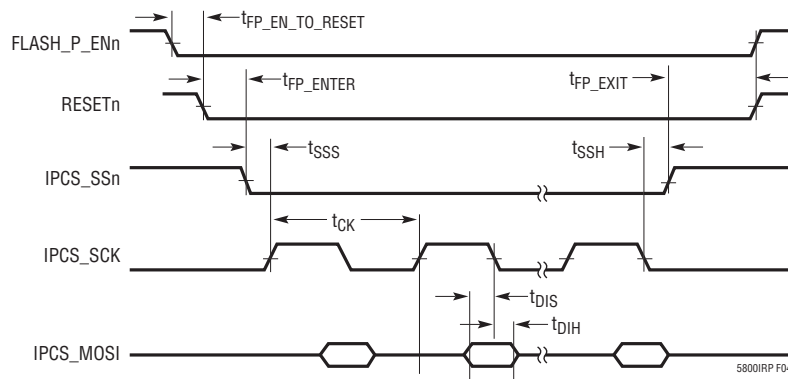


図4. フラッシュのプログラミング・インタフェースのタイミング

外部バスのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{LEPW}	EB_IO_LE0, EB_IO_LE1, EB_IO_LE2 Pulse Width		●	100		ns
t_{AH}	EB_DATA_[7:0] Address Hold from the Rising Edge of EB_IO_LE0, EB_IO_LE1, and EB_IO_LE2	EB_DATA_[7:0] During Address Phase	●	90		ns
$t_{\text{AV_to_DL}}$	EB_ADDR_[1:0] Address Valid Until EB_DATA_[7:0] Data Latched		●	90		ns
$t_{\text{CSn_to_OEn}}$	EB_CS0n Asserted Until EB_OEn Asserted		●	150		ns
$t_{\text{CSn_OFF}}$	EB_CS0n Negated Between External Bus Transfers		●	100		ns
$t_{\text{SU_to_CSn}}$	EB_ADDR_[1:0], EB_IO_WEn Setup to EB_CS0n Asserted		●	50		ns
$t_{\text{H_from_CSn}}$	EB_ADDR_[1:0], EB_IO_WEn Hold from EB_CS0n Negated		●	50		ns

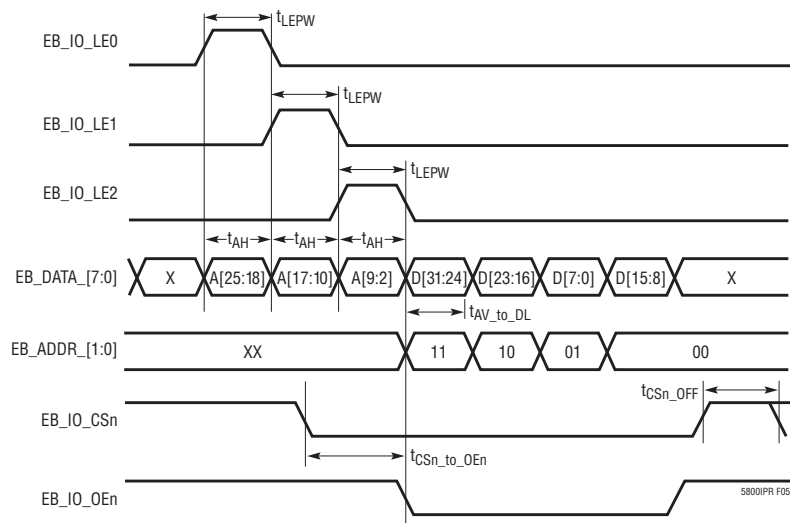


図5. 外部バスの読み取りのタイミング

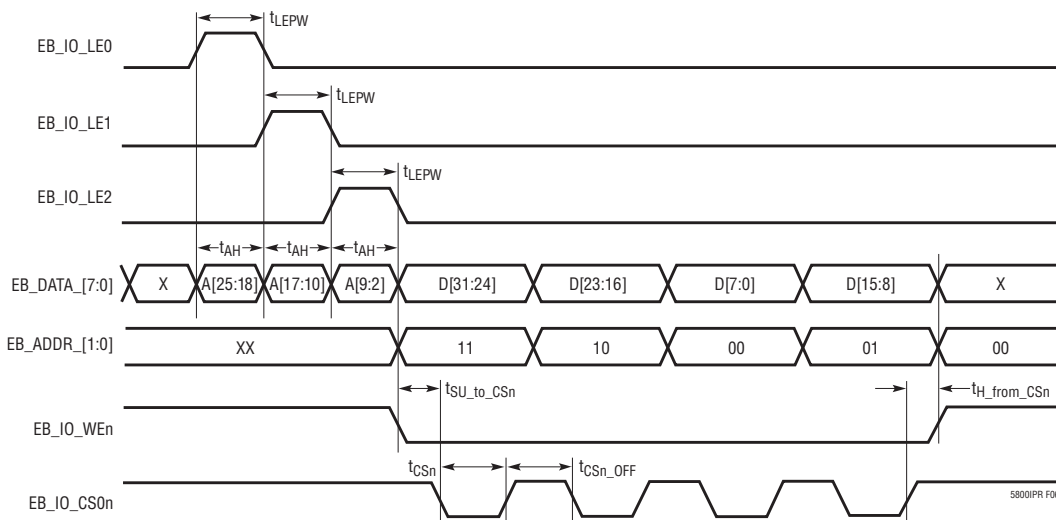


図6. 外部バスの書き込みのタイミング

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ESD (静電気放電) の影響を受けやすいデバイス。ESD 保護デバイスは Eterna の内部に広範囲にわたって使用されている。ただし、高電圧の静電気放電はデバイスを損傷または劣化させる可能性がある。ESD 取り扱いの適切な予防策を講じること。

Note 3: Eterna の校正データのデータ保持に悪影響を及ぼすので、高温での長期保存は避けること。詳細については、「FLASH のデータ保持」セクションを参照。

Note 4: 実際の RF 範囲は設置に固有の変数の数によって異なる。変数には、周囲温度、相対湿度、活動状態の干渉源の存在、見通し線の遮断障害物、多経路フェージングを誘発する可能性がある物体 (樹木、壁面、看板など) が近くに存在するかどうかを含むが、それに限定されない。このため、範囲は変化する。

Note 5: IEEE Std.802.15.4-2006:Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs) <http://www.standards.ieee.org/findstds/standard/802.15.4-2011.html> の規定に基づく。

Note 6: IEEE Std.802.15.4-2006 では、トランスミッタが $\pm 40\text{ppm}$ より優れた周波数の許容範囲を維持することを要求している。

Note 7: ピンごとの I/O タイプは「[ピン機能](#)」セクションに示す。

Note 8: VIH の最大入力電圧は VSUPPLY の最大電圧規格を基準にする必要がある。

Note 9: 時間指示の通知定義については、「[SmartMesh IP Manager API Guide](#)」を参照。

Note 10: ネットワーク時間の精度は統計上の基準であり、温度範囲、報告率、およびネットワーク内でのマネージャを基準にしたデバイスの位置によって変化する。詳細な説明については、「[標準的性能特性](#)」セクションを参照。

Note 11: 書き込みまたは消去対象コードのフラッシュ・バンクからの実行は、フラッシュ動作が完了するまで一時停止する。

Note 12: 消去または書き込みの転送に続いて、IPCS SPI スレープ状態レジスタ (0xD7) をポーリングして、FLASH_P_ENn または RESETn を否定する前に消去操作または書き込み操作の完了時間を調べる必要がある。

Note 13: 設計によって保証されているが、製造時にはテストされない。

標準的性能特性

メッシュ・ネットワークでは、あるデバイスから次のデバイスへの一連の伝送により、データをマネージャからノードへ下り方向に伝播することも、モートからマネージャへ上り方向に伝播することもできます。図8に示すように、モートP1を送信元とするデータは、マネージャに直接伝播するか、P2を経由して伝播することができます。モートP1はマネージャと直接通信できるので、モートP1は1ホップ・モートと呼ばれます。モートD1を送信元とするデータは、1つ以上の別のモート(P2またはP1)を経由して伝播する必要がありますので、2ホップ・モートと呼ばれます。モートからマネージャまでの最小ホップ数により、ホップの深さが決まります。

「アプリケーションの時間同期」セクションで説明したように、Eternaは、アプリケーションがネットワーク全体にわたって時間基準を維持するための2つの仕組みを備えています。以下に示す同期性能のグラフは、より高精度のTIME_n入力を使用して作成されました。発行レートは、モート・アプリケーションが上流のデータを送信する速度です。発行レートが高くなるにつれて同期は改善されます。基準線となる同期性能は、発行レートがゼロで動作するネットワークに対して与えられます。ネットワークでのアプリケーションの実際の性能は、発行レートが高くなるにつれて向上します。すべての同期テストは、恒温槽の内部で1ホップのモートを使って行われました。したがって、ネットワーク・マネージャとこのモートの間、およびこのモートとその子孫の間の両方の温度変化と温度差に起因

するタイミング誤差は、ネットワークを通じて伝播します。このため、3ホップと5ホップのモートとマネージャとの同期は、モートが室温であっても温度の傾斜に影響されました。2°C/分のテストでは、恒温槽の温度が-40°C～85°Cの間を24時間にわたってこのレートで循環しました。8°C/分のテストでは、恒温槽の温度が85°C～45°Cの間を8時間にわたって急速に循環し、その後-5°C～45°Cの間を8時間、最後に-40°C～15°Cの間を8時間急速に循環しました。

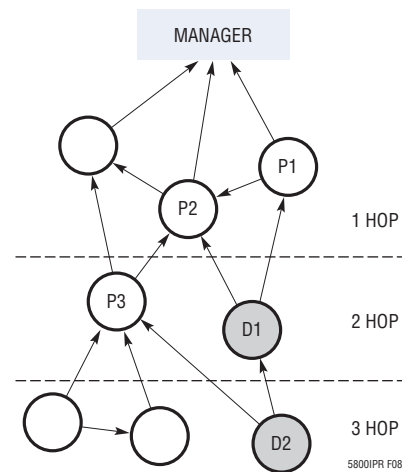


図8. ネットワーク例のグラフ

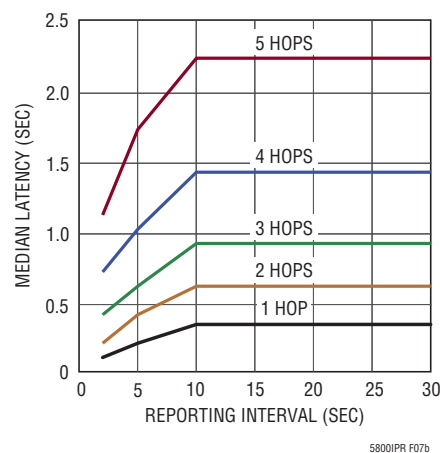
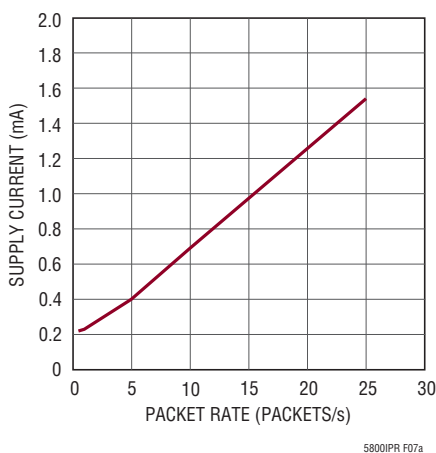
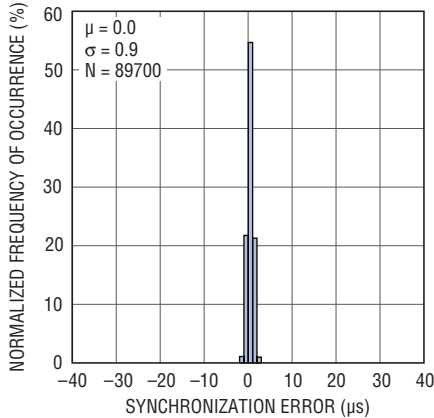


図7

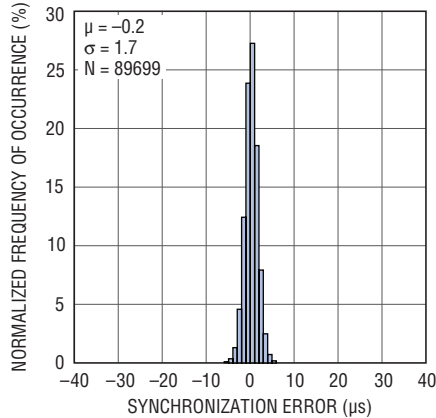
標準的性能特性

**TIME_nの同期誤差、
0パケット/秒の発行レート、
1ホップ、室温**



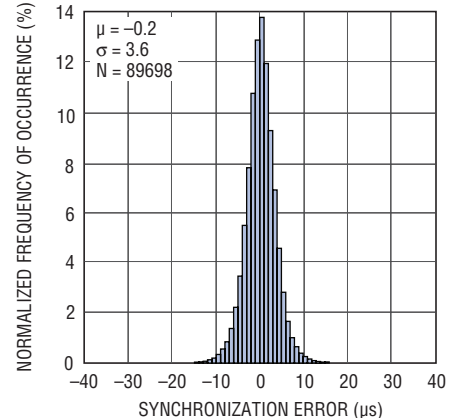
5800IPR G01

**TIME_nの同期誤差、
0パケット/秒の発行レート、
3ホップ、室温**



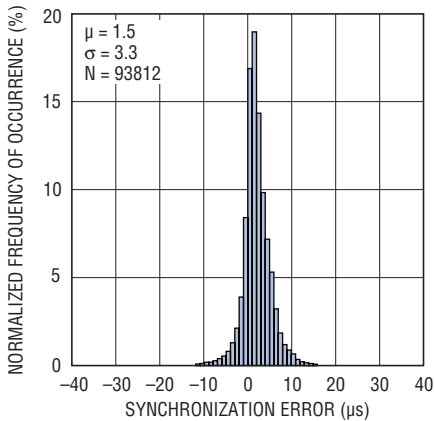
5800IPR G02

**TIME_nの同期誤差、
0パケット/秒の発行レート、
5ホップ、室温**



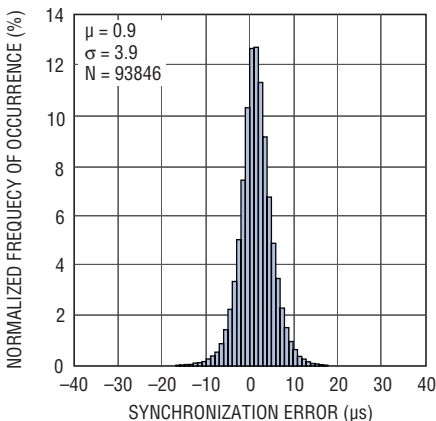
5800IPR G03

**TIME_nの同期誤差、
0パケット/秒の発行レート、
1ホップ、2°C/分**



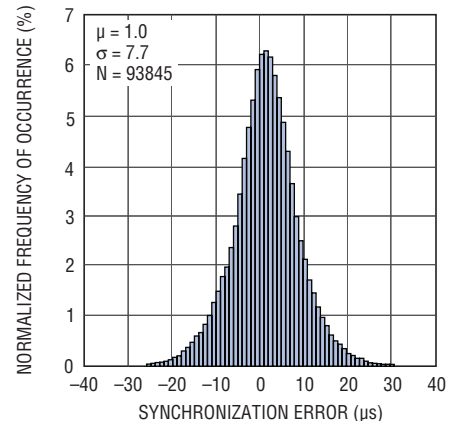
5800IPR G04

**TIME_nの同期誤差、
0パケット/秒の発行レート、
3ホップ、2°C/分**



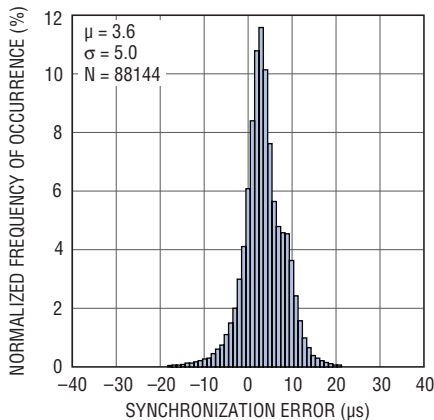
5800IPR G05

**TIME_nの同期誤差、
0パケット/秒の発行レート、
5ホップ、2°C/分**



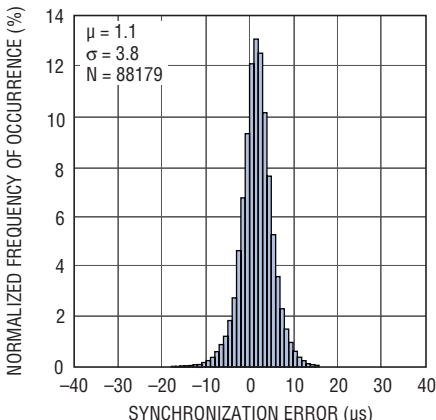
5800IPR G06

**TIME_nの同期誤差、
0パケット/秒の発行レート、
1ホップ、8°C/分**



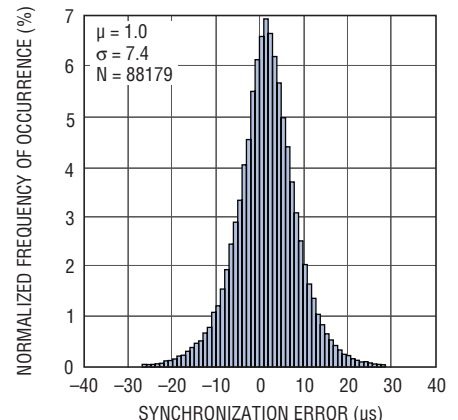
5800IPR G07

**TIME_nの同期誤差、
0パケット/秒の発行レート、
3ホップ、8°C/分**



5800IPR G08

**TIME_nの同期誤差、
0パケット/秒の発行レート、
5ホップ、8°C/分**

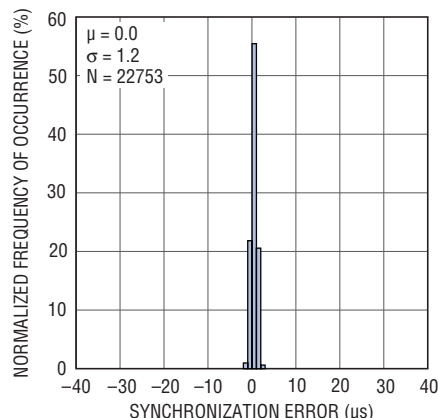


5800IPR G09

5800iprf

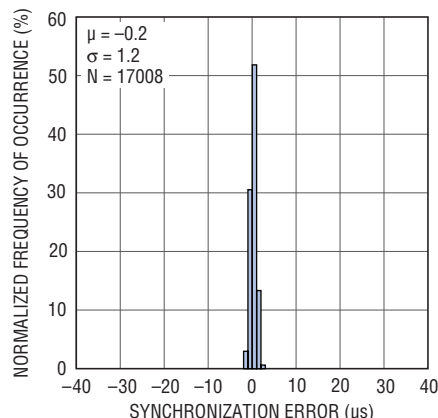
標準的性能特性

**TIME_nの同期誤差、
1パケット/秒の発行レート、
1ホップ、室温**



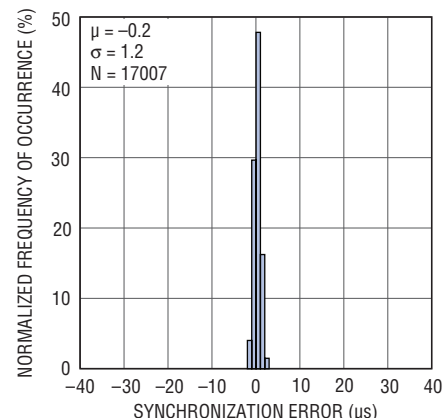
5800IPR G10

**TIME_nの同期誤差、
1パケット/秒の発行レート、
3ホップ、室温**



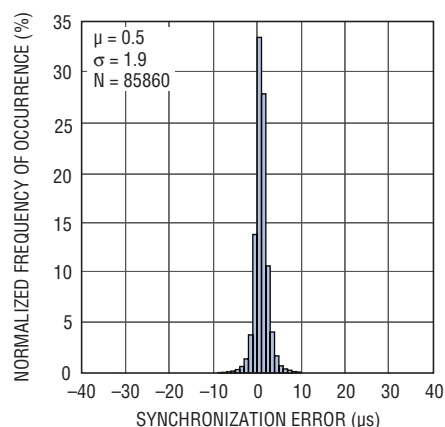
5800IPR G11

**TIME_nの同期誤差、
1パケット/秒の発行レート、
5ホップ、室温**



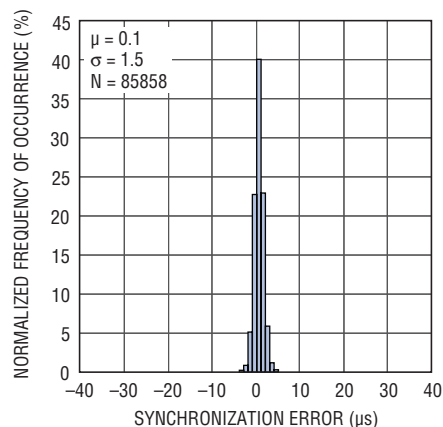
5800IPR G12

**TIME_nの同期誤差、
1パケット/秒の発行レート、
1ホップ、2°C/分**



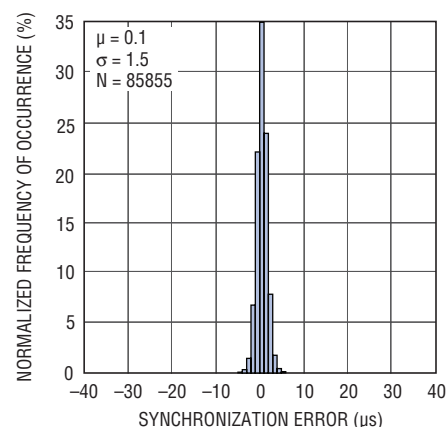
5800IPR G13

**TIME_nの同期誤差、
1パケット/秒の発行レート、
3ホップ、2°C/分**



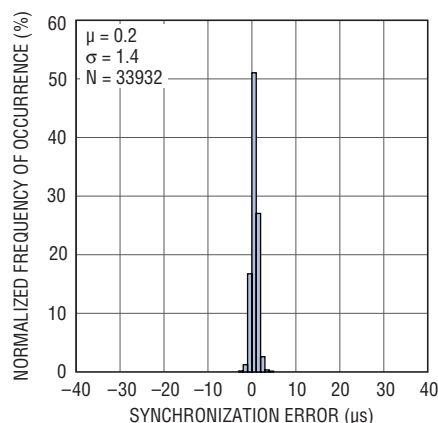
5800IPR G14

**TIME_nの同期誤差、
1パケット/秒の発行レート、
5ホップ、2°C/分**



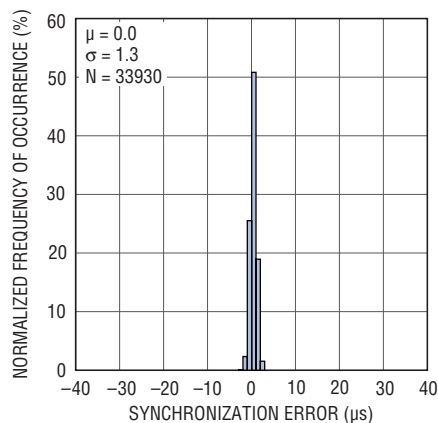
5800IPR G15

**TIME_nの同期誤差、
1パケット/秒の発行レート、
1ホップ、8°C/分**



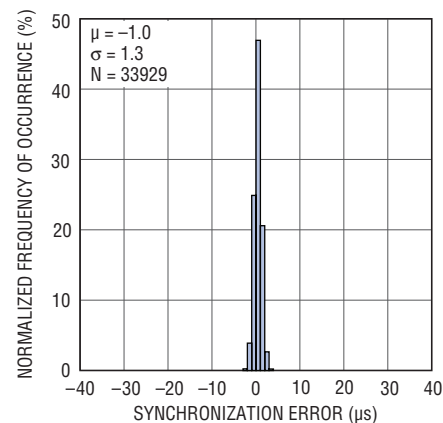
5800IPR G16

**TIME_nの同期誤差、
1パケット/秒の発行レート、
3ホップ、8°C/分**



5800IPR G17

**TIME_nの同期誤差、
1パケット/秒の発行レート、
5ホップ、8°C/分**



5800IPR G18

5800iprf

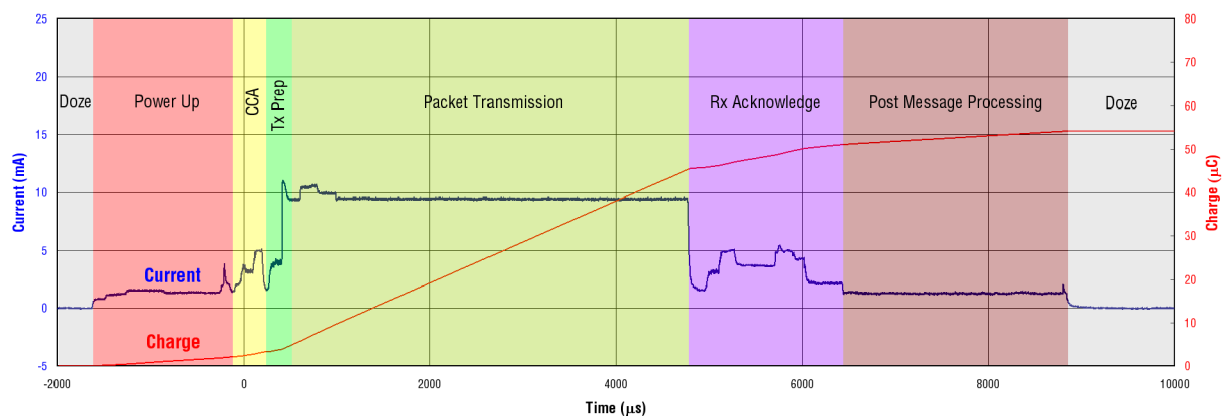
標準的性能特性

「SmartMeshネットワークの概要」で説明したように、ネットワーク内のデバイスはその大半の時間を消費電力が最も低い非活動状態(ドーズ状態)で費やします。同期スケジュールでは、モートが起動して他のモートと通信します。起動、機能の実行、スリープ状態へ戻る定常的な一連の動作はアトミック(不可分)とみなされます。有効な機能を実行している間、一連のイベントをそれより小さなイベントに分割できないので、これらの動作はアトミックとみなされます。たとえば、無線を介したパケットの伝送はアトミック動作です。アトミック動作は電荷またはエネルギーで特性を評価できます。モートがパケットを正常に送信したタイムスロットでは、メッセージ送信前の準備、メッセージの送信、アクノリッジの受信、およびメッセージの送信結果として必要な後処理がアトミック送信に含まれます。同様に、モートがパケットを正常に受信したタイムスロットでは、リスニング前の準備、パケット伝送開始までのリスニング、パケットの受信、アクノリッジの送信、およびパケットの到着によって必要になった後処理がアトミック受信に含まれます。

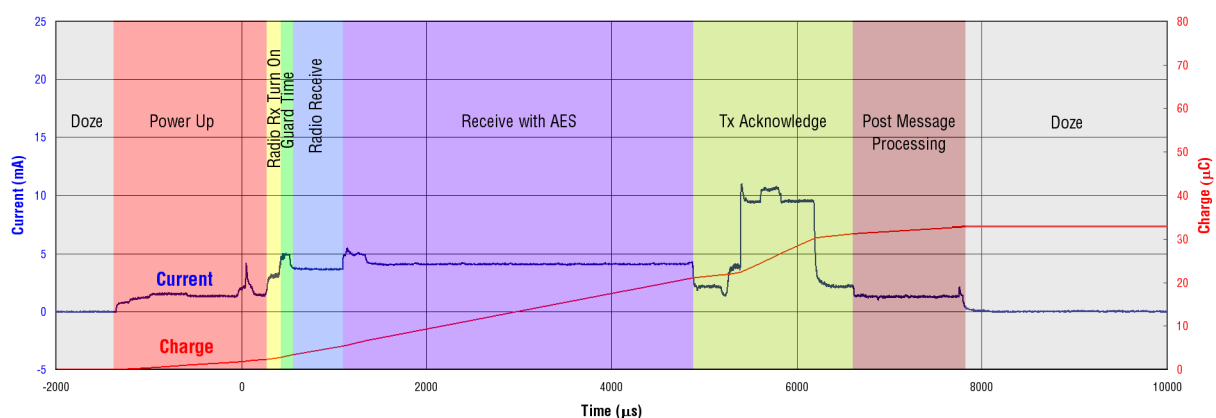
信頼性を確保するため、ネットワーク内の各モートは、形式上モートが送信して転送するパケットごとに複数のタイムスロットに用意されます。タイムスロットは、2つ以上の異なるモートと上流で(マネージャへ向かって)通信するために割り当てられます。周波数ホッピングと組み合わせた場合、一時的、空間的、およびスペクトルの冗長性が得られます。送信側のモートはタイムスロットを使用しないので、このアプローチを想定すると、モートは決して受信しないメッセージを対象にリスニングすることが多くなります。このモートは既にパケットを正常に転送しています。通常は送信または転送される1つのパケットごとに3つのタイムスロットが予定されるので、モートがこれらのアトミック「アイドル・リスニング」を実行する回数は、アトミック送信シーケンスまたはアトミック受信シーケンスの回数より多くなります。送信、受信、およびアイドル・リスニング・アトミック動作の例を図9に示します。

標準的性能特性

アトミック動作—アクノリッジありの最大長の送信、7.5msのタイムスロット (3.6Vでの全電荷: 54.5 μ C)



アトミック動作—アクノリッジありの最大長の受信、7.5msのタイムスロット (3.6Vでの全電荷: 32.6 μ C)



アトミック動作—アイドル・リスニング、7.5msのタイムスロット (3.6Vでの全電荷: 6.4 μ C)

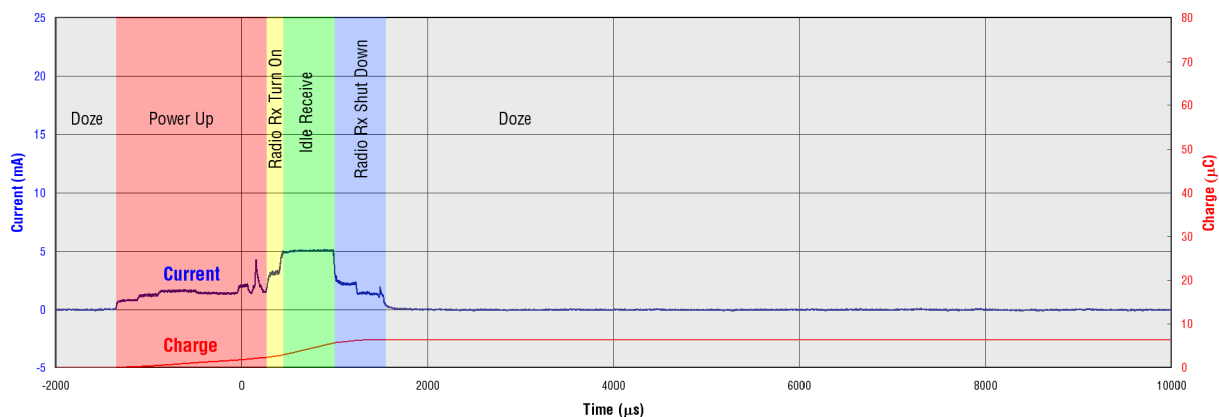


図 9

ピン機能 イタリック体で示すピン機能は、現時点ではソフトウェアでサポートされていません。

以下の表では、ピンを機能グループごとに整理しています。複数の機能を持つI/Oピンの場合、代替機能を該当列の2行目と3行目に示しています。「番号」列はピン番号を示します。2番目の列は機能を示します。「**タイプ**」列はI/Oタイプを示します。

「**I/O**」列は、Eternaに対する信号の向きを示します。「**プル**」列は、信号の固定受動回路がプルアップまたはプルダウンのどちらであるかを示します。「**説明**」列は、信号の簡単な説明を示します。

番号	電源	タイプ	I/O	プル	説明
P	GND	電源	–	–	グランド接続点、P = QFNのパドル
2	CAP_PA_1P	電源	–	–	PA DC/DC コンバータのコンデンサ1の正端子
3	CAP_PA_1M	電源	–	–	PA DC/DC コンバータのコンデンサ1の負端子
4	CAP_PA_2M	電源	–	–	PA DC/DC コンバータのコンデンサ2の負端子
5	CAP_PA_2P	電源	–	–	PA DC/DC コンバータのコンデンサ2の正端子
6	CAP_PA_3P	電源	–	–	PA DC/DC コンバータのコンデンサ3の正端子
7	CAP_PA_3M	電源	–	–	PA DC/DC コンバータのコンデンサ3の負端子
8	CAP_PA_4M	電源	–	–	PA DC/DC コンバータのコンデンサ4の負端子
9	CAP_PA_4P	電源	–	–	PA DC/DC コンバータのコンデンサ4の正端子
10	VDDPA	電源	–	–	内部パワーアンプの電源、バイパス
30	VDDA	電源	–	–	アナログ回路の安定化電源、バイパス
31	VCORE	電源	–	–	コア回路の安定化電源、バイパス
32	VOSC	電源	–	–	発振器の安定化電源、バイパス
56	VPRIME	電源	–	–	内部主要電源、バイパス
57	CAP_PRIME_4P	電源	–	–	主要DC/DC コンバータのコンデンサ4の正端子
58	CAP_PRIME_4M	電源	–	–	主要DC/DC コンバータのコンデンサ4の負端子
59	CAP_PRIME_3M	電源	–	–	主要DC/DC コンバータのコンデンサ3の負端子
60	CAP_PRIME_3P	電源	–	–	主要DC/DC コンバータのコンデンサ3の正端子
61	CAP_PRIME_2P	電源	–	–	主要DC/DC コンバータのコンデンサ2の正端子
62	CAP_PRIME_2M	電源	–	–	主要DC/DC コンバータのコンデンサ2の負端子
63	CAP_PRIME_1M	電源	–	–	主要DC/DC コンバータのコンデンサ1の負端子
64	CAP_PRIME_1P	電源	–	–	主要DC/DC コンバータのコンデンサ1の正端子
65	VSUPPLY	電源	–	–	Eterna への電源入力

番号	無線	タイプ	I/O	プル	説明
1	RADIO_INHIBIT <i>GPIO15</i>	1 (Note 14)	I I/O	– –	無線禁止 汎用デジタル I/O
11	LNA_EN <i>GPIO17</i>	1	O I/O	–	外部 LNA イネーブル 汎用デジタル I/O
12	RADIO_TX <i>GPIO18</i>	1	O I/O	– –	無線 TX アクティブ (外部 PA イネーブル/スイッチ制御) 汎用デジタル I/O
13	RADIO_TXn <i>GPIO19</i>	1	O I/O	– –	無線 TX アクティブ (外部 PA イネーブル/スイッチ制御)、 アクティブ "L" 汎用デジタル I/O
14	ANTENNA	–	–	–	シングルエンドのアンテナ・ポート、50Ω

ピン機能

イタリック体で示すピン機能は、現時点ではソフトウェアでサポートされていません。

番号	水晶発振器	タイプ	I/O	プル	説明
19	OSC_32K_XOUT	水晶発振器	0	–	32kHz 水晶発振器の Xout
20	OSC_32K_XIN	水晶発振器	I	–	32kHz 水晶発振器の Xin
28	OSC_20M_XIN	水晶発振器	I	–	20MHz 水晶発振器の Xin
29	OSC_20M_XOUT	水晶発振器	0	–	20MHz 水晶発振器の Xout

番号	リセット	タイプ	I/O	プル	説明
22	RESETn	1	0	アップ	リセット入力、アクティブ“L”

番号	JTAG	タイプ	I/O	プル	説明
23	TDI	1	I	アップ	JTAG テストのデータ入力
24	TDO	1	0	–	JTAG テストのデータ出力
25	TMS	1	I	アップ	JTAG テストのモード選択
26	TCK	1	I	ダウン	JTAG テストのクロック

番号	特殊用途	タイプ	I/O	プル	説明
72	TIMEn	1 (Note 14)	I	–	時刻の取り込み要求、アクティブ“L”

番号	CLIおよび外部メモリ	タイプ	I/O	プル	説明
33	EB_DATA_7	1	I/O	–	外部バスのデータ・ビット 7
34	EB_DATA_6	1	I/O	–	外部バスのデータ・ビット 6
35	EB_DATA_4	1	I/O	–	外部バスのデータ・ビット 4
36	EB_DATA_0	1	I/O	–	外部バスのデータ・ビット 0
37	UARTC0_TX EB_IO_LE0	2	0 0	–	CLI UART 0 送信側 外部バスの I/O ラッチ・イネーブル 0 (外部アドレス・ビット A[9:2] 用)
38	UARTC0_RX EB_DATA_1	1	I I/O	–	CLI UART 0 受信側 外部バスのデータ・ビット 1
39	EB_IO_LE2	1	0	–	外部バスの I/O ラッチ・イネーブル 2 (外部アドレス・ビット A[25:18] 用)
41	EB_ADDR_1	2	0	–	外部バスのアドレス・ビット 1
43	EB_ADDR_0	2	0	–	外部バスのアドレス・ビット 0
46	EB_DATA_3	1	I/O	–	外部バスのデータ・ビット 3
47	EB_DATA_2	1	I/O	–	外部バスのデータ・ビット 2
48	EB_DATA_5	1	I/O	–	外部バスのデータ・ビット 5
49	EB_IO_CS0n	2	0	–	外部バスのチップ選択 0
50	UARTC1_TX	2	0	–	CLI UART 1 送信側
51	UARTC1_RX	1	I	–	CLI UART 1 受信側
52	EB_IO_WEn	2	0	–	外部バスの書き込みイネーブルのストローブ
53	EB_IO_OEn	2	0	–	外部バスの出力イネーブルのストローブ

ピン機能

イタリック体で示すピン機能は、現時点ではソフトウェアでサポートされていません。

番号	IPCS SPI/フラッシュのプログラミング (NOTE 15)	タイプ	I/O	プル	説明
40	IPCS_MISO	2	0	–	SPIフラッシュ・エミュレーション(MISO) マスタ入力スレーブ出力ポート
42	IPCS_MOSI	1	I	–	SPIフラッシュ・エミュレーション(MOSI) マスタ出力スレーブ入力ポート
44	IPCS_SCK	1	I	–	SPIフラッシュ・エミュレーション(SCK) シリアル・クロック・ポート
45	IPCS_SS _n	1	I	–	SPIフラッシュ・エミュレーションのスレーブ選択、アクティブ“L”
55	FLASH_P_EN _n EB_IO_LE1	1	I 0	アップ アップ	フラッシュのプログラミング・イネーブル、アクティブ“L” 外部バスの I/O ラッチ・イネーブル1

番号	API UART	タイプ	I/O	プル	説明
66	UART_RX_RTS _n	1 (Note 14)	I	–	UART 受信側 (RTS) 送信要求、アクティブ“L”
67	UART_RX_CTS _n	1	0	–	UART 受信側 (CTS) 送信可、アクティブ“L”
68	UART_RX	1 (Note 14)	I	–	UART 受信側
69	UART_TX_RTS _n	1	0	–	UART 送信側 (RTS) 送信要求、アクティブ“L”
70	UART_TX_CTS _n	1 (Note 14)	I	–	UART 送信側 (CTS) 送信可、アクティブ“L”
71	UART_TX	2	0	–	UART 送信側

Note 14 : これらの入力は常にイネーブルされており、有効な状態に駆動するかプルアップ/プルダウンして漏れを防止する必要がある。

Note 15 : RESET_n がアサートされている場合は、IPCS SPI バスを介した組み込みプログラミングのみが使用可能。

VSUPPLY : システムおよび入出力の電源。内蔵の DC/DC コンバータを含むデバイスに電力を供給します。デジタル・インタフェースの I/O 電圧もこの電圧によって設定されます。2.2μF と 0.1μF でバイパスして、DC/DC コンバータが正常に動作するようにしてください。

VDDPA : PA コンバータのバイパス・ピン。VDDPA とグラウンドの間に 0.47μF のコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VDDA : アナログ・レギュレータのバイパス・ピン。VDDA とグラウンドの間に 0.1μF のコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VCORE : コア・レギュレータのバイパス・ピン。VCORE とグラウンドの間に 56nF のコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VOOSC : 発振器レギュレータのバイパス・ピン。VOOSC とグラウンドの間に 56nF のコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VPRIME : 主要コンバータのバイパス・ピン。VPRIME とグラウンドの間に 0.22μF のコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VBGAP : バンドギャップ・リファレンスの出力。テストと校正に使用します。このピンには何も接続しないでください。

CAP_PA_1P、CAP_PA_1M ~ CAP_PA_4P、CAP_PA_4M : パワーアンプ専用 DC/DC コンバータのコンデンサ・ピン。これらのピンは、電波を送信して VSUPPLY をパワーアンプの適正電圧に効率的に変換するときに使用します。P と M のそれぞれの対の間に 56nF のコンデンサを接続します。トレースの長さはできるだけ短くします。

CAP_PRIME_1P、CAP_PRIME_1M ~ CAP_PRIME_4P、CAP_PRIME_4M : 主要 DC/DC コンバータのコンデンサ・ピン。これらのピンは、デバイスを起動して VSUPPLY を 3 つの内蔵低ドロップアウト・レギュレータの適正電圧に効率的に変換するときに使用します。P と M のそれぞれの対の間に 56nF のコンデンサを接続します。トレースの長さはできるだけ短くします。

ANTENNA : レシーバ入力とトランスミッタ出力の多重化ピン。ANTENNA ピンに現れるインピーダンスは、パドル・グラウンドを基準にしたシングルエンドで 50Ω になります。最終製品の法規制を確実に順守するには、フィルタリング要件について『[Eterna Integration Guide](#)』を参照してください。ANTENNA ピンにはグラウンドへの DC 経路がないようにしてください。DC 接地アンテナを使用する場合は、AC ブロッキング回路を組み込む必要があります。

ピン機能

OSC_32K_XOUT : 32kHz 発振器の出力ピン。32kHz 水晶発振器に接続します。OSC_32K_XOUTとOSC_32K_XINのトレースは、図 10 に示すように、PCB の同じ層と下層の両方で他の信号から十分に遮蔽する必要があります。

OSC_32K_XIN : 32kHz 発振器の入力。32kHz 水晶発振器に接続します。OSC_32K_XOUTとOSC_32K_XINのトレースは、図 10 に示すように、PCB の同じ層と下層の両方で他の信号から十分に遮蔽する必要があります。

OSC_20M_XOUT : 20MHz 発振器の出力。サポートされている 20MHz 水晶発振器にのみ接続します。OSC_20M_XOUTとOSC_20M_XINのトレースは、図 10 に示すように、PCB の同じ層と下層の両方で他の信号から十分に遮蔽する必要があります。サポートされている水晶発振器については、『[Eterna Integration Guide](#)』を参照してください。

OSC_20M_XIN : 20MHz 発振器の入力。サポートされている 20MHz 水晶発振器にのみ接続します。OSC_20M_XOUTとOSC_20M_XINのトレースは、図 10 に示すように、PCB の同じ層と下層の両方で他の信号から十分に遮蔽する必要があります。

RESETn : 非同期のリセット信号は内部でプルアップされています。Eterna をリセットすると ARM Cortex M3 が再起動し、ネットワーク接続が失われます。電源投入時とインサーキット・プログラミング時を除いて、Eterna をリセットするためにこの信号を使用することは推奨しません。

RADIO_INHIBIT : RADIO_INHIBIT は、外部デバイスが無線動作を一時的にディスエーブルするための仕組みを確保します。「[RADIO_INHIBIT の AC 特性](#)」の表に規定されているタイミング要件に従うことができないと、信頼できないネットワーク動作になる可能性があります。RADIO_INHIBIT 機能が必要な設計では、入力を“L”に接続するか、プルダウンするか、またはアクティブに駆動して、過剰な漏れを防止する必要があります。

TMS, TCK, TDI, TDO : JTAG ポート対応ソフトウェアのデバッグおよびバウンダリ・スキャン。WR QFN72 パッケージの IEEE Std 1149.1b-1994 準拠の Boundary Scan Definition Language (バウンダリ・スキャン定義言語: BSDL) ファイルは、[こちら](#)にあります。

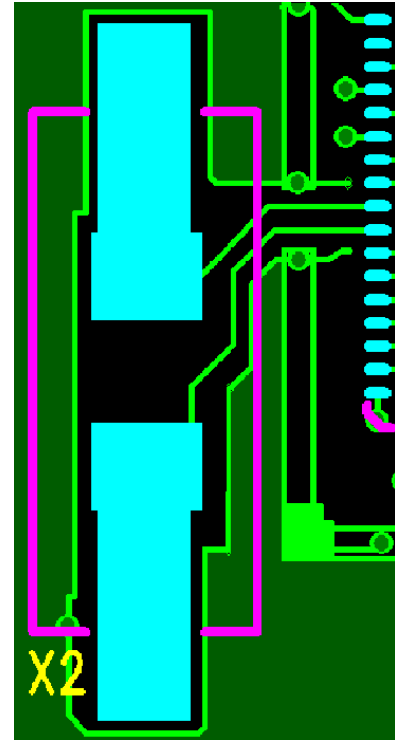


図 10. PCB トップ・メタル層の水晶発振器信号からの遮蔽

SLEEPn : SLEEPn 機能は、現時点ではソフトウェアでサポートされていません。SLEEPn 入力は“H”に接続するか、プルアップするか、またはアクティブに駆動して、過剰な漏れを防止する必要があります。

UART_RX, UART_RX_RTSn, UART_RX_CTSn, UART_TX, UART_TX_RTSn, UART_TX_CTSn : API UART インタフェースには、双方向の起動制御およびフロー制御機能が組み込まれています。未使用の入力信号は信号の非アクティブ状態に駆動するかプルアップ/プルダウンで非アクティブ状態にする必要があります。

TIMEn : Eterna によって保持されているネットワーク時間を取り込む最も正確な方法は、TIMEn 入力にストローブ信号を入力する方法です。Eterna は、TIMEn 信号の立ち上がりエッジでミリ秒未満の分解能でネットワーク・タイムスタンプをラッチし、タイミング情報を記録したパケットを API シリアル・ポートで生成します。

ピン機能

UARTC0_RX、UARTC0_TX、UARTC1_RX、UARTC1_TX : CLI UARTは、動作中にEternaのモニタ、構成、および制御を行うための仕組みを確保します。LTC5800-IPRでは、Eternaが外部RAMをサポートするよう設定されていない場合はCLI UART 0を使用し、Eternaが外部RAMをサポートするよう設定されている場合はCLI UART 1を使用します。サポートされているコマンドの詳細な記述については、『[SmartMesh IP Manager CLI Guide](#)』を参照してください。

EB_DATA_0～EB_DATA_7、EB_ADDR_0、EB_ADDR_1、EB_IO_LE1～EB_IO_LE2、EB_IO_CS0n、EB_IO_WEn、EB_IO_ENn : 外部バスは、Cortex-M3がバイト幅の外付けRAMに直接アクセスできる多重化アドレス・データ・バスを備えています。追加のRAMはネットワーク管理ソフトウェアによって使用され、高いパケット・スループットによってモートの大規模ネットワークのサポートが可能になります。必要なアドレス指定をサポートするため、各ラッチ信号(EB_IO_LE0、EB_IO_LE1、

およびEB_IO_LE2)をストローブ信号として入力し、EB_DATA[7:0]バスから8ビットのアドレスをラッチします。EB_IO_LE0、EB_IO_LE1、およびEB_IO_LE2は、それぞれアドレス・ビット[9:2]、[17:10]、および[25:18]に対応します。EB_ADDR_0およびEB_ADDR_1は、アドレスの下位2ビットに対応します。256kB以下のシステムでは、EB_IO_LE2を無視できます。EB_IO_CS0n、EB_IO_WEn、およびEB_IO_OEnは、外付けRAMのチップ選択、書き込みイネーブル制御、および出力イネーブル制御を実行します。

FLASH_P_ENn、IPCS_SSn、IPCS_SCK、IPCS_MISO、IPCS_SS : インサーキット・プログラミング制御システム(IPCS)バスにより、Eternaのフラッシュ・メモリのインサーキット・プログラミングが可能になります。IPCS_SCKはクロックであり、オーバーシュートやリングングを防ぐための駆動源として適切に終端する必要があります。

動作

LTC5800は、世界で最もエネルギー効率の高いIEEE 802.15.4準拠のプラットフォームであり、バッテリー駆動アプリケーションや環境発電(エナジーハーベスト)アプリケーションを使用可能にします。強力な32ビットのARM Cortex-M3、クラス最高の無線機能、フラッシュ、RAMおよび特定用途向け周辺機器により、Eternaは、最も困難なRF環境であっても最小限のエネルギー消費とデータ信頼性が要求されるアプリケーションに対して、柔軟でスケーラブルかつ堅牢なネットワーク・ソリューションを実現します。

図11に示すように、Eternaは、低動作エネルギー消費面と、動作状態と低消費電力状態の間を迅速かつ高精度に循環する能力面の両方で優れている特定用途向けの周辺機器を一体化しています。「Analog Core」とラベル付けされた灰色の網掛け領域内の品目がアナログ/RF部品に相当します。

電源

Eternaは1つのピン(VSUPPLY)から電力供給を受けます。このピンはI/Oセルに電力を供給し、内部電源を発生する目的にも使用されます。Eternaの2つの内蔵DC/DCコンバータは、デバイスが起動している間、エネルギー消費量を最小限に抑えます。消費電力を節減するため、デバイスが低消費電力状態のとき、DC/DCコンバータはディスエーブルされます。2つの内蔵DC/DCコンバータと3つの内蔵低ドロップアウト・レギュレータを含む内蔵電源調整アーキテクチャにより、電源ノイズの優れた除去性能を実現します。Eternaの動作電源電圧範囲は、塩化チオニルリチウム(Li-SOCl₂)電池への直接接続をサポートするのに十分な高さであり、広い温度範囲にわたってバッテリー動作をサポートするのに十分な広さです。

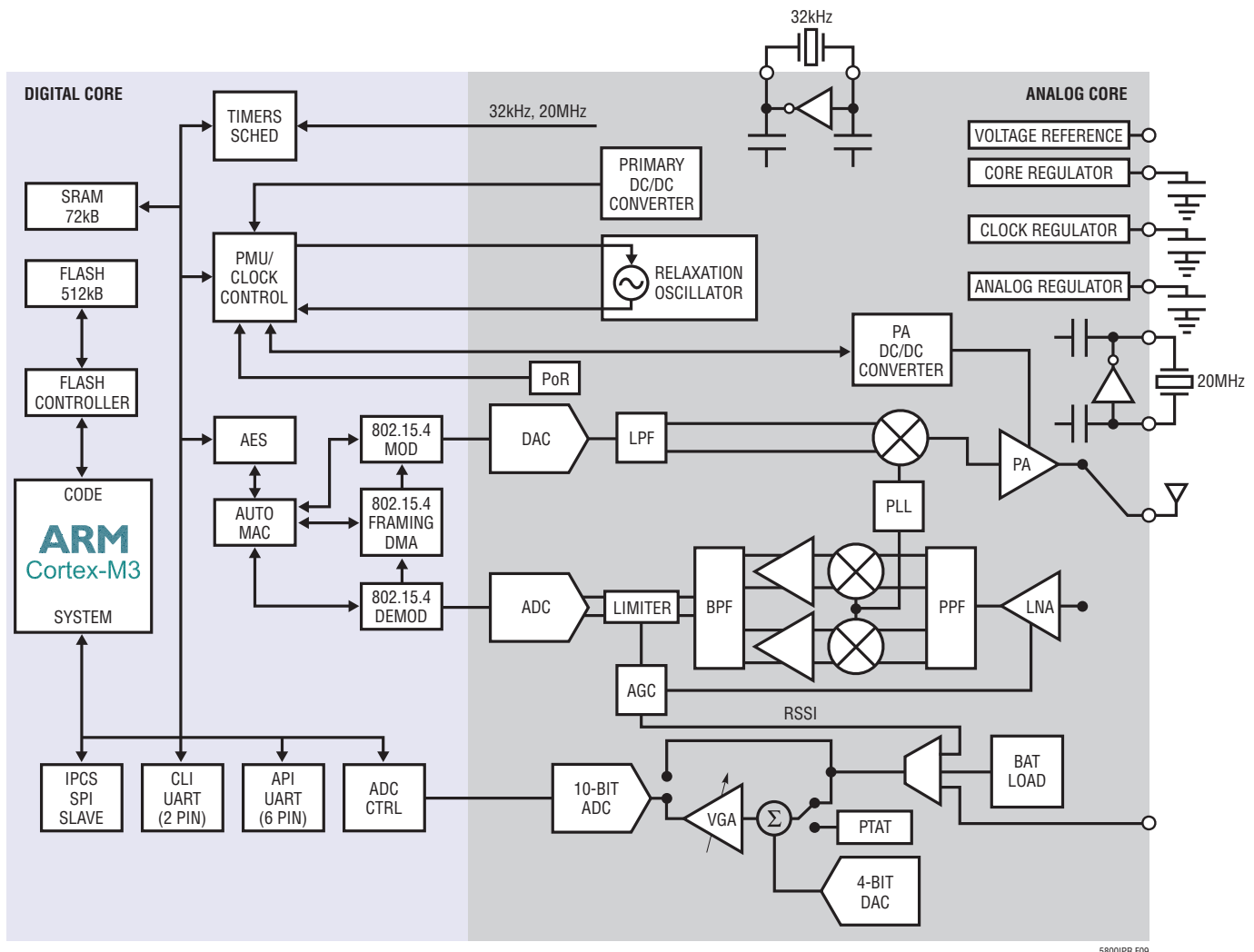


図11. Eternaのブロック図

動作

電源モニタとリセット

Eternaはパワーオン・リセット(PoR)回路を内蔵しています。RESETn入力ピンは、公称では内部プルアップ抵抗で構成されているので、接続の必要はありません。シャットダウンを正常に行うため、ソフトウェアとネットワーク層はRESETnピンのアサーションの前にAPIコマンドを介して明確に停止している必要があります。切断コマンドおよびリセット・コマンドの詳細については、『[SmartMesh IP Manager API Guide](#)』を参照してください。Eternaは、フラッシュへの書き込み中に電源が取り外された場合、フラッシュが損傷しないよう完全に保護するソフト電圧低下モニタを内蔵しています。内蔵のフラッシュ監視機能と耐フォルト型のファイル・システムの組み合わせにより、堅牢な不揮発性メモリ・ソリューションが得られます。

高精度のタイミング

Eterna独自の低消費電力専用タイミング・ハードウェアおよびタイミング・アルゴリズムにより、競合する802.15.4製品と比較して性能が大幅に向上しています。この機能により、本データシートの発行時点で入手可能な他の低消費電力ソリューションより2、3桁精度の高いタイミング精度が得られます。タイミング精度の向上により、パケットの受信を保証するために必要な無線リスニング時間の長さをモートが最小限に抑えることができるので、その結果、SmartMeshネットワークの消費電力はさらに低下します。Eternaの特許取得済みのタイミング・ハードウェアおよびタイミング・アルゴリズムにより、温度が急速に変化したときに優れた性能が発揮され、他のワイヤレス製品と比較した場合にEternaの信頼性がいつそう際立ちます。さらに、高精度のタイミングにより、ネットワークがスペクトルのデッドタイムを低減して、ネットワークの総スループットを高めることができます。

アプリケーションの時間同期

ユーザには意識されない、ネットワーク全体にわたるタイムスロットの調整の他に、Eternaのタイミング管理機能を使用して、ネットワーク時間を共有する2つの仕組みをサポートします。高精度で共有された、ネットワーク規模の時間基準があることにより、イベントにタイムスタンプを正確に刻むことや、作業をネットワーク全体にわたって同期方式で実行することができます。次のいずれかが行われると、Eternaはそのシリアル・インタフェースを介して時間パケットを送信します。

- Eternaが時刻を読み取るAPI要求を受信する
- TIMEEn信号がアサートされる

TIMEEnを使用する利点は精度の向上です。タイムスタンプの値は、TIMEEnの立ち上がりエッジを基準にしてハードウェアに取り込まれます。API要求を使用した場合は、パケット処理が原因で、タイムスタンプの値がパケットの受信後数ミリ秒後に取り込まれることがあります。TIMEEn機能の定義および仕様については、『[TIMEEnのAC特性](#)』の表を参照してください。

時間基準

Eternaは3つのクロック信号源を内蔵しています。それは、内部弛張発振器、32.768kHz水晶発振器用に設計された低消費電力の発振器、および20MHz水晶発振器用に設計された無線基準発振器です。

動作

弛張発振器

弛張発振器はEternaの主なクロック信号源であり、CPU、メモリ・サブシステム、およびすべての周辺機器にクロックを供給します。内部弛張発振器は、7.3728MHzに動的に校正されます。内部弛張発振器は、通常は数 μ s以内に起動し、アクティブ状態と低消費電力状態とを繰り返す好都合で低エネルギーの方法を実現します。ドーズ状態(「[状態図](#)」セクションで定義)から急速に起動すると、該当信号の動きを検出するだけで、Eternaを起動してUARTおよびSPIインタフェースを介してデータを受信することができます。

32.768kHz 水晶発振器

Eternaの電源が投入されて32.768kHz水晶発振器信号源が発振を開始すると、32.768kHz水晶発振器はアクティブ状態時も動作状態が維持され、ドーズ状態時にはタイミングの基準として使用されます。Eternaの動作状態の説明については、「[状態図](#)」セクションを参照してください。

20MHz 水晶発振器

20 MHz水晶発振器信号源は無線部の周波数リファレンスを供給し、またEternaにより、必要に応じて自動的にイネーブルまたはディスエーブルされます。Eternaには、固有の特性を示す20MHz水晶発振器リファレンスが必要です。現在サポートされている20MHz水晶発振器の一覧表については、『[Eterna Integration Guide](#)』を参照してください。

無線

Eternaは、商品化されている低消費電力の2.4GHz IEEE 802.15.4e無線部を相当な余裕をもって内蔵しています。(電力消費量の数値については、「無線規格」セクションを参照してください)。Eternaに内蔵されているパワーアンプは、世界規模の無線認証規格に適合した制限値内で電力を着実に供給するよう校正され、温度補償されています。さらにEternaは、トランスミッタ、レシーバ、高度暗号化標準(AES)周辺機器などの周辺機器の高精度シーケンス制御を処理するハードウェア・ベースの自律MACを独自に内蔵しています。ハードウェア・ベースの自律メディア・アクセス・コントローラ(MAC)により、CPUの動作が最小限に抑えられるので、電力消費量はいつも低減されます。

UART

主要なネットワーク・インタフェースは、アプリケーション・プログラミング・インタフェース(API) UARTを介しています。テスト機能およびデバッグ機能をサポートするため、コマンドライン・インタフェース(CLI) UARTも用意されています。2種類のUARTは両方とも動作を絶えず検出し、データがポートを介して転送されるまで実質的に電力を消費せず、転送終了後その最も低消費電力の状態に自動的に戻ります。API UARTインタフェースでのパケット・コード化の定義は『[SmartMesh IP Manager API Guide](#)』に記載されており、CLIコマンド定義は『[SmartMesh IP Manager CLI Guide](#)』に記載されています。

動作

API UARTのプロトコル

API UARTは、広範なコンパニオン多点制御装置(MCU)をサポートすることを目標に複数のプロトコルをサポートしつつ、システムの電力消費量を低減します。原則として、シリアル・データ・レートが高いほど、両方の終点でのエネルギー消費は少なくなります。API UARTプロトコルの受信側の半分には、UART_RXの他に2つの付加的な信号があります。それは、UART_RX_RTSSnとUART_RX_CTSnです。API UARTプロトコルの送信側の半分には、UART_TXの他に2つの付加的な信号があります。それは、UART_TX_RTSSnとUART_TX_CTSnです。サポートされている2つのプロトコルは、UARTモード2およびUARTモード4と呼ばれます。モード設定は**ヒューズ・テーブル**を介して制御されます。

プロトコルの説明を示す図では、コンパニオン・プロセッサが駆動する信号を黒で表記し、Eternaが駆動する信号を青で表記しています。

UARTモード2

UARTモード2は、EternaのAPI UARTを動作させる最もエネルギー効率の高い方法を実現します。UARTモード2では6つのUART信号をすべて使用する必要がありますが、「UARTのAC特性」セクションで定義しているように、パケット間の遅延を最小限に抑えることに固執する必要はありません。UARTモード2は、エッジ感度の高いフロー制御を9600ボーまたは115200ボーで実装しています。パケットはHDLCでコード化され、ストップ・ビットが1ビットでパリティ・ビットはありません。EternaのAPI受信経路のフロー制御信号を図12「UARTモード2の受信フロー制御」に示します。UART_RX_RTSSnをアサートしているコンパニオン・プロセッサによって転送が開始されます。その後、UARTをイネーブルしてUART_RX_CTSnをアサートすることによってEternaが応答します。UART_RX_CTSnのアサーションを検出後、コンパニオン・プロセッサは

全パケットを送信します。コンパニオン・プロセッサはパケットの最終バイトの送信後、UART_RX_RTSSnを否定し、UART_RX_CTSnの否定まで待機後、UART_RX_RTSSnを再度アサートします。

EternaのAPI送信経路のフロー制御信号を図13「UARTモード2の送信フロー制御」に示します。UART_TX_RTSSnをアサートしているEternaによって転送が開始されます。コンパニオン・プロセッサはデータの受信準備が完了すると、UART_TX_CTSnをアサートすることによって応答します。UART_TX_CTSnの立ち下がりエッジを検出後、Eternaは全パケットを送信します。Eternaはパケットの最終バイトの送信後、UART_TX_RTSSnを否定し、UART_TX_CTSnの否定まで待機後、UART_TX_RTSSnを再度アサートします。コンパニオン・プロセッサは、UART_TX_RTSSnからUART_TX_CTSnまでのタイムアウト条件を満たしているという条件で、先頭バイトの送信後はいつでもUART_TX_CTSnを否定できます。

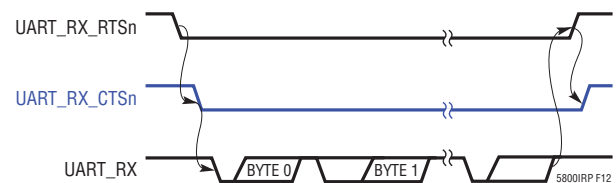


図 12. UART モード2の受信フロー制御

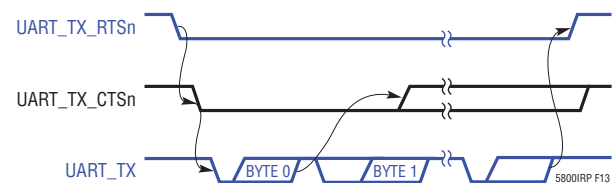


図 13. UART モード2の送信フロー制御

動作

UARTモード4

UARTモード4はレベル感度の高いフロー制御をTXチャネルで実装しており、RXチャネルではフロー制御が不要で、9600ボーと115200ボーの両方をサポートしています。レベル感度の高いフロー制御信号を使用すると、短縮した一連のフロー制御信号を使用するオプションにより、高いデータ・レートが可能になります。ただし、コンパニオン・プロセッサはパケットの終わりに達する前にUART_TX_CTSnを否定しておく必要があります。タイミング仕様の詳細については、「[UARTのAC特性](#)」の表を参照してください。パケットはHDLCでコード化され、ストップ・ビットが1ビットでパリティ・ビットはありません。使用が産業用温度範囲(−40°C〜85°C)に限定されるという条件では、モード4でRXフロー制御信号(UART_RX_RTSnおよびUART_RX_CTSn)を使用するのは任意です。それ以外の場合、フロー制御は必須です。TXチャネルのフロー制御信号を図14「UARTモード4の送信フロー制御」に示します。UART_TX_RTSnをアサートしているEternaによって転送が開始されます。パケットの受信準備が完了したら、UART_TX_CTSn信号をコンパニオン・プロセッサでアクティブに駆動できます。あるいは、コンパニオン・プロセッサのパケット受信準備が常時整っている場合は、UART_TX_CTSnを“L”に接続することができます。UART_TX_CTSnでロジック「0」を検出後、Eternaは全パケットを送信します。Eternaはパケットの最終バイトの送信後、UART_TX_RTSnを否定し、「[UARTのAC特性](#)」の表に定義されている最短期間の待機後、UART_TX_RTSnを再度アサートします。

UARTプロトコルのタイミングの詳細については、「[UARTのAC特性](#)」セクションを参照してください。

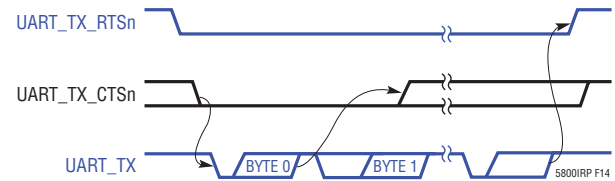


図 14. UART モード 4 の送信フロー制御

CLI UART

コマンドライン・インタフェース(CLI) UARTポートは、固定の9600ボーレートで動作し、ストップ・ビットが1ビットでパリティ・ビットのない2線式プロトコル(TXおよびRX)です。CLI UARTインタフェースは、コマンドラインの命令および応答動作をサポートすることを目的としています。

自律 MAC

Eternaは、信頼性が高く、超低消費電力で安全なネットワークを実現するシステム・ソリューションとして設計されました。変化する環境で動作を動的に最適化できる高信頼ネットワークでは、複雑過ぎてハードウェアによる加速化だけでは完全にはサポートできないソリューションが要求されます。「[高精度のタイミング](#)」セクションで説明しているように、低消費電力かつ高信頼性のソリューションを最適化するには、適切な時間管理が不可欠です。これらの要求に対応するため、Eternaは自律MACを備えており、自律MACには、時間が肝要なすべての無線動作を制御するためのコプロセッサが組み込まれています。自律MACには利点が2つあります。まず、変わりやすいソフトウェア待ち時間がネットワークのタイミングに影響するのを防止します。次に、大半の無線動作時にCPUを非アクティブ状態に維持できることにより、システムの電力消費量

動作

が大幅に減少します。自律MACは無線および無線関連機能のソフトウェアに依存しないタイミング制御を実現するので、優れた信頼性と並外れた低消費電力が得られます。

セキュリティ

ネットワーク・セキュリティは、包括的なネットワーク・ソリューションで見過ごされがちな要素です。セキュリティ・プロトコルを適切に実装することは、技術的な労力とOEM製品の市場価値の両方の観点から重要です。Eternaシステム・ソリューションは、MACおよびネットワーク層での認証および暗号化をモートごとに異なる鍵を使用して組み込んだFIPS-197検証済みの暗号化方式を実現します。これにより、終端間のセキュリティが確保できるだけでなく、モートが何らかの形で危険にさらされている場合でも、他のモートからの通信は引き続き安全です。安全な鍵交換のメカニズムにより、鍵を新規の状態に保持できます。物理的な攻撃を阻止するため、Eternaにはデバイスを電子的にロックするハードウェア・サポートが組み込まれています。これにより、Eternaのフラッシュ・メモリとRAMメモリ、さらにそこに保存されている鍵とコードにアクセスできないようにしています。このロックアウト機能は、製品のサポートのためにアクセスが必要な場合にデバイスのロックを安全に解除する手段も実現しています。詳細については、『[Board Specific Configuration Guide](#)』を参照してください。

温度センサ

Eternaは、校正された温度センサをチップ上に組み込んでいます。温度測定値はEternaのシリアルAPIを介してローカルに読み取る以外に、ネットワーク・マネージャ経由で得ることもできます。温度センサの性能特性は「[温度センサ特性](#)」の表に記載されています。

無線禁止

RADIO_INHIBIT入力を使用すると、外部コントローラが無線ソフトウェア・ドライバを一時的にディスエーブルすることができます(たとえば、無線妨害の影響を受けやすいセンサ値の読み取り時)。RADIO_INHIBITがアサートされると、ソフトウェア無線ドライバはクリア・チャネル評価、パケット送信、パケット受信などの無線動作を禁止します。RADIO_INHIBITがアサートされたとき現行のタイムスロットがアクティブである場合、無線がディスエーブルされるのは現在の動作完了後となります。RADIO_INHIBITに関連したタイミングの詳細については、「[RADIO_INHIBITのAC特性](#)」の表を参照してください。

フラッシュのプログラミング

この製品は、ソフトウェアをデバイス内にプログラミングしない状態で供給されます。OEMのお客様は、開発時や製造時にソフトウェア・イメージを書き込むことが必要になります。Eternaのソフトウェア・イメージは、インサーキット・プログラミング制御システム(IPCS) SPIインタフェースを介して読み込まれます。「[フラッシュSPIスレーブのAC特性](#)」の表に示すように、RESETnとFLASH_P_ENnのシーケンス制御により、Eternaはシリアル・フラッシュをエミュレートする状態になり、インサーキット・プログラミングをサポートします。デバイスの開発時と量産時のプログラミングをサポートするハードウェアおよびソフトウェアは、『Eterna Serial Programmer Guide』で説明されています。シリアル・プロトコル、SPI、およびタイミング・パラメータについては、「[フラッシュSPIスレーブのAC特性](#)」の表で説明します。

フラッシュのデータ保持

Eternaは、校正結果、固有ID、構成設定、およびソフトウェア・イメージを格納するフラッシュ(不揮発性メモリ)を内蔵しています。フラッシュのデータを保持は全動作温度範囲で規定されています。「電気的特性」と「絶対最大定格」のセクションを参照してください。

動作

-55°C～105°Cの動作温度範囲外での非破壊記憶が可能ですが、保持特性が劣化する可能性があります。

105°Cを超える温度でのフラッシュの保持特性の劣化は、次式を使って無次元の加速係数を計算することにより、近似することができます。

$$AF = e^{\left[\left(\frac{E_a}{k} \right) \cdot \left(\frac{1}{T_{USE} + 273} - \frac{1}{T_{STRESS} + 273} \right) \right]}$$

ここで、

AF = 加速係数

Ea = 活性化エネルギー = 0.6eV

k = 8.625 · 10⁻⁵ eV/°K

T_{USE} = 規定の保持温度(°C)

T_{STRESS} = 実際の保存温度(°C)

例：温度125°Cで保存した場合の保持特性への影響を計算します。

T_{STRESS} = 125°C

T_{USE} = 85°C

AF = 7.1

したがって、フラッシュの総合的な保持特性は係数7.1で劣化し、データ保持性能は85°C時の20年から125°C時の2.8年に低下します。

ネットワーク化

LTC5800-IPR ネットワーク・マネージャは、API UART インタフェースを介して、有線ネットワークとワイヤレス・メッシュ・ネットワークの境界で入口点/出口点となります。メッシュ・ネットワーク管理の複雑さは、組み込みソフトウェアの内部ですべて処理されます。このソフトウェアは動的ネットワーク最適化、決定的パワー・マネージメント、インテリジェント・ルーティング、および設定可能な帯域幅の割り当てを実

行しつつ、通信事業者級のデータ信頼性と低消費電力動作を実現します。

動的ネットワーク最適化

動的ネットワーク最適化を使用すると、Eternaは厳しい環境でのRF要件の変化に対応し、自己監視および自己調整を絶え間なく行うネットワークが得られます。マネージャは、ネットワーク・モートから受信したネットワーク健全性とリンク品質に関する定期的な報告に基づいて、動的ネットワーク最適化を実行します。マネージャはこの情報を使用して性能統計情報をアプリケーション層に供給し、ネットワーク内の接続問題を事前に解決します。動的ネットワーク最適化により、ネットワーク健全性が維持されるだけでなく、Eternaによる決定的パワー・マネージメントも実現可能になります。SmartMesh ネットワーク・ソリューションの重要な利点の1つは、すべてのパケット・トランザクションの成功または失敗をネットワーク・マネージャが認識して追跡することです。したがって、このソリューションはネットワークを最適化できるだけでなく、厳しくテストして99.999%より優れた信頼性を備えたシステム・ソリューションを生み出すことができます。

決定的パワー・マネージメント

決定的パワー・マネージメントは、重い負荷がかかったモート(たとえば、報告率の高いモート)の周辺でトラフィックを迂回させることにより、ネットワーク内でのトラフィックのバランスを調整する機能です。この処理時に、これらのモートの電力消費量を低減し、ネットワーク全体にわたって電力消費バランスを調整します。決定的パワー・マネージメントは、予測可能な保守スケジュールを確保して休止時間の発生を防止し、ネットワーク所有権のコストを低減します。業界をリードするEternaの低消費電力無線技術を使用する現場の装置と決定的パワー・マネージメントを組み合わせると、ネットワーク・モートのバッテリー寿命を10年間にすることが可能です。

動作

インテリジェント・ルーティング

インテリジェント・ルーティングは、ネットワークを通る最適経路を各パケットに与える機能です。2点間の最短距離は直線ですが、RFでは、最速経路が必ずしも最小ホップ数の経路とは限りません。インテリジェント・ルーティングでは、ホップ数の他に、リンク品質（ある経路が別の経路より多くのパケットを失う可能性）および再試行スケジュールを考慮することにより、最適経路を検出します。その結果、ネットワークの消費電力が減少し、ネットワーク内衝突がなくなつて、無類のネットワーク拡張性および信頼性が得られます。

設定可能な帯域幅の割り当て

Smartmesh ネットワークでは、ネットワーク全体とデバイス単位の両方で、帯域幅および待ち時間と消費電力の折り合いをつけることができる構成が得られます。この柔軟性により、要求/応答、高速ファイル転送、警報などのアプリケーション要件に合わせた解決策が可能です。関連の構成パラメータについては、『[SmartMesh IP User's Guide](#)』を参照してください。ネットワーク性能と電流消費量との間の設計上の交換条件は、[SmartMesh Power and Performance Estimator](#) によってサポートされています。

IP マネージャのオプション

IP マネージャには、LTC5800-IPRA と LTC5800-IPRB という2つの異なるダッシュ・コード・オプションがあります。『[Eterna Integration Guide](#)』で説明されているように、LTC5800-IPRA オプションは32モート以下のネットワーク管理をサポートし、LTC5800-IPRB オプションは、外付けのSRAMを使用して最大100モートのネットワーク管理をサポートします。LTC5800-IPRA または LTC5800-IPRB にSRAMを外付けして使用することにより、SRAM 外付けなしのとき24パケット/秒だったIP マネージャのパケット・スループットをSRAM 外付け後は36

パケット/秒に増やすことができます。『[SmartMesh IP User's Guide](#)』で説明しているように、ソフトウェア・ライセンス・キーを購入することにより、SRAMを外付けしたLTC5800-IPRA マネージャをアップグレードして、最大100モートのネットワークの管理をサポートすることができます。

状態図

図15に示し、このセクションで説明するように、超低消費電力の他に能力と柔軟性を発揮するため、Eterna はさまざまな状態で動作します。赤で示す状態遷移は非推奨です。

ヒューズ・テーブル

Eterna のヒューズ・テーブルはフラッシュ内にある2kB のページで、2つのデータ構造で構成されています。一方の構造は、パワーオン・リセット直後またはRESETn のアサーション直後のハードウェア構成をサポートします。もう一方の構造は、ソフトウェア・ボード・サポート・パラメータの構成をサポートします。ヒューズ・テーブルは、『[Board Specific Configuration Guide](#)』に説明されているヒューズ・テーブル・アプリケーションを介して生成されます。パワーオン・リセット直後にI/Oのハードウェアを構成すると、ソフトウェア構成の前にフローティング・ネットによる漏れを最小限に抑える方法が得られます。I/O漏れ電流は1つの入力につき数百 μ Aの漏れ電流の発生要因となり得るので、電流が制限された電源にストレスを与える可能性があります。ソフトウェア・ボード・サポート・パラメータの例としては、UARTモード、クロック信号源、およびトリム値の設定が挙げられます。『[Eterna Serial Programmer Guide](#)』で説明されているように、ヒューズ・テーブルは、ソフトウェア・イメージを読み込むために使用される同じソフトウェアおよびインサーキット・プログラムを使用してフラッシュに読み込まれます。

動作

起動

起動はパワーオン・リセットしきい値を超えた結果または RESETn をアサートした結果として行われます。パワーオン・リセットの完了後または内部で同期した RESETn の立ち下がりエッジ後に、Eterna はそのヒューズ・テーブルを読み込みます。前のセクションで説明したように、ヒューズ・テーブルには I/O 方向の構成情報が組み込まれています。この状態で、Eterna は FLASH_P_ENn ピンと RESETn ピンの状態を調べ、信号が両方ともアサートされている場合、シリアル・フラッシュ・エミュレーション・モードに入ります。FLASH_P_ENn ピンはアサートされていないが RESETn ピンはアサートされた場合、Eterna は RESETn が解放されるまで、そのエネルギー消費量を自動的に最小限に抑えます。RESETn がデアサートされると、Eterna は起動シーケンスを経てアクティブ状態に移行します。

シリアル・フラッシュのエミュレーション

RESETn と FLASH_P_ENn が両方ともアサートされると、Eterna は通常動作をディスエーブルして、シリアル・フラッシュの動作をエミュレートするモードに入ります。このモードでは、そのフラッシュをプログラムできます。

動作

Eterna は、起動が完了すると動作状態群(アクティブ/CPU アクティブ、アクティブ/CPU 非アクティブ、およびドーズ)に移行します。そこで、Eterna はさまざまな状態間を循環し、起こり得る最も低い消費電力の状態を自動的に選択すると同時に、ネットワーク動作の要求を実現します。

アクティブ状態

アクティブ状態では、Eterna の弛張発振器が動作しており、必要に応じて周辺機器がイネーブルされます。ARM Cortex-M3 は CPU アクティブ状態と CPU 非アクティブ状態との間を循環します (ARM Cortex-M3 の技術資料では、「スリープ・ナウ」モードと呼ばれています)。Eterna が DMA を大量に使用することと、アクティブ状態とドーズ状態との間で Eterna の状態を独自に移すインテリジェント周辺機器により、CPU がアクティブな時間が最小限に抑えられるので、Eterna のエネルギー消費量は大幅に減少します。

ドーズ状態

ドーズ状態での消費電流はアクティブ状態より数桁少なく、ドーズ状態になるのは、すべての周辺機器と CPU が非アクティブ状態になったときです。ドーズ状態では、Eterna の全状態が保持され、タイミングが維持され、さらに (UART 信号や TIMEn ピンなど) I/O での動作を検出して Eterna を起動し、迅速に応答するよう Eterna が構成されます。ドーズ状態では、32.768kHz の発振器と関連のタイマがアクティブ状態です。

動作

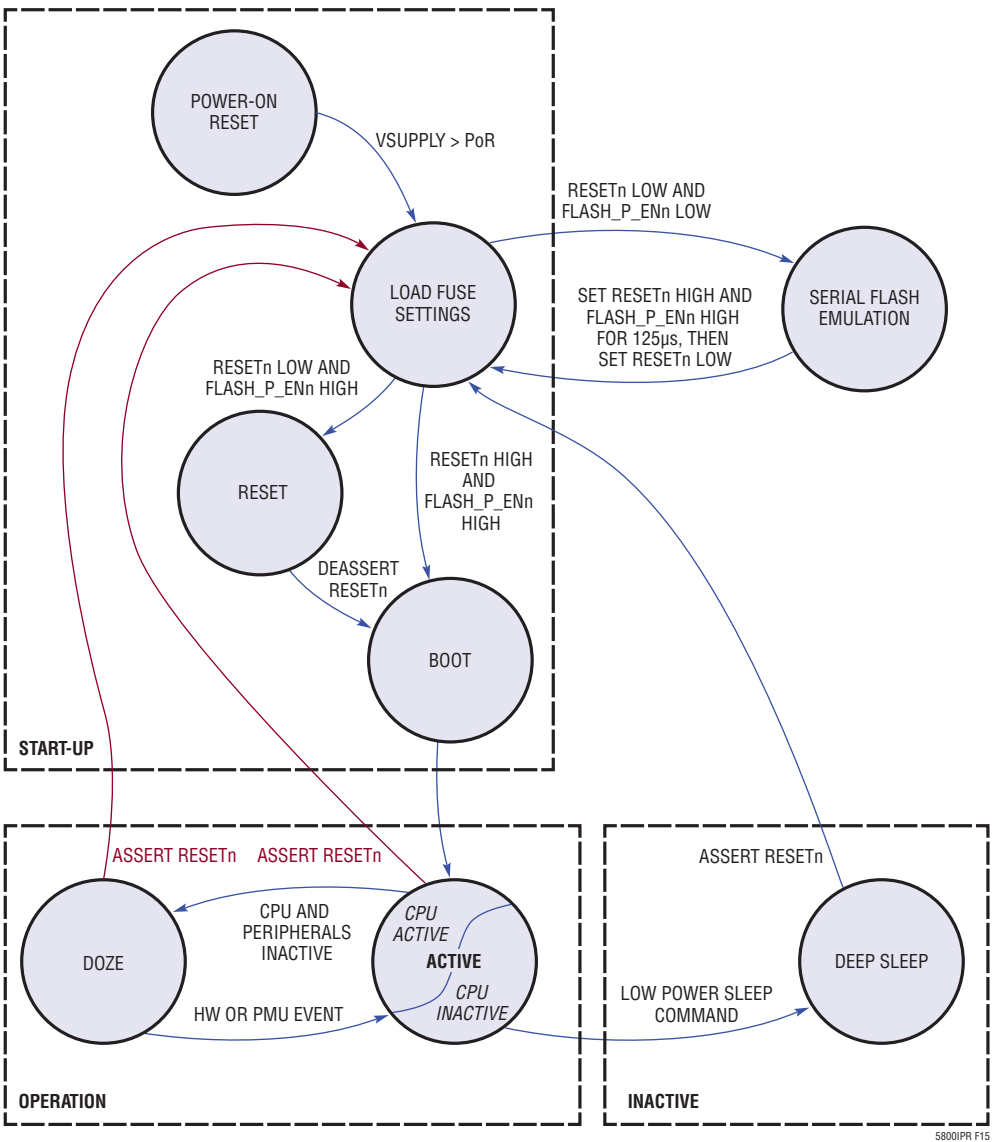


図15. Eternaの状態図

アプリケーション情報

法規制と標準規格の順守

無線認証

Eterna は、以下に示す世界的な無線周波数規定の順守を目標とするシステムに適しています。対象の規定は、ETSI EN 300 328 および EN 300 440 class 2 (欧州)、FCC CFR47 Part 15 (米国)、および ARIB STD-T66 (日本) です。法規制のテストをサポートするアプリケーション・プログラミング・インタフェース (API) は、API UART インタフェースと CLI UART インタフェースの両方に用意されています。『[Eterna Certification User Guide](#)』には、以下の情報が記載されています。

- 認証に必要な参考情報
- 一般的な規制テスト・ケースのテスト計画
- CLI API 呼び出しの例
- マニュアル言語のサンプルとラベルの例

有害物質の制限 (RoHS) の順守

特定有害物質使用制限 (RoHS) とは、カドミウム (Cd)、鉛 (Pb)、六価クロム (Cr⁶⁺)、水銀 (Hg)、多臭素化ビフェニル (PBB)、およびポリ臭素化ジフェニルエーテル (PBDE) の使用に関して最大濃度の限度を設定した指令のことです。リニアテクノロジーは、欧州共同体 (EC) 指令 2002/95/EC の要件に適合するよう取り組んでいます。

本製品は、RoHS に準拠した原料を使用することと、規制物質の使用を排除または削減して 2002/95/EC に適合することを目的として設計されています。

RoHS に準拠した設計の特長は以下のとおりです。

- RoHS に準拠した半田による半田接合
- RoHS に準拠した卑金属合金
- RoHS に準拠した貴金属めっき
- RoHS に準拠したケーブル・アセンブリおよびコネクタ選択
- 無鉛 QFN パッケージ
- ハロゲンを含まないモールド化合物
- RoHS に準拠し、245°C のリフロー互換

注記：お客様は、欧州共同体 (EC) 指令 2002/95/EC に従って、特定の種類の無鉛半田合金を選んで使用することができます。選択した半田ペーストの種類によっては、リフロー温度を最適化するために、それに対応する工程変更が必要になる可能性があります。

半田付け情報

Eterna は共晶 PbSn リフローと RoHS-6 リフローの両方に適しています。最大リフロー半田付け温度は 260°C です。レイアウトの推奨事項、組み立て手順、および設計上の検討事項の詳細については、『[Eterna Integration Guide](#)』に記載されています。

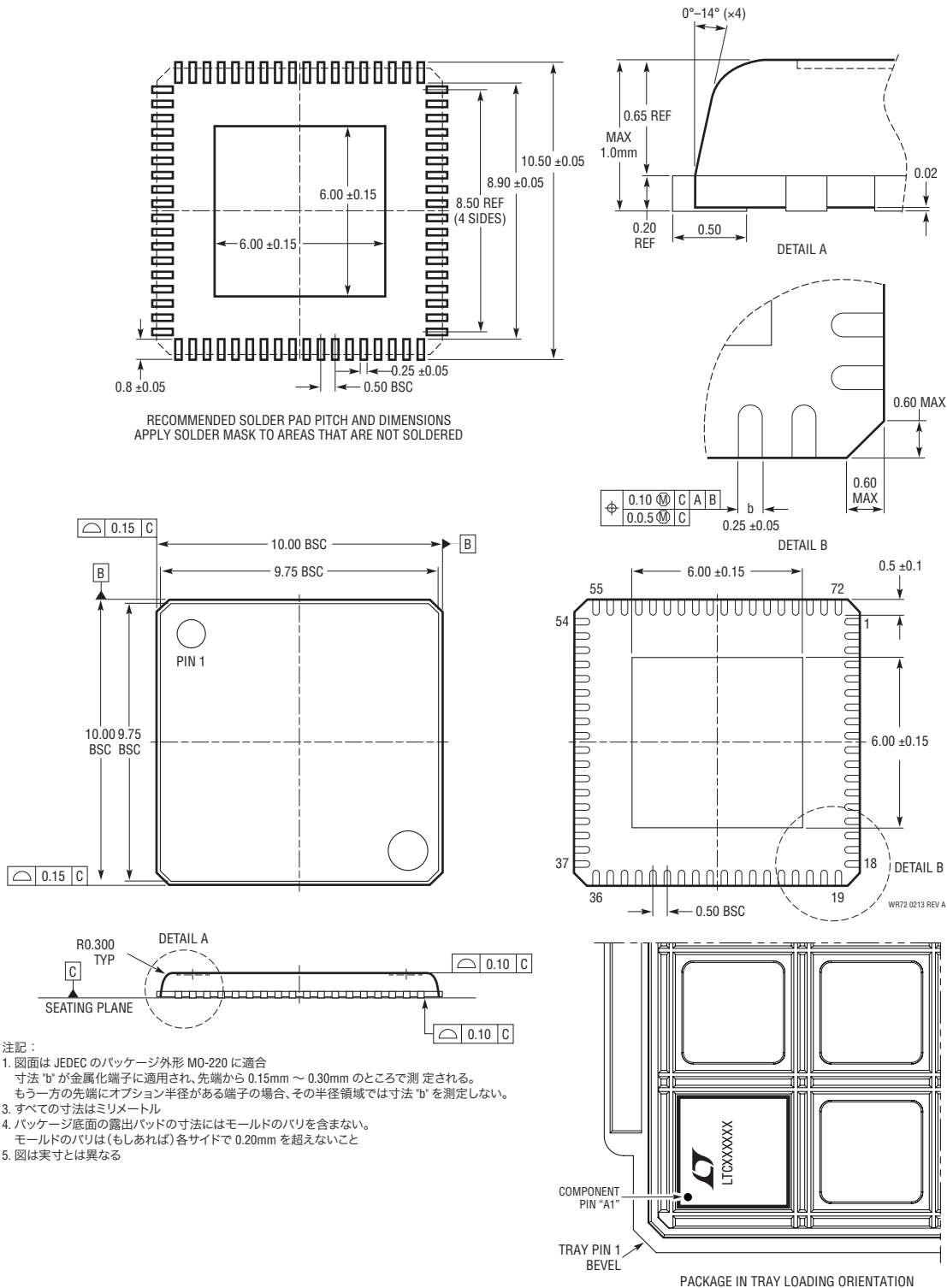
関連資料

資料名	URL	概要
SmartMesh IP User's Guide	http://www.linear.com/docs/41880	SmartMesh IP ネットワークおよびモートの動作原理
SmartMesh IP Manager API Guide	http://www.linear.com/docs/41883	API UART で使用できるアプリケーション・インタフェース・コマンドの定義
SmartMesh IP Manager CLI Guide	http://www.linear.com/docs/41882	CLI UART で使用できるコマンドライン・インタフェース・コマンドの定義
Eterna Integration Guide	http://www.linear.com/docs/41874	LTC5800 を使用して設計するための推奨の手法
Eterna Serial Programmer Guide	http://www.linear.com/docs/41876	LTC5800 の回路プログラミングで使用する、 Eterna シリアル・プログラマのユーザーズ・ガイド
Board Specific Configuration Guide	http://www.linear.com/docs/41875	ボード固有のパラメータを構成するときに使用する、 Eterna ボード固有構成アプリケーションのユーザーズ・ガイド
Eterna Certification User Guide	http://www.linear.com/docs/42918	無線認証を取得するために必要な必須の資料 (一般的なテスト・ケースの例を含む)
SmartMesh IP Tools Guide	http://www.linear.com/docs/42453	すべての IP 関連ツール、特にオンチップ・アプリケーション・プロトコル (OAP) の定義のユーザーズ・ガイド

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

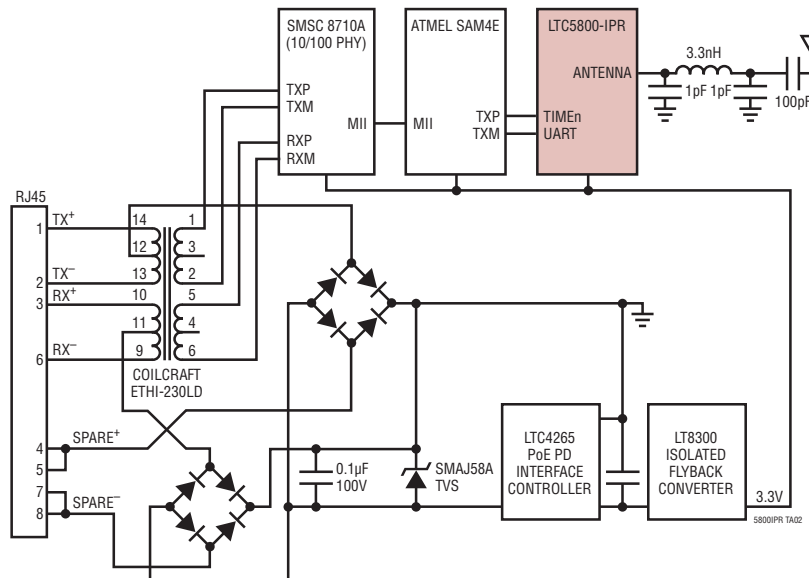
WR Package
72-Lead QFN (10mm × 10mm)
 (Reference LTC DWG # 05-08-1930 Rev A)



LTC5800-IPR

標準的応用例

Power over Ethernetネットワーク・マネージャ



関連製品

製品番号	説明	注釈
LTP5901-IPRA	チップ・アンテナを備えた IP ワイヤレス・メッシュの 32 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5902-IPRA	MMCX アンテナ・コネクタを備えた IP ワイヤレス・メッシュの 32 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5901-IPRB	チップ・アンテナを備えた IP ワイヤレス・メッシュの 100 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5902-IPRB	MMCX アンテナ・コネクタを備えた IP ワイヤレス・メッシュの 100 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5901-IPRC	チップ・アンテナを備え、最大 36 パケット/秒の外付け RAM をサポートする IP ワイヤレス・メッシュの 32 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5902-IPRC	MMCX アンテナ・コネクタを備え、最大 36 パケット/秒の外付け RAM をサポートする IP ワイヤレス・メッシュの 32 モート・マネージャ PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTC5800-IPMA	IP ワイヤレス・モート	超低消費電力モート、72 ピン 10mm×10mm QFN
LTP5901-IPMA	チップ・アンテナを備えた IP ワイヤレス・メッシュのモート PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5902-IPMA	MMCX アンテナ・コネクタを備えた IP ワイヤレス・メッシュのモート PCB モジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTC2379-18	18 ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力 ADC	電源電圧: 2.5V、差動入力、SNR: 101.2dB、入力範囲: ±5V、DGC
LTC3388-1/ LTC3388-3	20V 高効率ナノパワー降圧レギュレータ	スリープ状態での I _Q : 860nA、入力: 2.7V ~ 20V、V _{OUT} : 1.2V ~ 5.0V、イネーブル・ピンおよびスタンバイ・ピン

5800iprf